

論文 / 著書情報  
Article / Book Information

|                   |   |
|-------------------|---|
| 論題(和文)            | ヘテロランチャと真性チャネルを有する縦型InGaAs-MOSFETの作製  |
| Title(English)    | Fabrication of vertical InGaAs-MOSFET with heterostructure launcher and intrinsic channel |
| 著者(和文)            | 齋藤尚史, 金澤徹, 宮本恭幸, 古屋一仁   |
| Authors(English)  | Hisashi Saito, Toru Kanazawa, Yasuyuki Miyamoto, Kazuhito Furuya                          |
| 出典(和文)            | , , ,   |
| Citation(English) | , , ,   |
| 発行日 / Pub. date   | 2009, 3   |
| 権利情報 / Copyright  | 本著作物の著作権は電気学会に帰属します。 Copyright (c) 2009 Institute of Electrical Engineers of Japan.       |
| Note              | 引用、転載の際には電気学会の許諾を得ること。  |

# ヘテロランチャと真性チャネルを有する 縦型 InGaAs-MOSFET の作製

齋藤 尚史\*, 金澤 徹, 宮本 恭幸, 古屋 一仁 (東京工業大学)

## Fabrication of vertical InGaAs-MOSFET with heterostructure launcher and intrinsic channel

Hisashi Saito\*, Toru Kanazawa, Yasuyuki Miyamoto, and Kazuhito Furuya (Tokyo Tech)

In this report, we describe vertical InGaAs-MOSFET with heterostructure launcher and intrinsic channel. In the conventional structure, the number of the device which could be observed the modulation of drain current by gate bias was only about 10 %. Thus, we proposed a new structure whose mesa was covered by the stuck of gate insulator and gate metal. In the new structure, the number of the device which could be observed the modulation of drain current by gate bias was increased from about 10 % to 50 %. Moreover, the drivability of the device was also increased. The drain current density was increased from 100 mA/mm to 400 mA/mm, and transconductance was increased from 130 mS/mm to 300 mS/mm.

キーワード : InGaAs-MOSFET、ヘテロランチャ、真性チャネル、ホットエレクトロン  
(Keywords : InGaAs-MOSFET, heterostructure launcher, intrinsic channel, hot electron)

### 1. はじめに

大容量光通信技術の発展に伴い、トランジスタの高速化が求められている。しかしながら、現在最も広く用いられている Si 系 MOSFET はスケールリングによる微小化に伴って短チャネル効果など弊害が生じている。そのため、Si に比べて有効質量が軽く、高速動作が期待されるデバイスとして HBT、HEMT が広く研究されている。現在最も高速に動作するトランジスタは InP 系 HBT であるが、HBT ではベース層が高濃度にドーピングされており、エミッタから放出された電子がベース層でプラズモン散乱を受けてしまい速度緩和が生じてしまう。

そこで、走行中のプラズモン散乱を抑制することにより、HBT よりも高速に動作するトランジスタが実現できる可能性がある。我々はプラズモン散乱を抑制するためにソースから放出された電子の走行する領域をすべて真性半導体とした図 1 に示す構造のトランジスタの提案を行った。[1-4]

このトランジスタでは、InP/InGaAs ヘテロランチャより放出されたホットエレクトロンが InGaAs の真性半導体領域を散乱を受けることなくバリスティックに走行する。モンテカルロシミュレーションによる見積もりでは、電流密度  $1 \text{ MA/cm}^2$  以上[5,6]において遮断周波数が  $1 \text{ THz}$  を超えるという結果が得られている。このとき、走行中の電子速度が  $70 \text{ nm}$  の走行領域の全域において  $7.5 \times 10^7 \text{ cm/s}$  を達

成している。

また、ゲートリーク電流を抑制するために、ゲートを絶縁物である BCB によって埋め込む構造とした。さらに、ドレインからの逆注入を抑制するために、ドレインのコンタクトにショットキー接合を用いた。[7]

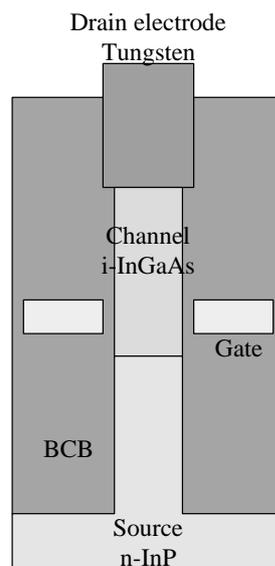


図 1 提案する素子構造

Fig. 1 Schematic image of proposed device  
当初提案した構造において、ゲートによるドレイン電流

の変調が観測できる素子数が 10 %程度と非常に少なかった。この原因として、ゲート - メサ間の距離のばらつきであると考えた。そこで、このばらつきを抑制するために、メサをゲート絶縁物とゲート金属のスタックで覆う新しい構造の提案を行った。新しい構造においては、ゲートによるドレイン電流の変調が観測できる素子数が 50 %程度に増加した。また、駆動能力に関しても、ドレイン電流密度が 100 mA/mm から 400 mA/mm、伝達コンダクタンスが 130 mS/mm から 300 mS/mm まで増加した。

## 2. 従来の構造

当初の試作では、絶縁ゲートによる明瞭なドレイン電流の変調を観測できたが、出力コンダクタンスが大きくなってしまい、飽和特性の観測に至らなかった。[8,9]そこで、出力コンダクタンスを低減するために、電子走行層を長くすることを考えた。これは、出力コンダクタンスがソース - ドレイン間の容量に依存するためである。そこで、電子走行層を 70 nm から 120 nm に長くした素子の作製を行った。120 nm であれば走行中の電子の LO フォノン散乱を抑制することができるが、モンテカルロシミュレーションにより分かっている。

素子作製プロセスは以下の通りである。まず、n-InP 基板上に MOVPE によりソース層 n-InP、電子走行層 i-InGaAs を結晶成長する。そのあとでスパッタによりドレイン電極となるタングステンを 150 nm 成膜する。電子ビーム露光とリフトオフプロセスを用いてマスクとなる幅 50 nm、長さ 5  $\mu\text{m}$  の Cr を形成する。Cr をマスクとして、CF<sub>4</sub>系 RIE を用いてタングステンを転写し、続けて CH<sub>4</sub>-H<sub>2</sub>系 RIE を用いて半導体をドライエッチングする。このあとで、硫酸系エッチャント(H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O = 1:1:100)と塩酸系エッチャント(HCl:H<sub>3</sub>PO<sub>4</sub> = 1:7)によりウエットエッチングを行う。BCB によって素子全体を埋め込み、CF<sub>4</sub>系 RIE でヘテロ界面よりも 10 nm 高い位置まで BCB をエッチバックする。電子ビーム露光とセルフアライメントプロセスにより厚さ 40 nm の Cr/Au ゲートを蒸着する。再度 BCB で素子全体を埋め込み、ドレイン電極の頭が出るまで BCB のエッチバックを行う。最後に、上部から配線を行って素子の完成とする。

ドライエッチングにおいて、マスク幅とソース幅が同程度となるようにするために、90sec の CH<sub>4</sub>-H<sub>2</sub>プラズマによるエッチングと 60sec の O<sub>2</sub>プラズマによるアッシングを 3 セット繰り返して行った。しかしながら、この条件ではチャンネル層側面に凹凸ができてしまい、ゲートをセルフアライメントで形成する際に、凹凸とゲート金属が接触してしまい、リーク電流が流れてしまうことが考えられる。そこで、硫酸系エッチャントによるチャンネル層のアンダーカットにより凹凸のもっとも太い部分がソース幅よりも小さくなるようにした。これらの条件を用いて作製したメサの SEM を図 2 に示す。

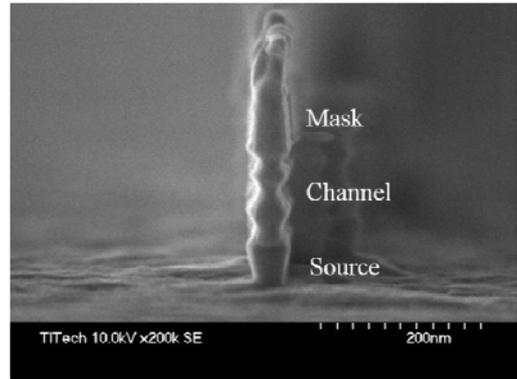
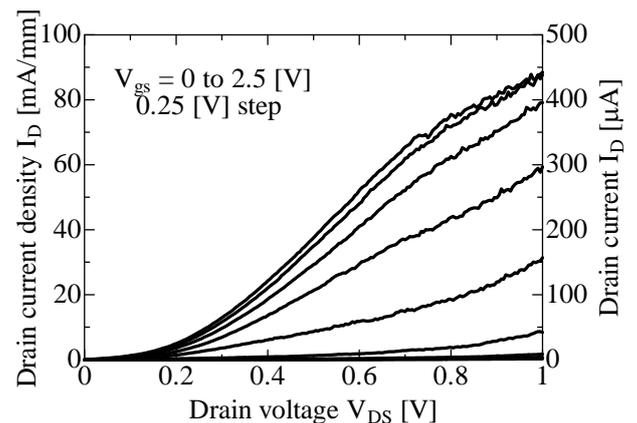


図 2 作製したメサ

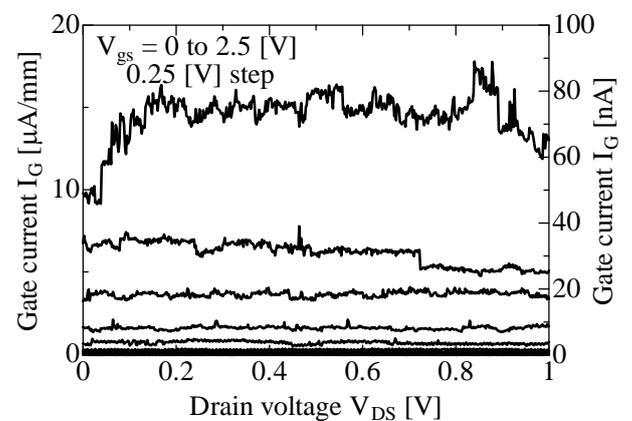
Fig. 2 SEM cross-sectional image of fabricated mesa

凹凸はあるものの、もっとも太い部分がソース幅とほぼ等しくなっているために、ゲート形成時の接触が抑制できると考えられる。

ソース幅 50 nm、素子長 5  $\mu\text{m}$  で作製した素子のソース接地特性および伝達特性をそれぞれ図 3、4 に示す。



(a) Drain current



(b) Gate current

図 3 ソース接地特性

Fig. 3 Common source characteristic

図 3 に示すように明瞭なゲート電圧によるドレイン電流

の変調とドレイン電流の飽和特性を観測した。しかしながら、ゲート電流がドレイン電流の 0.1 % 以下となっており、完全なゲートの絶縁性は示せなかった。この原因として、ソース - ゲート間の 2 端子測定においてショットキーのような特性が得られたことから、5  $\mu\text{m}$  あるメサのうち一部がゲートと接触してしまったと考えている。

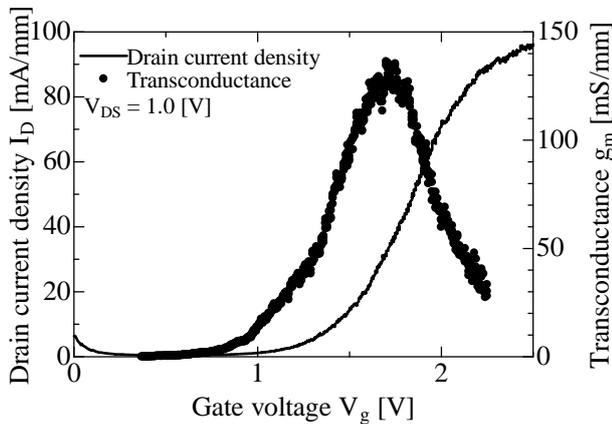


図 4 伝達特性

Fig. 4 Transfer characteristic

また図 4 に示した伝達特性より、最大ドレイン電流密度 100 mA/mm、伝達コンダクタンス 130 mS/mm が得られた。作製した素子を集束イオンビーム加工装置で断面加工を行い、SEM 観察を行った結果を図 5 に示す。

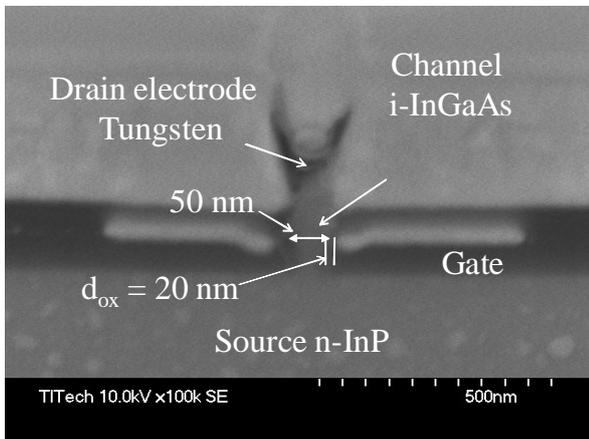


図 5 断面 SEM

Fig. 5 SEM cross-sectional image of device

図 5 から見積もった寸法を用いて理論計算を行った。その結果、ソース厚  $D_s = 110 \text{ nm}$ 、チャンネル長  $L_c = 120 \text{ nm}$ 、ドレイン厚  $D_d = 100 \text{ nm}$ 、ソース幅  $W_s = 50 \text{ nm}$ 、ドレイン幅  $W_d = 50 \text{ nm}$ 、ゲート幅  $W_g = 300 \text{ nm}$ 、ゲート厚  $D_g = 35 \text{ nm}$ 、ゲート - チャンネル間距離  $d_{ox} = 20 \text{ nm}$ 、ソース - ゲート間距離  $L_{sg} = -20 \text{ nm}$  となった。ここで、ソース - ゲート間距離がマイナスになっているのは、ゲート上端がヘテロ界面よりも下に位置していることを意味している。そのほ

かのパラメータとしては、ソースドーピング濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  とした。

理論計算は 2 次元のポテンシャル計算を用いた。ソース領域は擬フェルミレベルを一定として 2 次元のポアソンの方程式を解き、それ以外の領域ではラプラス方程式を解いた。電流量は透過率  $TT^*$  を用いて Esaki-Tsu の式から計算した。透過率は単純な仮定を用いて、ソースのポテンシャルバリアよりも高いエネルギーをもった電子の透過率は 1 で、ポテンシャルバリアよりも低いエネルギーの電子の透過率は 0 とした。その結果、電流密度が 915 mA/mm となり、実験値の約 9 倍程度大きい。ただし、ポテンシャルバリアによる量子反射を考慮していないために、大きく見積もりすぎている可能性がある。

また、測定した特性のうち、ゲートによってドレイン電流の変調が観測できる素子数は全体の 10 % 程度であった。変調が観測できない素子の多くはゲートリーク電流がドレイン電流よりも大きくなってしまっていた。

### 3. 新しい素子構造

ゲートによるドレイン電流の変調が観測できる素子数が少ないことは問題である。この原因は、ゲート絶縁物の厚さが、ドレイン電極下のチャンネル層のアンダーカットと、絶縁物である BCB のエッチバックによって決定されていたために、ゲートとメサの間の絶縁物の厚さが素子ごとで不均一となり、ゲートリーク電流が流れてしまうものが多かったためであると考えられる。そこで、ゲートとメサの間に確実に絶縁物を挟み込みかつ絶縁膜の厚さが均一になるようにすることで、改善できると考えられる。

次に、従来の素子においてはソースドレイン間の 2 端子測定においてソース幅 30 nm の素子は 50 nm の素子よりもドレイン電流がかなり小さかった。このことから、ソース側面がフェルミレベルピンニングにより空乏化してしまっているのではないかと考えた。そこで、電流量を増加させるためには、ソース側面部までゲートで覆うことでゲート電圧印加時にソース側面のポテンシャルを引き下げ、フェルミレベルピンニングの影響を少なくすることを考えた。

以上のことを踏まえて、図 6 に示す構造を新たに提案する。図 6 の構造では、メサ全体をゲート絶縁物とゲート金属のスタックで埋め込む構造としてあるために、素子ごとのゲート絶縁膜厚のばらつきを抑制できると考えられる。またこの構造は、ヘテロランチャと真性半導体チャンネルを有する縦型の InGaAs-MOSFET となっている。

新しい構造では、従来の構造と比較してゲートとヘテロ界面の距離が近づいていることから、伝達コンダクタンスの向上が期待できる。そこで、先ほど述べたモデルを用いてヘテロ界面近傍の電界分布を計算した。計算に用いた構造は、ソース厚  $D_s = 110 \text{ nm}$ 、チャンネル長  $L_c = 120 \text{ nm}$ 、ドレイン厚  $D_d = 100 \text{ nm}$ 、ソース幅  $W_s = 30 \text{ nm}$ 、ドレイン幅  $W_d = 30 \text{ nm}$ 、ゲート幅  $W_g = 50 \text{ nm}$ 、ゲート厚  $D_g = 230 \text{ nm}$ 、

ゲート - チャンネル間距離  $d_{ox} = 10 \text{ nm}$ 、ソース - ゲート間距離  $L_{sg} = 100 \text{ nm}$ 、ソースドーピング濃度  $1 \times 10^{18} \text{ cm}^{-3}$  であり、ゲート絶縁物は  $\text{SiO}_2$  とした。また、伝達コンダクタンスを比較するために従来の構造においても計算を行った。従来の構造ではソース - ゲート間距離  $L_{sg} = 10 \text{ nm}$  とし、そのほかのパラメータは同じ値を用いた。

シミュレーションの結果、新しい構造ではメサ中央部の伝達コンダクタンスが側面部の伝達コンダクタンスよりも 35 % 程度減少して電界の不均一が生じている。しかしながら、従来の構造においても 30 % 程度小さくなっており、これらの差は高々 5 % 程度なのでほとんど影響はないと考えている。さらに、 $2.2 \text{ S/mm}$  から  $2.6 \text{ S/mm}$  に増加しているの新しい構造では伝達コンダクタンスの増加が期待できる。

また、ドーピング濃度を増加させることや、ゲート絶縁物に high-k 材料を用いることにより、さらなる伝達コンダクタンスが増大することが期待できる。

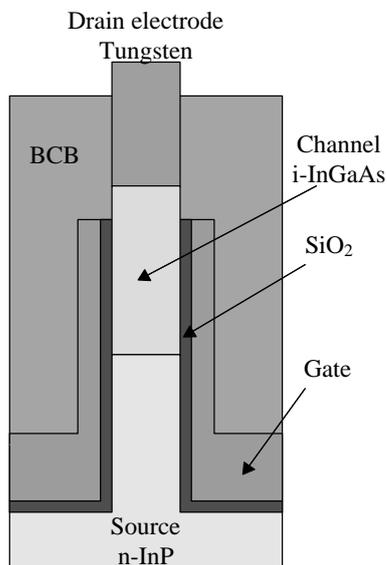


図 6 新しく提案する構造  
Fig. 6 Schematic image of device

図 6 の構造では、ゲートとソース間の寄生容量が増大してしまうことで、これによって高周波特性が悪化してしまうと考えられる。しかしながら、ゲート絶縁物とサブソースの間に low-k 材料を挟むことによって容量の削減が期待できる。そこで、図 6 に示した構造において、直流において歩留まりの向上及びモンテカルロシミュレーションにより求めた遮断周波数  $1 \text{ THz}$  を超えるとされる駆動能力が達成でき次第、高周波用の素子としてゲート絶縁物の下に low-k を挟む構造の作製を行うことを検討している。

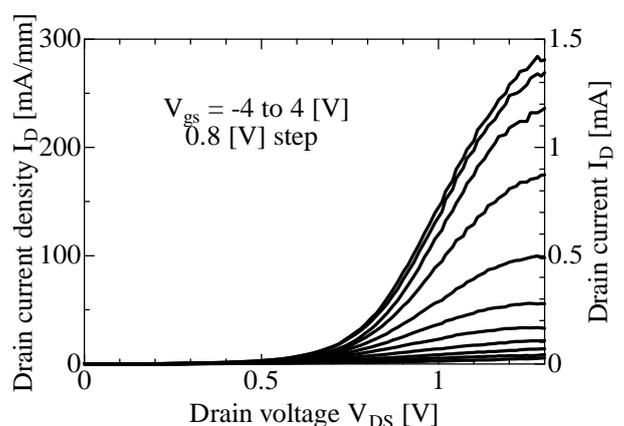
ゲート絶縁物とゲート金属を連続的に成膜してメサを覆う構造としたことにより、ゲートの絶縁を得るための作製プロセスはナノワイヤデバイスに用いられているプロセスと同様のものを用いることができる。[10]

従来のプロセスとの変更点はゲートの形成方法である

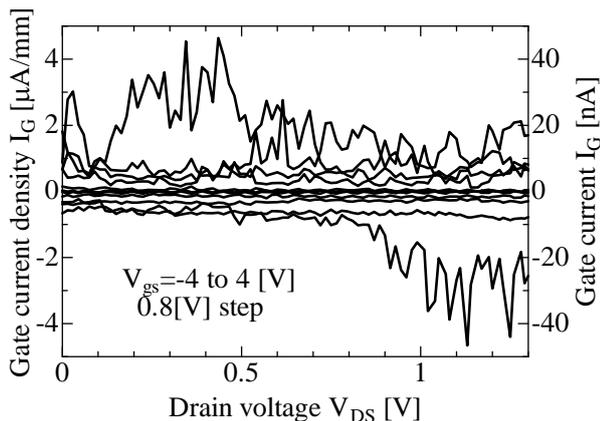
が、これに伴ってメサ形成に ICP-RIE を用いた。従来の RIE によるエッチングでは側面に凹凸があったために、ゲート絶縁物である  $\text{SiO}_2$  やゲート金属である  $\text{Ti}$  がチャンネル側面に成膜されなかった。そこで、凹凸をなくすために、エッチング速度が速い ICP-RIE を用いて、エッチングとアッシングを繰り返すことなくメサ形成を行った。そして、表面処理を行った後、PECVD により  $\text{SiO}_2$  を  $10 \text{ nm}$ 、スパッタにより  $\text{Ti}$  を垂直方向に  $60 \text{ nm}$  連続的に成膜するという方法を用いた。

作製プロセスは以下の通りである。n-InP 基板の上に MOVPE を用いて n-InP と  $120 \text{ nm}$  の i-InGaAs を成長したあと、スパッタによりタングステンを  $150 \text{ nm}$  程度成膜する。そのあとで、電子ビーム露光とリフトオフプロセスを用いて微細な Cr の線を形成する。Cr をマスクとして、 $\text{CF}_4$  系 RIE によりタングステンを転写し、続けて  $\text{CH}_4\text{-H}_2$  系 ICP-RIE を用いて半導体メサを形成する。そのあとで、表面処理のために硫酸系エッチャント ( $\text{H}_2\text{SO}_4\text{:H}_2\text{O}_2\text{:H}_2\text{O} = 1\text{:}1\text{:}100$ )、塩酸系エッチャント ( $\text{HCl}\text{:H}_3\text{PO}_4 = 1\text{:}7$ ) によりウエットエッチングを行う。ゲート絶縁物となる  $\text{SiO}_2$  を PECVD によって  $10 \text{ nm}$ 、ゲート金属となる  $\text{Ti}$  をスパッタとリフトオフプロセスにより連続的に成膜する。そのあとで、酸素プラズマによるフォトリソのエッチバックと BHF によって、メサトップに付着した  $\text{Ti}$  と  $\text{SiO}_2$  を除去して、ドレイン電極を露出させる。このあとで、BCB によりメサ全体を埋め込み、ドレインの頭が出るまで BCB を  $\text{CF}_4$  系 RIE でエッチバックしたのち、配線を行う。

新しく提案した構造で素子を作製したところ、ゲートによるドレイン電流の変調が観測できる素子数が、10 % 程度から 50 % 程度まで増加した。これは、メサ全体をゲート絶縁物とゲート金属のスタックで覆う構造にしたことにより、ゲート絶縁膜厚のばらつきが少なくなったためであると考えられる。以下にソース幅  $50 \text{ nm}$ 、素子長  $5 \mu\text{m}$  で作製した結果を示す。



(a) Drain current



(b) Gate current

図7 新しく提案した素子のソース接地特性

Fig. 7 Common source characteristic of proposed device

図7に示すように、明瞭なドレイン電流の飽和特性と、ゲート電圧によるドレイン電流の変調を観測した。また、最大ドレイン電流密度が 270 mA/mm に増加した。

ゲート電流に関しては、低ゲート電圧領域ではゲート電流がドレイン電流に対して8桁程度小さい値となっていて、絶縁性を確認できるが、高ゲート電圧領域ではゲート電流が増加してしまっている。そのため、このリーク電流は SiO<sub>2</sub> の性質によるものであると考えられる。

図8に作製した素子の伝達特性を示す。

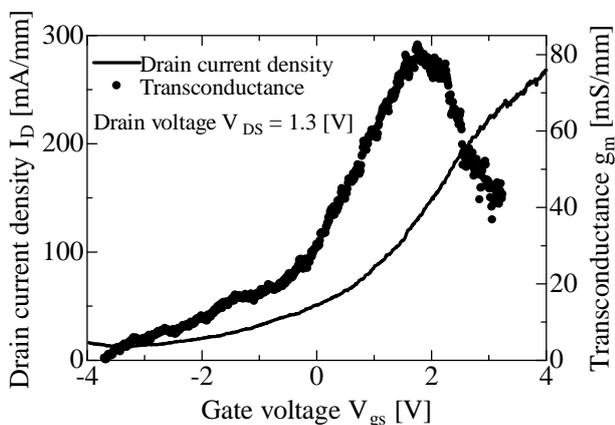


図8 新しく提案した素子の伝達特性

Fig. 8 Transfer characteristic of proposed device

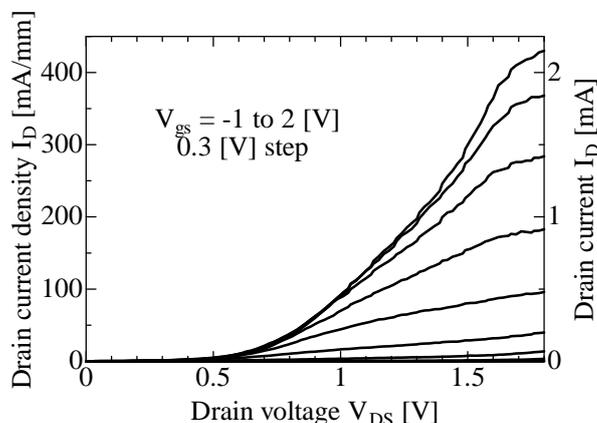
図8より、 $V_g = 2$  V付近で伝達コンダクタンスがピークをとり、80 mS/mmとなっていて、従来の素子において得られた 130 mS/mm よりも小さい値である。理論計算では、従来の構造よりも伝達コンダクタンスが増加するという結果が得られている。この原因の一つとして、ドライエッチングで生じたメサ側面のトラップに溜まった電荷によって、ゲートから生じる電気力線が終端してしまった可能性がある。

#### 4. 絶縁膜を薄くした構造

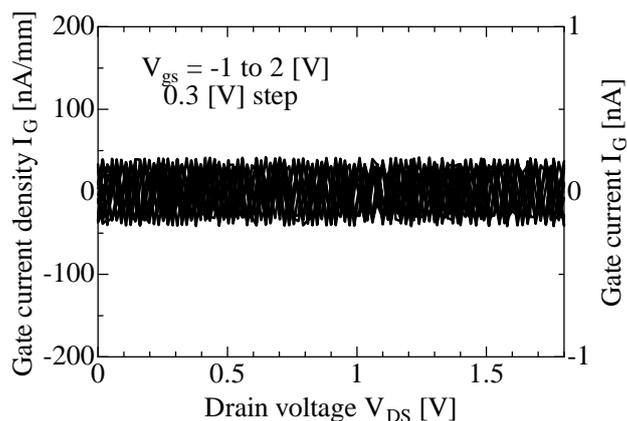
先ほど示した素子では、従来の構造に比べて歩留まりと電流密度の増加はあったものの、伝達コンダクタンスが低下してしまった。そこで、伝達コンダクタンスを増加させるために、絶縁膜の厚さを 10 nm から 5 nm に薄くした。理論計算では、ソース幅 50 nm の素子において絶縁膜を薄くすることにより、3.0 S/mm から 4.0 S/mm に増加するという結果が得られている。

また、電流密度の増加を図るために、ソースのドーピング濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  から  $2 \times 10^{18} \text{ cm}^{-3}$  に増加させた。先ほどと同様の見積もりでは、ドーピング濃度を増加させることによりソース幅 50 nm の素子において電流密度は 915 mA/mm から 2 A/mm まで増加する。

ソース幅 50 nm、素子長 5  $\mu\text{m}$  で作製した素子の測定結果を以下に示す。



(a) Drain current



(b) Gate current

図9 ゲート絶縁膜が 5 nm の素子のソース接地特性

Fig. 9 Common source characteristics of device with 5 nm-thick gate dielectric

図9(a)より最大ドレイン電流密度が 400 mA/mm まで増加した。これは、ソースドーピング濃度を増加させたため

であると考えられる。また、図 8(b)より、SiO<sub>2</sub>の厚さを 10 nm から 5 nm に薄くしたが、ゲートリーク電流が観測できていないために、良好な絶縁性を確認した。

次に、伝達特性は以下ようになった。

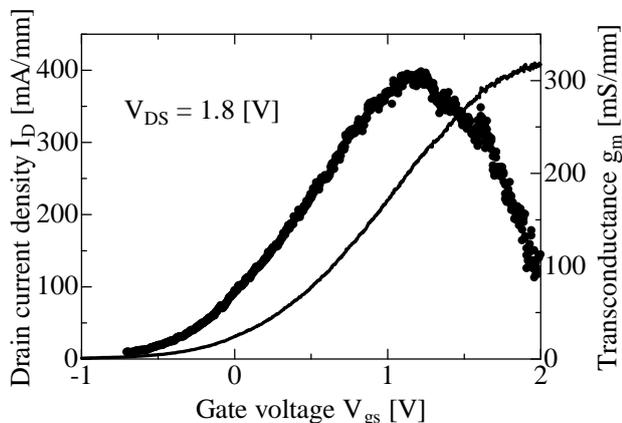


図 10 ゲート絶縁膜が 5 nm の素子の伝達特性  
Fig. 10 Transfer characteristic of device with 5 nm-thick gate dielectric

ゲート電圧 1 V 付近で伝達コンダクタンスがピークをとり、300 mS/mm となり、絶縁膜厚が 10 nm の素子と比較すると 4 倍程度大きくなった。これは、ソースドーピング濃度を 2 倍に増加させたことと、絶縁膜を半分を薄くしたことによるものと考えられる。また、伝達コンダクタンスが最大となるゲート電圧が変化したことも、絶縁膜厚が薄くなったためである。これにより、絶縁膜に High-k 材料を用いることで、更なる低電圧化および駆動能力の向上が期待できる。

## 5. まとめ

絶縁ゲート制御型のホットエレクトロントランジスタの作製を行ったが、ゲートによるドレイン電流の変調が観測できる素子数が少なかった。そこで、ゲート絶縁物とゲート金属を連続的に成膜する縦型 InGaAs-MOSFET の提案・作製を行った。作製したデバイスでは、最大ドレイン電流密度 400 mA/mm、伝達コンダクタンス 300 mS/mm を達成し、従来の構造におけるドレイン電流密度 100 mA/mm、伝達コンダクタンス 130 mS/mm と比較して、駆動能力が大幅に増加した。

## 6. 謝辞

本研究は科学研究費補助金(JSAP)、戦略的情報通信研究開発推進制度(SCOPE)の援助を受けて行われました。また、本研究の一部は文部科学省の「ナノテクノロジー・ネットワーク」プロジェクトの支援を受けて、(独)産業技術総合研

究所ナノプロセス施設において実施されました。

## 文 献

- (1) Y. Miyamoto, R. Yamamoto, H. Maeda, K. Takeuchi, N. Machida, L. E. Wernersson, and K. Furuya : "InP Hot Electron Transistors with a Buried Metal Gate", Jpn. J. Appl. Phys, Vol.42, No.12 pp.7221 - 7226 (2003)
- (2) K Furuya, N Machida, M Igarashi, R Nakagawa, I Kashima, M Ishida and Y Miyamoto : "MC simulation of ultrafast transistor using ballistic electron in intrinsic semiconductor and its fabrication feasibility", J. Physics: Conference Series, 38, 208 - 211 (2006)
- (3) A. Suwa, I. Kashima, Y. Miyamoto, and K. Furuya : "Increase in Collector Current in Hot-Electron Transistors Controlled by Gate Bias", Jpn. J. Appl. Phys, Vol.46, No.9 L202 - 204 (2007)
- (4) A. Suwa, T. Hasegawa, T. Hino, H. Saito, M. Oono, Y. Miyamoto, and K. Furuya : "InP/InGaAs Hot Electron Transistors with Insulated Gate", Jpn. J. Appl. Phys, Vol.46, No.25 L617 - 619 (2007)
- (5) M. Ida, K. Kurishima, and N. Watanabe : "Over 300 GHz  $f_T$  and  $f_{max}$  InP/InGaAs Double Heterojunction Bipolar Transistors With a Thin Pseudomorphic Base", IEEE Electron Device Letter, Vol. 23, No. 12, pp. 694 - 696 (2002)
- (6) N. Machida, Y. Miyamoto, and K. Furuya : "Charging Time of Double-Layer Emitter in Heterojunction Bipolar Transistor Based on Transmission Formalism", Jpn. J. Appl. Phys, Vol. 45, No. 35, L935 - 937 (2006)
- (7) G. A. May : "The Schottky-barrier-collector transistor", Solid-State Electron, Vol. 11, pp. 613 - 619 (1968)
- (8) T. Hino, A. Suwa, T. Hasegawa, H. Saito, M. Oono, Y. Miyamoto, and K. Furuya : "Fabrication of hot electron transistor controlled by insulated gate", Proc. IEEE Conf. on Indium Phosphide and Related Materials, pp. 129 - 132, Matsue, Japan (2007).
- (9) H.Saito, T. Hino, Y. Miyamoto, K. Furuya : "Hot Electron Transistor controlled by insulated gate with 70 nm width emitter", Proc. IEEE Conf. on Indium Phosphide and Related Materials, Paris, France (2008)
- (10) C. Thelander, C. Rehnstedt, L. E. Fröberg, E. Lind, T. Martensson, P. Caroff, T. Löwgren, B. J. Ohlsson, L. Samuelson, L. E. Wernersson : "Development of a Vertical Wrap-Gated InAs FET", IEEE Trans. Electron Devices, Vol. 55, No. 11, pp. 3030 - 3036 (2008)