T2R2東京工業大学リサーチリポジトリ Tokyo Tech Research Repository

論文 / 著書情報 Article / Book Information

論題(和文)	へ テロランチャと真性チャネルを有する縦型InGaAs-MOSFETの作製
Title(English)	Fabrication of vertical InGaAs-MOSFET with heterostructure launcher and intrinsic channel
著者(和文)	齋藤尚史,金澤徹,宮本恭幸,古屋一仁
Authors(English)	Hisashi Saito, Toru Kanazawa, Yasuyuki Miyamoto, Kazuhito Furuya
出典(和文)	J J J
Citation(English)	, , ,
発行日 / Pub. date	2009, 3
権利情報 / Copyright	本著作物の著作権は電気学会に帰属します。 Copyright (c) 2009 Institute of Electrical Engineers of Japan.
Note	 引用、転載の際には電気学会の許諾を得ること。

ヘテロランチャと真性チャネルを有する 縦型 InGaAs-MOSFET の作製

齋藤 尚史*, 金澤 徹, 宮本 恭幸, 古屋 一仁 (東京工業大学)

Fabrication of vertical InGaAs-MOSFET with heterostructure launcher and intrinsic channel

Hisashi Saito*, Toru Kanazawa, Yasuyuki Miyamoto, and Kazuhito Furuya (Tokyo Tech)

In this report, we describe vertical InGaAs-MOSFET with heterostructure launcher and intrinsic channel. In the conventional structure, the number of the device which could be observed the modulation of drain current by gate bias was only about 10 %. Thus, we proposed a new structure whose mesa was covered by the stuck of gate insulator and gate metal. In the new structure, the number of the device which could be observed the modulation of drain current by gate bias was increased from about 10 % to 50 %. Moreover, the drivability of the device was also increased. The drain current density was increased from 100 mA/mm to 400 mA/mm, and transconductance was increased from 130 mS/mm to 300 mS/mm.

キーワード: InGaAs-MOSFET、ヘテロランチャ、真性チャネル、ホットエレクトロン (Keywords: InGaAs-MOSFET, heterostructure launcher, intrinsic channel, hot electron)

1. はじめに

大容量光通信技術の発展に伴い、トランジスタの高速化 が求められている。しかしながら、現在最も広く用いられ ている Si 系 MOSFET はスケーリングによる微小化に伴っ て短チャネル効果など弊害が生じている。そのため、Si に 比べて有効質量が軽く、高速動作が期待されるデバイスと して HBT、HEMT が広く研究されている。現在最も高速に 動作するトランジスタは InP 系 HBT であるが、HBT では ベース層が高濃度にドーピングされており、エミッタから 放出された電子がベース層でプラズモン散乱を受けてしま い速度緩和が生じてしまう。

そこで、走行中のプラズモン散乱を抑制することにより、 HBTよりも高速に動作するトランジスタが実現できる可能 性がある。我々はプラズモン散乱を抑制するためにソース から放出された電子の走行する領域をすべて真性半導体と した図1に示す構造のトランジスタの提案を行った。[1-4]

このトランジスタでは、InP/InGaAs ヘテロランチャより 放出されたホットエレクトロンが InGaAs の真性半導体領 域を散乱を受けることなくバリスティックに走行する。モ ンテカルロシミュレーションによる見積もりでは、電流密 度1 MA/cm²以上[5,6]において遮断周波数が1 THz を超え るという結果が得られている。このとき、走行中の電子速 度が70 nm の走行領域の全域において 7.5×10⁷ cm/s を達 成している。

また、ゲートリーク電流を抑制するために、ゲートを絶 縁物である BCB によって埋め込む構造とした。さらに、ド レインからの逆注入を抑制するために、ドレインのコンタ クトにショットキー接合を用いた。[7]



図1 提案する素子構造

Fig. 1 Schematic image of proposed device 当初提案した構造において、ゲートによるドレイン電流 の変調が観測できる素子数が 10 %程度と非常に少なかっ た。この原因として、ゲート - メサ間の距離のばらつきで あると考えた。そこで、このばらつきを抑制するために、 メサをゲート絶縁物とゲート金属のスタックで覆う新しい 構造の提案を行った。新しい構造においては、ゲートによ るドレイン電流の変調が観測できる素子数が 50 %程度に増 加した。また、駆動能力に関しても、ドレイン電流密度が 100 mA/mm から 400 mA/mm、伝達コンダクタンスが 130 mS/mm から 300 mS/mm まで増加した。

2. 従来の構造

当初の試作では、絶縁ゲートによる明瞭なドレイン電流 の変調を観測できたが、出力コンダクタンスが大きくなっ てしまい、飽和特性の観測に至らなかった。[8,9]そこで、 出力コンダクタンスを低減するために、電子走行層を長く することを考えた。これは、出力コンダクタンスがソース - ドレイン間の容量に依存するためである。そこで、電子 走行層を 70 nm から 120 nm に長くした素子の作製を行っ た。120 nm であれば走行中の電子の LO フォノン散乱を抑 制することができることが、モンテカルロシミュレーショ ンにより分かっている。

素子作製プロセスは以下の通りである。まず、n-InP 基板 上に MOVPE によりソース層 n-InP、電子走行層 i-InGaAs を結晶成長する。そのあとでスパッタによりドレイン電極 となるタングステンを 150 nm 成膜する。電子ビーム露光と リフトオフプロセスを用いてマスクとなる幅 50 nm、長さ5 μm の Cr を形成する。Cr をマスクとして、CF4 系 RIE を 用いてタングステンを転写し、続けて CH4·H2系 RIE を用 いて半導体をドライエッチングする。このあとで、硫酸系 エッチャント(H₂SO4:H₂O₂:H₂O = 1:1:100)と塩酸系エッチ ャント(HCl:H₃PO₄ = 1:7)によりウエットエッチングを行 う。BCBによって素子全体を埋め込み、CF4系 RIE でヘテ ロ界面よりも 10 nm 高い位置まで BCB をエッチバックす る。電子ビーム露光とセルフアライメントプロセスにより 厚さ 40 nm の Cr/Au ゲートを蒸着する。再度 BCB で素子 全体を埋め込み、ドレイン電極の頭が出るまで BCB のエッ チバックを行う。最後に、上部から配線を行って素子の完 成とする。

ドライエッチングにおいて、マスク幅とソース幅が同程 度となるようにするために、90secのCH4-H2プラズマによ るエッチングと60secのO2プラズマによるアッシングを3 セット繰り返して行った。しかしながら、この条件ではチ ャネル層側面に凹凸ができてしまい、ゲートをセルフアラ イメントで形成する際に、凹凸とゲート金属が接触してし まい、リーク電流が流れてしまうことが考えられる。そこ で、硫酸系エッチャントによるチャネル層のアンダーカッ トにより凹凸のもっとも太い部分がソース幅よりも小さく なるようにした。これらの条件を用いて作製したメサの SEMを図2に示す。



図2 作製したメサ Fig. 2 SEM cross-sectional image of fabricated mesa

凹凸はあるものの、もっとも太い部分がソース幅とほぼ 等しくなっているために、ゲート形成時の接触が抑制でき ると考えられる。

ソース幅 50 nm、素子長 5 μm で作製した素子のソース接 地特性および伝達特性をそれぞれ図 3、4 に示す。



の変調とドレイン電流の飽和特性を観測した。しかしなが ら、ゲート電流がドレイン電流の0.1%以下となっており、 完全なゲートの絶縁性は示せなかった。この原因として、 ソース - ゲート間の2端子測定においてショットキーのよ うな特性が得られたことから、5µm あるメサのうち一部が ゲートと接触してしまったと考えている。



図 4 伝達特性 Fig. 4 Transfer characteristic

また図 4 に示した伝達特性より、最大ドレイン電流密度 100 mA/mm、伝達コンダクタンス 130 mS/mm が得られた。 作製した素子を集束イオンビーム加工装置で断面加工を 行い、SEM 観察を行った結果を図 5 に示す。



図 5 断面 SEM Fig. 5 SEM cross-sectional image of device

図 5 から見積もった寸法を用いて理論計算を行った。その結果、ソース厚 D_s =110 nm、チャネル長 L_c =120 nm、ドレイン厚 D_d =100 nm、ソース幅 W_s =50 nm、ドレイン 幅 W_d =50 nm、ゲート幅 W_g =300 nm、ゲート厚 D_g =35 nm、ゲート - チャネル間距離 d_{ox} =20 nm、ソース - ゲート間距離 L_{sg} =-20 nm となった。ここで、ソース - ゲート間距離がマイナスになっているのは、ゲート上端がヘテロ 界面よりも下に位置していることを意味している。そのほ

かのパラメータとしては、ソースドーピング濃度を 1×10^{18} cm⁻³とした。

理論計算は 2 次元のポテンシャル計算を用いた。ソース 領域は擬フェルミレベルを一定として 2 次元のポアソンの 方程式を解き、それ以外の領域ではラプラス方程式を解い た。電流量は透過率 TT*を用いて Esaki-Tsu の式から計算 した。透過率は単純な仮定を用いて、ソースのポテンシャ ルバリアよりも高いエネルギーをもった電子の透過率は 1 で、ポテンシャルバリアよりも低いエネルギーの電子の透 過率は 0 とした。その結果、電流密度が 915 mA/mm とな り、実験値の約 9 倍程度大きい。ただし、ポテンシャルバ リアによる量子反射を考慮していないために、大きく見積 もりすぎている可能性がある。

また、測定した特性のうち、ゲートによってドレイン電 流の変調が観測できる素子数は全体の10%程度であった。 変調が観測できない素子の多くはゲートリーク電流がドレ イン電流よりも大きくなってしまっていた。

3. 新しい素子構造

ゲートによるドレイン電流の変調が観測できる素子数が 少ないことは問題である。この原因は、ゲート絶縁物の厚 さが、ドレイン電極下のチャネル層のアンダーカットと、 絶縁物である BCBのエッチバックによって決定されていた ために、ゲートとメサの間の絶縁物の厚さが素子ごとで不 均一となり、ゲートリーク電流が流れてしまうものが多か ったためであると考えられる。そこで、ゲートとメサの間 に確実に絶縁物を挟み込みかつ絶縁膜の厚さが均一になる ようにすることで、改善できると考えられる。

次に、従来の素子においてはソースドレイン間の 2 端子 測定においてソース幅 30 nm の素子は 50 nm の素子よりも ドレイン電流がかなり小さかった。このことから、ソース 側面がフェルミレベルピンニングにより空乏化してしまっ ているのではないかと考えた。そこで、電流量を増加させ るためには、ソース側面部までゲートで覆うことでゲート 電圧印加時にソース側面のポテンシャルを引き下げ、フェ ルミレベルピンニングの影響を少なくすることを考えた。

以上のことを踏まえて、図 6 に示す構造を新たに提案する。図 6 の構造では、メサ全体をゲート絶縁物とゲート金属のスタックで埋め込む構造としてあるために、素子ごとのゲート絶縁膜厚のばらつきを抑制できると考えられる。 またこの構造は、ヘテロランチャと真性半導体チャネルを 有する縦型の InGaAs-MOSFET となっている。

新しい構造では、従来の構造と比較してゲートとヘテロ 界面の距離が近づいていることから、伝達コンダクタンス の向上が期待できる。そこで、先ほど述べたモデルを用い てヘテロ界面近傍の電界分布を計算した。計算に用いた構 造は、ソース厚 D_s =110 nm、チャネル長 L_c =120 nm、ド レイン厚 D_d =100 nm、ソース幅 W_s =30 nm、ドレイン幅 W_d =30 nm、ゲート幅 W_g =50 nm、ゲート厚 D_g =230 nm、 ゲート - チャネル間距離 $d_{ox} = 10 \text{ nm}$ 、ソース - ゲート間距 離 $L_{sg} = -100 \text{ nm}$ 、ソースドーピング濃度 $1 \times 10^{18} \text{ cm}^{-3}$ であ り、ゲート絶縁物は SiO_2 とした。また、伝達コンダクタン スを比較するために従来の構造においても計算を行った。 従来の構造ではソース - ゲート間距離 $L_{sg} = 10 \text{ nm}$ とし、そ のほかのパラメータは同じ値を用いた。

シミュレーションの結果、新しい構造ではメサ中央部の 伝達コンダクタンスが側面部の伝達コンダクタンスよりも 35%程度減少していて電界の不均一が生じている。しかし ながら、従来においても30%程度小さくなっており、これ らの差は高々5%程度なのでほとんど影響はないと考えて いる。さらに、2.2 S/mmから2.6 S/mmに増加しているの で新しい構造では伝達コンダクタンスの増加が期待でき る。

また、ドーピング濃度を増加させることや、ゲート絶縁 物に high・k 材料を用いることにより、さらなる伝達コンダ クタンスが増大することが期待できる。



図 6 新しく提案する構造 Fig. 6 Schematic image of device

図 6 の構造では、ゲートとソース間の寄生容量が増大し てしまうことで、これによって高周波特性が悪化してしま うと考えられる。しかしながら、ゲート絶縁物とサブソー スの間に low・k 材料を挟むことによって容量の削減が期待 できる。そこで、図 6 に示した構造において、直流におい て歩留まりの向上及びモンテカルロシミュレーションによ り求めた遮断周波数1 THz を超えるとされる駆動能力が達 成でき次第、高周波用の素子としてゲート絶縁物の下に low・k を挟む構造の作製を行うことを検討している。

ゲート絶縁物とゲート金属を連続的に成膜してメサを覆 う構造としたことにより、ゲートの絶縁を得るための作製 プロセスはナノワイヤデバイスに用いられているプロセス と同様のものを用いることができる。[10]

従来のプロセスとの変更点はゲートの形成方法である

が、これに伴ってメサ形成に ICP-RIE を用いた。従来の RIE によるエッチングでは側面に凹凸があったために、ゲート 絶縁物である SiO₂ やゲート金属である Ti がチャネル側面 に成膜されなかった。そこで、凹凸をなくすために、エッ チング速度が速い ICP-RIE を用いて、エッチングとアッシ ングを繰り返すことなくメサ形成を行った。そして、表面 処理を行った後、PECVD により SiO₂を 10 nm、スパッタ により Ti を垂直方向に 60 nm 連続的に成膜するという方法 を用いた。

作製プロセスは以下の通りである。n-InP 基板上に MOVPE を用いて n-InP と 120 nm の i-InGaAs を成長した あと、スパッタによりタングステンを 150 nm 程度成膜す る。そのあとで、電子ビーム露光とリフトオフプロセスを 用いて微細な Cr の線を形成する。Cr をマスクとして、CF4 系 RIE によりタングステンを転写し、続けて CH4-H2 系 ICP-RIE を用いて半導体メサを形成する。そのあとで、表 面処理のために硫酸系エッチャント(H₂SO₄:H₂O₂:H₂O = 1:1:100)、塩酸系エッチャント(HCl:H₃PO₄ = 1:7)によりウ エットエッチングを行う。ゲート絶縁物となる SiO2 を PECVD によって 10 nm、ゲート金属となる Ti をスパッタ とリフトオフプロセスにより連続的に成膜する。そのあと で、酸素プラズマによるフォトレジストのエッチバックと BHF によって、メサトップに付着した Ti と SiO2 を除去し て、ドレイン電極を露出させる。このあとで、BCB により メサ全体を埋め込み、ドレインの頭が出るまで BCBを CF4 系 RIE でエッチバックしたのち、配線を行う。

新しく提案した構造で素子を作製したところ、ゲート によるドレイン電流の変調が観測できる素子数が、10%程 度から50%程度まで増加した。これは、メサ全体をゲート 絶縁物とゲート金属のスタックで覆う構造にしたことによ り、ゲート絶縁膜厚のばらつきが少なくなったためである と考えられる。以下にソース幅50 nm、素子長5 μmで作製 した結果を示す。



(a) Drain current







図 7 に示すように、明瞭なドレイン電流の飽和特性と、 ゲート電圧によるドレイン電流の変調を観測した。また、 最大ドレイン電流密度が 270 mA/mm に増加した。

ゲート電流に関しては、低ゲート電圧領域ではゲート電 流がドレイン電流に対して8桁程度小さい値となっていて、 絶縁性を確認できるが、高ゲート電圧領域ではゲート電流 が増加してしまっている。そのため、このリーク電流はSiO2 の性質によるものであると考えられる。

図8に作製した素子の伝達特性を示す。



図 8 新しく提案した素子の伝達特性 Fig. 8 Transfer characteristic of proposed device

図8より、Vg = 2V付近で伝達コンダクタンスがピーク をとり、80mS/mmとなっていて、従来の素子において得 られた130mS/mmよりも小さい値である。理論計算では、 従来の構造よりも伝達コンダクタンスが増加するという結 果が得られている。この原因の一つとして、ドライエッチ ングで生じたメサ側面のトラップに溜まった電荷によっ て、ゲートから生じる電気力線が終端してしまった可能性 がある。

4. 絶縁膜を薄くした構造

先ほど示した素子では、従来の構造に比べて歩留まりと 電流密度の増加はあったものの、伝達コンダクタンスが低 下してしまった。そこで、伝達コンダクタンスを増加させ るために、絶縁膜の厚さを10 nmから5 nmに薄くした。 理論計算では、ソース幅50 nmの素子において絶縁膜を薄 くすることにより、3.0 S/mmから4.0 S/mmに増加すると いう結果が得られている。

また、電流密度の増加を図るために、ソースのドーピン グ濃度を 1×10^{18} cm⁻³から 2×10^{18} cm⁻³に増加させた。先 ほどと同様の見積もりでは、ドーピング濃度を増加させる ことによりソース幅 50 nm の素子において電流密度は 915 mA/mm から 2 A/mm まで増加する。

ソース幅 50 nm、素子長 5 μm で作製した素子の測定結果 を以下に示す。



図 9(a)より最大ドレイン電流密度が 400 mA/mm まで増加した。これは、ソースドーピング濃度を増加させたため

であると考えられる。また、図 8(b)より、SiO2の厚さを 10 nm から 5 nm に薄くしたが、ゲートリーク電流が観測でき ていないために、良好な絶縁性を確認した。

次に、伝達特性は以下のようになった。





ゲート電圧 1 V 付近で伝達コンダクタンスがピークをと り、300 mS/mm となり、絶縁膜厚が 10 nm の素子と比較 すると 4 倍程度大きくなった。これは、ソースドーピング 濃度を 2 倍に増加させたことと、絶縁膜を半分に薄くした ことによるものであると考えられる。また、伝達コンダク タンスが最大となるゲート電圧が変化したことも、絶縁膜 厚が薄くなったためである。これにより、絶縁膜に High-k 材料を用いることで、更なる低電圧化および駆動能力の向 上が期待できる。

5. まとめ

絶縁ゲート制御型のホットエレクトロントランジスタの 作製を行ったが、ゲートによるドレイン電流の変調が観測 できる素子数が少なかった。そこで、ゲート絶縁物とゲー ト金属を連続的に成膜する縦型 InGaAs-MOSFET の提 案・作製を行った。作製したデバイスでは、最大ドレイン 電流密度 400 mA/mm、伝達コンダクタンス 300 mS/mm を 達成し、従来の構造におけるドレイン電流密度 100 mA/mm、伝達コンダクタンス 130 mS/mm と比較して、駆 動能力が大幅に増加した。

6. 謝辞

本研究は科学研究費補助金(JSAP)、戦略的情報通信研究 開発推進制度(SCOPE)の援助を受けて行われました。また、 本研究の一部は文部科学省の「ナノテクノロジー・ネット ワーク」プロジェクトの支援を受けて、(独)産業技術総合研 究所ナノプロセシング施設において実施されました。

文 献

- (1) Y. Miyamoto, R. Yamamoto, H. Maeda, K. Takeuchi, N. Machida, L. E. Wernersson, and K. Furuya : "InP Hot Electron Transistors with a Buried Metal Gate", Jpn. J. Appl. Phys, Vol.42, No.12 pp.7221 - 7226 (2003)
- (2) K Furuya, N Machida, M Igarashi, R Nakagawa, I Kashima, M Ishida and Y Miyamoto : "MC simulation of ultrafast transistor using ballistic electron in intrinsic semiconductor and its fabrication feasibility", J. Physics: Conference Series, 38, 208 -211 (2006)
- (3) A. Suwa, I. Kashima, Y. Miyamoto, and K. Furuya : "Increase in Collector Current in Hot-Electron Transistors Controlled by Gate Bias", Jpn. J. Appl. Phys, Vol.46, No.9 L202 · 204 (2007)
- (4) A. Suwa, T. Hasegawa, T. Hino, H. Saito, M. Oono, Y. Miyamoto, and K. Furuya : "InP/InGaAs Hot Electron Transistors with Insulated Gate", Jpn. J. Appl. Phys, Vol.46, No.25 L617 - 619 (2007)
- (5) M. Ida, K. Kurishima, and N. Watanabe : "Over 300 GHz f_T and f_{max} InP/InGaAs Double Heterojunction Bipolar Transistors With a Thin Pseudomorphic Base", IEEE Electron Device Letter, Vol. 23, No. 12, pp. 694 696 (2002)
- (6) N. Machida, Y. Miyamoto, and K. Furuya : "Charging Time of Double-Layer Emitter in Heterojunction Bipolar Transistor Based on Transmission Formalism", Jon. J. Appl. Phys, Vol. 45, No. 35, L935 - 937 (2006)
- (7) G. A. May : "The Schottky-barrier-collector transistor", Solid-State Electron, Vol. 11, pp. 613 – 619 (1968)
- (8) T. Hino, A. Suwa, T. Hasegawa, H. Saito, M. Oono, Y. Miyamoto, and K. Furuya : "Fabrication of hot electron transistor controlled by insulated gate", Proc. IEEE Conf. on Indium Phosphide and Related Materials, pp. 129 - 132, Matsue, Japan (2007).
- (9) H.Saito, T. Hino, Y. Miyamoto, K. Furuya : "Hot Electron Transistor controlled by insulated gate with 70 nm width emitter", Proc. IEEE Conf. on Indium Phosphide and Related Materials, Paris, France (2008)
- (10) C. Thelander, C. Rehnstedt, L. E. Fröberg, E. Lind, T. Martensson, P. Caroff, T. Löwgren, B. J. Ohlsson, L. Samuelson, L. E. Wernersson : "Development of a Vertical Wrap-Gated InAs FET", IEEE Trans. Electron Devices, Vol. 55, No. 11, pp. 3030 3036 (2008)