

論文 / 著書情報
Article / Book Information

論題(和文)	FIRフィルタの積和演算におけるCarry先送り
Title(English)	Carry-Save Multiply and Add Operation in FIR Filters
著者(和文)	白鳥昌嗣, 西原明法, 藤井信生
Authors(English)	AKINORI NISHIHARA, NOBUO FUJII
出典(和文)	電子情報通信学会論文誌(A), Vol. J81-A, , pp. 1624-1626
Citation(English)	, Vol. J81-A, , pp. 1624-1626
発行日 / Pub. date	1998, 11
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 1998 Institute of Electronics, Information and Communication Engineers.

研究速報

FIR フィルタの積和演算における Carry 先送り

白鳥 昌嗣^{†*}西原 明法^{††} (正員)藤井 信生[†] (正員)

Carry-Save Multiply and Add Operation in FIR Digital Filters

Masatsugu SHIRATORI^{†*}, Nonmember, Akinori NISHIHARA^{††},
and Nobuo FUJII[†], Members[†] 東京工業大学工学部電子物理工学科, 東京都Department of Physical Electronics, Tokyo Institute of Technology,
Tokyo, 152-8552 Japan^{††} 東京工業大学教育工学開発センター, 東京都The Center for Research and Development of Educational Technology,
Tokyo Institute of Technology, Tokyo, 152-8552 Japan

* 現在, JR 東日本

あらまし FIR フィルタの演算の特徴である積和演算の繰返しに注目し, 加算部分で Carry を先送りすることで, 乗算器を含めたクリティカルパスを短くした。また, クリティカルパスを最小とするような最適先送りする位置の求め方を示した。

キーワード FIR フィルタ, 乗算器, 加算器, Carry 先送り

1. まえがき

FIR フィルタは完全な直線位相特性を実現でき, 安定性が保証されているので, 画像信号をはじめとするデジタル信号処理に多く用いられる。しかし, 急しゅんな遮断特性を得るには高い次数が必要なので, 演算量が增大して計算処理時間がかかり, 回路規模が大きい。

本研究では, 係数が可変である FIR フィルタを高速動作させるために, 回路面積をあまり変えずに, クリティカルパスの短い積和演算回路の構成法を提案する。

2. FIR フィルタの構成

FIR フィルタの構成方法の一つである転置形は, フィルタの次数にかかわらず遅延器間のクリティカルパスが乗算器 1 個と加算器 1 個しかなく, 直接形に比べてクリティカルパスが短い。

信号が 8 bit 固定小数点で 2 の補数表示として, フィルタ係数が可変の場合の一般的な乗算器と加算器のブロック図を図 1 に示す。なお, 乗算の出力は上位 8 bit としている。

3. Carry 先送り構成

先送りする例を図 2 に示す。図 2 中に点線で示した部分が先送りすることで追加する部分である。

このように乗算器の一部を含めて Carry のデータを先送りすることにより, クリティカルパスは短くなる。

また, 遅延器 (z^{-1}) ごとに順次先送りされる Carry のデータは最後の遅延器で Sum のデータに加えるので, フィルタの出力値が変化することはない。ここでは, 先送りする数を決めたときに, 全体 (乗算部分と加算部分) のクリティカルパスの長さが最小となるよ

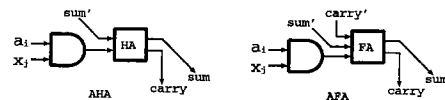
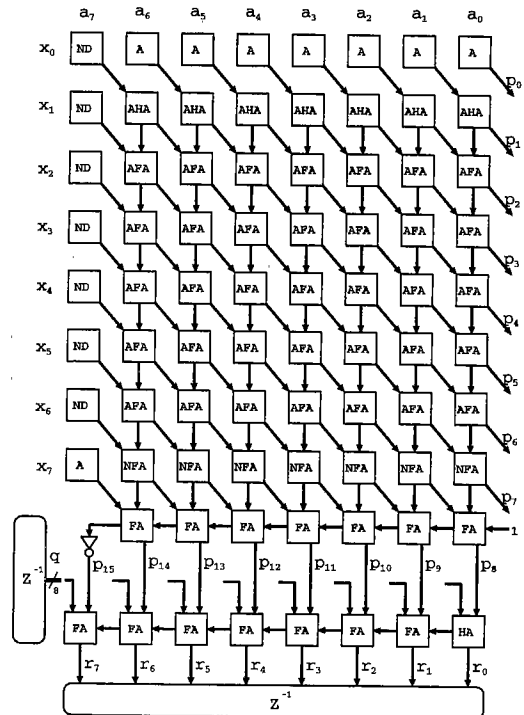


図 1 乗算器と加算器
Fig. 1 Multiplier and adder.

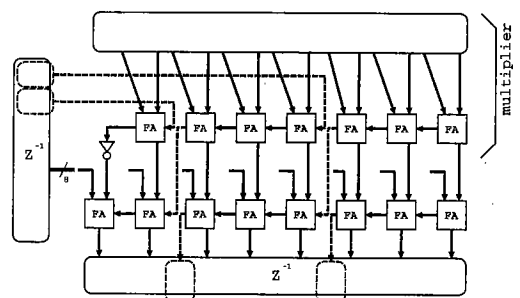


図 2 先送りの例 (先送り 2 箇所)
Fig. 2 Example of carry save (at 2 locations).

うに, Carry 出力を先送りする FA の位置を決めることを考える。

この問題をわかりやすくするためにモデル図を導入する。図 2 をもとにしたモデル図を図 3 に示す。

図 3 の○は FA に対応しており, ○内の数字は乗算部分を含めた各 FA までのクリティカルパスの長さである。パスの長さは FA を 1 とした相対値とする。また, 図 2 において省略した乗算部分のクリティカルパスを L とする。この話を一般化するために, 図 3 では信号語長を M bit とし, 先送り箇所を n 箇所 (上位 C_1 bit 目, C_2 bit 目, ..., C_n bit 目, $C_1 < C_2 < \dots < C_n$) とする。このときの下段の各 FA のクリティカルパスの長さ S_i は, L と C_i と M を用いて以下のように求められる。

$$\begin{aligned} S_1 &= L + C_2 - 1 \\ S_2 &= S_1 - 1 \\ &\vdots \\ S_{C_1+1} &= L + C_3 - C_1 - 1 \\ &\vdots \\ S_{C_i+1} &= L + C_{i+2} - C_i - 1 \\ S_{C_i+2} &= S_{C_i+1} - 1 \\ &\vdots \\ S_{C_{n-1}+1} &= L + M - C_{n-1} - 1 \\ &\vdots \\ S_{C_n+1} &= L + M - C_n \\ &\vdots \\ S_M &= L + 1 \end{aligned}$$

ここで, 乗算部分と加算部分を合わせたクリティカルパスの長さ K は

$$K = \max\{S_1, S_2, \dots, S_M\} \quad (1)$$

と書けるが, 図 3 より $S_1 > S_2 > \dots > S_{C_1}, \dots, S_{C_i+1} > S_{C_i+2} > \dots > S_{C_{i+1}}, \dots, S_{C_n+1} > \dots > S_M$ であることは明らかである。よって, 上位 1 bit 目と先送りする bit 位置の一つ先の FA のクリティカルパスに注目すればよい。

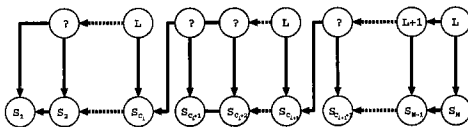


図 3 先送り位置決定のためのモデル図
Fig. 3 Model to determine the locations of carry save.

従って式 (1) は

$$\begin{aligned} K &= \max\{S_1, \dots, S_{C_i+1}, \dots, S_{C_n+1}\} \\ &= \max\{C_2 - 1, \dots, C_{i+2} - C_i - 1, \\ &\quad \dots, M - C_n\} + L \end{aligned} \quad (2)$$

と同じことである。

よって, クリティカルパスの長さ K が最小となる C_i を求めるためには,

$$\begin{aligned} \min K &= \min\{\max\{C_2 - 1, \dots, C_{i+2} - C_i - 1, \\ &\quad \dots, M - C_n\} + L\} \\ &= \min\{\max\{C_2 - 1, \dots, C_{i+2} - C_i - 1, \\ &\quad \dots, M - C_n\}\} + L \end{aligned} \quad (3)$$

を解けばよい。

$\min\{\max\{C_2 - 1, \dots, C_{i+2} - 1 - C_i, \dots, M - C_n\}\}$ は線形計画法を用いて実数解を求めることができる。しかし C_i は整数なので, 求めた実数解を切り上げるにより, 式 (3) を満たす最適な整数値 C_i および K が求まる。

従って, さまざまな信号語長や先送りする数に対して, クリティカルパスが最小となる先送りの位置が決定できる。このように, 次段の FA 列に Carry 出力を先送りすることにより, 先送りする数の分だけ 1 bit 遅延器は増えるが, クリティカルパスは短くなる。

また, 1 bit 遅延器の面積, 消費電力は FA に比べて小さいので, 先送りする数を増やしても全体の面積, 消費電力はあまり増えない。

4. 比較結果

ここでは, 信号語長 8 bit の場合の結果を示す。シミュレーション結果の単位は, クリティカルパスが ns, 消費電力が mW, 面積は 2 入力 AND ゲートを 4 としたときの相対的な値である。また, プロセスはチャネル長 $0.5 \mu\text{m}$ を用いている。

Carry 先送りをしないときと 2 箇所のときと 7 箇所のときを比較する (表 1)。

表 1 シミュレーションによる比較
Table 1 Comparison of simulation results.

	クリティカルパス	面積	消費電力
先送りなし	17.03	2260	83.27
先送り 2 箇所	12.88	2278	83.83
(対先送りなし比)	(0.76)	(1.01)	(1.01)
先送り 7 箇所	9.84	2323	84.13
(対先送りなし比)	(0.58)	(1.03)	(1.01)

5. む す び

Carry 先送りの構成を提案し、先送り数に応じてクリティカルパスが短くなる先送り位置の決め方を示し

た。信号語長 8 bit の場合で従来の構成に比べて、クリティカルパスを最大で 60% に減少した。

(平成 10 年 3 月 11 日受付, 5 月 13 日再受付)