

論文 / 著書情報
Article / Book Information

論題(和文)	CMOSインバータ回路をベースとしたインダクタレス広帯域RF CMOS低雑音増幅回路
Title(English)	Inductorless Wideband RF CMOS Low-Noise Amplifier based CMOS Inveter
著者(和文)	中島 智也, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Tomoya Nakajima Shuhei Amakawa Noboru Ishihara Kazuya Masu, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2009 年電子情報通信学会エレクトロニクスソサイエティ大会, , , C-12-16
Citation(English)	, , , C-12-16
発行日 / Pub. date	2009, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers.

CMOS インバータ回路をベースとしたインダクタレス 広帯域 RF CMOS 低雑音増幅回路

Inductorless Wideband RF CMOS Low-Noise Amplifier based CMOS Inverter

中島 智也
Tomoya Nakajima

天川 修平
Shuhei Amakawa

石原 昇
Noboru Ishihara

益 一哉
Kazuya Masu

東京工業大学 統合研究院
Integrated Research Institute, Tokyo Institute of Technology

1 はじめに

デジタル回路では CMOS プロセスの微細化によって高速・低電力化が進んでいるが、RF 回路ではインダクタを使用していることから小面積化が難しい。そこで今回我々は、プロセスの微細化に追従し小面積化、低電力化を図れるインダクタレス CMOS 低雑音増幅回路 (LNA) の回路チップ試作評価を行った。

2 インバータを用いた LNA 構成

インダクタレスで入力整合を確保するため、抵抗帰還型 LNA の回路検討を行った。一般に抵抗帰還型回路では帰還抵抗を R_f 、オープンループ利得を A_0 とすると入力抵抗 R_{in} は、以下の式で与えられる。

$$R_{in} = \frac{R_f}{1 + A_0} \quad (1)$$

また、雑音指数 NF は、 R_f の値が大きくなるほど小さな値になることから、 A_0 は大きいほど良い。そこで、安定に高利得を確保できる CMOS インバータを基本回路として採用した。図 1 に LNA の回路構成を示す。初段は低雑音化と高利得化のためサイズの大きいトランジスタを用いている。高い A_0 を確保するためには、多段構成も有効と考えられるが動作の安定性を優先し、1 段の抵抗帰還構成とした。2 段目は、容量ピーキングによる広帯域化を図っている。最終段は出力バッファ回路で、出力インピーダンス整合を確保するため抵抗帰還を用いた構成とした。

3 測定結果

180 nm と 90 nm の CMOS プロセスを用いてチップ試作し、評価を行った。図 2 にチップ写真を示す。両チップとも従来のインダクタを用いた構成と比べて小面積であり、90 nm プロセスの LNA コア面積は 0.013 mm^2 で、180 nm プロセスの LNA の 43% となっている。図 3, 4 に S パラメータと雑音特性の測定結果を示す。90 nm プロセスの LNA の測定結果は、利得 16.2 dB で、-3dB 低下帯域は 0.1–5.8 GHz を得た。また、帯域内における NF は 2.5–5.0 dB となった。

4 まとめ

プロセスの微細化に追従し小面積化、低電力化を図れる CMOS インバータをベースとした低雑音回路の試作評価をした結果、小面積、低電力、広帯域な特性の実現に成功した。

謝辞

本研究の一部は、STARC、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE、NEDO、文部科学省科学技術振興調整費 (統合研究院) の支援を受け、東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社、メンター株式会社、アジレント・テクノロジー株式会社の協力により行った。

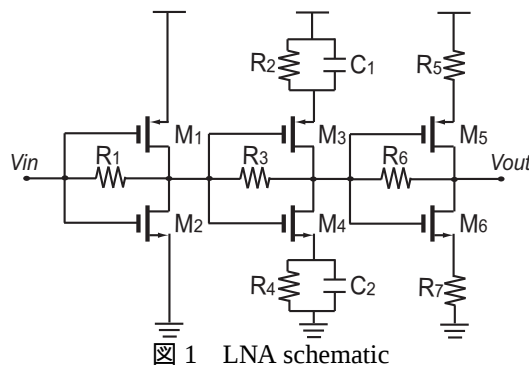
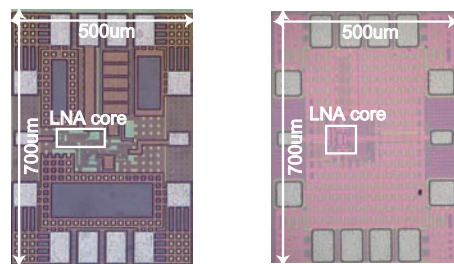


図 1 LNA schematic



(a) 180 nm process chip (b) 90 nm process chip
図 2 Chip micrograph of LNA.

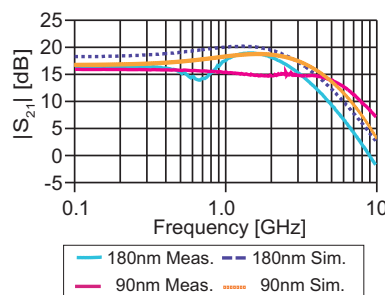


図 3 Measured and simulated S-parameter characteristics.

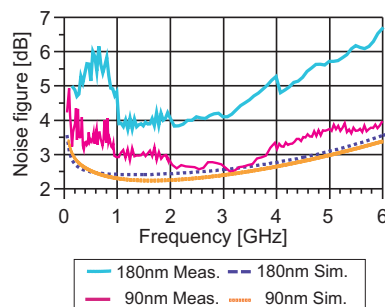


図 4 Measured and simulated noise figure.