

論文 / 著書情報
Article / Book Information

論題(和文)	CMOSリング型I/Q出力電圧制御発振器の広帯域化に関する検討
Title(English)	Frequency Tuning Range broadening of CMOS I/Q Ring-VCO
著者(和文)	李 尚曄, 小林 由佳, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Sangyeop Lee Yuka Kobayashi Shuhei Amakawa Noboru Ishihara Kazuya Masu, Yuka Kobayashi, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2009 年電子情報通信学会エレクトロニクスソサイエティ大会, , , C-12-25
Citation(English)	, , , C-12-25
発行日 / Pub. date	2009, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers.

CMOS リング型 I/Q 出力電圧制御発振器の広帯域化に関する検討

Frequency Tuning Range broadening of CMOS I/Q Ring-VCO

李 尚暉 Sangyeop Lee 小林 由佳 Yuka Kobayashi 天川 修平 Shuhei Amakawa 石原 昇 Noboru Ishihara 益 一哉 Kazuya Masu

東京工業大学 統合研究院
Integrated Reserch Institute, Tokyo Institute of Technology

1 はじめに

近年の CMOS プロセスの微細化により、デジタル回路では小面積化かつ高速・低消費電力化が進んでいるが、RF 回路では受動素子、すなわちインダクタやキャパシタを使用していることから小面積化が難しくなっている。そこで今回我々は、高性能かつ小面積の周波数シンセサイザの実現に向けて、インダクタレスで広帯域、そして I/Q 出力可能なリング型電圧制御発振器 (Ring-VCO) の設計・評価を行ったので報告する。

2 提案 Ring-VCO のトポロジー

図 1 に今回提案する遅延セルのトポロジーを示す。レイバツファとしてインバータラッチを導入し、遅延セル 2 段で I/Q 出力可能な構成をした。そして位相雑音が出力電圧振幅の二乗に反比例することから、電流源なしの 2 段縦積み構成をし、出力電圧が rail-to-rail に動作できるような構成をした。既存の Ring-VCO は bias 電圧が pMOS 負荷のしきい値以下になると、pMOS がオフになり、それ以上は周波数可変できないという問題があった。それを解決し、bias 電圧を rail-to-rail で使って発振周波数可変範囲を広げるために、レベルシフタ回路を用い、図 1 の biasn 電圧をもう一つの周波数可変用の pMOS に入力する構成をした。また一定の周波数感度 (K_{VCO}) を得るため、ダイオード接続の pMOS を入れた。

3 測定結果

0.18 μm CMOS プロセスによりチップの試作・評価を行った。図 2(b) が試作チップ写真であり、Ring-VCO コア部の面積は $0.23 \times 0.25\text{mm}^2$ である。図 3 の VCO の周波数可変範囲の結果より、bias 電圧を 0-1.8V のフルスイングで使い、周波数可変範囲 0.59-1.69 GHz で $|K_{VCO}|$ を 450-700 MHz に変動範囲を抑えることができた。図 4 には位相雑音特性を示す。1.44 GHz 発振のとき 1 MHz オフセットで -114 dBc/Hz の結果であり、そのとき電源電圧 1.8V で消費電力は 43 mW であった。

4 まとめ

LC 型電圧制御発振器と比べ、小面積で広帯域 I/Q 出力動作を可能とするリング VCO の検討を行い、新たな構成を明らかにした。

謝辞

本研究の一部は、STARC、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE、NEDO、文部科学省科学技術振興調整費（統合研究院）の支援を受け、東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社、メンター株式会社、アジレント・テクノロジー株式会社の協力により行なわれた。

参考文献

[1] B.Razavi, " Design of Analog CMOS Integrated Circuits ", McGRAW-Hill, 2001, ISBN 0-07-118839-8 pace-2pt

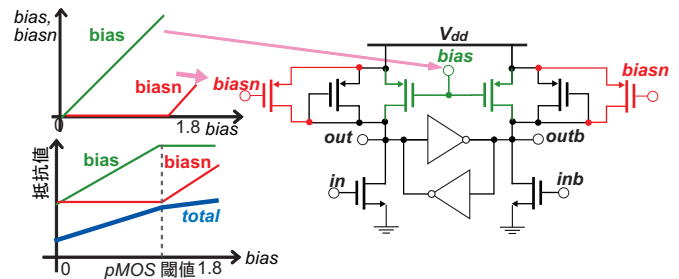
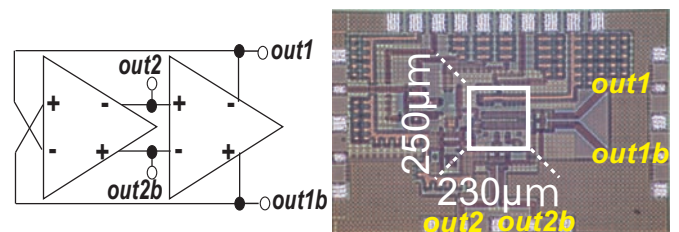


図 1 提案遅延セル



(a) 2 段 Ring-VCO (b) チップ写真
図 2 (a) 2 段 Ring-VCO, (b) 試作チップ写真

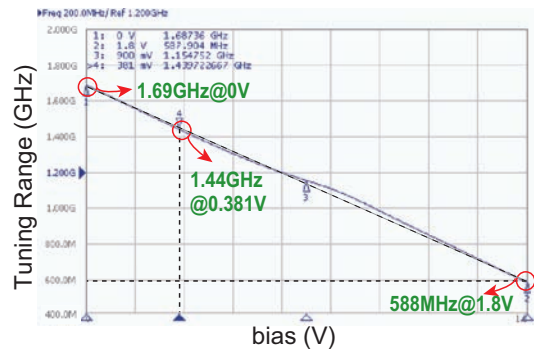


図 3 周波数可変特性

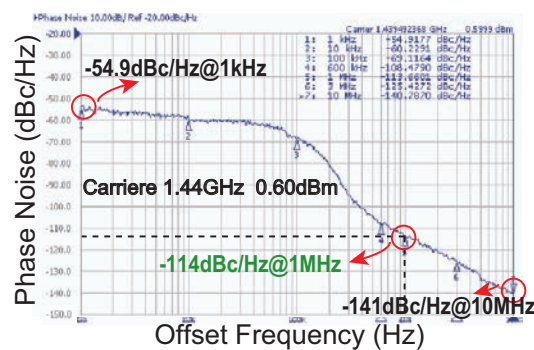


図 4 位相雑音特性