

論文 / 著書情報
Article / Book Information

論題(和文)	高速オンチップシリアル伝送用4:1 MUX回路の検討
Title(English)	4:1 MUX Design for On-Chip Serial Transmission
著者(和文)	関口 貴之, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Takayuki Sekiguchi, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2009 年電子情報通信学会エレクトロニクスソサイエティ大会, , , C-12-52
Citation(English)	, , , C-12-52
発行日 / Pub. date	2009, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers.

高速オンチップシリアル伝送用 4:1 MUX 回路の検討

4:1 MUX Design for On-Chip Serial Transmission

関口 貴之[†]
Takayuki Sekiguchi

天川 修平[†]
Shuhei Amakawa

石原 昇[†]
Noboru Ishihara

益 一哉[†]
Kazuya Masu

[†] 東京工業大学統合研究院

[†] Integrated Research Institute Tokyo Institute of Technology

1 はじめに

LSI の高速化, 高集積化の進展によるマルチコア LSI や 3 次元積層 LSI では, チップ内のコア間, チップ間の大容量データ接続を可能とする高速・低電力のデータ伝送回路技術が必要となっている. 特にコア間のオンチップ伝送では小面積での実現が期待されている. 本報告では, 小面積, 低電力動作を可能とする 4:1 MUX 回路の設計, 試作評価を行い, 13Gb/s, 31.3mW の良好な性能を得たので報告する.

2 MUX 回路の構成

図 1 に 4:1 MUX の全体構成を示す. 低消費電力化の観点から, ハーフレートクロックによる 2:1 MUX の並列構成を採用した. また回路の基本要素であるラッチ回路は, 図 2 に示す擬似差動 NMOS ロジック構成を採用した. 従来の CML (Current-mode logic) 型回路に対しバイアス電流源を取り除き, 電圧ヘッドルームを確保し, near rail-to-rail ロジック動作とすることにより低電源電圧での安定動作を確保した. また, 負荷には pMOS の三極間領域の抵抗を利用することにより, 固定抵抗を用いる場合に比べ, 少面積化と高速動作化を可能にした.

3 試作評価結果

提案する 4:1 MUX の有効性を確認するため, 90nm-CMOS プロセスにてチップ試作し, 評価を行った. 4:1 MUX の評価を容易化するため, 図 3 に示す 1:4 DEMUX[1] と一体化し, 4ch のデータを DEMUX で生成し, 4:1 MUX に入力する構成とした. 評価は, PRBS (pseudo-random binary sequence) 7 段の信号を入力し, その出力をエラーディティクタによって確認した. その結果, 最高動作ビットレートは 13Gb/s, 消費電力は, 電源電圧 1.2V で, 31.3mW(出力バッファを含む)を得た. 図 4 に本回路と他の報告 [2][3] との性能比較を示す. 横軸は 1Gb/s のデータ伝送量当たりの消費電力, 縦軸はチップ上の回路の占有面積を示している. 他に比べ, 消費電力, 占有面積とも良好な値が得られていることが分かる.

謝辞

本研究の一部は, 文部科学省科研費, 日本学術振興会科研費, STARC, 総務省 SCOPE, NEDO, 文部科学省科学技術振興調整費 (統合研究院) の支援を受け, 東京大学大規模集積システム設計教育研究センターを通し, 日本ケイデンス株式会社, メンター株式会社, アジレント・テクノロジー株式会社の協力により行なわれた.

参考文献

- [1] A. Mineyama, T. Suzuki, H. Ito, S. Amakawa, N. Ishihara, and K. Masu, "A 20Gb/s 1:4 DEMUX with near-rail-to-rail logic swing in 90nm CMOS process" IEEE International Workshop Series on Signal Integrity and High-Speed Interconnects, pp. 119-122, Feb. 2009.

- [2] K. Kanda, D. Yamazaki, T. Yamamoto, M. Horinaka, J. Ogawa, H. Tamura, and H. Onodera, "40Gb/s 4:1 MUX/1:4 DEMUX in 90nm standard CMOS," ISSCC Dig. Tech. Papers, pp. 152-153, Feb. 2005.
- [3] D. Kehr, H.-D. Wohlmuth, H. Knapp, M. Wurzer, and A. L. Scholtz, "40-Gb/s 2:1 multiplexer and 1:2 demultiplexer in 120-nm standard CMOS," IEEE J. Solid-State Circuits, pp. 344-345, Feb. 2003.

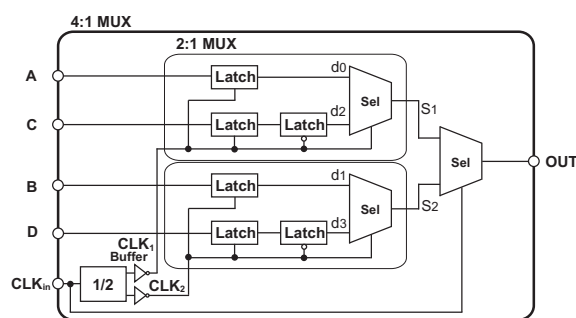


図 1 MUX の構成

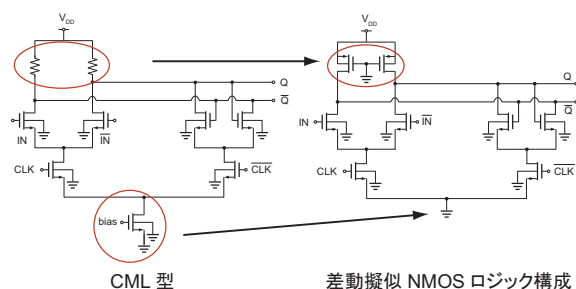


図 2 提案ラッチ回路

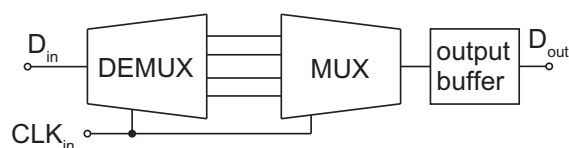


図 3 試作した回路構成

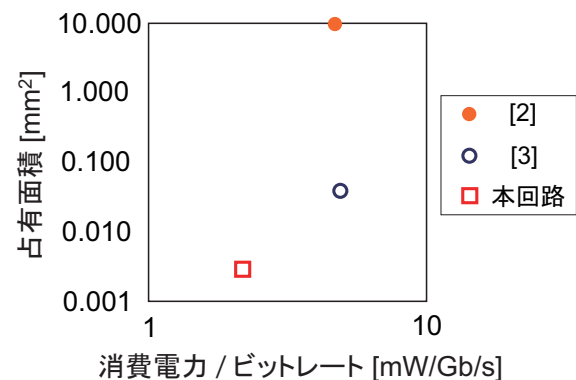


図 4 性能比較