

論文 / 著書情報
Article / Book Information

論題(和文)	Si基板上におけるコプレーナ-ストリップ差動伝送線路の設計
Title(English)	Design of Coplanar-Strip Differential Transmission Line on Si Substrate
著者(和文)	関口 貴之, 宮下 一哉, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Takayuki Sekiguchi Kazuya Miyashita Shuhei Amakawa Noboru Ishihara Kazuya Masu, Kazuya Miyashita, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2009 年 電子情報通信学会総合大会, , , C-12-26
Citation(English)	, , , C-12-26
発行日 / Pub. date	2009, 3
URL	http://www.ieice.org/jpn/books/t_g.html
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers.

Si 基板上におけるコプレーナ-ストリップ差動伝送線路の設計

Design of Coplanar-Strip Differential Transmission Line on Si Substrate

関口 貴之[†]
Takayuki Sekiguchi

宮下 一哉[†]
Kazuya Miyashita

天川 修平[†]
Shuhei Amakawa

石原 昇[†]
Noboru Ishihara

益 一哉[†]
Kazuya Masu

[†] 東京工業大学統合研究院

[†] Integrated Research Institute Tokyo Institute of Technology

1 はじめに

伝送線路は一般的に 50Ω や 100Ω のような特性インピーダンスを持つように設計する。これらの値は、同軸線路の損失を最小とする条件に由来するもので、これまでのオンチップ伝送線路の最適化設計に関する報告では、 50Ω または 100Ω 一定の条件で形状を変化させ、主に減衰特性を指標に線路特性の比較を行っている [1]。しかし、これらの値がオンチップ伝送線路において最適であるとは言えない。そこで、我々はオンチップコプレーナストリップ差動伝送回路において、特性インピーダンスと伝送損失、伝送線路の占有面積との関係をシミュレーションにより解析し、最適な特性インピーダンスが従来よりも高い値になることを明らかにしたので報告する。

2 伝送線路構造

伝送線路の構造はシングルエンド伝送線路と差動伝送線路に大別される。シングルエンド伝送線路は Si 基板がグランドプレーンとなるが、損失が大きいためオンチップ伝送線路として用いるのは好ましくない。これに対して差動伝送線路は図 1 に示すように、ペア配線構造により、Si 基板インピーダンスの影響を受け難い。本研究では、コプレーナストリップ差動伝送線路について線路の損失、占有面積、特性インピーダンスの関係を解析した。占有面積は配線幅 W 、配線間隔 D により、次式に示す値をパラメータとして比較した。

$$\text{pair-width} = 2W + D \quad (1)$$

3 シミュレーション

配線の断面形状を与え二次元電磁解析を行う 2D Extractor を用い解析を行った。配線の断面形状モデルは 90nm CMOS プロセスを想定した。図 2 に断面図を示す。配線幅 W と配線間隔 D を表 1 に示すように変化させ、それぞれの形状に対する伝送線路特性を求めた。

表 1 シミュレーションを行った W と D の値。

W [μm]	0.5	1	2	4	6	10
D [μm]	0.5	1	2	4	6	10

4 解析結果

解析結果を図 3 に示す。伝送損失は占有面積を大きくするほど抑えられる常識的な結果となっているが、占有面積を固定して考えると最適な特性インピーダンスが存在する。占有面積 (pair-width) が $14\mu\text{m}$ の条件では、特性インピーダンスが 130Ω の時、伝送損失が最小となる

(A 点)。従来の 100Ω より高い値となった。さらに占有面積 (pair-width) の条件をより狭い $10\mu\text{m}$ とすると、損失は若干増加し、最適な特性インピーダンスは 160Ω (B 点) となる。特性インピーダンスを高くできると少ない駆動電流で信号の電圧振幅を確保でき、伝送線路の駆動回路の低消費電力化を図ることが可能になる。この観点から、特性インピーダンスを 180Ω と設定したい場合は、 $W = 2\mu\text{m}$ 、 $D = 10\mu\text{m}$ とすることにより伝送損失を最小にできることが分かる。

謝辞

本研究の一部は、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE、NEDO、STARC の支援を受け行った。

参考文献

- [1] B. Kleveland, T. H. Lee, and S. S. Wong, "50-GHz in-terconnect design in standard silicon technology," IEEE MTT-S Int. Microwave Symp. Digest, pp.1913-1916, 1998.

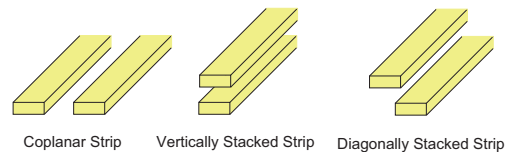


図 1 各種差動伝送線路。

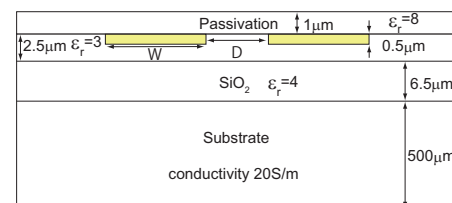


図 2 配線の断面形状。

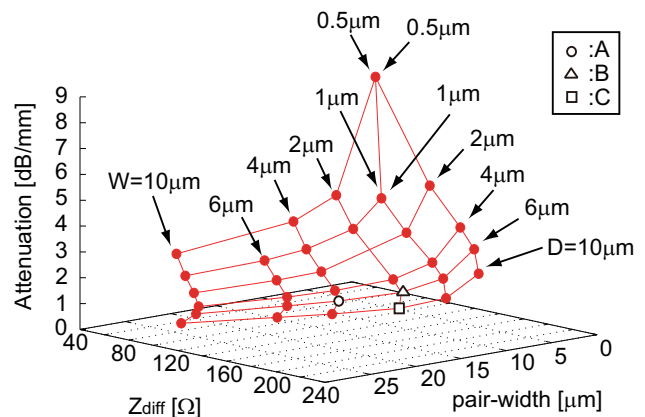


図 3 シミュレーション結果 (50GHz)。