

論文 / 著書情報  
Article / Book Information

|                   |                                                                                                                   |
|-------------------|-------------------------------------------------------------------------------------------------------------------|
| 論題(和文)            | 抵抗帰還を用いたインバータ型オンチップ出力バッファの低ジッタ化設計                                                                                 |
| Title(English)    | Design of an On-Chip Low-Jitter Inverter Buffer Using Feedback Resister                                           |
| 著者(和文)            | 前川 智明, 天川 修平, 石原 昇, 益一哉                                                                                           |
| Authors(English)  | Tomoaki Maekawa, Shuheï Amakawa, Noboru Ishihara, Kazuya Masu                                                     |
| 出典(和文)            | 2009 年 電子情報通信学会総合大会, , , C-12-33                                                                                  |
| Citation(English) | , , , C-12-33                                                                                                     |
| 発行日 / Pub. date   | 2009, 3                                                                                                           |
| URL               | <a href="http://www.ieice.org/jpn/books/t_g.html">http://www.ieice.org/jpn/books/t_g.html</a>                     |
| 権利情報 / Copyright  | 本著作物の著作権は電子情報通信学会に帰属します。<br>Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers. |

# 抵抗帰還を用いた インバータ型オンチップ出力バッファの低ジッタ化設計

Design of an On-Chip Low-Jitter Inverter Buffer Using Feedback Resistor

前川 智明  
Tomoaki Maekawa

宮下 一哉  
Kazuya Miyashita

天川 修平  
Shuuhei Amakawa

石原 昇  
Noboru Ishihara

益 一哉  
Kazuya Masu

東京工業大学 統合研究院  
Integrated Research Institute, Tokyo Institute of Technology

## 1 はじめに

近年、オンチップ高速信号伝送技術が盛んに研究されている。信号品質の評価指標の一つとしてアイパターンが知られているが、出力バッファのジッタも重畳されて測定されるため、設計次第ではバッファ自体が原因となり、信頼性の高いアイ開口度を得ることが困難な場合がある。一方で、ジッタの低減に着目したオンチップ出力バッファ設計についての報告例は少ない。

本稿では、単純なインバータ多段構成のリミットアンプを例にとり、ジッタを低減する基本設計手法を議論する。

## 2 回路構成

回路構成を図 1 に示す。出力のダイナミックレンジを  $0.5V_{pp}$  と仮定し、4 段構成とした。各段を構成するインバータは入出力間に帰還抵抗を有している。抵抗帰還を介することでミラー容量を抑制し、広帯域に動作させることが可能となる。

## 3 設計指針とシミュレーション結果

90 nm CMOS プロセスを用いて設計を行い、シミュレーションにより評価した。

電源電圧が 1 V の場合、図 2(a) のように直流伝達特性のクロスポイントを調節することで、アイパターン中心が 0.5 V となる。CMOS 構成のように傾きが急峻な場合、入力バイアスの変化で出力のクロスポイントがずれ、ジッタを生じさせる。また高利得にすると見かけ上帯域が補償されるが、位相が低周波でまわるため、高周波になるにつれ大きなジッタを生じる要因となる。したがって高周波におけるジッタの低減には利得を低く抑え、直流伝達特性の傾きを緩やかにする必要がある。

本設計では高周波においても出力振幅をある程度確保するため、総合利得を 10 dB と設定した。利得の周波数特性を図 2(b)、位相と群遅延の周波数特性を図 3 に示す。利得を抑え、遮断周波数を向上させることで群遅延の変化量を高周波側で小さくできていることが確認できる。

また 10 Gbps におけるアイパターンを図 4 に示す。出力クロスポイントは 0.5 V であり、ジッタも 2 ps と非常に小さいことが確認できる。

## 4 まとめ

オンチップ出力バッファのジッタを低減させる設計手法を議論した。インバータに抵抗帰還を用いて利得を抑え、広帯域化することで、通常のインバータ多段構成と比較して 10 Gbps において 84% のジッタ低減が可能であることをシミュレーションにより確認した。

## 謝辞

本研究の一部は、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE, NEDO, STARC の支援を受け

行った。

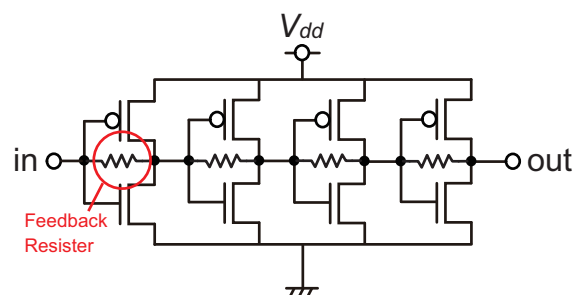
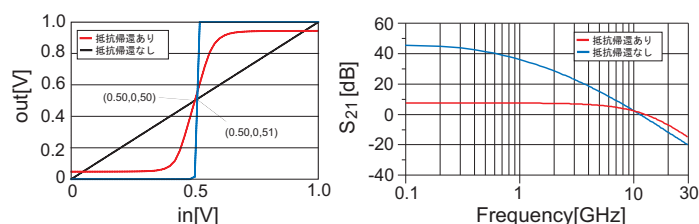


図 1 提案するインバータ型出力バッファ



(a) 直流伝達特性

(b) 利得の周波数依存性

図 2 シミュレーション結果

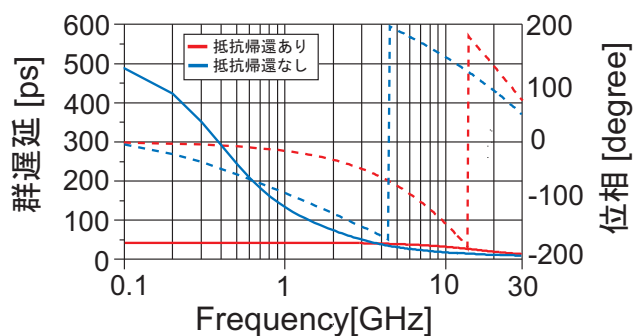
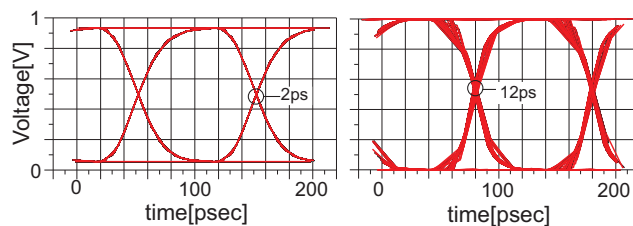


図 3 位相と群遅延の周波数依存性



(a) 抵抗帰還あり

(b) 抵抗帰還なし

図 4 10 Gbps におけるアイパターン