

論文 / 著書情報
Article / Book Information

論題(和文)	インバータ構成を用いたスケーラブル広帯域RF CMOS低雑音増幅器の検討
Title(English)	Investigation of Scalable Wideband RF CMOS Low Noise Amplifier Using Inveter Construction
著者(和文)	中島 智也, 伊藤 浩之, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Tomoya Nakajima Hiroyuki Ito Shuhei Amakawa Noboru Ishihara Kazuya Masu Integrated Research Institute, Tokyo Institute of Technology, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2009 年 電子情報通信学会総合大会, , , C-12-60
Citation(English)	, , , C-12-60
発行日 / Pub. date	2009, 3
URL	http://www.ieice.org/jpn/books/t_g.html
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers.

インバータ構成を用いたスケーラブル広帯域 RF CMOS 低雑音増幅器の検討

Investigation of Scalable Wideband RF CMOS Low Noise Amplifier Using Inverter Construction

中島 智也[†]
Tomoya Nakajima

伊藤 浩之^{††}
Hiroyuki Ito

天川 修平[†]
Shuhei Amakawa

石原 昇[†]
Noboru Ishihara

益 一哉[†]
Kazuya Masu

[†] 東京工業大学 統合研究院

[†] Integrated Research Institute, Tokyo Institute of Technology

^{††} 東京工業大学 精密工学研究所

^{††} Precision and Intelligence Lab., Tokyo Institute of Technology

1 はじめに

デジタル回路では CMOS プロセスの微細化によって高速・低電力化が進んでいるが、RF 回路ではインダクタを使用していることから小面積化が難しい。そこで今回我々は、プロセスの微細化に追従し小面積化、低電力化を図れるインダクタレスの CMOS 低雑音増幅器 (LNA) の検討を行ったので報告する。

2 インバータを用いた LNA 構成

インダクタレスで入力整合を確保するため、抵抗帰還型 LNA の回路検討を行った。一般に抵抗帰還型回路では帰還抵抗を R_f 、オープンループ利得を A_0 とすると入力抵抗 R_{in} は、以下の式で与えられる。

$$R_{in} = \frac{R_f}{1 + A_0} \quad (1)$$

また、雑音指数 NF は、 R_f の値が大きくなるほど小さな値になることから、 A_0 は大きいほど良い。そこで、安定に高利得を確保できる CMOS インバータを基本回路として採用した。図 1 に今回設計を行った LNA 構成を示す。初段は低雑音化と高利得化のためサイズの大きいトランジスタを用いている。高い A_0 を確保するためには、多段構成も有効と考えられるが動作の安定性を優先し、1 段の抵抗帰還構成とした。2 段目は、容量ピーキングによる広帯域化を図っている。最終段は出力バッファ回路で、出力インピーダンス整合を確保するため抵抗帰還を用いる構成としている。

3 IC 設計結果

0.18 μ m CMOS プロセスの適用を想定し詳細設計を行った。図 2 にチップレイアウトの設計結果を示す。コア面積は 0.048 mm² であり、インダクタレスであることから、インダクタを用いた従来構成に比べ、20 分の 1 以下の小面積化を実現している。また、図 3, 4 にシミュレーションによる周波数特性と雑音特性の解析結果を示す。 S_{21} 利得は 19.2 dB で、帯域 0.1~2.0 GHz において動作が得られる見込みである。また、 S_{11} は帯域内では -10 dB 以下で、NF は 2.6~3.4 dB となっている。

4 まとめ

プロセスの微細化に追従し小面積化、低電力化を図れる CMOS インバータをベースとした低雑音回路の提案を行った。今後は、試作チップの評価を行い、回路設計技術の有効性を検証していく。

謝辞

本研究の一部は、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE の支援を受け、東京大学大規模集積システム設計教育研究センターを通し、日

本ケイデンス株式会社、メンター株式会社、アジレント・テクノロジー株式会社の協力により行った。

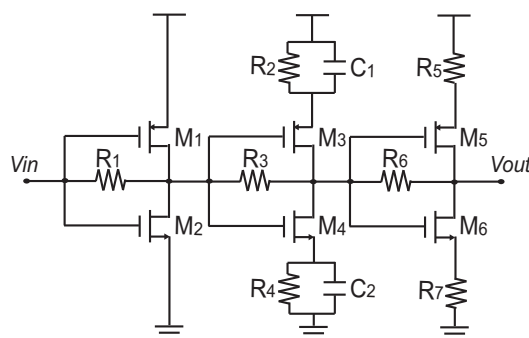


図 1 低雑音増幅器回路図

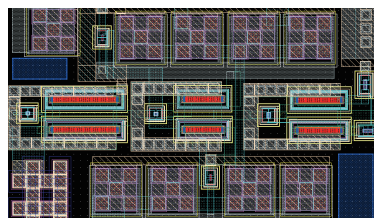


図 2 レイアウト図

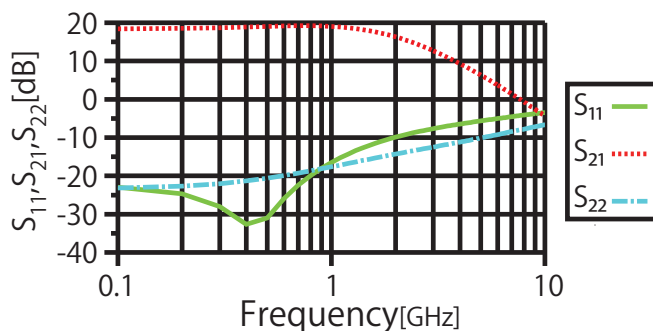


図 3 周波数特性

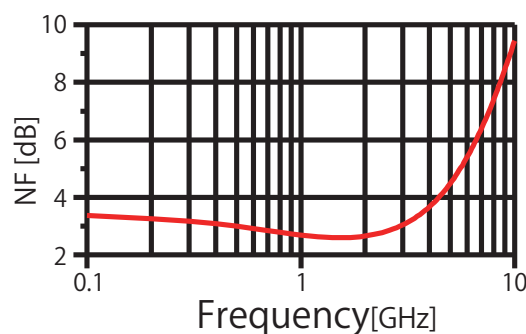


図 4 雑音特性