

論文 / 著書情報  
Article / Book Information

論題(和文)	広帯域・低位相雑音・差動型リングVCOの設計
Title(English)	Design of Wide Band and Low Phase Noise Difference Ring VCO
著者(和文)	大下隆生, 天川修平, 石原 昇, 益 一哉
Authors(English)	Takao Oshita, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	第22回回路とシステム軽井沢ワークショップ, , , pp. 96-100
Citation(English)	The 22nd Workshop on Circuits and Systems in Karuizawa, , , pp. 96-100
発行日 / Pub. date	2009, 4
URL	<a href="http://search.ieice.org/">http://search.ieice.org/</a>
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers.

## 広帯域・低位相雑音・差動型リングVCOの設計

### Design of Wide Band and Low Phase Noise Differential Ring VCO

大下 隆生、天川 修平、石原 昇、益 一哉  
 東京工業大学 統合研究院

Takao Oshita, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu  
 Integrated Research Institute, Tokyo Tech.

#### 1. はじめに

RF 技術の発展は目覚しく、様々な仕様の製品が市場に出回っている。近年、異なる周波数帯域の複数のRF仕様を一つのシリコン上に収めたマルチ・バンドのチップに対する需要が飛躍的に高まり、それを実現するための広帯域発振回路に対する期待が高まっている[1]。

本研究では、RF信号処理に必要な直交信号出力を可能とするCMOS差動型リングVCO回路の設計を行い、それらの広帯域化、低位相雑音化に対する検討を行った。本論文では、特に、広帯域化と低位相雑音化のために、バイアス回路が非常に重要であることを示し、バイアス生成回路設計手法の提案を行った。

また、回路技術の有効性を確認するために、CMOS 180nm技術によりIC試作を行った結果、100MHz~3.0GHzの広帯域発振動作の実現に成功した。位相雑音は、全動作周波数領域で、-92dBc/Hz以下であった。

本論文では、提案するCMOS差動リングVCO回

路設計技術について詳細に述べる。

#### 2. 差動型リングVCOの広帯域化に関する検討

本研究で使用した差動型リングVCOの全体図、遅延回路、バイアス回路のトポロジーを、図1に、そして遅延回路のAC等価モデルを図2に示す。

本差動型リングVCOは、RFでよく使用される直交信号を生成できる4段構成である。遅延回路の遅延は、大雑把に、

$$\tau = R_{load} \cdot C_{load} \quad (\text{eqn.1})$$

で与えられる。ここで、 $R_{load}$ ,  $C_{load}$  はともに、図2に示されているパラメータで、それぞれ、pMOSの可変負荷抵抗値と遅延回路の容量負荷である。前者は、VCOへの入力制御電力により制御される値であり、その特性は、 $V_{CTL}$ の増加関数で、ほぼ線形である。これより、4段リングVCOの発振周波数は、

$$f_o = 1/(8\tau) \quad (\text{eqn.2})$$

と書くことが出来る。(eqn.1), (eqn.2)より、発振周

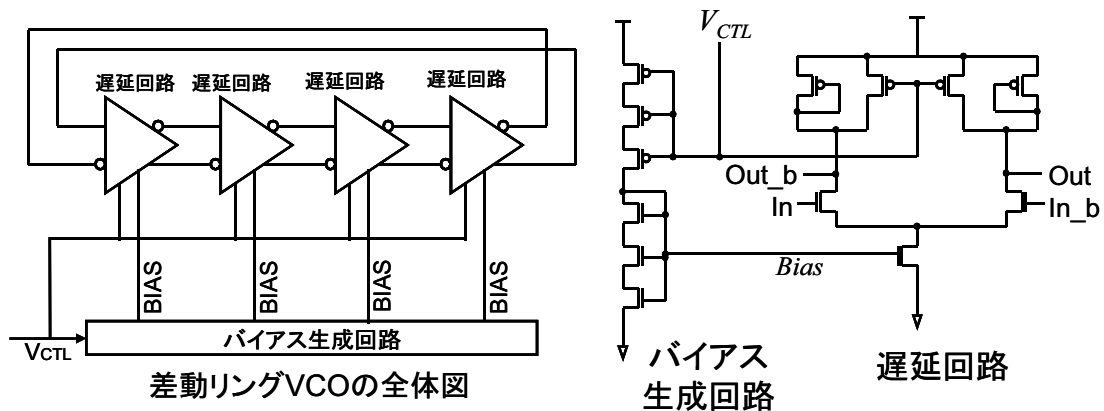


図1 提案する広帯域・低位相雑音差動型リングVCOのトポロジー

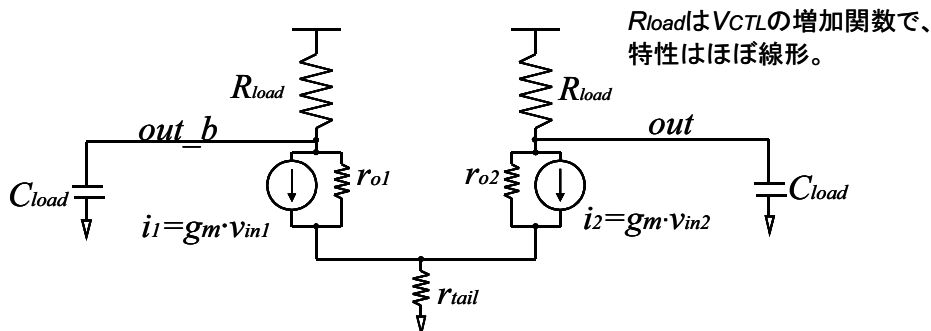


図2 差動型リング VCO の AC 等価モデル

波数は  $R_{load}$  の減少関数、すなわち  $V_{CTL}$  の減少関数であることがわかる。

旧来の差動型リング VCO では、遅延回路の電流源へのバイアス電圧は固定バイアスが用いられるのが普通であった。しかしながら、微細プロセスにおいて、低電源電圧下でこのような方式を用いると、VCO への入力電圧 ( $V_{CTL}$ ) の変化に対するバイアス動作点の移動が、デバイスの動作ヘッドルームの限界に達してしまい、回路が発振を止めてしまったり、もしくは、VCO の入力電圧に対して回路の動作周波数が反応しなくなるといった問題が発生する。

図 2 を用いて、この問題をわかり易く説明する。 $R_{load}$  の値は、VCO への入力により制御される抵抗で、 $R_{load}$  が小さい値の時(高周波数動作時)には、回路の動作バイアス点、言い換えると、信号 Out および Out\_b の波形の DC 中立点は高電位側にシフトし、一方、 $R_{load}$  が大きい値の時(低周波数動作時)

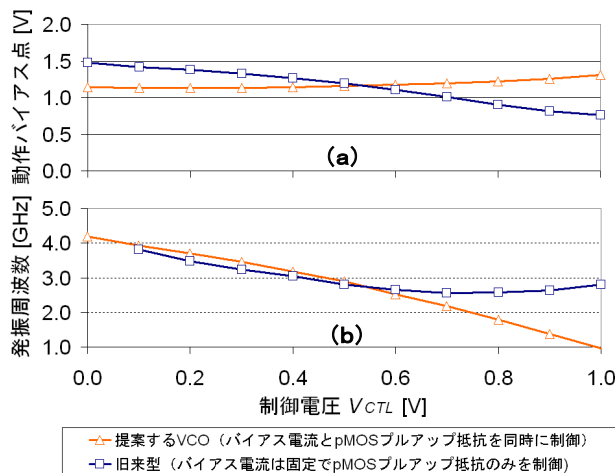


図3 VCO への入力電圧 ( $V_{CTL}$ ) に対する、(a)動作バイアス点 (Out, Out\_b の DC 中立点) の変化、および、(b) 発振周波数 (CMOS 180nm において、シミュレーションによる評価。VDD=1.8V)

には、回路の動作バイアス点は低電位側にシフトする。回路の動作バイアス点が高電位側にシフトし過ぎると、次段の入力デバイスが線形領域に入ってしまい、 $r_{o1}$ ,  $r_{o2}$  の値が劇的に減少し、遅延回路の出力ゲインの低下などの弊害を招く。ゲインの減少が発振器の発振条件を満たせなくなった時点で、発振は停止する。また、動作バイアス点が低電位側にシフトし過ぎると、今度は、遅延回路の電流源のデバイスが線形領域に入ってしまい、 $r_{tail}$  の減少、すなわち、同相モード除去比が急激に低下し、回路が差動回路として動作しなくなる。この時点で、入力制御電圧により発振周波数を制御する VCO の機能は失われる。入力デバイスおよび電流源のデバイスが飽和モードで動作するのは差動回路が正しく動作するための必要条件で、すべてのデバイスが正しいモードで動作できる回路の動作範囲をヘッドルームと呼ぶ。

このような回路の動作ヘッドルームの問題に対して、レプリカ・バイアス方式という方法により、VCO の入力電圧に対して、電流源へのバイアス電圧を能動的に変化させ、動作バイアス点の移動を防ぐことにより、回路の動作ヘッドルームに対処するという方式が広く用いられている[2][3]。

本研究で提案するバイアス方式は、VCO の入力電圧に対して電流源へのバイアス電圧を能動的に変化させるという試みについてはレプリカ・バイアス方式と同様であるが、図 1 に示すように、遥かに少ない素子数でそれを実現している。本研究のもう一つの目的は、低位相雑音化であるため、バイアス回路のノイズ源を最小限に減らす努力をし、その結果が、得られたバイアス回路である。

本リング VCO による広帯域化の効果について

て、旧来の固定バイアス方式のものとシミュレーションにより比較したものを、図3に示す。図3の(a)は、VCO への入力電圧により、回路の動作バイアス点がどのように変化するかを比べたものである。本リング VCO が、旧来型のものに比べて、動作バイアス点の変化を抑えることが出来ていることがわかる。図3の(b)は、VCO への入力電圧に応じたの発振周波数の変化を示している。旧来型の固定バイアス方式は、動作バイアス点の移動が回路の動作ヘッドルームの限界に達した時点で発振を停止、または、VCO への入力電圧に反応しなくなるが、我々の提案する回路は、この問題を解決し、1GHzから4GHz の広帯域での発振に成功していることがわかる。

### 3. 差動型リング VCO 低位相雑音化に関する検討

RF 回路における位相雑音は、低周波数領域のフリッカー雑音と入力信号がミキサのような動作で融合することにより発生することが知られており、そのメカニズムは、Ref. [4] に詳しく述べられている。差動型リング VCO の位相雑音特性について、SPICEでシミュレーションを行うと、雑音源の多くにバイアス回路が含まれていることに気づく。そして、バイアス回路における雑音源が回路全体の位相雑音特性に予想外に大きく寄与するメカニズムは、次のような3つのステップを踏んで起こっていると考えられる。

(ステップ 1)

バイアス回路を構成するデバイスから発生した低周波数域のフリッカー雑音が遅延回路に入る。

(ステップ 2)

遅延回路の電流源はコモン・ソース・アンプとして動作するために、バイアス回路からの雑音が増幅される。

(ステップ 3)

更に、遅延回路の入力信号とミキシングを起こし、アップ・コンバートされ、キャリアの周辺に位相雑音として登場する。

遅延回路の電流源から入力デバイスへの入力雑音は、同相雑音ではあるものの、遅延回路の振

幅はかなり大きく、線形ではないため、キャンセルされずに残ってしまう。

今回の設計では、我々は、1MHz オフセットにおける位相雑音の低減を目的とした。ミキシングのメカニズムを考えると、1MHz オフセット周波数における雑音において、熱雑音が支配的であると考えがちであるが、図4に示すようにフリッカー雑音の寄与が無視できないことが明らかで、1MHz オフセットにおける位相雑音の低減に対して、フリッカー雑音の低減はきわめて重要である。

図1の回路の構成において、バイアス生成回路の PMOS と NMOS が縦積みになっているが、これは、縦積みにより総チャンネル面積を増加させ、フリッカー雑音を削減する目的で為されている。デバイスのフリッカー雑音は、デバイス長 (L) とデバイス幅 (W) を増加させ、トータルのチャンネル面積 (L × W) を増大させることにより改善できることが知られている[5]。消費電流を増加させずにバイアス回路のフリッカー雑音を改善する方法は、デバイス幅 (W) を増加させると同時に、デバイスを縦積みにし、実効チャンネル長 (L) を増加させることにより達成が可能である。提案するバイアス回路が特に 3 段積み構成になっている理由は、バイアス回路のデバイスの段積み数が3つに達した時点で、バイアス回路に起因したフリッカー雑音の全体の位相雑音に対する寄与が無視できるレベルになったことによる。

バイアス回路のデバイスが1段積みのものと、3段積みのものの位相雑音特性を CMOS 180nm 技

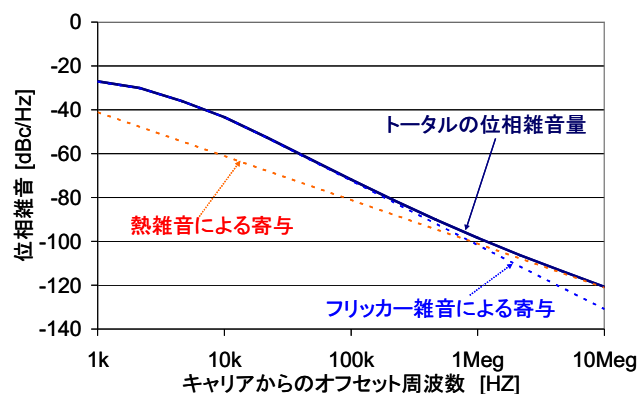


図4 リング VCO の位相雑音特性 (2.9GHz 動作時、)

(キャリアから 1MHz 離れた周波数において、CMOS 180nm 技術を想定し、シミュレーションにより評価)

術を想定して、シミュレーションにより比較したものが図5である。ここで、用いたバイアス回路内の各デバイスの実寸は、 $W=16\mu\text{m}/L=240\text{nm}$  である。発振器の発振周波数に応じた、キャリアから1MHz離れたところでの位相雑音特性についてプロットした。3段積みにより、回路の位相雑音特性が改善し、特に発振周波数が低周波であるときにその傾向が顕著であることがわかる。

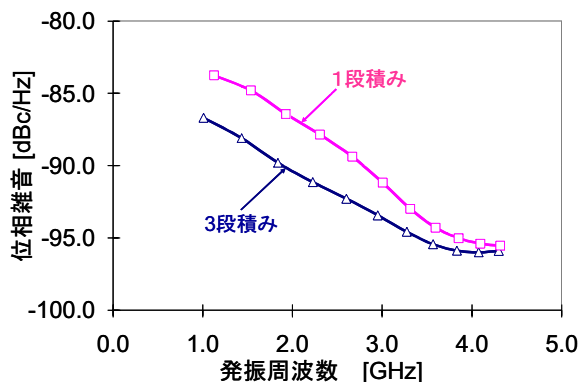


図5 3段積み vs. 1段積み構成のバイアス回路に対する位相雑音特性の比較 (キャリアから1MHz離れた周波数において、CMOS 180nm 技術を想定し、シミュレーションにより評価)

#### 4. リング VCO IC の試作評価結果

回路技術の有効性の確認を目的として、提案する差動型リング VCO 回路を、CMOS 180nm ( $V_{DD}=1.8\text{V}$ ) のプロセス技術を用いて試作を行った。試作した TEG のダイの写真を図6に示す。このセクションでは、シリコンの実測値を示し、それに関連した議論を行う。

最初に、リング VCO の制御電圧入力 ( $V_{CTL}$ ) に対する動作周波数について、シミュレーションおよび実測値の比較を図7に示す。シミュレーションに比べて実測値が 35 パーセント程低い周波数が観測されたが、これは、シミュレーションのモデルに配線容量等が考慮されていないことによると思われる。しかしながら、我々の提案する差動型リング VCO は、当初の期待通りに、100MHz~3GHz の非常に広範囲での発振を観測し、我々の設計した回路の有効性を確認した。なお、リング発振器の消費電力の実測値は、2.0GHz 動作時には 30.2mW、1GHz 動作時には

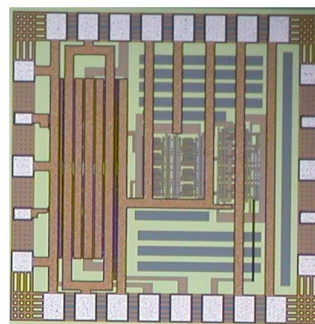


図6 試作した TEG のダイの写真 (CMOS 180nm 技術により作製)

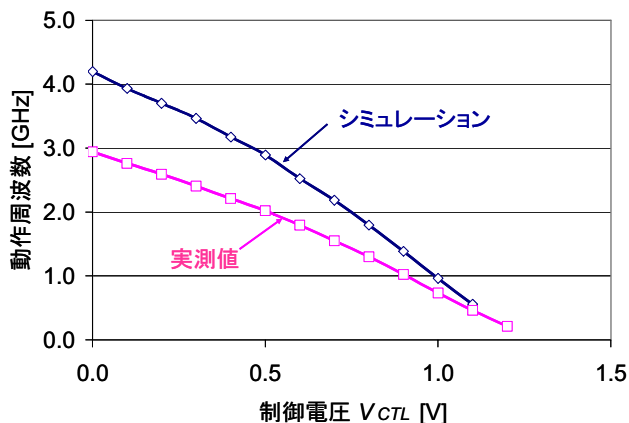


図7 リング型 VCO の制御電圧 ( $V_{CTL}$ ) に対する発振周波数 (シミュレーション vs. 実測値)

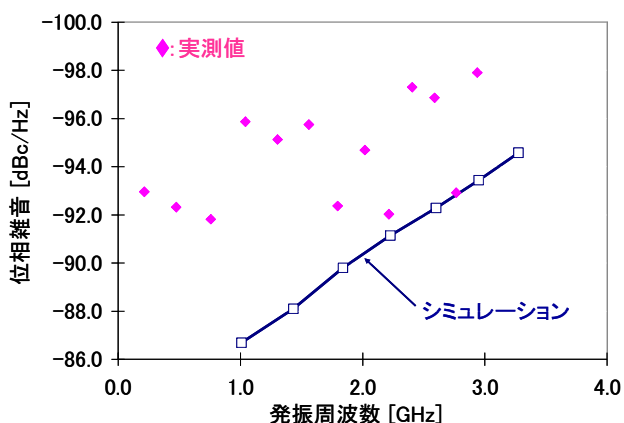


図8 リング型 VCO の位相雑音特性 (キャリアから1MHz離れた周波数において、シミュレーションと実測値を比較)

11.3mW 程であった。

次に、差動型リング VCO の位相雑音特性を、実測値とシミュレーションを含めて図8に示す。実測値は、若干の非再現性はあるものの、コンスタントに  $-90\text{dBc/Hz}$  台の後半を記録した。特に、差動型リング VCO の発振周波数が低周波数になると、シミュレーションでは、位相雑音性能の劣化が予測されたが、実測では、低発振周波数でも、 $-90\text{dBc/Hz}$  台の性能がコンスタントに観測された。これらの数値は、リング VCO に関して学会等で報告されている位相雑音性能では最高レベルの性能である。

## 5. 結論

バイアス回路に、遅延回路への入力制御電圧と遅延回路の電流源の電流の双方を制御する能力を付加した、広帯域・差動型リング VCO を提案した。シミュレーションおよび実測により、提案するリング VCO が、当初の意図通り、広帯域動作が可能であることを確認した。

シミュレーションにより、リング VCO の位相雑音特性に対して、バイアス回路の位相雑音源が無視できない寄与をしていることを示した。シミュレーションおよび実測により、提案するリング VCO が、広い発振周波数にわたり、 $-90\text{dBc/Hz}$  台後半の性能をコンスタントに実現できることを確認した。

本研究により、バイアス回路に起因した位相雑音の低減には成功したものの、VCO の遅延回路内のすべてのデバイスは位相雑音に寄与しており、それら位相雑音源の低減は課題として残った。Z.Caoらは、非常に広帯域な PLL により、フィードバックをかけることにより、リング発振器ベースながら  $-120\text{dBc/Hz}$  を達成できることを示した [6]。近年、SAW フィルター等で非常に高周波数、低位相雑音の参照発振素子が出現しており、これらを用いて、リング VCO を用いた PLL の性能の向上が可能になってくると思われる。

## 謝辞

本研究の一部は、文部科学省科研費、日本学術振興会科研費、総務省SCOPE, NEDO, STARC の支援を受け、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、メ

ンター株式会社、アジレント・テクノロジー株式会社、およびTSMCの協力により行われた。

## 参考文献

- [1] Neuvo, Y., Digest of Technical Papers, ISSCC, 2004
- [2] R.J. Betancourt-Zamora *et al.* Proc. 2nd Int'l Workshop on Design of Mixed-Mode Integrated Circuits, pp. 37-40, Mexico City, July, 1998
- [3] Razavi (Ed.), "Monolithic Phase-Locked Loops and Clock Recovery Circuits: Theory and Design", Publisher: Wiley-IEEE Press (April 4, 1996), ISBN-13: 978-0780311497
- [4] T. Lee, et al., IEEE JSSC, Vol. 35, No. 3, pp. 326-336, Mar., 2000
- [5] G. Reimbold, Trans. Electron Devices, Vol. ED-31, No. 9, Sep., 1984
- [6] Z.Cao, et al., IEEE, JSSC, Vol. 43, No. 9, pp. 2079-2089, Sep., 2008