

論文 / 著書情報
Article / Book Information

論題(和文)	オンチップ受動素子の高性能化
Title(English)	On-Chip Passive Components
著者(和文)	益 一哉, 天川修平, 石原 昇
Authors(English)	Kazuya Masu, Shuhei Amakawa, Noboru Ishihara
出典(和文)	Microwave Workshops & Exhibition 2009 (MWE2009), , , pp. 409-417
Citation(English)	Microwave Workshops & Exhibition 2009 (MWE2009), , , pp. 409-417
出版元	(社) 電子情報通信学会 APMC国内委員会
publisher	IECE APMC National Committee
発行日 / Pub. date	2009, 11

オンチップ受動素子の高性能化

On-Chip Passive Components,

益 一哉、天川修平、石原 昇（東京工業大学統合研究院）

Kazuya Masu, Shuhei Amakawa and Noboru Ishihara

Integrated Research Institute, Tokyo Institute of Technology

masu@ieee.org

1 はじめに

1990 年代、2000 年代は、0.8~6GHz 帯でのワイヤレス通信の急速な普及の時代であった。1980 年代において、GHz 帯のワイヤレス通信回路は GaAs といった化合物半導体基板上に能動素子や受動素子を集積した MMIC（Monolithic Microwave Integrated Circuits）が主役であった。90 年代以降の急速な普及を推進したのは、ハードウェアとしてのシリコン集積回路技術、とりわけ Si CMOS 回路技術の進歩である。

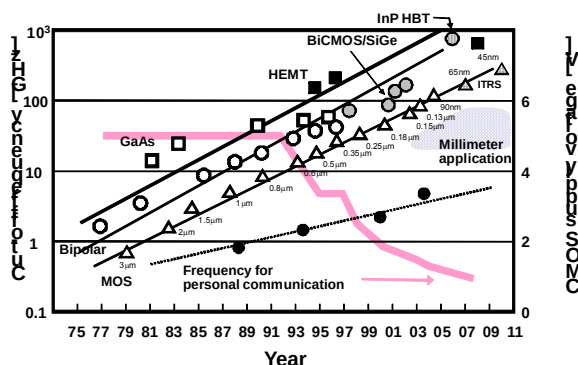


図1 種々のデバイスの遮断周波数とモバイル通信で利用している通信周波数。MOS のデータに添えている数値は MOSFET の技術世代（概ね MOSFET の露光ゲート長）を示している。

図1に、化合物半導体、Si 系バイポーラトランジスタ、Si MOSFET などの各種デバイスの遮断周波数（電流増幅率が1になる周波数） f_t の年次推移を示す。化合物半導体が利用されたのは他のデバイスに比較して、遮断周波数が高かったからに他ならない。これらデバイスは微細化技術の進展により高周波性能も向上し、化合物半導体よりも低コスト化が可能な Si バイポーラトランジスタ

を利用したマイクロ波回路が 1990 年代には開発された。この間、Si CMOS 集積回路はひたすら微細化することによって、デジタル回路性能の高速化、高密度化、低消費電力化、高性能化を実現してきた。図1に示すように今や Si MOSFET の f_t は 100GHz を優に超えている。一般に遮断周波数の概ね 1/3 程度の回路を構成できることから最近ではミリ波帯回路技術の開発も進められている。

Si MOSFET の性能の進展については、現在では世界的な業界団体として半導体デバイスの開発指針や動向を議論し目指すべきデバイス性能の目安を提示している ITRS (International Technology Roadmap for Semiconductor) の書[1]を参照すると良い。Si MOSFET の RF 性能に関しては 2003 年版から数値として示されるようになってきている。種々議論はあるかと思うが、結果として RF 回路技術は、一般に性能として最も優れる化合物半導体が切り拓き、ついで Si バイポーラデバイスが続き、広くコンシューマ向けにも利用されるようになってくると最も低コストで製造可能な Si CMOS 回路による開発が進んできたといえる。

本稿では RF CMOS 集積回路技術について、特にオンチップ受動素子に関して我々のグループでの成果を中心に紹介する。

2. RF CMOS 集積回路をとりまく状況

Si CMOS 集積回路が GHz 帯で利用できるようになってきたのは遮断周波数の伸びに依るが、Si CMOS 集積回路が利用されるための条件を整理しておく。デジタル系回路を中心として Si CMOS 集積回路が利用されているのは、微細化されたデ

バイス（MOSFET）を利用すると高速化、低消費電力化、高集積化ばかりではなく、チップ面積低減による低コスト化が同時に実現できたからである。言い方を変えるとより進んだ、すなわち微細プロセス技術を利用したときにチップ面積が小さくならないのであれば経済的なメリットはなく産業としては非常に利用しにくい。デジタル集積回路において微細化の困難さが議論されているが、微細デバイスそのものが作ることができない（プロセス的な問題）やデバイス特性の本質的なばらつきにくわえて、配線遅延改善のためにリピータを挿入せざるを得ない回路であってプロセス世代が進んでもチップ面積が低減しないという課題もある。

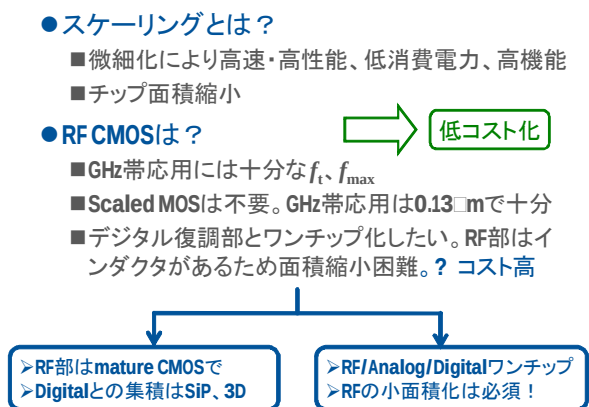


図2 スケーリングと RF CMOS 集積回路

最近ダイレクトコンバージョン形の回路技術が進歩することでワンチップトランシーバが現実のものとなっている。従来型の回路アーキテクチャでは RF CMOS 回路ではインダクタやキャパシタンスを利用する。これらの回路素子値は利用する周波数が同じであれば桁で変化するものではなく、またそれら素子値は面積に比例する。さらにそれら面積は数 μ m～数百 μ m オーダーであり、能動素子である MOSFET に比較して桁で大きい。このことは進んだプロセス技術、すなわち微細 MOSFET を用いて RF CMOS 集積回路を構成してもチップ面積は低減しないことを意味している。「微細化しても、チップ面積は低減しない」すなわち、低コスト化できない。

一方でデジタル回路の性能は微細化とともに向上するので、RF/Analog 回路とのワンチップ化もできれば行いたい。デジタル信号処理で

RF/Analog 処理を代替したり、回路の性能補償を行わせることで、受動素子を減らしたりなくすことで Scalability を確保するという方向性もある。これらの状況を図2にまとめる。

受動素子に限れば RF 回路部とアンテナのインターフェース部やデジタル制御発振回路（DCO）部は、高い電力効率や低い雑音特性が必要となるため、低損失の帯域可変フィルタが必要で、これを実現するための高い Q 値のパッシブ素子の適用が不可欠となっており CMOS 集積回路内に取り込むことができない状況にある。現在、個別部品が主に使用されており小型化も進められているが、LSI 回路の小型化、高機能化に追従できず、これらの部品の面積比率が高くなっているという問題がある。受動素子も MEMS などの新規技術が立ち上がりこれらと融合して行く方向も可能である。

集積化技術そのものも平面的な集積化ばかりではなく、三次元的な集積技術が進展しており、また微細化する実装技術を利用してトータルの性能を追求すれば良いという方向性もある。図3に最近の RF CMOS 回路技術を取り巻く技術課題や技術要素をまとめた。種々の技術のよく見極め、トータルとしてシステムの性能を向上させ、かつ経済的なメリット見いだすことが必要である。選択肢が多いことは、技術開発の醍醐味でありまだまだ技術がシンボすることを予見させるものである。

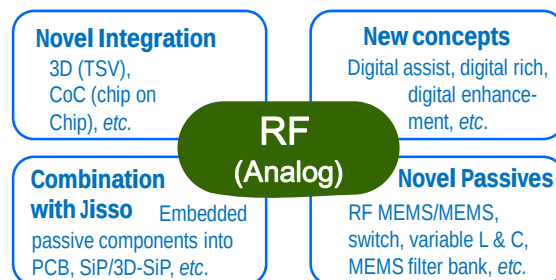


図3 RF 応用を取り巻く環境

3. RF CMOS 集積回路ご受動素子

図4に Si CMOS の断面を模式的に示す。デジタル回路は、極論すれば能動素子である nMOS と pMOS、それと配線で構成される。これに対して

アナログ回路や RF 回路では、受動素子である抵抗、容量、インダクタが必要となる。さて、Si CMOS プロセスと化合物半導体をベースにした従来の MMIC の違いは、基板抵抗と多層配線構造にある。たとえば、現在量産されている 130nm、90nm プロセスでは 6 層以上の多層配線が利用できる。化合物半導体プロセスにはなかった点である。禁制帯幅が 1.43eV と大きな GaAs などの化合物半導体では真性キャリア密度が小さいこと、キャリアカラーの導入により容易に半絶縁体基板を容易に利用できた。これに対して、禁制帯幅が 1.1eV である Si は、真性キャリア密度が約 10^{10}cm^{-3} (室温) と大きい、 $\text{M}\Omega\text{cm}$ オーダーの高抵抗基板は得られない。現実的に得ることができるのはせいぜい $2\text{--}3\text{k}\Omega\text{cm}$ 程度である。また、すでに立ち上がった量産プロセスにおいては高抵抗 Si 基板を利用するとデバイスの信頼性確保が難しくなる、あるいは基板コストが上昇するという理由から RF CMOS 回路に利用することは利用しにくいのが現状である。

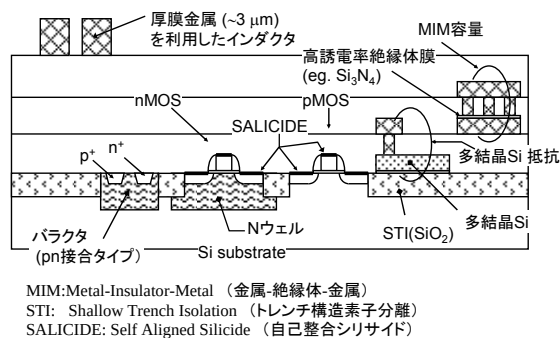


図4 RF CMOS の断面模式図。

アナログ回路並びに RF 回路では、抵抗、容量、インダクタなどの受動素子が必須であり、特に容量やインダクタの Q 値は RF 回路の雑音特性や消費電力に直接影響を与えるため高 Q 値をもつ受動素子の開発は非常に重要である[2,3]。

抵抗は、一般にポリシリコン層を利用して形成される。ポリシリコン層は基板から近い、ため基板と容量結合が大きい、ため、最近でより上層に形成可能な TaN などの薄膜金属による抵抗も利用されている。RF 回路向けに窒化膜 (Si_3N_4 など) を金属ではさんだ MIM (Metal-Insulator-Metal) キャパシタが利用される。 $1\text{--}2\text{fF}/\mu\text{m}^2$ 程度の比較的高容量を得ることができる。ただし、MIM キャパシタ

を形成するためには余分に 2 枚のマスクが必要となる。CMOS の特徴である多層配線構造を利用して、平面方向や膜厚方向の金属配線間の容量を利用した MOM (Metal-Oxide-Metal) キャパシタも利用されることがある。特殊なプロセスを利用することなく作り込むことができるので、簡便な容量構成となる。ただし、金属配線を長くするとインダクタンス成分が見えてくるため数 GHz を超える領域で利用するには注意が必要である。

可変容量としては、基板内形成された pn 接合や MOSFET 製作と同時に形成可能な MIS (Metal Insulator Semiconductor) 容量を利用する。一般にキャパシタの Q 値は数十～百以上ある。従って、次に述べるインダクタに比較して Q 値としては問題にはなっていない。但し、ミリ波応用では問題になると言われている。MEMS を利用した可変キャパシタの報告[4]があるが、実際に回路応用への展開が期待される。このような可変容量素子はモノリシックな RF CMOS 回路応用よりもワイヤレス機器に利用される受動部品、たとえば多周波数帯対応のアンテナの整合回路への応用などが期待される。

RF CMOS 回路においてもっとも大きな問題を抱えているのはインダクタである。Q 値が低く、面積も大きく RF 回路特性向上やコスト低減の足を引っ張っているといっている言い過ぎではない。LC 共振形電圧発振器では回路のほとんど部分はインダクタが占めている。たとえば最近開発されているワンチップ RF フロントエンド回路のチップ写真では、面積的に 2～30%がインダクタで占められている。

GHz 帯回路で利用されるオンチップインダクタは図 5 のようなスパイラル型のインダクタである。この図の例では、スパイラルインダクタの上方に金属板を挿入する可変インダクタ構造となっているが、上方の金属板を除いて考えれば通常のオンチップインダクタである。インダクタの特性には、所望のインダクタンス値を有し、Q 値が高く、自己共振周波数も高いことが要求される。当然占有面積は小さい方が好ましい。Q 値は $\omega L/R$ で表されことから、抵抗損失が少ないことが要求される。抵抗成分は大きく、インダクタンスを構成する金属配線そのものの抵抗と基板に

貫通する磁束によって生じる渦電流損失に起因する。膜厚 $1\ \mu\text{m}$ 程度の金属は配線を利用して、標準デジタル仕様の CMOS プロセスを利用して $1\sim 5\text{nH}$ のインダクタを製作するとその Q 値は $4\sim 6$ 程度と非常に小さい。これに対して、RF オプションと呼ばれるプロセスでは、スパラルインダクタを構成する金属層を多層配線の最上層に形成し、かつ金属の厚さを $3\mu\text{m}$ 程度と厚くすることで 10 以上の Q 値をえることができる。当然厚膜金属を形成するためにコスト上昇を引き起こすことになる。容量成分には、基板との結合容量やスパラルを構成する金属配線の線間容量があり、これら容量成分とインダクタンス値で決まる自己共振周波数をもつ。GHz 帯回路で利用されるオンチップインダクタは図 5 のようなスパラル型のインダクタである。この図の例では、スパラルインダクタの上方に金属板を挿入する可変インダクタ構造となっているが、上方の金属板を除いて考えれば通常のオンチップインダクタである。インダクタの特性には、所望のインダクタンス値を有し、 Q 値が高く、自己共振周波数も高いことが要求される。当然占有面積は小さい方が好ましい。 Q 値は $\omega L/R$ で表されことから、抵抗損失が少ないことが要求される。抵抗成分は大きく、インダクタンスを構成する金属配線そのものの抵抗と基板に貫通する磁束によって生じる渦電流損失に起因する。膜厚 $1\ \mu\text{m}$ 程度の金属は配線を利用して、標準デジタル仕様の CMOS プロセスを利用して $1\sim 5\text{nH}$ のインダクタを製作するとその Q 値は $4\sim 6$ 程度と非常に小さい。これに対して、RF オプションと呼ばれるプロセスでは、スパラルインダクタを構成する金属層を多層配線の最上層に形成し、かつ金属の厚さを $3\ \mu\text{m}$ 程度と厚くすることで 10 以上の Q 値をえることができる。当然厚膜金属を形成するためにコスト上昇を引き起こすことになる。容量成分には、基板との結合容量やスパラルを構成する金属配線の線間容量があり、これら容量成分とインダクタンス値で決まる自己共振周波数をもつ。

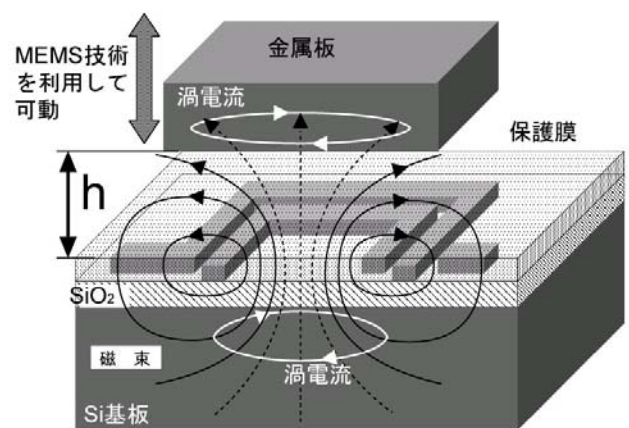


図 5 可変インダクタの構造

図 5 のインダクタは図 6 のようにモデル化することができる[5]。 L_1 がスパラルのインダクタであり、 R_1 が金属配線そのものの抵抗である。基板の渦電流損失分を k_{13} でカップリングする抵抗 R_3 で表現できる。 R_1 が金属配線そのものの抵抗である。このモデルでは自己共振周波数を決める容量成分は概ね C_{ox} で表現されている。このモデルの特徴はスパラルインダクタの上方に配置する金属板とのカップリングを k_{12} 及び k_{23} の結合係数で表現していることである。 k_{12} 及び k_{23} をスパラルインダクタと金属板の距離 h の関数として表現することで、可変インダクタのモデル化ができて[5]。

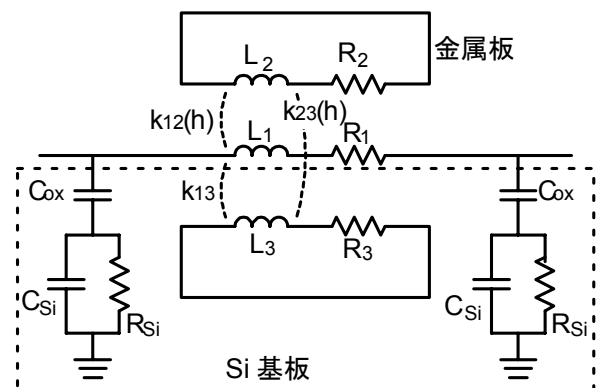


図 6 可変インダクタの等価回路

インダクタの Q 値を向上させる方法として、基板抵抗を大きくすることは等価回路的には R_3 を大きくすることである。また、 k_{13} を小さくすることによっても Q 値の向上を図ることが可能である。

3. オンチップインダクタの事例

3-1. WLP インダクタとその応用

パッケージ技術に利用される WLP (Wafer Level Packaging) 技術を利用すると、厚膜金属を利用し、かつスパイラルインダクタを構成する層が Si 基板から $10\mu\text{m}$ 以上離れることによって、実効的に k_{13} が減少し、結果として Q 値の向上を図ることが可能である[6,7]。実際に GHz 帯用の数 nH のスパイラルインダクタで 20~50 の Q 値を有している。WLP プロセスはプロセス技術的には確立したいわゆる後工程であるので、コスト上昇も最低限に抑えられる特徴がある。

図 7 は WLP インダクタを利用したときの電圧制御発振回路 (VCO) の位相雑音特性の評価結果例[8]を示す。

VCO やデジタル制御発振回路 (DCO) では、LC 共振を用いた発振により周波数安定度の高い高周波での発振を可能にしている。この発振回路の主要特性項目の 1 つに位相雑音特性がある。この位相雑音特性は、以下の Leeson のモデル式で一般的に表現することができる。

$$L\{\Delta\omega\} = 10 \cdot \log \left[\frac{2FkT}{P_{sig}} \left\{ 1 + \left(\frac{\omega_o}{2Q_c\Delta\omega} \right)^2 \right\} \left(1 + \frac{\Delta\omega_{1/f}}{|\Delta\omega|} \right) \right] \quad \dots(1)$$

ここで、F : 回路の雑音指数、k : ボルツマン定数、T : 絶対温度、 P_{sig} : 発振信号電力、 ω_o : 発振角周波数、 Q_c : 回路の Quality factor、 $\Delta\omega_{1/f}$: $1/f$ 雑音コーナ周波数 である。LSI 技術が微細化されると、電源電圧は低下し P_{sig} が減少する。またトランジスタの位相雑音の増加により $\Delta\omega_{1/f}$ が増し、位相雑音が大きくなってしまう。これを補償するには Q_c の高い回路の実現が必要となる。

従来のオンチップのインダクタを用いた場合に比べ、5dB 以上の低位相雑音化が実現できていることが分かる (発振周波数 1.9GHz、1MHz 離調時)。

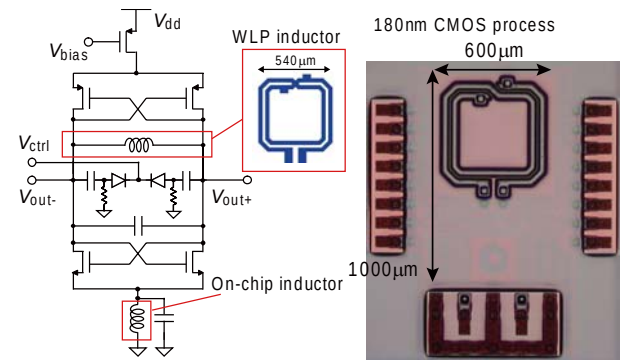
マルチバンド動作の実現においては、LC 共振回路の共振周波数を大きく変化させる必要がある。共振周波数 f_o は、

$$f_o = \frac{1}{2\pi\sqrt{L_o \cdot C_o}} \quad (2)$$

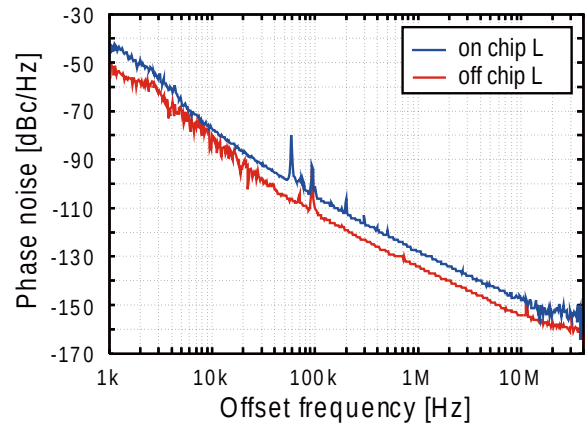
容量 C_o のみを可変することにより共振周波数を変化させることは可能であるが、共振時の Q 値は下式で与えられるため容量値のみを大きくしていくと Q 値が低下し低周波領域での発振条件を満たさなくなってしまう。

$$Q_o = \frac{1}{r_{loss}} \sqrt{\frac{L_o}{C_o}} \quad (3)$$

ここで、 r_{loss} は共振回路の損失抵抗である。Q 値を一定に保ちながら共振周波数を変化させるには、インダクタ L_o と容量 C_o の比を一定に維持できるように可変する必要がある。



(a) VCO 回路構成



(b) 位相雑音特性例

図 7 WLP インダクタを利用した VCO 回路

3-2. オンチップ可変インダクタとその応用

オンチップインダクタの直上に金属板をインダクタと金属板間隔を変化させると可変インダクタを構成することができる (図 5、図 7)

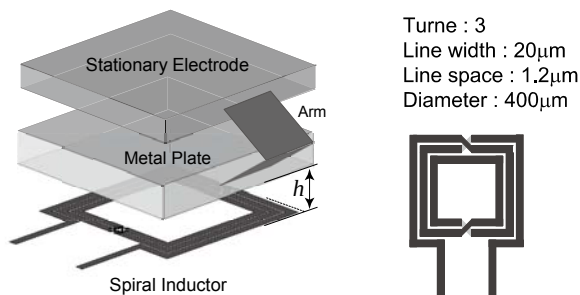


図7 オンチップ可変インダクタ

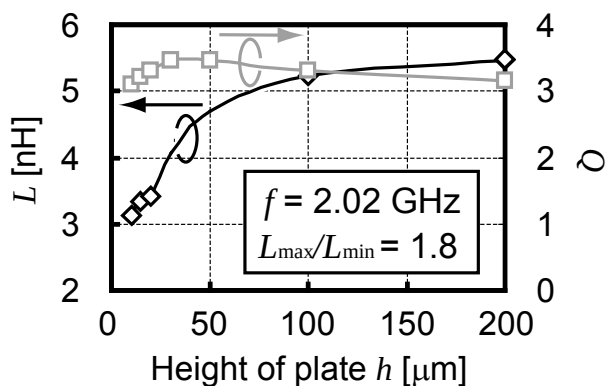


図8 オンチップインダクタの特性

図8は可変特性例[9]である。RF オプションなしのプロセスで製作したインダクタであるためQ値は元々大きくないが、インダクタ値が可変可能であることがわかる。これを利用して試作したVCOを図9、特性を表1にまとめる。FoM_Tとしては世界最高性能と示した。

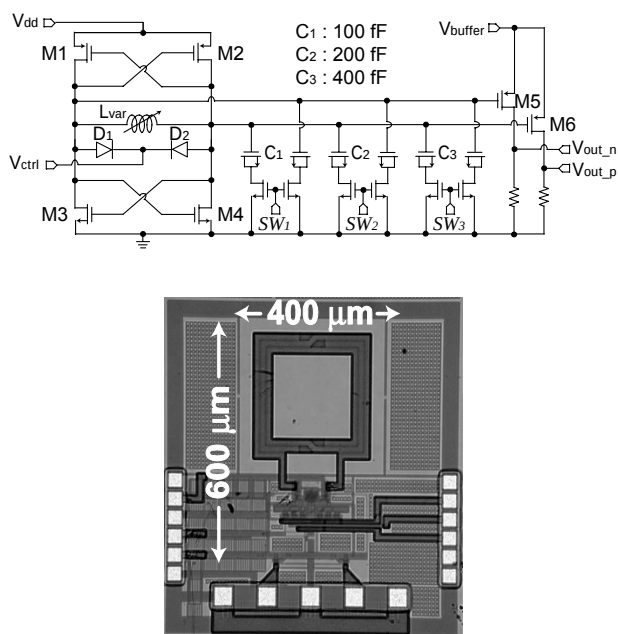


図8 可変インダクタを利用した広帯域電圧制御発振器 (VCO) [8]

可変インダクタ利用VCO [18]	
利用プロセス	180nm 標準 CMOS
電源電圧(V _{DD})	1.8V
VCOコア部分に流れる電流	9.8 – 13 mA
消費電力	18 – 24mW
発振中心周波数	2.02 GHz
周波数可変範囲	1.28 - 2.75 GHz FTR = 72%
位相雑音 (オフセット周波数1MHz)	-135 dBc/Hz @2.02 GHz
FoM _T	-206 dBc/Hz

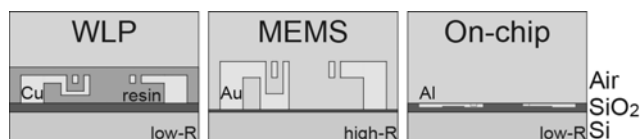
FoM_T は次のように定義される。

$$FOM_T = L\{f_{offset}\} - 20 \log \left(\frac{f_{offset}}{f_{offset}} \cdot \frac{FTR}{10} \right) + 10 \log \left(\frac{P_{DC}}{1mW} \right)$$

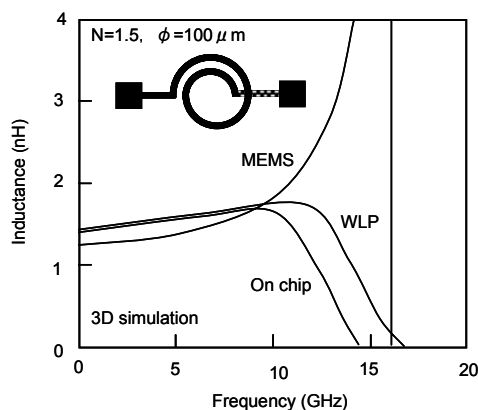
ここで、 $L\{f_{offset}\}$: f_{offset} における位相雑音強度、 f_{offset} ; オフセット周波数、 f_0 : 発振中心周波数、 P_{DC} : 消費電力、FTR (Frequency Tuning Range) : 周波数可変範囲 (周波数可変帯域を発振中心周波数で割った値)

3-3. MEMS プロセスを利用した可変インダクタの可能性 [12]

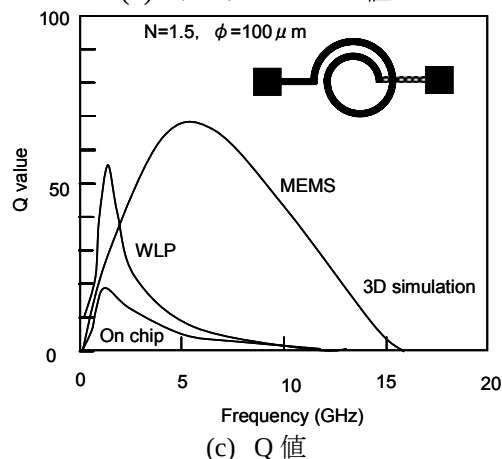
さらなる可変インダクタの可能性を検討している。構造の異なる3種類のスパイラルインダクタの特性について3次元電磁解析による比較を行った。図9(a)に3種類の断面構造を示す。パッケージ (WLP : Wafer Level Package) の配線を利用した構成、中空構造のMEMS構成、CMOS集積回路上の最上層配線を利用した構成である。インダクタの直径 : 100 μm、巻き数 : 1.5 を条件とした。図9(b,c)に解析結果を示す[11]。MEMSインダクタは中空構造であるので線間容量が最も小さく、高い自己共振周波数を得ることができる。また、図9(c)の特性から分かるようにMEMSインダクタでは他に比べQ値の高い周波数領域が広いことが分かる。パッケージ配線によるインダクタでは樹脂の容量の影響によりQ値の高い領域が狭まっており、オンチップインダクタでは酸化膜容量と低抵抗シリコン基板と配線の距離が短いため基板での損失が生じQの最大値も低くなっている。中空構造のMEMSインダクタは広帯域に渡って高いQ値を確保できることから広帯域動作化に有利で、高い可変率の可変インダクタを実現する上でMEMS構造が最も有効である。



(a) 比較したインダクタの断面構造



(b) インダクタンス値



(c) Q 値

図 9 構造によるスパイラルインダクタンスの特性

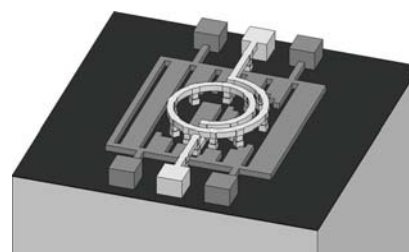
単純な巻線構造インダクタのインダクタンス値 L_c は、下式に示すように、透磁率 μ 、磁束がよぎる巻線ループの面積 S 、巻き数 n^2 に比例する。

$$L_c \propto \mu \cdot S \cdot n^2 \quad (4)$$

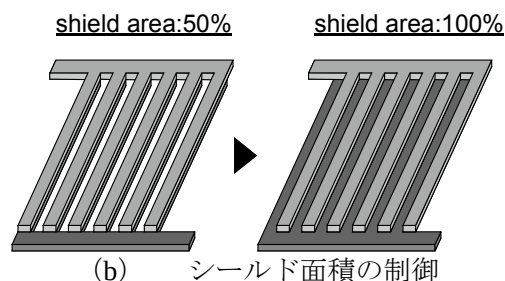
このことから、インダクタンス値を変化させるには、(1)ループを通る磁束量を制御する（透磁率の制御に相当）、(2)電流ループの面積を制御する、(3)巻き数を制御するなどの方法が考えられる。ここでは、(1)と(2)による可変インダクタの可能性の検討結果を示す。

等価的に透磁率を制御する方法としてシールドパターンにより磁束を遮蔽し制御する方法が考えられる。図 10(a)に示すシールドパターンを有するスパイラルインダクタにおいて、シールドパタ

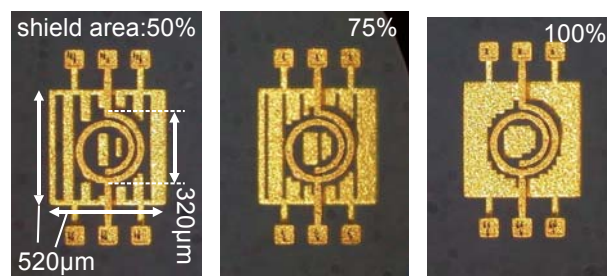
ンをスリット状に構成し、シールドパタンの面積を図 10(b)のように、2 枚のスリット状のシールドパターンを用いスライドさせることにより変化させる。この効果を確認するためシールド面積の異なる図 10(c)に示す中空構造のスパイラル形 MEMS インダクタを試作し評価を行った。今回の試作ではインダクタの基本特性の把握を目的としたため、シールドパタンの可動機構は搭載せず、シールド面積の異なるインダクタを複数試作し特性の比較を行った。図 11 に評価結果を示す。シールドパターン面積を 50%から 100%に変化させることによって約 15% (100MHz 時) のインダクタンス値の変化率 $[(L_{\max} - L_{\min}) / L_{\min}]$ を得た。Q 値は、いずれも 1GHz 以上で 20 以上を得た。



(a) シールドパターンを有するスパイラル形 MEMS インダクタ



(b) シールド面積の制御



(c) シールド面積の異なるスパイラル形 MEMS インダクタのチップ写真

図 10 スパイラル形 MEMS インダクタ

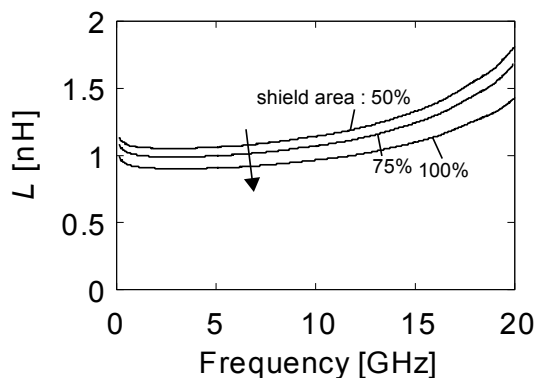
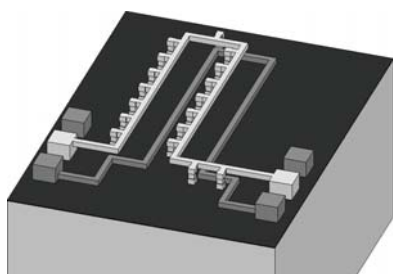
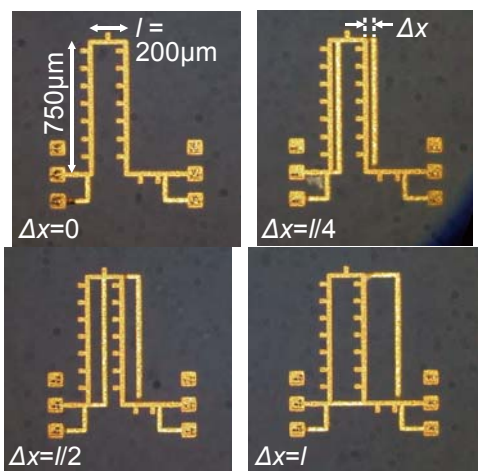


図 1 1 スパイラル形MEMSインダクタ特性



(a) ミアンダ形 MEMS インダクタ



(b) ループ面積の異なるミアンダ形 MEMS インダクタのチップ写真 (全長: 2 mm)

図 1 2 ミアンダ形MEMSインダクタ

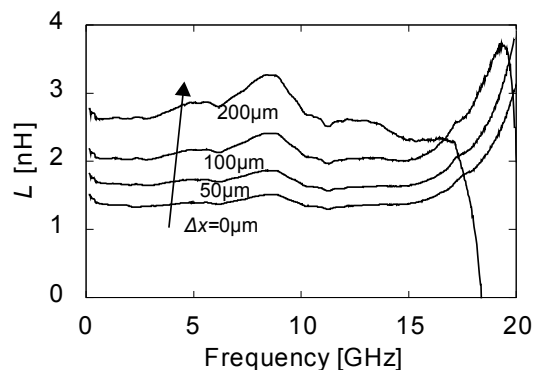


図 1 3 ミアンダ形MEMSインダクタの特性

より高いインダクタンス値の可変率を可能とする構成として図 1 2 (a)に示すミアンダ形 MEMS インダクタのループ面積依存性の評価を行った。上層と下層のミアンダ配線の位置を相対的にずらすことによって磁束がよぎるループ面積を変化させる。この効果を確認するため、図 1 2 (b)に示すループ面積の異なるミアンダ形 MEMS インダクタを複数試作し評価を行った。

図 1 3 に評価結果を示す。全長 2 mm のミアンダ形 MEMS インダクタにおいて上層と下層のミアンダ配線の相対的位置を 200 μm シフトさせることによって、1.54 nH から 2.79 nH と 81% インダクタンス値を変化させることが可能であることが分かった。また、同様の全長 4 mm のインダクタを評価した結果では、2.56 nH から 5.50 nH とより高いインダクタンス値の変化 (108%) が可能となることを明らかにした。

以上、スパイラル形とミアンダ形のインダクタンス特性について述べたが、インダクタンス値の可変素子とするためには、値を制御するための可動機構、制御回路の実現が必要である。具体的な可動制御機構、制御回路については現在検討中であるが、図 1 4 に示すようにミアンダ形で大きなインダクタンス値の変化を得るには、200 μm の大きな可動量の実現が必要となる。スパイラル形でシールド面積を制御する方法では、可動量は少なく済むが可変率が小さい。大きな可変率を実現するためには、ミアンダ形で大きな可動機構の実現が課題である。

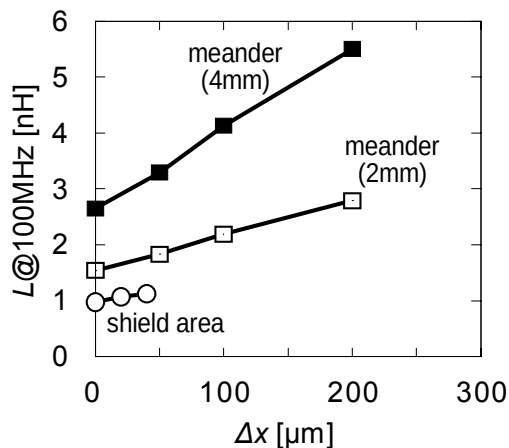


図 1 4 パタンの可動量とインダクタンス値

4 まとめ

本稿ではオンチップ受動素子について筆者らの研究を含めて紹介した。RF CMOS 回路の性能向上は CMOS プロセスだけにたよらず実装技術や新規な集積化技術との総合的な観点から検討することがますます重要になると思われる。単に作るだけではなく、設計環境への要求も変化してゆく。図 15 に示すような統合設計環境の構築が競争力確保のためにますます重要になってくると考えている。

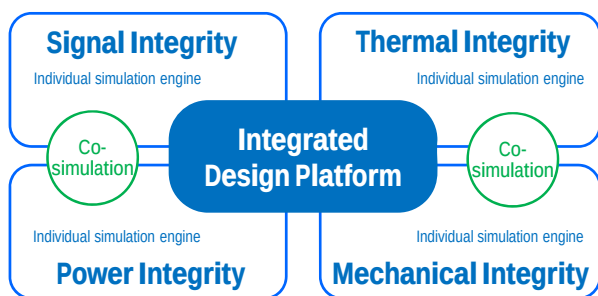


図 4 統合設計環境

謝 辞

ここで紹介した研究の一部は、科学研究費補助金、NEDO、SCOPE、STARC などの援助を受けて行われた。WLP 技術については常日頃御議論いただいているフジクラ（株）の関係各位に感謝いたします。また、受動素子プロセスについて御議論いただいている町田克之氏（NTT-AT）に感謝いたします。これまでの多くの成果を生み出してくれた我々の研究室に所属した教員ならびに学生各位に感謝します。

文 献

- [1] ITRS Roadmap, <http://www.itrs.net/>
- [2] 益 一哉, 岡田健一, "シリコン上の高周波受動素子技術", 応用物理, 第 73 巻, 第 9 号, pp. 1172-1178, 2004.
- [3] Kazuya Masu, Kenichi Okada, and Hiroyuki Ito, "RF Passive Components Using Metal Line on Si CMOS" (Invited Paper), IEICE Transactions on Electronics, vol.E89-C, no.6, pp.681-691, 2006.
- [4] T. Kawakubo, T. Nagano, M. Nishigaki, K. Abe and K. Itaya, "Piezoelectric RF MEMS tunable capacitor with 3V operation using CMOS compatible materials and process", IEEE International IEEE International Electron Devices Meeting, 2003. Technical Digest, pp. pp. 294 – 297 (2005)..
- [5] T. Yammouch, K. Ishida, K. Okada, and K. Masu, "Equivalent Circuit Model for On-Chip Variable Inductor," International Conference on Solid State Devices and Materials (SSDM), pp.58-59, 2006.
- [6] M. Sato, K. Itoi, H. Abe, H. Sugawara, H. Ito, K. Okada, K. Masu, and T. Ito, On-chip Spiral Inductors Integrated with Wafer-Level Package, International Conference on Solid State Devices and Materials, pp. 286-287, Sept. 2004.
- [7] K Itoi, M. Sato, H. Abe, H. Sugawara, H. Ito, K. Okada, K. Masu and T. Ito, On-Chip High-Q Cu Inductors Embedded In Wafer-Level Chip-Scale Package for Silicon RF application, IEEE MTT-S International Microwave Symposium, Vol. 1, 197-200, 2004.
- [8] Kazuma Ohashi, Yuka Kobayashi, Hiroyuki Ito, Kenichi Okada, Hideki Hatakeyama, Takuya Aizawa, Tatsuya Ito, Ryoza Yamauchi, Kazuya Masu, "A Low Phase Noise LC-VCO with a High-Q Inductor Fabricated by Wafer Level Package Technology", Radio Frequency Integrated Circuits Symposium 2008 (RFIC 2008),pp.123-126, Atlanta, June, 2008.
- [9] Y. Ito, Y. Yoshihara, H. Sugawara, K. Okada, and K. Masu, "A 1.3-2.8 GHz Wide Range CMOS LC-VCO Using Variable Inductor," IEEE Asian Solid-State Circuits Conference, pp.265-268, Nov. 2005.
- [10] Y. Ito, H. Sugawara, K. Okada, and K. Masu, "A 0.98 to 6.6GHz Tunable Wideband VCO in a 180nm CMOS Technology for Reconfigurable Radio Transceiver," IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.359-362, Hangzhou, China, Nov. 2006.
- [11] 水落, 天川, 石原, 益, 「RF IC 用インダクタの特性解析」 2009 年 第 56 回応用物理学関係連合講演会、2a-V-4, 4 月, 2009.
- [12] 石原 昇,水落 裕,天川修平,益 一哉,「RF CMOS 集積回路と MEMS 回路の融合」、第 26 回センサ・マイクロマシンと応用システム、2009 年 10 月発表予定