

論文 / 著書情報
Article / Book Information

題目(和文)	半導体基板上への常誘電性および強誘電性弗化物薄膜の形成とデバイス応用に関する研究
Title(English)	
著者(和文)	會澤康治
Author(English)	KOJI AIZAWA
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:乙第2963号, 授与年月日:1996年10月30日, 学位の種別:論文博士, 審査員:石原宏
Citation(English)	Degree:Doctor of Engineering, Conferring organization: Tokyo Institute of Technology, Report number:乙第2963号, Conferred date:1996/10/30, Degree Type:Thesis doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

学位論文

半導体基板上への常誘電性および強誘電性
弗化物薄膜の形成とデバイス応用に関する研究

1996年（平成8年） 9月

會澤 康治

Doctoral Thesis

Study on Formation and Device Applications of Dielectric and Ferroelectric Fluoride Films on Semiconductor Substrates

Tokyo Institute of Technology

Koji AIZAWA

In development of electronics industry, progress in the performance of Si-MOS FETs (metal-oxide-semiconductor field effect transistors) is most important. Particularly, GaAs-MIS (metal-insulator-semiconductor) FETs and Si-MFS (metal-ferroelectric-semiconductor) FETs have attracted much attention as promising candidates of high performance and novel functional devices. In order to realize these devices, however, it is necessary to study the characterization of the dielectric and ferroelectric films formed on semiconductor substrates and control of interface electronic properties between these films and substrates.

Aim of the study in this doctoral thesis is to establish basic technologies for realizing GaAs-MIS and MFS FETs through formation of the dielectric and ferroelectric fluoride films on semiconductor substrates as gate insulators and characterization of the interface electronic properties between fluoride films and semiconductors. In this study, AlF_3 and LaF_3 incorporated with YF_3 were investigated as dielectric fluoride films for GaAs-MIS FETs, while BaMgF_4 films were used as ferroelectric fluoride films for MFS FETs.

In the 2nd chapter, the interface electronic properties of $\text{AlF}_3/\text{GaAs}(100)$ structures have been investigated for low temperature deposition (350°C) process. As the results, it was found from 1MHz C-V measurements in MIS diodes that the unpinning of the Fermi level in the forbidden band gap occurred only when the GaAs epitaxial layer was treated in the $(\text{NH}_4)_2\text{S}_x$ solution.

In the 3rd chapter, control of lattice parameters of hexagonal LaF_3 thin films has been attempted by incorporation of orthorhombic YF_3 , in order to realize lattice-matched epitaxial growth of the films on $\text{GaAs}(111)\text{B}$ substrates. As the results, it was found for the first time that the lattice parameter of the $\text{Y}_x\text{La}_{1-x}\text{F}_3$ epitaxial film was equivalently matched to that of $\text{GaAs}(111)$ around the mixing ratio x of 0.55.

In the 4th chapter, optimum conditions to form ferroelectric BaMgF_4 films on GaAs and Si

substrates have been investigated. In particular, it was first found that (011)- and (120)-oriented BaMgF₄ films were successfully grown on Si(100) and (111) substrates, respectively, using molecular beam epitaxy method at temperatures around 500° C. It was also found in the case of a BaMgF₄(120) film grown on Si(111) that the a-axis with spontaneous polarization in the crystallites was 51° -off from the film surface.

In the 5th chapter, ferroelectric properties of BaMgF₄ film grown on Si(100) and (111) substrates were mainly studied. As the results, It was found that no ferroelectric polarization along the surface normal was observed for (011)-oriented films grown on Si(100) substrates, while (120)-oriented films grown on Si(111) substrates clearly showed hysteresis characteristics with ferroelectric polarization. It was also found from C-V measurements in Al/BaMgF₄/Si diodes that the interface state density of the BaMgF₄(120)/Si(111) structures at a growth temperature around 500° C was low ($3 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$). Finally, fabrication and characterization of MFS FETs using BaMgF₄/Si(111) structures were attempted. As the results, It was observed that the threshold voltage was shifted by applying a gate voltage, and the drain current was changed by applying positive short pulses to the transistor gate.

It was concluded that the results described in this thesis would be one of the most promising candidates for realizing GaAs-MIS and MFS devices.

論文概要

半導体デバイスの高性能化は、電子情報機器の性能向上を図る上で必要不可欠であるが、半導体デバイス作製における微細加工技術の限界や、デバイス寸法の微細化に伴うデバイス性能の物理的限界などが、今後大きな問題になると予想される。この問題を解決するための有力な手段の一つは、現在の半導体集積回路の多くに用いられている Si-MOSFET を微細化以外の面から高性能化することである。特に、半導体材料に Si より高移動度な GaAs を用いた GaAs-MISFET や、Si-MOSFET のゲート絶縁膜に強誘電体を用いた Si-MFSFET (金属-強誘電体-半導体 FET) の実現は有望と考えられる。しかし、これらのデバイス実現には、半導体基板上への常誘電体および強誘電体薄膜の形成と界面の電気的特性制御とに関する研究が不可欠である。

本研究では、上記のような高性能デバイスを実現するために、ゲート絶縁材料として常誘電性あるいは強誘電性弗化物が有効であることを示し、さらに半導体基板上への薄膜形成や界面特性の評価を通して、これらの弗化物薄膜を用いたデバイスを実現する基礎を確立することを目的としている。

本研究の目的を達成するためには2つの課題がある。第1の課題は、GaAs 基板上へ形成する常誘電性弗化物薄膜の選択とその形成法の確立、および薄膜の結晶性や界面の電気的特性の解明である。第2の課題は、半導体基板上へ形成する強誘電性弗化物膜の選択と結晶成長の実現および薄膜の結晶性や界面の電気的特性の解明である。

本研究では、これらの課題を克服し、作製した常誘電性弗化物/GaAs 構造および強誘電性弗化物/半導体構造が、微細化以外の方法による Si-MOSFET の高性能化という点で、次世代の高機能性半導体デバイスになり得ることを実証している。

第1章「序論」では、本研究の背景と目的および本論文の構成について述べている。まず、半導体集積化技術が抱える問題点を解決する上で、化合物半導体 MISFET や強誘電体をゲート絶縁膜に用いた MFSFET が重要であることを述べ、半導体基板上へ常誘電性および強誘電性弗化物薄膜を形成し、膜の結晶性評価、界面の電気的特性評価などを通して、これらのデバイス実現のための基礎を確立することが本研究の目的であると述べている。

第2章「GaAs 基板上への常誘電性 AlF_3 薄膜の形成」では、III b 族金属弗化物である AlF_3 薄膜と GaAs との界面特性を解明し、GaAs-MIS デバイスへ応用することを研究の目的としている。まず 350°C の低温で成膜した AlF_3 膜の結晶性、絶縁特性、GaAs(100) 基板との界面における電気的特性などを評価し、形成した AlF_3 膜は結晶的には非晶質であるが、MIS デバイスのゲート絶縁膜として最低限の電気的特性を有していることを明らかにしている。またこの特性は、GaAs 表面を硫黄処理した場合に大幅に改善されることを明らかにしている。

第3章「GaAs 基板上への常誘電性 $\text{Y}_x\text{La}_{1-x}\text{F}_3$ 薄膜のエピタキシャル成長」では、GaAs-MIS デバイスの結晶性ゲート絶縁膜として希土類弗化物混晶 $\text{Y}_x\text{La}_{1-x}\text{F}_3$ 薄膜を用いることを提案

し、結晶成長条件の最適化と膜の絶縁特性、誘電特性、GaAs(111)B基板との界面における電気的特性の評価などを行っている。まず、GaAs(111)基板上へ格子整合条件下でエピタキシャル成長させる材料としては、六方晶の希土類弗化物 LaF_3 に斜方晶の YF_3 を添加した $\text{Y}_x\text{La}_{1-x}\text{F}_3$ 混晶が有望であることを述べ、実際に 500°C において真空蒸着法により成膜した $\text{Y}_{0.55}\text{La}_{0.45}\text{F}_3$ 薄膜が GaAs(111)基板上に六方晶として格子整合エピタキシャル成長することを初めて明らかにしている。さらに、電気的特性評価より、 $\text{Y}_x\text{La}_{1-x}\text{F}_3$ 膜は GaAs-MIS デバイスのゲート絶縁膜として十分な絶縁性を持つことを明らかにしている。

第4章「強誘電性弗化物 BaMgF_4 膜の半導体基板上への成長」では、強誘電性弗化物 BaMgF_4 薄膜の GaAs および Si 基板上への結晶成長条件の検討を行っている。まず、この膜の成長には強誘電体 BaMgF_4 の自発分極軸である (100) 軸が基板表面に対して、出来るだけ大きな角度で立つ必要があることを述べ、実際に真空蒸着法および分子線エピタキシー法を用いて成膜している。GaAs 基板上への成長では、 500°C 以上の成膜温度に対して (100) 方位を含む BaMgF_4 多結晶膜が形成できることを明らかにしている。一方、Si 基板上への成長では、 400°C 以上の成膜温度に対して BaMgF_4 膜が強く配向成長すること、特に、Si(111)基板上では、自発分極軸が基板面に対して 51° の角度で立った (120) 方位で配向成長することを初めて明らかにしている。

第5章「GaAs および Si 基板上へ成長した強誘電性 BaMgF_4 薄膜の電気的特性評価とデバイス応用」では、 BaMgF_4 薄膜の絶縁特性、分極特性、半導体との界面特性などの電気的特性を評価し、この結果に基づいて、実際に Si-MFSFET を作製している。まず、GaAs 基板上に成長した BaMgF_4 薄膜はデバイス応用に対して最低限の電気的特性を持つが、十分な分極特性を得るには絶縁耐圧が不十分なことを明らかにしている。一方、Si(111)基板上に成長した BaMgF_4 膜は、MFS デバイスへの応用に対して十分な自発分極特性および絶縁特性を持つことを明らかにしている。さらに、ここで形成した BaMgF_4/Si 構造の界面準位密度は最少で $10^{10}\text{cm}^{-2}\text{eV}^{-1}$ 程度と、界面特性が極めて良好であることを初めて明らかにしている。最後に、良好な界面特性を実証するために、 $\text{BaMgF}_4/\text{Si}(111)$ 構造の MFSFET を作製し、トランジスタの諸特性から BaMgF_4 膜の残留分極による顕著な効果が得られたと結論している。

第6章「結論」では、本研究で得られた結論と主な成果について述べた後、今後に残された課題について述べている。

論文目次

第1章 序論

1-1	はじめに.....	2
1-1-1	集積回路の高性能化と高集積化技術が抱える問題.....	2
1-1-2	機能性素子による集積回路の高性能化.....	4
1-2	常誘電性弗化物膜の化合物半導体デバイスへの応用.....	6
1-2-1	集積回路の機能化における化合物半導体 MIS デバイスの役割.....	6
1-2-2	現状の化合物半導体 MIS デバイスにおける問題点.....	9
1-2-3	常誘電性弗化物を化合物半導体 MIS デバイスへ用いる意義.....	11
1-3	強誘電性弗化物膜を用いた半導体デバイスの可能性.....	12
1-3-1	メモリデバイスにおいて強誘電体が果たす役割.....	12
1-3-2	強誘電体膜のアナログニューロン回路への応用.....	16
1-3-3	強誘電体膜を半導体上に形成する場合の問題点.....	18
1-3-4	強誘電性弗化物を半導体上に形成する意義.....	20
1-4	金属無機弗化物膜の優位性.....	22
1-5	本研究の目的と意義.....	24
1-6	本論文の構成.....	26

参考文献

第2章 GaAs 基板上への常誘電性 AlF₃ 薄膜の形成

2-1	はじめに.....	30
2-1-1	GaAs MIS 構造における問題点.....	30
2-1-2	絶縁膜形成法と材料の選択.....	31
2-1-3	GaAs 表面処理の必要性.....	33
2-1-4	AlF ₃ /GaAs 構造の MIS デバイスへの適用.....	34
2-2	AlF ₃ 薄膜の GaAs (100) 基板上への形成.....	36
2-2-1	AlF ₃ の物性と AlF ₃ 膜堆積装置.....	36
2-2-3	AlF ₃ 膜の形成.....	38
2-3	AlF ₃ /GaAs 構造の評価.....	41
2-3-1	AlF ₃ 薄膜の電気的特性.....	41

2-3-2	硫黄処理を施さないAlF ₃ /GaAs構造の電気的特性.....	44
2-3-3	硫黄処理を施したAlF ₃ /GaAs構造の電気的特性.....	46
2-3-4	硫黄処理を施したAlF ₃ /GaAs構造の 界面特性とデバイス応用.....	51
2-4	まとめ.....	53

参考文献

第3章 GaAs基板上への常誘電性Y_xLa_{1-x}F₃薄膜の
エピタキシャル成長

3-1	はじめに.....	56
3-1-1	エピタキシャル成長の意義と格子整合の必要性.....	56
3-1-2	希土類弗化物のGaAs上へのエピタキシャル成長.....	58
3-1-3	弗化物添加による格子定数制御の可能性.....	61
3-2	Y _x La _{1-x} F ₃ 薄膜の成膜方法.....	63
3-2-1	成膜装置と基板の前処理.....	63
3-2-2	蒸着原料の作製.....	65
3-2-3	(Y, La)F ₃ 膜の成膜.....	68
3-3	GaAs(111)B基板上に成長したY _x La _{1-x} F ₃ 薄膜の評価....	69
3-3-1	LaF ₃ 膜の基板方位依存性と電気的特性.....	69
3-3-2	Y _x La _{1-x} F ₃ 膜における組成比の同定と配向方位.....	73
3-3-3	YF ₃ 添加による格子定数制御.....	75
3-3-4	X線極点図測定による格子定数の同定と格子整合条件.....	77
3-3-5	Y _x La _{1-x} F ₃ 膜の面内配向方位と結晶性評価.....	82
3-4	Y _x La _{1-x} F ₃ /GaAs(111)B構造の 電気的特性とデバイス応用....	85
3-4-1	Y _x La _{1-x} F ₃ 膜の電気的特性.....	85
3-4-2	Y _x La _{1-x} F ₃ /GaAs(111)B構造の 界面特性とデバイス応用.....	90
3-5	まとめ.....	96

参考論文

第4章 強誘電性弗化物 $BaMgF_4$ 膜の半導体基板上への成長

4-1	はじめに.....	99
4-1-1	強誘電性弗化物の種類.....	99
4-1-2	強誘電性弗化物の選択.....	104
4-1-3	$BaMF_4$ 系強誘電体の性質.....	107
4-2	$BaMgF_4$ 膜のGaAsおよびSi基板上への形成.....	111
4-2-1	$BaMgF_4$ 膜の形成法.....	111
4-2-2	高真空における $BaMgF_4$ 膜の形成.....	112
4-2-3	$BaMgF_4$ 膜堆積装置の概要.....	113
4-2-4	$BaMgF_4$ 膜の形成工程.....	115
4-3	GaAs基板上に形成した $BaMgF_4$ 膜の評価.....	119
4-3-1	X線回折法による結晶配向性の評価.....	119
4-3-2	成長温度および熱処理による結晶性の変化.....	122
4-3-3	SIMS法による $BaMgF_4$ 膜/GaAs界面の評価.....	125
4-4	Si基板上に形成した $BaMgF_4$ 膜の評価.....	127
4-4-1	X線回折法による結晶配向性の評価.....	127
4-4-2	ラザフォード後方散乱法による結晶性の評価.....	135
4-4-3	面内配向性の評価.....	137
4-4-4	$BaMgF_4$ 膜のエピタキシャル方位.....	142
4-4-5	$BaMgF_4$ エピタキシャル膜の基板との整合性.....	145
4-5	まとめ.....	151

参考文献

第5章 GaAsおよびSi基板上へ成長した強誘電性 $BaMgF_4$ 薄膜の電気的特性評価とデバイス応用

5-1	はじめに.....	154
5-1-1	強誘電体の分極特性.....	154
5-2-2	強誘電体/半導体構造における電気的特性.....	157
5-1-3	強誘電体/半導体構造による電界効果トランジスタの動作特性..	165
5-2	GaAs基板上に形成した $BaMgF_4$ 膜の電気的特性評価.....	170
5-3	Si基板上に成長した $BaMgF_4$ 膜の電気的特性評価.....	178
5-3-1	$BaMgF_4$ 膜の誘電特性.....	180
5-3-2	$BaMgF_4$ 膜の漏れ電流特性.....	183

5-3-3	BaMgF ₄ 膜の分極特性.....	190
5-3-4	BaMgF ₄ (120) 配向膜の強誘電性.....	193
5-4	BaMgF ₄ /Si 構造を用いた電界効果トランジスタの作製と評価..	203
5-4-1	BaMgF ₄ /Si 界面の電気的特性評価.....	203
5-4-2	トランジスタの作製手順.....	211
5-4-3	作製したトランジスタの静特性.....	213
5-4-4	トランジスタのパルス印加特性.....	218
5-5	まとめ.....	221

参考文献

第6章 結論

6-1	本研究で得られた結論.....	225
6-2	本研究で得られた主な成果.....	230
6-3	今後に残された課題.....	231

謝辞

発表論文および学会発表一覧

第1章

序論

今後、半導体集積回路の高性能化のためには機能性素子の開発が必要不可欠となる。こうした背景をもとに、本章では、現在の集積回路の多くに用いられている MISFET のゲート絶縁膜に常誘電性あるいは強誘電性を有する弗化物を用いた構造が高い機能性をもつ素子として有望であることを示している。そして、これらの素子を実現するためには、半導体基板上への常誘電性および強誘電性弗化物薄膜の形成とデバイス応用に関する研究を行うことが必要であると述べている。

第1章 目次

- 1-1 はじめに
 - 1-1-1 集積回路の高性能化と高集積化技術が抱える問題
 - 1-1-2 機能性素子による集積回路の高性能化
 - 1-2 常誘電性弗化物膜の化合物半導体デバイスへの応用
 - 1-2-1 集積回路の機能化における化合物半導体 MIS デバイスの役割
 - 1-2-2 現状の化合物半導体 MIS デバイスにおける問題点
 - 1-2-3 常誘電性弗化物を化合物半導体 MIS デバイスへ用いる意義
 - 1-3 強誘電性弗化物膜を用いた半導体デバイスの可能性
 - 1-3-1 メモリデバイスにおいて強誘電体が果たす役割
 - 1-3-2 強誘電体膜のアナログニューロン回路への応用
 - 1-3-3 強誘電体膜を半導体上に形成する場合の問題点
 - 1-3-4 強誘電性弗化物を半導体上に形成する意義
 - 1-4 金属無機弗化物膜の優位性
 - 1-5 本研究の目的と意義
 - 1-6 本論文の構成
- 参考文献

1-1 はじめに

1-1-1 集積回路の高性能化と高集積化技術が抱える問題

インターネットなどの普及により画像データなどの大容量の情報をリアルタイムで処理できる環境が整備されつつある今、ハードウェアの高速化および多機能化に対する要求は近年益々増加している。こうした高度情報化社会と呼ばれる現代にあって、一度に処理される情報量は今後とも増大の一途をたどることが予想される。情報を取り扱う環境を設定する上でソフトウェアは重要な位置をしめるが、こうした環境を快適に取り扱うために高速かつ正確に情報処理を行うハードウェアの存在はなくてはならないものであり、その役割はソフトウェア以上に大きい。増大した情報量の処理に対してハードウェア側がとってきた手段は、微細に作り上げた半導体デバイスを用いて構築された処理回路を単一基板上に作り込むこと、すなわち半導体デバイスの集積回路化であったといえる。

情報処理の電子化が進むにつれて集積回路の高性能化が強く要求されるようになってきている。集積回路の高性能化としては、表1-1に示すように高速動作、低消費電力化、小型化／高機能化の三つに大別できる。高速動作は高度で複雑な情報処理を素早く行うために必要であり、従来の集積回路におけるデバイス／プロセス技術では各素子の微細化および寄生容量の低減化によって達成している。低消費電力化は高速動作を得るために増大する傾向にある消費電

表1-1 集積回路を高性能化するための方法¹

高速動作	微細化 寄生容量の低減
低消費電力	低電圧化 寄生容量の低減
小型化 高機能化	微細化 パッケージ マルチチップモジュール

力の低減と、将来ますます増加するであろう携帯情報機器等に搭載するために是非とも必要であり、従来の技術では駆動電圧の低減と寄生容量の低減によって達成している。また集積回路の小型化／高機能化は機器を小さく、そして様々な機能を機器に搭載させるために必要である。

このように集積回路の高密度集積化は高速動作および小型化／高機能化を実現するために必要であり、そのために従来の微細加工による集積化は3年で1世代のプロセス世代変更という推移をたどってきた。図1-1に示すように1990年には $0.8\mu\text{m}$ プロセスルールが主流であったが、現在では $0.35\mu\text{m}$ ルールが主流となっており、さらに $0.25\mu\text{m}$ ルールへの移行も急速に行われつつある。こうしたプロセスの発展に伴い、1チップに搭載される素子数も世代ごとに増大し、 $0.8\mu\text{m}$ ルールの場合にロジックLSI(Large Scale Integration)で50万トランジスタが搭載されていたが $0.25\mu\text{m}$ ルールでは同一面積に500万トランジスタが集積させることが可能と予想される。しかしこうした高集積化技術の進歩は一方で微細加工の技術的限界とデバイス寸法の制約からくるデバイス特性上の物理的限界、消費電力の増大、配線の遅延時間の増大などが重大な問題となりつつある。

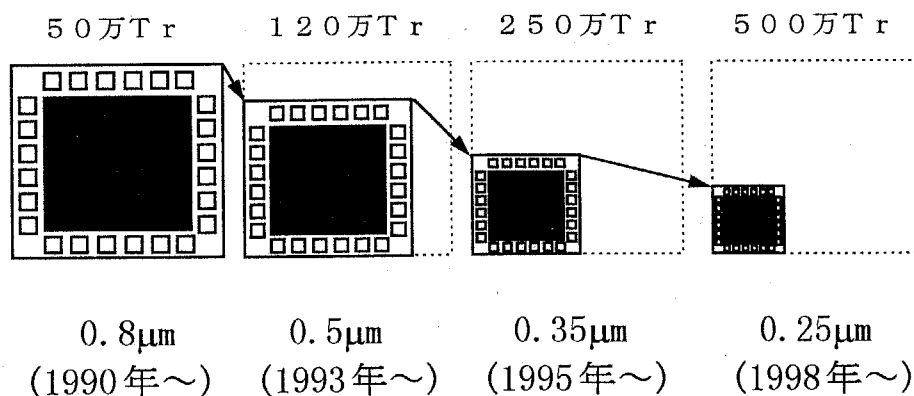


図1-1 プロセスの進歩による集積度の推移²

1-1-2 機能性素子による集積回路の高性能化

現在、集積回路の高集積化に伴う問題点がもっとも如実に現れているのが DRAM(Dynamic Random Access Memory)であろう。現在の DRAM は電荷蓄積用のキャパシタンスが原理的にスケーリング則に従わない構造を有しているため高集積化が世代ごとに苦しくなっている。スケーリング則とは表 1-2 に示すように寸法等を $1/K$ にした場合に他の物理量がどのように与えられるかを一次近似で求めたものである。実際の DRAM においてはキャパシタンス容量を確保するために、トレンチや積層などの立体構造を用いてキャパシタンス面積を増加させたり、高誘電率材料を用いて SiO_2 換算膜厚を減少させるなどの方法を用いている。また集積回路で今後用いられるスケーリングでは消費電力密度が $1/K$ の寸法縮小に対して K 倍となるように（電圧一定スケーリングでは K^3 倍）されている。しかしこのような現状もやがて限界が訪れることが容易に予想される。

表 1-2 MOS デバイスのスケーリング則³

パラメーター	電界一定 スケーリング	電圧一定 スケーリング	今後のスケー リング
デバイス寸法	$1/k$	$1/k$	$1/k$
ゲート酸化膜厚 T_{ox}	$1/k$	$1/k$	$1/k^{0.5}$
不純物濃度	k	k^2	$k^{1.5}$
電圧 V	$1/k$	1	$1/k^{0.5}$
電界 E	1	k	1
電流 I	$1/k$	k $(k^{\alpha-1})$	$1/k^{0.5}$
面積 A	$1/k^2$	$1/k^2$	$1/k^2$
容量 $C=\epsilon A/T_{ox}$	$1/k$	$1/k$	$1/k^{1.5}$
回路当たりの 遅延時間 VC/I	$1/k$	$1/k^2$ $(1/k^\alpha)$	$1/k^{1.5}$
回路当たりの 消費電力 VI	$1/k^2$	k $(k^{\alpha-1})$	$1/k$
消費電力密度 VI/A	1	k^3 $(k^{\alpha+1})$	k

α は膜厚が薄くなって表面の効果が大きくなる場合の k 値からのズレを表すパラメータである。

こうした集積回路の将来の問題に対して、機能性の高い素子を用いて素子数の低減や消費電力の低減などを行うことが解決の一つの道であると考えられる。なおここで述べている機能性とは集積回路の高性能化に必要な要件の一つとして挙げた機能化とは若干異なり、従来の材料系や集積回路技術では実現が難しい機能をも含んだ広い意味での機能化を指している。すなわちこうした高機能化素子を開発するためには材料系を含めた様々な観点から抜本的に見直す必要があると考えられる。

以上の背景から、本研究では現在の集積回路の多くに用いられている MISFET (Metal-Insulator-Semiconductor Field Effect Transistor: 金属-絶縁体-半導体 電界効果トランジスタ) に着目して、特に絶縁膜の材料として常誘電性あるいは強誘電性を有する弗化物を用いた MISFET を作製することで、そのデバイスの持つ機能性が将来の半導体集積回路の高性能化に与える有効性を検証し、これを実現するための基礎的な研究を行うことを目指している。

1-2 常誘電性弗化物膜の化合物半導体デバイスへの応用

1-2-1 集積回路の機能化における化合物半導体 MIS デバイスの役割

表 1-3 に主要な半導体材料・デバイスの研究開発の歴史を示した。

現在、半導体デバイスもしくは半導体集積回路と呼ばれるものの多くは Si を原材料としている。Si は Ge、C、Te、Se などの元素半導体の中の一つで、現在では半導体材料の主役といえるが、1948 年に J. Bardeen らにより点接触トランジスタが発明⁴された当初はむしろ半導体としての物性が優れる Ge が半導体材料としての地位を保持していた。しかし 1959 年フェアチャイルド社によるプレーナトランジスタの発明⁵や 1960 年 AT&T ベル研究所による金属-酸化物-半導体 (MOS) トランジスタの開発⁶、そして 1961 年フェアチャイルド社によるモノリシック集積回路の発明⁷により、半導体材料の主役は完全に Si に移行した。Si がこのように半導体産業の中核をなすまでに至ったのは、Si の酸化物である SiO₂ が化学的および電氣的に非常に安定であり、かつ精密な制御で作製した SiO₂/Si 界面の電氣的特性が非常に優れているためである。Si 以外の元素半導体や化合物半導体などでは、Si に対する SiO₂ のような優れた絶縁体が未だ発見されておらず、そのため、主に MOS トランジスタで構成される現在の集積回路において Si-SiO₂ という材料の組み合わせは現代のエレクトロニクス産業を支える大きな柱となっている。

一方で Si のような元素半導体に対して化合物半導体をデバイスに用いる試みもトランジスタ発明以前から亜酸化銅 (Cu₂O) による整流器や検波器などで実用化されていた。その後、1952 年シーメンス社の Welker による III-V 族化合物半導体デバイスの提案によって化合物半導体に関する研究開発が盛んに行われるようになった。そして 1960 年以降、Si デバイスでは実現し得ない新デバイスの展開として、重要なデバイスがいくつか誕生した。一つは 1962 年の Hall らによる GaAs ダイオードによる半導体レーザーの発明⁸であり、もう一つは 1963 年に現れた GaAs ガンダイオードの開発⁹である。特に GaAs ガンダイオードは、Si に対抗する電子デバイスとして特に高周波帯における優位性を示した最初の

発明であった。その後 GaAs の高周波素子への応用として 1966 年のショットキーバリア FET (Field Effect Transistor: 電界効果トランジスタ)¹⁰ や 1980 年の HEMT (High Electron Mobility Transistor) の発明¹¹ などを経て、現在、化合物半導体デバイスは高周波デバイスや高速デジタル集積回路として一部実用化されている。

しかしながら高速デジタル回路用の基本素子としてはショットキー型 FET よりも MISFET の方が、大きい駆動能力、論理振幅に対する自由度などの点で優れているとされている。現在の LSI 以上に大規模に集積化された論理回路では、その基本構成が変わらない限り、信号の伝搬遅延時間は素子自体の真性速度よりむしろ配線長で律速されるようになる。論理集積回路の伝搬遅延時間 t_{pd} が配線律速領域にあるとして、ある素子技術 1 および 2 における伝搬遅延時間の比 t_{pd1}/t_{pd2} を、添字 1、2 で区別すると次式のように与えられる。¹²

$$t_{pd1}/t_{pd2} = \frac{(1 + \beta_1)v_{d1}N_{s1}C_{w1}}{(1 + \beta_2)v_{d2}N_{s2}C_{w2}} \quad (1-1)$$

ここで、 β はインバータ比でレシオ形回路では 2~4 となる。 v_d は実効的ドリフト速度、 N_s はゲート電圧によりチャネル内に誘起される単位面積当たりのキャリア数、 C_w は単位長当たりの配線容量である。

Si に対して化合物半導体が持つ有利な特徴は、大きいドリフト速度と半絶縁性基板が使えるために配線容量が小さくできることである。しかし、配線律速領域においてこの特徴を十分に発揮するためには、チャネル内に誘起されるキャリア数を Si のそれと同じ程度としなくてはならない。この点において、MISFET は他のショットキー型やヘテロ接合型の FET と比較して有利である。仮に化合物半導体 MISFET による論理集積回路を Si MOSFET によるそれと同じ設計ルールで作ったとすると、伝搬時間は実効ドリフト速度と配線容量の比分だけ小さくできることになり、少なくとも Si MOSFET を用いるより 4~6 倍の高速化が期待

できる。

また実用化を行うにあたって MISFET では Si MOS 集積回路で蓄積された膨大な CAD (Computer Aided Design) ツールが直接適用できる可能性があり、他の化合物半導体に比べて有利であると思われる。さらに安価な Si 基板を用いてその上に Si 集積回路と化合物半導体による電子デバイスや光デバイスを融合する OEIC (Opto-Electronic Integrated Circuit) といった高機能化集積回路への発展も期待できる。

表 1 - 3 半導体材料・デバイスの研究開発小史

年	事項	半導体	研究者など
1929	金属-半導体の整流理論	Cu ₂ O	W. Schottky
1931	半導体の理論		H. A. Wilson
1935	MOSFET の発想	Te など	O. Heil
1938	固体増幅器の発想	KBr	R. Hilsch など
1947	点接触型トランジスタ	Ge	J. Berdeen など
1948	接合型トランジスタの発想		W. B. Shockley
1951	接合型トランジスタの作製	Ge	W. B. Shockley
1952	III V 族化合物半導体デバイスの提案	InSb など	H. Welker
1953	接合型 FET の作製	Ge	Bell 研究所
1954	Si バイポーラトランジスタ	Si	Bell 研究所
1957	トンネルダイオード	Ge	江崎玲於奈
1959	Si プレーナトランジスタ	Si	フェアチャイルド社
1960	MOS トランジスタ	Si	Bell 研究所
1961	Si モノリシック集積回路	Si	フェアチャイルド社
1962	GaAs 半導体レーザー	GaAs	GE, IBM, MIT
1963	GaAs ガンダイオード	GaAs	IBM 研究所
1964	Si MOS IC	Si	TI
1966	GaAs ショットキーバリアダイオード	GaAs	C. A. Mead
1974	GaAs デジタル IC	GaAs	HP
1980	HEMT	GaAs/AlGaAs	富士通、Bell 研究所

1-2-2 現状の化合物半導体 MIS デバイスにおける問題点

化合物半導体による MISFET は Si MOSFET と比較しても優るとも劣らない高速デジタル集積回路素子として優れた性能を発揮することが期待される。しかし、現状では、デバイス作製技術やデバイス特性等に様々な問題点や理論的に確立されない不明な点が多くある。特に絶縁膜の形成プロセスや絶縁膜-半導体界面における物性を工学的に制御する方針が未だ確立されていないことが化合物半導体 MISFET の実用化を大幅に遅らせている原因として挙げられる。図 1-2 に示すように、従来、化合物半導体 MISFET のゲート絶縁膜としては、Si MOSFET にならい、化合物半導体基板上に低温酸化法あるいは CVD (Chemical Vapor Deposition: 化学気相堆積) 法により形成された酸化膜などが用いられてきた。この場合、InP 系では比較的良好な界面が形成できるとの報告があるが、GaAs 系における絶縁膜-半導体界面には正常なデバイス動作を妨げる大きな界面準位 ($10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ 以上) が存在することが明らかとなっている。また蒸着法による絶縁膜形成においては主に MBE (Molecular Beam epitaxy: 分子線結晶成長) 法が用いられている。北大の長谷川らは MBE 法によって原子レベルで制御された Si の極薄膜を界面制御層として InGaAs 上に形成することで Si-SiO₂ に匹敵する界面特性が得られることを報告している。¹³ このように InP や InGaAs においては良好な絶縁体-半導体界面が得やすいがその反面、基板やエピタキシャル成長技術が GaAs 系に比べて遅れており、また支持基板となる InP 半絶縁性基板の品質が安定しないなど実用化に対する問題点が多い。

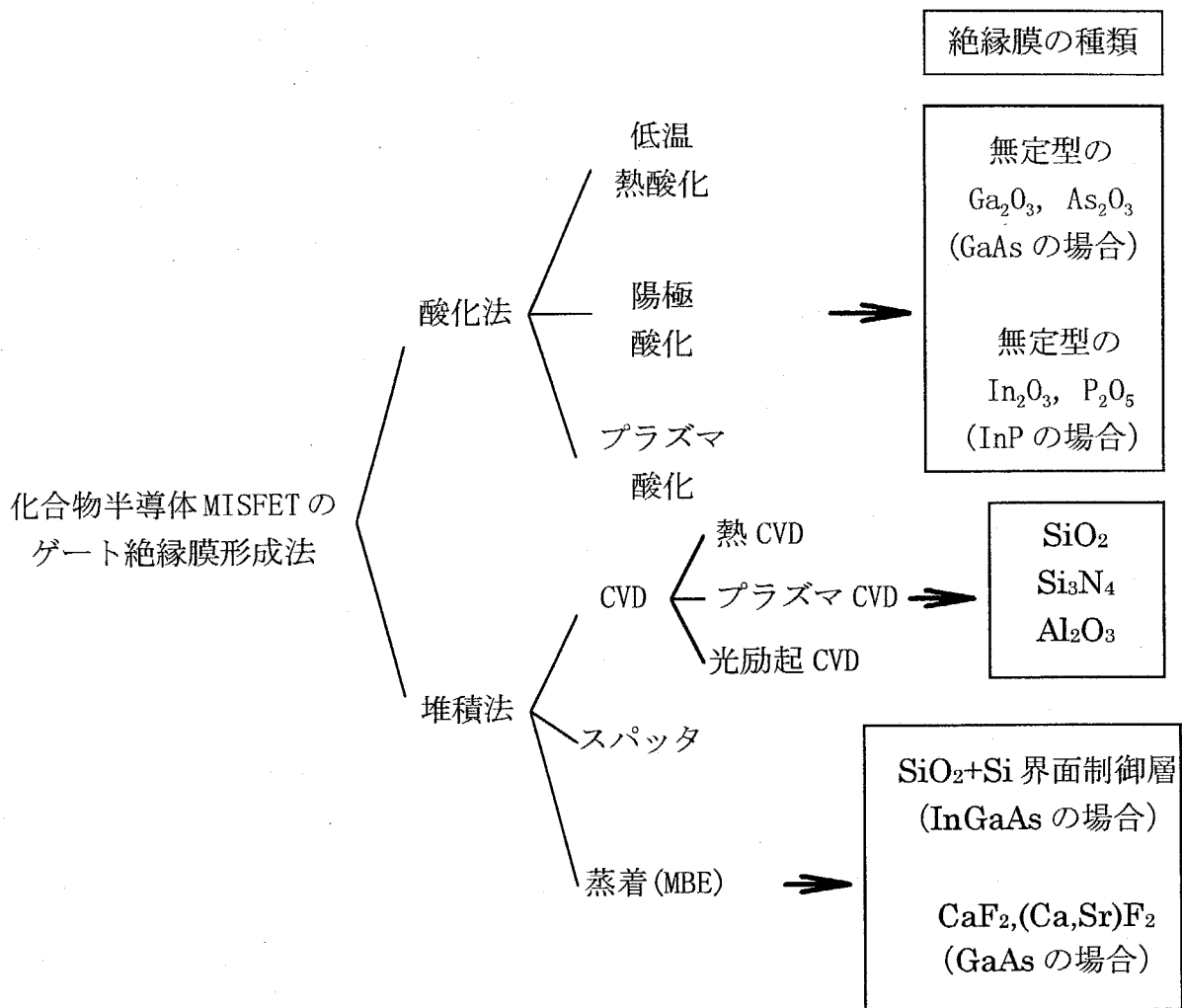


図 1 - 2 化合物半導体 MISFET におけるゲート絶縁膜の形成法と絶縁体材料

1-2-3 常誘電性弗化物を化合物半導体 MIS デバイスへ用いる意義

GaAs 系の絶縁体-半導体界面では、酸素分子の吸着や酸化によって結晶中に欠陥や化学量論組成のズレ、結晶格子の乱れなどが生じることで界面準位が形成され、そのためにフェルミレベルがピンニングされるといった様々なモデルが提案されている。^{14,15} そのため酸化物以外の絶縁体材料を化合物半導体 MISFET に用いる試みもなされている。特に金¹⁶ や和保¹⁷ らは常誘電性弗化物である CaF_2 をゲート絶縁膜に用いた MIS ダイオードの作製を行い、界面準位が低減できることを報告している。また混晶弗化物である $(\text{Ca}, \text{Sr})\text{F}_2$ を GaAs(111) 基板上に格子整合ヘテロエピタキシャル成長させることで良好な絶縁体-半導体界面を形成できることが明らかになっている。¹⁸ このように非酸化物系の材料として常誘電性の無機弗化物をゲート絶縁膜を用いることは、界面制御が困難とされる GaAs 系の化合物半導体においても界面準位の改善が可能となることから極めて有望な方法と考えられる。

1-3 強誘電性弗化物膜を用いた半導体デバイスの可能性

1-3-1 メモリデバイスにおいて強誘電体が果たす役割

最近、高機能化デバイスとして注目されているものの一つに強誘電体の不揮発性メモリへの応用が挙げられる。不揮発性メモリは、現在、EEPROM (Electrically Erasable and Programmable Read Only Memory) に代表されるように、既存の Si プロセス技術を用いて作製されている。それに対して強誘電体を用いた不揮発性メモリ (強誘電体メモリ: FRAM (Ferroelectric Random Access Memory)) の一例としては、図 1-3 に示すように、従来の DRAM の電荷蓄積キャパシタンスを強誘電体キャパシタに置き換えた構造となっているため、EEPROM とは原理や構造が異なる。DRAM は通常の動作では一定時間ごとにリフレッシュを行う必要があるが、強誘電体キャパシタンスに置き換えた場合には強誘電体の残留分極の保持によってリフレッシュが不要な不揮発性メモリを構成できる。表 1-4 に強誘電体メモリと他のメモリとの特性の比較を示す。ここでフラッシュメモリや EEPROM などの電氣的書き込み消去可能な不揮発性メモリとの大きな相違点は、書き換え速度と書き換え回数である。強誘電体メモリの書き換え速度と書き換え回数は、強誘電体の分極反転時間や分極反転回数に対する自発分極の劣化特性 (疲労特性) により与えられ、強誘電体の種類によっては書き換え時間 150ns 以下、書き換え回数 $10^{10} \sim 10^{13}$ 回の性能を得ることは充分可能である。実際に、1988 年には米 Ramtron 社や米 Krysalis 社などから図 1

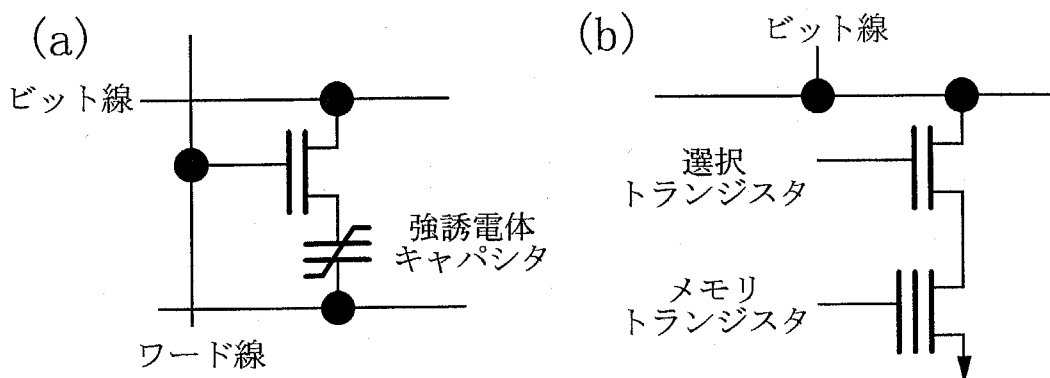


図 1-3 強誘電体メモリセル(a)と EEPROM メモリセル(b)の例

— 4 に示す断面構造の強誘電体メモリが発表されている。これらの強誘電体メモリでは、強誘電体として鉛系酸化物の PZT ($\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$) を用いており、セル面積を節約するために MOS トランジスタと PZT キャパシタとを積み重ねたスタック構造としたり、強誘電体の疲労を抑えるために、書き換えと電源のオン・オフ時のみに強誘電体を分極するといった工夫を行っている。

表 1 - 4 強誘電体メモリと他のメモリとの特性比較¹⁹

	強誘電体 メモリ	DRAM	SRAM	Flash	EEPROM
集積度	○	◎	△	◎	△
不揮発性	◎	×	△	◎	◎
書き換え速度	○ ~150ns	○ <100ns	○ <100ns	△ 10 μ s~1ms	△ ~10ms
書き換え回数	○ 10 ¹⁰ ~10 ¹³	◎ 無限回	◎ 無限回	△ <10 ⁶	△ <10 ⁵
消費電力	◎	○	○	○	○

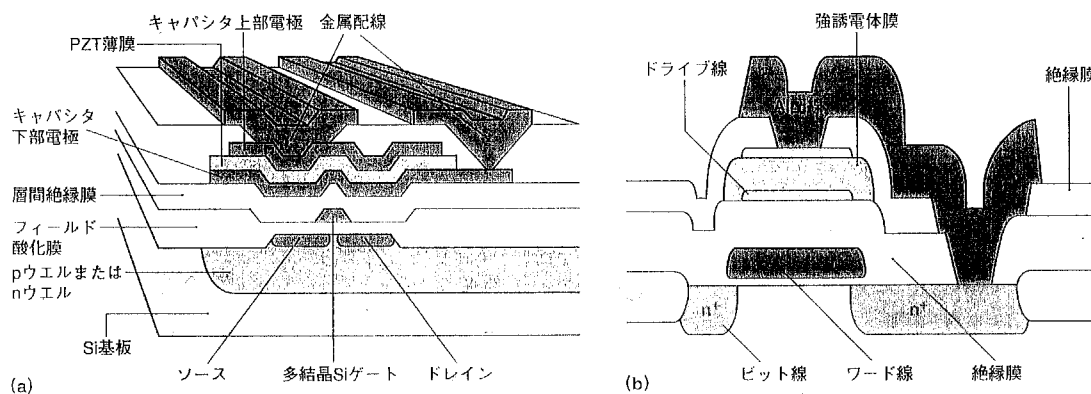
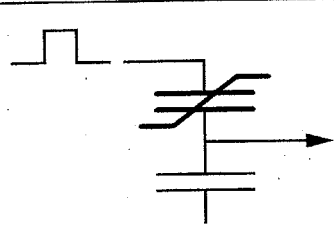
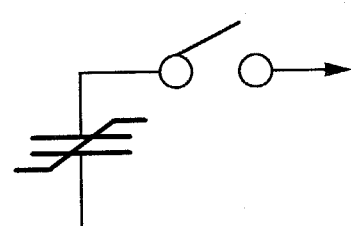
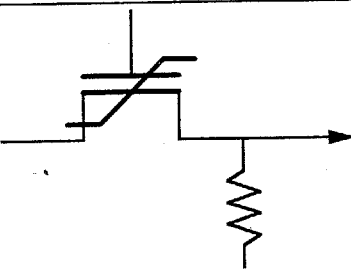


図 1 - 4 1988 年に発表された米 Ramtron 社 (a) と米 Krysalis 社 (b) の強誘電体メモリ²⁰

このように強誘電体メモリは従来のメモリが持つ利点をほぼ満足する性能を持っている。現在考えられている強誘電体メモリの形式としては表1-5に示す3つの形式に大別できる。なおこの表では各メモリ形式に対して素子のスケーリングによる強誘電体メモリからの出力信号の変化を一緒に示してある。ここで各メモリ形式と表1-2のスケーリング則とを考えあわせると表1-5の結果は自明である。この表で注目すべきことは強誘電体をゲート絶縁膜に用いるトランジスタ（強誘電体ゲートトランジスタ：MFS(Metal-Ferroelectrics-Semiconductor)FET)の場合には、スケーリング則に完全に従うメモリデバイスとなる点である。また MFSFET はその動作機構から、非破壊読み出し可能といった大きな特徴を持つ。DRAMにおいてすでに明らかなようにスケーリング則に従わない現在のメモリデバイスは将来、集積化において限界を迎える。こうしたことから MFSFET は高集積化が可能な非破壊不揮発性メモリとして、将来DRAMのみならず EEPROM や Flash メモリなどにも取って代わるメモリデバイスとしての可能性を秘めている。

表1-5 強誘電体メモリの各メモリ形式によるスケーリングに対する出力信号の変化²¹

	メモリ形式	平面方向に $1/k$	厚さ方向に $1/k$	電圧 $1/k$
反転電流検出方式		$1/k^2$	不変	$1/k$
強誘電体の高い誘電率を用いたDRAM方式		$1/k^2$	k	$1/k$
強誘電体をゲートに用いたトランジスタ		不変	不変	$1/k$

1-3-2 強誘電体膜のアナログニューロン回路への応用

近年、人工ニューラルネットワークによる情報処理が注目を集めている。ニューラルネットワークでは人間の脳細胞の活動形態を模倣し、それに近い動作をソフトウェアおよびハードウェアの両面から実現させる試みが、現在、精力的に進められている。しかしハードウェア的に脳細胞における信号処理と同じ動作を既存のデバイスプロセスの延長で行おうとした場合、配線量とメモリ量が膨大となることが予想されているため大きな問題となっている。1993年東京工業大学の石原は図1-5に示すようなMFSFETと同一の構造をもつ強誘電体メモリにおいて強誘電体の部分分極反転を利用してドレイン電流あるいはソースドレイン間抵抗をアナログ的に変化させることで、脳細胞のシナプス結合と似た機能（適応学習機能）を持たせた適応学習型デバイスの構想を発表した。² さらに石原は、SOI(Silicon on Insulator)基板上にこうした適応学習型トランジスタ(MFSFET)をアレイ状に配置したニューロン回路を構成することでシナプス結合をきわめて高密度に形成できることを提案している。^{2,3} この提案は人工ニューラルネットワークをハード的に構成する上で配線量等の問題を解決するものとして注目されている。このようにMFSFETは不揮発性といった記憶素子としての機能性以外に適応学習機能といった高い機能性を持った素子であり、将来、半導体集積回路の高性能化に寄与するところはきわめて大きいと考えられる。

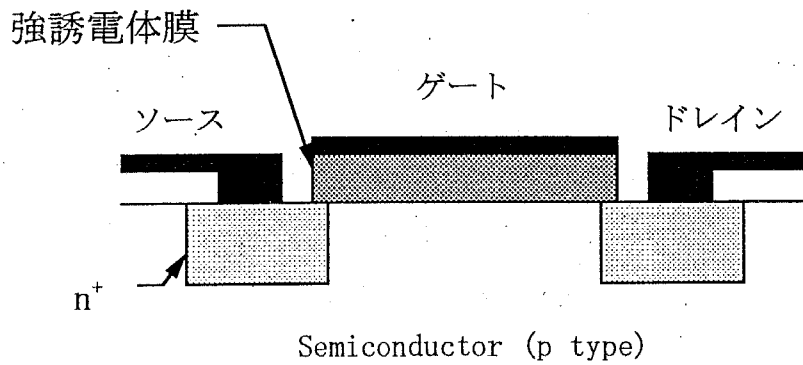


図 1-5 基本的な n チャネル MFSFET の構造

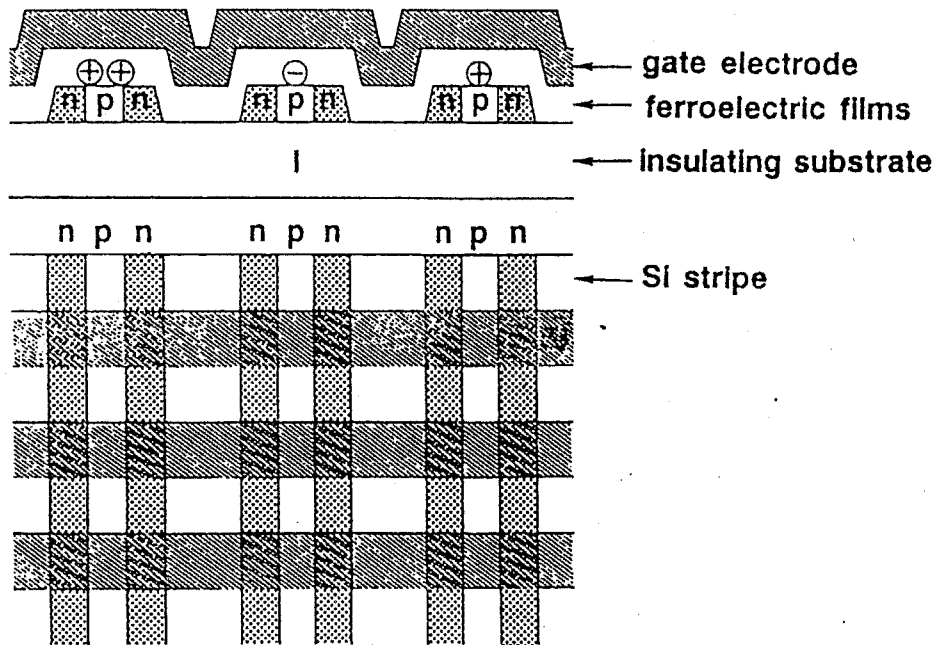


図 1-6 SOI 基板上に形成したニューロン回路の断面図(a)および平面図(b)。Si ストライプ中の npn 構造は並列接続された FET のソース、チャネル、ドレイン領域に対応している。強誘電体膜は Si ストライプ上に一様に堆積されている。ゲート電極と Si ストライプとの交点がシナプス結合に対応する。FET アレイ内には縦方向接続用の配線孔は全く存在せず、高密度にシナプスを形成できる。

1-3-3 強誘電体膜を半導体上に形成する場合の問題点

MFSFETの構造は図1-5に示されるように通常のMISFETのゲート絶縁膜の部分に強誘電体膜が置き換わった構造となっており、その動作はゲートに印加された電圧によって強誘電体内部に生じる自発分極の方向を反転させることで半導体表面電荷の制御を行うものである。そのため、半導体基板上に結晶性や電気的特性に優れた強誘電体膜を形成する技術の確立なくしては、このデバイスの実現はあり得ないといえる。半導体の電荷を制御する考えは1957年の米国特許にみられるが、実際にデバイス構造を作製し、メモリ動作を確認した最初の報告例は1963年Stanford大のMollと垂井(現 早稲田大学)らであった。²⁴ このときの材料系は図1-7に示すように半導体にCdS、強誘電体にTGS(Trigricine Sulfate)を用いたものであった。その後、1974年にWuらがSi

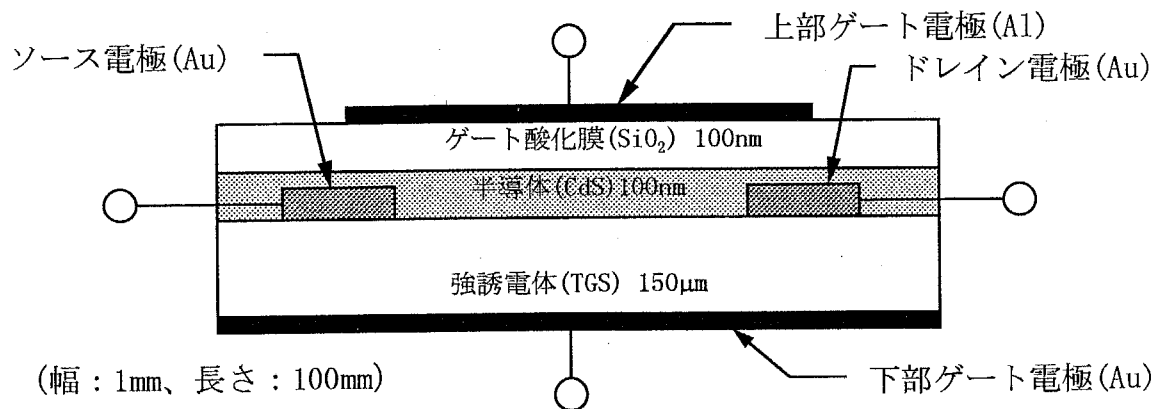


図1-7 強誘電体にTGSを用いた強誘電体メモリ。CdSによる薄膜トランジスタの構造をしている。

基板上に強誘電体膜として $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を用いた MFSFET を試作し、そのデバイス特性を報告している。²⁵しかしこのとき報告されたトランジスタ特性は強誘電体分極により期待されるものとは全く逆の特性を示しており、半導体から強誘電体あるいは強誘電体／半導体界面に存在する界面準位へのキャリアの注入効果を示していたにすぎなかった。この後、強誘電体に PZT などの鉛系酸化物強誘電体を用いた Si MISFET に関する報告²⁶もなされているが、通常、Si 基板上に強誘電体結晶が形成されにくく、かつ界面で元素の相互拡散が生じるといった問題点があり、信頼性のあるトランジスタ特性を得るのは非常に困難であるとされている。このような結果は SiO_2 以外の酸化膜を用いた Si MISFET においては化合物半導体 MISFET と同様な絶縁膜／半導体界面の特性劣化が問題となることを意味している。

1-3-4 強誘電性弗化物を半導体上に形成する意義

図1-8に MISFET に用いる強誘電体の種類と問題点を示す。MISFET を実現するためには、半導体基板上に強誘電体膜を直接結晶成長させなくてはならない。しかし、現在、強誘電体として主に検討が進められている酸化物系強誘電体を MFSFET の強誘電体に用いることは困難と考えられる。なぜなら、Si や GaAs といった半導体上に酸化物系強誘電体を形成した場合、形成方法によらず成長初期段階において強誘電体と半導体との界面に無定形の酸化物層が形成される本質的な問題があると考えられるからである。この問題を根本的に解決する有効な手段の一つは、酸化物系以外の強誘電体を用いることである。半導体基板上への非酸化物系強誘電体の形成は今までほとんど報告がされておらず、1991年に米 Westinghouse 社の Sinharoy らが強誘電体メモリーへの応用として強誘電性弗化物である BaMgF_4 を用いた報告²⁷がある程度である。非酸化物系強誘電体として弗化物を用いることは化合物半導体 MISFET と同様に、半導体界面の特性を劣化させずに結晶成長できる可能性があることから有力な材料系の一つと考えられる。そして高い結晶性を持つ強誘電体膜を形成することは適応学習型デバイスなどの機能素子を実現する上で必須と考えられる。

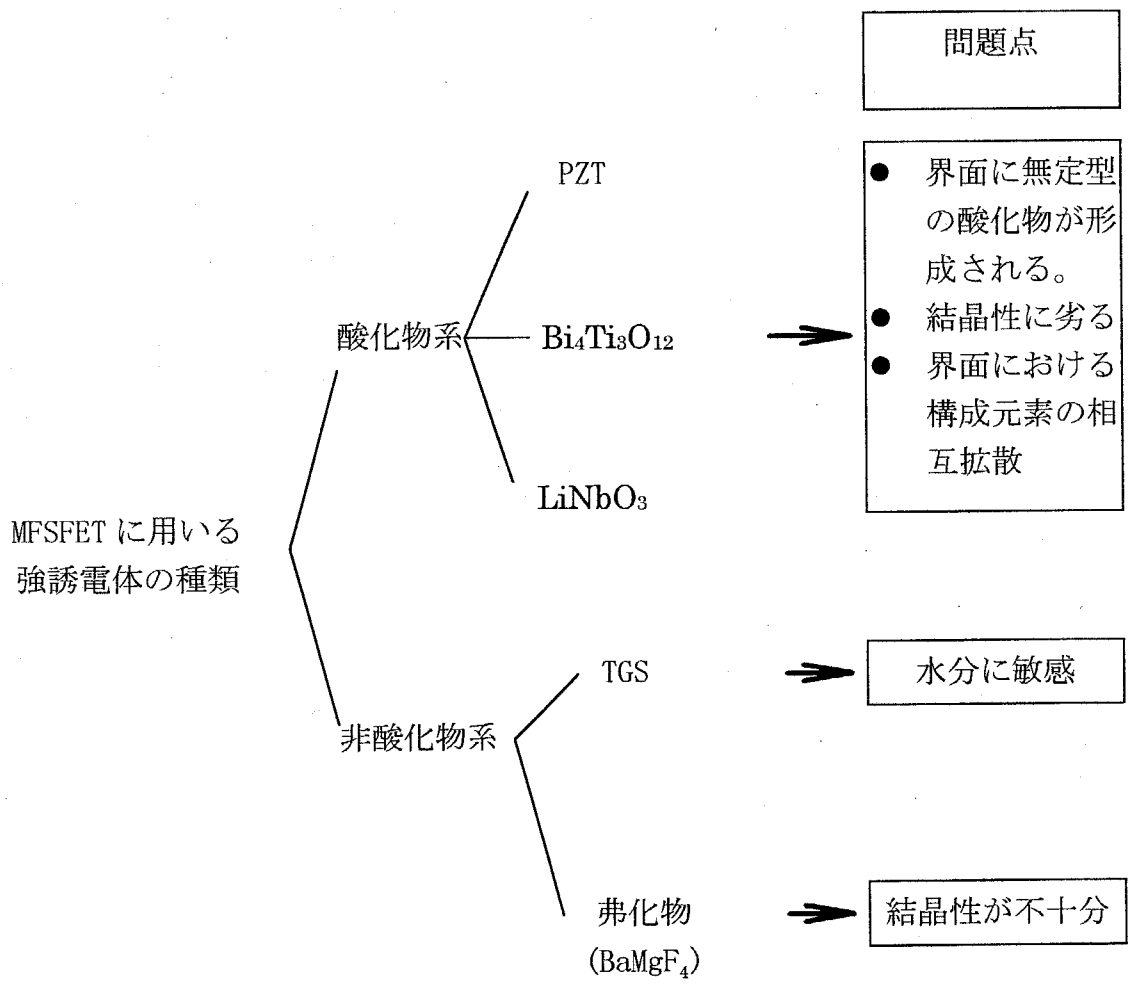


図 1 - 8 MFSFET に用いる強誘電体の種類と問題点

1-4 金属無機弗化物膜の優位性

現在、実用化レベルにある半導体デバイスには絶縁膜や強誘電体膜材料として金属無機酸化物が用いられており、それ以外の金属無機化合物は基板材料や Si_3N_4 などを除いてほとんど用いられることはない。しかし、酸化物以外の金属無機化合物の中で金属無機弗化物は、以下に挙げる性質から半導体基板上に直接、絶縁性や強誘電性などの特性を持つ薄膜を堆積する点において有利であり、特に MISFET のような半導体デバイスのゲート材料に適していると思われる。

1. 金属無機弗化物はその化学的性質から熱的に安定した化合物であり、薄膜を形成する際にも化学量論組成の膜が得やすい。
2. 金属無機弗化物は、完全なイオン結合性化合物であるため自己配向性が強く結晶が容易に形成しやすい。

表 1-6 に今までに報告されている金属無機弗化物膜の半導体デバイスへの適用例を示す。この図からわかることは、金属無機弗化物は SOI デバイスや量子効果デバイス、そして化合物半導体 MIS デバイスやメモリデバイスといった機能性の高い素子に適用されている点である。今後、機能性素子による集積回路の高性能化が必要不可欠となることから、絶縁性や強誘電性といった性質を持つ金属無機弗化物膜を半導体基板上に形成し、その膜の特性を科学的に明らかにすることが必要になるとと思われる。

表 1-6 金属無機弗化物膜の半導体デバイスへの適用例

	弗化物の種類	構造	応用例	参考文献
SOI デバイス	CaF ₂	Si/CaF ₂ /Si	低消費電力の集積回路	28
		GaAs/CaF ₂ /Si	3次元集積回路	29
量子効果 デバイス	CaF ₂	CoSi ₂ /CaF ₂ /CoSi ₂	高速電子デバイス	30 31
化合物 MIS デバイス	(Ca, Sr)F ₂	(Ca, Sr)F ₂ /GaAs (111)	高速デジタル集積回路	18
	GaF ₃	GaF ₃ /GaAs (100)	OEIC	32
	LaF ₃	LaF ₃ /GaAs (111)		33
強誘電体 メモリ デバイス	BaMgF ₄	BaMgF ₄ /Si	不揮発性メモリ	27
		BaMgF ₄ /GaAs	アナログニューロン回路	34
		BaMgF ₄ /HEMT		

1-5 本研究の目的と意義

これまでも述べてきたように、半導体基板上への常誘電性および強誘電性薄膜の形成は、化合物半導体 MIS デバイスや強誘電体メモリデバイスなどへの応用として、高速デジタル集積回路や不揮発性メモリ、そしてアナログニューロン回路などの集積回路の高性能化を進める上で大きな意義を持っている。そして、そうした用途に対する薄膜材料として、金属無機弗化物が適していることを述べた。

化合物半導体 MIS デバイスにおける常誘電性弗化物膜の研究状況は、従来、 $(\text{Ca}, \text{Sr})\text{F}_2$ や GaF_3 、および LaF_3 について主に薄膜の形成と界面特性の評価について行われてきた。しかし、どのような常誘電性弗化物が化合物半導体 MIS デバイスのゲート絶縁膜として最良か否かを含めた材料の選択や形成プロセスについて十分検討されているとはいえない。

また強誘電体メモリデバイスにおける強誘電性弗化物の研究状況は、 BaMgF_4 について、主に薄膜の形成とメモリデバイスの試作まで行われているが、その研究では主に多結晶膜についてのみ検討が行われており、単結晶成長あるいは配向成長した膜の形成やその特性、およびデバイス作製などは今まで報告されていない。

こうした背景から、本研究では、化合物半導体デバイスへの応用として、半導体基板上に低温形成可能な常誘電性弗化物と結晶成長可能な常誘電性弗化物の2種類について、その薄膜形成と界面特性の評価からデバイス応用に適した常誘電体/半導体構造の形成に関する知見を得ることを目的とした。なお基板材料には、将来の高速デジタル集積回路のみならず OEIC などへの広範囲な応用を考えて、 GaAs を用いることとした。また弗化物材料としては AlF_3 と YF_3 を含む LaF_3 系弗化物を用いて検討を行った。なおこれらの物質を化合物半導体 MIS デバイス等に用いた報告は今までにされていない。具体的には、以下に示す研究方法に従って研究目的の達成を目指す。

1. 低温形成可能な常誘電性弗化物として AlF_3 を用いて、GaAs 基板上への低温膜形成を行う。そして MIS デバイスを実現する上で重要となる電氣的な界面特性について主に評価を行う。
2. YF_3 を含んだ LaF_3 系常誘電体弗化物を用いて GaAs 基板上に格子整合エピタキシャル膜を形成するための条件を確立する。そして、そのように作製した弗化物-GaAs 界面の電氣的特性について評価を行う。

さらに本研究では、強誘電体メモリデバイスや適応学習型デバイスへの応用として、Si 及び GaAs 基板上に結晶成長が期待できる強誘電性弗化物として BaMgF_4 を選択し、その形成条件を明らかにする。さらに BaMgF_4 膜および界面の電氣的特性評価からデバイス応用に適した強誘電体/半導体構造の作製を行う。そして、実際に強誘電体/半導体構造を用いて作製した MFSFET の特性評価を行うことでデバイス応用における強誘電性弗化物の有効性を明らかにすることを目的とする。具体的には、以下に示す研究方法に従って研究目的の達成を目指す。

1. 面方位の異なる数種類の Si および GaAs 基板上に対する強誘電性弗化物 BaMgF_4 膜の成長条件および結晶配向性を明らかにする。
2. Si および GaAs 基板上に成長した BaMgF_4 膜の強誘電性を含む電氣的特性を明らかにする。
3. Si 基板上に MFSFET を作製し、その特性評価から強誘電体による効果を明らかにする。

1-6 本論文の構成

図1-9に本論文の構成を示す。

本論文では、まずはじめに、GaAs 基板上への常誘電性弗化物の形成とデバイス応用として、第2章において、常誘電体弗化物として AlF_3 を用いた場合について、第3章において、 LaF_3 系常誘電性弗化物を用いた場合についてそれぞれ述べている。次に、Si 基板上への強誘電体弗化物 BaMgF_4 膜の形成とデバイス応用として、第4章においては、主に半導体基板上への強誘電性弗化物 BaMgF_4 膜の成長と結晶配向性について、第5章においては、半導体基板上に成長した BaMgF_4 膜のデバイス応用として、形成した膜の強誘電体特性を含めた電気的特性および MFSFET の作製と特性評価について述べている。

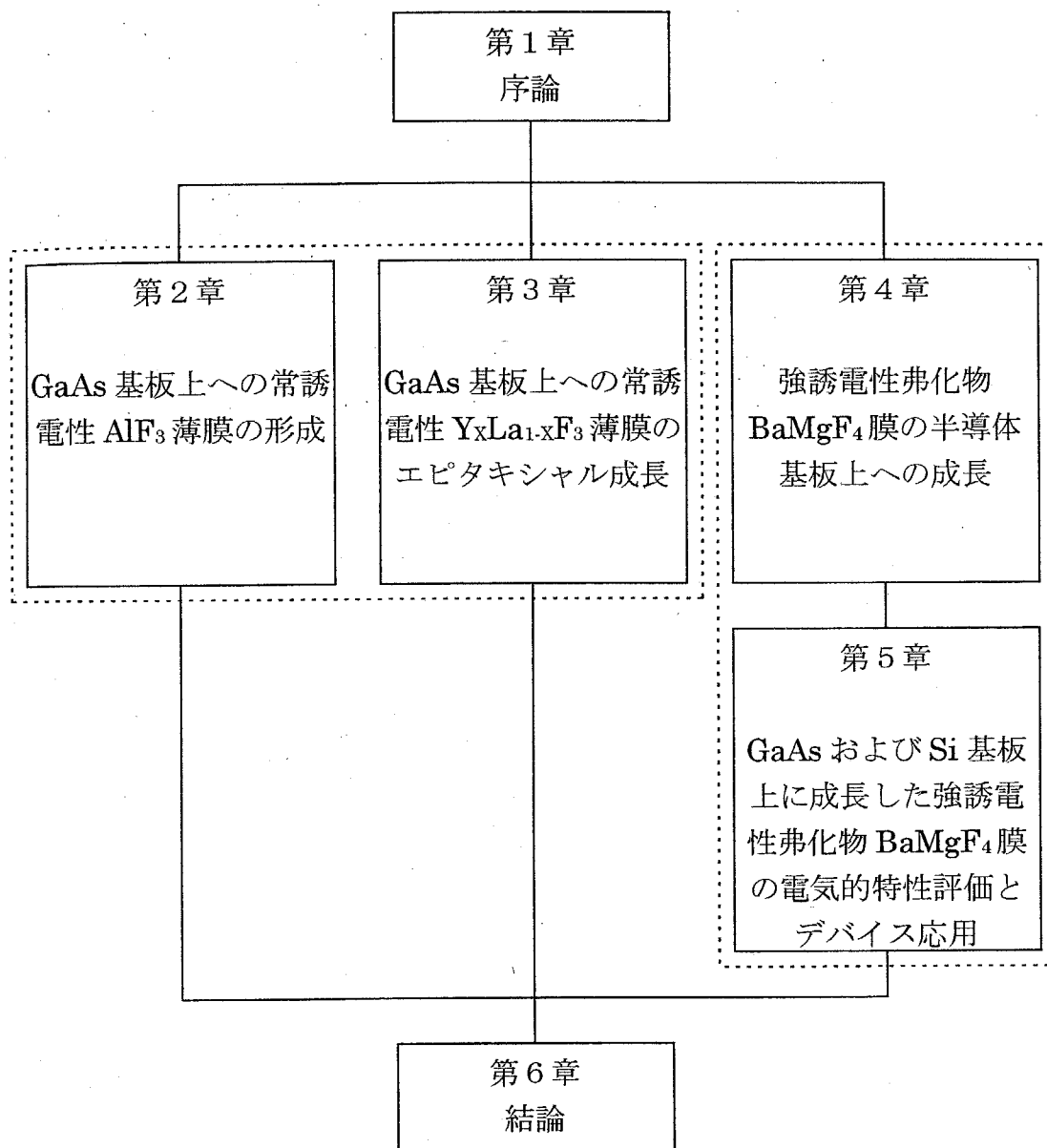


図1-9 本論文の構成

参考文献

1. マイクロコンピューターに関する調査研究報告書、日本電子工業振興会、61(1996).
2. マイクロコンピューターに関する調査研究報告書、日本電子工業振興会、20(1996).
3. マイクロコンピューターに関する調査研究報告書、日本電子工業振興会、26(1996).
4. J. Bardeen et al.: Phys. Rev. 74, 230(1948).
5. J. A. Hoerni: IRE Electron Devices Meeting., Washington, D. C., (1960).
6. D. Kahng et al.: IRE Solid State Device Res. Conf., Carnegie Institute of Technology, Pittsburgh, Pa., (1960).
7. J. S. Kilby: IEEE Trans. Electron. Devices ED-23, 648(1976).
8. R. N. Hall et al.: Phys. Rev. Lett. 9, 366(1962).
9. J. B. Gumm: Solid State Commun. 1, 88(1963).
10. C. A. Mead: Proc. IEEE 54, 307(1966).
11. T. Mimura et al.: Jpn. J. Appl. Phys. 19, 225(1980).
12. 化合物半導体デバイスハンドブック、サンエンスフォーラム, 322(1986).
13. H. Hasegawa et al.: J. Vac. Sci. & Technol. B7, 870(1989).
14. W. Spicer et al.: J. Vac. Sci. & Technol. 17, 1019(1980).
15. S. Offsey et al.: Appl. Phys. Lett. 48, 475(1986).
16. K. H. Kim et al.: Jpn. J. Appl. Phys. 27, L2180(1988).
17. T. Waho et al.: IEEE Electron Device Lett. 9, 548(1988).
18. T. Waho et al.: Jpn. J. Appl. Phys. 30, 221(1991).
19. マイクロコンピューターに関する調査研究報告書、日本電子工業振興会、137(1996).
20. 日経マイクロデバイス 97, 86(1993).
21. 日経マイクロデバイス 97, 84(1993).
22. 石原 宏ほか、月刊セミコンダクターワールド 11, 98(1992).
23. H. Ishiwara: Jpn. J. Appl. Phys. 32, 442(1993).
24. J. L. Moll et al.: Electron Devices ED-10, 338(1963).
25. S. Y. Wu: Electron Devices ED-21, 499(1974).
26. Y. Higuma et al.: Jpn. J. Appl. Phys. 17, 209(1977).
27. S. Sinharoy et al.: J. Vac. Sci. & Technol. A9, 409(1991).
28. 浅野 種正: 博士論文, 東京工業大学, (1985).
29. 筒井 一生: 博士論文, 東京工業大学, (1986).
30. S. Muratake et al.: Electronic Lett. 28, 1002(1992).
31. T. Suemasu et al.: Jpn. J. Appl. Phys. 33, 57(1994).
32. H. Ricard et al.: Jpn. J. Appl. Phys. 29, L2460(1990).
33. S. Sinharoy et al.: J. Appl. Phys. 59, 273(1986).
34. 大見俊一郎: 博士論文, 東京工業大学, (1996).

第2章

GaAs 基板上への常誘電性 AlF_3 薄膜の形成

本章では、GaAsMIS デバイスのゲート絶縁膜としてⅢ b 族金属弗化物である AlF_3 を用いて、MIS デバイスを実現するうえで重要となる AlF_3 膜/GaAs 界面の電気的特性を主に評価した。加えて常誘電性弗化物ゲートを用いた MIS デバイスへの応用について検討を行った。

第2章 目次

2-1 はじめに

- 2-1-1 GaAs MIS 構造における問題点
- 2-1-2 絶縁膜形成法と材料の選択
- 2-1-3 GaAs 表面処理の必要性
- 2-1-4 AlF_3/GaAs 構造の MIS デバイスへの適用

2-2 AlF_3 薄膜の GaAs(100) 基板上への形成

- 2-2-1 AlF_3 の物性と AlF_3 膜堆積装置
- 2-2-2 AlF_3 膜の形成

2-3 AlF_3/GaAs 構造の評価

- 2-3-1 AlF_3 薄膜の電気的特性
- 2-3-2 硫黄処理を施さない AlF_3/GaAs 構造の電気的特性
- 2-3-3 硫黄処理を施した AlF_3/GaAs 構造の電気的特性
- 2-3-4 硫黄処理を施した AlF_3/GaAs 構造の界面特性とデバイス応用

2-4 まとめ

参考文献

2-1 はじめに

2-1-1 GaAsMIS 構造における問題点

GaAs で代表される化合物半導体の MIS デバイスを実現するためには、Si に対する SiO_2 のような相性の良い絶縁物を用いることが重要である。Si の場合、MOS デバイスのゲート絶縁膜は酸素雰囲気中での高温熱酸化法により形成しているが、III-V 族化合物半導体のように、As や P など蒸気圧の高い V 族元素を含む系では、Si の場合のような高温熱酸化法といった手法をとることは難しい。そのため化合物半導体 MIS デバイスのゲート絶縁膜の形成には、低温での酸化（陽極酸化、プラズマ陽極酸化）あるいは絶縁膜の堆積（CVD、スパッタ、蒸着）が必要となってくる。しかし、このような方法で形成された酸化膜（あるいは絶縁膜）と半導体との界面には高密度の界面準位が存在することが知られている。特に GaAs においてその値は $10^{13}\text{cm}^{-2}\text{eV}^{-1}$ 程度と、Si/SiO₂ 構造における界面準位密度 $10^9\text{cm}^{-2}\text{eV}^{-1}$ と比較して非常に大きい。MIS デバイスを反転状態で動作させる場合、反転キャリアは大体 $10^{11}\sim 10^{13}\text{cm}^{-2}$ 程度生成されるため、SiMOS デバイスでは正常に動作するのに対して、GaAsMIS デバイスは界面準位の存在によってデバイス動作させることが不可能とされている。

化合物半導体と絶縁膜の界面に高密度の界面準位が形成される原因の一つとして、化合物半導体表面の化学的活性を原因とする考えがある。Spicer は GaAs 表面に吸着した酸素分子により表面に欠陥が生じるモデル（統一欠陥モデル）を提案し、GaAs/金属ショットキー界面におけるフェルミレベルのピニング現象を説明している。¹ また Offsey らは同様の現象をアモルファスの Ga_2O_3 や As_2O_3 中に存在する As クラスタによるモデルで説明している。² こうしたことを踏まえると、GaAs 基板上に GaAs の酸化膜や他の酸化物絶縁膜を形成した場合、酸素により界面に生じる欠陥や As クラスタ等により、界面準位密度の低減には本質的な限界があると思われる。また GaAs の酸化物は酸やアルカリのみならず水にさえ容易に溶解するために、半導体プロセス中への導入が困難である。

2-1-2 絶縁膜形成法と材料の選択

GaAs MIS デバイスの絶縁膜に関する研究では、他に GaAs 表面をプラズマ弗素化し、それによって形成された GaF_3 を絶縁膜に用いる研究がある。³ この研究では酸化物絶縁体を用いたときよりも優れた界面特性を報告しており、注目された。しかし、絶縁体/GaAs 界面を制御する上で重要なことは、界面あるいは GaAs 表面に欠陥を誘起させない絶縁膜形成法を確立することにある。この点を考慮すると、物理的な欠陥を生じさせやすいプラズマ弗素化法を用いるよりも、真空蒸着のように半導体表面への物理的ダメージがない薄膜形成法を用いる方が界面特性の向上には有利であると考えられる。また最近では、硫化アンモニウムによる溶液処理により GaAs 表面を硫黄分子で終端すると、表面再結合速度が大幅に改善されることが報告されている。⁴ さらに Fan らは硫黄処理した GaAs 上に真空蒸着法によって SiO_x 膜を堆積して作製した MIS 界面の準位密度が $10^{11} \text{cm}^{-2} \text{eV}^{-1}$ まで減少することを報告している。⁵ しかし、Spicer がいうような GaAs 表面の酸化や不純物の吸着による欠陥導入が界面特性の劣化を引き起こすとしたら、絶縁膜に酸化物を用いることは、たとえ形成直後に界面特性が良好でも、実際のデバイスプロセス中での熱処理工程を経ることで界面に酸化による欠陥が導入されて界面特性を劣化させることが考えられる。そのため GaAs MIS デバイスのゲート絶縁膜としては酸化物以外の材料が望ましいといえる。

酸化物以外の材料を GaAs MIS デバイスのゲート絶縁膜として応用する研究としては、和保や金による CaF_2 などの蛍石型弗化物に関する研究がある。^{6,7} 一般的に金属無機弗化物はイオン結合性結晶であり、基板の結晶性にあまり関係なく結晶が析出しやすい性質を持つ。一方で CaF_2 で代表される蛍石型弗化物は立方晶の結晶構造であるため同じ立方晶構造の Si や GaAs 基板上などにヘテロエピタキシャル成長させることが可能である。しかし、ヘテロエピタキシャル成長によって MIS 構造を作製する場合、良好な界面特性を得るためには格子定数を完全に一致させ、かつ界面での結晶学的な格子の連続性を維持させる必要がある。しかし、弗化物/半導体のような異種材料間のヘテロエピタキシー

を考えた場合電氣的に安定な MIS 界面を形成することは技術的にも困難が予想される。一方で SiO_2/Si 構造で見られるように絶縁膜は必ずしも結晶膜である必要はないとする考えも可能である。すなわち Si に対して SiO_2 が選択されるように、本研究の場合、GaAs に対しては Ga もしくは Ga と同じ III b 族元素の弗化物を GaAs MIS デバイスのゲート絶縁膜に用いることが望ましい。

2-1-3 GaAs 表面処理の必要性

通常、絶縁体/GaAs 界面および金属/GaAs 界面や GaAs 洗浄後のような自然酸化膜が形成された GaAs 表面では、共通してフェルミレベルが価電子帯端から約 0.4~0.5eV の位置でピンングされることが知られている。こうした表面および界面では少数キャリアの表面再結合速度も速いため、GaAs 表面からのフォトルミネッセンス強度が低い。フェルミレベルのピンングがない良好な電気的特性を持つ絶縁体/GaAs 界面を形成するためには、表面再結合速度が遅い GaAs 界面を形成し、その上に絶縁体膜を堆積する必要がある。

1987 年に Sandroff は Na_2S 溶液により GaAs 表面を処理すると表面再結合速度の遅い表面が形成できることを報告している。⁸ また Fan らは Na を含まない $(\text{NH}_4)_2\text{S}$ や $(\text{NH}_4)_2\text{S}_x$ ($1 < x < 3$) 溶液による処理で同様な現象を報告している。^{9、10} 特に $(\text{NH}_4)_2\text{S}_x$ 処理では、オージェ電子分光測定から、酸素原子の化学結合がない GaAs 表面が得られており、その表面は処理後に水洗等を行っても変化しない。またこうした表面では硫黄原子が GaAs 表面の Ga や As と化学結合しているため、500°C 付近まで、硫黄の単原子層で覆われた GaAs 表面が安定に存在することが報告されている。

本研究目的を達成するためには自然酸化膜のない GaAs 基板上に絶縁膜を堆積しなくてはならないため、上で述べた $(\text{NH}_4)_2\text{S}_x$ 溶液を用いた表面処理は必要不可欠である。

2-1-4 AlF₃/GaAs 構造の MIS デバイスへの適用

GaAs などの化合物半導体での界面準位生成における統一的な解釈として長谷川による統一 DIGS (Disorder Induced Gap State) モデルが提案されている。¹¹ このモデルでは、界面準位を界面に局在した存在としてではなく、ボンドの乱れた領域に対応した界面近傍での空間的かつエネルギー的な連続分布と考えるもので、絶縁体/半導体および金属/半導体界面における様々な現象を矛盾なく説明できる。このモデルに従うと、界面準位密度が低い界面を得るためには以下の条件が必要と解釈できる。

1. 絶縁物/半導体間に未結合手（ダングリングボンド）がないこと。
2. 界面形成の際、半導体表面の格子を乱さないこと。
3. 絶縁膜/半導体界面が熱的に安定で、かつ熱処理によって半導体の格子秩序の回復ができること。

これらの条件をふまえて、本研究の目的である、GaAs 上への絶縁膜形成とデバイス応用を考える上で、以下のような手法を選択した。

1. ダングリングボンドのない絶縁体/GaAs 界面を形成するために、硫化アンモニウムによる GaAs 表面処理を用いる。
2. 絶縁膜形成に、GaAs 表面へのダメージが少ない真空蒸着法を用いる。
3. 絶縁膜材料としては、熱的に安定かつ化学量論組成の膜形成が容易な弗化物を用いる、特に本章では GaAs の構成元素と同じ III 族元素の化合物である III b 族金属弗化物を用いる。

これまでにリカーは分子線結晶成長法（MBE 法）により GaAs 上に GaF₃ を連続成長した場合と硫黄処理後に GaF₃ を堆積した場合とで界面の電気的特性がほとんど変わらないことを報告している。¹² この結果は硫黄処理による GaAs 表面

の不働態化によって表面欠陥や不純物等が界面特性に与える影響が減少したことを示している。すなわち絶縁物/GaAs 界面の特性は主に半導体側で決まり、その電気的特性は絶縁膜の種類にはよらないことを示している。そのため GaF₃ 以外の III b 族弗化物である AlF₃ を GaAsMIS デバイスのゲート絶縁膜に用いることも十分可能であると考えられる。しかし AlF₃ の GaAs 上への形成や AlF₃/GaAs 構造の界面特性に関する検討はいままでなされていない。AlF₃/GaAs 界面の電気的特性等を明らかにすることで、弗化物/GaAs 界面や弗化物絶縁膜による GaAsMIS デバイス実現への知見が得られると考えられる。

2-2 AlF₃ 薄膜の GaAs (100) 基板上への形成

2-2-1 AlF₃ の物性と AlF₃ 膜堆積装置

表 2-1 に AlF₃ の性質を示す。AlF₃ は工業的にはアルミニウムを製造する際の融解電解質として多量に使用される。また薄膜に関しては、反射防止膜としての応用や能動デバイス用のキャパシタ応用として、主にガラス基板や金属基板上への真空蒸着法あるいは rf スパッタ法をもちいた膜形成について研究されている。^{13, 14} しかし、本研究のように GaAs MIS デバイスのゲート絶縁膜への応用を考えた研究は今まで報告がされていない。

表 2-1 より AlF₃ は 1272°C で昇華するが、その気体分子は単量体の三角形平面構造とされている。そのためこれら分子が基板上に堆積しても AlF₃ としての化学量論組成は変化しないと考えられる。なお AlF₃ の結晶構造は菱面体構造で基板とする GaAs とは結晶構造は全く異なるため、CaF₂/GaAs などで見られる結晶成長は生じない。

表 2-1 AlF₃ の物性

融点	1 2 7 2 °C
結晶構造	菱面晶系 (空間群 R32-D ₃ ⁷)
格子定数	a=0.5039nm, α=58.5°
屈折率	1.376
溶解度	水に対して 6×10 ⁻⁴ g/cm ³ (20°C) 、 他の溶媒には不溶

AlF_3 は昇華により容易に薄膜形成が可能であるため、薄膜堆積法としては真空蒸着法が最適である。図 2-1 に薄膜堆積装置の外観図を示す。主排気装置にはターボ分子ポンプを用いており、到達真空度 5×10^{-7} Torr 以下の基本性能を持つ。試料加熱機構には、試料の均一な加熱と加熱機構部からの脱ガスを最小にする目的で、熱容量が大きいセラミックヒータを採用した。加熱温度は最高 600°C で、 500°C の加熱温度で AlF_3 蒸着時には真空度 10^{-6} Torr 台を維持できる。なおこうした真空環境では、通常、GaAs 表面への酸素原子や水分子の吸着による表面酸化が問題となるが、 $(\text{NH}_4)_2\text{S}_x$ 溶液処理を行った表面では硫黄原子が表面保護膜として働いているため、こうした問題を無視できる。基板温度は、ヒータ上に直接取り付けられた熱電対により観測している。また基板裏面には In が塗られているため、ヒーターと基板との熱的接触は良好である。なおヒータ上の温度と基板表面の温度とはほぼ等しいことを確認してある。

AlF_3 原料にはレアメタリック (株) 製、純度 99.99% 相当の無水弗化アルミニウム粉末を用いた。原料を高純度グラファイトるつぼに入れ、るつぼのまわりに設置したタングステンフィラメントの通電加熱によって、るつぼの温度を 1300°C 以上に加熱することで、 AlF_3 を昇華させた。

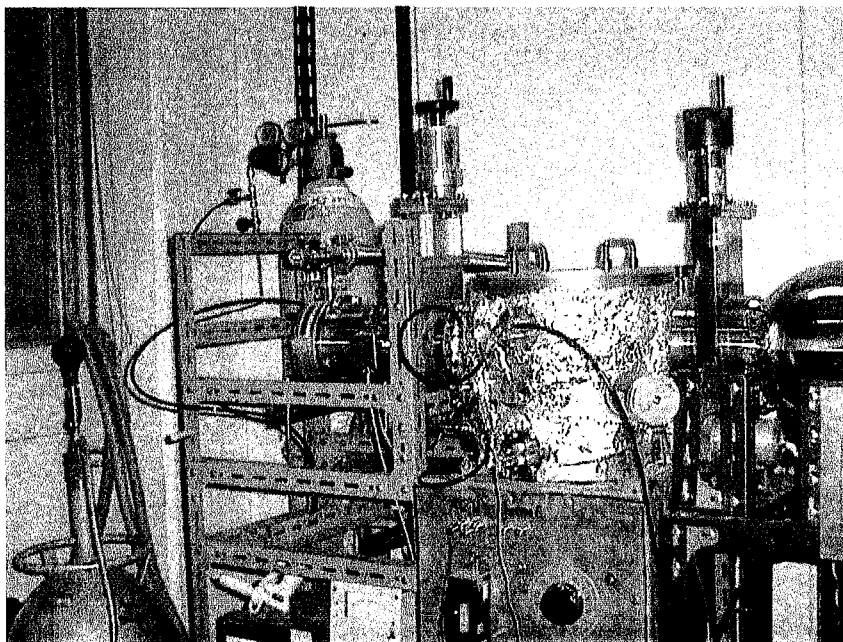


図 2-1 AlF_3 膜堆積装置の外観図

2-2-2 AlF₃ 薄膜の形成

表 2-2 に実験に用いた基板の仕様を示す。実験に用いた基板は、MBE 法により作製した n/n⁺ GaAs (100) エピタキシャル成長基板である。基板は n⁺ GaAs (100) 基板の上に n⁺ GaAs バッファ層を約 0.5 μm 成長した後、基板表面の一部をマスクし、続いて n 型 GaAs 活性層を約 1 μm 成長する。これにより一つの基板の上に n 層と n⁺ 層が同時に存在する基板を作製する。

表 2-2 実験に用いた基板の仕様

基板	Si ドープ n ⁺ GaAs (100)		
前処理	有機洗浄：アセトン煮沸		10分
	トリクロロエチレン煮沸		10分
	アセトン煮沸		10分
	純水 超音波洗浄		数分
	エッチング処理：		
	3H ₂ SO ₄ :H ₂ O ₂ :H ₂ O	50°C	1分
	純水 超音波洗浄		数分
構造	n ⁺ バッファ層 0.5 μm	2 × 10 ¹⁸ cm ⁻³	
	活性層 1 μm	1.6 × 10 ¹⁶ cm ⁻³	

次に作製した GaAs 成長基板を硫黄処理する。表 2-3 に硫黄処理の条件を示す。処理方法は、MBE チェンバから取り出した成長基板を適当な大きさに劈開し、そのままの状態です。溶液中に、室温で約 1.4 時間浸し、基板表面を硫黄処理する。その後、基板を取り出し、乾燥窒素ガスで乾燥させる。なお $(\text{NH}_4)_2\text{S}_x$ 溶液には関東化学 (株) 製 硫化アンモニウム溶液 (黄色、6% 過剰硫黄含む) 特級品を原液のまま使用した。

表 2-3 硫黄処理の条件

前処理	なし
温度・処理時間	室温・約 1.4 時間
後処理	窒素ガスによる乾燥

硫黄処理した基板を AlF_3 薄膜堆積装置内に搬入し、 AlF_3 膜を堆積する。表 2-4 に蒸着条件を示す。蒸着時の基板温度は硫黄処理された GaAs 表面の硫黄原子が脱離する温度より低い温度 (約 350°C) に設定した。GaAs 基板の上に堆積した AlF_3 膜の結晶性は X 線回折法で測定した限りでは、膜からの回折ピークは観測されず、X 線回折法からは非晶質な膜、すなわち X 線の波長 (0.154nm) 以下程度の微小結晶から成る膜であると考えられる。図 2-2 (a) および (b) に AlF_3 粉末の X 線回折パターンおよび $\text{AlF}_3/\text{n}^+\text{-GaAs}(100)$ 試料の X 線回折パターンを示す。

表 2-4 AlF_3 膜の蒸着条件

到達真空度	3×10^{-7} Torr
蒸着時真空度	5×10^{-6} Torr
基板温度	350°C
蒸着速度	0.23nm/s (膜厚から換算)
蒸着時間	768 秒

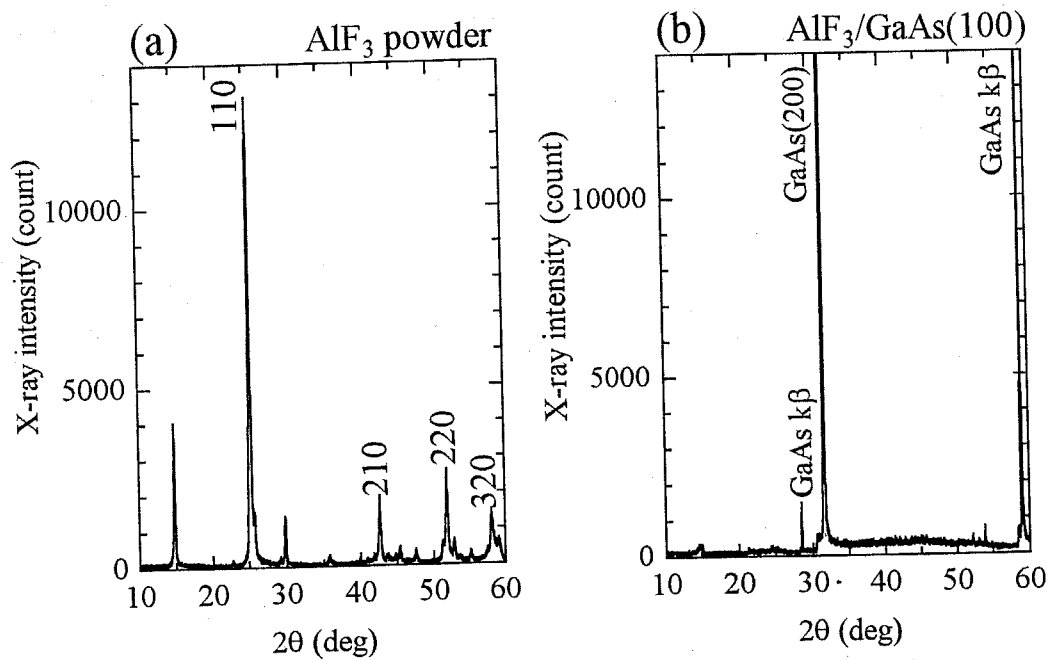


図 2-2 X線回折パターン
 (a) AlF_3 蒸着原料
 (b) $\text{AlF}_3/\text{GaAs}(100)$ 構造

2-3 AlF₃/GaAs 構造の評価

2-3-1 AlF₃ 薄膜の電気的特性

膜堆積後の試料において、MIS ダイオードの上部電極として Al 円形電極を AlF₃ 膜上に真空蒸着した。こうして作製された Al/AlF₃/n⁺-GaAs(100) 構造において、上部 Al 電極への印加電圧を正バイアス（基板側はゼロ電位）側に変化させた場合の AlF₃ 膜の膜厚方向の漏れ電流を測定した。なお測定に用いた AlF₃ の膜厚は約 180nm である。膜厚の測定には触針式膜厚計（米国 sloan 社製 DEKTAK-3030）を用いた。

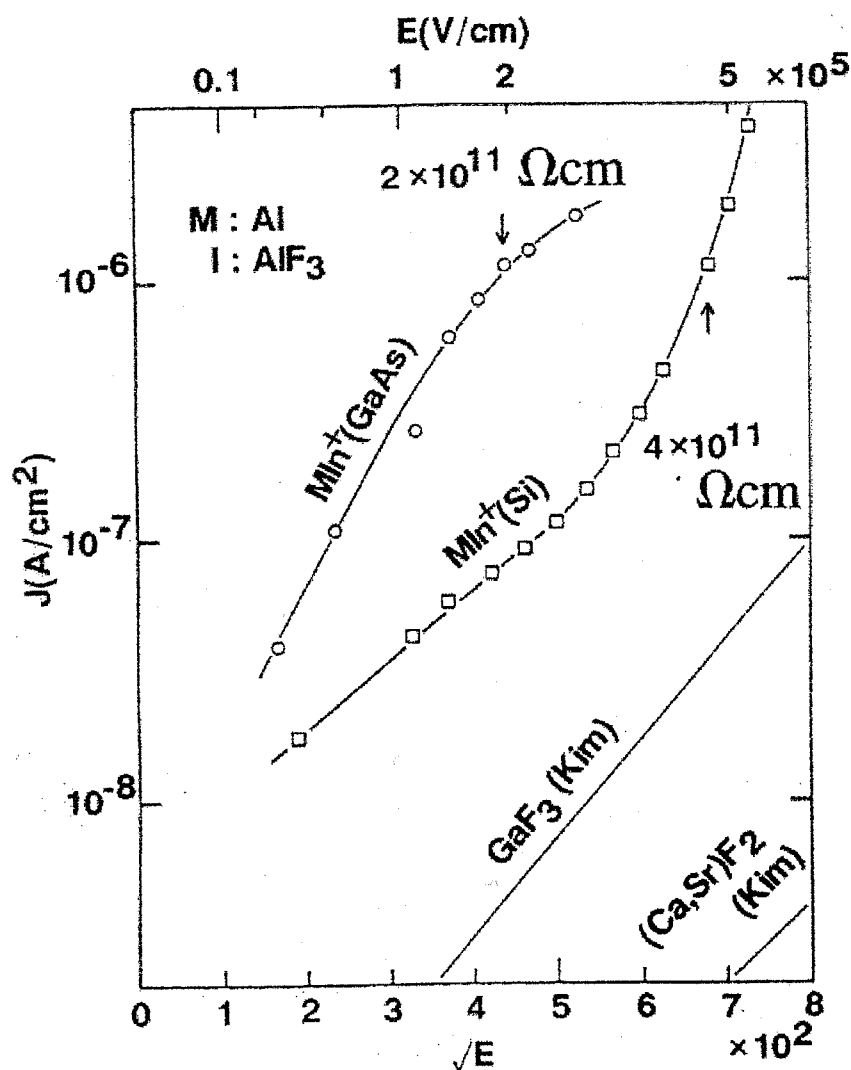


図 2-3 AlF₃ 膜の \sqrt{E} -J 特性

図 2-3 に \sqrt{E} - J 特性を示す。電流密度 (J) が $1\mu\text{A}/\text{cm}^2$ での電界強度と抵抗率をこの結果から見積もると、電界強度は約 2×10^5 V/cm、抵抗率は約 2×10^{11} $\Omega \cdot \text{cm}$ であった。なお同時に n^+ -Si (100) 基板上に同一蒸着条件で形成した AlF_3 膜の電界強度と抵抗率はそれぞれ 4×10^5 V/cm、 4×10^{11} $\Omega \cdot \text{cm}$ であった。ここで Si (100) 基板上に形成した AlF_3 膜の結晶性は GaAs 基板上の膜と同様に、X線回折法による測定では結晶化に起因した回折線は観測されず、結晶性としては同程度の膜と考えられる。すなわち AlF_3 膜の漏れ電流は基板の種類や結晶性とはあまり関係はなく、むしろ薄膜蒸着時の真空度や蒸着速度などの成膜条件によって影響されているといえる。実際、図 2-3 で示されるように、 n^+ -GaAs 基板上に形成した非晶質 GaF_3 膜の抵抗率は電界強度 10^6 V/cm において 2×10^{13} $\Omega \cdot \text{cm}$ と、 AlF_3 膜より 2 桁ほど大きい抵抗値をもつ膜が得られる。

次に作製したダイオード構造の容量-電圧 (C-V) 特性を測定し、その結果から AlF_3 膜の誘電率を見積もった。図 2-4 に Al/ AlF_3 / n^+ -GaAs (100) 構造の C-V 測定から求めた誘電率の周波数特性を示す。容量値の測定には高感度 LCR メータ (HP 社製 HP4284) を用いた。測定信号には振幅 20mV の正弦波を用い、周波数範囲 400Hz~1MHz における静電容量を測定した。ここで絶縁体/半導体構造から絶縁体の静電容量を測定する場合、半導体表面に形成される空乏層容量の存在が問題となるが、この測定で用いた基板は比較的低抵抗な基板 (不純物濃度: 約 2×10^{18} cm^{-3}) であるため、測定結果に与える半導体の空乏容量の影響を無視した。すなわち半導体表面のフェルミレベルが仮に $2\phi_B$ のポテンシャルでピンングされていたとしても、その場合の空乏層容量は約 1nF となり、 AlF_3 薄膜の容量 (数 pF) より 2~3 桁ほど大きいため、測定結果に与える空乏層容量は無視できる。測定結果から、GaAs 基板上に形成した AlF_3 膜の比誘電率は 5.4~6.3 で、-0.26/dec 程度の誘電分散が存在する。これとは別に、同一条件で形成した Al/ AlF_3 /Al 構造から求めた比誘電率と誘電分散はそれぞれ 6.6~6.8、-0.06/dec であったことから、誘電分散は AlF_3 膜中や金属/ AlF_3 界面および AlF_3 /GaAs 界面での空間電荷分極に起因していると考えられる。なお測定は、界面準位での

キャリアの trap-detrapping に伴う誘電緩和の影響を小さくするために、上部 Al 電極側に +10V の直流バイアスを印加した状態で行った。

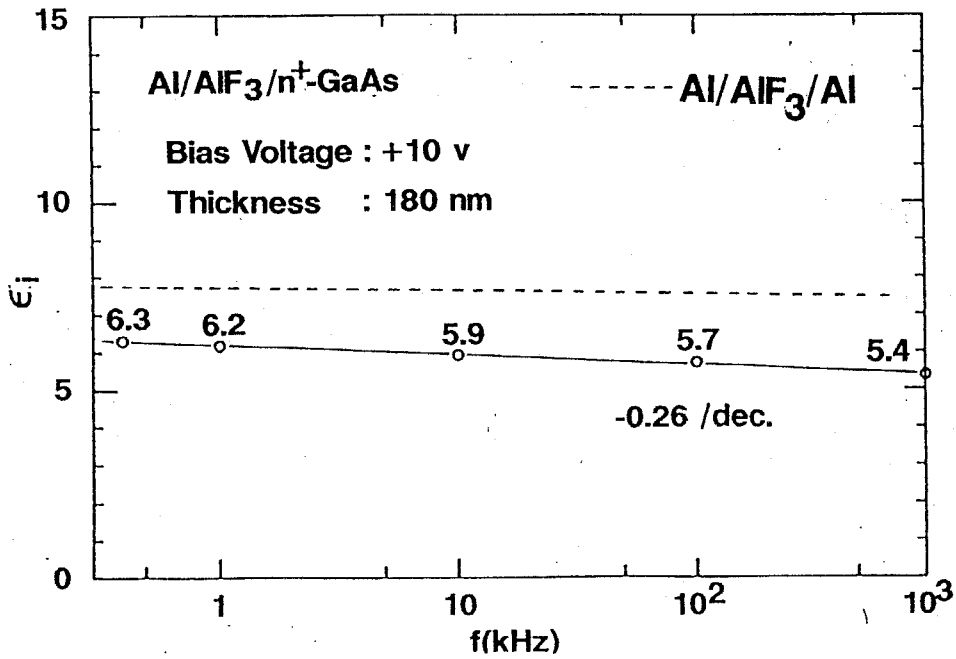


図 2 - 4 Al/AlF₃/n⁺-GaAs (100) 構造における AlF₃ 膜の比誘電率の周波数特性

2-3-2 硫黄処理を施さない AlF_3/GaAs 構造の電気的特性

AlF_3/GaAs 構造の界面特性を、 $\text{Al}/\text{AlF}_3/\text{n-GaAs}(100)$ 構造 MIS ダイオードの C-V 特性から評価した。

まず硫黄処理を施さない $\text{Al}/\text{AlF}_3/\text{GaAs}(100)$ 構造ダイオードの C-V 特性を評価した。基板には $\text{n}^+\text{-GaAs}(100)$ 上に n 型 $\text{GaAs}(100)$ 層を約 $1\ \mu\text{m}$ エピタキシャル成長させた基板を用いた。この試料は MBE 装置で n 型エピタキシャル層を成長させた後、一度大気中に基板を搬出し、直ちに AlF_3 蒸着装置に基板を搬入した試料であり、基板表面の硫黄処理は施していない。 AlF_3 膜の厚さは約 170nm であった。図 2-5 に光照射下における $\text{Al}/\text{AlF}_3/\text{GaAs}(100)$ 構造ダイオードの C-V 特性を 5 種類の測定周波数に対して示す。それぞれの周波数は 100Hz 、 1kHz 、 10kHz 、 100kHz 、および 1MHz である。破線は AlF_3 膜の誘電率から算出した 100Hz および 1MHz における蓄積容量値である。得られた結果は、通常の常誘電体/ GaAs 構造で測定される蓄積容量の強い周波数分散を示す。この結果から明らかなように高周波数では、正バイアス印加において測定容量値が蓄積容量まで変化せず、反転容量値よりわずかに増加するだけである。これは価電子帯側でフェルミレベルがピンングされていることを示している。 GaAs MIS ダイオードやショットキーダイオードに関する研究において、絶縁体や金属の材料によらず価電子帯端から $0.4\sim 0.5\text{eV}$ の位置でフェルミレベルがピンングされることが既に知られている。図 2-5 の 1MHz C-V 特性もこうした事実を示している。また図 2-5 では低周波数において蓄積側および反転側で容量値が蓄積容量値の付近まで変化している。反転側の容量値の変化は反転層の形成を示唆しているが、蓄積側容量の変化は AlF_3 膜自体の誘電分散だけでは説明できないことから、この現象はキャリアのトラップサイトへの充放電にかかる時定数が数 mS 以下程度と遅い界面準位の存在を示唆している。

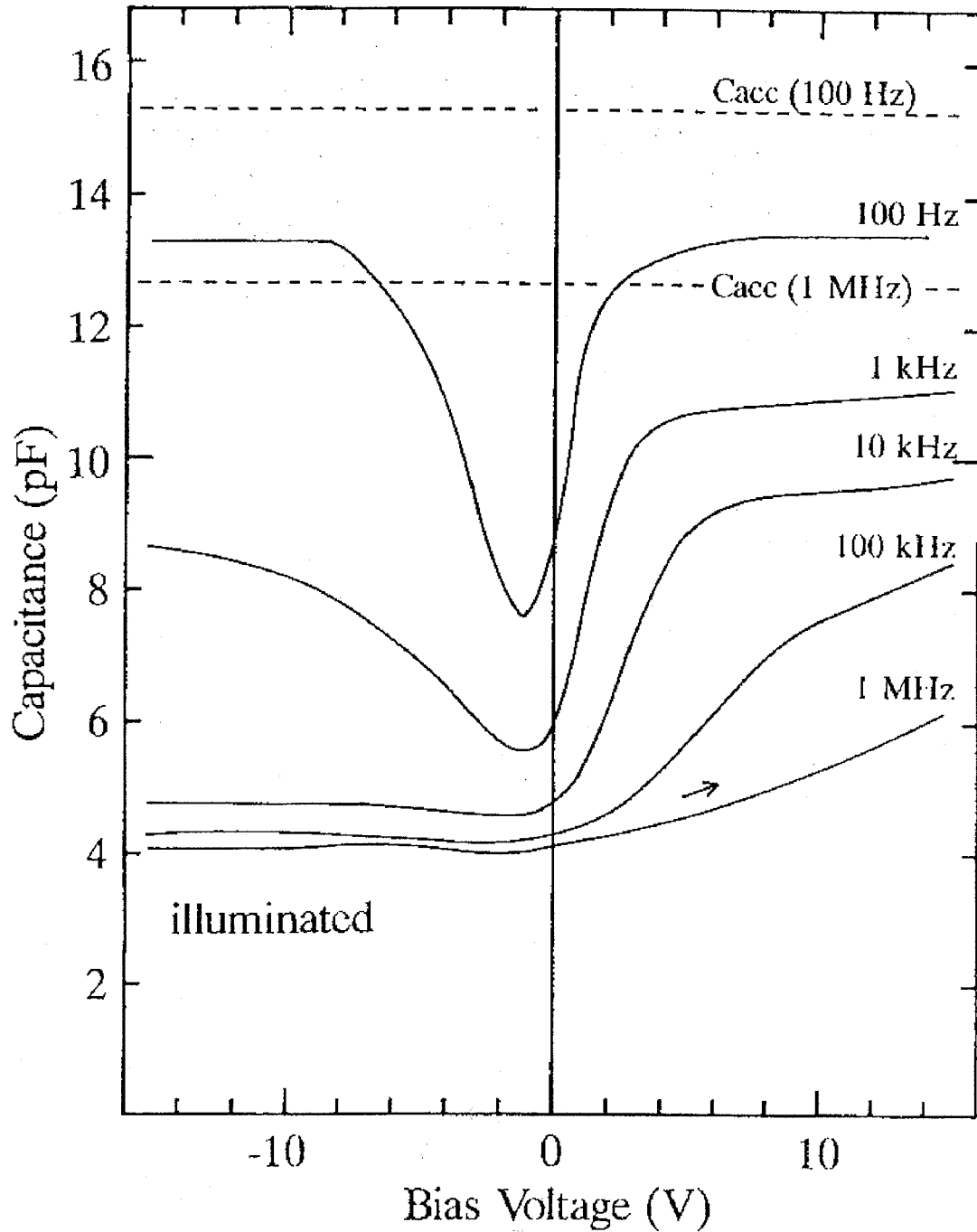


図 2 - 5 硫黄処理を施さない Al/AlF₃/GaAs(100) 構造ダイオードの光照射下における C-V 特性

2-3-3 硫黄処理を施した AlF_3/GaAs 構造の電気的特性

次に AlF_3 膜形成前に、n 型 GaAs エピタキシャル成長表面に硫黄処理を施した試料の C-V 特性を図 2-6 に示す。 AlF_3 膜の厚さは 180nm、n 型 GaAs エピタキシャル層のキャリア密度は、Ag を電極としたショットキーダイオードの C-V 特性から求め、その値は約 $1.6 \times 10^{16} \text{cm}^{-3}$ であった。この測定結果では、高周波 (1MHz) C-V 特性の容量値が正バイアス印加において、蓄積容量付近まで変化しており、図 2-5 で見られるようなフェルミレベルのピンングに起因する傾向は見られない。また周波数分散も、 AlF_3 膜の周波数分散で説明できる変化であり、こうした結果から、GaAs 表面を硫黄処理した効果によって、数 μs 以上の遅い界面準位の量が大幅に減少したことを示唆している。しかし、正バイアス印加において、飽和傾向にある容量値は蓄積容量値の約 90% となっており、これは測定周波数を低くしても改善されない。この事は半導体の伝導帯側に非常に遅い界面準位が存在すること示唆している。ただこうした結果は、界面状態を厳密に制御しながら作製した構造でない限り、一般に観測されるもので、こうした現象はアニールなどの熱処理によって改善されることが報告されている。この事から伝導帯側に存在するとみられる遅い界面準位は、絶縁体/半導体界面における化学結合の不完全性によるものと考えられる。

Sulfur Treated Sample

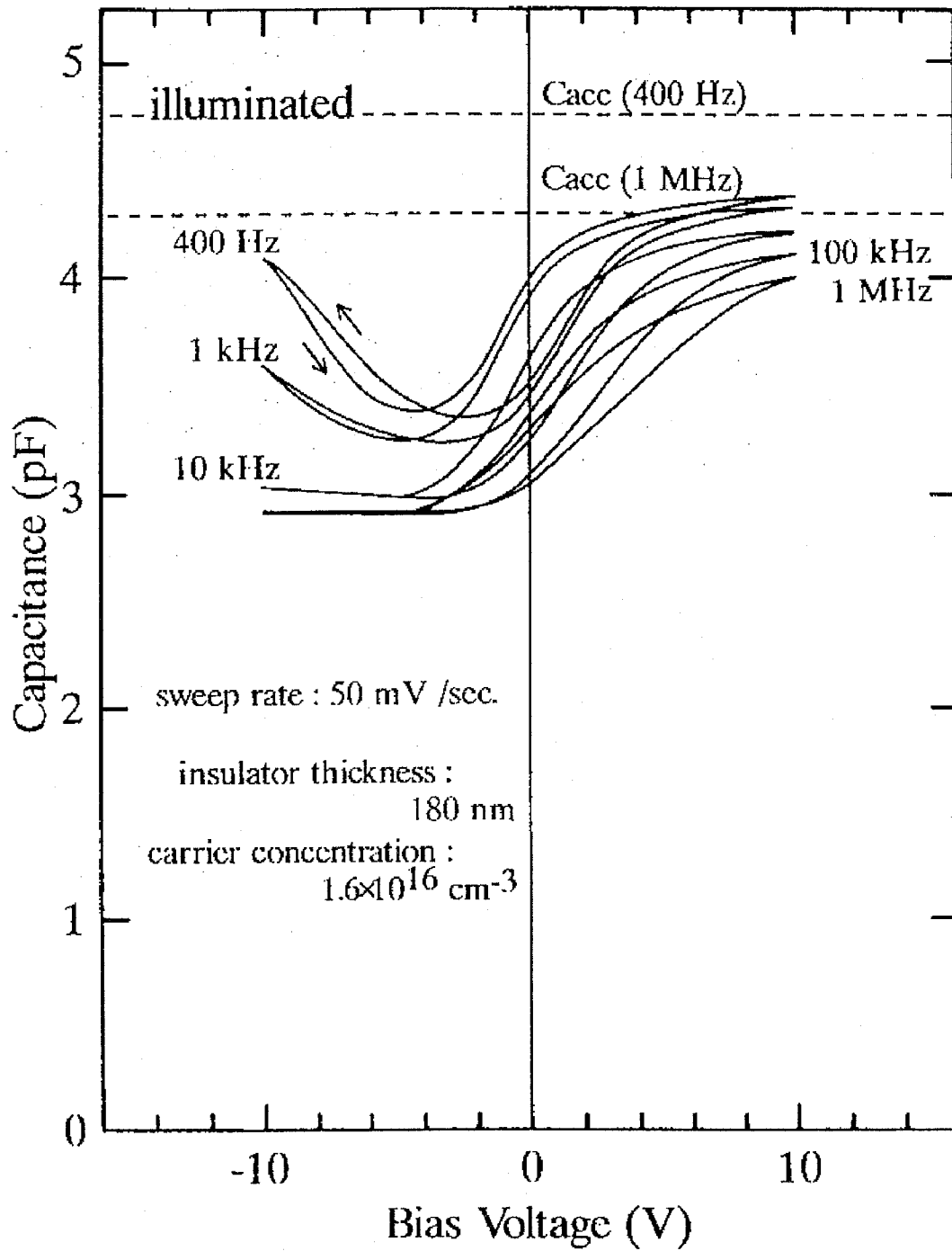


図 2 - 6 硫黄処理した Al/AlF₃/GaAs(100) 構造ダイオードの光照射下における C-V 特性

$\text{AlF}_3/\text{GaAs}(100)$ 界面の電気的特性をさらに評価するために、光照射を行わない条件下で測定した C-V 特性を図 2-7 に示す。図 2-7 (a) は GaAs 表面の硫黄処理を施さない $\text{Al}/\text{AlF}_3/\text{GaAs}(100)$ 構造の試料、図 2-7 (b) は硫黄処理を行った $\text{Al}/\text{AlF}_3/\text{GaAs}(100)$ 構造の試料における測定結果である。光照射を行わない場合、半導体空乏層内に光励起される少数キャリア密度が極端に減少するので、負バイアス印加時の容量の測定によって反転層形成の有無を判断できる。まず図 2-7 (a) の結果から、測定周波数が 400Hz と 1MHz とともに負バイアス印加によって deep depletion 状態になることがわかる。これはフェルミレベルがピンギングされているために、半導体基板側へ空乏層が増加していることを意味している。それに対して、図 2-7 (b) の硫黄処理を施した試料では、測定周波数が 400Hz と 1MHz とともに負バイアス印加に対して反転容量値でほぼ一定となる。これはバイアスによって生じる電極からの電気力線が反転キャリアに終端しているため、この結果は硫黄処理した $\text{Al}/\text{AlF}_3/\text{GaAs}(100)$ 界面において反転層の形成を意味する。

図 2-8 は GaAs 表面に硫黄処理を施した $\text{Al}/\text{AlF}_3/\text{GaAs}(100)$ 構造 MIS ダイオードの室温 (298K) および液体窒素温度以下 (70K) における 1MHz C-V 特性の測定結果である。低温での C-V 特性の測定は、界面準位に捕獲されたキャリアの熱的な放出が抑制されるために、正バイアス印加時における容量値の変化からフェルミレベルのピンギングを客観的に評価できる。この測定は高周波極限における C-V 特性と等価と見なせる。70K での測定結果は、正バイアス印加による容量値変化を示している。硫黄処理を行わない試料では正バイアス印加によって容量値は全く変化しないので、硫黄処理を行った $\text{AlF}_3/\text{GaAs}(100)$ 界面では界面準位の形成が抑制され、フェルミレベルのピンギングが改善されていることがわかる。

Al/AlF₃/n-GaAs(100) MIS Structure

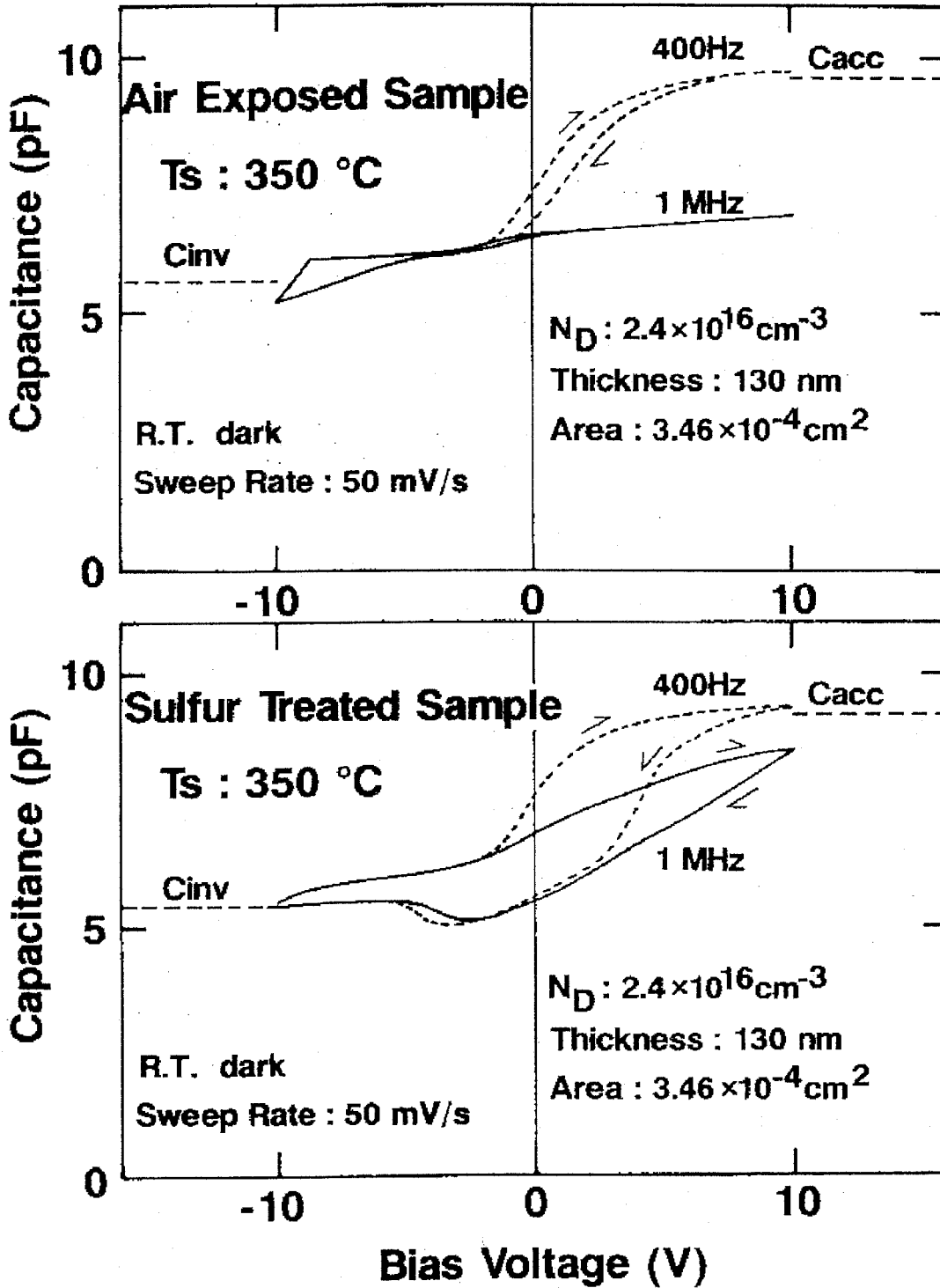


図 2-7 光照射をしない場合の Al/AlF₃/GaAs(100) 構造ダイオードの C-V 特性。

(a) 硫黄処理しない試料、(b) 硫黄処理した試料

Al/AlF₃/n-GaAs(100) MIS Structure

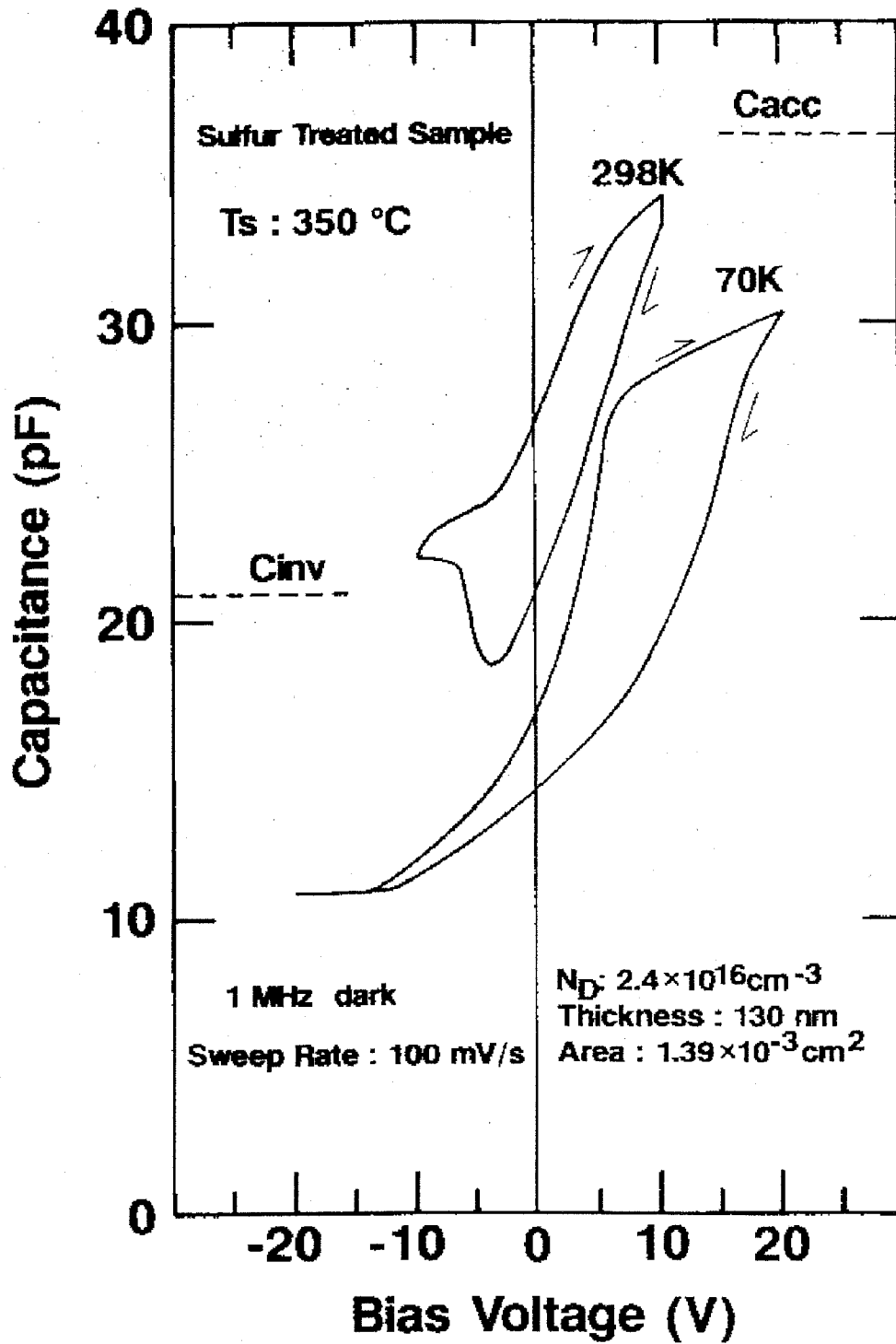


図 2 - 8 硫黄処理を施した Al/AlF₃/GaAs(100)構造 MIS ダイオードの 298K および 70K における 1MHz C-V 特性

2-3-4 硫黄処理を施した AlF₃/GaAs 構造の界面特性とデバイス応用

AlF₃/GaAs(100) 構造において、AlF₃ 膜の形成温度に対する界面準位密度およびダイオード測定における規格化容量パラメータ a の測定結果を図 2-9 示す。規格化容量パラメータ a は、以下の式 (式 2-1) で表される。

$$a = \frac{C(V) - C_{inv}}{C_{acc} - C_{inv}} \quad (2-1)$$

ここで、 $C(V)$ は十分に大きい正バイアス V が印加された状態で測定される容量値、 C_{acc} および C_{inv} はそれぞれ MIS ダイオードの蓄積容量、反転容量である。このパラメータは半導体の禁制帯中でフェルミレベルがピンングされる相対位置を等価的に表しており、パラメータの値が 1 に近いほどフェルミレベルのピンングが弱いことを意味する。また界面準位密度は高周波ターマン法を用いて 1MHz の C-V 特性から算出した。図 2-9 の結果から 350°C 以上 400°C 未満の温

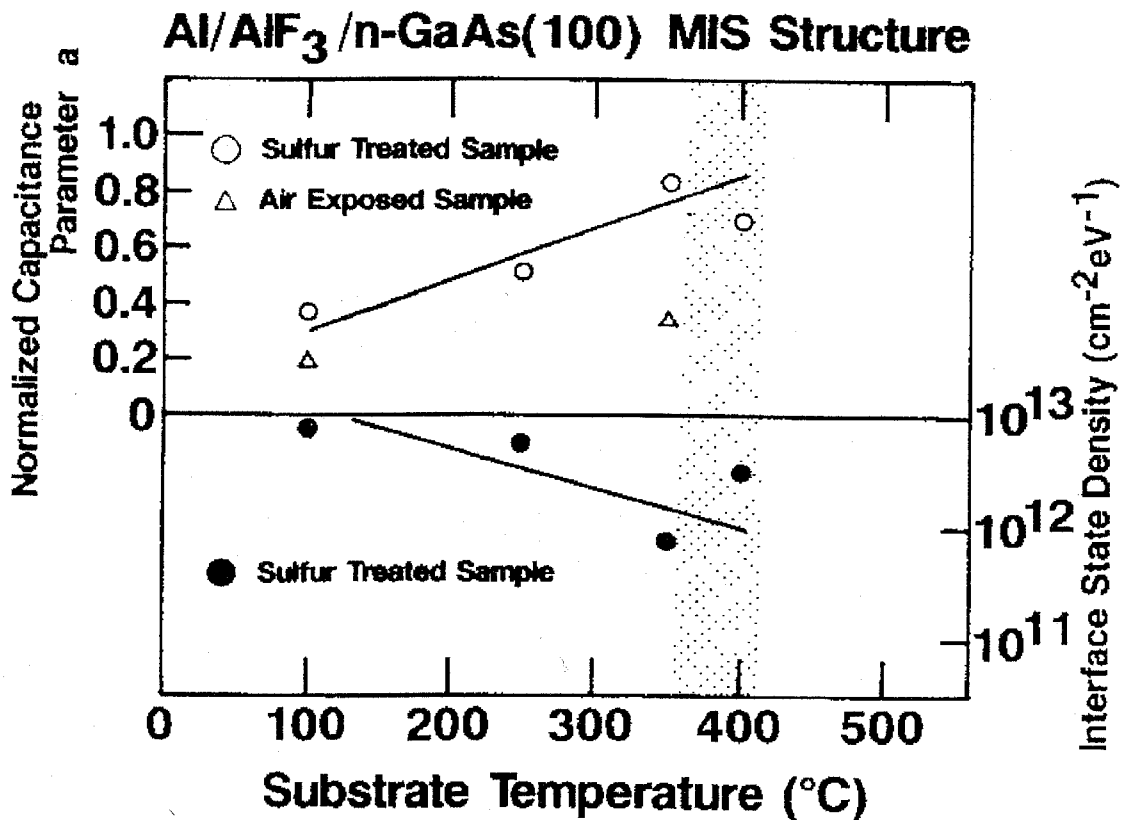


図 2-9 AlF₃ 膜の形成温度に対する界面準位密度およびダイオード測定における規格化容量パラメータ a

度範囲でもっとも良好な $\text{AlF}_3/\text{GaAs}(100)$ 界面が形成できることがわかった。また図 2-10 に、 350°C で AlF_3 膜を形成した試料の $\text{AlF}_3/\text{GaAs}(100)$ 界面における界面準位密度分布の計算結果を示す。密度分布の算出は、試料に光を照射した状態 (illuminated) と光を遮断した状態 (dark) のそれぞれについて行った。図 2-10 の結果から、伝導帯下端から約 0.4eV 付近で界面準位密度は最小となり、その値は約 $1.5 \times 10^{12}\text{cm}^{-2}\text{eV}^{-1}$ である。また明状態においても、バイアス電圧の掃引方向による界面準位分布に差はほとんどみられなかった。ここで得られた値は MBE 法で作製した GaF_3/GaAs 構造の界面準位密度の値 (価電子帯側から約 0.5eV 付近で約 $10^{12}\text{cm}^{-2}\text{eV}^{-1}$) とほぼ一致するが、界面準位密度が最小となるエネルギーの位置が伝導帯端から約 0.5eV にあり、従来の GaAsMIS 界面で報告されている最小界面準位密度の位置 (価電子帯端から $0.4\sim 0.5\text{eV}$) とは異なる結果が得られた。MIS 構造において最小界面準位の位置が伝導帯側にあることは GaAs MIS デバイス実現の可能性を示唆している。これは $\text{AlF}_3/\text{GaAs}(100)$ 構造の MIS デバイス応用を考えた場合、非常に興味深い結果といえる。

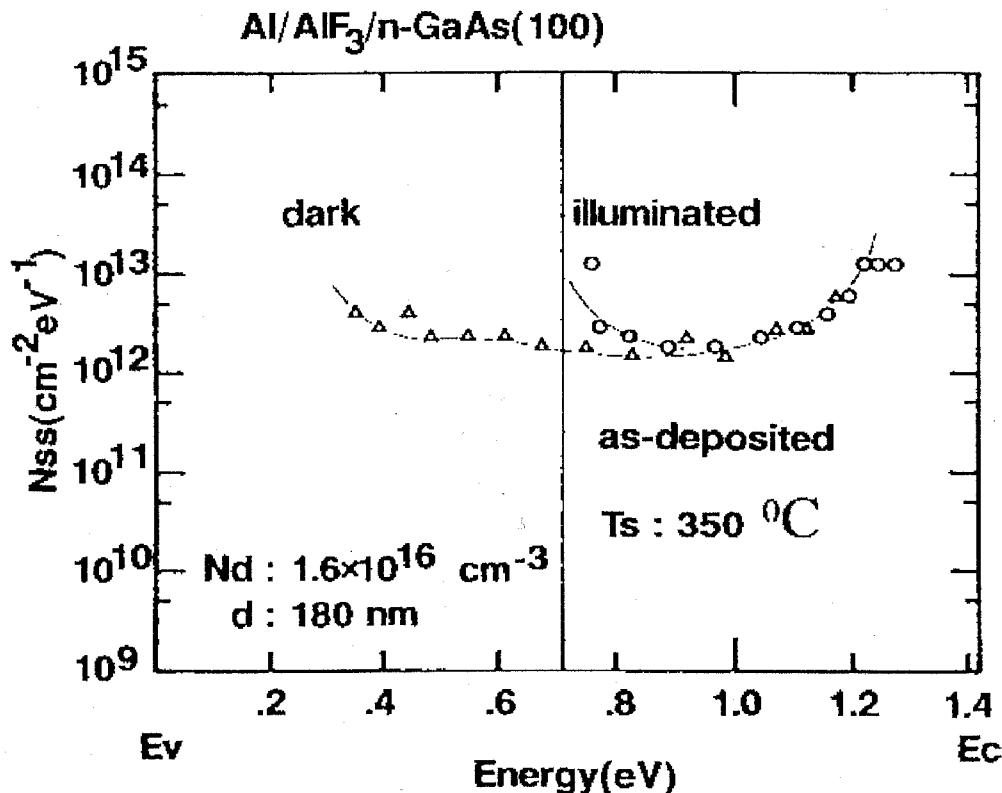


図 2-10 $\text{AlF}_3/\text{GaAs}(100)$ 構造の界面準位密度分布

2-4 まとめ

本章ではGaAsMISデバイスのゲート絶縁膜としてⅢb族金属弗化物であるAlF₃を用いて、主にAlF₃膜/GaAs界面の電気的特性について評価をおこない、以下の結論を得た。

1. GaAs(100)基板上に形成したAlF₃膜の電気的特性を明らかにした。GaAs(100)上に350°Cで堆積したAlF₃膜は1μA/cm²における電界強度および抵抗率がそれぞれ約 2×10^5 V/cmおよび約 2×10^{11} Ω cmである常誘電体膜であった。これらの結果から得られたAlF₃膜はMISデバイスのゲート絶縁膜として最低限の絶縁特性を有していることが明らかとなった。
2. 電気的に良好な界面特性を有するAlF₃/GaAs(100)構造はGaAs表面を硫黄処理した場合にのみ得られることを明らかにした。その場合、従来の絶縁体/GaAs構造と場合と異なり最小界面準位密度の位置が伝導帯側にあるため、AlF₃/GaAs(100)構造はMISデバイスへの応用を考えるうえできわめて有利であることが明らかとなった。

参考文献

1. W.Spicer et al.: J.Vac. Sci. & Technol. 17, 1019(1980).
2. S.Offsey et al.:Appl. Phys. Lett. 48, 475(1986).
3. A.S.Barrire et al.:Appl. Surf. Sci., 41(1989).
4. J.Fan et al.:Jpn. J. Appl. Phys. 27, L1331(1988).
5. Y.Nannichi et al.:Jpn. J. Appl. Phys. 27, L2367(1988).
6. T.Waho et al.: Jpn. J. Appl. Phys. 30, 221(1991).S
7. 金 光浩: 博士論文、東京工業大学, (1990).
8. C.Sandroff et al.: Appl. Phys. Lett. 51, 33(1987).
9. E.Yablonovitch et al.: Appl. Phys. Lett. 51, 439(1987).
10. J.Fan et al.: Jpn. J. Appl. Phys. 27, L2125(1988).
11. H.Hasegawa: Proc. of 18th Int. Conf. on the Physics of Semiconductor (ICPS) 1, 291(1986).
12. H.Ricard et al.:Jpn. J. Appl. Phys. 29, L2460(1990).
13. W.Heitmann: Thin Solid Films 5, 61(1970).
14. A.M.Phahle et al.: Thin Solid Films 38, 73(1976).

第3章

GaAs 基板上への常誘電性 $Y_xLa_{1-x}F_3$ 薄膜の

エピタキシャル成長

本章では、GaAs MIS デバイスの結晶性ゲート絶縁膜として $(Ca, Sr)F_2$ よりも半導体プロセスへの適応性や物性の面で有利な希土類弗化物 LaF_3 に着目し、 YF_3 を添加した $Y_xLa_{1-x}F_3$ 混晶薄膜の GaAs (111) 基板上への形成と格子整合エピタキシャル成長について検討を行った。また本章で提案した格子整合 $(Y, La)F_3/GaAs$ (111) 構造の GaAs MIS デバイスへの応用について検討を行った。

第3章 目次

3-1 はじめに

- 3-1-1 エピタキシャル成長の意義と格子整合の必要性
- 3-1-2 希土類弗化物の GaAs 上へのエピタキシャル成長
- 3-1-3 弗化物添加による格子定数制御の可能性

3-2 $Y_xLa_{1-x}F_3$ 薄膜の成膜方法

- 3-2-1 成膜装置と基板の前処理
- 3-2-2 蒸着原料の作製
- 3-2-3 $(Y, La)F_3$ 膜の成膜

3-3 GaAs (111)B 基板上に成長した $Y_xLa_{1-x}F_3$ 薄膜の評価

- 3-3-1 LaF_3 膜の基板方位依存性と電気的特性
- 3-3-2 $Y_xLa_{1-x}F_3$ 膜における組成比の同定と配向方位
- 3-3-3 YF_3 添加による格子定数制御
- 3-3-4 X線極点図測定による格子定数の同定と格子整合条件
- 3-3-5 $Y_xLa_{1-x}F_3$ 膜の面内配向方位と結晶性評価

3-4 $Y_xLa_{1-x}F_3/GaAs$ (111) 構造の電気的特性とデバイス応用

- 3-4-1 $Y_xLa_{1-x}F_3$ 膜の電気的特性
- 3-4-2 $Y_xLa_{1-x}F_3/GaAs$ (111) 構造の界面特性とデバイス応用

3-5 まとめ

参考論文

3-1 はじめに

第2章では、GaAs 基板表面の硫黄処理と弗化物である AlF_3 を常誘電体とした AlF_3/GaAs 構造が電氣的に良好な界面特性をもち、GaAs MIS デバイスへの応用に期待できることを明らかにした。しかし、絶縁体/GaAs 構造の界面特性をさらによくするためには、高電子移動度トランジスタ (HEMT)¹ やヘテロ接合 MISFET^{2, 3} などでみられるように、GaAs 上に格子整合条件を満たす常誘電体膜を形成することが有効な手段の一つと考えられる。

3-1-1 エピタキシャル成長の意義と格子整合の必要性

第2章2-1-4でも述べたが、界面準位の低い界面を形成するためには次の条件が必要である。

1. 半導体表面に未結合手 (ダングリングボンド) が存在しないこと。
2. 界面形成の際、半導体表面近傍での格子乱れを発生させないこと。
3. 絶縁膜および界面が熱的に安定であること。

こうした条件を満足するための絶縁膜形成法のひとつとして、ヘテロエピタキシャル成長法がある。ヘテロエピタキシャル成長法は、基板とは物性の異なる材料を結晶の連続性を保ちながら成長させる方法であるため、上記の界面準位の低い界面を形成するための条件に合致した理想的な形成法の一つと言える。事実、HEMT はヘテロエピタキシャル成長界面を用いた化合物半導体電子デバイスとして実用化されており、こうした手法を用いて MISFET の絶縁膜をヘテロエピタキシャル成長法で GaAs 基板上に成長できれば、界面準位の少ない絶縁体-半導体界面を形成することが可能である。

GaAs MIS デバイスのゲート絶縁膜として、弗化物が有効であることは第2章ですでに述べた。半導体基板上への弗化物膜のエピタキシャル成長は1981年に Farrow らや石原らによって初めて報告されている。^{4, 5} このとき用いられ

た弗化物は CaF_2 , SrF_2 , BaF_2 などのアルカリ土類金属弗化物である。これらの弗化物は、GaAs などの閃亜鉛鉱構造と近い蛍石構造を持つ立方晶の化合物であり、GaAs に対する CaF_2 及び SrF_2 の格子定数差がそれぞれ約-3.36%および約+2.59%である。また CaF_2 と SrF_2 との混晶 ($(\text{Ca}, \text{Sr})\text{F}_2$) の Ca/Sr 比を制御することにより $(\text{Ca}, \text{Sr})\text{F}_2$ 混晶の格子定数を GaAs の格子定数に一致させることが可能であるため、 $(\text{Ca}, \text{Sr})\text{F}_2/\text{GaAs}$ 構造の作製のみならず、 $(\text{Ca}, \text{Sr})\text{F}_2/\text{GaAs}$ 構造のダイオードや FET の電気的特性に関してもすでに多くの報告がある。^{6~9} このうちで、和保らによる格子整合 $(\text{Ca}, \text{Sr})\text{F}_2/\text{GaAs}(111)\text{B}$ 構造の界面特性に関する報告は注目に値する。¹⁰ 彼らは、格子整合 $(\text{Ca}, \text{Sr})\text{F}_2/\text{GaAs}(100)$ 構造や格子整合系でない $\text{SrF}_2/\text{GaAs}(111)\text{B}$ 構造においては、界面での強いフェルミレベルのピンングが存在するのに対して、格子整合 $(\text{Ca}, \text{Sr})\text{F}_2/\text{GaAs}(111)\text{B}$ 構造では、界面準位密度が $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 程度でフェルミレベルのピンングがない界面が形成できることを報告している。また、この低い界面準位密度は As 終端面である $(111)\text{B}$ 基板と格子整合条件により成長させた $(\text{Ca}, \text{Sr})\text{F}_2$ 膜との界面が、Ca-As 結合を介して結晶学的に連続性が保たれた pseudomorphic な界面であるために実現できたと結論づけている。この結果は本研究の目的である GaAsMIS デバイスの実現に対して、その可能性を示した唯一の結果であり、非常に興味深い。

3-1-2 希土類弗化物の GaAs 上へのエピタキシャル成長

格子整合 (Ca, Sr)F₂/GaAs(111)B 構造は GaAsMIS デバイスにとって有望な材料系の一つであるが、現在の半導体プロセスを考えると、(Ca, Sr)F₂は物性上、下記のような不利な点がある。

1. 水に溶ける。(水の対する溶解度は CaF₂ で 1.6×10^{-6} g/cm³、SrF₂ で 1.1×10^{-4} g/cm³)
2. 熱膨張係数が大きい。(GaAs に対して CaF₂ は 270K で約 2.7 倍大きい熱膨張係数をもつ。)

1. について、水を主とする湿式処理が多い半導体プロセス中ではこうした性質は問題となる。すなわち膜の溶解による膜自体の電気的特性の変化とそれによる特性の不安定性が問題になることが充分考えられる。また仮に保護膜等の対策を施したとしても、それに伴う製造工程の増加は新たな問題となる。よってデバイスに用いる常誘電体膜の化学的性質として、水に対して不溶であることが望ましい。

2. について、半導体プロセス中ではいくつかの工程で熱処理が行われるため、(Ca, Sr)F₂/GaAs 構造のような異種材料間では界面の熱安定性が問題になる。GaAs に対する熱膨張係数が 3 倍 (270K) 程度と大きい (Ca, Sr)F₂ 系では、特に 格子整合 (Ca, Sr)F₂/GaAs(111)B 構造とした場合、ヘテロ接合界面において熱膨張係数差による界面近傍の熱不整合欠陥や残留歪みが界面の電気的特性に影響を与えると考えられる。すなわち格子整合ヘテロ界面を利用するデバイスにおいては、基板と膜との熱膨張係数差はできるだけ小さい方が望ましい。

(Ca, Sr)F₂ 以外に GaAs 上にエピタキシャル成長する弗化物としては希土類弗化物がある。希土類弗化物は La、Nd、Ce などの希土類元素の弗化物で六方晶系の結晶構造を持ち、以下の特徴を持つことが知られている。

1. 水に対して不溶である。
2. LaF_3 の熱膨張係数は GaAs に対して約 1.6 倍 (300K、a 軸方向) の大きさである。
3. 機械的な硬度が CaF_2 より優る。

このように希土類弗化物は、 $(\text{Ca}, \text{Sr})\text{F}_2$ などのアルカリ土類金属弗化物にない半導体プロセス上の有利な特徴を持つため、常誘電体/ GaAs 構造を作製する上での常誘電体材料として有望な材料の一つといえる。表 3-1 に希土類弗化物の基本的性質を示す。

表 3-1 希土類弗化物の性質

	LaF_3	CeF_3	NdF_3
分子量	195.9	197.1	201.2
融点 (°C)	1490	1437	1374
結晶構造 (空間群)	六方晶 ($P63/mcm$)	←	←
格子定数(nm)	a=0.415 c=0.735	a=0.411 c=0.728	a=0.406 c=0.720
GaAs に対する 格子不整(%)	+3.81	+2.81	+1.56
熱膨張係数 ($\times 10^{-6}$, 300K)	10.7	16.5	14.7
水に対する溶解度	0	0	0

$\text{GaAs}(111)$ 構造を投影して六方晶と見なした場合の等価的な格子定数: $a=0.39975 \text{ nm}$

希土類弗化物の半導体上へのエピタキシャル成長についてはすでいくつかの報告がある。^{11~13} 希土類弗化物は六方晶であり、(111)基板面上に結晶成長することが報告されている。また $\text{LaF}_3/\text{GaAs}(111)$ 構造の電気特性についても C-V 特性による評価がされているが、十分な界面特性は未だ報告されていない。 LaF_3 の場合、 GaAs との格子定数差は約+3.8%と大きいため、 $\text{LaF}_3/\text{GaAs}(111)$ 構造

では、界面での格子不整合による界面準位の発生、さらには大量の界面準位によるフェルミレベルのピンニングが問題となる。そのため(Ca, Sr)F₂のような混晶の形成による格子整合エピタキシャル成長が望まれるが、希土類弗化物の場合、最も格子定数差が小さいNdF₃でさえGaAs(111)に対して約+1.6%の格子不整合があるため、表3-1で示した希土類弗化物同士の組み合わせによる混晶のGaAs基板上への格子整合エピタキシャル成長は不可能と考えられる。

3-1-3 弗化物添加による格子定数制御の可能性

弗化物のようなイオン結合性が強い材料では、イオン半径の異なる材料を添加することで、その格子定数を大きく変化させることが可能である。LaF₃に斜方晶系弗化物であるGdF₃を添加した(Gd, La)F₃系では、結晶は六方晶構造を保ったまま、GdF₃の添加量に対して格子定数を変化できる。¹⁴ この場合、Gdの混晶比を0.5まで高めることにより、その格子定数をLaF₃の格子定数に対して約1.9%小さくできるが、Gdの混晶比をさらに高くすると結晶構造が斜方晶に変化することが報告されている。従って、GaAs(111)に対する格子整合条件を達成するためには、LaF₃に対して約-3.8%の格子定数の変化が要求されるため、GdF₃以外の弗化物を添加する必要がある。

イオン結晶である弗化物の格子定数は構成元素のイオン半径に関連づけることができる。以下にLaF₃の格子定数制御のために添加する弗化物の条件を示す。

1. 閉殻構造におけるイオン半径がLaのそれより小さいイオン価数3の金属原子の弗化物であること。イオン半径の小さい金属原子がLaサイトに置換されることで、格子定数を小さくできると考えられる。またLaと同じ価数3の金属原子の弗化物を混晶化させることは、結晶中に過剰なフッ素あるいはフッ素の欠陥を生じさせないために必要である。過剰なフッ素あるいはフッ素の欠陥は、結晶中のイオン伝導性を増加させ、絶縁性を低下させるため絶縁膜としての用途には不向きである。
2. LaF₃構造を維持するために、添加する弗化物はLaの外殻電子軌道と同じs, d軌道をもつ遷移金属原子の弗化物であることが必要である。化合物の結晶構造は構成原子の外殻電子の軌道配置によって変化すると考えられるので、同じイオン価数を持つ金属原子でも典型金属元素のようにs, p軌道を持つ元素よりLaと同じ遷移金属元素の弗化物が望ましいと考えられる。

以上の条件から GaAs(111) 基板へ格子整合させるために、 LaF_3 系希土類弗化物に添加する弗化物として YF_3 を選択した。 YF_3 は遷移金属元素の弗化物であり、結晶構造は斜方晶であるが、Y のイオン半径は 0.93 \AA と La のイオン半径 (1.15 \AA) よりかなり小さい。また Y の中性原子の外殻電子配置は $\text{Y}:5s^24d$ であり、La の外殻電子配置 ($\text{La}:6s^25d$) と類似の s, d 軌道から成る外殻電子構造を持つ。Y は Gd より小さいイオン半径をもつ (Gd のイオン半径は外殻電子配置が類似の Ce のイオン半径 (1.01 \AA) に近い) と考えられるので、 $(\text{Y}, \text{La})\text{F}_3$ 混晶は Y の混晶比が小さい領域では六方晶の結晶構造を示し、かつ格子定数変化は同一の混晶比を持つ $(\text{Gd}, \text{La})\text{F}_3$ 混晶よりも大きいことが期待できる。 YF_3 の性質を表 3-2 に示す。このように $(\text{Y}, \text{La})\text{F}_3$ 混晶は GaAsMIS デバイスのゲート絶縁膜として有望な常誘電体材料と考えられるが、 $(\text{Y}, \text{La})\text{F}_3$ 混晶の GaAs(111) 上への成長や YF_3 の添加による格子定数制御に関する検討は今までに行われていない。GaAs(111) 基板へ $(\text{Y}, \text{La})\text{F}_3$ 混晶を格子整合条件でエピタキシャル成長できれば、格子整合 $(\text{Y}, \text{La})\text{F}_3/\text{GaAs}(111)$ 構造による GaAsMIS デバイス実現への知見を得ることができると期待される。

表 3-2 YF_3 の性質

	YF_3
分子量	145.9
融点 ($^{\circ}\text{C}$)	1387
結晶構造 (空間群)	斜方晶 (Pnma)
格子定数 (nm)	a=0.6353 b=0.6850 c=0.4393
溶解度	水に対して不溶 希酸に易溶

3-2 $Y_xLa_{1-x}F_3$ 薄膜の成膜方法

3-2-1 成膜装置と基板の前処理

表3-1及び表3-2で示されるように蒸着原料である LaF_3 および YF_3 の融点はそれぞれ $1490^\circ C$ 、 $1387^\circ C$ であるが、真空中ではそれよりも低い温度で単量体として蒸発するため、蒸発源としては最高 $1400^\circ C$ 程度の加熱性能を持っていれば十分である。そのため $(Y, La)F_3$ 膜堆積装置およびその蒸発源には、 AlF_3 膜の堆積に用いた AlF_3 膜堆積装置およびその蒸発源を用いた。(第2章2-2-1項) ただし、原料を入れる高純度グラファイト坩堝には $(Y, La)F_3$ 原料専用のものを新たに用意した。また報告されている LaF_3 結晶膜の堆積温度は $500^\circ C$ 程度であるため、 $(Y, La)F_3$ 膜も同じ温度で基板上に結晶膜を堆積できると考えられる。前章の AlF_3 膜の堆積に用いた装置の基板加熱機構はその最高加熱温度が $600^\circ C$ 以上であることから、本章の $(Y, La)F_3$ 膜の研究を進める上で、 AlF_3 膜堆積装置を用いることは装置性能の点において問題はない。

実験には Si ドープ n 型低抵抗 GaAs (111)B 基板 (キャリア濃度 $1.1 \times 10^{18} \text{ cm}^{-3}$) を用いた。また初期実験において、薄膜の基板方位依存性を検討するために Si ドープ n 型低抵抗 GaAs (100) 基板も用いた。 LaF_3 膜堆積における基板の前処理としては、Ar イオン照射による表面クリーニングが報告されている。¹³ このときの LaF_3 膜の堆積温度は $500^\circ C$ 程度であるが、それよりも低い温度 ($400^\circ C$ 程度) で GaAs 基板表面から As が熱脱離するので、 $LaF_3/GaAs$ 構造を作製した場合、それに伴う結晶学的小よび電気的な界面特性の劣化が問題となる。本研究ではこうした問題を解決するために、GaAs 基板の硫黄処理 (第2章2-1-3項) を前処理として採用した。硫黄処理された GaAs 表面は硫黄分子の単原子層で終端されているため表面酸化物のない清浄な表面が容易に得られ、かつ $500^\circ C$ 程度まで硫黄分子は脱離せずに GaAs 表面を保護するため、 LaF_3 膜堆積に際しての前処理としては最適であるといえる。図3-1に基板の前処理工程を示す。

使用基板
n⁺-GaAs(111)B ($1.1 \times 10^{18} \text{ cm}^{-3}$)
n⁺-GaAs(100) ($1.1 \sim 2.1 \times 10^{18} \text{ cm}^{-3}$)

ウエハからの切り出し

有機洗浄
純水 超音波洗浄 5分
アセトン煮沸 10分
トリクロロレチレン煮沸 10分
アセトン煮沸 10分
純水 超音波洗浄 数分

エッチング処理
 $3\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$
50℃ 30秒
純水 超音波洗浄 数分

硫黄処理
硫化アンモニウム溶液中
($(\text{NH}_4)_2\text{S}_x$) 室温 3時間
窒素ブローによる乾燥

図3-1 基板の前処理工程

3-2-2 蒸着原料の作製

蒸着原料には、レアメタリック（株）製の無水弗化ランタン(LaF_3)粉末（純度 99.99%）と無水弗化イットリウム(YF_3)粉末（純度 99.99%）を用いた。 $(\text{Y}, \text{La})\text{F}_3$ 混晶の原料作製方法を図 3-2 に示す。まず LaF_3 と YF_3 とのモル比を作製する $(\text{Y}, \text{La})\text{F}_3$ における La と Y との組成比に一致させるように、 LaF_3 原料と YF_3 原料をそれぞれ秤量する。秤量した LaF_3 と YF_3 の粉末を混合して、 LaF_3 膜堆積装置の蒸着源のつぼにその混合粉末を導入する。つぎに堆積装置内を真空排気したのち LaF_3 と YF_3 の混合粉末を真空中で焼成する。原料の焼成は、真空度 2×10^{-4} Torr 以下、蒸着源の温度約 1400°C で 15 分間行った。焼成後の原料は、焼成中に熔融するため白い球状の焼結体となっていた。ここで LaF_3 と YF_3 は融点や蒸気圧が異なるために、秤量時の混合比と成膜後の混晶比とは若干異なることが予想される。

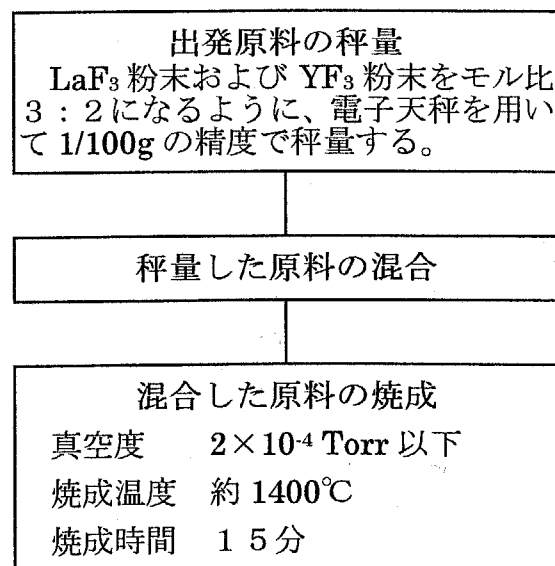


図 3-2 $(\text{Y}, \text{La})\text{F}_3$ 蒸着原料の作製手順 (Y:La=2:3 の場合)

焼成後の原料の結晶状態を調べるために、粉末にした原料焼結体のX線回折測定をおこなった。(図3-3) 図3-3(a)および(b)は出発原料である LaF_3 および YF_3 粉末のX線回折パターン、図3-3(c)は LaF_3 と YF_3 をモル比3:2に秤量し、混合焼成したもののX線回折パターンである。図3-3(a)および(b)の結果は、典型的な六方晶 LaF_3 および斜方晶 YF_3 の多結晶体からの回折パターンを示している。それらに対して図3-3(c)の結果は、図3-3(a)の回折パターンとほぼ同じであることがわかる。 $(\text{Y, La})\text{F}_3$ 焼結体の回折パターンには、 YF_3 粉末の回折パターンのような斜方晶系結晶からの回折は観測されず、 LaF_3 粉末の回折パターンとほぼ同様の六方晶系結晶からの回折が優先であることがわかる。これは YF_3 が LaF_3 の結晶格子に組み込まれていることを意味する。また図3-3(a)および(c)において、六方晶(002)回折ピークの回折角度から、c軸長を算出したところ、 LaF_3 粉末に対して $(\text{Y, La})\text{F}_3$ 焼結体のc軸長は約1.5%減少しており、 YF_3 添加による格子定数の変化が確認できた。

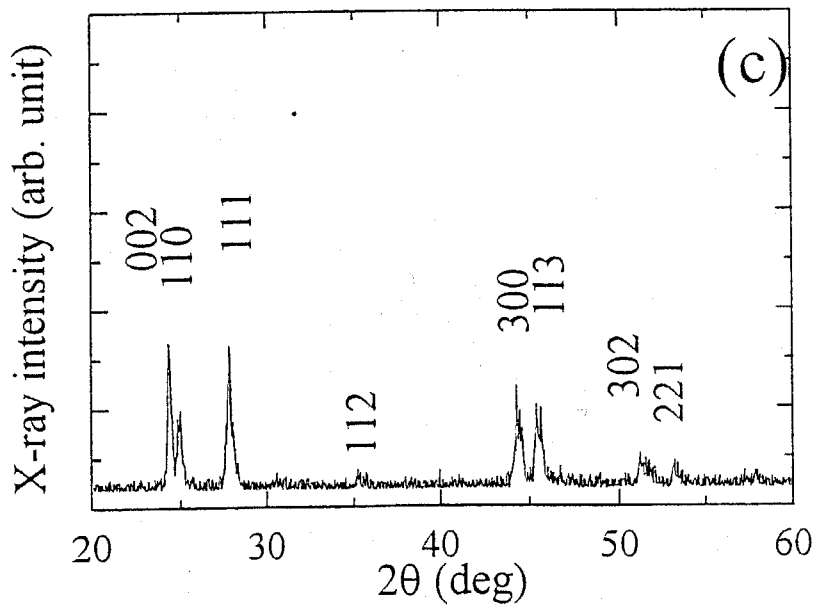
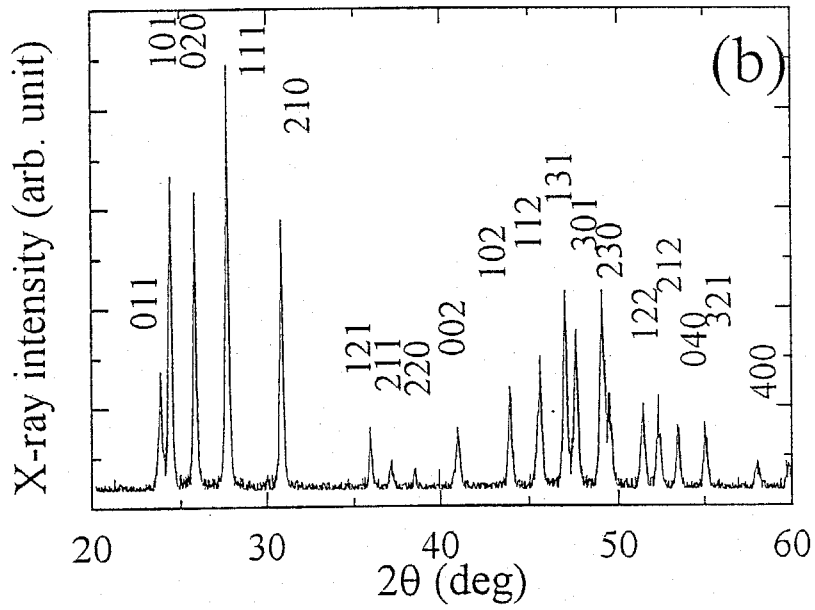
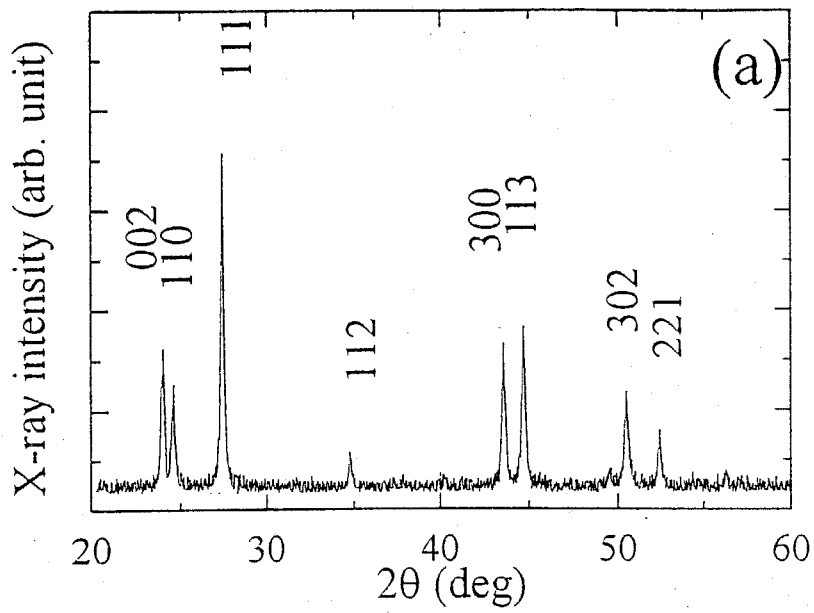


図3-3 蒸着原料のX線回折パターン
 (a) LaF_3 粉末、(b) YF_3 粉末
 (c) $(\text{Y,Lu})\text{F}_3$ 焼結体(Y:Lu=2:3)

3-2-3 (Y,La)F₃膜の成膜

(Y,La)F₃膜の成膜温度は500°C付近が最適と考えられる。しかし、この温度は硫黄処理されたGaAs表面から硫黄原子と砒素原子が脱離し始める温度とほぼ一致する。そのため本実験では、膜堆積時の硫黄原子や砒素原子の脱離を極力防止するため、まず基板温度200°Cで約10nmの厚さで(Y,La)F₃膜を堆積(predeposition)した後に、基板温度を500°Cとして所望の膜厚まで成膜をおこなう2段階成膜法を採用した。代表的な成膜条件を表3-3に示す。

表3-3 (Y,La)F₃膜の成膜条件

到達真空度 (Torr)	~10 ⁻⁷
蒸着時真空度 (Torr)	3~5×10 ⁻⁵
Predeposition	
基板温度 (°C)	200
厚さ (nm)	10~20
蒸着レート (nm/s)	~0.2
Deposition	
基板温度 (°C)	500
厚さ (nm)	~160
蒸着レート (nm/s)	~0.2

3-3 GaAs(111)B 基板の上に成長した $Y_xLa_{1-x}F_3$ 薄膜の評価

3-3-1 LaF_3 膜の基板方位依存性と電気的特性

最初に LaF_3 膜を成膜温度 500°C で GaAs(100) 及び (111)B 基板の上に成膜した場合の、膜の結晶性と電気的特性について検討を行った。図 3-4 に $LaF_3/GaAs$ 試料の X 線回折測定の結果を示す。図 3-4 (a) は GaAs(100) 基板の上に成膜した試料、図 3-4 (b) は GaAs(111)B 基板の上に成膜した試料である。これらの結果から、GaAs(100) 基板の上の試料においては、基板の回折ピーク以外のピークは非常に弱いことから、GaAs(100) 基板の上の LaF_3 膜は多結晶といえる。これは六方晶 LaF_3 が、GaAs(100) 面上で格子構造の整合性を全く持たないためである。それに対して、GaAs(111)B 上の試料では $LaF_3(0\ 0\ 2n)$ ($n=1, 2, 3, \dots$) の回折ピークのみが強く観測され、c 軸に優先配向していることがわかる。これは $LaF_3(001)$ 面の格子構造 (6 員環構造) が GaAs(111) 面の格子構造と整合性を持つためである。

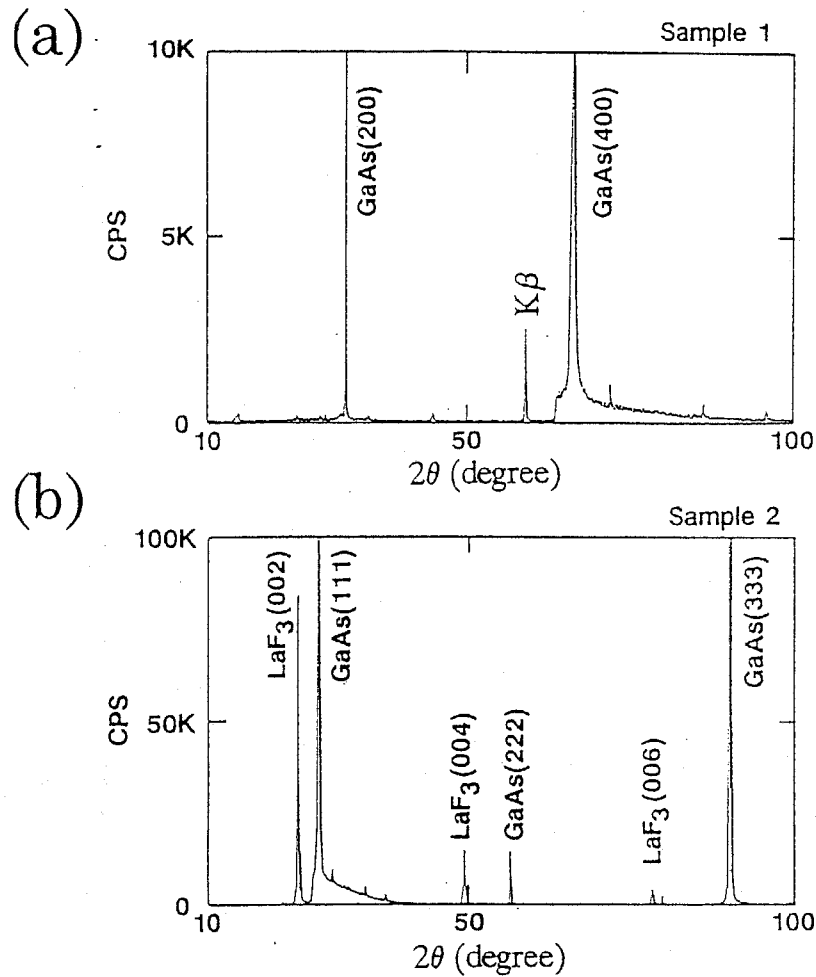


図3-4 GaAs 基板上的 LaF₃ 膜の X 線回折パターン
 (a) LaF₃/GaAs(100) の試料、(b) LaF₃/GaAs(111)B の試料

これら LaF₃ 膜の電気的特性を評価するために、成膜後の膜表面に直径 200 μ m の Al 電極を形成し、MIS ダイオードを作製した。基板は高濃度に不純物ドーブされた低抵抗基板であるため、基板-Al 電極間に電圧を印加した場合、電圧はほとんど LaF₃ 膜に印加される。そのため基板-Al 電極間の漏れ電流特性を測定することで、膜厚方向の膜の抵抗率を評価できる。漏れ電流特性の測定結果を図3-5に示す。GaAs(100) 基板上的 LaF₃ 膜においては、抵抗率は $2 \times 10^{10} \Omega \text{ cm}$ ($E=3 \times 10^5 \text{ V/cm}$) と低いが、GaAs(111) 基板上的 LaF₃ 膜においては、抵抗率が $1.3 \times 10^{12} \Omega \text{ cm}$ ($E=3 \times 10^5 \text{ V/cm}$) と2桁大きい値が得られた。また漏れ電流 $1 \mu\text{A/cm}^2$ における電界強度の値も、GaAs(100) 上の LaF₃ 膜では $4 \times 10^4 \text{ V/cm}$ であるのに対して、GaAs(111) 上の LaF₃ 膜では $5 \times 10^5 \text{ V/cm}$ 以上と大きい。これらの結果から、

GaAs(111)B 基板上に成膜した LaF_3 配向膜の方が GaAs(100) 上に成膜した膜より漏れ電流や絶縁耐圧の点で優れており、MIS FET のゲート絶縁膜として十分な電気的特性を持っているといえる。

弗化物のようなイオン結合性が強い材料の場合、以下のような機構が考えられる。すなわち、欠陥が比較的多く発生していると思われる膜中の結晶粒界において、膜中に外部電極から注入されたキャリアが捕獲されることで、局所的に空間電荷領域が多く形成されると考えられる。漏れ電流や絶縁破壊は膜中の空間電荷制限電流や空間電荷付近の局所電界により生じると考えられるので、GaAs(111)B 基板上の LaF_3 膜のような配向性が高い結晶では結晶欠陥による空間電荷領域の形成は抑えられるため漏れ電流や絶縁特性などの電気的特性が向上すると考えられる。以上のことから、 $(\text{Y, La})\text{F}_3$ 配向膜を GaAs MIS デバイスのゲート絶縁膜として用いるためには GaAs(111)B 基板の使用が必要不可欠であるといえる。

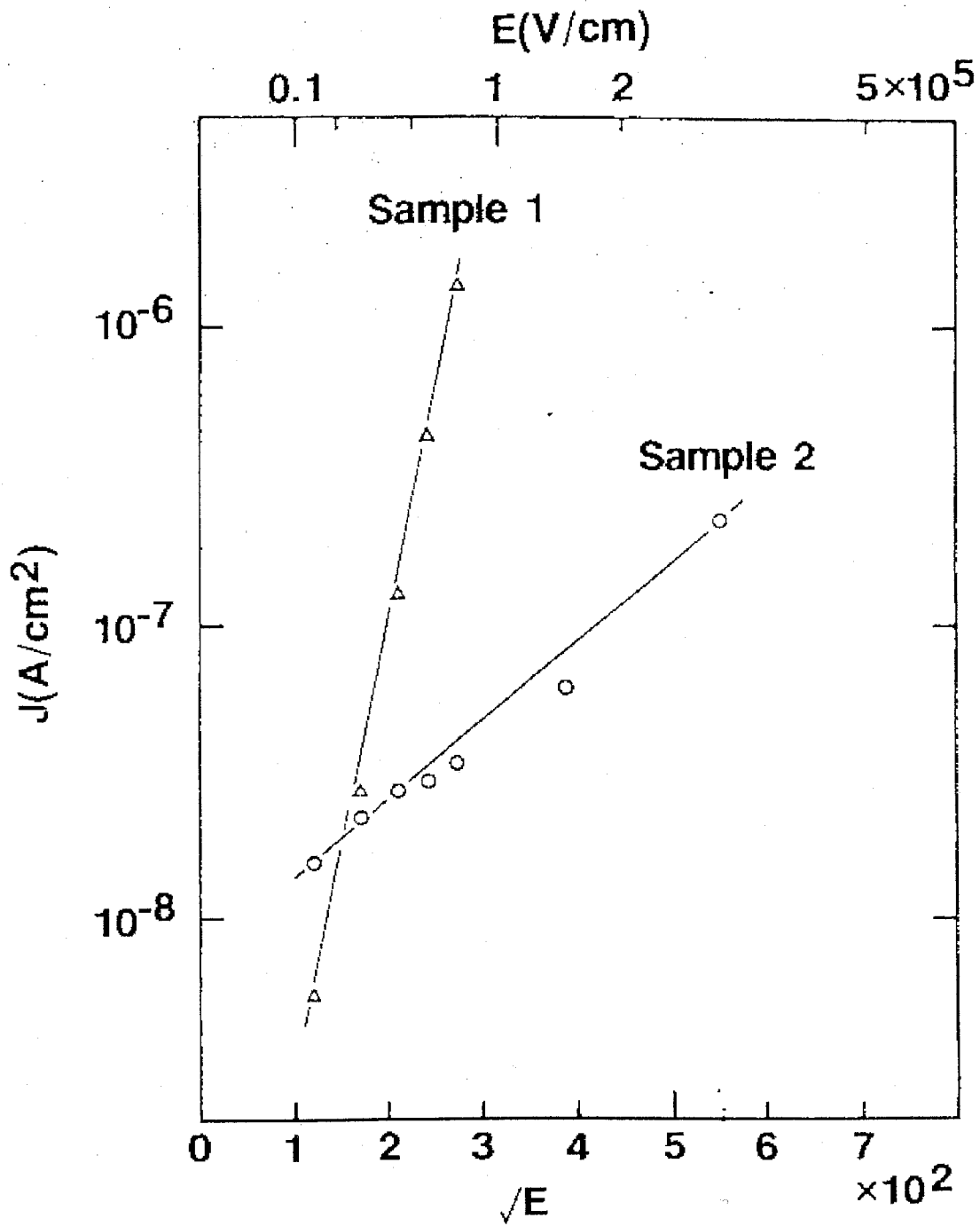


図 3-5 GaAs 上に成膜した LaF_3 膜の漏れ電流特性
 [Frenkel-Pool プロット($\sqrt{E} - J$)]
 Sample 1: $\text{LaF}_3/\text{GaAs}(100)$ の試料、
 Sample 2: $\text{LaF}_3/\text{GaAs}(111)\text{B}$ の試料

3-3-2 $Y_xLa_{1-x}F_3$ 膜における組成比の同定と配向方位

GaAs(111)B 基板上に成長した $Y_xLa_{1-x}F_3$ 薄膜の評価をおこなうために、表 3-4 に示すような Y の添加量を変えた数種類の試料を作製した。ここでは、 $Y_xLa_{1-x}F_3$ 膜の組成比 x の同定と膜の結晶配向性について検討を行った。

表 3-4 測定に用いた $Y_xLa_{1-x}F_3$ /GaAs(111)B 試料

試料名	$YF_3:LaF_3$ 原料モル比	Predeposition の膜厚 (nm)	全膜厚 (nm)
Y00	0 : 1	12	180
Y20	0.23 : 0.73	14	150
Y50	0.52 : 0.48	6.4	160
Y70	0.7 : 0.3	13	130

最初にラザフォード後方散乱 (RBS) 法を用いて、試料のランダムスペクトルにおける Y および La からの後方散乱イオン収率 (Backscattering Yield) および散乱断面積の値を元に $Y_xLa_{1-x}F_3$ 膜中の組成比 x を同定した。なお測定には神奈川サイエンスパーク内 (財) 高度計測支援センターの RBS 装置を利用した。プローブイオンとして用いた He イオンの加速エネルギーは 1.5MeV、ドーズ量は $2.5\mu C$ で行った。測定から得られた結果を表 3-5 に示す。この表から分かるように原料モル比に対して実際に膜中に導入される Y の組成比は小さい。成膜時において、原料の大部分は蒸着源から LaF_3 と YF_3 の単量体の形で蒸発すると考え

表 3-5 RBS 法により求めた $Y_xLa_{1-x}F_3$ 膜の Y 組成

試料名	$Y_xLa_{1-x}F_3$ 膜の組成比 x	原料中の YF_3 モル比
Y00	0	0
Y20	0.26	0.23
Y50	0.43	0.52
Y70	0.59	0.73

られる。そのため蒸着源の原料に含まれる YF_3 のモル比に対して $(Y, La)F_3$ 膜中に含まれる Y 組成比が小さいのは、 YF_3 の蒸気圧が LaF_3 よりも小さいことが原因であるためと考えられる。

次に $Y_xLa_{1-x}F_3$ 膜の結晶配向性を評価するために、Y の組成を変えた各試料について X 線回折測定をおこなった。図 3-6 に $LaF_3/GaAs(111)B$ 構造及び $Y_{0.59}La_{0.41}F_3/GaAs(111)B$ 構造における X 線回折パターンを示す。この結果から明らかのように、 YF_3 を添加した場合でも、その X 線回折パターンは六方晶 $(002n)$ 面からの回折ピークのみが観測され、それ以外の回折面からの回折ピークは全く観測されない。このことから、 YF_3 添加をおこなった $(Y, La)F_3$ 膜の $GaAs(111)B$ 基板上的における配向方向は $LaF_3/GaAs(111)B$ と同様の c 軸配向であることがわかった。

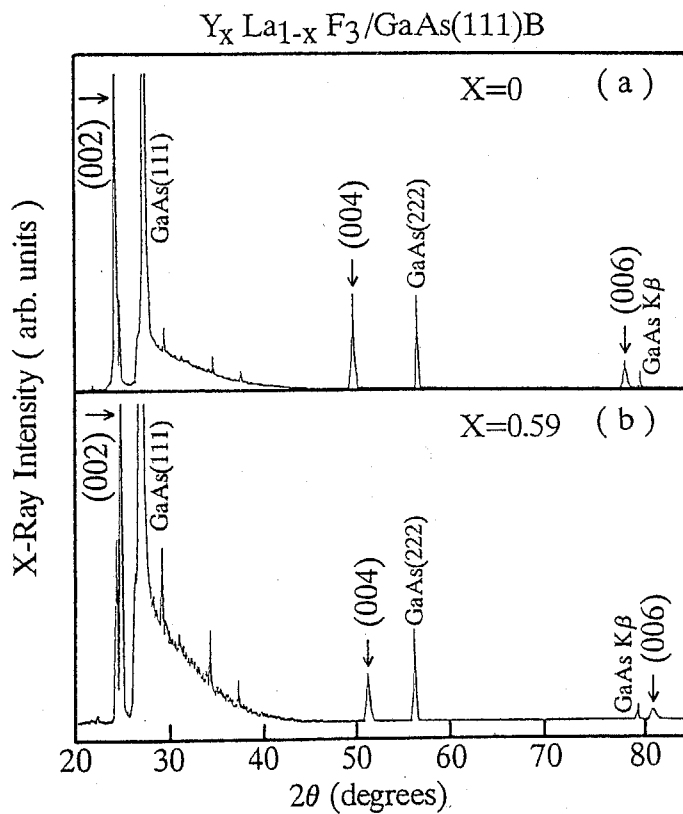


図 3-6 $Y_xLa_{1-x}F_3/GaAs(111)B$ 構造の X 線回折パターン
(a) $X=0$ の場合、(b) $X=0.59$ の場合

3-3-3 YF₃添加による格子定数制御

図3-6において、YF₃の添加によって(0 0 2n)回折ピークの回折角度が高角度側に移動しているのがわかる。Y_xLa_{1-x}F₃膜の組成比に対する(0 0 2)回折ピーク移動の様子を図3-7に示す。さらに(0 0 2)回折ピークの回折角度から求めたc軸方向の結晶格子の面間隔と膜中のY組成比との関係を表3-6にまとめ

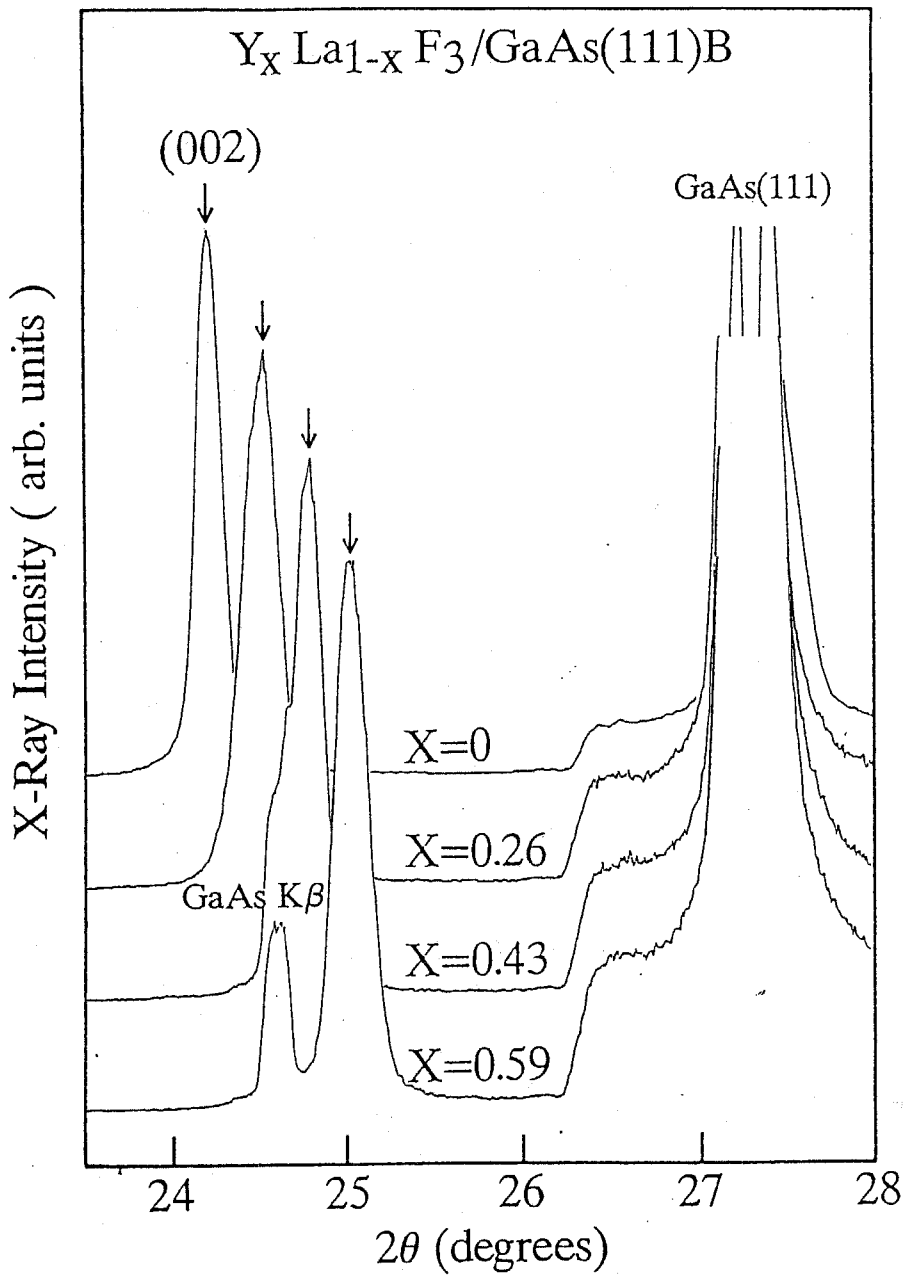


図3-7 Y_xLa_{1-x}F₃膜の組成比xに対する六方晶(0 0 2)回折ピーク付近のX線回折パターン

る。この結果から、 $Y_xLa_{1-x}F_3$ 膜の格子定数は Y の添加量に比例して減少し、組成比 0.59 の時に格子定数は LaF_3 の格子定数に対して約 3.3% まで減少することがわかった。この場合の Y の組成比に対する格子定数の変化量 ($3.3\%/0.59 = 5.6\%$) は LaF_3 に GdF_3 を添加した場合の格子定数の変化量 ($1.86\%/0.5 = 3.72\%$) と比較して約 1.5 倍大きいことがわかった。この結果は Gd 原子よりイオン半径の小さい Y 原子が LaF_3 結晶中の La サイトに置換されることで、より大きい格子定数の変化が生じたことを示している。

表 3-6 $Y_xLa_{1-x}F_3$ 膜の組成比 x に対する格子面間隔と変化量

試料名	組成比	C 軸方向の格子面間隔 (nm)	LaF_3 に対する格子面間隔の変化量 (%)
Y00	0	0.735	0
Y20	0.26	0.726	-1.22
Y50	0.43	0.717	-2.45
Y70	0.59	0.711	-3.27

3-3-4 X線極点図測定による格子定数の同定と格子整合条件

GaAs(111)B 基板の上に成長させた(Y, La)F₃ 膜は c 軸配向膜であるため、通常の 2 軸 X 線回折装置を用いて c 軸長の同定は容易であるが、その反面 a 軸長の同定は困難である。基板との格子整合条件を定量化するためには、Y の組成に対する (Y, La)F₃ 配向膜の a 軸長の変化量を正確に求める必要がある。ここでは X 線極点図測定装置を用いて GaAs(111)B 面上に成長させた (Y, La)F₃ 配向膜の極点図測定から構造パラメータを同定することで、Y の組成に対する a 軸長の変化量を求めた。

X 線極点図測定装置は主に多結晶体の選択配向を観測するために用いられている。極点図とは特定の結晶面の極の分布をステレオ投影したもので、得られる結果は極の配向とその密度の変化を示している。図 3-8 にステレオ投影の概念および極点図形の測定原理を模式的に示す。この図において結晶を中心とする球と結晶面の法線との交点を極という。測定装置の X 線源には CuK α 線 (波長 0.15406nm) を用いて、加速電圧 40kV、電流 30mA の測定条件で行った。なお、測定に用いた X 線極点図測定装置が 4 軸 X 線回折装置と異なる点は、

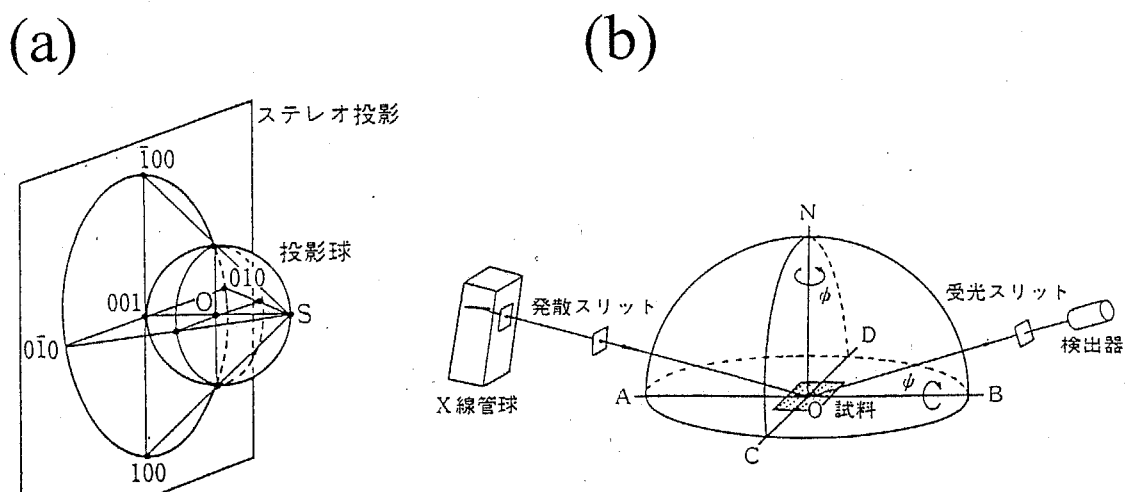


図 3-8 ステレオ投影の概念(a)と極点図形の測定原理(b)

1. 測定時に $2\theta - \theta$ は固定
2. ϕ 軸と ψ 軸の動きは連動 (ϕ が 360 度回転するに従って ψ は 5 度回転)

などである。構造パラメータの測定方法は図 3-9 に示す手順で行った。まず結晶構造および構造パラメーターが既知の試料（ここでは $\text{LaF}_3/\text{GaAs}(111)\text{B}$ 構造の試料を用いて 4 軸 X 線回折装置により c 軸長を求めた。）について測定を行い、そこで得られた設定値に基づいて、 Y の組成が異なる試料について測定を行った。まず a 軸長の同定に関しては、基板である GaAs と面間隔が離れていて、かつ比較的強い回折面である (302) 面を選び、(302) 面の極点の位置すなわち ϕ と ψ の角度を求める。次に (302) 極の位置で $2\theta - \theta$ 測定を行い、(302) 回折面の面間隔 d_{302} を求める。その d_{302} の値から六方晶の面間隔を与える式 (3-1) を用いて、 a 軸長を算出した。

$$\frac{1}{d_{hkl}^2} = \frac{4(h^2 + hk + k^2)}{3a^2} + \frac{l^2}{c^2} \quad (3-1)$$

ここで、 d_{hkl} は六方晶 ($h k l$) 面の面間隔、 a 、 c は格子定数である。なお c 軸長に関しては、 ϕ および ψ とも 0 度の時の $2\theta - \theta$ 測定から (002) 回折面の面間隔 d_{002} の値を求め、その値から上記の式 (3-1) を用いて c 軸長を算出した。

- (1) 試料を取り付け、面方位(302)について、回折条件を満たす $2\theta - \theta$ を固定する。なお正確な 2θ がわからないときは適当な値に設定する。具体的には LaF_3 の場合、 $2\theta_{302} = 50.46$ 度であるため、 $(\text{Y, La})\text{F}_3$ の試料については 50.46 度より大きい値に $2\theta_{302}$ を固定する。
- (2) (302)の極点は $50^\circ < \phi < 70^\circ$ にあるので、その範囲内で(302)極を探索する。
- (3) 極の近傍で $2\theta - \theta$ 測定をおこない、正確な $2\theta_{302}$ の値を求める。
- (4) (3) で求めた $2\theta_{302} - \theta_{302}$ に固定して、極点図測定をおこなう。
- (5) 他の極(032), ($\bar{3}$ 02)などについても(3)からの測定を繰り返しおこない、 $2\theta_{302}$ の値を決定する。
- (6) (002)についても(302)と同様におこない、 $2\theta_{002}$ の値を決定する。
- (7) $2\theta_{302}$ 、 $2\theta_{002}$ の値から、式(3-1)を用いて格子定数 a 、 c を算出する。

図3-9 極点図測定による格子定数の算出方法

表3-7に $(\text{Y, La})\text{F}_3$ 膜の組成 x に対する $2\theta_{302}$ 、 $2\theta_{002}$ の測定値および格子定数の算出結果を示した。ここで得られた c 軸長の値は、粉末X線回折装置による回折パターンのピーク位置から算出した c 軸方向の面間隔(表3-6)とを比較して、0.5%以下の誤差範囲内に収まっており、このことから表3-7の結果は妥当であるといえる。図3-10に $(\text{Y, La})\text{F}_3$ 膜の組成 x に対する格子定数及び LaF_3 に対する格子定数の変化量を示す。なお図中の a 軸長は六方晶 LaF_3 構造のサブユニットセルにおける軸長に変換した。変換公式はサブユニットセルの a 軸長を a_{sub} 、表3-7で示される a 軸長を a とした場合、以下の式(3-2)で表される。

$$a_{sub} = \frac{a}{\sqrt{3}} \quad (3-2)$$

この図から、(Y, La)F₃ 配向膜の組成比 x に対する a 軸長および c 軸長の変化量はそれぞれ-6.61%及び-6.65%と見積もられ、ほぼ等方的に格子定数が減少することがわかった。基板表面付近の As-As 結合長を GaAs (111)B 面に投影した場合の長さは、GaAs の格子定数 (0.56533 nm) に対して $1/\sqrt{2}$ であるから、 a_{sub} が $0.56533/\sqrt{2} = 0.39975\text{nm}$ に一致すれば、(Y, La)F₃ 膜の GaAs (111)B 上への格子整合条件が満足される。図中に格子整合条件が満足される場合の a 軸長および組成比を破線で示した。この結果から、Y_xLa_{1-x}F₃ 膜の組成比が約 0.55 の時に GaAs (111)B 基板との格子整合が達成されることがわかった。

表 3 - 7 極点図形測定による結果と格子定数の算出結果

試料名	$Y_xLa_{1-x}F_3$ 膜 の組成比	$2\theta_{302}$ (度)	$2\theta_{002}$ (度)	$Y_xLa_{1-x}F_3$ 膜の 格子定数	
				a 軸長 (nm)	c 軸長 (nm)
Y00	0	11.076*	50.50	0.718	0.739
Y20	0.26	24.57	51.40	0.706	0.724
Y50	0.43	24.79	51.86	0.700	0.718
Y70	0.59	25.07	52.66	0.690	0.710

* : 4 軸 X 線回折装置による測定結果 (X 線源 : Mo $K\alpha$ 波長 0.07135nm)

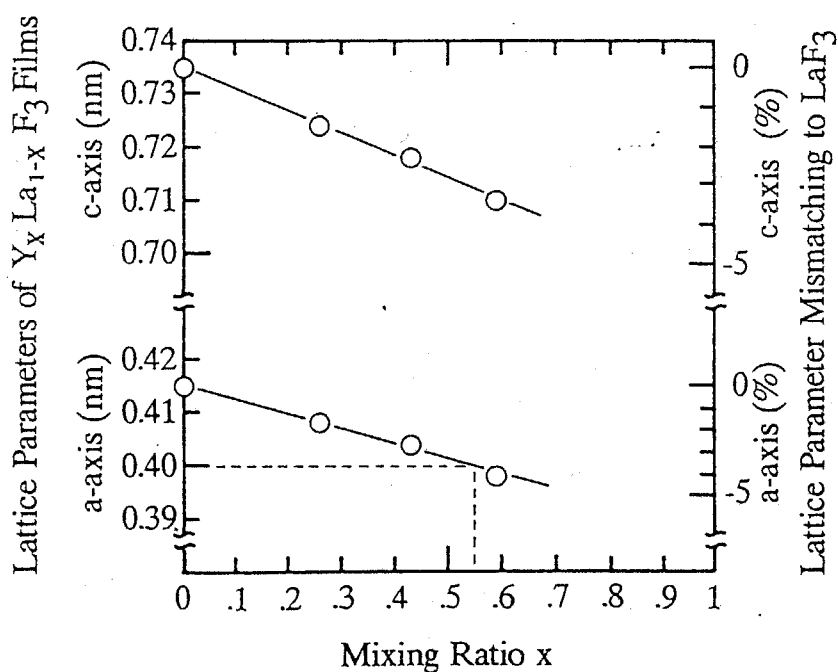


図 3 - 1 0 $Y_xLa_{1-x}F_3$ 膜の組成比に対する格子定数の変化

3-3-5 $Y_xLa_{1-x}F_3$ 膜の面内配向方位と結晶性評価

c 軸配向 $(Y, La)F_3$ 膜の面内配向方位を X 線極点図形測定によって調べた結果を図 3-11 に示す。測定に用いた試料は $Y_{0.59}La_{0.41}F_3/GaAs(111)B$ 構造のもの(試料名 Y70) で、 $2\theta_{302}=52.66$ 度に固定して測定を行った。図に示したように、 $(Y, La)F_3$ 膜の基板面内における配向方位は、 $GaAs\langle 111 \rangle // LaF_3\langle 001 \rangle$ 及び $GaAs\langle 10\bar{1} \rangle // LaF_3\langle 100 \rangle$ となっており、 $(Y, La)F_3$ 膜は $GaAs(111)$ 最表面の As 原子から成る trigonal cell 上に $(Y, La)F_3(001)$ 面におけるサブユニットの La(Y) 原子から成る trigonal cell が一致するように成長していることがわかった。同様な結果は、組成比が 0.59 以下の $(Y, La)F_3$ 膜においても観測されたことから、 $(Y, La)F_3$ 膜は $GaAs(111)B$ 基板上にエピタキシャル成長していることがわかった。

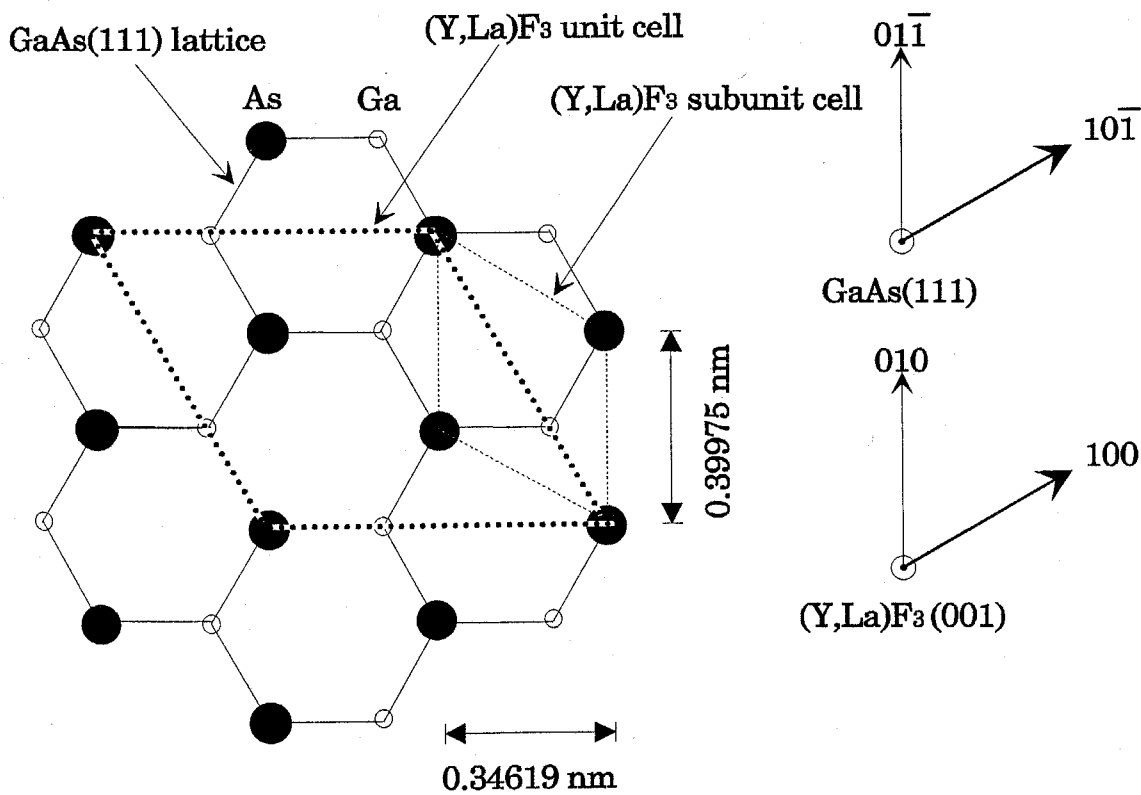


図 3-11 X 線極点図形測定により求めた $GaAs(111)B$ 面方位と $Y_{0.59}La_{0.41}F_3$ 膜面方位の関係

次に GaAs(111)B 基板上に成膜した $(Y, La)F_3$ エピタキシャル成長膜の結晶性を X線回折法による 2θ ロッキングカーブ測定及び RBS 法によるチャネリング測定から詳細に検討をおこなった。図 3-12 に $(Y, La)F_3$ 膜の組成比に対する (002) 回折ピークの 2θ ロッキングカーブ測定によって求めた半値全幅 (FWHM) の測定結果を示す。 $(Y, La)F_3$ 膜は組成比が約 0.55 で GaAs(111)B 基板と格子整合すること明らかになっているが、図 3-12 の結果は、格子不整が小さくなる組成比 0.5 付近で最も小さい FWHM、すなわち最も良い結晶性の膜が得られることを示している。

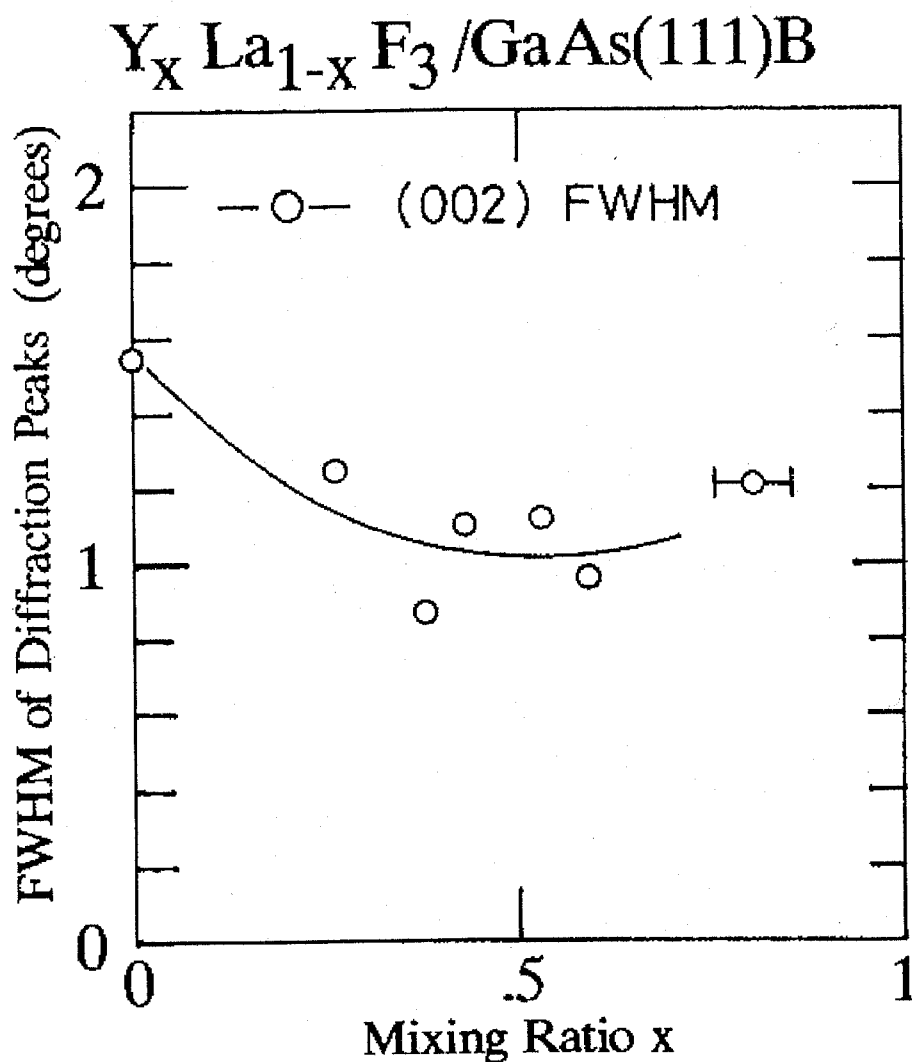


図 3-12 2θ ロッキングカーブより求めた $Y_x La_{1-x} F_3$ 膜における半値全幅 (FWHM) の測定結果

図3-13には $Y_{0.59}La_{0.41}F_3/GaAs(111)B$ 構造のRBS法によるチャネリング測定の結果を示す。He イオンの加速エネルギーは 1.5MeV、ドーズ量は 2.5 μ C で行った。膜の結晶性は、図中の La ピーク及び Y ピークにおけるランダムスペクトルとアラインスペクトルとの強度比較により算出した $Y_{0.59}La_{0.41}F_3$ 膜表面付近及び $Y_{0.59}La_{0.41}F_3/GaAs$ 界面付近でのチャネリング収率 (x_{min}) の値により評価をおこなった。その結果、膜表面付近では x_{min} の値は約 36%、界面付近では約 47%となり、同じ成膜条件で作製した $LaF_3/GaAs(111)B$ 構造の膜表面及び界面付近での x_{min} の値 (それぞれ約 26%、約 44%) と比較すると、ほぼ同じかむしろ劣る結果となった。 $LaF_3/GaAs(111)B$ 構造において、界面付近での結晶性が悪いのは、約 3.7%の格子不整合があるためと考えられるが、格子不整合が約 0.3%の $Y_{0.59}La_{0.41}F_3/GaAs(111)B$ 構造において、界面の結晶性が悪い理由としては2段階成長法における predeposition 膜堆積の条件等がまだまだ不十分であるため、成長初期において基板との pseudomorphic 成長が実現されていないことが原因であると考えられる。膜表面付近での結晶性は界面付近の結晶性が向上すれば改善可能であると考えられる。

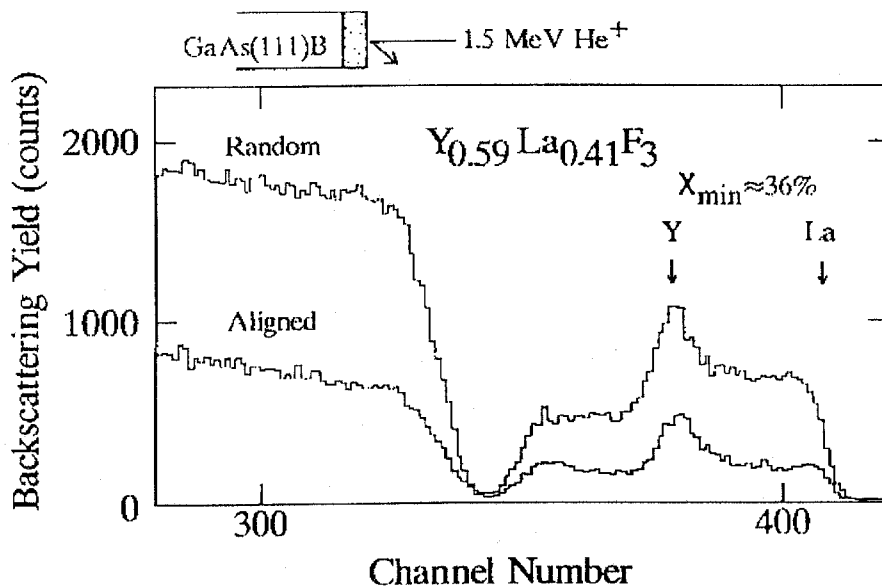


図3-13 RBS法による $Y_{0.59}La_{0.41}F_3/GaAs(111)B$ 構造のランダムスペクトルとアラインスペクトルの測定結果

3-4 $Y_xLa_{1-x}F_3$ /GaAs(111)構造の電気的特性とデバイス応用

3-4-1 $Y_xLa_{1-x}F_3$ 膜の電気的特性

GaAs(111)B 基板上に成長した $Y_xLa_{1-x}F_3$ 膜の電気的特性として、比誘電率と漏れ電流特性について評価を行った。具体的には、金属/ $Y_xLa_{1-x}F_3$ /GaAs(111) MIS ダイオードを作製し、基板と上部金属電極間に直流電圧もしくは測定信号を印加することで $Y_xLa_{1-x}F_3$ 膜の膜厚方向の電気的特性を評価した。試料は、低抵抗 n^+ 型 GaAs(111)B (キャリア濃度 $1.1 \times 10^{18} \text{ cm}^{-3}$) 基板上に $Y_xLa_{1-x}F_3$ 膜を 2 段階成長法で成膜した後、膜上に真空蒸着法によって直径 200~800mm の Ag 電極を室温形成することで作製した。図 3-14 に $Y_xLa_{1-x}F_3$ 膜の組成比 x に対する膜の比誘電率の測定結果を示す。比誘電率の値は、1MHz、15mV の測定信号に対する静電容量値から算出した。静電容量の測定には HP 社製 LCR 測定装置を用いた。なお $Y_xLa_{1-x}F_3$ 膜/GaAs 界面での表面空乏容量の影響を少なくするために、試料の金属-基板間には 0.5V の直流電圧を印加し、さらに外部光を照射しない (暗、dark) 状態で測定を行った。測定結果から、 YF_3 を添加しない LaF_3 膜では比誘電率は約 11 となる。この値はバルクの LaF_3 の比誘電率の値 (14) と近い。また YF_3 を添加した $Y_xLa_{1-x}F_3$ 膜においては組成比の増加によって比誘電率は低下し、 $Y_{0.77}La_{0.23}F_3$ 膜においては約 6.8 まで低下する。これは YF_3 自体の比誘電率が低いことが原因と考えられる。また測定周波数 1kHz から 1MHz の範囲における比誘電率の周波数依存性を図 3-15 に示す。測定結果では、低い周波数領域において一部の試料で漏れ電流に起因する比誘電率の増加現象が観測されたがそれ以外の $Y_xLa_{1-x}F_3$ 膜については比誘電率の周波数分散はほとんど見られなかった。

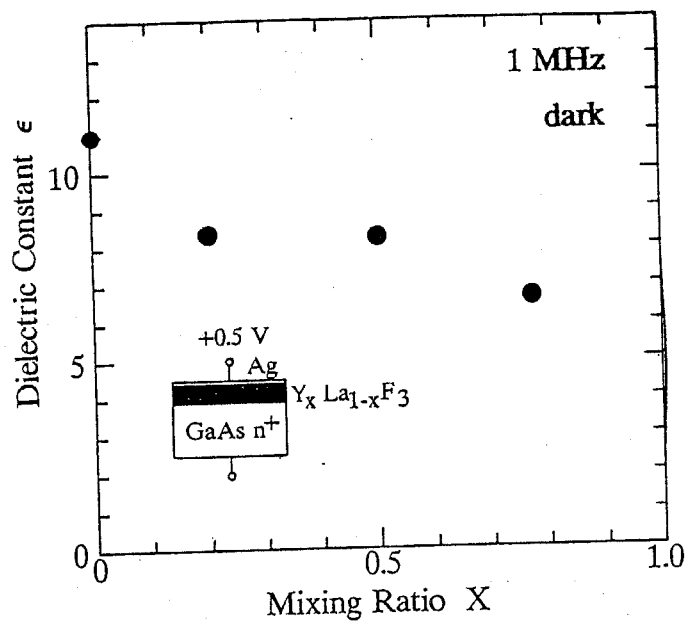


図 3-14 $Y_xLa_{1-x}F_3$ 膜の組成比に対する比誘電率

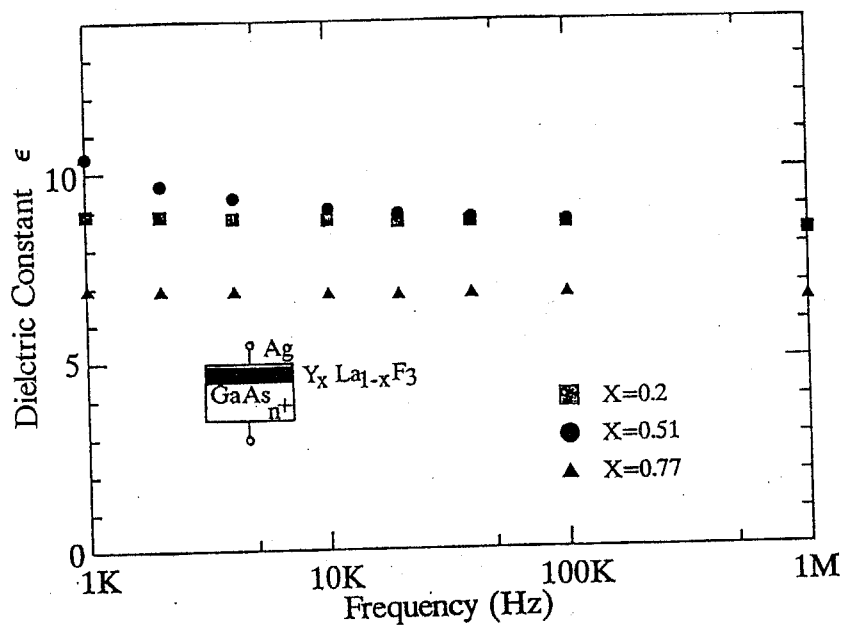


図 3-15 組成比の異なる $Y_xLa_{1-x}F_3$ 膜の比誘電率の周波数依存性

$Y_xLa_{1-x}F_3$ 膜の漏れ電流特性 (Frenkel-Pool プロット: \sqrt{E} - J 特性) を図 3-16 に示す。図中の■で示された測定点が $Y_xLa_{1-x}F_3$ 膜の測定結果、△および○で示された測定点は図 3-5 で示した GaAs(100)および GaAs(111)B 基板上における LaF_3 膜の測定結果である。この結果から 100kV/cm 以下の電界領域において、 $Y_xLa_{1-x}F_3$ 膜 ($x=0.5$) は LaF_3 膜より漏れ電流が低いことがわかった。 $Y_xLa_{1-x}F_3$ 膜の低い漏れ電流は、MIS デバイスのゲート絶縁膜に応用する上で重要な性質である。しかし、抵抗率の値は $10^{-7}A/cm^2$ の漏れ電流において $10^{12} \Omega \cdot cm$ 程度であり、100kV/cm 以上の電界領域では漏れ電流の増加によって抵抗率はさらに一桁近く減少した。図 3-17 に $Y_xLa_{1-x}F_3$ 膜の組成比に対する $10^{-7}A/cm^2$ の漏れ電流における抵抗率の測定結果を示す。この結果から分かるように YF_3 の添加による抵抗率の減少などは特に観測されないことから、印加電界の増加による漏れ電流の増加および抵抗率の低下は膜の結晶性に起因していると推測できる。その場合、漏れ電流の機構としては結晶粒界を流れるオーミック伝導が考えられる。すなわち $Y_xLa_{1-x}F_3$ 膜における漏れ電流の増加は、測定に用いた $Y_xLa_{1-x}F_3$ 膜が LaF_3 膜より結晶性が劣り、なおかつ膜厚が薄いことが原因であると考えられる。 $Y_xLa_{1-x}F_3$ 膜の成長条件を最適化してより完全結晶の成長膜が形成できればこの問題は解決できると考えられる。

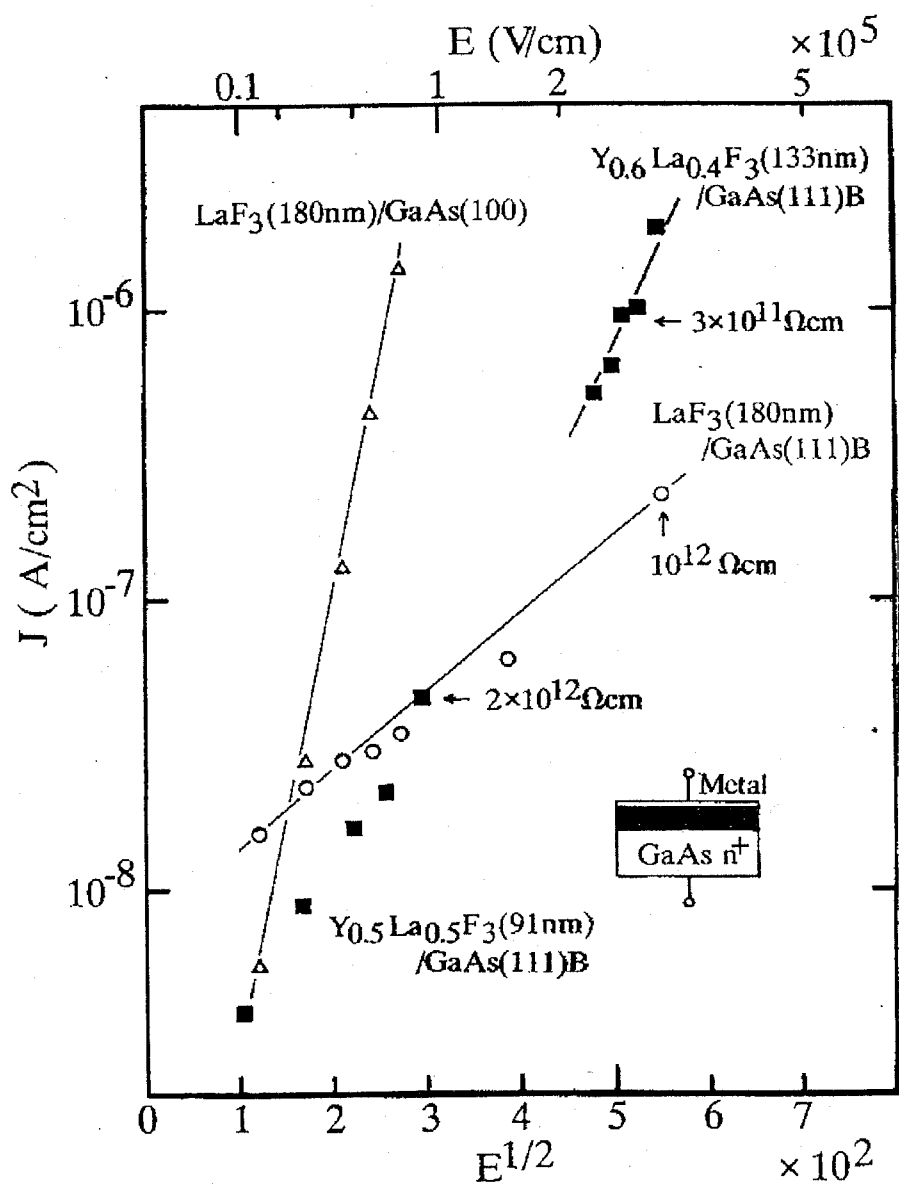


図3-16 $Y_xLa_{1-x}F_3$ 膜の漏れ電流特性
(Frenkel-Pool プロット: \sqrt{E} - J 特性)

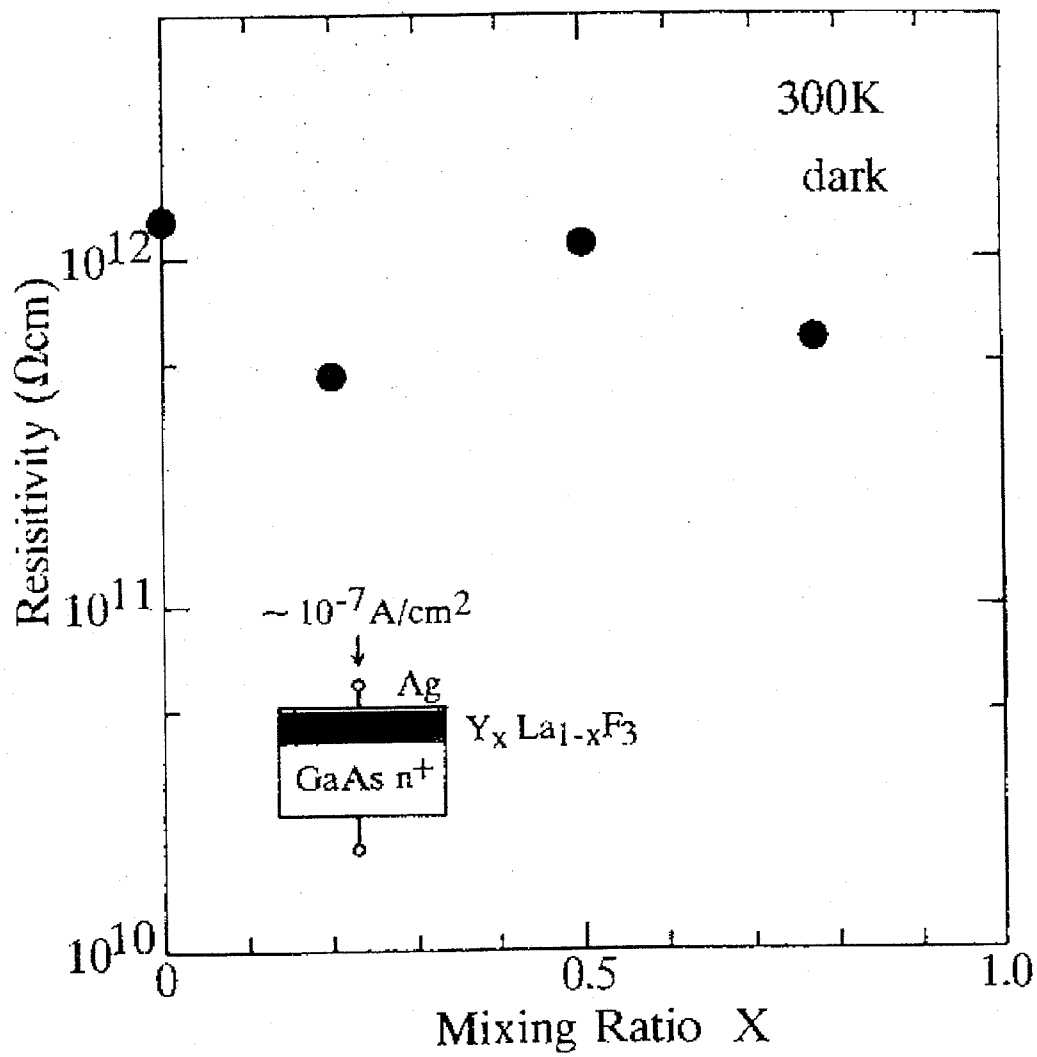


図 3 - 1 7 $\text{Y}_x \text{La}_{1-x} \text{F}_3$ 膜の組成比に対する
漏れ電流 10^{-7} A/cm^2 以下の抵抗率

3-4-2 $Y_xLa_{1-x}F_3/GaAs(111)$ 構造の界面特性とデバイス応用

$Y_xLa_{1-x}F_3/GaAs(111)$ 構造の界面特性は、n型 GaAs(111)B エピタキシャル基板上に $Y_xLa_{1-x}F_3$ 膜を成長した試料から MIS ダイオードを作製し、その 1MHz C-V 測定から評価を行った。試料の作製プロセスを図 3-18 に示す。下地半導体には、低抵抗 n 型 GaAs(111)B 基板 (キャリア濃度 $1.3 \times 10^{18} \text{ cm}^{-3}$) 上に約 $1 \mu\text{m}$ の Si ドープ n 型 GaAs エピタキシャル層 (キャリア濃度 $2 \times 10^{16} \text{ cm}^{-3}$) を MBE 法で成長したものを用いた。なお結晶性の良好な GaAs(111) エピタキシャル層を形成するために、基板には(111)面が $\langle -100 \rangle$ 方向に 1.5° 傾斜した傾斜基板を用いた。さらに GaAs 基板は $Y_xLa_{1-x}F_3$ 膜成長前にすべて室温 3 時間の $(\text{NH}_4)_2\text{S}_x$ 溶液処理を施した。 $Y_xLa_{1-x}F_3$ 膜は、MBE 装置を用いて GaAs(111)B 1.5° -off n 型エピタキシャル基板上及び低抵抗 n 型 GaAs(111)B 1.5° -off 基板上に 2 段階成長法によって成膜した。低抵抗 n 型 GaAs(111)B 1.5° -off 基板上の試料は $Y_xLa_{1-x}F_3$ 膜の誘電率や $Y_xLa_{1-x}F_3/GaAs(111)$ 構造の蓄積容量を求めるために作製した。2 段階成長法における predeposition 温度と成長温度はそれぞれ 200°C 、 500°C に設定した。なお傾斜基板を用いた場合においても $Y_xLa_{1-x}F_3$ 膜の配向性に変化はみられなかった。最後に、 $Y_xLa_{1-x}F_3$ 膜上に上部電極として銀の円形電極を真空蒸着法により形成することで、MIS ダイオードを作製した。

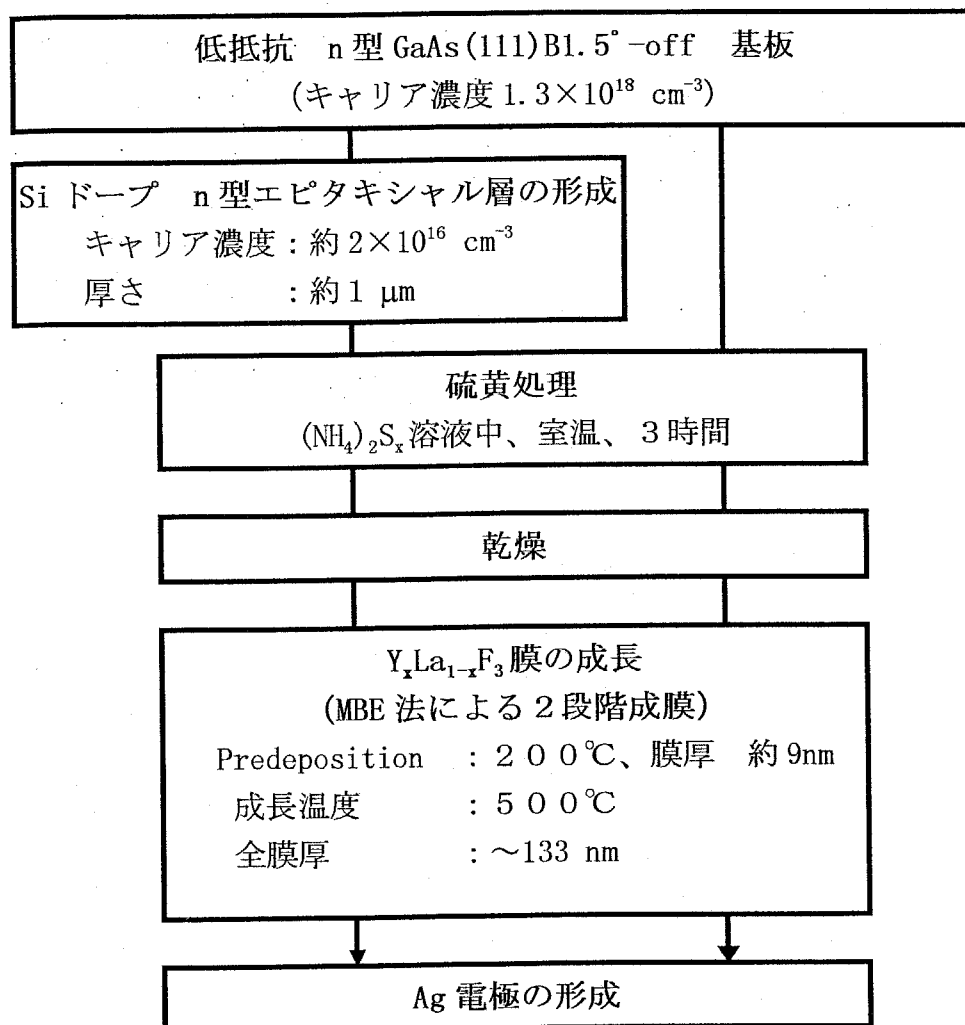


図 3-18 Ag/Y_xLa_{1-x}F₃/GaAs(111)B MIS ダイオードの作製プロセス

図 3-19 に Ag/Y_{0.6}La_{0.4}F₃/GaAs(111)B MIS ダイオードの 1MHz C-V 測定の結果を示す。測定に用いた試料の膜厚は約 133nm である。図の縦軸は、低抵抗 n 型 GaAs(111)B1.5°-off 基板上に作製した MIS ダイオードの容量値を蓄積容量と仮定して、その蓄積容量に対して測定値を規格化した値（規格化容量）で表した。同図においては、蓄積側（正）バイアス印加時の規格化容量値から Y_xLa_{1-x}F₃/GaAs(111) 界面特性を客観的に評価できる。今回測定に用いた試料構造の場合、フラットバンド状態および反転状態における理想的な規格化容量の計

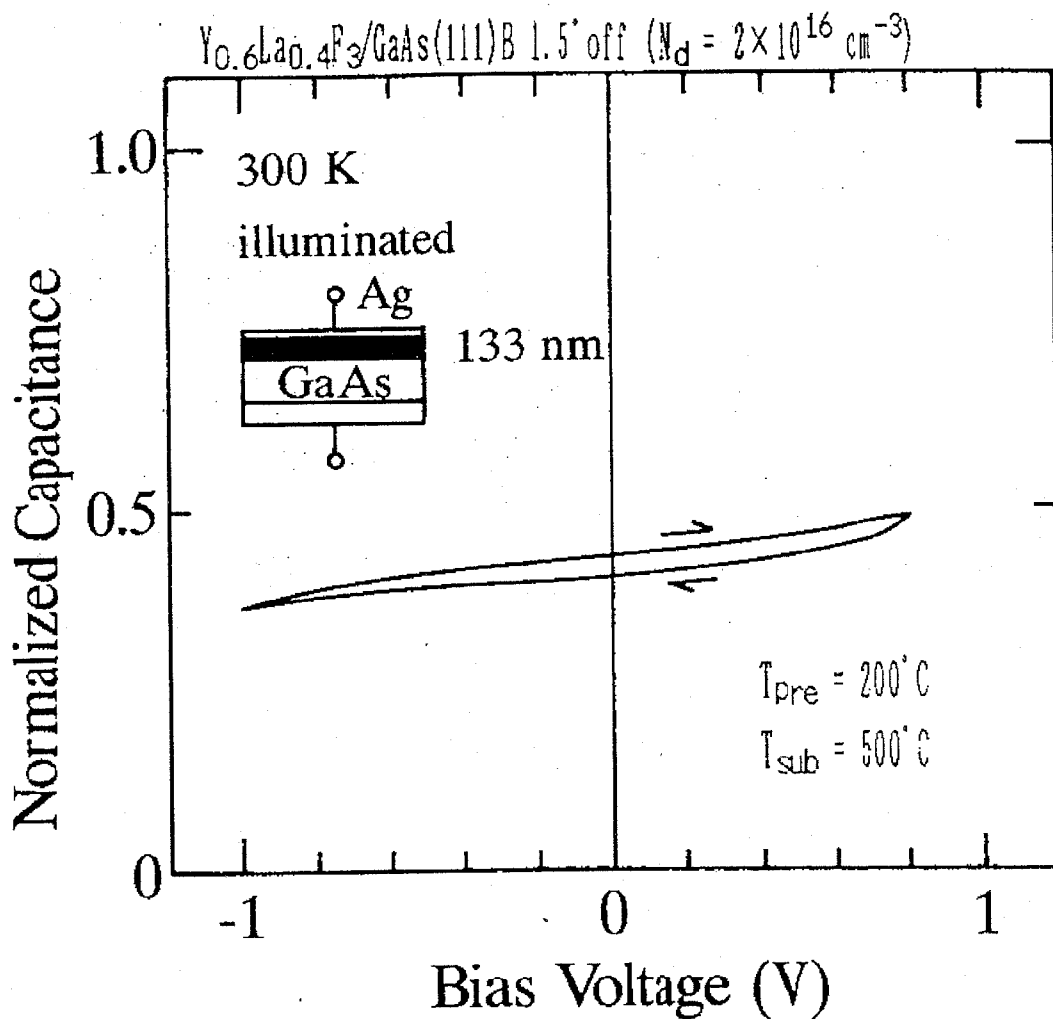


図 3-19 $Ag/Y_{0.6}La_{0.4}F_3/GaAs(111)B$ MIS ダイオードの 1MHz C-V 特性

算値はそれぞれ約 0.89 および約 0.46 であった。この計算値から負バイアス印加において測定結果はほぼ反転状態にあるといえるが、正バイアス印加においてはフェルミレベルはほとんど変化せず、表面ポテンシャルが固定 (ピンング) されていることがわかる。

理想状態の MIS ダイオードにおいて、規格化容量 C/C_i および表面ポテンシャル ψ_s は以下の式で与えられる。

$$\frac{C}{C_i} = \frac{1}{1 + \frac{\epsilon_i}{\epsilon_s} \cdot \frac{W}{d}} \quad (3-3)$$

$$\psi_s = \frac{q \cdot N_D \cdot W^2}{2\epsilon_s \epsilon_0} \quad (3-4)$$

ここで、 C はMISダイオードの容量、 C_i は誘電体膜の容量、 N_D はキャリア濃度、 W は半導体側の空乏層厚さ、 ϵ_s は半導体の比誘電率、 ϵ_0 は真空の誘電率、 d は誘電体膜の厚さ、 ϵ_i は誘電体膜の比誘電率である。図3-19において、式(3-3)および式(3-4)を用いて正バイアス印加時の規格化容量から表面ポテンシャル ψ_s を計算すると、約0.85eVとなる。なおこの計算における $Y_{0.6}La_{0.4}F_3$ 膜の比誘電率の値は7とした。半導体中のフェルミレベルと真性フェルミレベルとの差 ψ_b はこの場合約0.60eVであるから、 $Y_xLa_{1-x}F_3/GaAs(111)$ 構造において正バイアス印加時に表面ポテンシャルは価電子帯端から約0.46eVの位置でピンングされることがわかった。 $Y_xLa_{1-x}F_3/GaAs(111)$ 構造におけるピンング位置は、一般的な絶縁体/GaAs構造における界面準位密度の最小値の位置とほぼ一致するが、界面準位密度が非常に大きい($10^{13} \text{ cm}^{-2}\text{eV}^{-1}$ 以上)ため正バイアス印加において蓄積状態まで表面ポテンシャルが変化しないと考えられる。

$Y_xLa_{1-x}F_3/GaAs(111)$ 界面に存在する高密度の界面準位は、界面における結晶性の不完全性以外に界面における化学結合の不完全性によるダンゲリングボンドの発生が原因と考えられる。そこで、 $Ag/Y_xLa_{1-x}F_3/GaAs(111)B$ MIS ダイオードの作製において、predeposition 後に真空中 $650^\circ C$ 、5分の熱処理を行うことで、 $Y_xLa_{1-x}F_3/GaAs(111)$ 界面の改善を試みた。図3-20に、そのように作製した $Ag/Y_{0.5}La_{0.5}F_3/GaAs(111)B$ MIS ダイオードの 1MHz C-V 特性を示す。なおこのダイオードにおける $Y_{0.5}La_{0.5}F_3$ の膜厚は約 127nm である。この結果から、正バイアス印加における規格化容量が 0.6 以上となり、熱処理によってフェルミレベルのピンニングが緩和され、界面特性が改善されることがわかった。これは熱処理をおこなうことで $Y_xLa_{1-x}F_3/GaAs(111)$ 界面における結晶構成原子が再配列

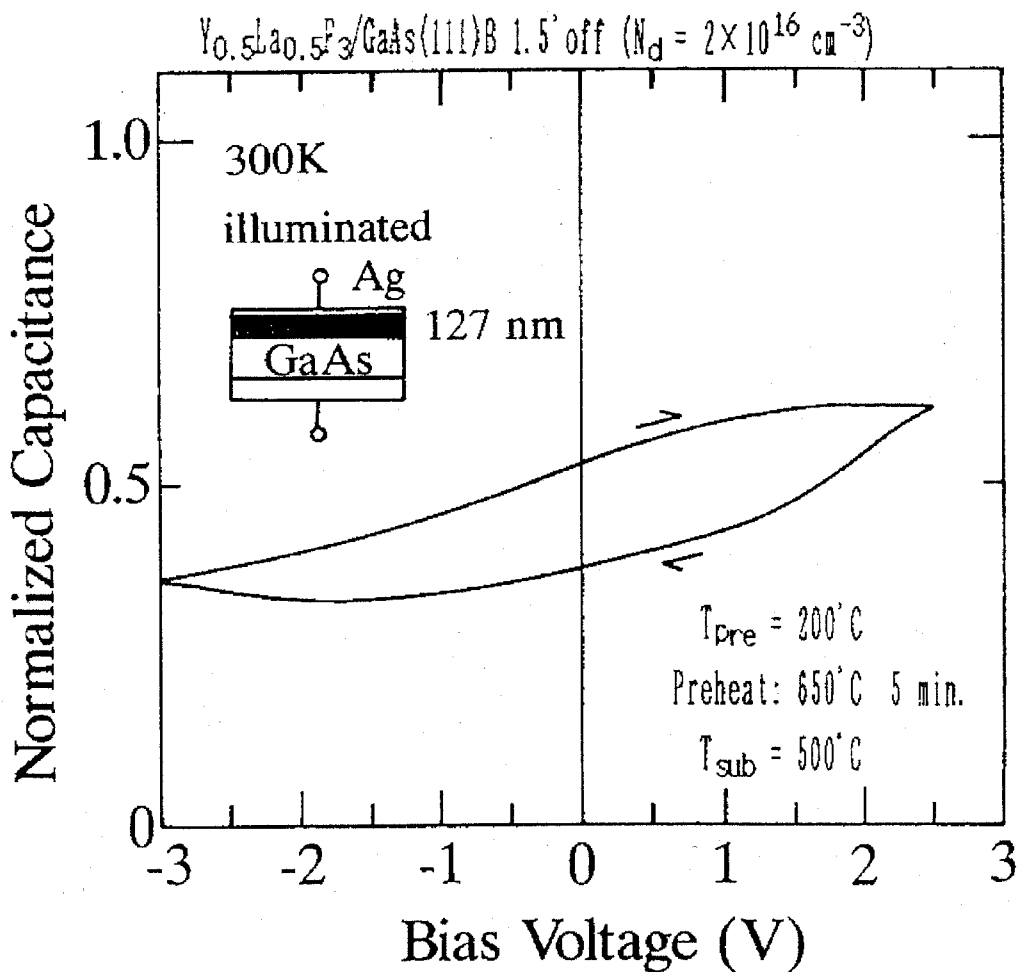


図3-20 predeposition 後に $650^\circ C$ 、5分の熱処理を施した $Ag/Y_{0.5}La_{0.5}F_3/GaAs(111)B$ MIS ダイオードの 1MHz C-V 特性

し、界面での化学結合状態が改善されたためと考えられる。そのため成長初期での $Y_xLa_{1-x}F_3$ 膜の成長制御を最適化して、pseudomorphic な $Y_xLa_{1-x}F_3/GaAs(111)$ 界面が実現できれば、熱処理との併用によって GaAsMIS デバイスに適用可能な $Y_xLa_{1-x}F_3/GaAs(111)$ 構造が作製できると考えられる。

3-5 まとめ

本章では GaAs MIS デバイスの結晶性ゲート絶縁膜として希土類弗化物混晶 $Y_xLa_{1-x}F_3$ 薄膜を提案し、GaAs(111)基板上へのエピタキシャル成長を試みた。加えて $Y_xLa_{1-x}F_3$ /GaAs(111)構造の界面特性について評価を行い、以下の結論を得た。

1. 希土類弗化物 LaF_3 に YF_3 を添加した $Y_xLa_{1-x}F_3$ 混晶の GaAs(111)基板上へのエピタキシャル成長を初めて実現した。また、 YF_3 の添加による格子定数変化を確認し、 $Y_xLa_{1-x}F_3$ 膜の組成比 x が約 0.55 で GaAs(111)B 基板との格子整合エピタキシャル成長が可能であることを明らかにした。
2. $Y_xLa_{1-x}F_3$ 膜の抵抗率は YF_3 の添加量によらず $10^{-7}A/cm^2$ の漏れ電流において $10^{12} \Omega \text{ cm}$ 程度であり、GaAsMIS デバイスのゲート絶縁膜として十分な絶縁性を持つことを明らかにした。2段階成長法により作製した $Y_xLa_{1-x}F_3$ /GaAs(111)B 構造の界面特性は、GaAsMIS デバイスへの応用を考えた場合不十分であるが、predeposition 後の熱処理によってフェルミレベルのピンギングが緩和され、界面特性が改善されることを明らかにした。

参考文献

1. T. Mimura, S. Hiyamizu, T. Fujii and K. Nanbu: Jpn. J. Appl. Phys. 19, 225(1980).
2. K. Matsumoto et al.: Electron Lett. 20, 462(1984).
3. P. M. Solomon et al.: IEEE Electron Device Lett. EDL-5, 379(1984).
4. R. F. C. Farrow et al.: J. Vac. Sci. & Technol. 19, 415(1981).
5. H. Ishiwara et al.: Proc. 13th Conf. Solid State Devices, Tokyo, 1981, Jpn. J. Appl. Phys. 21, Suppl. 21-1, 187(1982).
6. S. Sinharoy et al.: J. Appl. Phys. 62, 875(1987).
7. K. H. Kim et al.: Jpn. J. Appl. Phys. 27, L2180(1988).
8. T. Waho et al.: IEEE Electron Device Lett. 9, 548(1988).
9. H. Ishiwara et al.: Solid State Electron. 33, Suppl. 243(1990).
10. T. Waho et al.: Jpn. J. Appl. Phys. 30, 221(1991).
11. S. Sinharoy et al.: J. Vac. Sci. & Technol. B3, 722(1985).
12. S. Sinharoy et al.: J. Vac. Sci. & Technol. A3, 2323(1985).
13. S. Sinharoy et al.: J. Appl. Phys. 59, 273(1986).

第4章

強誘電性弗化物 BaMgF₄ 膜の半導体基板上への成長

強誘電体を用いた不揮発性メモリや適応学習型デバイスなどの次世代電子デバイスを実現する上で半導体基板上への強誘電体膜の成長技術を確立することが重要となる。本章では、強誘電性弗化物 BaMgF₄ が従来の酸化物強誘電体に替わる強誘電体材料として、本章の目的を達成する上で有効な材料であることを示した上で、実際に半導体基板上への強誘電性弗化物 BaMgF₄ 膜の成長を試みている。

目次

- 4-1 はじめに
 - 4-1-1 強誘電性弗化物の種類
 - 4-1-2 強誘電性弗化物の選択
 - 4-1-3 BaMF₄系強誘電体の性質
 - 4-2 BaMgF₄膜の GaAs および Si 基板上への形成
 - 4-2-1 BaMgF₄膜の形成法
 - 4-2-2 高真空における BaMgF₄膜の形成
 - 4-2-3 BaMgF₄膜堆積装置の概要
 - 4-2-4 BaMgF₄膜の形成工程
 - 4-3 GaAs 基板上に形成した BaMgF₄膜の評価
 - 4-3-1 X線回折法による結晶配向性の評価
 - 4-3-2 成長温度および熱処理による結晶性の変化
 - 4-3-3 SIMS 法による BaMgF₄膜/GaAs 界面の評価
 - 4-4 Si 基板上に形成した BaMgF₄膜の評価
 - 4-4-1 X線回折法による結晶配向性の評価
 - 4-4-2 ラザフォード後方散乱法による結晶性の評価
 - 4-4-3 面内配向性の評価
 - 4-4-4 BaMgF₄膜のエピタキシャル方位
 - 4-4-5 BaMgF₄エピタキシャル膜の基板との整合性
 - 4-5 まとめ
- 参考文献

4-1 はじめに

4-1-1 強誘電性弗化物の種類

強誘電性弗化物に関する研究は比較的新しく 1960 年代ごろから主にバルク結晶の作製と結晶構造について報告されている。表 4-1 に強誘電体として報告されている主な弗化物を示す。この表からわかるように、これらの強誘電性弗化物はほとんど 2 元あるいは 3 元系の無機化合物と有機化合物であるポリ弗化ビニル系から構成されている。なお表の分類上、 AF_x+MF_y 系は AF_x と MF_y との化合物から成ることを意味する。また、A と M は任意の金属元素を表す。

まず、 AF_x+MF_y 系では、主にアルカリ金属元素、アルカリ土類金属元素あるいは鉛などの典型金属元素の弗化物と Mn、Co、Ni、Fe などの d 殻遷移の遷移金属元素の弗化物との化合物から構成されることがわかる。また一部には $BaMgF_4$ や $Sr_5Ga_3F_{19}$ などのように典型金属元素の弗化物同士の化合物なども報告されている。傾向としては、遷移金属元素を含むことでキュリー温度が高くなり、強誘

表 4-1 強誘電性弗化物の種類

$AF+MF_2$ 系 ^{1, 2, 3}	$K_{3-x}Fe_xF_{15}$ ($0 < x < 0.2$) KMnF ₃ RdCdF ₃
$AF+AF_3$ 系 ⁴	NaLaF ₄
AF_2+MF_2 系 ^{5, 6}	BaMF ₄ M=Mg, Zn, Mn, Fe, Co, Ni
AF_2+MF_3 系 ^{7, 8}	$Sr_5M_3F_{19}$ $Ba_5M_3F_{19}$ M=Ti, V, Cr, Fe, Ga $Pb_5(Cr_{1-x}M_x)_3F_{19}$ M=Al, Fe
$(NH_4)_2SO_4$ 系 ^{2, 3}	$(NH_4)_2BeF_4$
$-(C, H, F)_m$ -系 ⁹	PVDF (polyvinyliden-fluoride) VDF (vinyliden-fluoride) TrFE (trifluoro-ethylene) P (VDF-TrFE)

電性が現れやすいとされている。

表4-2に代表的な強誘電性弗化物の結晶構造、格子定数、バルク結晶の形成方法などを示す。表から AF_2+MF_2 系以外は正方晶の結晶構造をもつことがわかる。また、その格子定数は含まれる元素の種類によって異なり、その格子定数の違いは含まれる元素のイオン半径に比例する傾向が見られる。また今までに報告されている強誘電性弗化物の結晶構造や成長方法はバルク結晶についてのみであり、薄膜については $BaMgF_4$ についてのものが唯一報告されている。¹⁰また表4-2下に基板として用いるSiおよびGaAsの格子定数を示したが、結晶構造および格子定数との比較からそれぞれの基板上に格子整合条件で成長可能な強誘電性弗化物は見つけられなかった。

表 4-2 強誘電性弗化物の結晶構造およびバルクの形成方法

系	物質名	結晶構造	格子定数 (nm)	バルク形成法		
AF+MF ₂ 系	K ₃ Fe ₅ F ₁₅	orthorhombic	a=1.2750 b=1.2637 C=0.3986 (at 295K)	Pape's 法 粉末原料を封止した金 tube に入れ、乾燥アルゴン中 1000K で 15 時間焼成。		
	K _{3-x} Fe ₅ F ₁₅	tetragonal (x>0.075)	a=1.2682 c=不明 (x=0.075)			
AF ₂ +MF ₂ 系	BaMgF ₄	orthorhombic	a=0.4125 b=1.4509 c=0.581	Bridgman 法		
	BaZnF ₄	orthorhombic	a=0.4296 b=1.4563 c=0.5841			
AF ₂ +MF ₃ 系	Sr ₅ Ti ₃ F ₁₉ Sr ₅ V ₃ F ₁₉ Sr ₅ Cr ₃ F ₁₉ Sr ₅ Fe ₃ F ₁₉ Sr ₅ Ga ₃ F ₁₉	tetragonal	a=1.440, c=0.7328 a=1.433, c=0.7323 a=1.419, c=0.7259 a=1.433, c=0.7314 a=1.421, c=0.7272	Pape's 法 粉末原料を封止した金 tube に入れ、乾燥ヘリウム中 970K で 15 時間焼成。		
	Ba ₅ Ti ₃ F ₁₉ Ba ₅ V ₃ F ₁₉ Ba ₅ Cr ₃ F ₁₉ Ba ₅ Fe ₃ F ₁₉ Ba ₅ Ga ₃ F ₁₉	tetragonal	a=1.491, c=0.7665 a=1.488, c=0.7647 a=1.472, c=0.7603 a=1.478, c=0.7678 a=1.473, c=0.7604			
	Pb ₅ (Cr _{1-x} Al _x) ₃ F ₁₉	tetragonal	a=2.0188, c=0.7215 (x=1) ~ a=2.03, c=0.74 (x=0)		Pape's 法 粉末原料を封止した金 tube に入れ、乾燥窒素中 825K で 15 時間焼成。	
	Pb ₅ (Cr _{1-x} Fe _x) ₃ F ₁₉	tetragonal	a=2.04, c=0.742 (x=1) ~ a=2.03, c=0.74 (x=0)			
	基板	Si	cubic		a=0.543095 (300K)	
		GaAs	cubic		a=0.56533 (300K)	

表4-3にキュリー温度、誘電率、屈折率を示す。表から $\text{Sr}_5\text{Ga}_3\text{F}_{19}$ 系が高誘電率、高キュリー温度な材料であることがわかる。また、構成元素とこれらのパラメータとの相関関係は特に見られないが、 $\text{Pb}_5(\text{Cr}_{1-x}\text{M}_x)_3\text{F}_{19}$ 系については、Mの組成によってほぼ直線的にキュリー温度が変化する特性が報告されている。

表4-3 強誘電性弗化物の融点、キュリー温度、誘電率、屈折率

物質名	融点(K)	キュリー温度(K)	誘電率	屈折率	試料形状
$\text{K}_{3-x}\text{Fe}_5\text{F}_{15}$		230 ($x=0.2$)	33 (1kHz)		厚さ1mm、直径8mmの円板
BaMgF_4	1138	融点以上	$\epsilon_a=8.5$ $\epsilon_b=14$ $\epsilon_c=8$ (100MHz)	$n_a=1.467$ $n_b=1.439$ $n_c=1.458$ (1.06mm)	
BaZnF_4			$\epsilon_a=11$ $\epsilon_b=17$ $\epsilon_c=10$ (100MHz)	$n_a=1.514$ $n_b=1.490$ $n_c=1.507$ (1.06mm)	
$\text{Sr}_5\text{Ti}_3\text{F}_{19}$	980	755	10800		厚さ0.5~1mm、直径8mmの円板
$\text{Sr}_5\text{V}_3\text{F}_{19}$	1090	735	2440		
$\text{Sr}_5\text{Cr}_3\text{F}_{19}$	1170	953	1600		
$\text{Sr}_5\text{Fe}_3\text{F}_{19}$	1060	720	2510		
$\text{Sr}_5\text{Ga}_3\text{F}_{19}$	1130	893	11600		
$\text{Ba}_5\text{Ti}_3\text{F}_{19}$	1180	1005	22000		
$\text{Ba}_5\text{V}_3\text{F}_{19}$	1290	1020	15000		
$\text{Ba}_5\text{Cr}_3\text{F}_{19}$	1350	1090	17700		
$\text{Ba}_5\text{Fe}_3\text{F}_{19}$	125	960	19120		
$\text{Ba}_5\text{Ga}_3\text{F}_{19}$	1210	1070	53600		
$\text{Pb}_5\text{Cr}_3\text{F}_{15}$		545	2000		厚さ1mm、直径8mmの円板

表4-4に自発分極および抗電界の値を示す。報告されている値自体少ないが、自発分極はBaTiO₃などの酸化物強誘電体と比較して約1/5程度と低いことがわかる。

表4-4 強誘電性弗化物の自発分極および抗電界

物質名	自発分極 ($\mu\text{C}/\text{cm}^2$)	抗電界 (kV/cm)	分極方向
BaMgF ₄	7.7	50	[100]
BaZnF ₄	9.7		
BaCoF ₄	8		
BaNiF ₄	6.7		
PVDF	8	800	

4-1-2 強誘電性弗化物の選択

本研究の目的を達成するために要求される特性などから本章で用いる強誘電性弗化物の選択を行う。まず要求される材料としての特徴を以下に列挙する。

- (1) 不純物として半導体デバイスの動作に影響を与える元素を含まない。
- (2) 結晶の形成が容易である。

(1) について、本研究では半導体基板上に強誘電体材料を形成し、強誘電体/半導体界面に形成される反転キャリアを利用したデバイスを作製するため、そのデバイス性能に影響を及ぼす不純物の存在は出来るだけ取り除くことが必要と考えている。一般的に強誘電体は様々な金属元素からなる複合化合物であるが、そうした化合物を半導体上に形成した場合にそれらの構成元素がデバイス動作にどのような影響を与えるかは全く未知の問題である。そのため、デバイス動作に影響を与えると考えられる不純物元素を含む強誘電体材料は本章の目的を達成する上で不適當であると判断した。具体的には、アルカリ金属元素、遷移金属元素、そして鉛を構成元素とする強誘電性弗化物が該当する。アルカリ金属元素については、可動イオンとして酸化膜中などに含まれると MOS デバイスの閾値変化などデバイスの安定性に影響を与えることが知られている。遷移金属元素については、その多くが半導体中に不純物として取り込まれた場合、禁制帯中の midgap 付近に深い準位を形成する。MIS デバイスのように界面を走行する少数キャリアを利用するデバイスでは、キャリアがそのような深い準位に捕捉されるためにデバイス動作に重大な影響を与える。また遷移金属は Si と比較的低い温度で反応し、シリサイドを形成することが知られている。シリサイドは金属のような導電性を持つため、強誘電体/半導体構造デバイスの界面にこうしたシリサイド層が形成された場合、もはやデバイスとしての動作は不可能となる。鉛については、遷移金属と同じく半導体の不純物として深い準位を形成する。また鉛酸化物はシリコン酸化物と比較的低温で反応することが知

られており、これは PZT などの鉛系強誘電体酸化物を MFS 構造のデバイスに応用するうえで大きな問題となっている。以上のことを踏まえて、(1) の条件に該当する強誘電性弗化物として $BaMF_4$ 系 ($M=Mg, Zn$) および $(Sr, Ba)_5M_3F_{19}$ 系 ($M=Ti, Ga$) が適していると判断した。

(2) については、所望の化合物が化学量論組成に従って形成できることが重要となる。またホタル石型結晶構造をもつイオン導電体で見られるように、価数の異なる金属元素から成る弗化物同士の混晶は過剰な弗素あるいは弗素の欠損が材料中に導入され、こうした場合に弗素は可動イオンとして膜中を伝導することが知られている。¹¹ このことは酸化膜中に導入されたアルカリ金属イオンと同じ振る舞いによって、半導体デバイスの動作を不安定にさせる原因となる。現在、表 4-1 中に挙げた強誘電性弗化物を得るためには、各構成金属元素の弗化物から形成する方法が唯一と考えられる。その場合、各構成金属元素の価数が同じであることが化学量論組成に従った材料を形成する上で重要と思われる。ここでは(1)の条件によって選択された $BaMF_4$ 系弗化物がそれに該当する。次に、この結晶の形成が容易かどうかを検証する必要があるが、本章では、熱平衡条件下で上記の強誘電性弗化物のバルク結晶が形成できるかどうかによって判断した。ここではまず、 BaF_2 と MgF_2 の材料を等モル比で混合させた粉末をグラファイト製のつぼに入れ、通常の電気炉で焼成することで $BaMgF_4$ 結晶の形成を試みた。この場合の焼成温度は報告されている $BaMgF_4$ の融点 (865°C) より高い 960°C で行い、窒素雰囲気中、6 時間の焼成を行った。焼成後の混合物の形態は丸い透明の結晶体であった。この結晶体を瑪瑙 (めのう) の播り鉢で粉体にし、X線回折装置で結晶性を評価した。その結果を図 4-1 に示す。結果から、原料の BaF_2 及び MgF_2 からの回折ピークは全く観測されず、 $BaMgF_4$ 結晶からの回折ピークのみが観測された。観測されたほとんどの回折ピークについて、既に報告されている $BaMgF_4$ バルク結晶の格子定数を用いて回折次数が同定できた。このことから $BaMgF_4$ の結晶は BaF_2 および MgF_2 を原料にして容易に形成できることが確かめられた。なお、強誘電性弗化物である $Ba_5Ga_3F_{19}$ につい

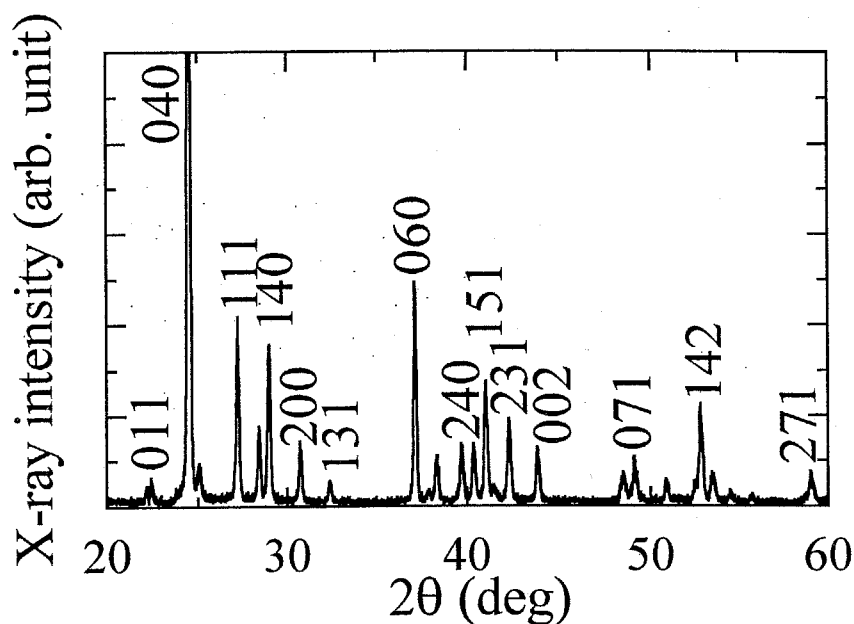


図 4-1 BaF₂ と MgF₂ 混合焼結体の X 線回折パターン

て、BaF₂ と GaF₃ を原料にして同様な実験を行ってみたところ、X線回折パターンで見える限り、原料からの回折ピークのみが存在し、所望の Ba₅Ga₃F₁₉ 結晶からの回折ピークは全く観測できなかった。以上の検討から、(2) の条件に該当する材料としては BaMF₄ 系を選択した。

なお、これまでは無機弗化物からなる強誘電性弗化物について検討してきたが、ポリフッ化ビニル系においては Au をコートしたガラス基板上への薄膜形成が報告されるなどして非常に興味深い。¹²しかし、表 4-4 において抗電界の値を比較すると、PVDF では 800kV/cm 程度と BaMgF₄ の 50kV/cm に対して非常に大きい。一般にポリ弗化物系強誘電体は抗電界が大きいいため、デバイス化した場合に動作電圧の上昇を伴く。現在の半導体デバイスでは動作電圧を低電圧化する方向で設計、製作が行われているため、この点から低い抗電界を有する BaMF₄ 系は強誘電体材料として適しているといえる。

以上の検討から本章の研究目的を達成するためには BaMF₄ 系 (M=Mg, Zn) の強誘電性弗化物が最適であるとした。

4-1-3 BaMF₄系強誘電体の性質

BaMF₄系弗化物の性質に関しては1968年にEibschutzらによって初めて報告されている。¹³これらの弗化物はMのサイトにMn、Niなどのd殻遷移金属が入ることで同一結晶構造を持つイオン結合性化合物が形成され、またその性質として強い圧電性、低温での反強磁性を持つことから注目された。さらに同年Schneringらにより典型金属であるMg、ZnがMサイトに入った場合でも同一の結晶構造をとることが初めて報告されている。¹⁴またBaMF₄系弗化物の強誘電特性は1969年Eibschutzらによって初めて報告された。⁵パルス電界印加法を用いて測定された室温での自発分極値はBaMgF₄結晶で7.7μC/cm²、100MHzでの誘電率は $\epsilon_a=8.5$ 、 $\epsilon_b=14$ 、 $\epsilon_c=8$ と報告されている。キュリー温度に関しては比誘電率のstress free及びstrain freeにおける温度依存性から融点以上に存在することが報告されている。BaMF₄の結晶構造と分極の機構についてはKeveらによって主にBaMnF₄について報告されている。¹⁵これらの結晶はA21am空間群に属する斜方晶の結晶構造をとるとされる。この結晶構造では、図4-2に示すようにMF₆からなる八面体格子が格子の角を共有するように(010)面に平行な方向に形成されたpuckered sheetがBa原子間とのイオン結合でのみ結合しているため、(010)面が劈開面となる。分極機構については図4-2に示すように同一平面内にあるM原子及びF(1)、F(2)、F(3)、F(3)iv原子が隣接する弗素(F)八面体格子におけるF原子(この場合はF(3)原子とF(3)iv原子)を共有した状態で、外部電界によってM原子を中心として各F原子が図4-2中の点線で示す相対位置でもう一つの安定状態を形成する。この場合、Ba原子がF原子の位置変位に対してpuckered sheet内で相対変化するために、その結果、残留分極が(100)方向(a軸に沿った方向)にのみ生じるとされている。

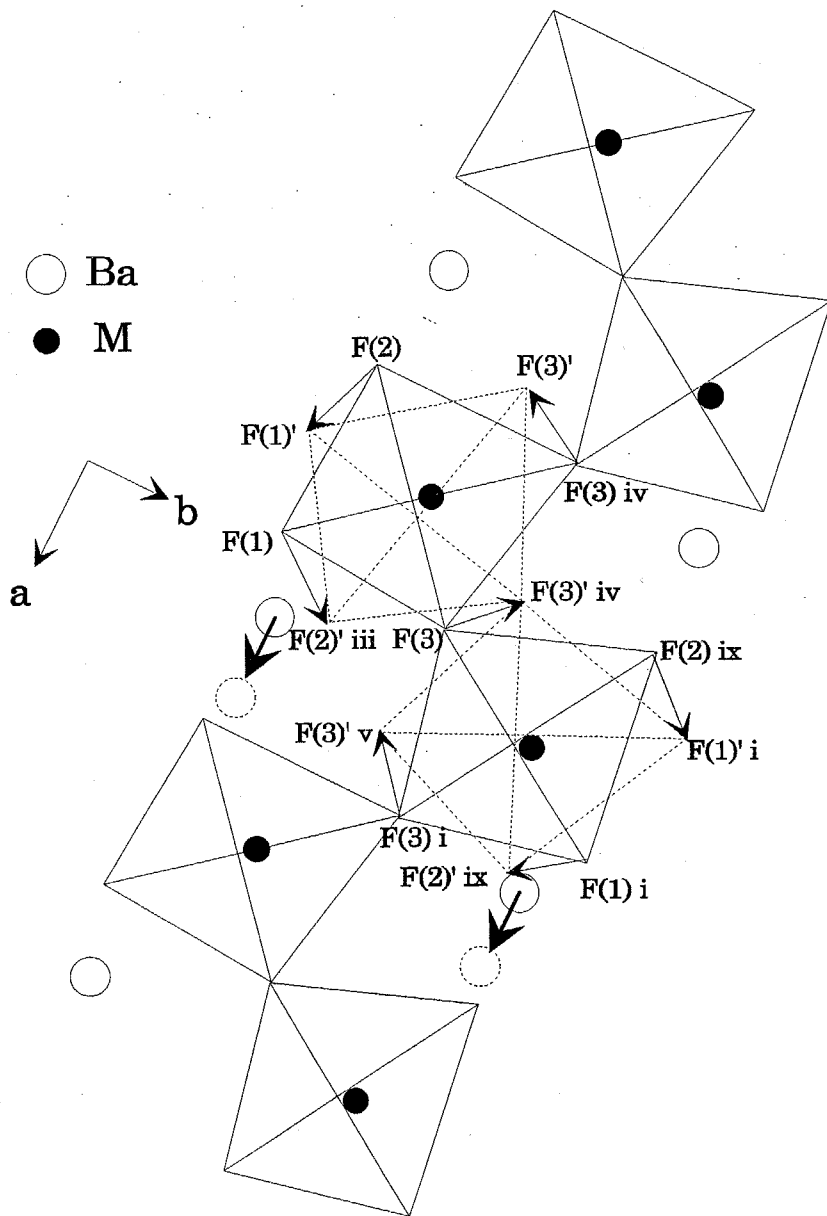


図 4-2 BaMF₄ の結晶構造と分極の機構

BaMF₄系化合物を選択した場合、BaMgF₄とBaZnF₄が考えられるが、本研究ではBaMgF₄を用いるのが最適であると考えた。BaMF₄化合物を真空中で形成する場合、膜の化学量論組成を一致させるために出発原料であるBaF₂とMF₂との蒸気圧差ができるだけ小さいことが望ましい。図4-3にBaF₂、MgF₂およびZnF₂の蒸気圧曲線を示す。この図よりBaF₂に対してZnF₂よりもMgF₂の方が蒸気圧差が小さいことが明らかである。

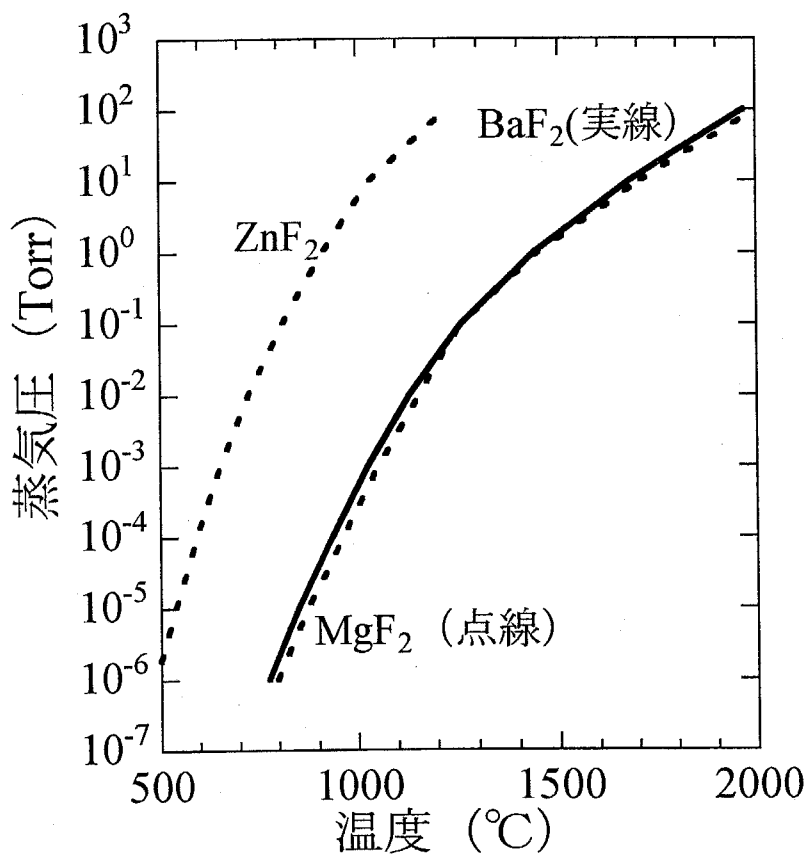


図4-3 BaF₂、MgF₂およびZnF₂の蒸気圧曲線¹⁶

表4-5に BaMgF₄ のバルク結晶で報告されている諸性質を示す。¹⁰ここで BaMgF₄ 結晶の残留分極値は BaZnF₄ 結晶の残留分極値 (9.7μC/cm²) よりも小さい。しかし、本研究の目的である強誘電体膜の電界効果トランジスタへの応用を考えた場合、膜中の固定電荷や界面準位がない理想状態において 0.1μC/cm² 程度の残留分極量でチャンネル直下の反転電荷量を制御できることから、BaMgF₄ 結晶の残留分極値は本研究目的を達成する上で十分な値を持つといえる。

表4-5 BaMgF₄ の性質¹⁰

結晶構造	斜方晶																		
融点	865±5°C																		
キュリー温度	990±5°C																		
格子定数	$a_1=0.5810$ nm, $a_2=1.451$ nm, $a_3=0.4130$ nm																		
自発分極 (20°C)	7.7±0.3 μC/cm ²																		
波長 1.06 mm における 屈折率	$n_1=1.467$, $n_2=1.439$, $n_3=1.458$																		
光学特性 透過領域	0.18 μm~8.0 μm																		
SiO ₂ の d_{11} に対する SHG (2次の調和振動) 非線形係数	$d_{33}=0.05$, $d_{31}=0.07$, $d_{15}=0.07$, $d_{32}=0.13$, $d_{24}=0.07$																		
測定周波数 10MHz における 比誘電率	$\epsilon_1=8.40$, $\epsilon_2=14.75$, $\epsilon_3=8.24$																		
熱膨張係数 (10 ⁻⁶ /°C)	$\alpha_1=11.5$, $\alpha_2=21$, $\alpha_3=20$																		
弾性定数 (20°C) C_{ij} (10 ¹¹ dynecm ⁻²)	<table style="display: inline-table; border: none;"> <tr> <td><u>11</u></td> <td><u>22</u></td> <td><u>33</u></td> <td><u>44</u></td> <td><u>55</u></td> <td><u>66</u></td> <td><u>12</u></td> <td><u>13</u></td> <td><u>23</u></td> </tr> <tr> <td>10.4</td> <td>8.1</td> <td>13.0</td> <td>3.2</td> <td>5.5</td> <td>2.5</td> <td>2.9</td> <td>6.4</td> <td>3.6</td> </tr> </table>	<u>11</u>	<u>22</u>	<u>33</u>	<u>44</u>	<u>55</u>	<u>66</u>	<u>12</u>	<u>13</u>	<u>23</u>	10.4	8.1	13.0	3.2	5.5	2.5	2.9	6.4	3.6
<u>11</u>	<u>22</u>	<u>33</u>	<u>44</u>	<u>55</u>	<u>66</u>	<u>12</u>	<u>13</u>	<u>23</u>											
10.4	8.1	13.0	3.2	5.5	2.5	2.9	6.4	3.6											
圧電定数 (20°C) d_{ijk} (10 ⁻⁸ esu dyn ⁻¹)	<table style="display: inline-table; border: none;"> <tr> <td><u>111</u></td> <td><u>122</u></td> <td><u>133</u></td> <td><u>212</u></td> <td><u>313</u></td> </tr> <tr> <td>24.2</td> <td>7.5</td> <td>-12.5</td> <td>-15.9</td> <td>-3.7</td> </tr> </table>	<u>111</u>	<u>122</u>	<u>133</u>	<u>212</u>	<u>313</u>	24.2	7.5	-12.5	-15.9	-3.7								
<u>111</u>	<u>122</u>	<u>133</u>	<u>212</u>	<u>313</u>															
24.2	7.5	-12.5	-15.9	-3.7															
e_{ijk} (10 ⁻⁵ esu cm ⁻¹)	<table style="display: inline-table; border: none;"> <tr> <td>1.83</td> <td>0.84</td> <td>0.19</td> <td>-0.79</td> <td>-0.42</td> </tr> </table>	1.83	0.84	0.19	-0.79	-0.42													
1.83	0.84	0.19	-0.79	-0.42															

4-2 BaMgF₄膜のGaAsおよびSi基板上への形成

4-2-1 BaMgF₄膜の形成法

薄膜形成法である気相成長法としてはスパッタ等の物理現象を利用した方法（物理堆積法）と気相中での化学反応を利用した方法（化学堆積法）とに大別できる。化学反応を利用した方法は、一般的に化学気相堆積法（Chemical Vapor Deposition: CVD）と呼ばれるものであるが、この方法は金属有機錯体などで供給される原料が、弗化物材料の場合安定して存在しないかあるいは安定な状態で供給することが困難なために、弗化物系の化合物を形成するためにはほとんど用いられない。そのため、無機弗化物膜の形成には、通常、物理堆積法が用いられる。ここでいう物理堆積法とは真空中で蒸発させた薄膜原料を基板上で析出させる方法のことを指し、原料の蒸発方法によって、スパッタ法と蒸着法とに分かれる。スパッタ法はArなどの希ガスを高周波電界によって電離（プラズマ化）させて生じた荷電粒子のスパッタリング作用によって、薄膜原料を物理的に削り取り方法である。この方法は、スパッタされた薄膜原料が、原理上、荷電粒子というエネルギーを持った状態で基板上に付着し、薄膜が基板上で析出する過程で放出されるエネルギーが結晶化エネルギーに一部転換されるため薄膜結晶が蒸着法より低い基板温度で析出しやすい利点がある。しかし、蒸着原料が荷電粒子として基板上に飛来するため、基板表面をスパッタするなどの現象が同時に起こる。その結果として基板表面に多数の格子欠陥が生じるために、本研究目的のように薄膜と半導体界面の電気特性を利用する応用には適していないと考えられる。またスパッタ法では、Arなどのスパッタガスの堆積膜中への残留や、プラズマ生成によって生じる電子によって固定電荷が膜中に導入されることなど問題点も多い。

蒸着法は、薄膜原料を熱的に溶融、蒸発あるいは昇華させるために、スパッタ法と異なり基板表面に飛来する粒子によって基板表面にダメージをあたえることが非常に少ない。以上のことから、真空蒸着法が薄膜形成法として本研究目的を達成させる上で最適であると考えた。

4-2-2 高真空における BaMgF₄ 膜形成

蒸着法における原料の供給方法としては、グラファイトや pBN (熱溶解によって作製された窒化ホウ素) のるつぼに入れた原料を、タングステンやタンタルなどで作られたヒーターによって間接加熱する方法が一般に用いられる。蒸発温度が 2000°C 以上の高融点材料の場合には電子ビームによる熱電子衝撃が用いられるが、今回用いる BaMgF₄ あるいは BaF₂, MgF₂ などは融点が 1500°C 以下であるため、ヒーターによる間接加熱が適している。蒸着法は通常、真空中で行われるが、真空度の違いが堆積膜の品質に大きく影響を与える。一般に真空度が高い (圧力が低い) ほど基板に飛来する粒子の平均自由行程は増加する。温度 300K、真空度が 10⁻¹⁰Torr において平均直径が 10⁻⁷cm の分子が飛来する場合、その分子の平均自由行程はおよそ 10⁷cm (100km) ほどにもなる。これは飛来した分子 (粒子) が蒸発源から基板表面に達するまでにほかの分子 (粒子) とほとんど衝突することがないことを意味している。こうした状態では飛来する分子 (粒子) は方向性の揃った流れを形成するため分子線と呼ばれる。こうした高真空状態では、真空中に残留する酸素や水分子、窒素などの不純物は極端に少なくなるため、基板上に飛来する蒸着原料は、原料のもつ純度を保ったまま基板上に析出することになり、その結果、原料が高純度ならば得られる堆積膜も高純度なものになる。また 10⁻¹⁰Torr 程度の高真空度では、基板表面が酸素や水などの不純物で覆われるまでの時間が 3×10⁴ 秒程度 (酸素分子の場合) と非常に長い。その結果、基板表面における析出粒子の移動が容易となり、結晶を原子層オーダーで成長制御することができるようになるため、高品質の薄膜結晶を得ることが可能となる。こうした方法は一般に分子線気相成長法 (Molecular Beam Epitaxy 法: MBE 法) と呼ばれる。本研究では、BaMgF₄ 薄膜の形成における初期実験には、真空度が 10⁻⁶Torr 程度の真空蒸着法を用いたが、本研究目的を達成するためには半導体基板上に高品質の BaMgF₄ 薄膜を堆積させることが必要不可欠なため、半導体基板上への BaMgF₄ 薄膜の結晶成長に関する実験では、主に

MBE 法を用いた。

4-2-3 BaMgF₄膜堆積装置の概要

BaMgF₄膜の形成に関する初期実験には、第2章および第3章で用いた弗化物薄膜蒸着装置を用いた。初期実験は、BaMgF₄原料の作製と抵抗加熱法による原料の蒸発実験、および半導体基板上へのBaMgF₄膜の形成などの基本的な薄膜形成工程を確認するために行ったもので、その場合、上記弗化物蒸着装置は初期実験の目的を達成するために十分な特性を持っていると判断した。しかし、BaMgF₄膜の高品質な結晶を半導体基板上に成長させるためには、超高真空での蒸着が可能な MBE 装置を用いることが望ましく、この装置の使用無くしては、本章の研究目的を達成することが難しい。そのため BaMgF₄膜成長用の MBE 装置を新たに製作した。

図4-4に MBE 装置の外観図を示す。本装置は GaAs/AlGaAs 膜の結晶成長用 MBE 装置と高真空対応ゲートバルブを介して接続されており、試料ホルダは GaAs/AlGaAs 成長用 MBE 装置に同じくゲートバルブを介して接続された試料交換室より、ホルダ搬送用のロッド（トランスファーロッド）によって BaMgF₄成長 MBE 装置内に搬送される。製作した MBE 装置は主排気装置として排気速度 500l/s のターボ分子ポンプを用いた。ターボ分子ポンプは拡散ポンプと異なり真空槽内での油蒸気などの分子量の大きい気体分子に対して非常に大きな排気速度を持ち、かつターボ分子ポンプの構造や原理上からも真空側に油蒸気が全く介在しない清浄な真空を実現できる。本研究では清浄な強誘電体/半導体界面を形成することが必要となるため、この要求を満足するための排気装置としてはターボ分子ポンプが最適である。またホルダ加熱機構の周りには、液体窒素トラップを設けており、試料ホルダ周辺の真空度をさらに向上させる工夫をしている。こうすることで、到達真空度 5×10^{-10} Torr 以下、BaMgF₄膜成長中で最高 5×10^{-9} Torr 以下の超高真空度を達成している。BaMgF₄原料の蒸発には市販のクヌードセンサー（株）エイコー社製）を用いた。るつぼ材料には弗化物の高温

ない Mo と Ta を用いた。基板ホルダの外観図を図 4-5 に示す。図のホルダは Si 基板用のものであり、基板は Ta の押さえ板によって Mo ブロック上に固定される。またこのホルダでは Ta ホイルからの輻射熱により基板が効率よく加熱されるように、ホルダの中央部が $20\text{mm} \times 20\text{mm}$ の範囲でくり抜いてある。

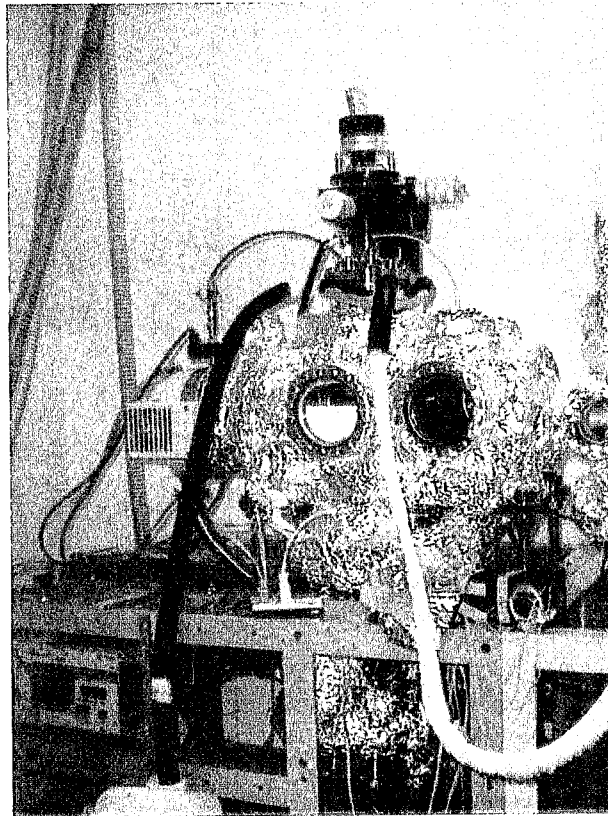


図 4-4 BaMgF₄ 膜の堆積に用いた MBE 装置の外観図

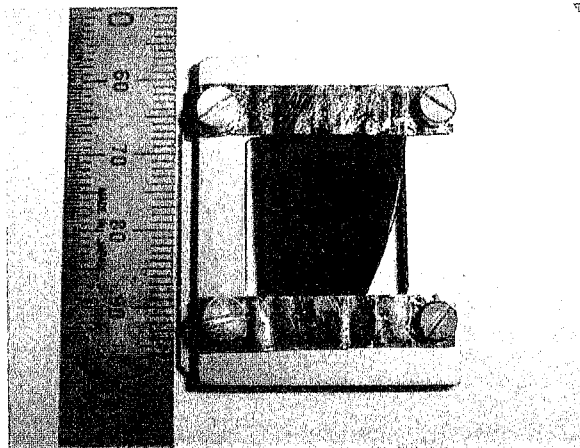


図 4-5 MBE 装置に用いた基板ホルダの外観図

4-2-4 BaMgF₄の形成工程

BaMgF₄膜形成の初期実験には、Si ドープした n 型 GaAs (100) 基板 (キャリア濃度 $1.1 \sim 2.1 \times 10^{18} \text{ cm}^{-3}$) および GaAs (111)B 基板 (キャリア濃度 $1.1 \times 10^{18} \text{ cm}^{-3}$) を用いた。膜形成前の基板の前処理および膜形成工程を図 4-6 に示す。それぞれの基板を有機洗浄した後に、基板表面を硫酸・過酸化水素系溶液でエッチング処理を行う。エッチング処理された基板に対して、基板表面の酸化膜層除去および保護層形成のために、室温の硫化アンモニウム溶液中で 15 分の硫黄処理を施した。硫黄処理を施した基板は BaMgF₄膜形成のため蒸着装置に搬入し、蒸着装置内を 10^{-7} Torr 以下の真空度まで排気した。BaMgF₄膜は高純度グラファイトのつぼに入れた蒸着源を抵抗加熱によって蒸発させることで基板上に成膜させた。蒸着源には BaF₂ および MgF₂ から作製した BaMgF₄ 多結晶を用いた。蒸着源の作製方法は本章 4-1-2 項で示したように、レアメタリック (株) 社製の無水フッ化バリウム (BaF₂) 粉末 (純度 99.99% 相当) と無水フッ化マグネシウム (MgF₂) 粉末 (純度 99.99%) を等モル比で混合させた粉末をグラファイト製のつぼに入れ、乾燥窒素雰囲気中 1000°C、約 6 時間の焼成によって作製した。BaMgF₄膜は 5×10^{-6} Torr 程度の真空度において 330nm~480nm の厚さで堆積させた。膜堆積時の基板温度は 300°C~600°C の範囲で変化させ、特に成膜温度が 500°C~600°C の場合には、基板表面からの As 原子や S 原子の熱脱離を防止するために、400°C の基板温度において BaMgF₄膜を厚さ 28nm~40nm 堆積させた後に 500°C~600°C に昇温して成膜を行う、2 段階成膜法を用いた。さらに熱処理による結晶性の変化を検討するために、300°C~400°C の低温で成膜した一部の試料においては真空中 600°C の熱処理を行った。

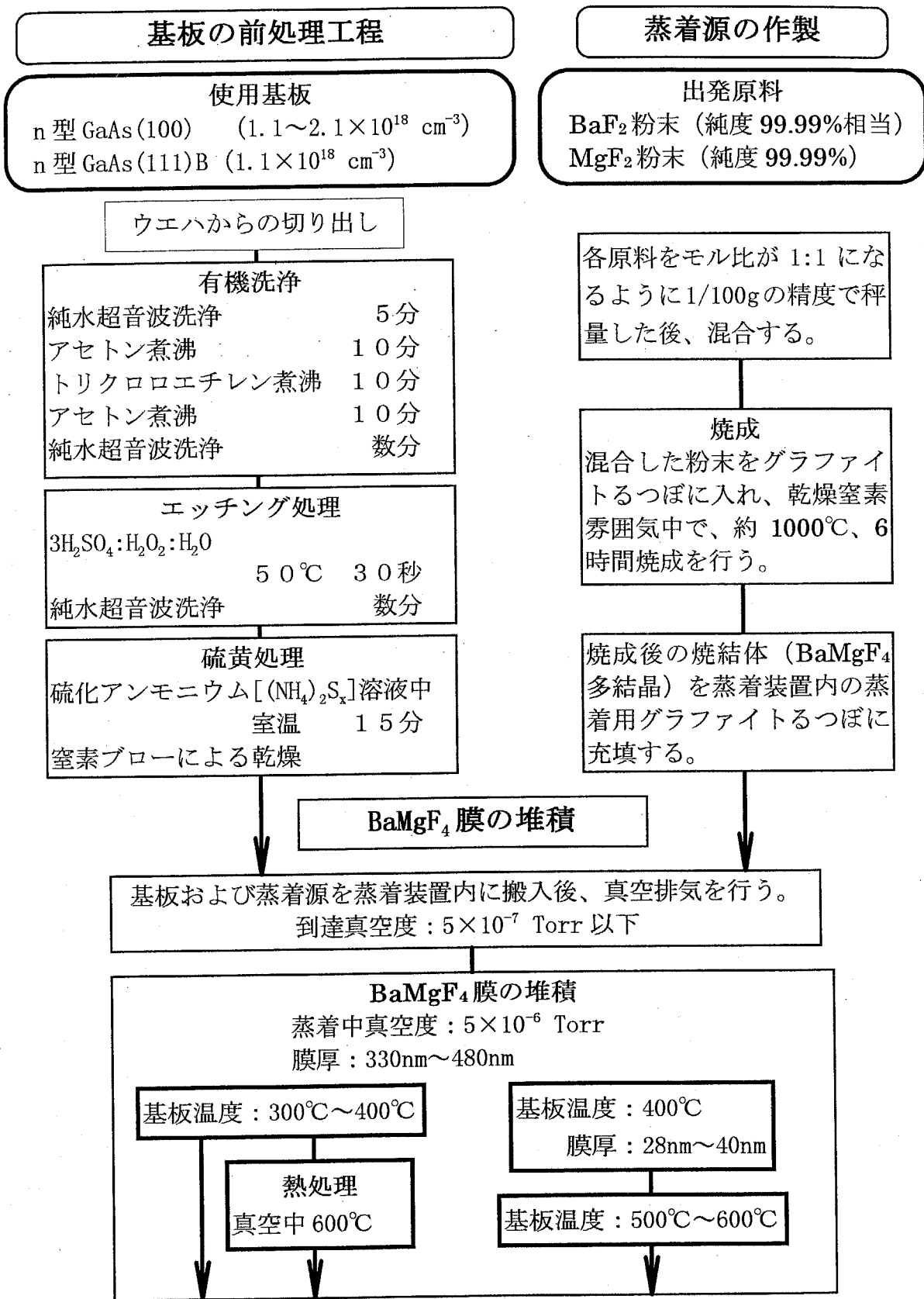


図 4-6 初期実験における GaAs 基板上への BaMgF₄ 膜形成工程

MBE 装置を用いた BaMgF₄ 膜の成膜実験には、P ドープ n 型 Si(100) および Si(111) 基板 (抵抗率 1~6 Ω cm) を用いた。MBE 法による BaMgF₄ 膜の成膜工程を図 4-7 に示す。それぞれの基板は基板ホルダーの寸法に合わせて約 30mm×20mm の大きさに切断した後に、BaMgF₄ 膜堆積の前処理として有機洗浄およびエッチング処理を行う。まず最初にアセトンおよびトリクロロエチレンによる煮沸洗浄を行った後、基板表面の金属汚染や欠陥層を除去するために濃硫酸による煮沸処理および 2.5% 程度の希弗酸による酸化膜除去を数回繰り返す。BaMgF₄ 膜を基板上に堆積する場合、基板表面に存在する酸化膜をあらかじめ除去しておく必要がある。本実験では RCA 洗浄後に希弗酸により酸化膜を除去しておく方法と白木洗浄法¹⁷によって基板表面に過剰な塩素原子を含む 900°C 以下の比較的低温で蒸発しやすい自然酸化膜層を形成しておき、MBE 装置内においてこの自然酸化膜を加熱除去する方法 (サーマルフラッシュ法) を用いた。本実験では、10⁻⁹ Torr 以下の高真空下において、850°C、40 分のサーマルフラッシュを行うことで自然酸化膜が除去されることを RHEED (反射高速電子線回折) によって確認した。以上のような前処理工程を経た基板を MBE 装置内に搬入し、5×10⁻¹⁰Torr 以下の真空度まで排気した後に BaMgF₄ 膜の堆積を行った。成膜は 400°C~700°C の温度範囲で行い、このときの真空度は 4×10⁻⁸Torr 以下であった。蒸着源には BaF₂ と MgF₂ から作製した BaMgF₄ 多結晶体を用いて、蒸着速度 0.5~2nm/min、膜厚 35~120nm の BaMgF₄ 膜を堆積した。

基板の前処理

使用基板

Pドープ n型 Si(100) 及び Si(111) (抵抗率 1~6 Ω cm)

ウエハからの切り出し

劈開面に沿って 20mm×30mm に切り出す。

有機洗浄

純水超音波洗浄	5分
アセトン超音波洗浄	5分
トリクロロエチレン煮沸	10分
アセトン超音波洗浄	5分
純水超音波洗浄	5分

金属汚染及び表面欠陥層の除去

1. 濃硝酸 煮沸 (140℃) 10分
2. 純水 リンス
3. 純水 超音波洗浄 5分
4. 希弗酸 (2.5%) ディッピング 10秒
5. 純水 リンス

1 から 5 の工程を 2~3 回繰り返す。

RCA 洗浄

NH ₄ OH:H ₂ O ₂ :5H ₂ O	75℃~80℃	15分
純水 超音波洗浄		5分
希弗酸 ディッピング		10秒
純水 リンス		
HCl:H ₂ O ₂ :5H ₂ O	75℃~80℃	15分
純水 超音波洗浄		5分
希弗酸 ディッピング		10秒
純水 リンス		

白木洗浄法

NH ₄ OH:H ₂ O ₂ :3H ₂ O	75℃~80℃	15分
純水 超音波洗浄		5分
希弗酸 ディッピング		10秒
純水 リンス		
3HCl:H ₂ O ₂ :H ₂ O	75℃~80℃	15分
純水 超音波洗浄		5分

BaMgF₄ 膜の堆積

MBE 装置内への基板の搬入および排気

到達真空度: 5×10⁻¹⁰ Torr 以下

BaMgF₄ 膜の堆積

蒸着源: BaMgF₄ 多結晶体
 基板温度: 400℃~700℃
 真空度: 4×10⁻⁸ Torr 以下
 蒸着速度: 0.5~2 nm/min
 膜厚: 35nm~120nm

サーマルフラッシュ

真空度: 10⁻⁹ Torr 以下
 基板温度: 850℃、40分

図 4-7 MBE 法による Si 基板上への BaMgF₄ 膜形成工程

4-3 GaAs 基板上に形成した BaMgF₄ 膜の評価

4-3-1 X線回折法による結晶配向性の評価

GaAs 基板上に形成した BaMgF₄ 膜の結晶性を X線回折法によって評価した。GaAs(100)基板上に BaMgF₄ 膜を形成した試料における X線回折パターンを図 4-8 に示す。比較のために図 4-8 (a)には蒸着源として用いた BaMgF₄ 多結晶体の X線回折パターンを示した。図 4-8 (b), (c), (d) および (e) はそれぞれ成膜時の基板温度を 300°C、400°C、500°C、600°C とした場合、図 4-8 (f) は基板温度 300°C で膜を堆積した後、真空を破らずに続けて 600°C、30 分の熱処理を行った場合の測定結果である。結果から基板温度が 400°C 以下では膜からの回折ピークは何も観測されず、堆積した膜は非晶質もしくは X線の波長よりも小さい微結晶からなる多結晶であると考えられる。一方で基板温度を 500°C 以上とした場合には、膜からの回折ピークが観測された。蒸着源の回折ピークから基板温度 500°C 以上で観測された回折ピークの回折次数を求めると、BaMgF₄ (040)、(140)、(200) および (271) であることがわかった。また 300°C で堆積した膜を 600°C で熱処理を施した試料では、BaMgF₄ (010) 面からの回折ピークのみが観測された。300°C で堆積した膜は X線回折測定では非晶質であるので、熱処理において BaMgF₄ 膜は (010) 面に優先的に自己配向する事がわかった。BaMgF₄ (010) 面は劈開面であることから、基板からの束縛がないかあるいは非常に弱い場合において、熱平衡状態での表面エネルギーがもっとも低く安定に存在し得る BaMgF₄ (010) 面が優先的に配向するためと考えられる。こうした結果は Si(100) 基板上に形成した BaMgF₄ 膜について評価した Sinharoy らによる報告と一致する。¹⁰ また 500°C 以上の基板温度で観測された回折ピークから形成された BaMgF₄ 膜は多結晶膜と考えられるが、(140) や (200) などの (010) 面以外からの回折ピークは基板からの何らかの束縛力によって生じたと考えられる。大見らは GaAs や AlGaAs 上に MBE 法で成膜した BaMgF₄ 膜が (140) 優先配向することを報告している。¹⁸ しかし、GaAs(111)B 基板上へ同様な形成条件で BaMgF₄ 膜を堆積したが、基板面方位による膜の配向性は GaAs(100) 基板上と比較して大きな変化はみられな

かった。これより、 BaMgF_4 膜の配向性は基板の種類によって変化すると推測される。

本研究の目的である強誘電性弗化物膜の MIS デバイスへの応用を考えた場合、膜中に生じる分極ベクトルの成分がチャンネル走行面に対して垂直方向にあることがデバイス動作をさせる上で必要となる。 BaMgF_4 は $\langle 100 \rangle$ 方向に分極を生じるため、膜の垂直方向に分極ベクトルを持つ BaMgF_4 (200) 配向結晶や膜表面に対して 32° の方向に分極ベクトルをもつ (140) 配向結晶は、デバイス応用上有効である。一方で (010) 配向結晶を多く含む膜では膜中に生じる分極ベクトルの成分がチャンネル走行面に対して平行であるため、デバイス応用を考えた場合不適當である。以上のことから GaAs 基板上に 500°C 以上で形成した BaMgF_4 多結晶膜は本研究目的を達成する上で、有効な結晶配向性をもつことが明らかとなった。

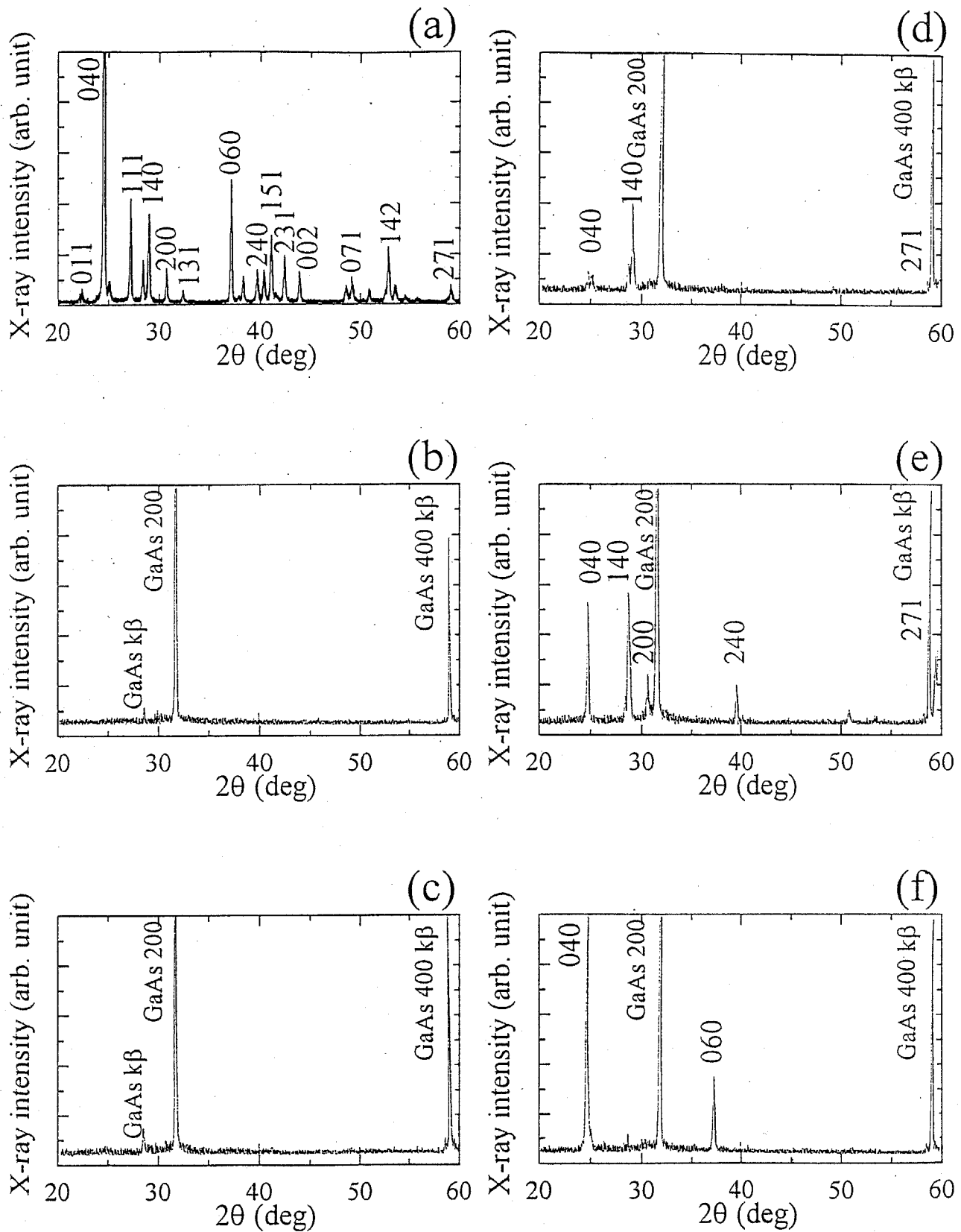


図4-8 GaAs(100)基板上に $BaMgF_4$ 膜を形成した試料におけるX線回折パターン。(a) : 蒸着源として用いた $BaMgF_4$ 多結晶体のX線回折パターン。(b), (c), (d)および(e) : それぞれ成膜時の基板温度を 300°C 、 400°C 、 500°C 、 600°C とした場合のX線回折パターン。(f) : 基板温度 300°C で膜を堆積した後、真空を破らずに続けて 600°C 、30分の熱処理を行った場合のX線パターン。

4-3-2 成長温度および熱処理による結晶性の変化

図4-8の結果からわかるように BaMgF_4 膜堆積時の基板温度が高いほど膜からの回折ピークの強度が増大する。ピーク強度の増大は膜の結晶性の向上を示唆している。 BaMgF_4 (140)回折ピークの半値全幅 (FWHM) を 2θ ロッキングカーブ測定により求めてみると、基板温度が 500°C の場合には FWHM の値は約 3.6° であったのに対して、基板温度が 600°C の場合には約 1.7° と半分以下に減少することがわかった。FWHM の値は結晶配向性を反映しており、これは基板温度 600°C で堆積した BaMgF_4 膜の方が 500°C で堆積した膜よりも結晶配向性に優れることを意味している。結晶配向性は成膜時の基板温度に依存することから、GaAs 基板上に成膜した BaMgF_4 膜の場合、成膜時の基板温度が 600°C 付近で結晶性の優れた膜が形成できると考えられる。

図4-8 (f) の結果から、低温で堆積した無配向な膜を熱処理することで BaMgF_4 (010) 配向結晶が優先的に形成されることがわかる。図4-9に基板温度 300°C で堆積した膜厚 360nm の BaMgF_4 膜を真空中で 600°C で熱処理した場合の BaMgF_4 (040) および (060) 回折ピークの熱処理時間依存性を示す。この試料の場合、熱処理時間が約 15 分でピーク強度が飽和することから、この時間で膜全体が結晶化していることがわかる。この結果は膜中で BaMgF_4 結晶が固相成長によって形成されることを示している。図4-10は図4-9と同様な試料について BaMgF_4 (040) 回折ピークの FWHM 値の熱処理時間依存性を測定した結果である。この図中で “in-situ” は膜を堆積した後、真空を破らずに熱処理を行った場合、“ex-situ” は膜を堆積した後、真空を破り一度大気に試料をさらした後に、真空中で熱処理した場合を示している。この結果から明らかなように、FWHM 値は熱処理時間が 15 分程度で最小となる。これは膜中に存在する成長核を中心に結晶粒が熱処理時間に対して増大し、約 15 分で結晶粒同士が接合することで成長が終了することを示している。また図4-10より “ex-situ” の方が “in-situ” の場合より熱処理後の FWHM 値が 2 倍程度大きい。これは結晶化後の膜中の結晶

配向性が“in-situ”の場合よりも優れていることを示している。これは、“ex-situ”の方が熱処理前に膜中に存在する結晶粒の密度が“in-situ”の場合より高いためと考えられる。この場合の結晶粒を発生される核（成長核）は膜中の欠陥や転移を中心に発生すると考えられる。すなわち“ex-situ”の試料の場合、一度大気にさらすときに基板温度を室温まで下げているため、基板と膜との熱膨張係数の違いによって膜中に成長核となる熱不整欠陥が多く発生することが原因と考えられる。

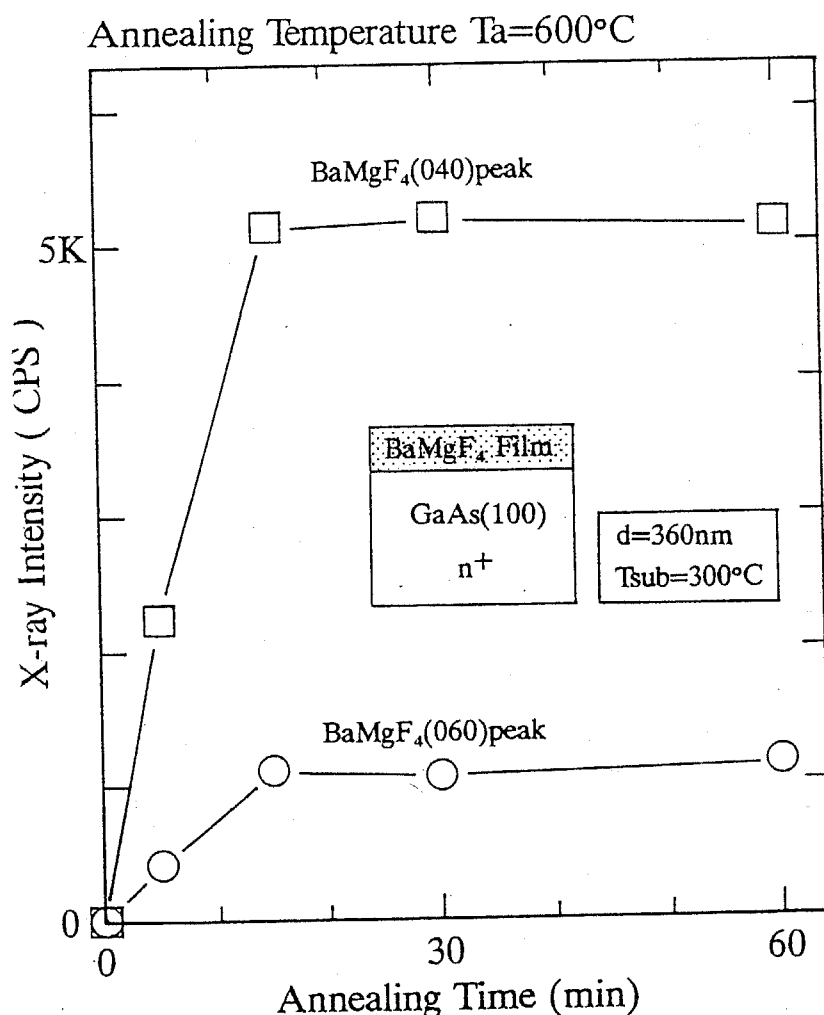


図4-9 基板温度300°Cで堆積した膜厚360nmのBaMgF₄膜を真空中で600°Cで熱処理した場合のBaMgF₄(040)および(060)回折ピークの熱処理時間依存性

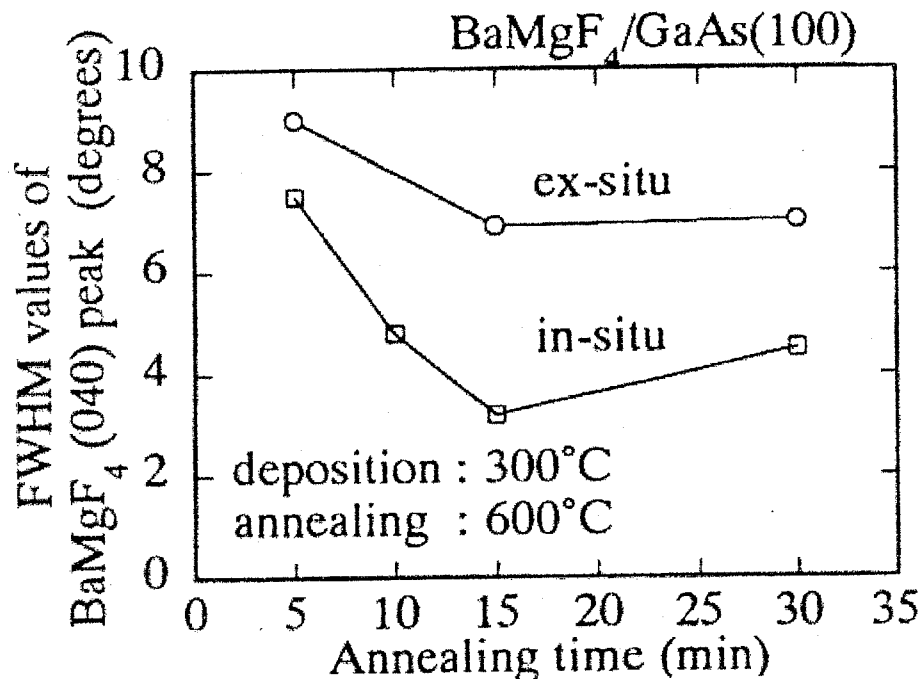


図4-10 BaMgF₄(040)回折ピークのFWHM値における熱処理時間依存性。図中の“in-situ”は膜を堆積した後、真空を破らずに熱処理を行った場合、“ex-situ”は膜を堆積した後、真空を破り一度大気に試料をさらした後に、真空中で熱処理した場合。

以上のことからGaAs基板上にBaMgF₄膜を堆積する場合、基板温度が600°C程度で結晶性のよいBaMgF₄膜を形成できることがわかった。また低温で堆積した無配向の膜を熱処理すると膜中に不規則に存在する成長核を中心にBaMgF₄(010)配向の結晶粒が固相成長すると思われる。このことは図4-8(d)および(e)の試料のように2段階成長法で作製した試料において、膜中にBaMgF₄(010)配向結晶を発生させる原因となっていると考えられるため、BaMgF₄(010)配向結晶を持たないBaMgF₄配向膜を得るためには成長初期段階から600°C程度の基板温度でBaMgF₄膜を堆積するのが望ましいと思われる。

4-3-3 SIMS 法による BaMgF₄ 膜/GaAs 界面の評価

600°C程度の基板温度において結晶性のよい BaMgF₄ 膜を形成できるが、こうした温度では GaAs 基板表面からの As などの熱脱離による界面特性の劣化が問題となる。ここでは二次イオン質量分析法(SIMS 法)を用いた深さ方向組成分析から BaMgF₄/GaAs 界面を評価した。図 4-11 に 2 段階成長法によって GaAs(100) 基板の上に基板温度 600°C で BaMgF₄ 膜を堆積した試料と、300°C で膜を堆積した後、600°C、30 分の熱処理を行った試料について、SIMS 法により測定した深さ方向の組成分布を示す。測定装置にはカメカ社製 IMS-4F 型イオンマイクロアナライザーを用い、15kV の O₂⁺イオンを 1 次イオン種として正の 2 次イオン種を検出した。なお測定における質量分解能(M/DM)は 200~300 (¹²C)で行った。図 4-11 において、BaMgF₄ 膜と GaAs 基板との界面、すなわち Ga の分布曲線と Ba の分布曲線が交差する付近での各元素の分布曲線を比較すると、図 4-11 (b) の熱処理した試料の方が基板温度 600°C で堆積した試料とよりも界面で組成が急峻に変化している。この場合、As や Ga 原子の BaMgF₄ 膜への熱拡散が考えられるが、両方の試料とも基板温度が 600°C であるため熱拡散が原因ならば、組成分布の急峻性に差は現れないはずである。むしろここでの界面における組成の急峻性は界面の粗さによると考えられる。基板温度 600°C で堆積した試料が界面での組成の急峻性に劣るのは、成長初期において 600°C 程度の基板温度とした場合に、基板表面からの As の熱脱離によって GaAs 表面の粗さが増加するためと考えられる。以上のことから、600°C 程度の基板温度で BaMgF₄ 膜を堆積する場合、As の熱脱離に対する対策が必要であるといえる。

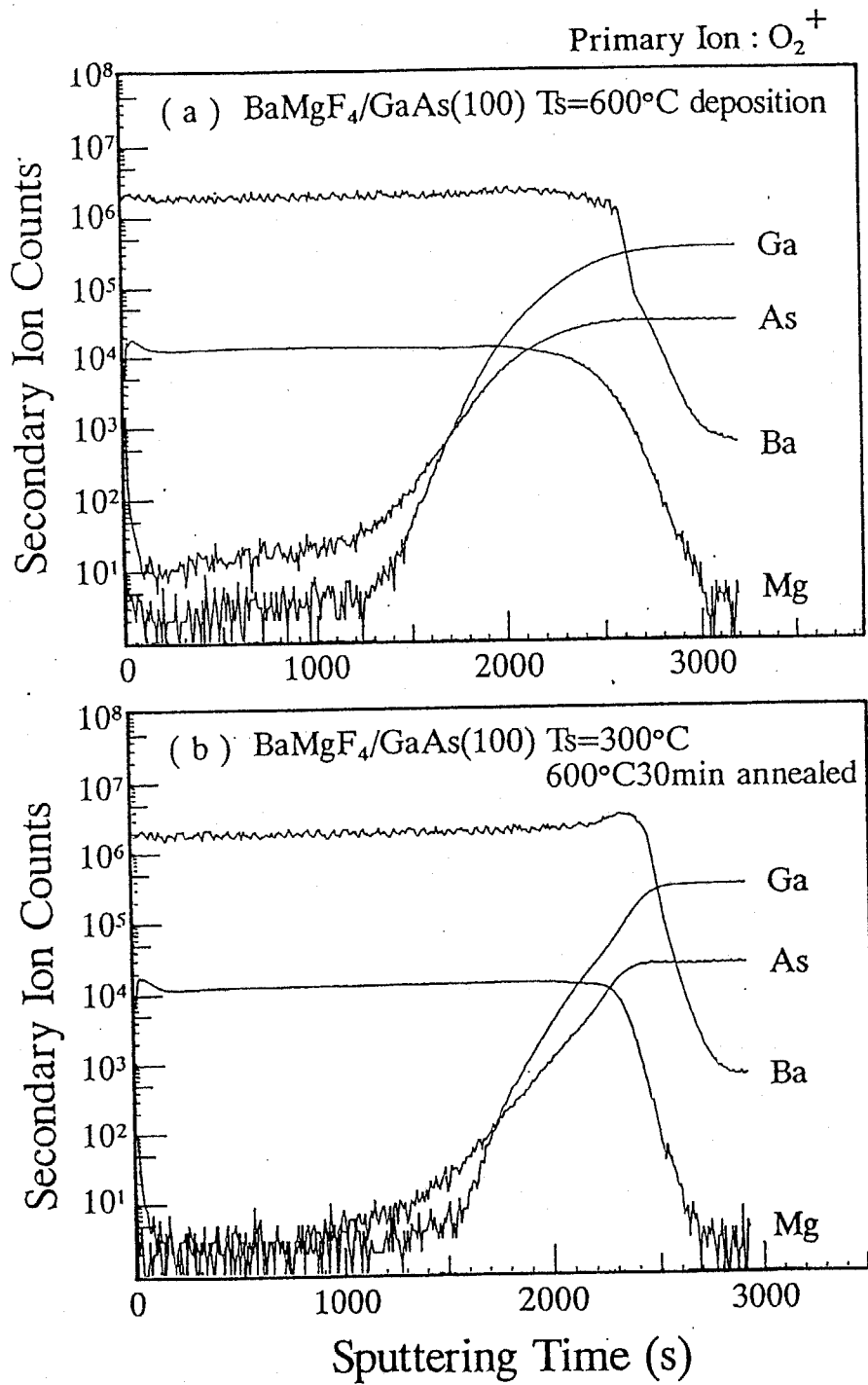


図4-11 SIMS測定による深さ方向組成分布。(a) 2段階成長法によってGaAs(100)基板上に基板温度600°CでBaMgF₄膜を堆積した試料、(b)300°Cで膜を堆積した後、600°C、30分の熱処理を行った試料。

4-4 Si 基板上に形成した BaMgF₄ 膜の評価

4-4-1 X線回折法による結晶配向性の評価

GaAs 基板上において BaMgF₄ 膜は基板温度 500°C 以上で結晶化することがわかった。このため Si 基板上においてもほぼ同じ基板温度で BaMgF₄ 配向膜が形成できると考えられる。ここでは MBE 法を用いて Si (100) および (111) 基板上に BaMgF₄ 膜を堆積し、その結晶配向性を検討した。実験に用いた試料の作製条件を表 4-6 に示す。ここで試料 1 および 3 には Si (100) 基板を、試料 2 および 4 には Si (111) 基板を用いた。試料 1 および 2 の基板は前処理として RCA 洗浄を行い、弗酸ディップにより表面の酸化膜を除去した。試料 3 および 4 については前処理として白木洗浄法をおこない、その後、膜堆積前に真空度 2×10^{-8} Torr 以下の高真空下において 980°C、40 分のサーマルクリーニングを行うことで表面の自然酸化膜を除去した。試料 1 および 2 は同一ホルダ上で基板温度 300°C で厚さ 52nm の膜を堆積した後連続して基板温度 500°C、15 分の熱処理を真空中で行った試料である。また試料 3 および 4 は同一ホルダ上で基板温度 510°C、膜厚 58nm という条件で膜を堆積した。

表 4-6 試料の作製条件

	基板面 方位	成膜時基板温度 (°C)	熱処理温度 (°C)	熱処理時 間 (分)	膜厚 (nm)	成膜速度 (nm/s)
試料 1	1 0 0	3 0 0	5 0 0	1 5	5 2	0.014
試料 2	1 1 1	3 0 0	5 0 0	1 5	5 2	0.014
試料 3	1 0 0	5 1 0	—	—	5 8	0.016
試料 4	1 1 1	5 1 0	—	—	5 8	0.016

図4-12(a)及び(b)に表4-6で示した試料1および2のX線回折測定の結果を示す。図4-12からわかるようにBaMgF₄膜は(010)面に非常に強く配向している。こうした配向性は図4-8(f)で示したGaAs基板上に作製したBaMgF₄膜と同じ結果である。しかし、図4-12(b)ではBaMgF₄(010)面からの回折ピーク以外にBaMgF₄(120)面からの回折ピークも観測された。これはGaAs基板上の成膜においては観測されず、Si(111)基板に固有の現象と考えられる。試料1および2のBaMgF₄膜の配向性を評価するために、2θ ロッキングカーブ測定によるFWHM値の測定を行った。試料1に対するBaMgF₄(040)回折ピークのロッキングカーブを図4-13に示す。この結果からBaMgF₄(040)回折ピークのFWHM値は約3.2°であった。同様に試料2についてもBaMgF₄(040)回折ピークのFWHM値を測定したところ約3°であったことから、熱処理によって作製したBaMgF₄膜は配向性に劣る膜であることがわかった。

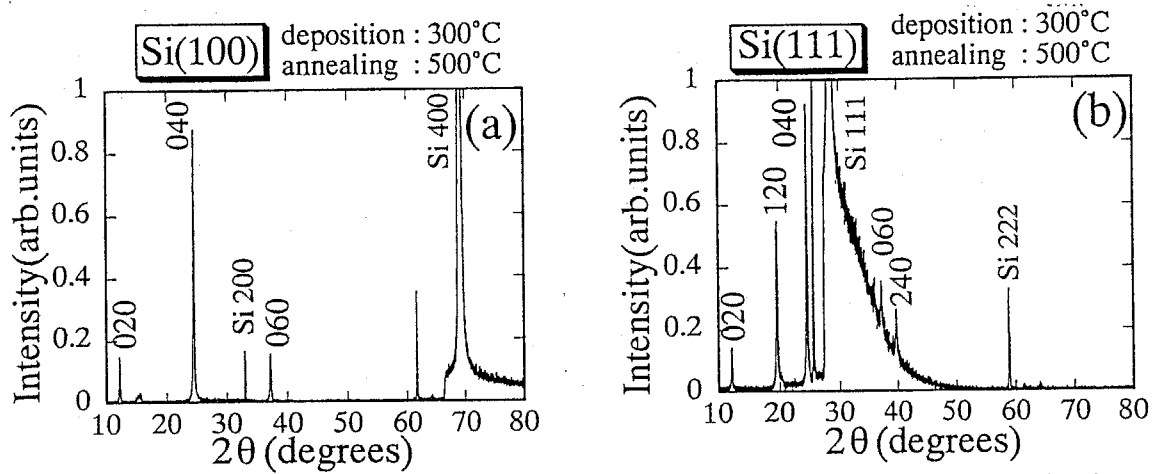


図 4 - 1 2 熱処理によって作製した試料の X 線回折測定結果。
 (a) Si(100) 基板上に作製した試料 (試料 1) 、 (b) Si(111) 基板上に作製した試料 (試料 2) 。

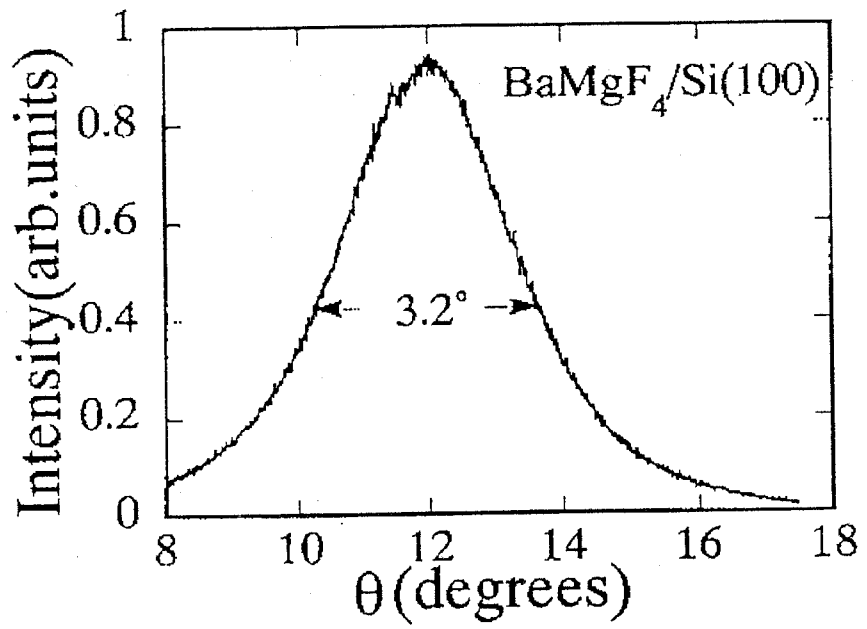


図 4 - 1 3 Si(100) 基板上に作製した試料 (試料 1) における BaMgF₄(040) 回折ピークの 2θ ロッキングカーブ。

次に試料3および4の測定結果を図4-14および15に示す。各図における(a)および(b)はそれぞれの試料のX線回折パターンおよび膜からの最も強い回折ピークの 2θ ロッキングカーブを示している。図4-14および15の結果から分かるように、基板温度 510°C で堆積した試料においては基板方位によって全く異なる配向結晶が得られることがわかった。図4-14の結果では、堆積した BaMgF_4 膜が $\text{Si}(100)$ 基板上において $\text{BaMgF}_4(011)$ 面に強く優先配向していることを示している。またもっとも強い $\text{BaMgF}_4(011)$ 回折ピークのFWHM値は約 0.7° と小さく、試料1および2より結晶粒径が大きく配向性に優れた BaMgF_4 膜が得られたことを示している。また $\text{Si}(111)$ 基板上に堆積した BaMgF_4 膜は、図4-15に示されるように、試料3とは全く異なる $\text{BaMgF}_4(120)$ 面に強く優先配向した膜であることがわかった。このときの $\text{BaMgF}_4(120)$ 回折ピークのFWHM値は約 0.6° であり、試料2と同様に配向性に優れた BaMgF_4 膜が得られている。この場合、 2θ ロッキングカーブ測定において測定される $\text{Si}(200)$ 回折ピークのFWHM値は約 0.35° であることから、 $\text{Si}(100)$ および (111) 基板上に形成された $\text{BaMgF}_4(011)$ および (120) 配向膜において、結晶粒の結晶配向面の分散は約 0.5° と計算される。

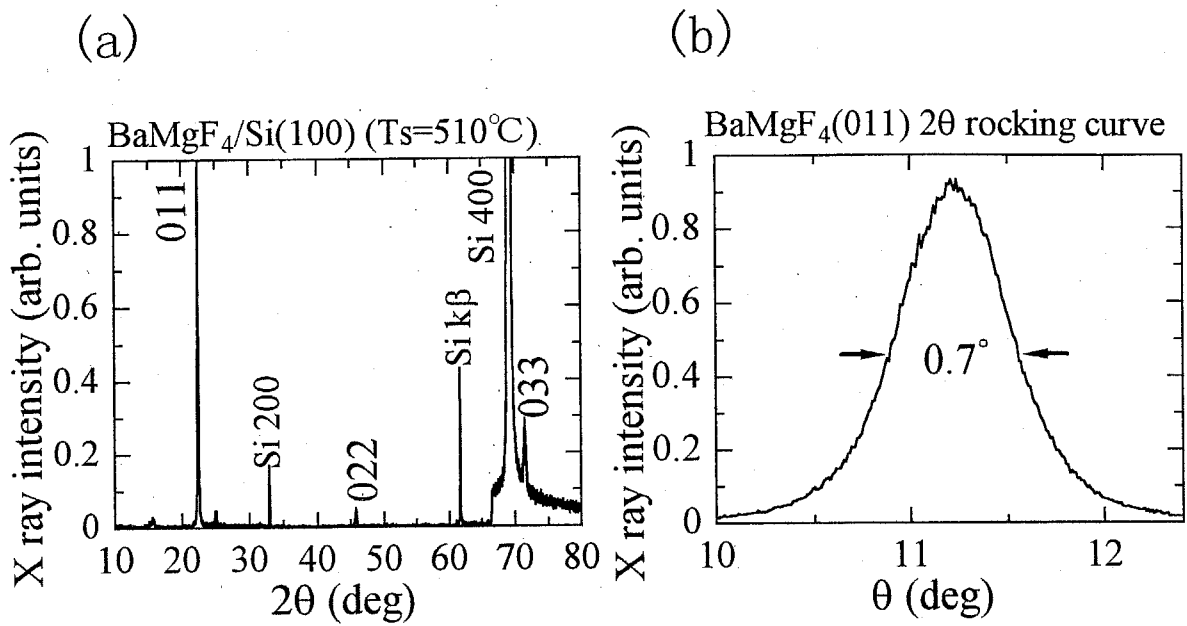


図4-14 Si(100)基板上に510°Cで作製した試料(試料3)におけるX線回折測定の結果。(a)X線回折パターン、(b)BaMgF₄(011)回折ピークの2θロックンングカーブ。

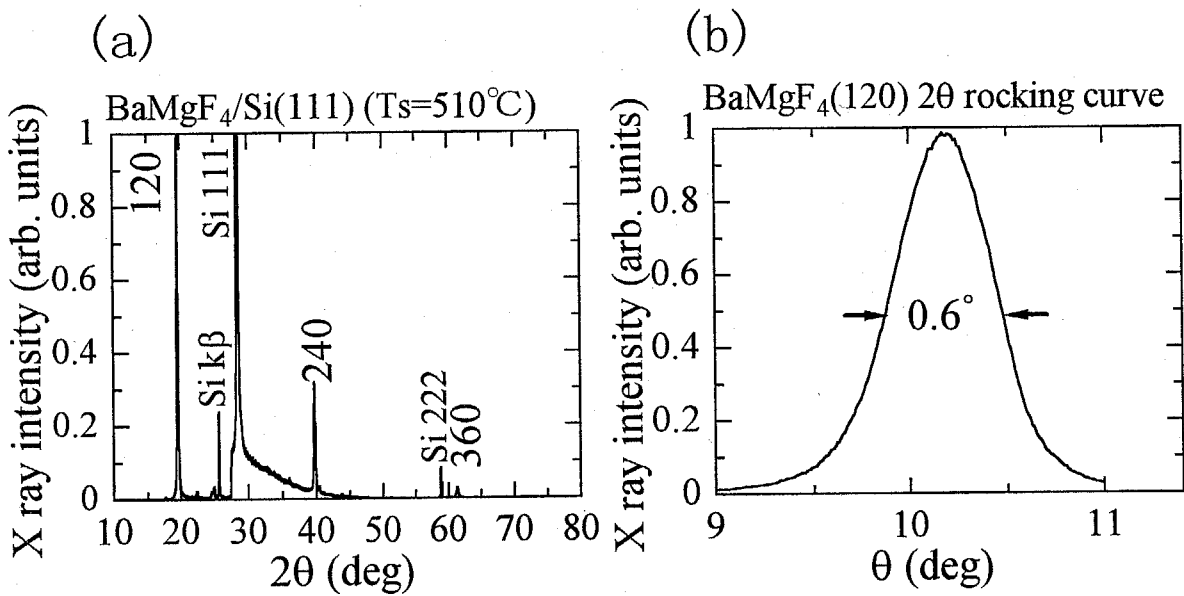


図4-15 Si(111)基板上に510°Cで作製した試料(試料4)におけるX線回折測定の結果。(a)X線回折パターン、(b)BaMgF₄(120)回折ピークの2θロックンングカーブ。

次に BaMgF_4 膜堆積時の基板温度と結晶性および配向性を評価するために、表 4-7 に示す試料を作製し、それぞれの試料の X 線回折測定から、回折ピーク強度および FWHM 値を測定した。表 4-8 および表 4-9 は Si (100) および (111) 基板上に膜を堆積した試料について、 BaMgF_4 結晶の各面指数に対する X 線回折強度および FWHM 値を示している。ここで、表中の X 線回折強度は測定に用いた試料の膜厚によって規格化した値で示した。図 4-16 に Si (100) 基板上に堆積した BaMgF_4 配向膜からの X 線回折強度の基板温度依存性を示す。この結果から基板温度 500°C 付近において結晶性の優れた BaMgF_4 (011) 配向膜が形成できることがわかる。また基板温度が 500°C 以上になると BaMgF_4 (140) 配向結晶からの回折が強くなり、膜の多結晶化が進行することがわかった。同様に Si (111) 基板上における X 線回折強度の基板温度依存性 (図 4-17) においても基板温度が 500°C 付近において結晶性に優れる BaMgF_4 (120) 配向膜が形成できることがわかった。また基板温度が 500°C 以上になると Si (100) 基板上の試料と同様に膜の多結晶化が進行することがわかった。 BaMgF_4 回折ピークにおける FWHM 値の基板温度依存性に関しては、特に Si (111) 基板上の試料において基板温度の増加に対して FWHM 値が減少する結果が得られた。

以上の結果から、Si 基板上に基板温度 500°C 付近で膜を堆積した場合、基板面方位に依存して配向性に優れた BaMgF_4 膜が得られるが、その配向性は GaAs 基板上の膜とは異なることがわかった。

表 4-7 基板温度に対する結晶性および配向性の評価に用いた試料

	基板面方位	基板温度 (°C)	膜厚 (nm)	成膜速度 (nm/min)
試料 1	1 0 0 1 1 1	4 3 0	3 5	0.58
試料 2	1 1 1	5 0 0	1 0 6	1.77
試料 3	1 0 0 1 1 1	5 1 0	5 8	0.97
試料 4	1 0 0 1 1 1	5 7 5	4 4	0.73
試料 5	1 0 0 1 1 1	6 5 4	7 2	1.2

表 4-8 Si(100) 基板上に膜を堆積した試料について測定される BaMgF₄ の各面指数に対する X 線回折強度および FWHM 値

	BaMgF ₄ (040)	BaMgF ₄ (011)	BaMgF ₄ (120)	BaMgF ₄ (140)	BaMgF ₄ (011) の FWHM 値 (°)
試料 1	0	4 4	0	0	0.59
試料 3	0	1 2 5	0	1 0	0.67
試料 4	0	6 8	0	2 6	0.53
試料 5	0	7 8	0	5	0.69

表 4-9 Si(111) 基板上に膜を堆積した試料について測定される BaMgF₄ の各面指数に対する X 線回折強度および FWHM 値

	BaMgF ₄ (040)	BaMgF ₄ (011)	BaMgF ₄ (120)	BaMgF ₄ (140)	BaMgF ₄ (120) の FWHM 値 (°)
試料 1	0	0	4 1	0	0.64
試料 2	2 4	8	2 3 8	0	0.59
試料 3	1 9	1 8	7 7 4	2 8	0.60
試料 4	9 4	7	2 6 7	3 2	0.56
試料 5	3 5	0	2 2 4	6 0	0.49

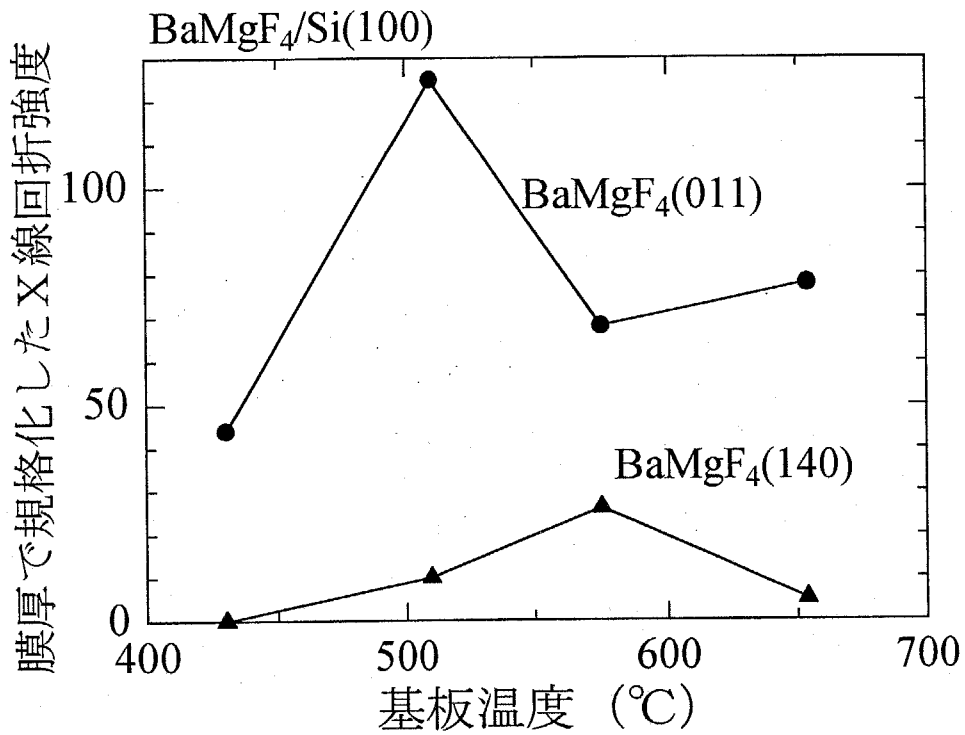


図4-16 Si(100)基板上に堆積したBaMgF₄配向膜からのX線回折強度の基板温度依存性

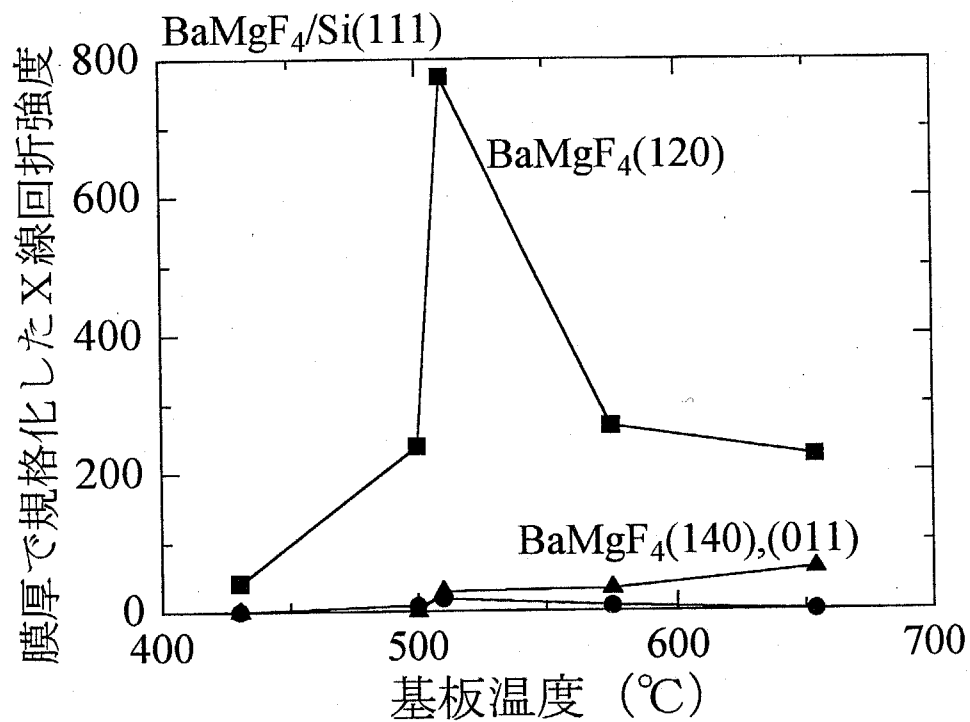


図4-17 Si(111)基板上に堆積したBaMgF₄配向膜からのX線回折強度の基板温度依存性

4-4-2 ラザフォード後方散乱法による結晶性の評価

Si 基板の上に BaMgF₄ 膜を基板温度 500°C 付近で堆積した場合、X線回折法からは配向性に優れた膜が形成できることがわかった。ここではラザフォード後方散乱法(RBS 法)を用いて膜厚方向の結晶性について検討を行った。測定には BaMgF₄ 膜を基板温度 510°C で Si(100)および(111)基板の上に堆積した試料を用いた。図 4-18 に Si(100)基板の上の BaMgF₄ 膜に対する RBS スペクトルを示す。Ba 原子からの後方散乱エネルギーの位置においてランダムスペクトルとアラインスペクトルとの比(アライン収率: χ_{\min})は約 0.75 であった。一方、Si(111)基板の上の BaMgF₄ 膜の RBS スペクトルから得られた Ba 原子からの後方散乱エネルギーの位置における χ_{\min} は約 0.55 であった。(図 4-19) X線回折法による 2 θ ロッキングカーブ測定(図 4-14(b)および 15(b))において、Si(100)および Si(111)基板の上に形成された BaMgF₄ 膜の FWHM 値には有意な差はみられなかったが、RBS 測定の結果から、Si(100)基板の上に形成された BaMgF₄(011)配向膜よりも Si(111)基板の上に形成された BaMgF₄(120)配向膜の方が膜厚方向の結晶性が優れていることがわかった。これは Si(111)基板の上に形成された BaMgF₄(120)配向の結晶粒が柱状構造のように膜厚方向に対して連続的に分布しているためと考えられる。

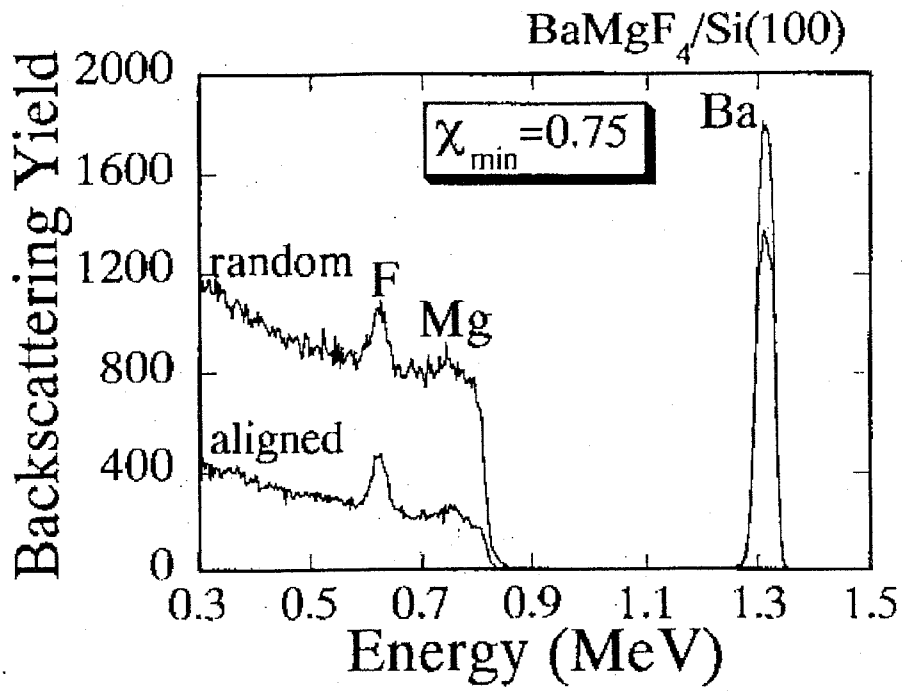


図4-18 S(100)基板の上にBaMgF₄膜を510°Cで堆積した試料のRBSスペクトル。

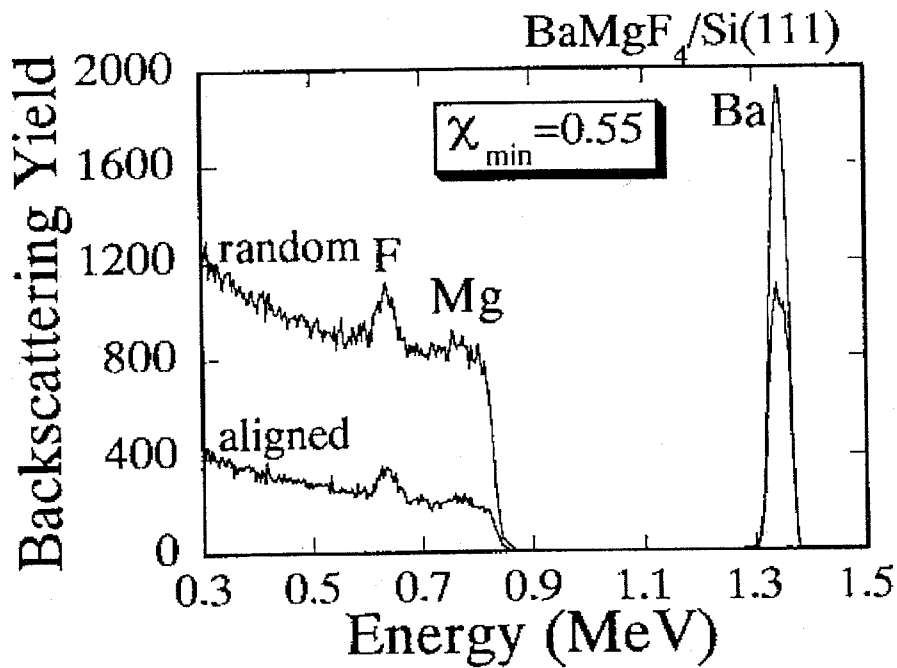


図4-19 S(111)基板の上にBaMgF₄膜を510°Cで堆積した試料のRBSスペクトル。

4-4-3 面内配向性の評価

Si 基板上に基板温度 500°C 付近で堆積した BaMgF₄ 膜は膜厚方向での結晶性が優れていることがわかった。ここでは BaMgF₄ 膜の面内方向での配向性について検討を行った。測定には Si(100) および (111) 基板上に厚さ 58nm の BaMgF₄ 膜を基板温度 510°C で堆積した試料を用いた。まず反射高速電子線回折法 (RHEED 法) によって BaMgF₄ 膜の成膜前後における RHEED パターンから試料最表面での結晶性を評価した。測定にはビーテック社製の RHEED 装置を用い、加速電圧 20kV、電流 27mA の測定条件で行った。図 4-20 に Si(100) 基板上に作製した試料に対して電子線を $\langle 011 \rangle$ 方向から入射した場合の RHEED 像を示す。図 4-20 (a) は BaMgF₄ 膜堆積前の RHEED 像、(b) は BaMgF₄ 膜堆積後の RHEED 像を示している。膜堆積前においては図に示すように清浄化された Si(100) 最表面特有の 2×1 再配列構造が観測される。一方、膜堆積後においては多結晶膜に特有なリング状のパターンも観測されず明瞭なストリーク構造が観測されたことから結晶膜が堆積されているのがわかった。弗化物の表面に電子線が照射された場合、最表面付近の F 原子は脱離するため、観測されるパターンは Ba もしくは Mg 原子からなる格子からの反射であると考えられる。測定されたストリークパターンの間隔から Si(100) の格子より 2 倍程度大きい格子が存在していると考えられる。また電子線を $\langle 011 \rangle$ 方向から入射しても同様なパターンが観測されるため、Si(100) 基板上に形成した BaMgF₄ 膜は結晶粒が面内で配向していることがわかった。同様な測定を Si(111) 基板上に作製した試料に対しても行った。電子線を $\langle 112 \rangle$ 方向から入射した場合の RHEED 像を図 4-21 に示す。図 4-21 (a) の結果から膜堆積前においては清浄化された Si(111) 最表面特有の 7×7 再配列構造が観測される。一方で膜堆積後においては、ややハローながらストリーク構造が観測された。またこうしたパターンは電子線を $\langle 011 \rangle$ 方向から入射しても観測されることから、Si(111) 基板上に形成した BaMgF₄ 膜においても結晶粒が面内で配向していることがわかった。

(a)

(b)



図4-20 Si(100)基板上に作製した試料に対する RHEED 像。電子線の入射方向は $\langle 011 \rangle$ 方向。(a)は BaMgF₄ 膜堆積前の RHEED 像、(b)は BaMgF₄ 膜堆積後の RHEED 像。

(a)

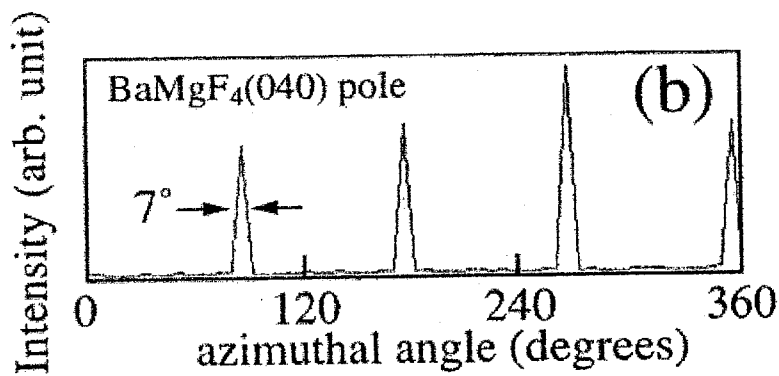
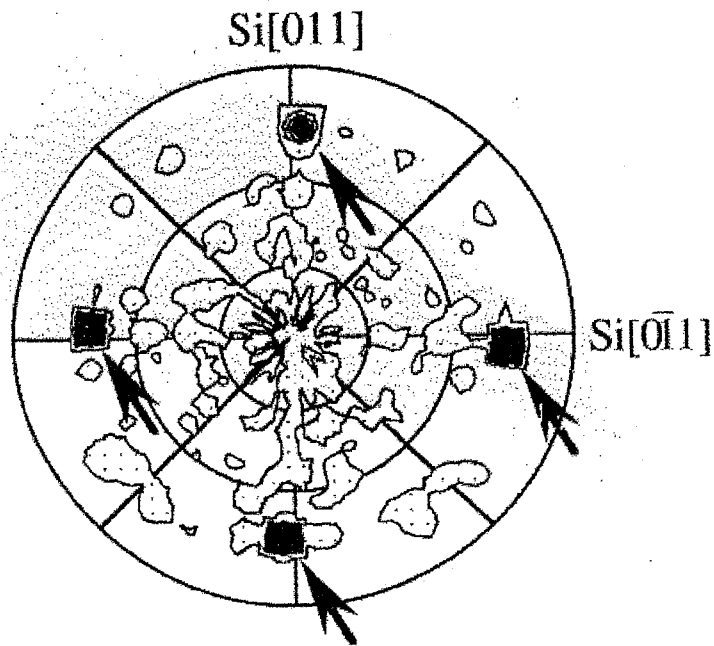
(b)



図4-21 Si(111)基板上に作製した試料に対する RHEED 像。電子線の入射方向は $\langle 112 \rangle$ 方向。(a)は BaMgF₄ 膜堆積前の RHEED 像、(b)は BaMgF₄ 膜堆積後の RHEED 像。

次に、Si(100)および(111)基板上に形成された BaMgF₄ 膜の面内配向性を詳細に検討するためにX線極点図測定を行った。測定ではSi基板の極点と重ならない BaMgF₄ 膜からの極点として BaMgF₄(040)極を用いた。図4-22にSi(100)基板上に作製した試料に対する BaMgF₄(040)極の測定結果を示す。図4-22(a)には測定により得られた極点図、(b)には方位角に対する BaMgF₄(040)極のX線回折強度分布、(c)にはSi(100)基板上に BaMgF₄(011)配向の完全結晶が形成されている場合に測定される BaMgF₄(040)極の位置を示す。図4-22(a)および(b)の結果から、BaMgF₄(040)極が Si[011]および[01̄]の方位のみに沿っていることが分かる。また図4-22(b)から面内における BaMgF₄(040)極の半値幅は約7°であった。図4-22(c)に示すように BaMgF₄の完全結晶が存在する場合には、観測される BaMgF₄(040)極は1点のみであるから、Si(100)上に形成された BaMgF₄(011)配向膜は、面内において4回の対称性をもつ結晶粒からなることがわかった。同様な測定をSi(111)基板上に作製した試料に対しても行った。測定結果を図4-23に示す。図4-23(a)および(b)の結果から、BaMgF₄(040)極が Si[211]、[1̄21]および[112]の方位に沿っていることが分かる。また図4-23(b)から面内における BaMgF₄(040)極の半値幅は約15°であり、Si(100)上に形成した BaMgF₄(011)配向膜より面内配向性は劣ることがわかった。BaMgF₄の完全結晶が存在する場合には、観測される BaMgF₄(040)極は1点のみであることから、Si(111)上に形成された BaMgF₄(120)配向膜は、面内において6回の対称性をもつ結晶粒からなることがわかった。

(a) BaMgF₄ (040) pole figure



(c)

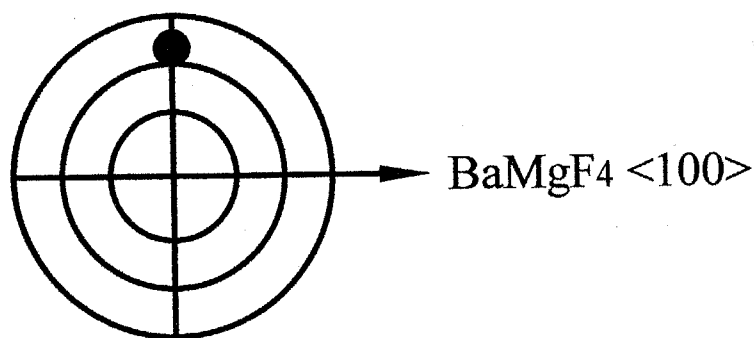


図4-22 Si(100)基板上に作製した試料に対する BaMgF₄(040) 極の X線極点図測定の結果 (矢印で示された極が (040) 極である。)。 (a)は測定により得られた極点図、(b)は方位角に対する BaMgF₄(040) 極の X線回折強度分布、(c)は Si(100)基板上に BaMgF₄(011)配向の完全結晶が形成されている場合に測定される BaMgF₄(040)極の位置。

(a) BaMgF₄ (040) pole figure

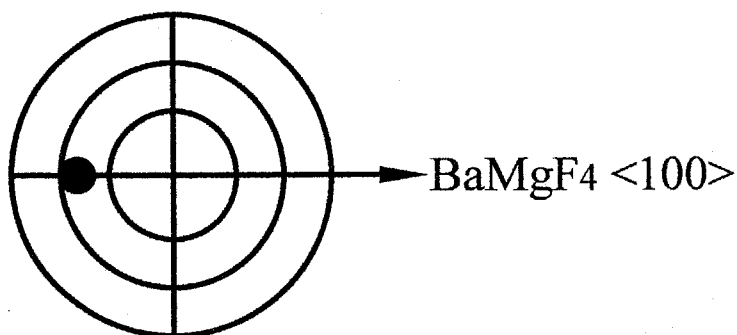
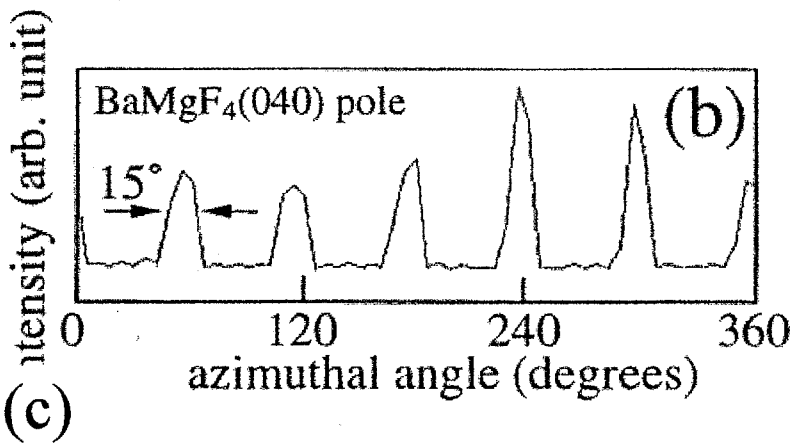
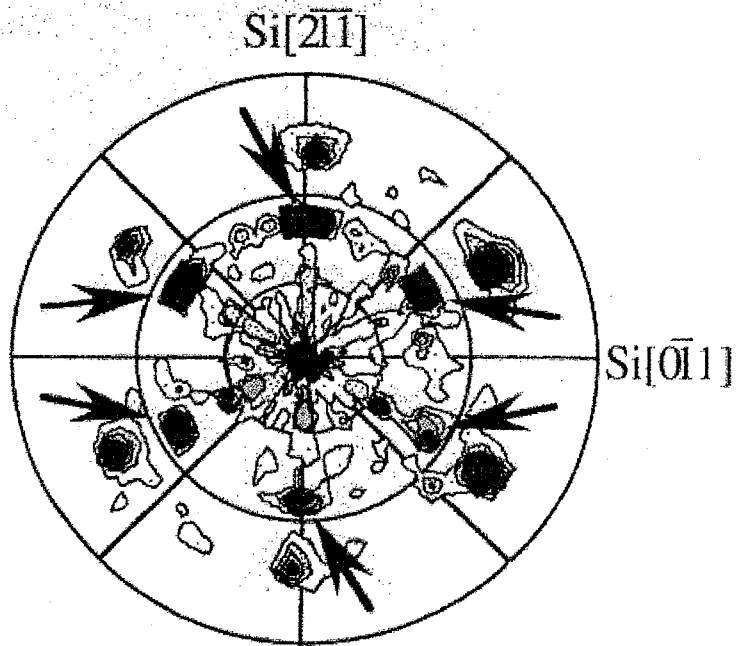


図 4 - 2 3 Si(111) 基板の上に作製した試料に対する BaMgF₄(040) 極の X 線極点図測定の結果 (矢印で示された極が (040) 極である)。 (a) は測定により得られた極点図、(b) は方位角に対する BaMgF₄(040) 極の X 線回折強度分布、(c) は Si(100) 基板の上に BaMgF₄(120) 配向の完全結晶が形成されている場合に測定される BaMgF₄(040) 極の位置。

4-4-4 BaMgF₄膜のエピタキシャル方位

MBE法によって300°C程度の低温で形成した無配向のBaMgF₄膜を熱処理することで、膜厚方向に(010)面に優先配向したBaMgF₄膜が成長できるがわかった。しかし、同様な結果はMBE法を用いないGaAs基板上への成膜でも観測されているため、熱処理により得られるBaMgF₄(010)配向膜は成長法や基板の種類に依存しないと考えられる。またこの時得られるBaMgF₄(010)配向膜は面方向に対して配向性を持たないため、この配向膜は膜厚方向に(010)方位で優先配向した多結晶膜であると結論できる。

一方、Si(100)及び(111)基板に MBE 法を用いて基板温度 500°C 付近で形成した BaMgF₄ 膜は、膜厚方向および面内方向において良好な結晶配向性を持つことから、基板に対してエピタキシャル成長しているといえる。図 4-24 に Si(100) 及び(111) 基板に対する BaMgF₄ 膜のエピタキシャル方位関係を示す。この図より Si(100) 基板においては BaMgF₄(011) を配向面とする BaMgF₄ 結晶粒が、BaMgF₄[100] 方位を Si[011]、[01 $\bar{1}$]、[0 $\bar{1}1$] 及び [01 $\bar{1}$] 方位と平行にして成長している。それに対して Si(111) 基板においては、BaMgF₄(120) を配向面とする BaMgF₄ 結晶粒が BaMgF₄[001] 方位を Si[01 $\bar{1}$]、[0 $\bar{1}1$]、[10 $\bar{1}$]、[10 $\bar{1}$]、[1 $\bar{1}0$] 及び [1 $\bar{1}0$] 方位と平行にして成長している。ここで、BaMgF₄ 結晶の分極方向である [100] 方向に着目すると、Si(100) 基板上に成長した BaMgF₄(011) 膜では分極軸が基板面

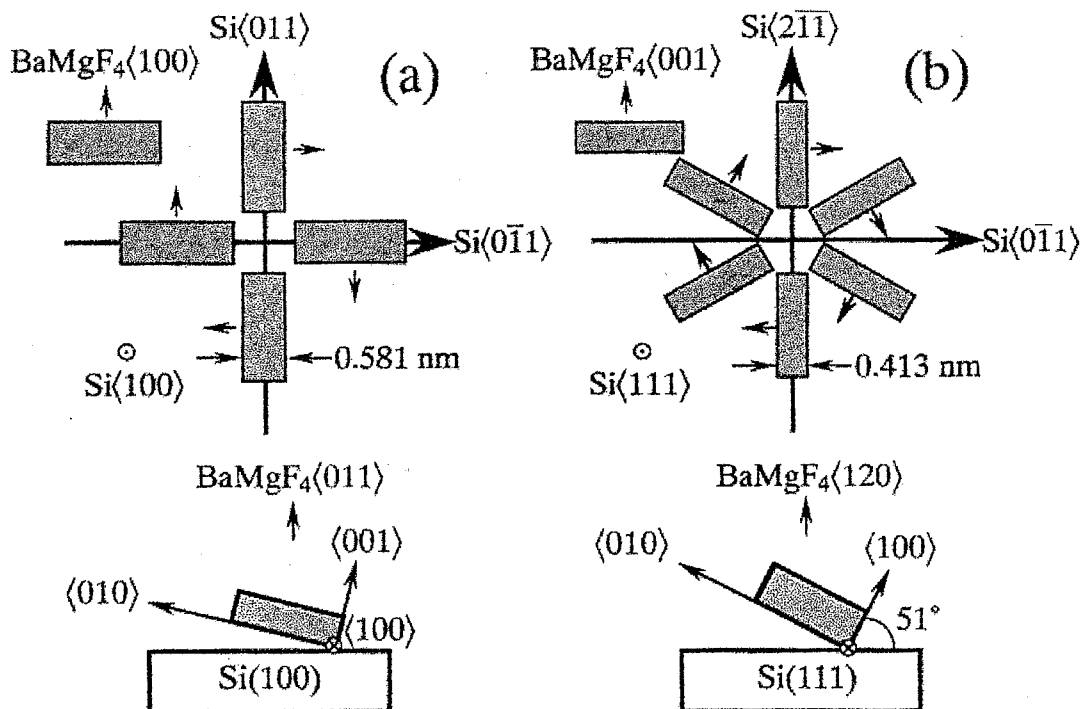


図 4-24 Si 基板上に成長した BaMgF₄ 膜のエピタキシャル方位関係。(a) Si(100) 基板上の BaMgF₄(011) 膜の場合、(b) Si(111) 基板上の BaMgF₄(120) 膜の場合。

に対して平行であるのに対して、Si(111)基板の上に成長したBaMgF₄(120)膜では分極軸が基板面に対して約51°の方向にあることから、基板面に対して垂直方向に分極ベクトルの成分を持つこととなる。このため本研究の目的である強誘電体膜のMISデバイスへの応用を考えた場合、Si(111)基板の上に成長したBaMgF₄(120)膜を用いることが最適であるといえる。

4-4-5 BaMgF₄ エピタキシャル膜の基板との整合性

BaMgF₄はSiに対して結晶構造が異なるにも関わらずSi基板上に良好にエピタキシャル成長する。ここではまずBaMgF₄/Si界面における格子構造の整合性に関する観点から検討を行う。BaMgF₄系列の結晶構造についてはすでにKeveらが報告している。¹⁵ BaMgF₄における結晶構造を図4-25に示す。図中の四角枠はBaMgF₄結晶のユニットセルを表している。この結晶構造図から図4-26に示すようなMg格子点におけるBaMgF₄(011)面およびBaMgF₄(120)面の格子構造図が描ける。BaMgF₄(011)面のMg格子点は0.7541nm×0.5810nmの長方形のユニットセルを構成するのに対してBaMgF₄(120)面のMg格子点は底辺が0.4125nm、高さが0.9293nmの2等辺三角形のセルを構成することがわかる。これに対してSi(100)および(111)基板の最表面での格子構造は図4-27に示す構造となることから、ユニットセルで比較した格子定数的な不整合性は大きいようにみえる。しかし、構造的な類似性を比較すると、Si(100)表面の3×4セルとBaMgF₄(011)面における2×1セルが比較的近い構造をもち、一方でSi(111)表面においてはBaMgF₄(120)面における2等辺三角形のセルと近い構造がみられることから、BaMgF₄(011)および(120)膜に対してSi(100)および(111)基板とも構造上の類似性がみられる。特にSi(100)基板上のBaMgF₄(011)膜においては、Siに対してBaMgF₄は<011>方向で約+1.3%、<011>方向で約-1.8%と格子不整も小さい。SiおよびBaMgF₄最表面の原子は平面方向に化学結合を持たないため平面方向における原子位置の変位についてある程度自由度があると考えられる。そのため格子定数の不整合は格子のひずみとして界面に蓄積された状態でBaMgF₄膜は成長していると考えられる。

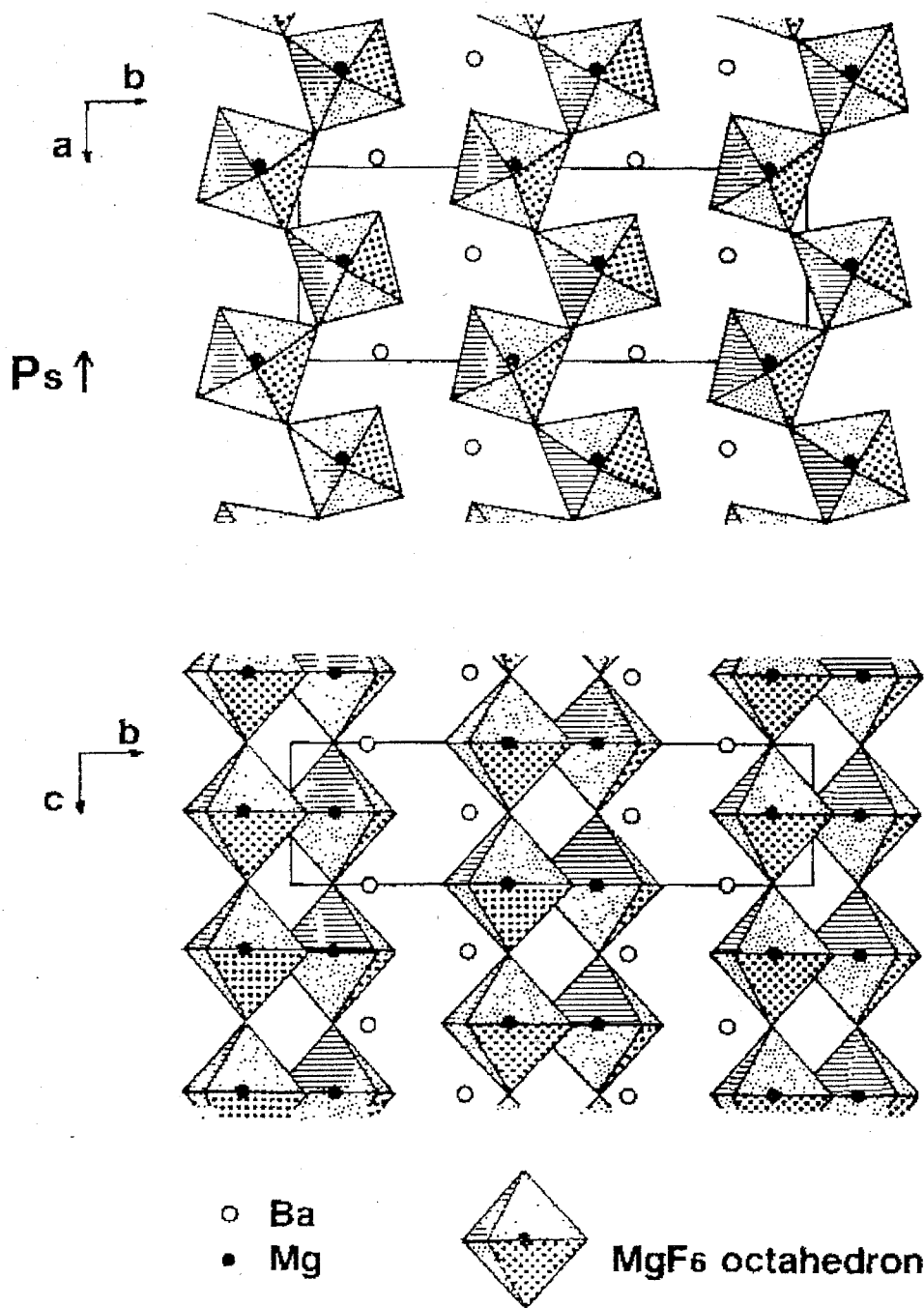


図4-25 BaMgF₄の結晶構造。図中の○はBa格子点、●はMg格子点、MgF₆八面体の頂点はそれぞれFの格子点となっている。また四角枠はBaMgF₄結晶のユニットセルを表している。

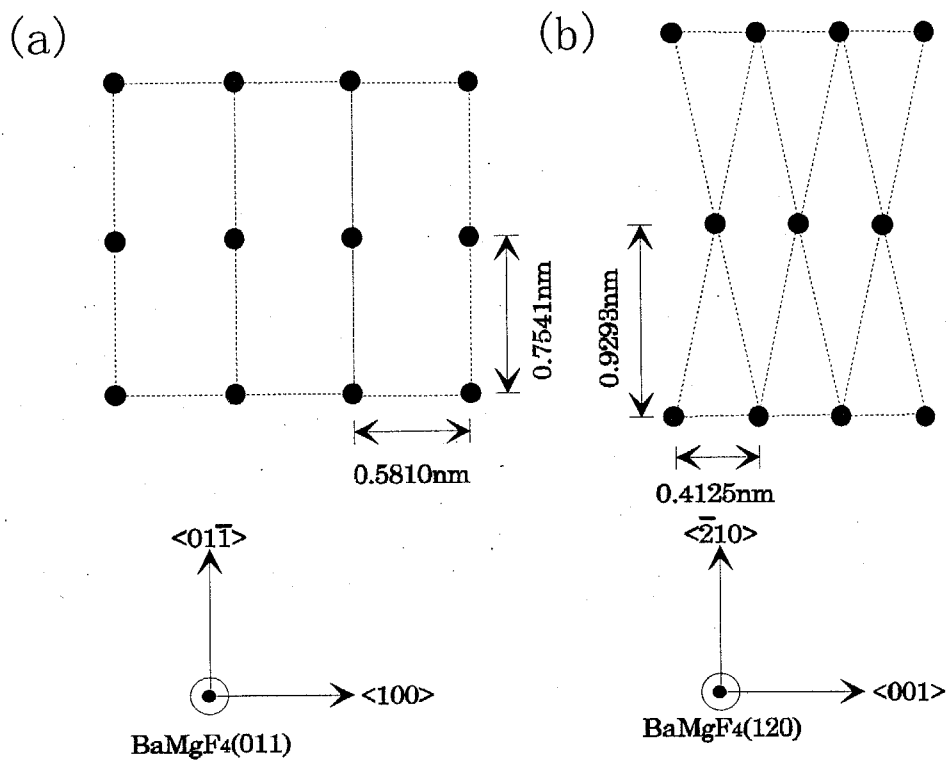


図 4-26 Mg 格子点における、(a) BaMgF₄(011) 面および (b) BaMgF₄(120) 面の格子構造図。

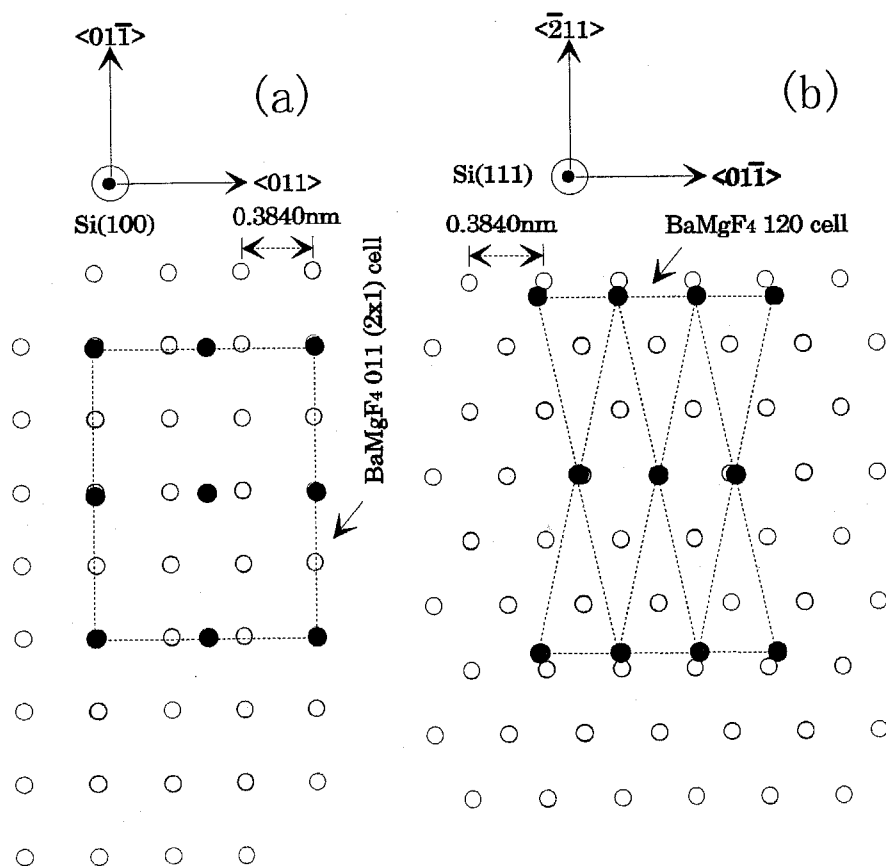


図 4-27 (a) Si(100) および (b) Si(111) 最表面での格子構造図。図中 (a) および (b) の点線は BaMgF₄(011) 面における 2 × 1 セルおよび BaMgF₄(120) 面におけるユニットセルを示す。

BaMgF₄/Si 構造においては構造上の類似性によってある程度の格子不整合は許容されると考えられる、そこで Si(110) 基板の上に BaMgF₄ 膜を MBE 法により基板温度 510°C で堆積し、膜の配向性を X 線回折法により評価した。その結果を図 4-28 に示す。Si(110) 面のユニットセルは 0.5403nm×0.3840nm の長方形セルとなるため BaMgF₄(011) 面との構造的な類似性が高く BaMgF₄(011) の優先配向膜が得られると思われた。しかし得られた BaMgF₄ 膜は多結晶の配向性を示し、特定の面への優先配向はみられなかった。Si(110) 最表面では平面方向に化学結合が存在するため、格子不整合が許容されにくいことが考えられる。

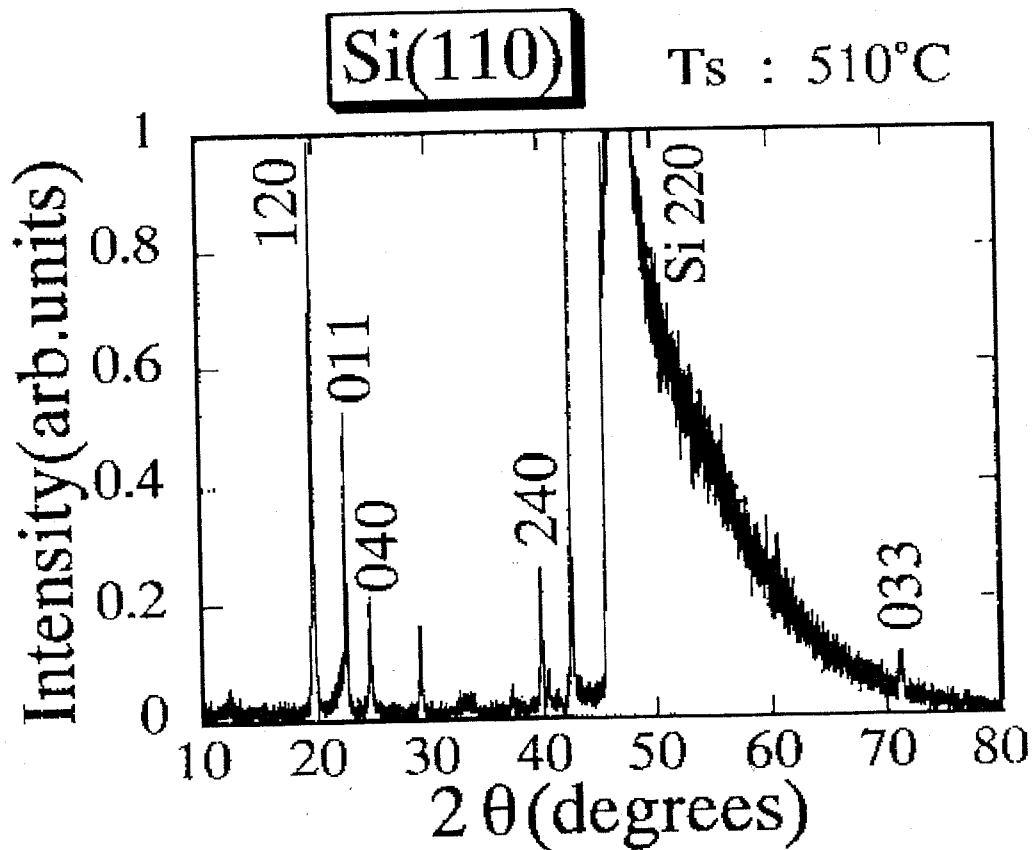


図 4-28 MBE 法を用いて Si(110) 基板の上に基板温度 510°C で堆積した BaMgF₄ 膜の X 線回折パターン。

最後に、SiO₂/Si(100)構造上に形成したPt(111)配向膜を用いて対照実験を行った。すなわち、この構造上にBaMgF₄膜をMBE法により基板温度520°Cで堆積し、膜の配向性を評価した。Ptは室温での格子定数が0.39240nmの面心立方構造の金属で、SiO₂等の非晶質基板では自己配向によって(111)優先配向膜が形成できる。試料の作製条件を表4-10に示す。Pt(111)面の構造はSi(111)面と同じく六員環構造であるがBaMgF₄(120)面との格子不整は比較的大きい(<011>方向で約-32.7%、<211>方向で約-3.3%)。図4-29にX線回折測定の結果を示す。Pt(111)/SiO₂/Si(100)構造上においてBaMgF₄膜はSi(111)基板上と同じBaMgF₄(120)面に強く配向した膜を形成することがわかった。しかもX線回折強度および2θロックングカーブ測定からPt(111)膜上に成長したBaMgF₄(120)配向膜はSi(111)基板上に成長した膜よりも結晶性の優れたエピタキシャル膜であることがわかった。以上の実験および考察からBaMgF₄膜の配向性は基板表面の結晶構造のみならず化学結合状態や界面エネルギー分布などで決定されると推測される。

表4-10 BaMgF₄/Pt/SiO₂/Si(100)構造の作製条件

基板	n型Si(100)
SiO ₂	ドライ酸化 O ₂ 中1000°C、酸化時間48分、膜厚55nm
Pt	電子ビーム蒸着法 基板温度450°C、膜厚380nm
BaMgF ₄	MBE法 基板温度520°C、成長時間1時間、膜厚190nm

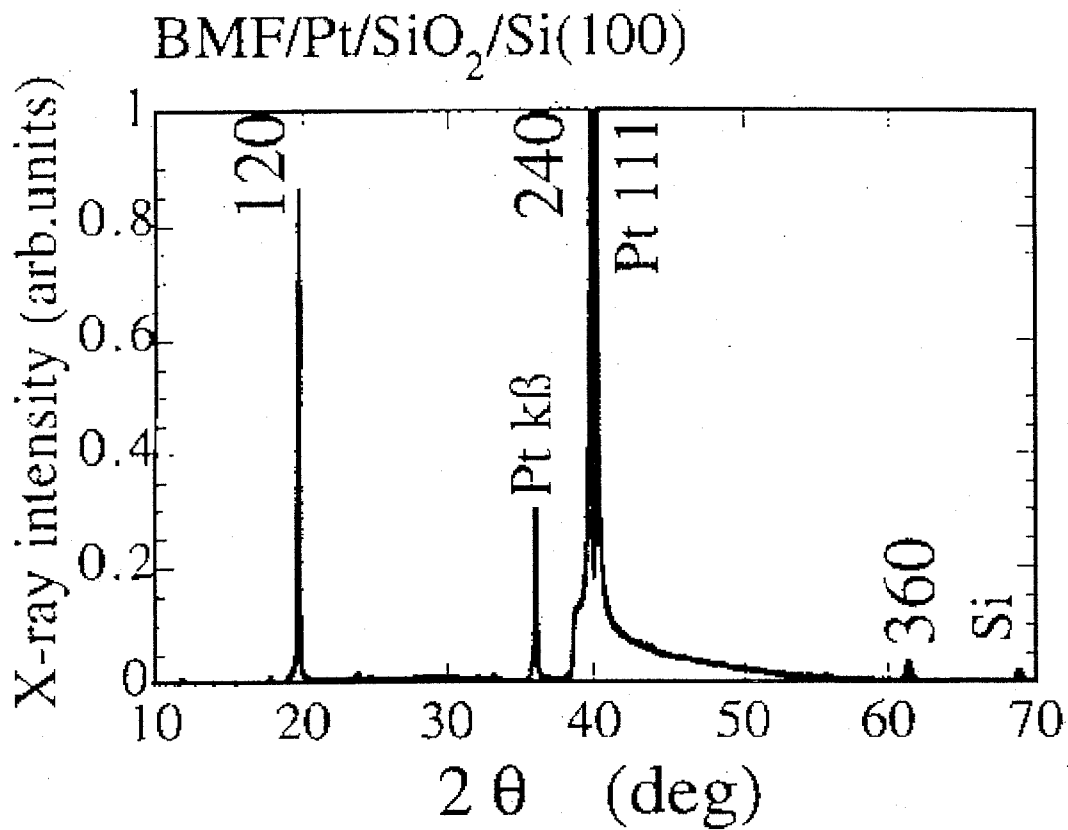


図 4 - 2 9 MBE 法を用いて Pt(111)/SiO₂/Si(100) 構造上に BaMgF₄ 膜を堆積した試料の X 線回折パターン。成膜時の基板温度は 520°C、BaMgF₄ 膜、Pt 膜および SiO₂ 膜の厚さはそれぞれ 190nm、380nm および 55nm。

4-5 まとめ

本章では強誘電体を用いた不揮発性メモリや適応学習型デバイスなど次世代電子デバイスの実現を目的として、GaAs および Si などの半導体基板上における弗化物強誘電体 BaMgF_4 膜の結晶成長について検討を行った。以下に本章で得られた結論を示す。

1. GaAs 基板上に真空蒸着法により BaMgF_4 膜が堆積できることを確認した。このとき基板温度が 500°C 以上において (140) および (200) 配向を含む BaMgF_4 多結晶膜を形成できることを明らかにした。また低温で堆積した無配向の膜を熱処理することで BaMgF_4 (010) 配向の結晶が固相成長することを明らかにした。

これらのことから、膜の垂直方向に分極ベクトルを持つ BaMgF_4 (200) 配向結晶や、膜表面に対して 32° の方向に分極ベクトルをもつ (140) 配向結晶を含む BaMgF_4 膜は本研究目的を達成する上で有効であること結論した。

2. Si (100) 及び (111) 基板上に MBE 法を用いて BaMgF_4 膜を堆積し、基板温度 500°C 付近で形成した BaMgF_4 膜は膜厚方向および面内方向において良好な結晶配向性を持つエピタキシャル膜であることを明らかにした。特に Si (100) 基板上にエピタキシャル成長した BaMgF_4 (011) 膜では分極軸が基板面に対して平行であるのに対して、Si (111) 基板上にエピタキシャル成長した BaMgF_4 (120) 膜では分極軸が基板面に対して約 51° の方向となり、基板面に対して垂直方向に分極ベクトルの成分を持つことを明らかにした。

このことから Si (111) 基板上に成長した BaMgF_4 (120) 膜は本研究の目的である強誘電体膜の MIS デバイスへの応用に有効であること結論した。

参考文献

1. J. Ravez et al.: J. Appl. Phys. 67(5), 2681(1990).
2. 中村輝太郎: 強誘電体と構造相転移、裳華房(1989).
3. 結晶工学ハンドブック、共立出版(1971).
4. S.P. Velsko et al.: J. Appl. Phys. 62(6), 2461(1987).
5. M. Eibshutz et al.: Phys. Lett. A29(7), 409(1969).
6. J.G. Bergman et al.: J. Appl. Phys. 46, 4645(1975).
7. J. Ravez et al.: J. Appl. Phys. 62(10), 4299(1987).
8. J. Ravez et al.: J. Appl. Phys. 68(7), 3529(1990).
9. I.L. Guy et al.: J. Appl. Phys. 61(12), 5374(1987).
10. S. Sinharoy et al.: J. Vac. Sci. Technol. A9(3), 409(1991).
11. 小藤吉郎: 日本結晶学会誌 26, 121(1984).
12. T. Nagamori et al.: Jpn. J. Appl. Phys. 31, 1407(1992).
13. M. Eibschutz et al.: Solid State Comm. 6, 737(1968).
14. H.G. Schnering et al.: Naturwis. 55, 342(1968).
15. E. T. Keve et al.: J. Chem. Phys. 51(11), 4928(1969).
16. 薄膜ハンドブック、日本学術振興会 薄膜第131委員会編, オーム社 909(1983).
17. A. Ishizaka et al.: J. Electrochem. Soc. 133, 666(1986).
18. S. Ohmi et al.: J. Cryst. Growth 150, 1104(1995).

第5章

GaAs および Si 基板上へ成長した強誘電性 BaMgF₄ 薄膜の 電気的特性評価とデバイス応用

本章では、GaAs および Si 基板上に成長した BaMgF₄ 膜の分極特性などの電気的な諸特性を評価した。加えて Si 基板上に成長した強誘電性 BaMgF₄ 膜を用いて電界効果トランジスタを試作し、その動作特性を評価した。

目次

- 5-1 はじめに
 - 5-1-1 強誘電体の分極特性
 - 5-2-2 強誘電体/半導体構造における電気的特性
 - 5-1-3 強誘電体/半導体構造による電界効果トランジスタの動作特性
- 5-2 GaAs 基板上に形成した BaMgF₄ 膜の電気的特性評価
- 5-3 Si 基板上に成長した BaMgF₄ 膜の電気的特性評価
 - 5-3-1 BaMgF₄ 膜の誘電特性
 - 5-3-2 BaMgF₄ 膜の漏れ電流特性
 - 5-3-3 BaMgF₄ 膜の分極特性
 - 5-3-4 BaMgF₄ (120) 配向膜の強誘電性
- 5-4 BaMgF₄/Si 構造を用いた電界効果トランジスタの作製と評価
 - 5-4-1 BaMgF₄/Si 界面の電気的特性評価
 - 5-4-2 トランジスタの作製手順
 - 5-4-3 作製したトランジスタの静特性
 - 5-4-4 トランジスタのパルス印加特性
- 5-5 まとめ
- 参考文献

5-1 はじめに

5-1-1 強誘電体の分極特性¹

一般に強誘電体の両端に電界 E を印加して両端に現れる電荷密度 D を測定すると図 5-1 のような曲線を描くことが知られている。この曲線は強誘電体のヒステリシスループあるいは履歴曲線と呼ばれ、強誘電体に特有の現象である。強誘電体内部では多結晶はもとより単結晶でさえも、自発分極の方向が試料全体にわたって一様であることはなく、自発分極は結晶粒（グレイン）内の分域（ドメイン）と呼ばれる領域内でのみ方向が揃っている。こうした強誘電体内のドメインは電界を印加する前の状態においてはそれぞれ異なった自発分極の方向をもつため、試料全体としては自発分極を示さない。BaMgF₄ やペロブスカイト型酸化物強誘電体で代表される PZT などでは結晶内部の原子の相対変位やそれに伴う格子の伸張によって自発分極を発生する方向が決まるため、結晶中のドメインはいずれかの結晶方位に沿った分極ベクトルを持っている。ドメインとドメインの境界面を分域壁（ドメインウォール）と呼び、強誘電体中にはドメイン中の分極方向が 180° 異なる 180° ドメインウォールと分極方向が 90° 異なる 90° ドメインウォールが存在し、こうしたドメイン構造によって図 5-1 の分極特性が説明される。分極処理されていない試料に電界を印加すると、結晶中の電界と同じ方向の分極を持つドメインはそのままで、電界方向と逆方向の分極を持つドメインは自発双極子モーメントの反転によって 180° 分極方向が変化し、そのほかの分極を持つドメインは 90° 分極方向に分極を変化させる。分極反転の頻度や同一の分極方向を持つドメイン領域は印加する電界の大きさによって増大するため、図 5-1 中の曲線 OAB のように電界強度の増加によって、ついには結晶中の全てのドメインが同じ方向の分極を持つことで大きな自発分極を強誘電体に生じさせる。強誘電体中の全てのドメインが分極反転した後は、外部電界の増加に対して、常誘電体と同様に誘導双極子モーメントに基づく電子分極およびイオン分極が直線的に増加する。（図 5-1 中 BC）ヒステリシスループにおける自発分極 P_s は BC 領域における接線の電界ゼロにおける切片の値で定義される。次にこの状態から電界強度を減少させてゼロにした場合、

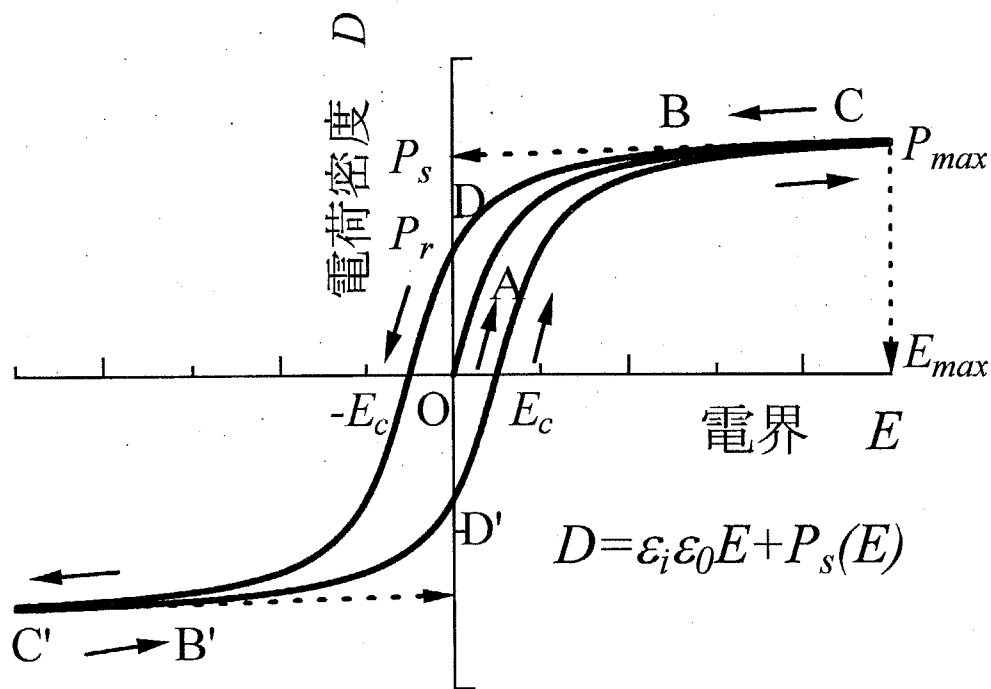


図5-1 強誘電体のヒステリシスループ

試料全体としての自発分極は減少するがゼロにはならず残留分極 P_r が残る。この残留分極をゼロにするためには先ほどとは逆の方向に電界を印加して、ドメイン内の分極方向を反転させる必要がある。分極がゼロになる時の電界 E_c は抗電界と呼ばれる。抗電界を越えて電界強度をさらに増加させた場合、先ほどとは逆方向の分極をもつドメイン領域が強誘電体中に形成されることで逆方向に大きな自発分極が生じ、 $B'C'$ 領域に至る。以後、印加電界の方向によって同様な経過が繰り返されることで図5-1で示すヒステリシスループが形成される。

強誘電体では図5-1に示すように電界強度 E に対して電界密度 D は比例しないために、比誘電率を一義的に定めることができない。通常、強誘電体の比誘電率は、電界ゼロにおける微分比誘電率 ϵ_f で定義される。

$$\epsilon_f = \frac{1}{\epsilon_0} \left. \frac{\partial D}{\partial E} \right|_{E=0} \quad (5-1)$$

すなわち分極処理された強誘電体の場合には図5-1におけるD点での比誘電率となる。強誘電体に誘起される電荷密度 D は自発分極成分 $P(E)$ と常誘電体成

分 $\varepsilon_i \varepsilon_0 E$ の和で表されるから、その場合の微分比誘電率 ε_f は次式のように表される。

$$D = \varepsilon_i \varepsilon_0 E + P(E) \quad (5-2)$$

$$\varepsilon_f = \varepsilon_i + \frac{1}{\varepsilon_0} \left. \frac{\partial P(E)}{\partial E} \right|_{E=0} \quad (5-3)$$

分極処理された強誘電体に正のパルス電界を印加した場合、図 5-1 において D → B → C の変化をたどる。この時の分極変化 $\Delta P_{nsw} = P_{max} - P_r$ は非スイッチング分極変化と呼ばれ、常誘電的成分 $P_{max} - P_s$ と強誘電的成分 $P_s - P_r$ からなる。強誘電的成分 $P_s - P_r$ は試料の温度や表面・界面状態、結晶内部の応力や欠陥などに起因した復元力によって部分的に自発双極子モーメントが 180° あるいは 90° 回転することで生じる。そのため非スイッチング分極変化は D-D' におけるスイッチング分極変化 $\Delta P_{sw} = 2P_r$ と比較して高速に応答するとされている。非スイッチング分極変化を利用する素子では $\Delta P_{nsw} / E_{max}$ を等価的な誘電率として扱うことがある。

5-1-2 強誘電体／半導体構造における電気的特性

ここでは半導体上に強誘電体が接合した場合の電気的特性として、以下のよ
うな条件を持つ理想的な金属－強誘電体－半導体 (MFS) 構造の容量－電圧特性
(C - V 特性)について述べる。

1. 金属と半導体との仕事関数差 ϕ_{ms} はゼロ。
2. 強誘電体中および金属／誘電体、誘電体／半導体界面には固定電荷および界
面準位が存在しない。
3. 強誘電体の抵抗は無限大でかつ強誘電体中の電界は一定。

図 5-2 に n 型半導体を用いた理想的な MFS 構造において、電極に負のバイ
アス電圧 V を印加した場合のエネルギーバンド図を示す。この構造の微分容量 C
は次式で定義される。

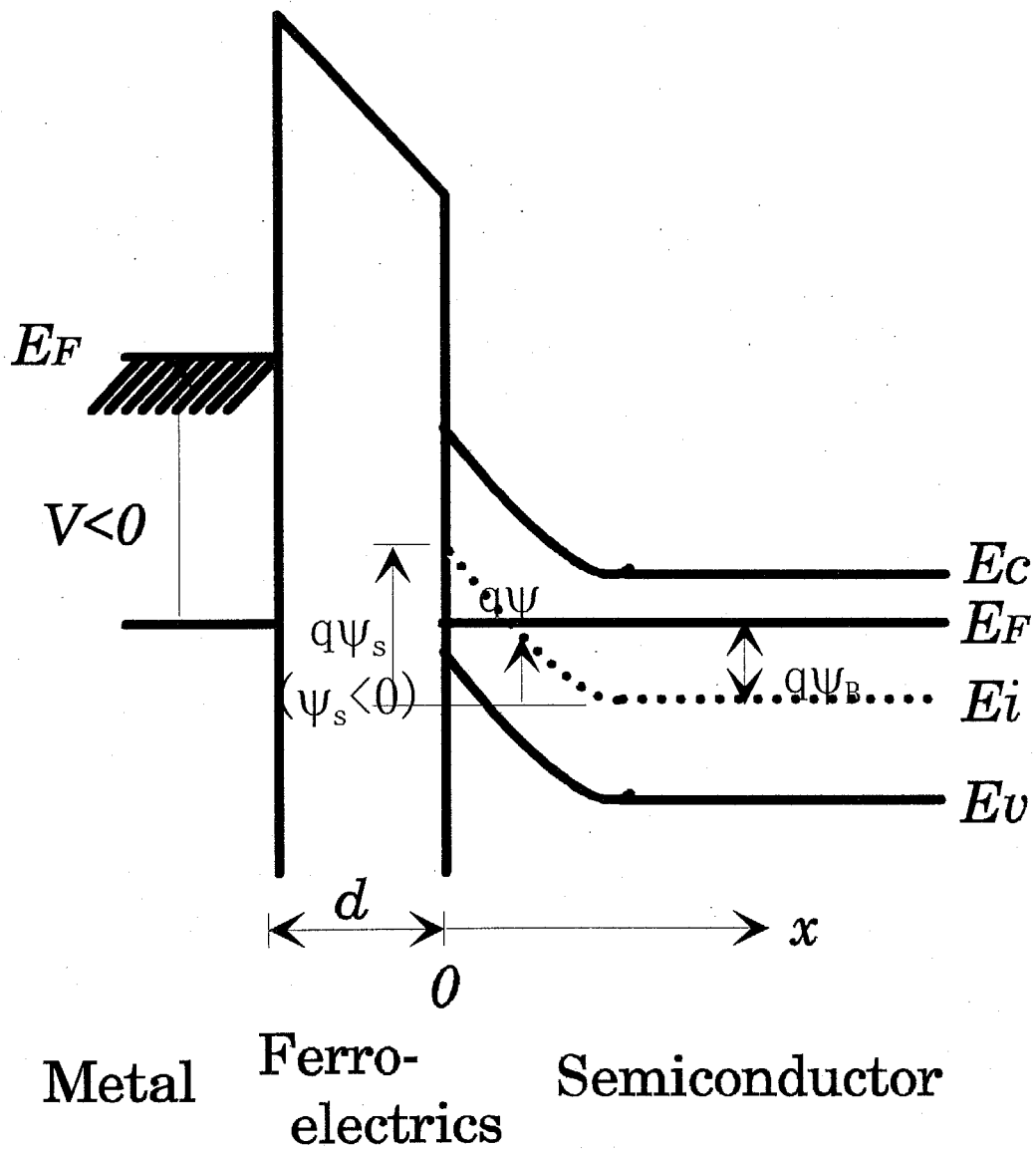


図5-2 理想的なMFS構造ダイオードのエネルギーバンド図 (金属に負バイアスを印加した場合)

$$C = \frac{\partial Q_M}{\partial V} \quad (5-4)$$

ここで、 Q_M は電極上に誘起される単位面積当たりの電荷量である。

次に、強誘電体の両端に電圧 V_f が印加されたときに誘起される電荷量を Q_f 、半

導体の表面電位 ψ_s における半導体側の全電荷量を Q_s とした場合、 Q_M 、 Q_f および Q_s には次式のような関係が成り立つ。

$$|Q_M| = |Q_f| = |Q_s| \quad (5-5)$$

$$\Delta Q_f = \frac{\partial Q_f}{\partial V_i} \Delta V_i \quad (5-6)$$

$$\Delta Q_s = \frac{\partial Q_s}{\partial \psi_s} \Delta \psi_s \quad (5-7)$$

$$\Delta V = \Delta V_i + \Delta \psi_s \quad (5-8)$$

これらの式から、(5-4) 式を変形することで次式を得る。

$$C = \frac{\frac{\partial Q_f}{\partial V_i} \cdot \frac{\partial Q_s}{\partial \psi_s}}{\frac{\partial Q_f}{\partial V_i} + \frac{\partial Q_s}{\partial \psi_s}} \quad (5-9)$$

$\partial Q_f / \partial V_i$ は強誘電体の微分容量であり、(5-2) 式を用いると次式のように書ける。

$$\frac{\partial Q_f}{\partial V_i} = \frac{\epsilon_i \epsilon_0}{d} + \frac{\partial P(V_i/d)}{\partial V_i} \quad (5-10)$$

ここで、 d は強誘電体の厚さである。

また $\partial Q_s / \partial \psi_s$ は半導体空乏層の微分容量で、次式で与えられる。²

$$\frac{\partial Q_s}{\partial \psi_s} = \text{SGN}(\psi_s) \frac{\epsilon_s \epsilon_0}{\sqrt{2} L_D} \cdot \frac{[e^{\beta \psi_s} - 1 + (p_{n0}/n_{n0})(1 - e^{-\beta \psi_s})]}{F(\beta \psi_s, p_{n0}/n_{n0})} \quad (5-11)$$

$$F(\beta\psi_s, p_{n0}/n_{n0}) = \left[(e^{\beta\psi} - \beta\psi - 1) + \frac{p_{n0}}{n_{n0}} (e^{-\beta\psi} + \beta\psi - 1) \right]^{1/2} \quad (5-12)$$

$$L_D = \sqrt{\frac{\epsilon_s \epsilon_0}{qn_{n0}\beta}} \quad (5-13)$$

$$\beta = \frac{q}{kT} \quad (5-14)$$

$$SGN(x) = \begin{cases} +1(x > 0) \\ -1(x < 0) \end{cases}$$

ここで、 ϵ_s は半導体の比誘電率、 n_{n0} および p_{n0} は熱平衡状態における電子および正孔密度、 L_D は電子（多数キャリア）に対する外因性デバイ長である。

強誘電体に生じる電荷量 Q_f は電圧に対して非線形であるため、(5-9)式を用いて電圧 V に対する容量 C を解析的に解くことは困難である。MFSダイオードの定性的な C - V 特性は次のようにして得ることができる。

1. 強誘電体に印加される電圧 V_i に対する強誘電体/半導体界面付近に生じる電荷量 Q_f および半導体側の全電荷量 $-Q_s$ の変化を描く。(図5-3(a))なお Q_f は(5-2)式、 Q_s は次式で与えられる。²

$$Q_s = -SGN(V - V_i) \frac{\sqrt{2}\epsilon_s \epsilon_0}{\beta L_D} F\left(\beta(V - V_i), \frac{p_{n0}}{n_{n0}}\right) \quad (5-15)$$

2. 電荷量 Q_M は V_i に対する Q_f と Q_s との交点から求められるので、これから電圧 V に対する電荷量 Q_M の概形が描ける。(図5-3(b))
3. 図5-3(b)を電圧 V に対して微分することで微分容量 C が求まる。(図5-3(c))

図5-3(c)からわかるように、金属-強誘電体-半導体構造の C - V 特性は強誘電体の分極特性と同様なヒステリシスループを描き、フラットバンド状態($\psi_s=0$)において $2E_c d$ の電圧差(メモリウィンドウ)を生じる。これは強誘電体

内の自発分極によって半導体の表面ポテンシャルが固定されるためである。なお、図5-3(c)は容量測定において測定信号の周期が反転電荷の生成再結合時間よりも十分長い場合の特性であるが、測定周波数が1MHz程度となると反転電荷の生成再結合が測定信号の変化に追従できなくなる。すなわち電圧変化に対する反転電荷の変化はほとんどなくなるため、バイアス電圧の増加に対して微分容量は半導体の最大空乏層幅 W_m で決まる反転容量 C_{min} に漸近する。(図中の点線) ここで、 W_m および C_{min} は強反転状態 ($\psi_s = 2\psi_B$) における空乏層幅および微分容量として与えられる。

$$W_m \approx \sqrt{\frac{4\varepsilon_s \varepsilon_0 kT \ln(n_{n0}/n_i)}{q^2 n_{n0}}} \quad (5-16)$$

$$C_{min} \approx \frac{\varepsilon_i \varepsilon_0}{d + \frac{\varepsilon_i}{\varepsilon_s} W_m} \quad (5-17)$$

ここで、 n_i は半導体の真性キャリア密度である。

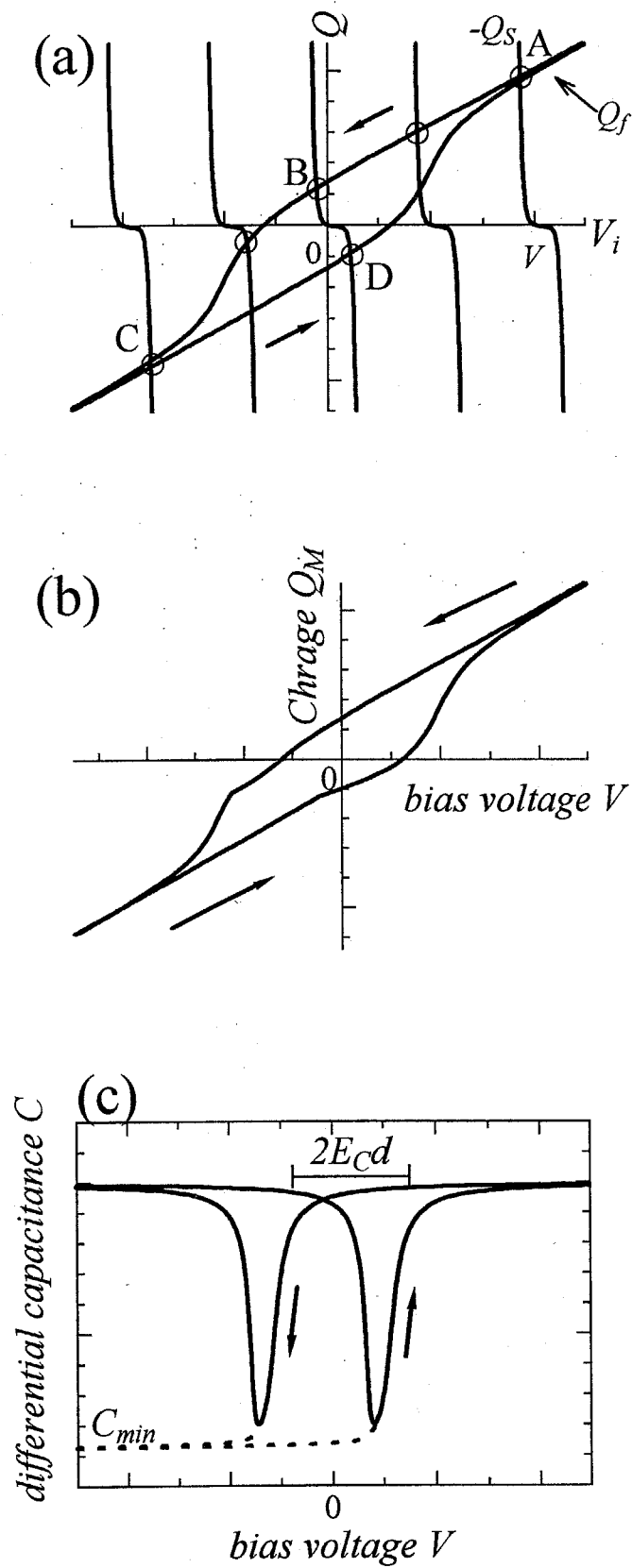


図 5 - 3 MFS 構造における電気的特性

- (a) 強誘電体に印加される電圧 V_i に対する電荷量 Q_f および $-Q_s$ 、
 (b) 電圧 V に対する電荷量 Q_M 、 (c) 電圧 V に対する微分容量 C 。

図5-3(a)中の点A~点DにおけるMFS構造のエネルギーバンド図と電位分布を図5-4に示す。正のバイアス電圧を印加した(a)の状態では半導体内の x 方向での電位 V は x の2次関数で変化し、強誘電体内の電位は直線的に変化する。この時、強誘電体内には外部電界によって自発分極 P_s が生じる。(b)は(a)の状態からバイアス電圧をゼロにした場合を示している。電極の電位はゼロであるが、強誘電体内の電位は残留分極 P_r による内部電界のため直線的に変化する。また半導体表面の電位は残留分極 $+P_r$ で決まる電位で固定されるため、電子の蓄積状態が保持される。(c)は(b)の状態から負のバイアス電圧を印加した場合を示している。強誘電体に抗電界 E_c 以上の逆方向電界が印加されると、強誘電体内の自発分極は反転し、(a)とは正負反対の電位分布となる。この状態からバイアス電圧をゼロにした場合、(d)に示すように(b)とは逆に半導体表面の電位は残留分極 $-P_r$ によって固定されるため、反転状態が保持される。このように金属-強誘電体-半導体(MFS)構造は強誘電体の自発分極によって、半導体の表面電位を制御・保持することができる。

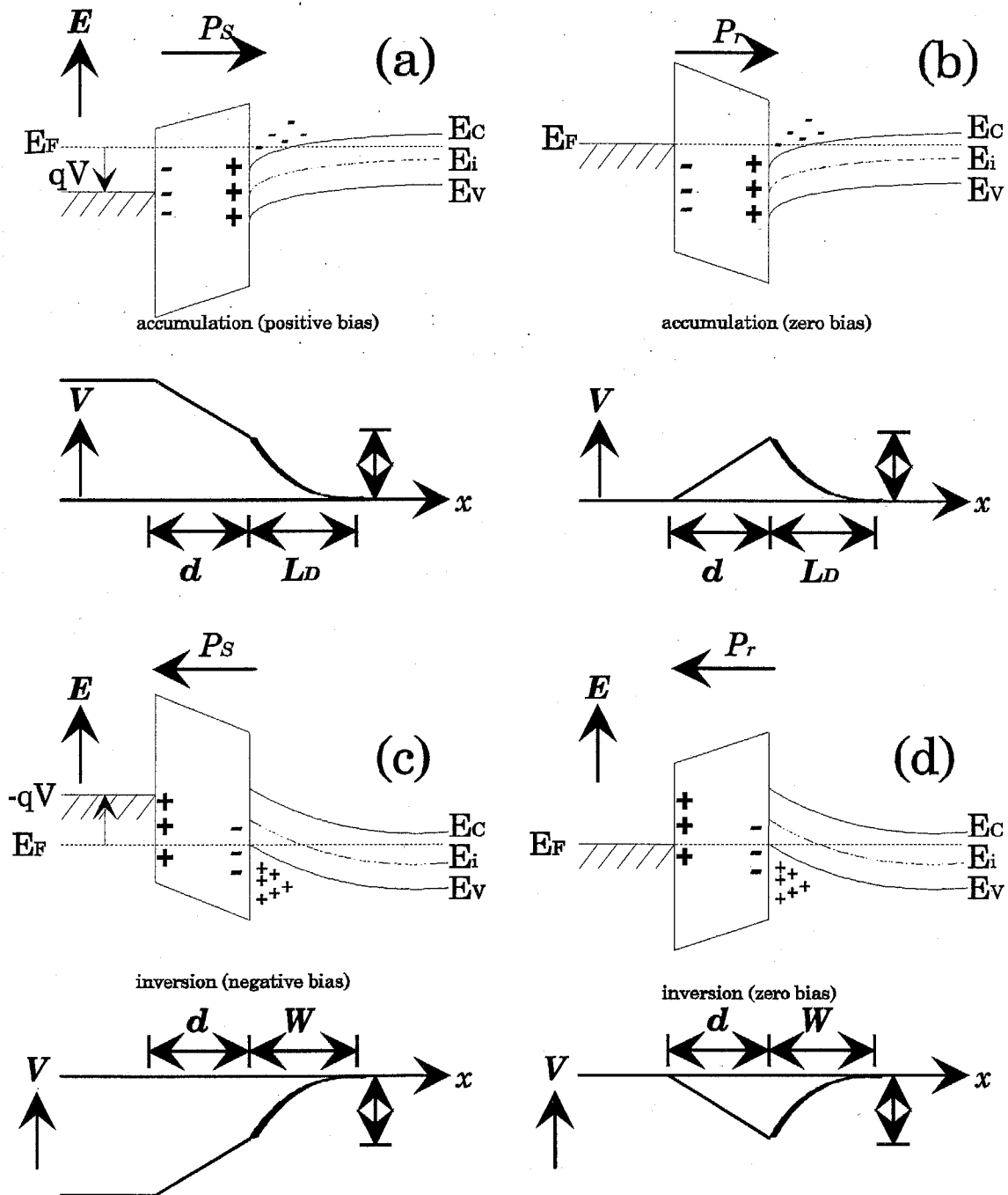


図5-4 バイアス印加におけるMFS構造のエネルギーバンド図と電位分布。

- (a) 正バイアス印加時 (蓄積状態、図5-3(a)中の点A)、
 (b) 正バイアス印加後、ゼロバイアス (図5-3(a)中の点B)、
 (c) 負バイアス印加時 (反転状態、図5-3(a)中の点C)、
 (d) 負バイアス印加後、ゼロバイアス (図5-3(a)中の点D)。

5-1-3 強誘電体/半導体構造による電界効果トランジスタの動作特性

ここでは金属-強誘電体-半導体(MFS)構造の電界効果トランジスタの動作特性として、n型半導体を基板に用いたMFSトランジスタのゲート-ソース電圧(V_g)に対するドレイン電流(I_d)特性を求める。図5-5に解析に用いた素子構造の断面図を示す。なおここでは以下のような理想条件下で解析を行う。

1. ゲート構造には理想的なMFS構造を用いる。
2. ドリフト電流のみを考慮する。
3. 反転層内でのキャリア移動度は一定。
4. pn接合の逆方向漏れ電流は無視できるほど小さい。
5. 縦方向の電界(x方向)は横方向の電界(y方向)より遥かに大きいgradual channel近似を用いる。

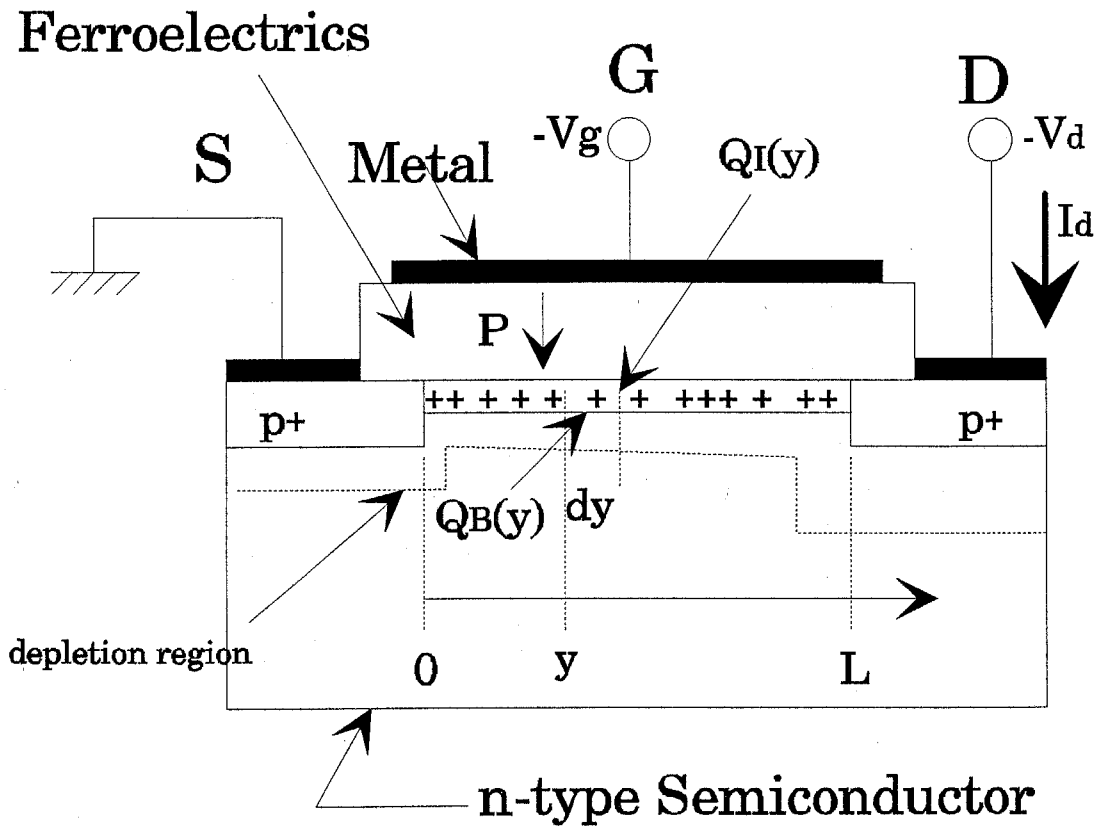


図5-5 MFS構造トランジスタの断面モデル

ゲート電極に電圧 $-V_g$ を印加した場合、ソース端からの位置 y において半導体側に誘起される単位面積当たりの全電荷量 Q_s は (5-2) 式を用いて次式のよ
うに表される。

$$Q_s = \varepsilon_i \varepsilon_0 \frac{V_g + \psi_s(y)}{d} - P \left(-\frac{V_g + \psi_s(y)}{d} \right) \quad (5-18)$$

ここで $P(E)$ は強誘電体に印加される電界 E によって決まる自発分極である。反転状態における表面電位 ψ_s は反転層の電位を $V(y)$ として、 $-2\psi_B + V(y)$ で表現できる。また、このときの電荷量 Q_s は反転電荷 $Q_I(y)$ と空乏層の空間電荷 $Q_B(y)$ の和で表される。

$$Q_s(y) = Q_I(y) + Q_B(y) \quad (5-19)$$

$$Q_B(y) = \sqrt{2\varepsilon_s \varepsilon_0 q n_{n0} [-V(y) + 2\psi_B]} \quad (5-20)$$

(5-18) ~ (5-20) 式から、点 y における反転電荷密度 Q_I は次式のようになる。

$$Q_I(y) = \varepsilon_i \varepsilon_0 \frac{V_g + V(y) - 2\psi_B}{d} - P \left(-\frac{V_g + V(y) - 2\psi_B}{d} \right) - \sqrt{2\varepsilon_s \varepsilon_0 q n_{n0} [-V(y) + 2\psi_B]} \quad (5-21)$$

チャネルの微小領域 dy における電位差 dV はこの領域を流れる電流を I_d (一定) として次式で表される。

$$dV = I_d \frac{dy}{Z\mu_p |Q_I(y)|} \quad (5-22)$$

ここで Z はトランジスタのチャネル幅、 μ_p は反転キャリア (正孔) の移動度である。

ソースを接地して、ドレインに $-V_d$ を印加した場合のドレイン電流 I_d は (5-22) 式を積分することで得られる。

$$I_d \int_0^L dy = Z \mu_p \int_0^{-V_d} \left\{ \varepsilon_i \varepsilon_0 \frac{V_g + V - 2\psi_B}{d} - P \left(-\frac{V_g + V - 2\psi_B}{d} \right) - \sqrt{2\varepsilon_i \varepsilon_0 q n_{n0} [-V + 2\psi_B]} \right\} dV \quad (5-23)$$

$$I_d = -\frac{Z \mu_p \varepsilon_i \varepsilon_0}{L d} \left\{ \left(V_g - 2\psi_B - \frac{V_d}{2} \right) V_d + F(V_g, V_d) - \frac{2 d \sqrt{2\varepsilon_s \varepsilon_0 q n_{n0}}}{\varepsilon_i \varepsilon_0} \left[(V_d + 2\psi_B)^{3/2} - (2\psi_B)^{3/2} \right] \right\} \quad (5-24)$$

$$F(V_g, V_d) = \frac{d^2}{\varepsilon_i \varepsilon_0} \int_{\frac{V_g - 2\psi_B}{d}}^{\frac{V_g - V_d - 2\psi_B}{d}} P(E) dE \quad (5-25)$$

ここで、 L はトランジスタのチャネル長である。

(5-24) 式は p チャネル MFS トランジスタにおけるドレイン電流 I_d の厳密解である。

次に強誘電体の自発分極による I_d - V_g 特性の変化について述べる。ここでは強誘電体の分極 $P(E)$ を次式のように定義する。³

$$P^+(E) = P_s \tanh\left(\frac{E - E_c}{2\delta}\right) \quad (5-26-1)$$

$$P^-(E) = P_s \tanh\left(\frac{E + E_c}{2\delta}\right) \quad (5-26-2)$$

$$\delta = E_c \left[\ln\left(\frac{1 + P_r/P_s}{1 - P_r/P_s}\right) \right]^{-1} \quad (5-27)$$

ここで添字の + および - は印加電界が負から正に変化する場合および正から負

に変化する場合の分極曲線に対応する。また P_s 、 P_r および E_c はそれぞれ強誘電体の飽和自発分極、残留分極および抗電界である。

(5-26) 式を用いると (5-25) 式は次のように展開できる。

$$F^\pm(V_g, V_d) = 2\delta P_s \frac{d^2}{\epsilon_i \epsilon_0} \ln \left[\frac{\cosh\left(\frac{V_g - V_d - 2\psi_B \pm E_c d}{2\delta d}\right)}{\cosh\left(\frac{V_g - 2\psi_B \pm E_c d}{2\delta d}\right)} \right] \quad (5-28)$$

最初、MFS トランジスタのゲート電極には十分大きい正のゲート電圧 ($-V_g$) が印加されている場合を考える。このとき強誘電体にはほぼ $\epsilon_i \epsilon_0 E + P_s$ の電荷が誘起され、半導体表面は蓄積状態となっている。この状態からゲート電圧を負の方向に変化させた場合、強誘電体内部の自発分極は $F^-(E)$ の分極曲線に沿って反転する。十分大きい負のゲート電圧が印加された後では、(5-28) 式は以下のように近似できる。

$$F^-(V_g, V_d) \approx \frac{d}{\epsilon_i \epsilon_0} P_s V_d$$

これより、 $V_D \ll 2\psi_B$ における近似を用いるとドレイン電流は次式のように与えられる。

$$I_d \approx -\frac{Z}{L} \mu_n \frac{\epsilon_i \epsilon_0}{d} \left(V_g - 2\psi_B - \frac{d \sqrt{2\epsilon_s \epsilon_0 q n_{n0} (2\psi_B)}}{\epsilon_i \epsilon_0} + \frac{d}{\epsilon_i \epsilon_0} P_s - \frac{V_d}{2} \right) V_d \quad (5-29)$$

半導体の表面ポテンシャルが弱反転状態から蓄積状態になるようにゲート電圧が印加される場合、強誘電体の自発分極は $F^+(E)$ の分極曲線に沿って変化する。十分大きい正のゲート電圧が印加された後のドレイン電流は次式で与えられる。

$$I_d \approx -\frac{Z}{L} \mu_n \frac{\epsilon_i \epsilon_0}{d} \left(V_g - 2\psi_B - \frac{d \sqrt{2\epsilon_s \epsilon_0 q n_{n0} (2\psi_B)}}{\epsilon_i \epsilon_0} - \frac{d}{\epsilon_i \epsilon_0} P_S - \frac{V_d}{2} \right) V_d \quad (5-30)$$

(5-24) 式から求めた I_d - V_g 特性を図 5-6 に示す。図中の数値は計算に用いた数値、点線は (5-29) 式から求めた結果である。この図からわかるように MFS トランジスタでは強誘電体の自発分極特性に従って半導体表面の電位が変化するため、ゲート電圧の掃引方向によってトランジスタのしきい値が変化する。

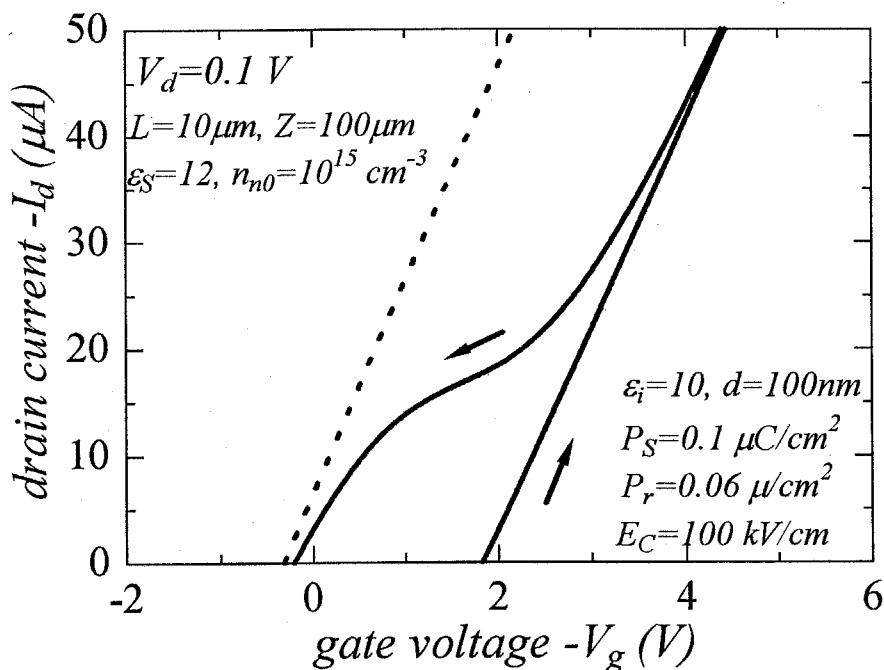


図 5-6 MFS トランジスタの V_g - I_d 特性 (計算結果)。図中の数値は計算に用いた数値、点線は (5-29) 式から求めた結果である。

5-2 GaAs 基板上に形成した BaMgF₄ 膜の電気的特性評価

ここでは GaAs 基板上に形成した BaMgF₄ 膜の漏れ電流特性、誘電体特性を評価した。測定に用いた試料を表 5-1 に示す。試料 1 および 2 は真空蒸着法を用いて GaAs (100) および (111)B 基板上に基板温度 350°C で BaMgF₄ 膜を形成した試料である。また試料 3 および 4 は基板温度 360°C で BaMgF₄ 膜を堆積した後に真空を破らずに基板温度 600°C で 30 分の熱処理を行った試料である。電気的測定を行うにあたってそれぞれの試料表面には、直径 200mm~800mm の Al 電極を真空蒸着によって形成した。電気的測定では図 5-7 に示すように、シールドボックス

表 5-1 GaAs 基板上に形成した BaMgF₄ 膜の電気的特性評価に用いた試料

	基板方位	基板温度 (°C)	熱処理温度 (°C)	熱処理時間 (分)	BaMgF ₄ 膜厚 (nm)	配向
試料 1	GaAs (100)	350	—	—	100	無配向
試料 2	GaAs (111)B	350	—	—	100	無配向
試料 3	GaAs (100)	360	600	30	175	(100) 配向含む (010) 優先配向
試料 4	GaAs (111)B	360	600	30	175	(120) 配向含む (010) 優先配向

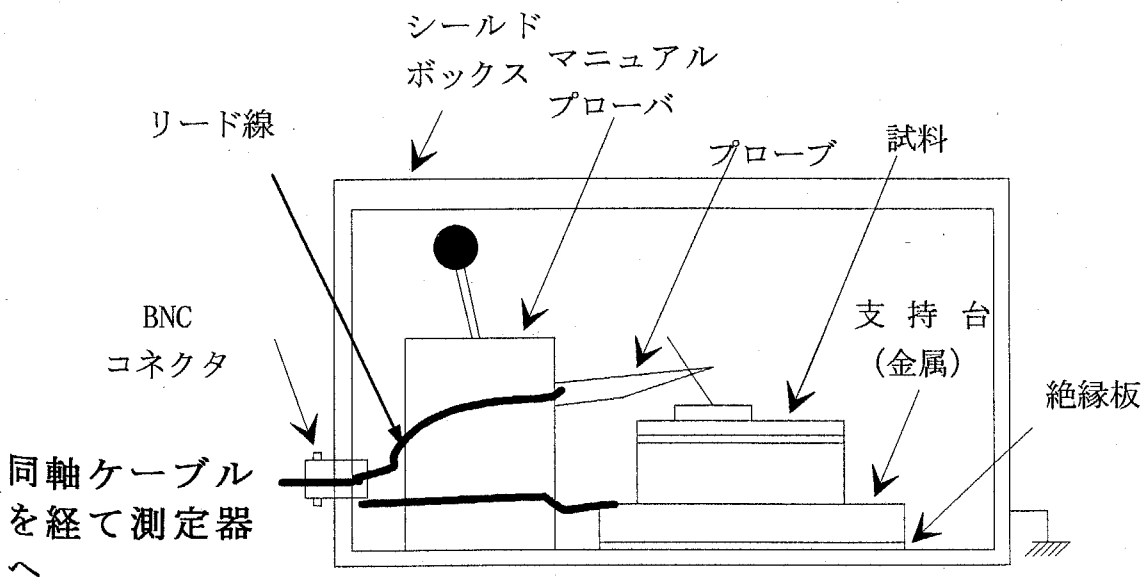


図 5-7 測定に用いた試料台とプローバーの概略図

ス内に固定した試料の電極上に金属プローブを接触させ、電極と基板間に測定信号を印加して測定を行った。漏れ電流特性においては 10^{-12} A までの微小電流が測定可能な直流電圧源（ケースレー社製 quasi-static CV メータ、595 型）を用いて試料の垂直方向に流れる漏れ電流を測定した。また誘電特性の測定としてはインピーダンスアナライザ（HP 社製）を用いて測定周波数 1kHz から 1MHz、測定信号電圧 15mV、直流印加電圧 0V における静電容量を測定した。なおこの場合、GaAs 基板表面における空乏層容量の測定結果へ与える影響を少なくするために、ドーパントとして Si を約 10^{18} cm⁻³ 添加した比較的低抵抗な GaAs 基板を用いている。表面電位がゼロの場合、GaAs 表面付近では (5-13) 式で定義されるデバイ長程度の空乏層が生じていると考えられる。 10^{18} cm⁻³ 程度の不純物を含む GaAs 基板の場合、デバイ長は 4nm(300K)程度であるが、測定に用いた試料における BaMgF₄ 膜の膜厚は 100nm 以上であるため表面空乏層が測定結果に与える誤差は 3.5%以下と見積もられる。このため測定結果の評価では電極-基板間に印加した正のバイアス電圧はすべて BaMgF₄ 膜に加えられ、GaAs 表面の空乏層の影響は無視できると仮定した。

図5-8に表5-1に示した試料の漏れ電流特性の結果を示す。この結果から基板温度 350°Cで形成した無配向 BaMgF₄ 膜は基板の面方位によらずほぼ同様な漏れ電流特性を示すことがわかった。このときの膜の比抵抗は電界強度 40kV/cm 時において約 $4 \times 10^{10} \Omega \text{ cm}$ 、膜の絶縁破壊強度は約 50kV/cm と低く、絶縁膜としての応用を考えた場合、電氣的絶縁性は十分でないことがわかった。無配向 BaMgF₄ では結晶性の不完全性に起因した漏れ電流が支配的であると考えられる。一方、600°Cで熱処理を行った試料3および試料4は漏れ電流も低く、絶縁破壊強度も向上することがわかった。特に試料4においては 91.4kV/cm の電界強度において漏れ電流密度 $3.8 \times 10^{-9} \text{ A/cm}^2$ 、抵抗率 $2.6 \times 10^{13} \Omega \text{ cm}$ の絶縁性に優れた BaMgF₄ 膜であることがわかった。熱処理を施した試料の方が絶縁性

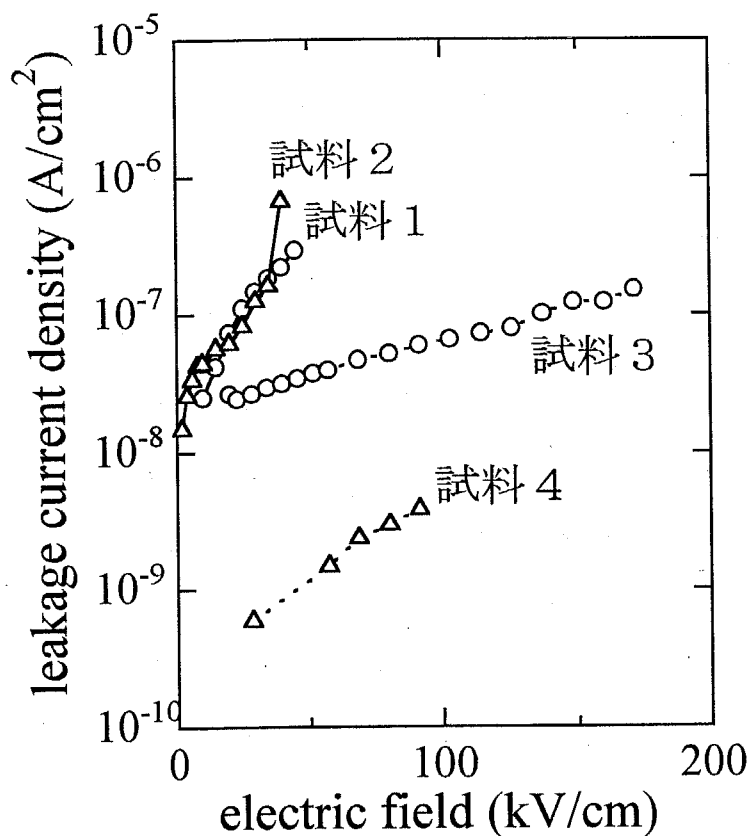


図5-8 GaAs基板上BaMgF₄膜の漏れ電流特性

の優れた BaMgF_4 膜が得られるのは膜の結晶化によって結晶欠陥や転移が低減したためと考えられる。

BaMgF_4 膜の誘電特性については誘電率の周波数分散（誘電分散）を測定し、評価を行った。図 5-9 に試料 4 における誘電率の周波数分散を示す。ここで BaMgF_4 膜の誘電率は測定された容量値から算出した。この結果から 1MHz における誘電率は約 10.5 で低い周波数ほど誘電率は増加することがわかった。こうした周波数分散は弗化物膜で一般に観測され、この場合の周波数分散はイオン分極や配向分極などの影響によると考えられる。

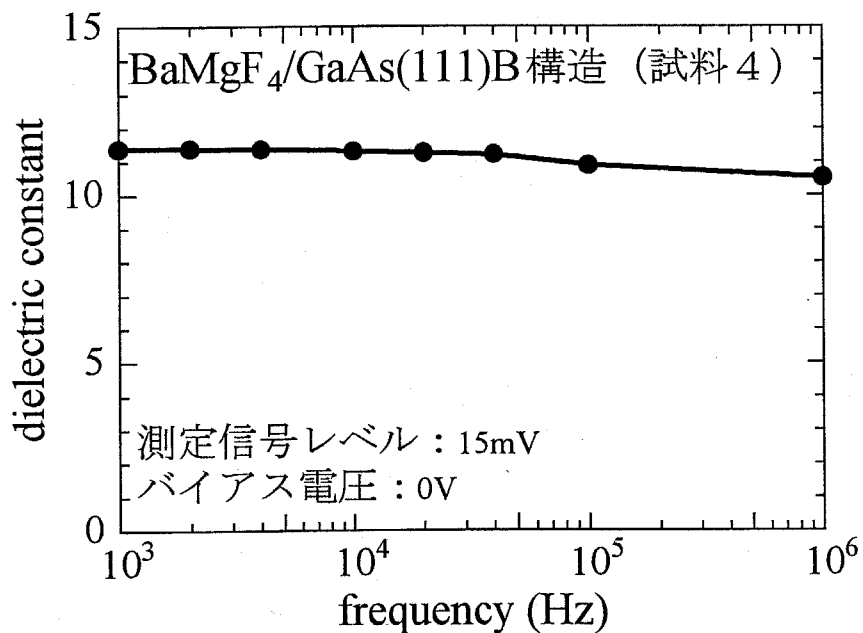


図 5-9 $\text{BaMgF}_4/\text{GaAs}(111)\text{B}$ 構造から測定した BaMgF_4 膜の誘電分散

次に絶縁強度が高い試料3について分極特性を測定した。測定には図5-10に示す Sawyer-Tower 回路を用いた。測定周波数は1kHz、参照容量 C_0 は試料の容量値より十分大きい値(10000pF)となるように設定した。この条件においては信号発生器からの電圧 V_x はほとんど試料両端に印加される。さらに試料両端(面積 S) に電圧が印加されることで試料表面に電荷が誘起され、そのときの表面電荷密度 D は参照容量 C_0 両端での電圧 V_y を測定すれば次式から求めることができる。

$$D = \frac{C_0 V_y}{S} \quad (5-31)$$

またオシロスコープに信号発生器および参照容量両端からの電圧信号 V_x 、 V_y を入力することで $D-E$ 特性と等価な波形を観測できる。オシロスコープにより得られた波形から求めた試料3の $D-E$ 特性を図5-11に示す。この結果では反時計回転のヒステリシス曲線が得られているが、印加電圧の増加に対してヒステリシス曲線の大きさは増大している。この結果は試料の漏れ電流の増加とそれに伴う抵抗率の低下によって参照容量両端の電圧位相が変化しているためであり、この結果から BaMgF_4 膜の自発分極および抗電界を求めることはできなかった。

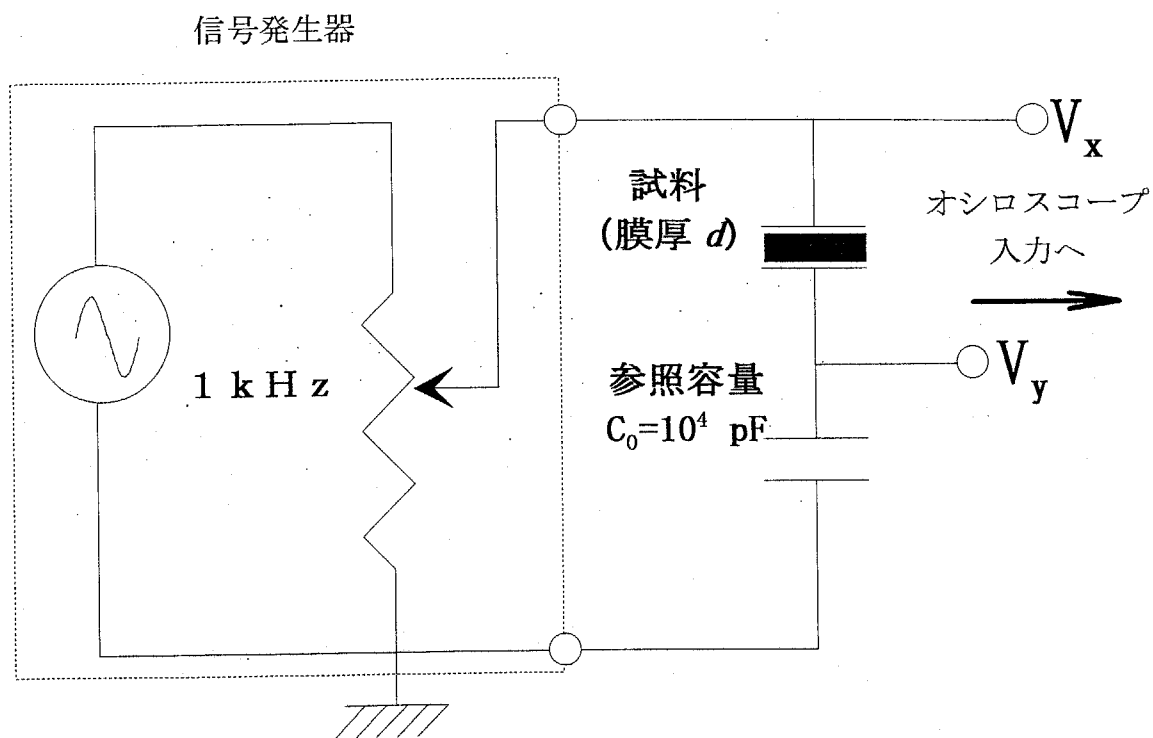


図 5 - 1 0 分極特性の評価に用いた Sawyer-Tower 回路

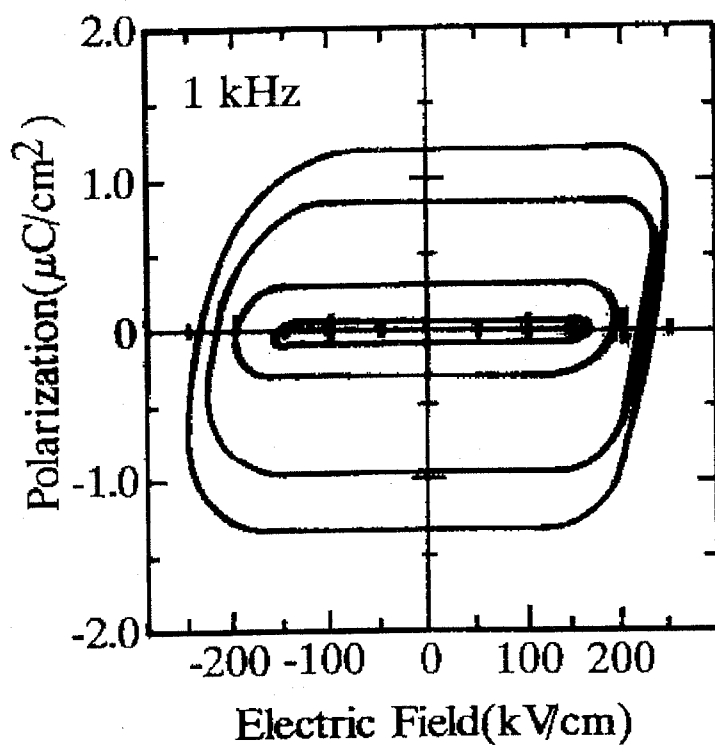
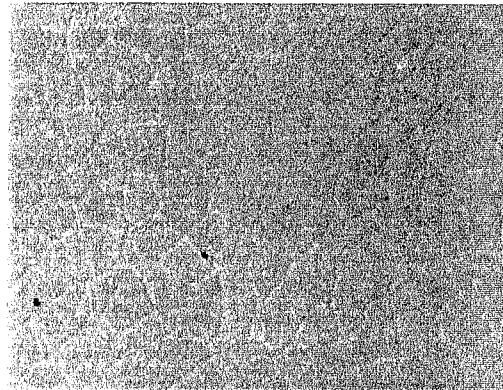


図 5 - 1 1 BaMgF₄/GaAs(100)構造 (試料 3) の 1kHz D - E 特性

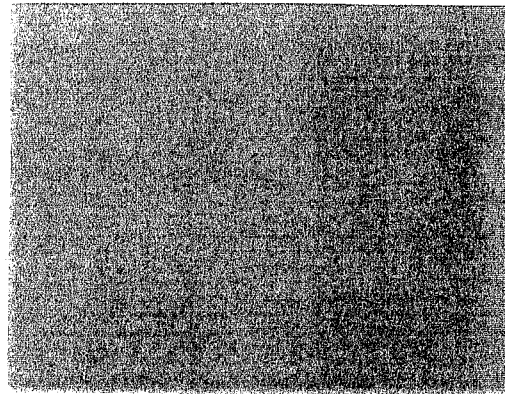
BaMgF₄ 膜の抗電界としては 160kV/cm 程度の値が報告されており、⁴分極特性を観測するためには抗電界よりも大きな絶縁破壊強度を持つ膜が必要である。しかし GaAs 基板上に形成した BaMgF₄ 膜の絶縁破壊強度は 100kV/cm 程度がほとんどであったため、図 5-11 のように分極特性を観測することができなかった。この原因を調べるために BaMgF₄ 膜堆積後の表面のノマルスキー顕微鏡観察を行った。図 5-12 に示した写真は GaAs(100) 基板上に基板温度 300°C で BaMgF₄ 膜を堆積した後に真空を破らず 600°C で熱処理を行った試料の表面ノマルスキー像である。図 5-12 (a) は膜厚 330nm の場合、(b) は 80nm の場合である。この結果から明らかなように膜厚が厚い場合にはクラックが膜全体に発生しており、これが膜の絶縁特性を低下させている原因の一つと考えられる。膜のクラックは基板と膜との熱膨張係数差によるひずみが降温過程で増大するために生じると考えられる。また膜厚が薄い場合にはクラックは生じず、そのためにひずみが膜中に内蔵されていると考えられる。熱膨張係数差は基板と BaMgF₄ 膜との本質的な問題であるが、クラック発生を防止する方法として、BaMgF₄ 膜形成方法の改善による膜の緻密化などの膜質向上が有効であると考えられる。大見らは GaAs(100) 基板上に MBE 法で成長した(140)配向 BaMgF₄ 膜の *D-E* 測定によって自発分極によるヒステリシスループを観測している。⁵

(a) BaMgF₄/GaAs(100) 5μm
300°C+600°C annealed



330nm thick

(b)



80nm thick

図5-12 GaAs(100)基板上に基板温度300°CでBaMgF₄膜を堆積した後に真空を破らず600°Cで熱処理を行った試料の表面ノルスキー像。(a)膜厚330nmの場合、(b)80nmの場合。

以上の結果から、GaAs基板上に真空蒸着法によって形成したBaMgF₄膜は600°Cの熱処理による結晶化を行うことで、漏れ電流の小さい絶縁膜を形成できることがわかった。しかし、膜質に起因すると思われるクラックなどの膜の欠陥によって膜の絶縁破壊強度はBaMgF₄膜で報告されている抗電界の値以下となり、分極特性が得られにくいことがわかった。しかしこの問題はMBE法を用いた結晶成長を行うことで解決が可能である。

5-3 Si 基板上に成長した BaMgF₄ 膜の電気的特性評価

ここでは Si (100) および (111) 基板上に成長した BaMgF₄ 膜の電気的特性および強誘電体特性を評価するため、表 5-2 に示す試料について測定を行った。測定に用いた試料は MBE 法を用いて Si (100) および (111) 基板上に基板温度 520°C で成長した BaMgF₄ (011) および (120) 配向膜である。基板には n 型基板 (抵抗率 1~6 Ω cm) を用いたが、表面空乏層の測定結果に与える影響を小さくするために n 型低抵抗層を基板表面に形成した。n 型低抵抗層の形成法を図 5-13 に示す。低抵抗層は n 型不純物である Sb を熱拡散によって基板最表面に導入することで形成した。ここでは有機溶媒で希釈された酸化アンチモン塗布溶液 (品名: アンチモン塗布拡散剤、型番: MCD-S-F、三菱マテリアル社製) を基板表面に塗布・乾燥した後、酸素中 1150°C の熱処理を施すことで、Si 基板最表面に n 型熱拡散層を形成した。基板最表面における不純物濃度は固溶限程度 (約 $6 \times 10^{19} \text{ cm}^{-3}$) と考えられるため、その場合、表面付近に形成される空乏層厚は約 0.5nm 程度となることから空乏層容量の測定結果に与える影響はきわめて小さい。このことから考察においては空乏層の存在を無視して考えた。BaMgF₄ 膜の形成後には膜および Si 基板表面に Al 金属電極 (直径 200μm) を真空蒸着法によって形成した。作製した試料はシールドイングプローバー (雄山商事製) を用いて両電極間に測定信号を入力し、BaMgF₄ 膜の厚さ方向における電気的特性を測定した。

(図 5-14)

図 5-2 Si 基板上に成長した BaMgF₄ 膜の電気的評価に用いた試料

	基板方位	基板温度 (°C)	BaMgF ₄ 膜厚 (nm)	膜の配向	膜の分極ベクトルの方向
試料 1	(100)	520	165	(011) 優先配向	基板表面に対して 0°
試料 2	(111)	520	165	(120) 優先配向	基板表面に対して約 51°

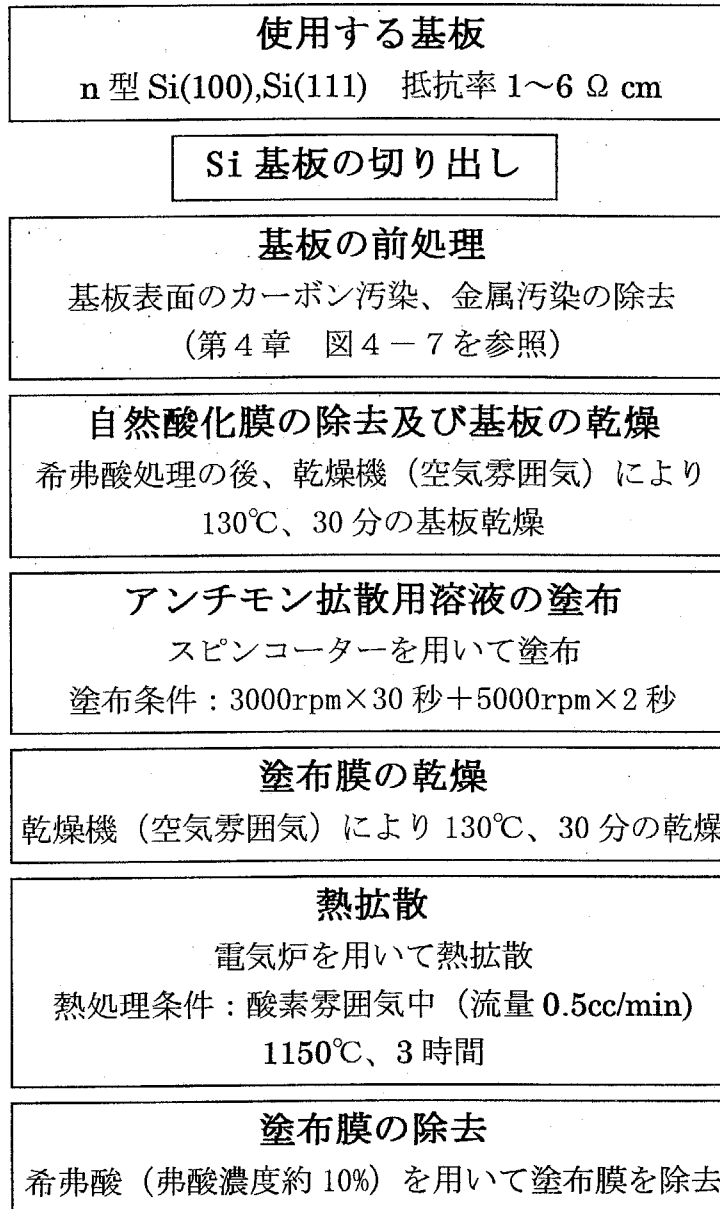


図 5 - 1 3 Si 基板表面への n 型低抵抗層形成法

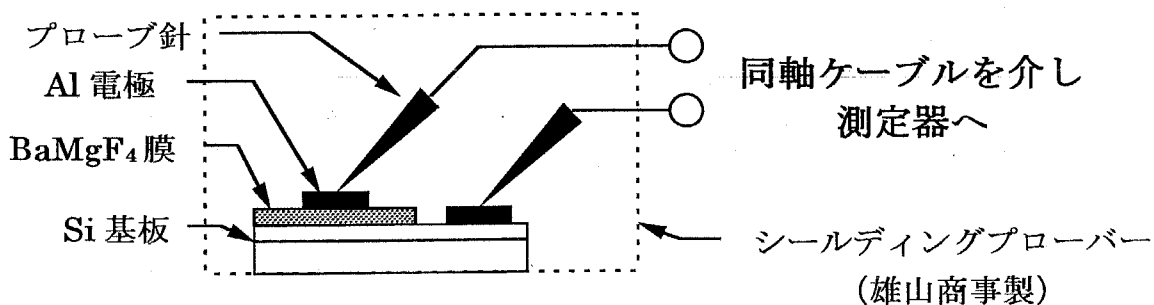


図 5 - 1 4 試料測定の概略図

5-3-1 BaMgF₄膜の誘電特性

図5-15にSi基板上に成長したBaMgF₄配向膜における比誘電率および誘電損失(tanδ)の周波数分散特性を示す。ここで比誘電率は任意の周波数(ここでは1kHz~1MHz)における静電容量(測定信号電圧20mV)の測定値から算出した。図5-15(a)がSi(100)基板上的BaMgF₄(011)配向膜の場合、(b)がSi(111)基板上的BaMgF₄(120)配向膜の場合の測定結果を示している。この結果から500kHz以上の測定周波数においては試料固有の現象と思われる急激な比誘電率の減少および誘電損失の増加がみられる。また500kHz以下の周波数においては比誘電率および誘電損失ともほぼ一定の値を示し、周波数の減少に従って膜の配向分極およびイオン分極によると考えられる比誘電率の増加がみられる。測定結果から誘電損失が最小となる周波数50kHzにおける比誘電率はBaMgF₄(011)配向膜において約7.4、(120)配向膜において約9.7であった。この結果からBaMgF₄配向膜ではその配向性の違いによって比誘電率も異なることがわかった。

BaMgF₄のような異方性結晶の場合、誘電率や屈折率は異方性を示すことが知られている。通常、誘電率や屈折率はテンソルを用いて取り扱うが、斜方晶構造であるBaMgF₄の場合、結晶の対称性から誘電率テンソル $\epsilon_{ij}(i, j=1, 2, 3)$ は以下のような関係を持つ。

$$\epsilon_{ij(i \neq j)} = 0 \quad (5-32)$$

結局、結晶軸方向に対する比誘電率のみによってBaMgF₄結晶の誘電率は決定する。結晶の屈折率は屈折率楕円体によって定義されるが、非磁性媒質においては屈折率 n と光学的誘電率 ϵ との間には、 $n^2 = \epsilon$ の関係が成り立つので、屈折率に対して次式の誘電率楕円体が定義できる。

$$\frac{x^2}{\epsilon_{11}} + \frac{y^2}{\epsilon_{22}} + \frac{z^2}{\epsilon_{33}} = 1 \quad (5-33)$$

ここで ϵ_{11} 、 ϵ_{22} および ϵ_{33} はそれぞれ a、b および c 軸方向の誘電率に対応する。通常、誘電率が電子分極によって与えられる場合、光学的屈折率と電氣的屈折率とは実験的にほぼ同じ値となる。ここでは電子分極の効果が大きいと思われる 10MHz における BaMgF₄ バルク結晶の比誘電率 (表 4-5) から (5-33) 式を用いて BaMgF₄(011) 方向および (120) 方向の比誘電率を求めた。その結果、BaMgF₄(011) および (120) 方向の比誘電率 ϵ_{011} および ϵ_{120} (ϵ_{hkl} は $\langle hkl \rangle$ 方向の比誘電率) はそれぞれ 8.52 および 9.81 と算出された。これらの値と図 5-15 の測定結果から得られた比誘電率の値とを比較すると、BaMgF₄(120) 配向膜の場合にはバルク結晶から得られた値と近いが、BaMgF₄(011) 配向膜の場合には測定された比誘電率はバルク結晶から求めた値からは説明できないほど小さいことがわかった。これは誘電率が電子分極以外の要因により決まっていることを示唆している。

以上のように BaMgF₄ 膜では誘電率の異方性によって膜の配向方位によって比誘電率が異なることがわかった。この場合、BaMgF₄ 配向膜の比誘電率は (120) 配向膜で 9.7 程度となることがわかった。

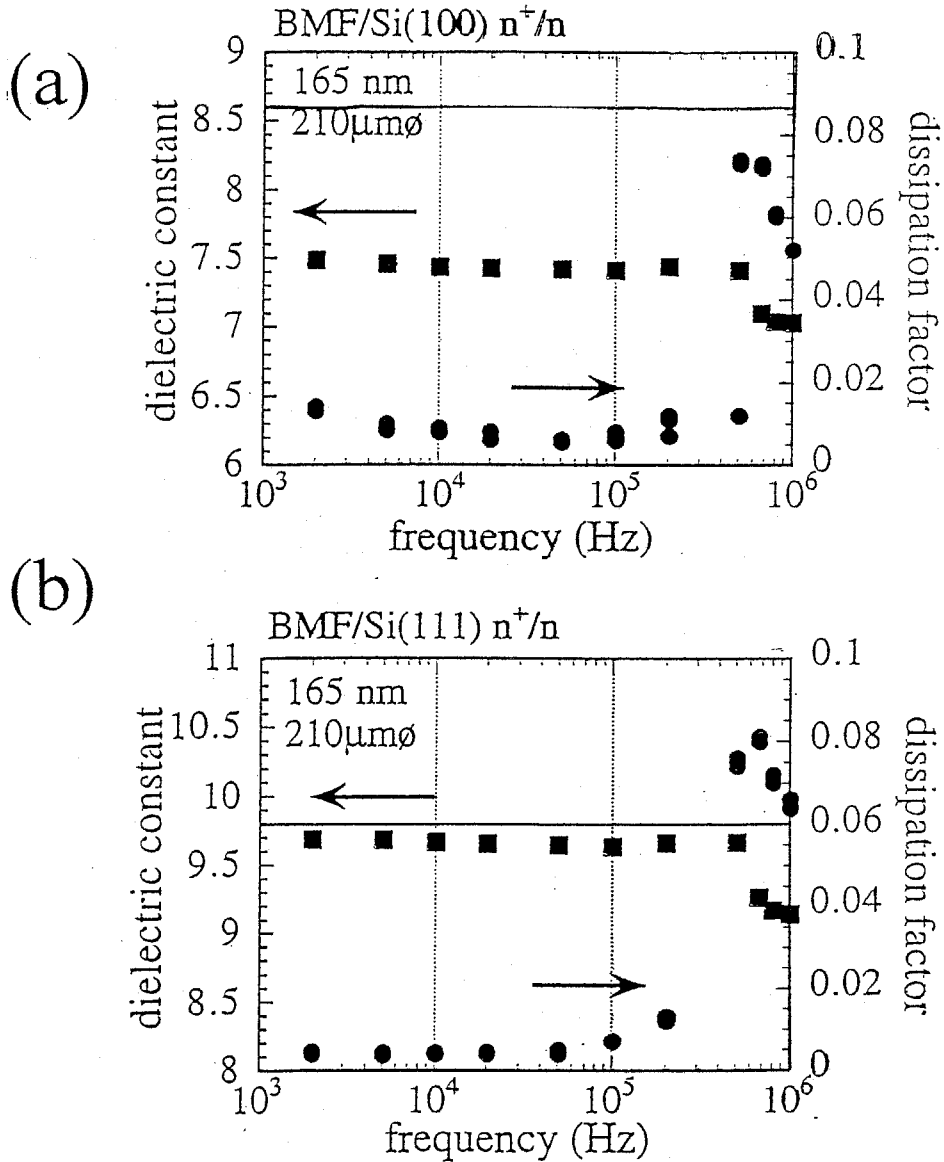
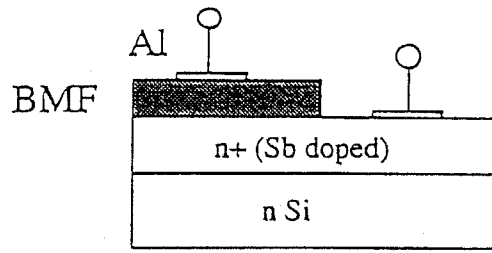


図5-15 Si 基板の上に成長した BaMgF_4 配向膜における比誘電率および誘電損失 ($\tan\delta$) の周波数分散特性。

(a) は Si(100) 基板上の $\text{BaMgF}_4(011)$ 配向膜の場合、(b) は Si(111) 基板上の $\text{BaMgF}_4(120)$ 配向膜の場合。

5-3-2 BaMgF₄膜の漏れ電流特性

Si 基板の上に成長した BaMgF₄ 配向膜の漏れ電流特性を評価した。図 5-16 に Si (111) 基板の上に成長した BaMgF₄ (120) 配向膜 (試料 2) の室温 (300K) における漏れ電流特性を示す。この結果から、電界強度約 700kV/cm において膜の絶縁破壊に起因する電流の急激な変動がみられるが、それ以下の電界領域では電流は指数関数的に変化している。この試料の+5V 印加 (約 300kV/cm) 時における抵抗率は約 $3 \times 10^{12} \Omega \text{ cm}$ 、漏れ電流は約 10^{-7} A/cm^2 であることから、Si 基板の上に成長した BaMgF₄ 配向膜はデバイス応用上十分な絶縁特性を持つことがわかった。また BaMgF₄ 膜の抗電界は約 200kV/cm 程度と報告されているので、図 5-16 で示した試料では自発分極を飽和させるに十分な電界を BaMgF₄ 膜に印加できることがわかった。

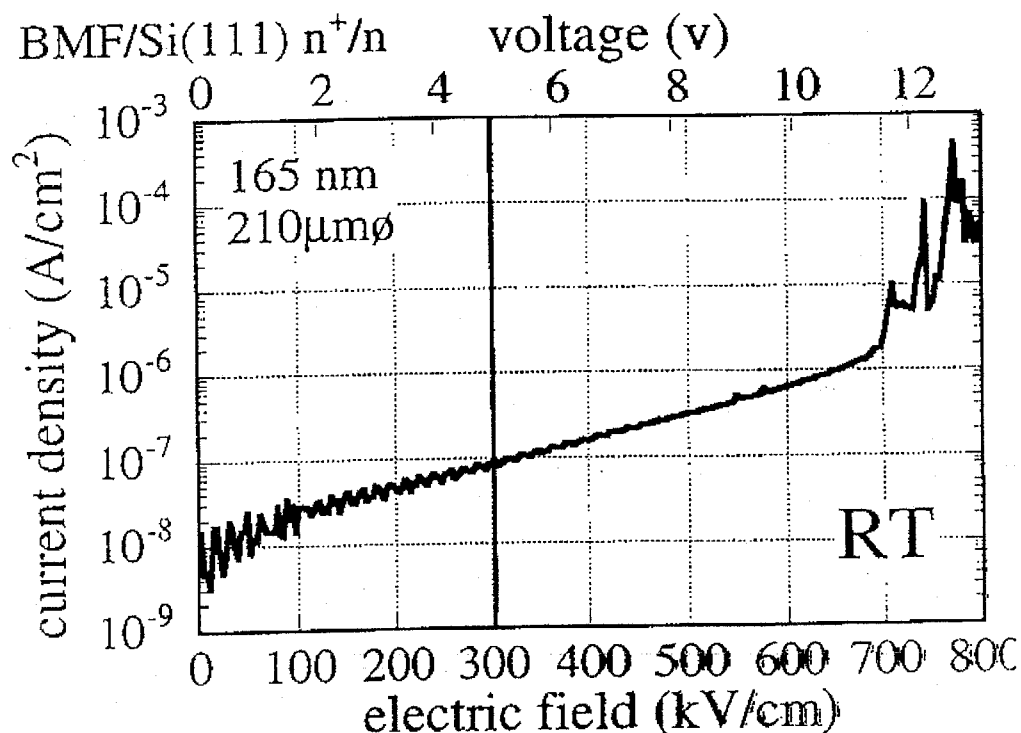


図 5-16 Si (111) 基板の上に成長した BaMgF₄ (120) 配向膜 (試料 2) の室温 (300K) における漏れ電流特性

次に BaMgF_4 配向膜の漏れ電流特性から膜中を流れる電流の伝導機構を検討した。測定には Si (111) 基板上に成長した BaMgF_4 (120) 配向膜 (試料 2) を用いて、4 種類の測定温度 (22°C、36°C、51°C、73°C) における漏れ電流特性を測定した。図 5-17 に各測定温度に対する漏れ電流特性 (電流密度-電界: J - E 特性) を示す。この図では $J \sim E^n$ ($n=1, 2$) に対応する曲線を点線で示しているが、100kV/cm 付近ではオーミック性伝導が支配的でそれ以上の電界領域では空間電荷制限電流のような電気伝導が支配的となることがわかった。また測定温度の増加とともに漏れ電流も増加する傾向がみられた。

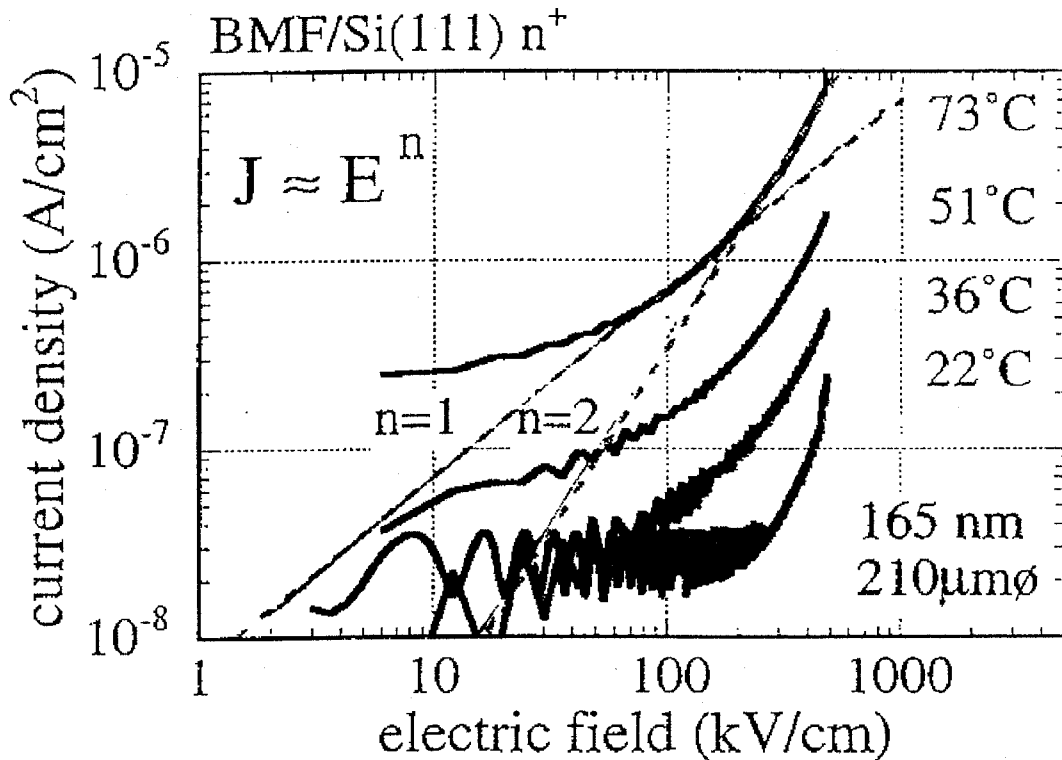


図 5-17 各測定温度 (22°C、36°C、51°C、73°C) に対する J - E 特性

100kV/cm 以上における電界領域での電気伝導機構を検討するために、漏れ電流特性をショットキープロット ($J-\sqrt{E}$) で書き直した結果を図5-18に示す。この結果から 400kV/cm 付近の電界領域において、電流密度 J は $J \sim \exp(a\sqrt{E})$ に従う Frenkel-Poole 伝導もしくは Schottky 伝導が支配的であることがわかった。絶縁体の Frenkel-Poole 伝導および Schottky 伝導における電流密度 J は次式で与えられる。⁶

Frenkel-Poole 伝導

$$J \approx Ee^{\left[\frac{q(\phi_B - \sqrt{qE/\pi\epsilon_1})}{kT} \right]} \quad (5-34)$$

Schottky 伝導

$$J \approx T^2 e^{\left[\frac{q(\phi_B - \sqrt{qE/4\pi\epsilon_1})}{kT} \right]} \quad (5-35)$$

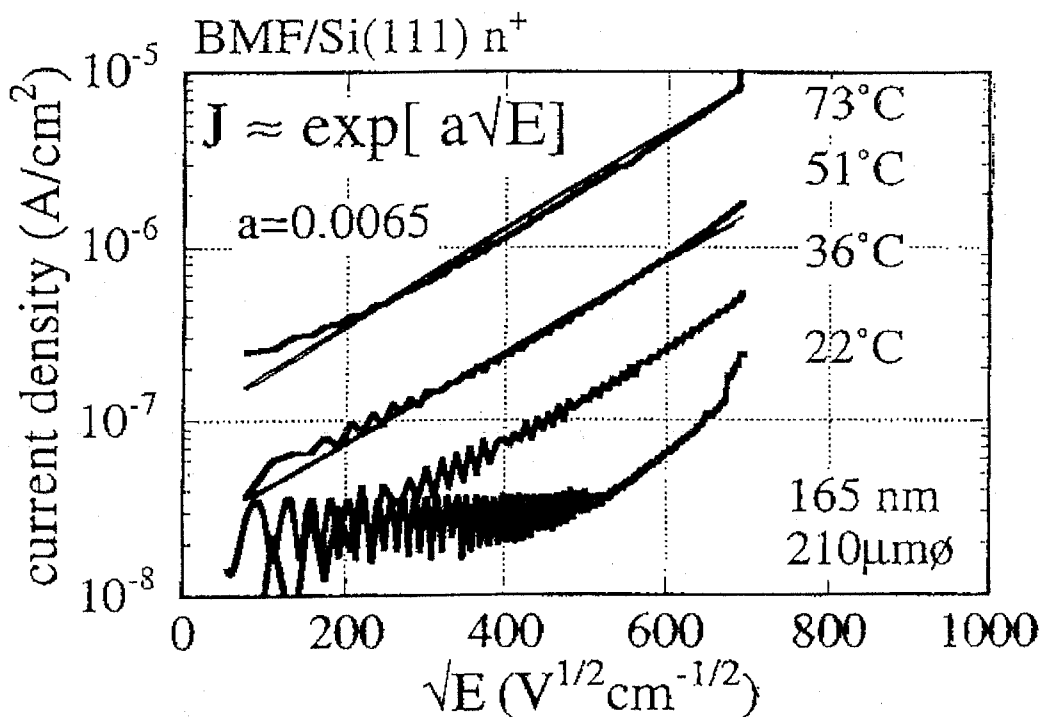


図5-18 漏れ電流特性のショットキープロット ($J-\sqrt{E}$)

ここで E は電界強度、 ϕ_B は障壁高さ、 ϵ_i は絶縁体の動的な誘電率、 T は温度である。Frenkel-Poole 伝導は膜中のトラップに捕獲されたキャリアが熱的に伝導帯に熱的に励起されることで生じ、Schottky 伝導は金属-誘電体界面あるいは半導体-誘電体界面を横切る熱的なキャリアの放出過程によって生じるとされている。図 5-18 において \sqrt{E} に対する係数 a を求め、そこから (5-34) 式あるいは (5-35) 式を用いて BaMgF_4 膜の動的な誘電率 ϵ_i を算出できる。計算の結果、Frenkel-Poole 伝導を仮定した場合に ϵ_i はおよそ $15.1\epsilon_0$ 、Schottky 伝導を仮定した場合に ϵ_i はおよそ $3.8\epsilon_0$ となることがわかった。ここで動的な誘電率 ϵ_i は非常に高い周波数領域における誘電率、すなわち、光学的誘電率と見なすことができる。 BaMgF_4 結晶の光学的誘電率は第 4 章表 4-7 の屈折率の値

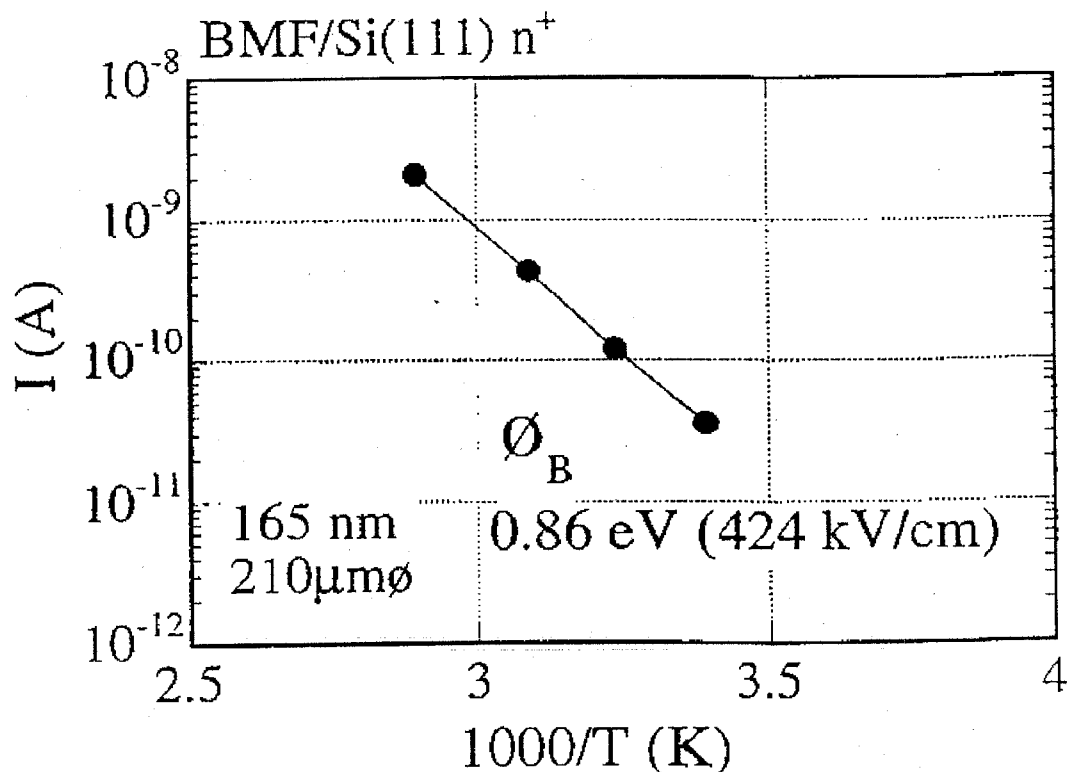


図 5-19 電界強度 424 kV/cm における電流密度 J の測定温度 T に対するアレニウスプロット

からおよそ $2.1 \epsilon_0$ と見積もることができる。すなわちこの試料においては、400kV/cm 付近における電気伝導は Schottky 伝導が支配的であることがわかった。次に Schottky 伝導における障壁高さ ϕ_B を、電界強度 424kV/cm における電流密度の測定温度に対するアレニウスプロットから求めた。(図 5-19) その結果、 ϕ_B は約 0.86eV であることがわかった。

次に 100kV/cm 付近の電界領域における電気伝導機構について検討を行った。100kV/cm 付近ではオーミック伝導が支配的であるが、この場合、イオン伝導とホッピング伝導の 2 つが考えられる。イオン伝導およびホッピング伝導による電流密度 J は、活性化エネルギーを ΔE とした場合、次式で与えられる。

イオン伝導

$$J \approx \frac{E}{T} e^{(-\Delta E/KT)} \quad (5-36)$$

ホッピング伝導

$$J \approx E e^{(-\Delta E/KT)} \quad (5-37)$$

伝導機構を解明するために、まずはイオン伝導を仮定して、電界強度 121kV/cm における電流密度 J と測定温度 T との積 ($J \times T$) の測定温度に対するアレニウスプロットから活性化エネルギー ΔE を求めた。(図 5-20) その結果、活性化エネルギーは約 0.73eV であった。非晶質無機弗化物の場合において、F イオンの活性化エネルギーは約 0.7~0.8eV と報告されているため、この試料の 100kV/cm における電気伝導は F イオンによるイオン伝導が支配的であると考えられる。

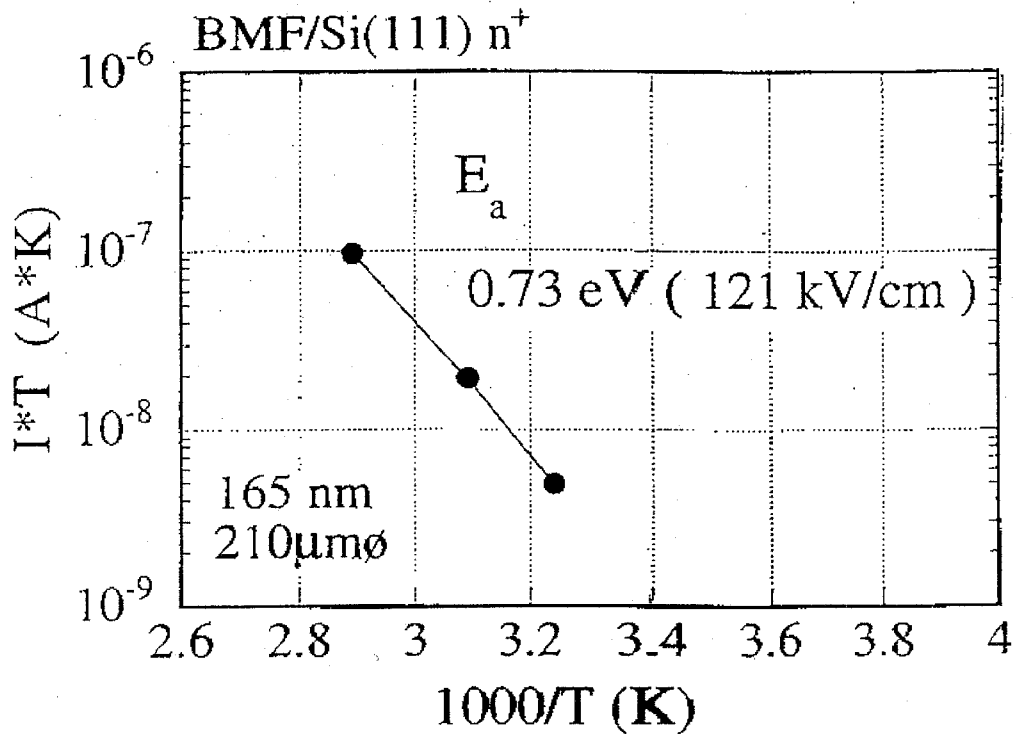
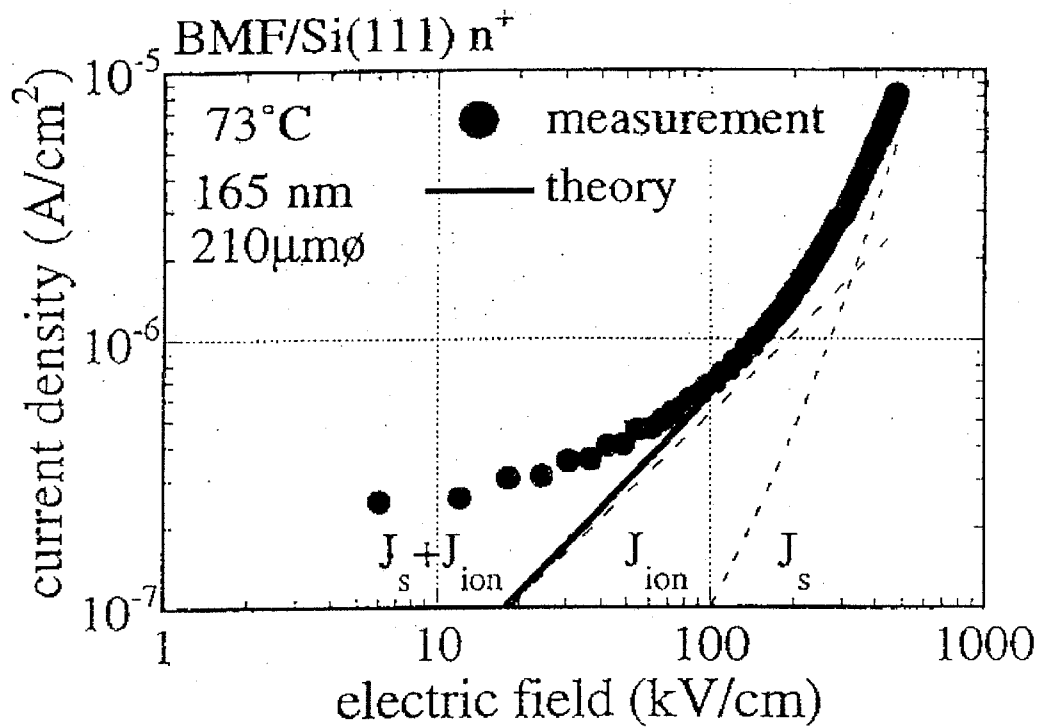


図5-20 電界強度 121kV/cm における電流密度 J と測定温度 T との積 ($J \times T$) の測定温度に対するアレニウスプロット。

以上の考察から得られた結論を図5-21に示す。Si(111)基板上に成長した BaMgF₄(120)配向膜における電気伝導機構を検討し、その結果、100kV/cm付近ではイオン伝導が支配的であるが、400kV/cm付近の電界領域においては Schottky 伝導が支配的となることがわかった。



>400 kV/cm

Schottky emission

$$J_s = A^* T^2 \exp \left[\frac{\alpha}{2} \sqrt{E} - \frac{q}{kT} \phi_B \right]$$

$$\alpha = 0.013 \text{ cm}^{1/2} \text{ V}^{-1/2}, A^* = 0.14 \text{ cm}^{-2} \text{ K}^{-2}, \phi_B = 0.86 \text{ eV}, T = 346 \text{ K} (73^\circ \text{ C})$$

>100 kV/cm

ionic conduction

$$J_{ion} = c \frac{E}{T} \exp \left[\frac{\Delta E}{kT} \right]$$

$$c = 1000 / 13 \text{ sKcm}^{-1}, \Delta E = 0.73 \text{ eV}, T = 346 \text{ K} (73^\circ \text{ C}).$$

図5-21 Si(111)基板上に成長したBaMgF₄(120)配向膜における
電気伝導機構

5-3-3 BaMgF₄膜の分極特性

Si 基板の上に成長した BaMgF₄ 配向膜の分極特性を Sawyer-Tower 回路 (図 5-10) を用いて測定した。なお測定系において信号発生器には新たにファンクションジェネレータ (HP 社製 HP8116A 型) を用いて周波数 1kHz の三角波あるいは正弦波信号を試料に入力した。また入出力信号の観測および測定結果の収集にはデジタルオスロスコープ (HP 社製 HP54504A 型) を用いた。図 5-22 に Si (100) および (111) 基板の上に成長した BaMgF₄ (011) 配向膜および (120) 配向膜の試料 (試料 1 および 2) の *D-E* 特性を示す。この結果から図 5-22 (a) の Si (100) 基板の上に成長した BaMgF₄ (011) 配向膜の試料 (試料 1) では印加電界に対して電荷密度が直線的に変化した常誘電性を示しており、強誘電体に特有なヒステリシスループは観測されなかった。すなわち試料 1 では膜厚方向には自発分極が発生していないことがわかった。これは Si (100) 基板の上に成長した BaMgF₄ (011) 配向膜では膜中に存在する分極ベクトルの方向が基板表面に対して平行な方向に揃っているために膜厚方向には実効的な分極ベクトルの成分は存在せず、その結果、膜厚方向には残留分極を示さないと考えられる。

これに対して図 5-22 (b) の Si (111) 基板の上に成長した BaMgF₄ (120) 配向膜の試料 (試料 2) では印加電界に対して反時計回りのヒステリシスループを描く *D-E* 特性が得られた。測定結果では約 500kV/cm 以上の電界領域においてヒステリシスループは飽和特性を示すことから、このヒステリシスループは試料の漏れ電流によるものではなく、BaMgF₄ 膜の膜厚方向に生じた自発分極によるものと考えられる。この場合、試料両端に 12V (約 727kV/cm) 印加したときのヒステリシスループから求められる残留分極 $2P_r$ 、および抗電界 $2E_c$ はそれぞれ $0.89\mu\text{C}/\text{cm}^2$ および $419\text{kV}/\text{cm}$ であった。Si (111) 基板の上に成長した BaMgF₄ (120) 配向膜の場合、膜中に存在する分極ベクトルの方向は基板表面に対して約 51° の方向に揃っているため、膜厚方向には分極ベクトルの成分が存在する。BaMgF₄ バルク結晶では抗電界 E_c が約 $50\text{kV}/\text{cm}$ 、分極ベクトル方向での残留分極 P_r は約 $7.7\mu\text{C}/\text{cm}^2$ (第 4 章表 4-7) と報告されている。すなわち BaMgF₄ の完全結晶を

仮定した場合、 $\text{BaMgF}_4(120)$ 方向に発生する残留分極は約 $6\mu\text{C}/\text{cm}^2$ と見積もることができる。この数値と図 5-22 (b) で得られた残留分極および抗電界を比較すると、残留分極量は 10%以下程度であり、バルク結晶の特性から期待されるほどの分極特性は得られていないことがわかる。このことは Si (111) 基板上に成長した $\text{BaMgF}_4(120)$ 配向膜は単結晶膜と比較して結晶性に未だ劣ることを示している。

以上の結果から、Si (100) および (111) 基板上に成長した $\text{BaMgF}_4(011)$ 配向膜および (120) 配向膜においては、 BaMgF_4 膜の配向性に従って膜厚方向での分極特性に違いがあることがわかった。膜厚方向に分極ベクトルの成分を持たない $\text{BaMgF}_4(011)$ 配向膜では膜厚方向に分極特性を示さないが、膜厚方向に分極ベクトルの成分を持つ $\text{BaMgF}_4(120)$ 配向膜では膜厚方向に分極特性を示すことがわかった。

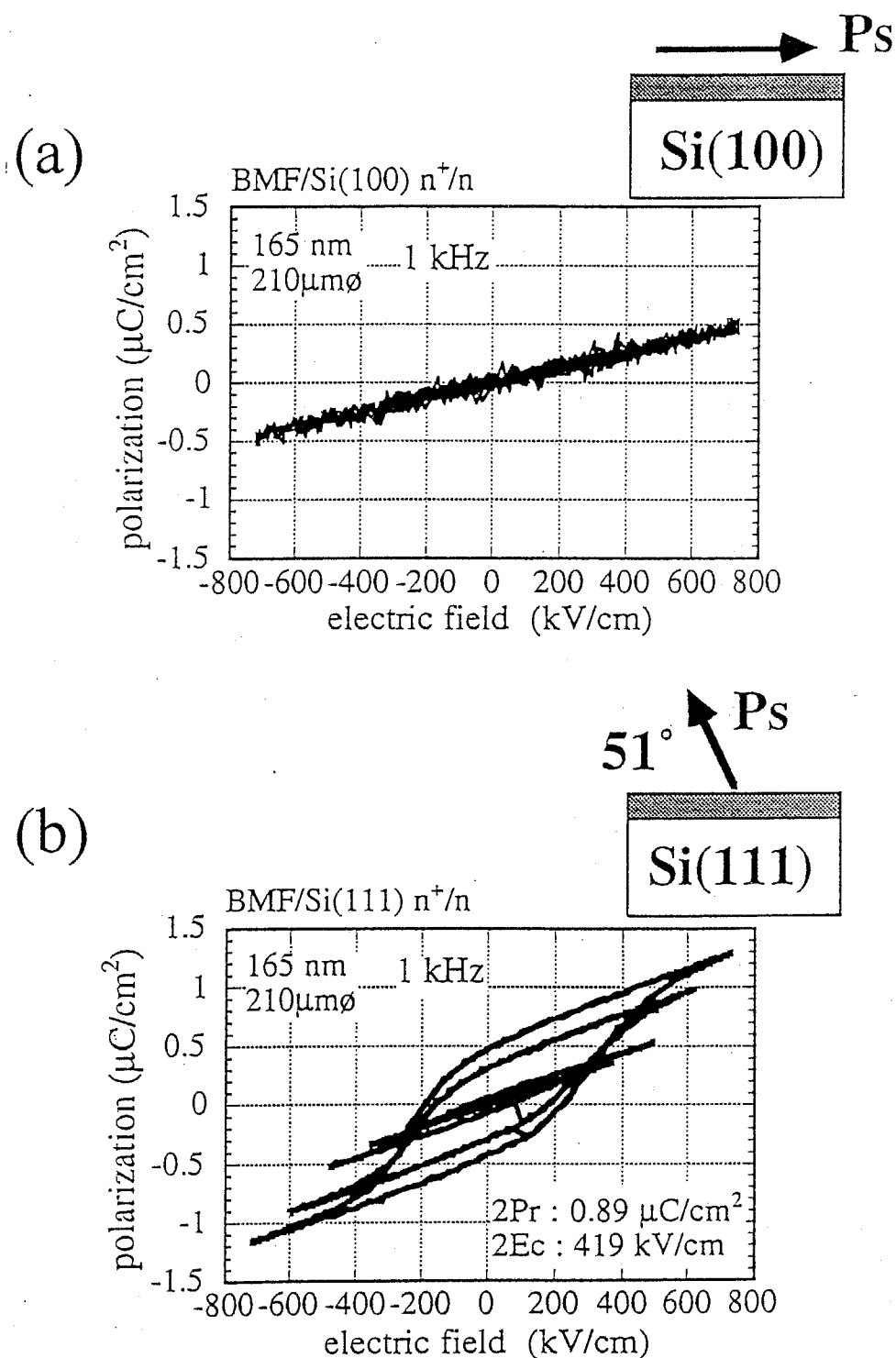


図5-22 (a) Si(100)に成長した BaMgF₄(011)配向膜 (試料1) および、(b) Si(111)基板上に成長した BaMgF₄(120)配向膜の試料 (試料2)の 1kHz *D-E*特性。図中の試料断面図にある矢印は BaMgF₄膜中での分極ベクトルの方向を示す。

5-3-4 BaMgF₄(120)配向膜の強誘電性

BaMgF₄(120)配向膜は膜厚方向への電界印加によって自発分極を生じることがわかった。ここではBaMgF₄(120)配向膜の分極反転時間（スイッチング時間）および疲労特性などの強誘電体としての特性について評価を行った。測定試料には表面をn型に高濃度不純物ドーピングしたSi(111)上に基板温度520°Cで成長したBaMgF₄膜（120配向）を用い、基板表面およびBaMgF₄膜上に形成したAl電極間に電圧を印加した場合の強誘電性を測定した。分極反転（スイッチング）特性および疲労特性はBaMgF₄膜にパルス電圧を印加した場合の過渡電流の応答特性から評価を行うため、測定には図5-23に示す測定系を用いた。パルス発振器（HP社製HP8110A型）からのパルス信号は同軸ケーブルを経てシールドイングプローバーを介してBaMgF₄(120)膜上に形成した電極に印加される。一方基板上の電極はプローバーを介して直列に接続された直流50Ωの抵抗（50Ω終端コネクタ）に接続される。パルス電圧の印加によって回路に流れる電流（過渡応答電流）は50Ω抵抗両端の電圧降下としてデジタルオシロスコープを用いて測

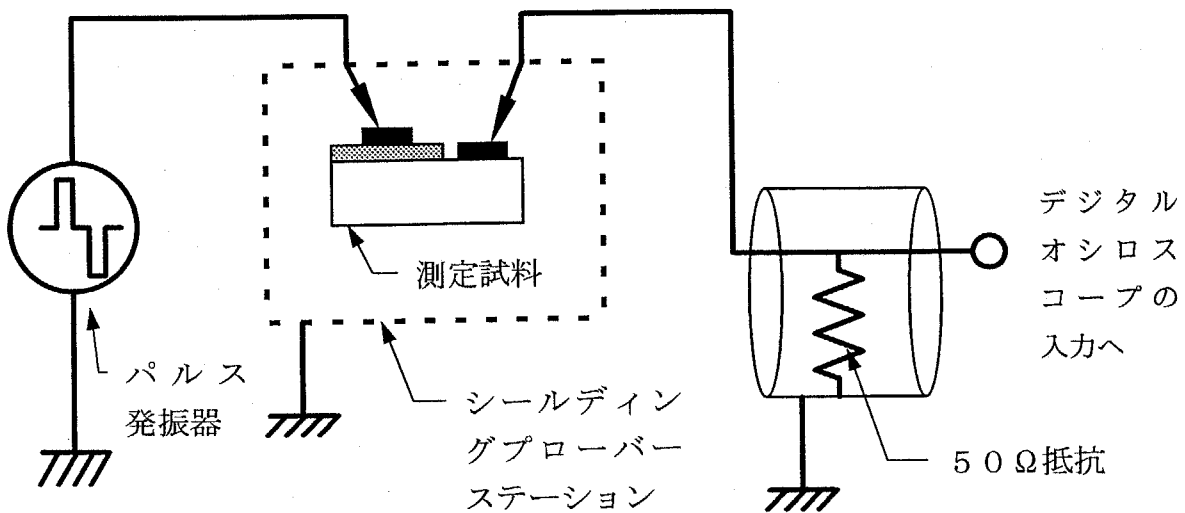


図5-23 分極反転（スイッチング）特性および疲労特性の測定回路系

定した。

図5-24に測定に用いた印加パルスの形状とそのとき予想される応答波形を示す。印加パルスは立ち上がり時間1.8ns、パルス幅100ns、パルス間隔100ns、パルス電圧±10Vの矩形パルス列を用いた。なお図5-23の測定系では、入力パルスの電圧は試料の容量 C と回路抵抗 R とで決まる時定数(CR)分だけ遅れて試料に印加されるため、測定条件によっては試料にパルス電圧が十分に印加されない場合が生じる。今回測定に用いた試料の容量は約100pF、回路抵抗はパルス発振器の内部抵抗(50Ω)を加えて約100Ωであるため、 CR 時定数はおよそ10nsとなる。この値はパルス幅(100ns)より小さいため測定中は試料にパルス電圧が十分に印加されていると考えられる。測定ではまず最初に-10Vのパルスを試料に印加し、BaMgF₄膜を飽和分極させておく。次に+10VのパルスAを入力し、そのときの過渡応答をデジタルオシロスコープを用いて測定する。このときの過渡応答電流には膜の常誘電性による過渡電流の他に自発分極の反転に伴う分極反転電流が含まれているため、スイッチング応答と呼ばれる。続いて+10VのパルスBを入力し、そのときの過渡応答も測定する。この時の過渡応答は、膜

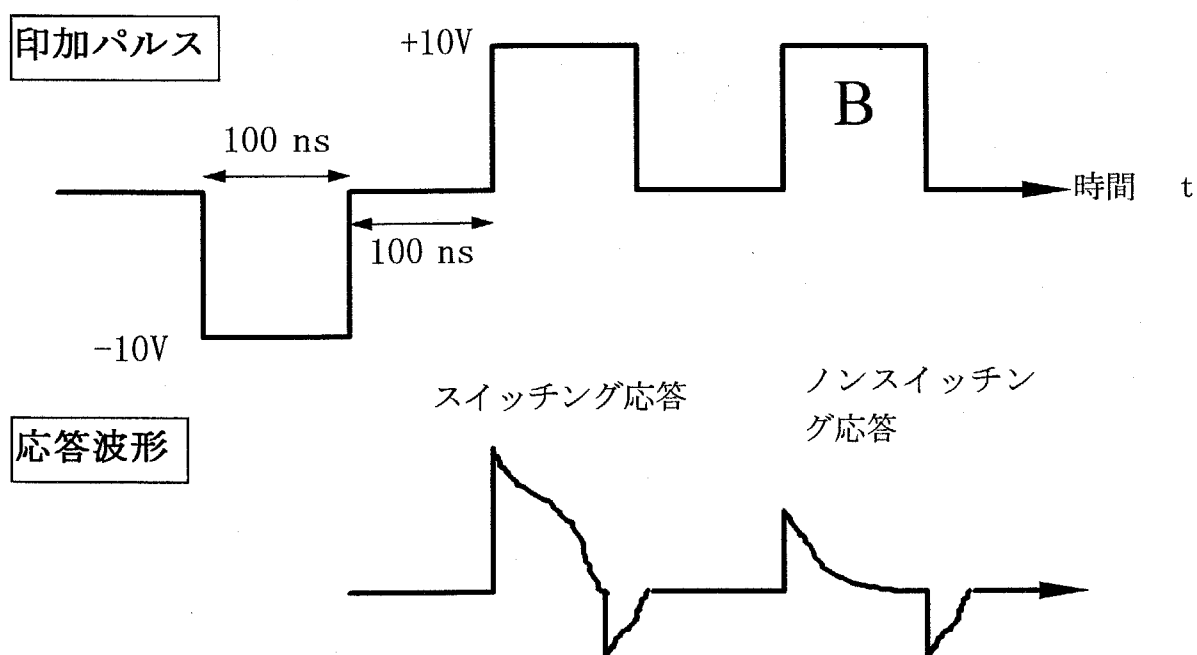


図5-24 測定に用いた印加パルスの形状と応答波形

の自発分極が完全に反転していると仮定した場合、ほぼ膜の常誘電性による過渡応答で与えられるため、ノンスイッチング応答と呼ばれる。この測定ではスイッチング応答とノンスイッチング応答との差分をとることで、膜の分極反転に伴う分極反転電流および分極反転時間など求めることができる。またこの差分応答を時間軸上で積分することで残留分極 $2P_r$ を求めることができる。図5-25に測定結果を示す。図(a)の実線Aは図5-24における印加パルスAに対するスイッチング応答波形、点線Bは印加パルスBに対するノンスイッチング応答波形を示す。また実線A-Bはスイッチング応答波形とノンスイッチング応答波形との差分（分極反転電流のパルス応答）を示している。図(b)は分極反転電流のパルス応答波形のみの拡大図を示している。この特性からスイッチング時間 t_{sw} はおよそ 38ns と見積もることができる。またこの波形を積分することで求めた残留分極 $2P_r$ はおよそ $0.16\mu\text{C}/\text{cm}^2$ であった。ここで得られたスイッチング時間は多結晶 BaMgF_4 膜で報告されている値(約 40ns) とほぼ同等である。⁸ また、今回測定に用いた試料は電極面積が $3.14 \times 10^4 \mu\text{m}^2$ と比較的大きい。酸化物強誘電体では電極面積が小さいほど分極反転時間が短くなり、面積 $100\mu\text{m}^2$ のPZT膜(厚さ 390nm)において約 1.8ns のスイッチング時間が報告されていることから、⁹ BaMgF_4 膜においても電極面積の縮小によるスイッチング時間の短縮が期待できる。

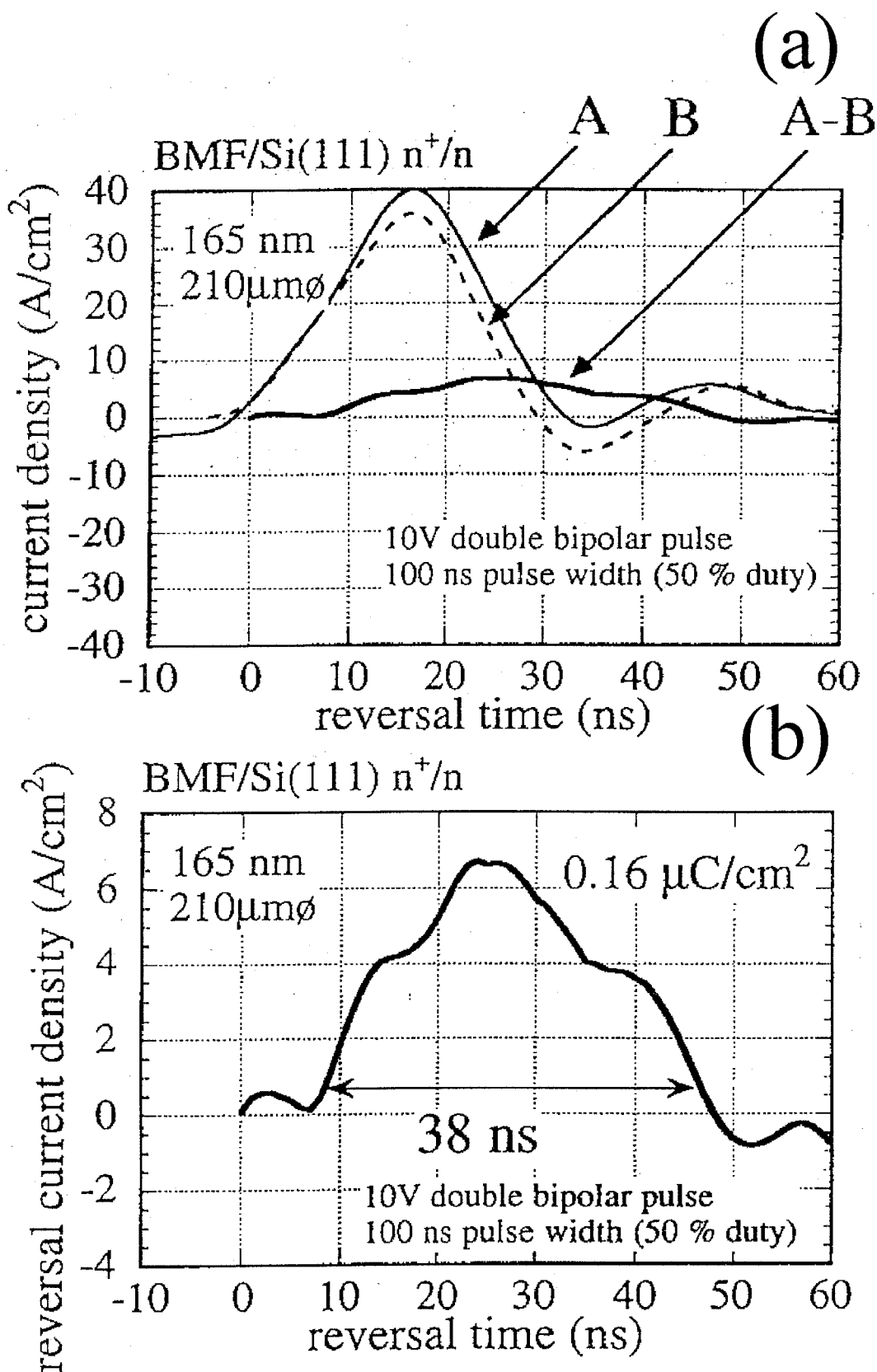


図5-25 (a) Si(111) 基板の上に成長した $\text{BaMgF}_4(120)$ 膜のパルス応答波形、(b) 分極反転電流のパルス応答波形

強誘電体では分極反転の繰り返しによって残留分極が低下する現象（疲労）がみられる。ここでは図5-23の測定系を用いて Si(111)上に成長した BaMgF₄(120)配向膜の疲労特性を測定した。図5-26に測定に用いた印加パルスを示す。パルス列はスイッチング特性を測定するときのパルス列を1サイクル(600ns)として、所望のサイクル数の連続したパルス列を印加したときの残留分極値を図5-25と同様のパルス応答特性における分極反転電流の応答波形から求めた。なお1サイクルのパルス列は自発分極を1往復分極反転させることに対応する。パルス列の繰り返し回数（分極反転回数）に対する残留分極 $2P_r$ の変化（疲労特性）を図5-27に示す。この結果から Si(111)基板上に成長した BaMgF₄(120)膜において残留分極が半分に減少する時の繰り返し回数(50%疲労回数)は約 10^{11} 回であることがわかった。この結果は代表的な酸化物強誘電体である PZT で報告されている値 ($10^7 \sim 10^9$ 回) と比べて大きく、Si(111)基板上に成長した BaMgF₄(120)膜は疲労特性に優れているといえる。

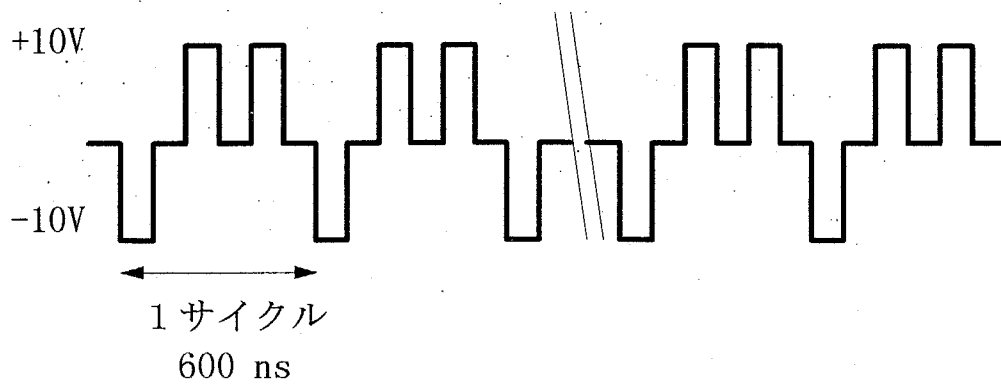


図 5 - 2 6 疲労特性の測定に用いた印加パルス

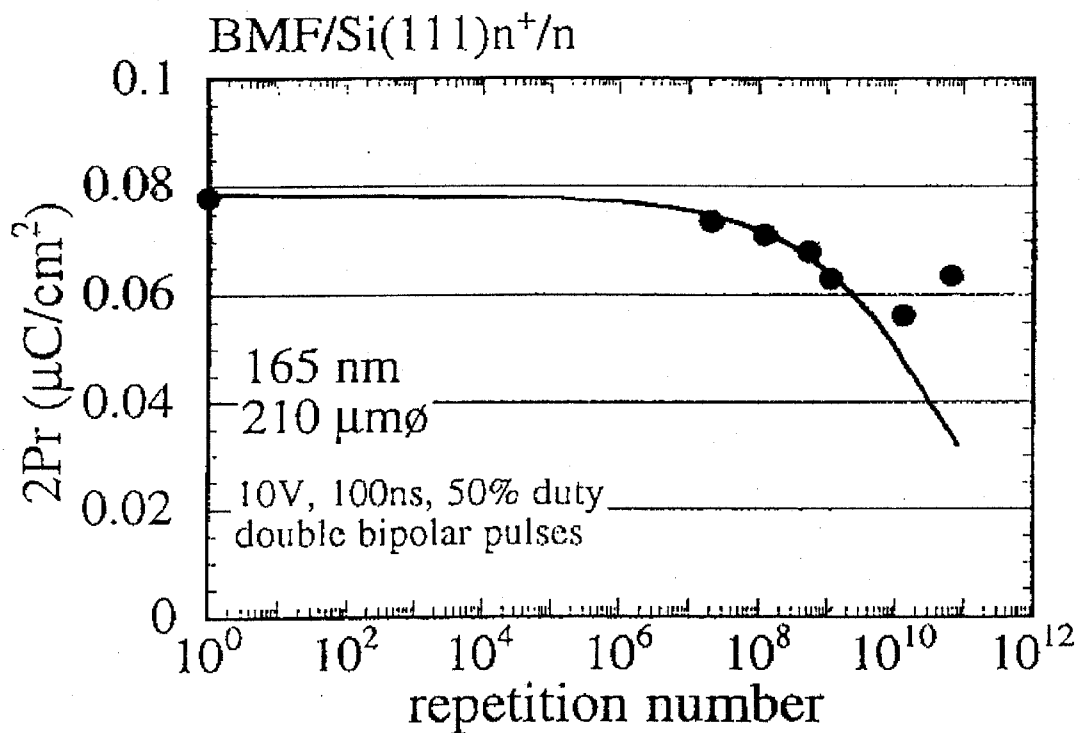


図 5 - 2 7 Si(111)基板の上に成長した BaMgF₄(120)膜の疲労特性

Si(111)基板上に成長した BaMgF₄(120)配向膜は膜厚方向に自発分極を発生するが、その値はバルクから期待されるほどの大きさではなかった。しかし、Pt(111)上に基板温度 520°Cで成長した BaMgF₄(120)膜では Si(111)基板上に成長した膜よりも大きな自発分極を示すことがわかった。表 5-3 に試料の作製条件と結晶性および漏れ電流特性の評価結果を示す。なお BaMgF₄膜の電気的特性および強誘電性は Al-Pt 間に電圧を印加した場合について評価を行った。表 5-3 からわかるように Pt(111)上に成長した BaMgF₄膜の配向性や抵抗率は Si(111)基板上に成長した膜よりもむしろ劣っている。しかし図 5-28 に示すように Pt(111)上の BaMgF₄(120)膜は Si(111)基板上に成長した膜より残留分極

表 5-3 Pt(111)上における BaMgF₄(120)膜の作製条件と結晶性および漏れ電流特性

構造	Al/BaMgF ₄ /Pt/SiO ₂ /Si(100)
基板	n型 Si(100)
SiO ₂	ドライ酸化 O ₂ 中 1000°C 48分、膜厚 55nm
Pt(下部電極)	電子ビーム蒸着 基板温度 450°C、膜厚 380nm 結晶性：(111)優先配向、2θ ロッキングカーブ 半値幅 1.16°
BaMgF ₄	MBE 基板温度 520°C、膜厚 190nm 結晶性：(120)優先配向、2θ ロッキングカーブ 半値幅 0.96°
Al(上部電極)	真空蒸着 電極面積：約 3.46 × 10 ⁻⁴ cm ² (直径約 210μm)
BaMgF ₄ 膜の漏れ電流	450kV/cm 印加において 10 ⁻⁶ A/cm ² (抵抗率 4.5 × 10 ¹¹ Ω cm)

が大きくかつ抗電界が小さいことがわかった。特に残留分極 $2P_r$ の値が約 $5\mu\text{C}/\text{cm}^2$ とバルクから予想される値の半分ほどの大きさの残留分極が得られている。またスイッチング特性からこの膜の分極反転時間を測定したところ、約 36ns と Si(111) 基板上に成長した膜とほとんど差がないことがわかった。(図 5-29) 下地基板の種類によって $\text{BaMgF}_4(120)$ 配向膜の分極特性に違いが生じる原因を調べるために、原子間力顕微鏡 (AFM) を用いて膜表面における微小領域の形状観察を行った。AFM にはデジタルインスツルメント社製 nanoscope-IIIa を用いて、膜の表面形状を再現性よく観測するためにタッピングモード AFM 方式によって測定を行った。この方法は特定の共振周波数 (約 400kHz) で振動させた探針 (カンチレバー: 材質 Si) の原子間力による変位を変調信号として検知する測定モードである。図 5-30 に Si(111) 基板上および Pt(111) 上に基板温度 520°C で成長した $\text{BaMgF}_4(120)$ 配向膜の AFM 像を示す。この結果から明らかなように Pt(111) 上に成長した BaMgF_4 結晶粒の方が Si(111) 上に成長した BaMgF_4 結晶粒よりも遥かに大きい。Pt(111) 上に成長した BaMgF_4 膜の場合、結晶粒の大きさは面内方向で最大直径 $1\mu\text{m}$ ほどであることがわかった。またこの結晶粒の表面を高倍率 AFM で観察したところ、図 5-31 で示すように原子ステップが観測され、各結晶粒は単結晶であることもわかった。Pt(111) 上の $\text{BaMgF}_4(120)$ 配向膜における大きな残留分極はこのような結晶粒の大きさと優れた結晶性に起因していることがわかった。

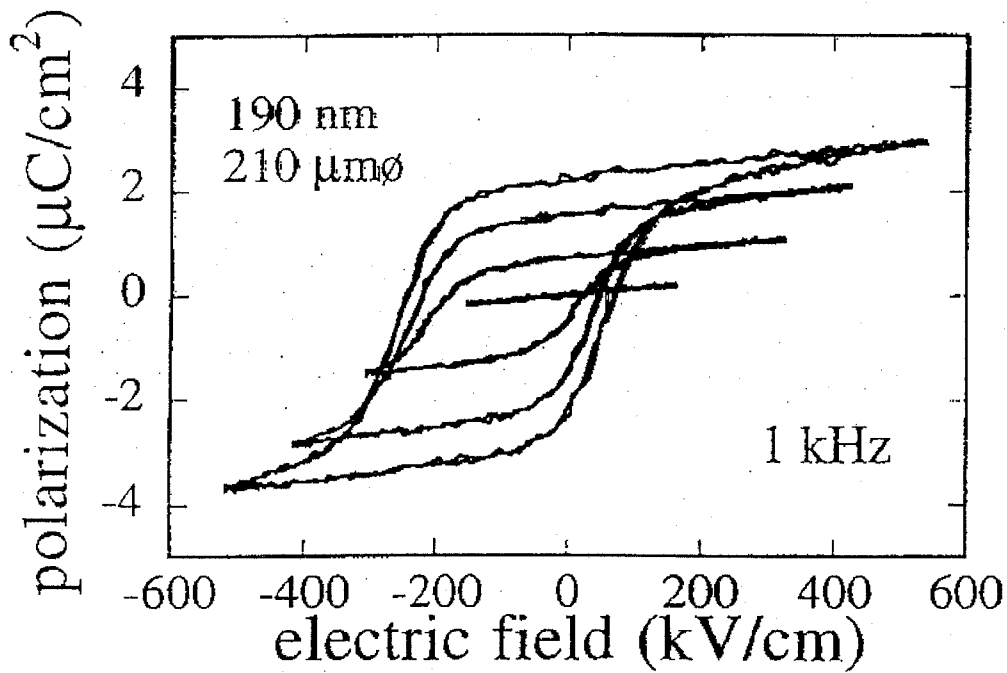


図5-28 Pt(111)上に成長したBaMgF₄(120)膜のD-Eヒステリシスカーブ。残留分極 $2P_r$ は最大で $5\mu\text{C}/\text{cm}^2$ 、抗電界 $2E_c$ は $316\text{kV}/\text{cm}$ である。

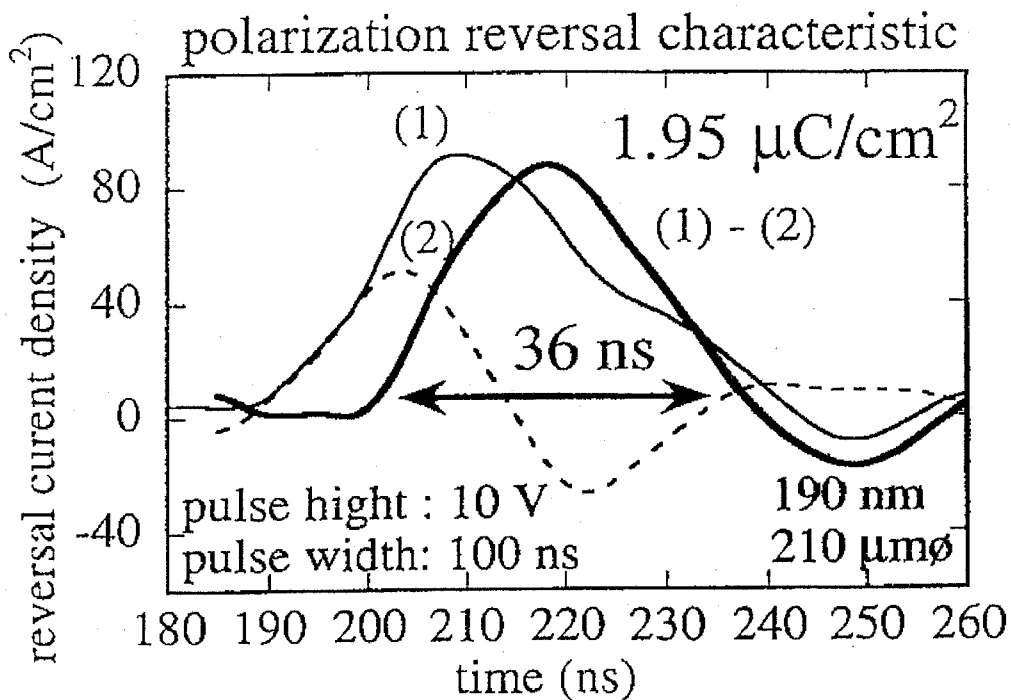
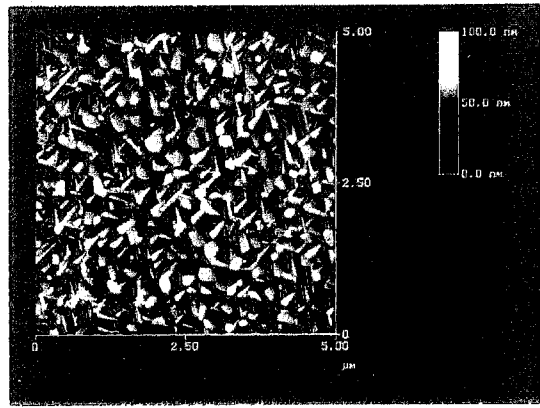


図5-29 Pt(111)上に成長したBaMgF₄(120)膜のスイッチング特性。分極反転時間は約36nsである。

(a)



(b)

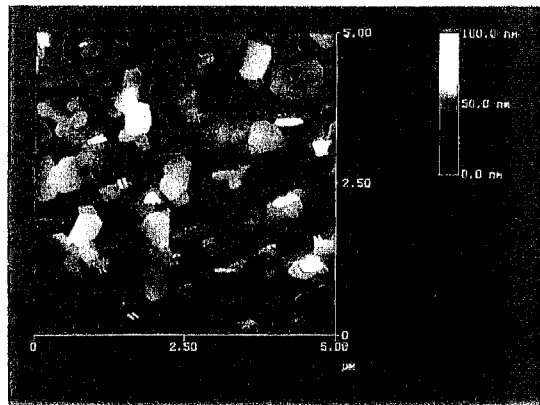


図5-30 (a)Si(111)基板上および(b)Pt(111)上に基板温度520°Cで成長したBaMgF₄(120)配向膜のAFM像(測定範囲:5μm×5μm)。

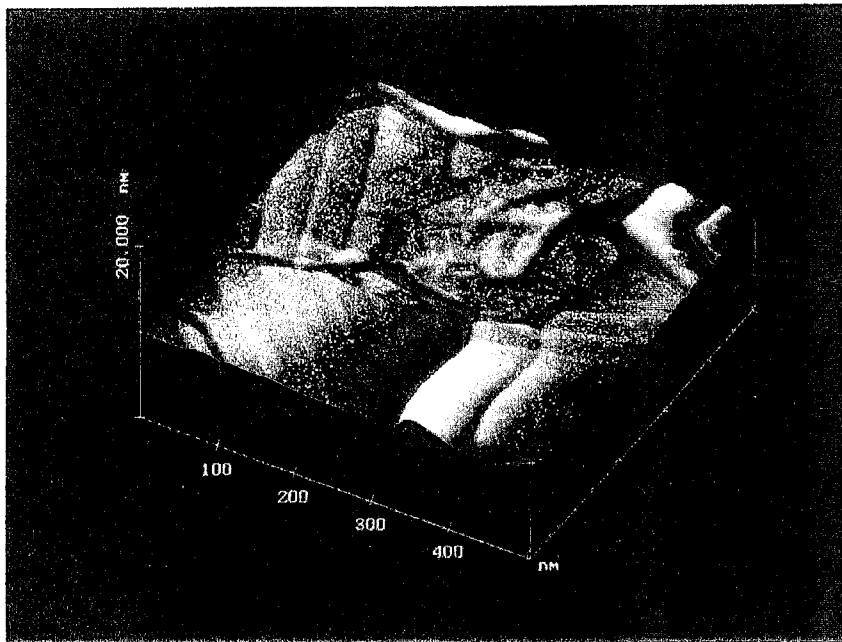


図5-31 Pt(111)上に基板温度520°Cで成長したBaMgF₄(120)配向膜のAFM像(測定範囲:500nm×500nm)。

5-4 BaMgF₄/Si 構造を用いた電界効果トランジスタの作製と評価

5-4-1 BaMgF₄/Si 界面の電気的特性評価

基板温度 500°C 付近で Si 基板上に成長した BaMgF₄ 膜は基板方位に依存した配向性を示した。特に Si (111) 基板上に成長した BaMgF₄ (120) 膜においては膜厚方向に自発分極が生じることが明らかとなった。BaMgF₄/Si 構造による電界効果トランジスタを動作させるためには、強誘電体/半導体界面の電気的特性が良好であることが必要となる。ここでは Al/BaMgF₄/Si 構造の MFS ダイオードを作製し、ダイオードの容量-電圧 (C-V) 特性から界面の電気的特性を評価した。

表 5-4 に測定に用いた試料構造と BaMgF₄ 膜の結晶性および電気的特性を示す。実験に用いた Si 基板は抵抗率 3~7 Ω cm の n 型基板である。ここでは基板の不純物濃度を正確に調べるために、Ag を電極としたショットキーダイオードを別に作製し、逆方向バイアス印加時の空乏層容量の変化から実効不純物濃度を算出した。その結果から、実験に用いた Si (100) および (111) 基板の実効不純物濃度はそれぞれ $3.1 \times 10^{15} \text{ cm}^{-3}$ および $1.1 \times 10^{15} \text{ cm}^{-3}$ と求められた。また表中の抵抗率は試料に蓄積側バイアス (正バイアス) を印加した場合の漏れ電流が

表 5-4 BaMgF₄/Si 構造の電気的特性評価に用いた試料構造と BaMgF₄ 膜の結晶性および電気的特性

	基板方位	成膜温度 (°C)	膜厚 (nm)	配向性	配向ピークの半値幅 (°)	抵抗率 (Ω cm)
試料 1	100	320	170	無配向	—	$1.2 \sim 1.3 \times 10^{11}$
試料 2	111	↑	↑	↑	—	$1.0 \sim 1.1 \times 10^{11}$
試料 3	100	420	180	011	3.89	$8.6 \sim 8.8 \times 10^{10}$
試料 4	111	↑	↑	120	2.78	$8.4 \sim 8.8 \times 10^{10}$
試料 5	100	500	260	011	1.03	$1.8 \sim 1.9 \times 10^{12}$
試料 6	111	500	223	120	0.73	$1.9 \sim 2.0 \times 10^{11}$
試料 7	100	520	200	011	2.31	$6.2 \sim 6.7 \times 10^{12}$
試料 8	120	↑	↑	120	1.22	$7.6 \times 10^{10} \sim 1.4 \times 10^{11}$

$1\mu\text{A}/\text{cm}^2$ の時の抵抗率である。測定に用いた全ての試料における抵抗率は $6.2 \times 10^{10} \sim 1.9 \times 10^{12} \Omega \text{ cm}$ の範囲内であり、 $C-V$ 測定は漏れ電流が測定結果に影響をほとんど与えないと考えられるバイアス条件下で行った。

Si(111)基板上に成長した BaMgF_4 (BMF) 膜の配向性と 1MHz $C-V$ 特性との関係を図 5-32 に示す。なお X 線回折パターン中の囲み図は配向ピークの 2θ ロッキングカーブを示している。また $C-V$ 特性の中のパラメータ V_f および V_{mv} はそれぞれ蓄積側バイアス電圧およびフラットバンド容量付近におけるヒステリシス幅の値である。まず BMF 膜が無配向の場合、MFS ダイオードの $C-V$ 特性は電荷注入型のヒステリシスカーブを描くことがわかった。これは膜の漏れ電流あるいは膜中および界面の準位へのキャリアの充・放電の時定数の違いによって生じているものと考えられ、膜が無配向であることから自発分極による効果はみられない。しかし、成膜時の基板温度を上昇させ、BMF 膜の配向性を向上させると、膜の X 線回折強度の増加および配向ピークの 2θ ロッキングカーブにおける半値幅の減少に伴い、 $C-V$ 特性のヒステリシスが電荷注入型から分極型に移行し、かつヒステリシス幅も増加することがわかった。これは膜の配向性の向上に従って BMF 膜内に生じる自発分極が増加したためと考えられる。Si(100) および (111) 基板上に基板温度 500°C で BMF 膜を成長した BMF/Si 構造ダイオードの 1MHz $C-V$ 特性を図 5-33 に示す。Si(100) 基板上の試料では $C-V$ 特性のヒステリシスは分極型を示しているがその幅は小さく、BMF 膜の膜厚方向に生じる自発分極はわずかであることがわかる。これは Si(100) 上に BMF 膜を成長させると膜厚方向に自発分極を示さない (011) 配向になるという図 5-22 (a) の結果と一致する。一方で Si(111) 基板上の試料ではヒステリシス幅約 2V の分極型ヒステリシスを示しており、Si(100) 基板上の試料よりも大きな自発分極が生じていることがわかる。この結果は図 5-22 (b) の結果とも一致する。このように Si(111) 基板上に作製した BMF/Si 構造ダイオードの $C-V$ 特性では膜の自発分極によるヒステリシスが生じることがわかった。

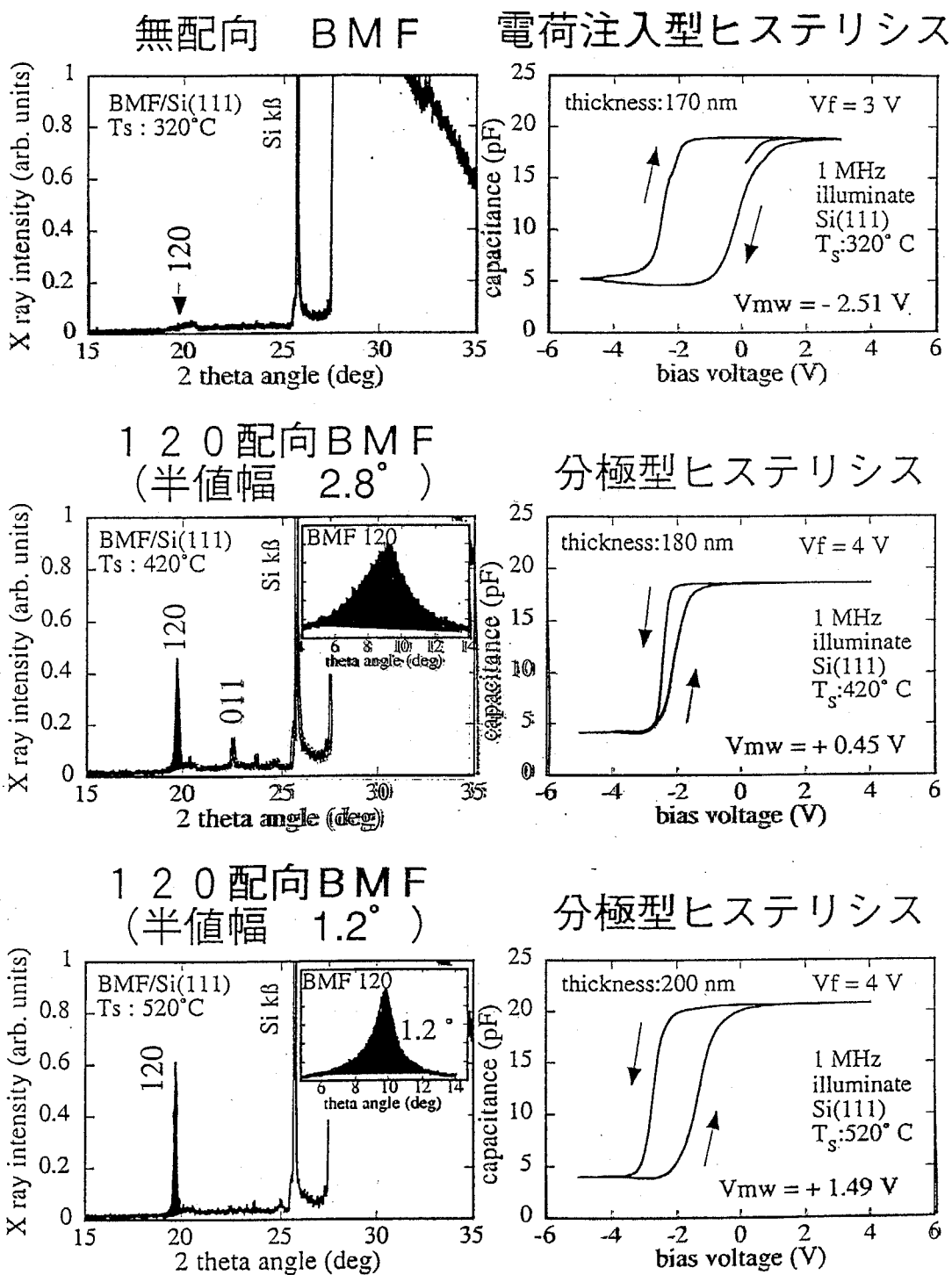


図 5-32 Si(111) 基板上に成長した BaMgF_4 (BMF) 膜の配向性と 1MHz $C-V$ 特性との関係。X 線回折パターン中の囲み図は配向ピークの 2θ ロッキングカーブを示している。また $C-V$ 特性の中のパラメータ V_f および V_{mw} はそれぞれ蓄積側バイアス電圧およびフラットバンド容量付近におけるヒステリシス幅の値である。

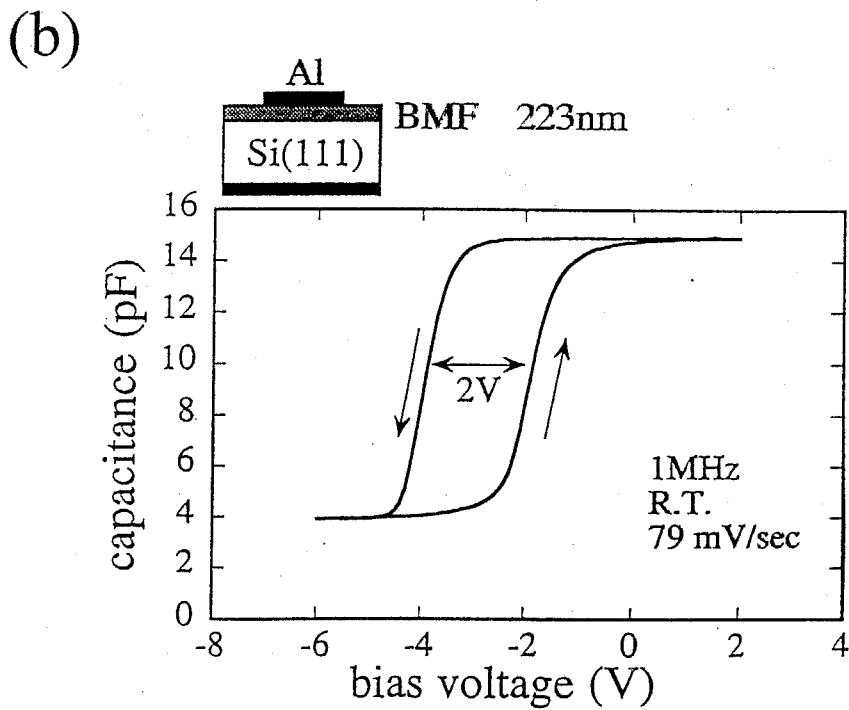
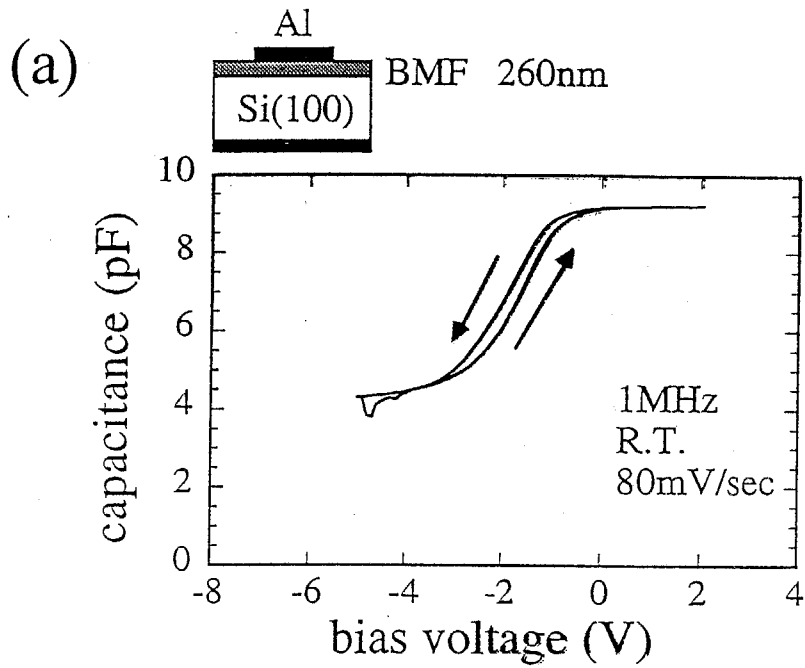


図5-33 (a)Si(100)および(b)(111)基板の上に基板温度 500°CでBMF膜を成長したBMF/Si構造ダイオードの1MHz $C-V$ 特性

作製した BMF/Si 構造ダイオードの界面特性を評価するために、室温 1MHz の C-V 特性を用いて高周波ターマン法によって界面準位密度を計算した。その結果を図 5-34 に示す。基板温度 500°C 付近で成膜した試料において、界面準位密度はおよそ $10^{11} \text{cm}^{-2} \text{eV}^{-1}$ であり、特に Si(111) 上に BMF 膜を成長した試料においては最小で $2.9 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$ の界面準位密度であった。最適化された $\text{SiO}_2/\text{Si}(100)$ 構造における界面準位密度は $10^{10} \text{cm}^{-2} \text{eV}^{-1}$ 以下と報告されているため、基板温度 500°C 付近で BMF 膜を成長した BMF/Si(111) 構造の界面準位密度は電界効果トランジスタを実現するのに十分なほど低いと結論できる。

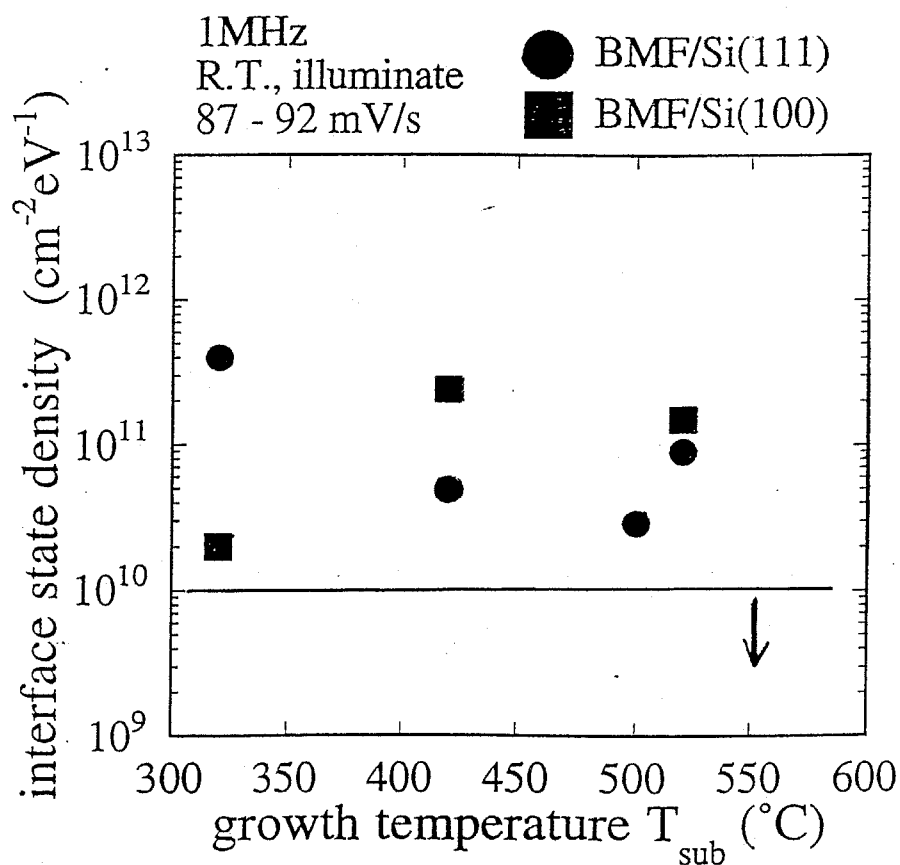


図 5-34 BMF/Si 構造における BMF 膜堆積時の基板温度に対する界面準位密度

本研究において検討を行った BaMgF₄/Si 構造では、特別な熱処理無しに極めて低い界面準位密度を実現できることがわかった。ここでは、CaF₂/Si (111) 界面構造に関する研究報告^{10~14}に基づいて、BaMgF₄/Si 構造の界面特性について考察を行う。

CaF₂/Si (111) 界面近傍における結晶構造は、Himpsel らによる near-edge x-ray adsorption 測定¹⁰、Olmstead らによる photoemission 測定¹¹、Tromp らによる medium-energy ion scattering 測定¹²、そして Zegehagen らによる x-ray standing wave 測定¹³などによりほぼ解明されている。それらの報告によると、低温 (400°C以下) で形成された CaF₂/Si (111) 界面では、主に Ca-F-Si 結合が支配的であるが、高温 (500°C以上) で形成した界面では、F は界面から脱離をして、Ca-Si 結合が支配的となる。界面での Ca は、Si 表面での 2つの吸着サイト (H₃および T₄) にはいり、Si と結合している。(図 5-35)

こうした界面構造と電気的特性との相関関係については、Cho らが報告している¹⁴。その報告によれば、300°Cの低温で形成した CaF₂/Si (111) 構造の界面準位密度は $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度と比較的低い値であったが、500°C以上の成膜温度で

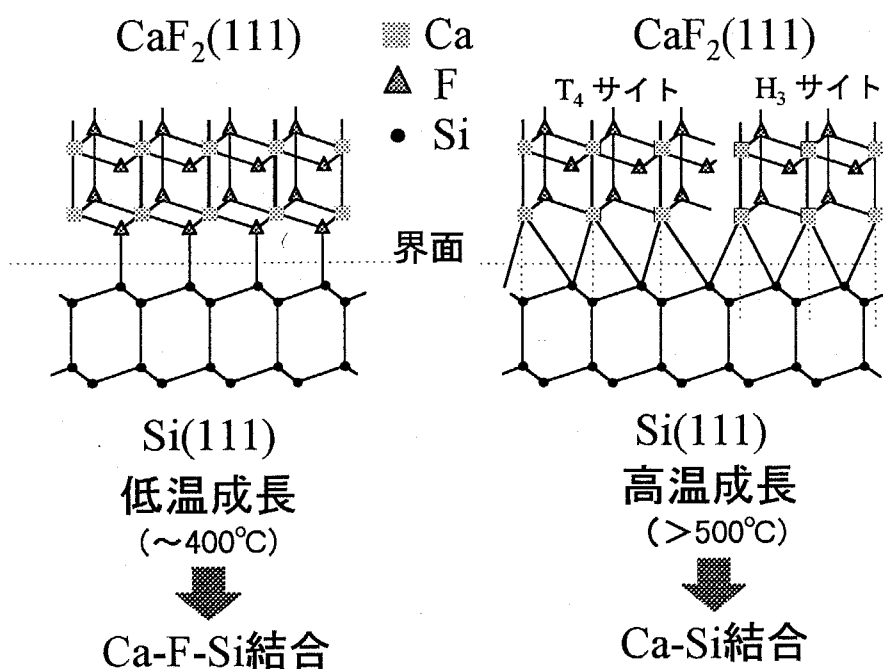


図 3-35 CaF₂/Si (111) 界面の構造

は、高密度の界面準位の存在によってフェルミレベルのピンニングが生じると報告されている。統一DIGS理論の解釈による界面準位の起源は、界面における格子の不規則な乱れによってエネルギーギャップ内に導入される電子状態であるから、高温成膜による界面特性の劣化は、Ca-Si結合におけるCaのサイトが H_3 あるいは T_4 のどちらでも取り得るため、結合長や結合角が界面で不規則に乱れているためと考えられる。一方、低温成膜での良好な界面特性は、Si最表面の未結合手のF原子による秩序的な終端が行われている結果と考えられる。

高い成膜温度によって界面のF原子が脱離する原因としては、Siによる触媒作用が考えられている。触媒反応は、触媒に吸着あるいは配位した分子の活性化エネルギーが低下する現象であることから、Fの脱離は、Ca-F-Si結合におけるSiの触媒作用によってCa-F結合の活性化エネルギーが低下したためと説明できる。

以上のことから、 $BaMgF_4/Si$ における界面構造を考察すると、 500°C で形成した界面は、主にMg-F-Si結合から構成されており、Fによる未結合手の秩序的終端が実現されているために、その結果、低い界面準位密度の界面が得られた

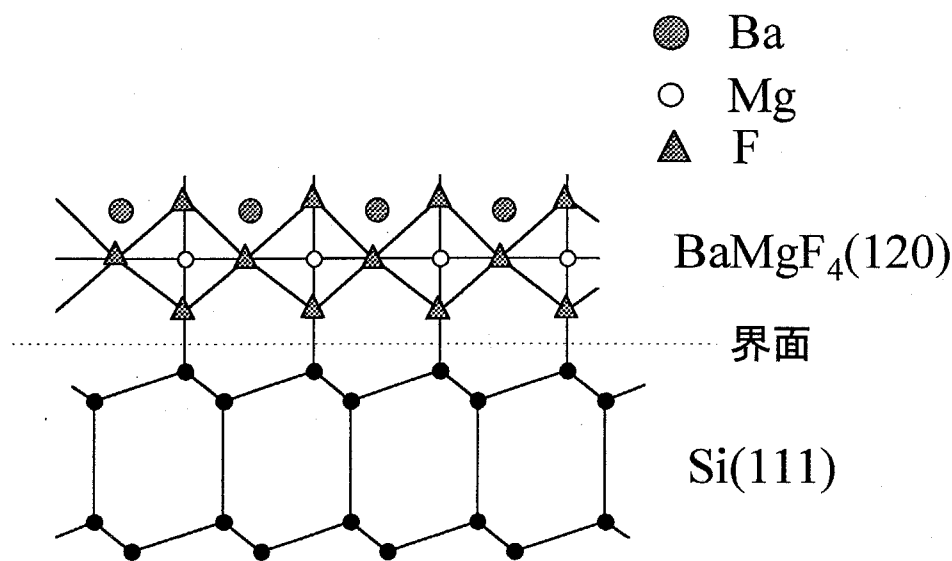


図5-36 500°C で形成した $BaMgF_4(120)/Si(111)$ の界面構造

と思われる。また、Mg-F 結合（あるいは Ba-F 結合）の場合には、触媒作用が Ca-F 結合のそれよりも小さいために、500°Cの成膜温度でさえも F の脱離の影響が少なかったと考えられる。図 3 - 3 6 に 500°C で形成した BaMgF₄(120)/Si(111)構造において考えられる界面構造を示す。

5-4-2 トランジスタの作製手順¹⁵

基板温度 500°C 付近で作製した BaMgF₄/Si 構造は比較的良好な界面特性を持つことがわかった。ここでは BaMgF₄/Si (111) 構造による電界効果トランジスタを作製し、その静特性等の測定から強誘電体の自発分極による効果を検討した。

図 5-37 にトランジスタの作製手順を示す。ここでは p 型 Si (111) 基板 (抵抗率 10~20 Ω cm) を用いた n チャネル電界効果トランジスタを通常の写真リソグラフィ工程を用いることで作製した。まず用いる Si (111) 基板を洗浄した後に乾燥酸素雰囲気中 1150°C、30 分の熱酸化によって表面に厚さ約 300nm の酸化膜を形成する。続いてトランジスタのドレインおよびソース領域を形成するために、写真リソグラフィを用いてドレインおよびソース領域となる部分の SiO₂ 膜を除去した後に、その領域にイオン注入法によって P (リン) を導入し、n 型不純物層を形成する。イオン注入条件は P イオンの加速電圧を 100keV、ドーズ量を 10¹⁵ cm⁻² とした。また、活性化アニールとしては乾燥窒素雰囲気中 900°C、30 分の熱処理を行う。ドレインおよびソース領域を形成した後、基板表面の保護膜として再び熱酸化によって基板表面に薄い酸化膜 (約 100nm) を形成する。次に写真リソグラフィを用いてゲート領域の酸化膜を除去し、RCA 洗浄等を用いて基板表面を清浄化した後に、MBE 法によって基板表面全体に BaMgF₄ 膜を基板温度 520°C で厚さ約 170nm 堆積する。この場合、ゲート領域における BaMgF₄ 膜のみ (120) 方位に優先配向し、そのほかの領域では無配向の BaMgF₄ が堆積される。続いて BaMgF₄ 膜上に真空蒸着法を用いて室温で Al を基板表面全体に厚さ約 100~200nm 形成する。この Al はゲート電極となる以外にトランジスタ作製工程において使用する酸や有機溶剤によって BaMgF₄ 膜が侵されるのを極力防止するために用いている。次に写真リソグラフィを用いてドレインおよびソース領域への電極をとるためにコンタクトホールを形成する。ここで、Al の除去には H₃PO₄ 溶液 (50°C)、BaMgF₄ の除去には HCl:H₂O=1:25 の溶液、そして SiO₂ の除去には希弗酸を用いる。最後にドレインおよびソース電極を真空蒸着と写真リソグラフィを用いて形成して、トランジスタが完成する。作製した BaMgF₄/Si (111) 構造

電界効果トランジスタの表面写真を図5-38に示す。ここで示したトランジスタのチャンネル長およびチャンネル幅の設計寸法は $10\mu\text{m}$ および $100\mu\text{m}$ である。

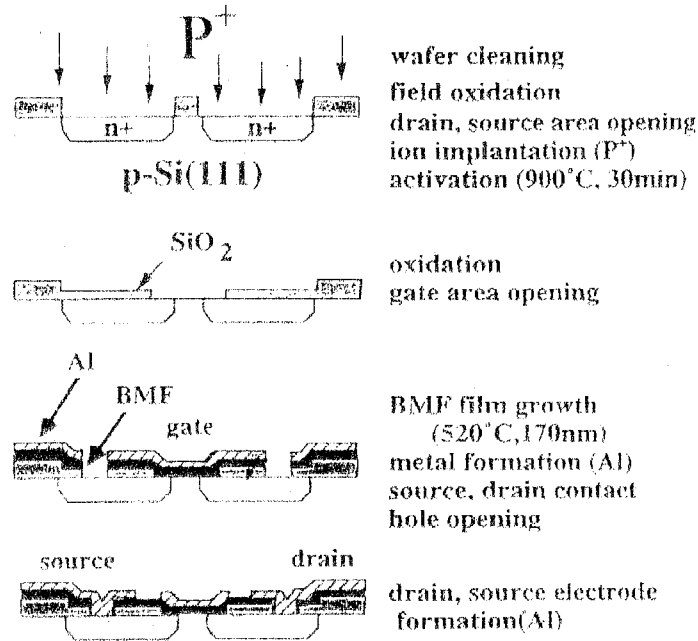


図5-37 BaMgF₄/p-Si(111)構造によるnチャンネル電界効果トランジスタの作製手順

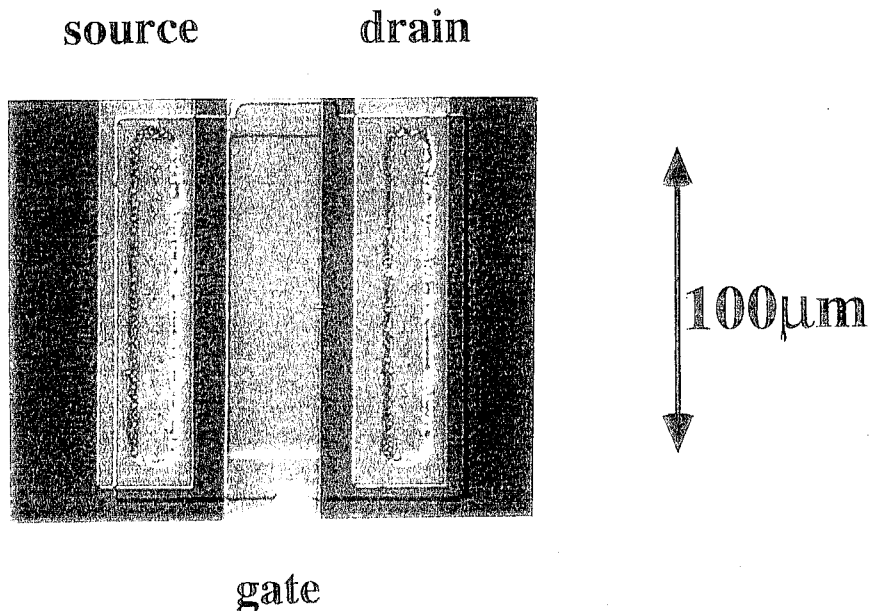


図5-38 作製した電界効果トランジスタの表面写真。チャンネル長およびチャンネル幅の設計寸法は $10\mu\text{m}$ および $100\mu\text{m}$ である。

5-4-3 作製したトランジスタの静特性

ここでは図5-38で示した BaMgF₄/Si(111)構造電界効果トランジスタの静特性を測定した。図5-39にドレイン電流-ドレイン電圧 (I_d - V_d) 特性を示す。この測定ではゲート電圧 V_g を-2V から+5V まで 1V ずつ変化させている。測定結果から作製した電界効果トランジスタは正常に動作することが確認された。またゲート電圧+5V における伝達コンダクタンス g_m は約 0.4mS、 g_m から算出したチャネル移動度は約 120cm²/Vs であった。しかしこれらの値は同一寸法で作製された SiO₂/Si 構造の電界効果トランジスタよりも小さい。これはトランジスタの作製過程において BaMgF₄/Si 界面が劣化したことを示唆している。

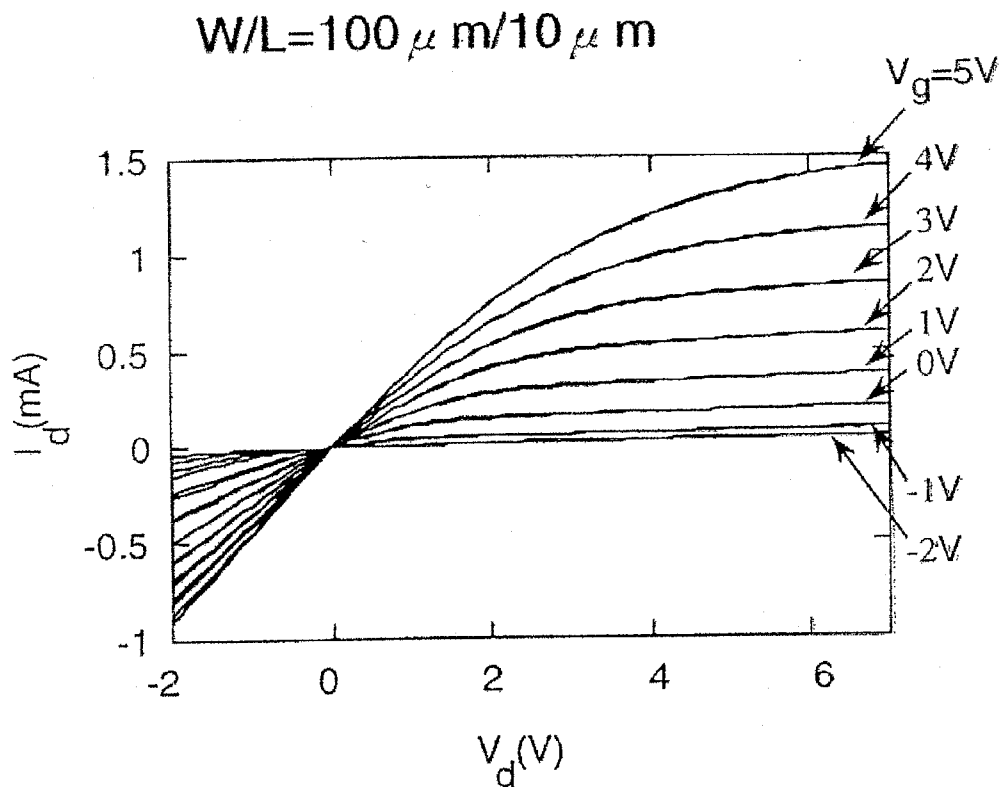


図5-39 BaMgF₄/Si(111)構造電界効果トランジスタの I_d - V_d 特性。ゲート電圧 V_g は-2V から+5V まで 1V ずつ変化させている。

図5-40は作製した電界効果トランジスタの I_d-V_g 特性 ($V_d=0.1V$) を示している。この結果からわかるように測定された I_d-V_g 特性は反時計回りのヒステリシスを描いている。これは BaMgF₄ 膜に生じた自発分極による効果と考えることができる。ゲート電圧を 10V 印加した場合のしきい値電圧シフト $V_{TF}-V_{TR}$ は約 1.4V であった。10V のゲート電圧印加によって BaMgF₄ 膜はほぼ飽和分極に達すると考えられるため、この場合しきい値電圧シフトは抗電界 $2E_c$ でほぼ与えられることを考慮すると、この測定結果から得られる BaMgF₄ 膜の抗電界 $2E_c$ は約 82kV/cm となる。また理想化されたトランジスタにおいては強誘電体が完全に飽和分極している場合、ドレイン電流 I_d は式 (5-29) より次式で与えられる。

$$I_d = \frac{Z}{L} \mu \frac{\epsilon_i \epsilon_0}{d} \left(V_g - V_T + \frac{d}{\epsilon_i \epsilon_0} P - \frac{V_d}{2} \right) V_d \quad (5-38)$$

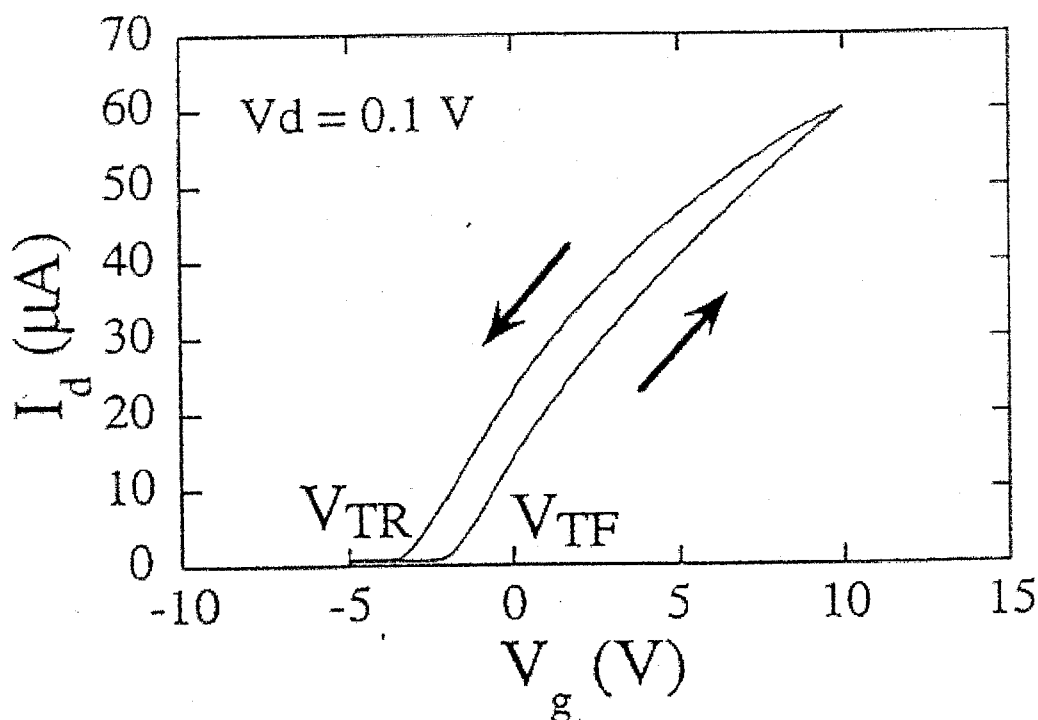


図5-40 作製した電界効果トランジスタの I_d-V_g 特性 ($V_d=0.1V$)。ゲート電圧を 10V 印加した場合のしきい値電圧シフト $V_{TF}-V_{TR}$ は約 1.4V。

ここで Z および L はそれぞれトランジスタのチャンネル幅およびチャンネル長、 μ はチャンネル移動度、 ϵ_i および d はそれぞれ強誘電体の比誘電率および膜厚、 P は強誘電体内に誘起される自発分極である。

図 5-40 において $V_g = (V_{TF} - V_{TR})/2$ におけるドレイン電流 I_d を (5-38) 式で $V_g = V_T$ とおいた値に等しいと仮定すると、残留分極 $2P_r$ はおよそ $0.1 \mu\text{C}/\text{cm}^2$ と見積もることができる。これら $2P_r$ の値は Al/BaMgF₄/n-Si(111) ダイオードで得られた値 ($0.89 \mu\text{C}/\text{cm}^2$) よりも小さい。n 型および p 型 Si(111) 基板上に成長した BaMgF₄ 膜において X 線回折法による測定では、基板の不純物原子の種類による結晶性の変化はみられなかったことから、強誘電性に関しては n 型および p 型基板を用いた場合ともほぼ同じ特性を示すと考えられる。図 5-41 は作製した電界効果トランジスタのゲート電極に幅 $1 \mu\text{s}$ 、電圧 $\pm 10\text{V}$ の単一のパルス電圧を印加した後、 $V_d = 0.1\text{V}$ および $V_g = 0\text{V}$ に保持した状態でドレイン電流 I_d の時間変化を測定した結果である。強誘電体を用いた電界効果トランジスタでは強誘電体の自発分極の方向や大きさによってチャンネルコンダクタンスが保持されるため、図 5-41 のような特性は一般に記憶保持特性と呼ばれる。BaMgF₄ 膜の分極反転時間 (約 40ns) や抗電界から測定に用いたパルス電圧の印加によって BaMgF₄ は完全に飽和分極に達していると仮定できる。図 5-41 において点線はパルス電圧を印加する前の初期状態でのドレイン電流の値である。初期状態でのドレイン電流に対してパルス電圧印加後のドレイン電流が 50% 減少する時間 (50% 保持時間) はおよそ数秒と短い。MSFET ではソース電極が接地されているので、チャンネルに反転層が形成された場合、ゲート電圧がゼロにおいて BaMgF₄ 膜には自発分極を打ち消す方向に電界 (脱分極電界) が生じることはないが、チャンネル直下が弱反転状態や空乏状態である場合、ゲート電圧がゼロにおいて BaMgF₄ 膜には脱分極電界が生じるので自発分極が消失することが考えられる。ここで Al/BaMgF₄/n-Si(111) ダイオードの C-V 特性 (図 5-42 (a)) から、図 5-41 と同様に BaMgF₄ 膜の自発分極が飽和するに十分なバイアス電圧 (+5V および -10V) を印加した後に、一定のバイアス電圧 (ここでは -2.5V) で容量値

の時間変化を測定したところ、約 100s で C-V ヒステリシスが消失する結果 (図 5-42 (b)) が得られた。この結果は、MFS ダイオードでは強誘電体膜直下の反転キャリアは接地ができないので強誘電体膜には必ず脱分極電界が加わるためと説明できる。すなわち、図 3-40 で得られたしきい値電圧シフト量が BaMgF₄ 膜単体の特性から期待される値よりも小さい理由は、チャンネルが完全な空乏状態となっていないため、BaMgF₄ 膜に脱分極電界が印加され、自発分極が時間経過によって消失したためと結論づけることができる。

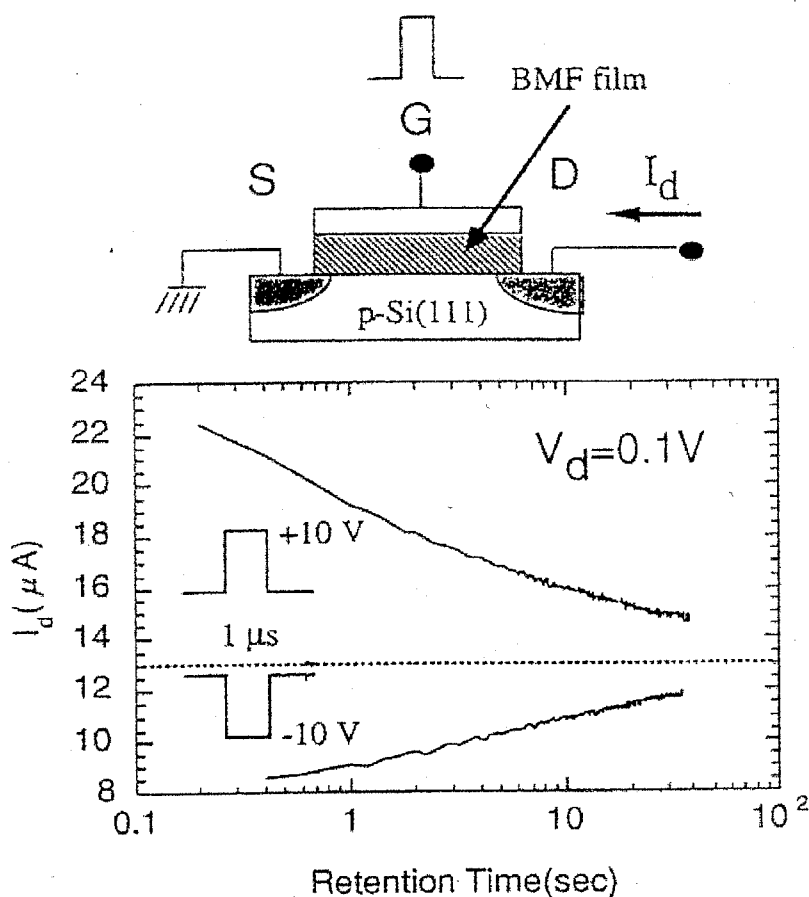


図 5-41 作製した電界効果トランジスタのゲート電極に幅 1ms、電圧 ±10V の単一のパルス電圧を印加した後に $V_d=0.1V$ および $V_d=0V$ に保持した状態で測定したドレイン電流 I_d の時間変化 (記憶保持特性)。点線はパルス電圧を印加する前の初期状態でのドレイン電流の値である。

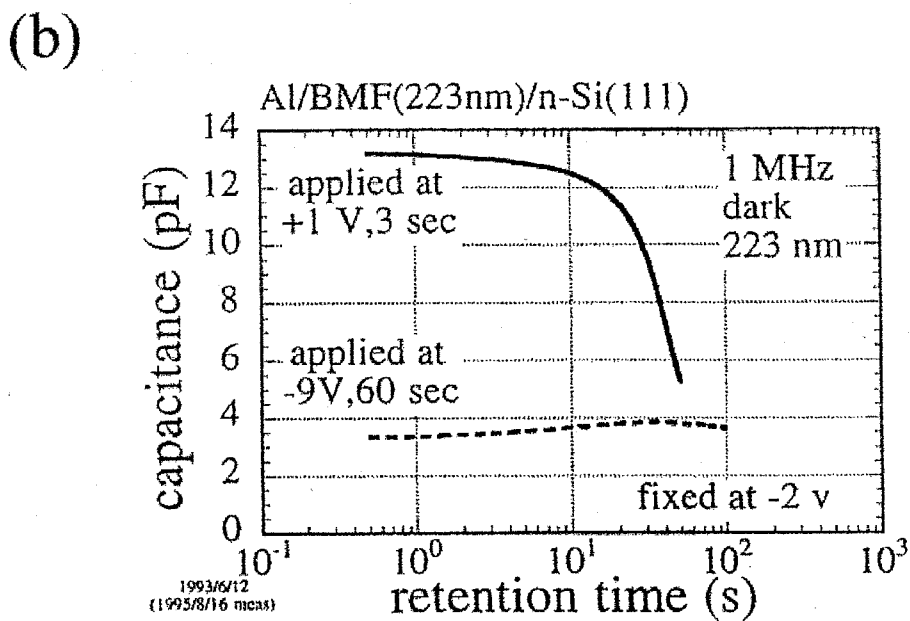
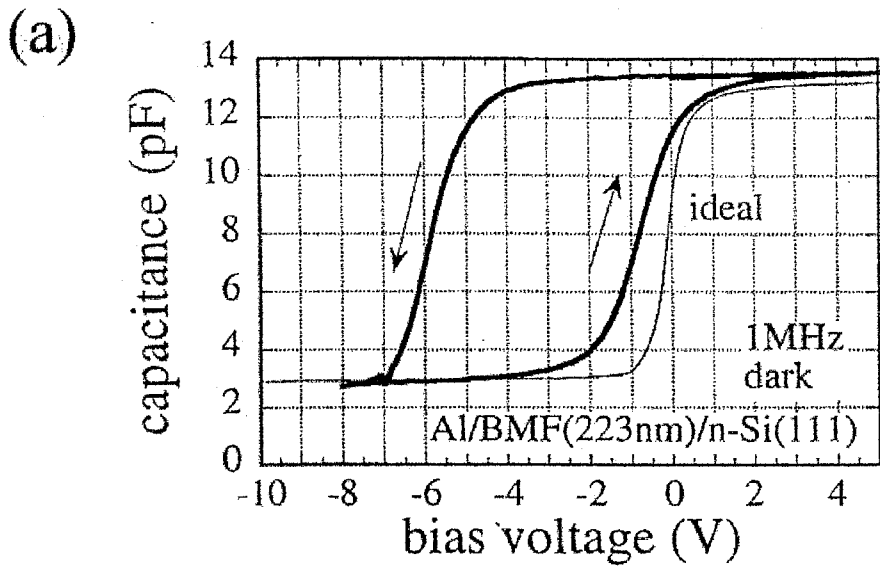


図5-42 (a) Al/BaMgF₄/n-Si(111) ダイオードにおける 1MHz $C-V$ 特性 (BaMgF₄ 膜の厚さ 223nm) および (b) 電極にバイアス電圧 (+5V および -10V) を印加した後に、一定のバイアス電圧 (ここでは -2.5V) で保持した場合における容量値の時間変化。

5-4-4 トランジスタのパルス印加特性

強誘電体を用いた電界効果トランジスタではゲートへのパルス電圧印加によって強誘電体に発生する自発分極量の制御が期待できる。ここでは作製した BaMgF₄/Si(111) 構造電界効果トランジスタのゲート電極に電圧値やパルス幅の異なるパルス電圧を印加した場合のトランジスタ特性を検討する。

図5-43にパルス幅 1 μ s の単一パルスを印加した後の $V_g=0$ における I_d-V_d 特性を示す。このときパルス電圧はそれぞれ 5V から 10V の間で 1V ずつ増加させてゲートに入力した。この結果より明らかなように、ゲートに印加したパルス電圧の増加に従って、その後に $V_g=0$ で測定した場合の飽和ドレイン電流が増加している。これはゲートに入力したパルス電圧の大きさによって分極ドメイン領域が部分的に反転し、増加することで BaMgF₄ 膜に生じる自発分極量が増加していることを示している。 $V_g=0$ における飽和ドレイン電流 I_d から (5-38) 式を用いて BaMgF₄ 膜に発生した自発分極量を見積もることで、図5-44に示すような入力パルス電圧に対する自発分極量の変化を求めることができる。この結果は入力電圧の大きさに伴って BaMgF₄ 膜の部分分極反転が進んでいることを示している。なお、入力電圧に対する分極量が BaMgF₄ 膜単体での残留分極値よりかなり小さいのは分極保持性が悪いためと考えられる。

次に、BaMgF₄ 膜の分極反転時間 (約 40ns) より短いパルス幅を持つパルス連続的に入力した場合についても同様な測定を行った。測定結果を図5-45に示す。入力パルス波には電圧+10V、パルス幅 10ns の単一パルスを用いて、入力パルス数に対する分極量を I_d-V_d 特性における飽和ドレイン電流から見積もった。この結果から入力パルス数の増加に対して分極量がシグモイド関数的に増加することがわかった。また入力パルス数に対して分極量の変化が比較的遅いのは、作製したトランジスタにおいては BaMgF₄ 膜への充電電流の時定数が入力パルス幅に対して無視できないほど大きく、その場合、BaMgF₄ 膜にかかる実効電圧が 10V よりも低下することから実効的な分極量が減少したためと考えられる。BaMgF₄/Si 構造を用いたデバイスにおいて部分分極反転の効果を示す図5-44

および5-45の結果はいままでには報告はされていない。BaMgF₄/Si 構造の電界効果トランジスタは BaMgF₄ 膜の部分分極反転を利用した適応学習型デバイスなどへの応用に期待できることがわかった。

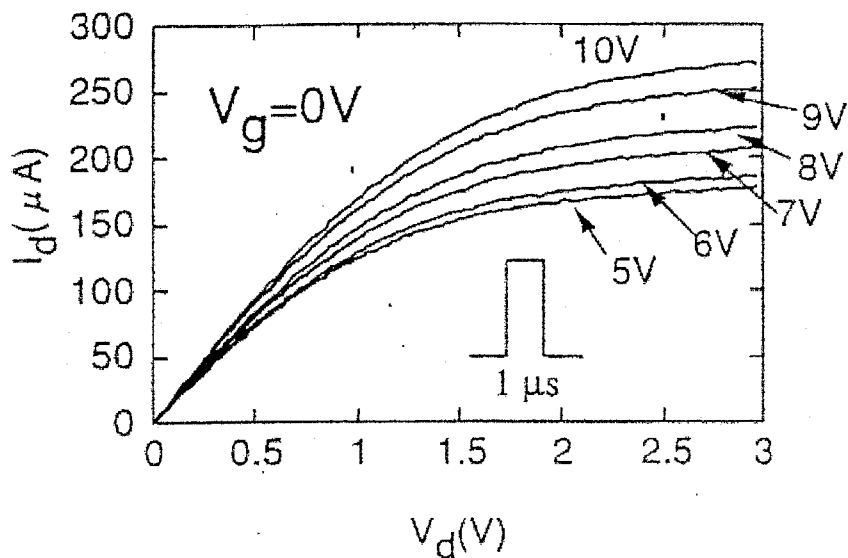


図5-43 BaMgF₄/Si 構造電界効果トランジスタのゲートにパルス幅 1μs の単一パルス電圧を印加した後の V_g=0 における I_d-V_d特性。パルス波の電圧はそれぞれ 5V から 10V の間で 1V ずつ増加させた。

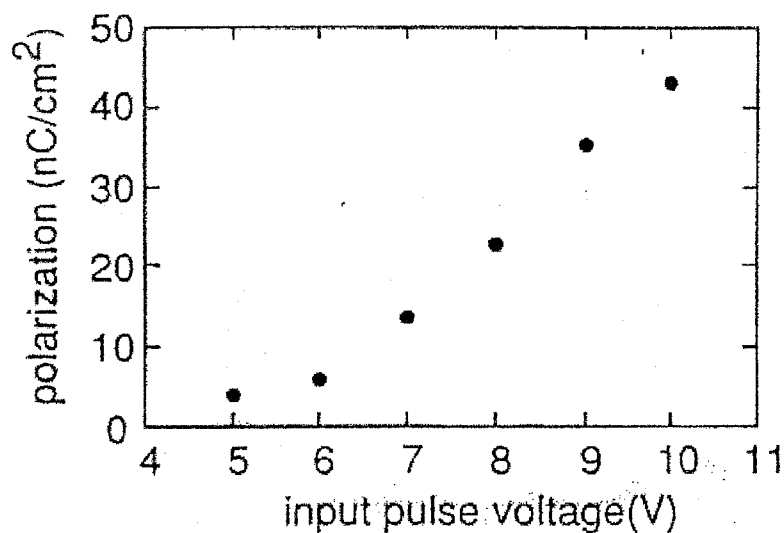


図5-44 入力パルス電圧に対する自発分極量の変化

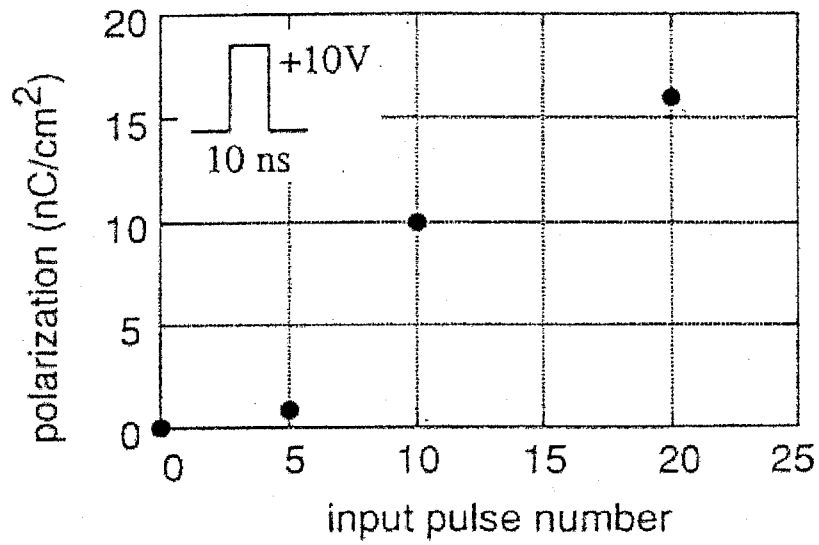


図5-45 入力パルス数に対する分極量の変化。入力パルスには電圧+10V、パルス幅 10ns の単一パルスを用いて、 I_d - V_d 特性における飽和ドレイン電流から分極量を見積もった。

5-5 まとめ

GaAs および Si 基板上に成長した BaMgF₄ 膜の分極特性などの電氣的な諸特性を評価した。加えて Si 基板上に成長した強誘電性 BaMgF₄ 膜を用いて電界効果トランジスタを試作し、その動作特性を評価した。以下に本章で得られた結論を述べる。

1. GaAs 基板上に真空蒸着法によって形成した BaMgF₄ 膜は、600°C の結晶化熱処理により漏れ電流の低下が図れることを明らかにした。またクラックなどの膜の欠陥によって膜の絶縁破壊強度は BaMgF₄ 膜で報告されている抗電界の値以下となり、分極特性が得られにくいことを明らかにした。

以上のことから GaAs 基板上の BaMgF₄ 膜をデバイスへ応用するにあたり、クラック発生を防止する方法として MBE 法を用いるなど BaMgF₄ 膜形成方法の改善による膜の緻密化などの膜質向上が必要であると結論した。

2. BaMgF₄ 膜では誘電率の異方性のために膜の配向方位によって比誘電率が異なることを明らかにした。この場合、BaMgF₄ 配向膜の比誘電率は (120) 配向膜で 9.7 程度となることを明らかにした。また Si (111) 基板上に成長した BaMgF₄ (120) 配向膜における電気伝導機構を検討し、100kV/cm 付近ではイオン伝導が支配的であるが、400kV/cm 付近の電界領域においては Schottky 伝導が支配的となることを明らかにした。

3. Si (100) および (111) 基板上に成長した BaMgF₄ (011) 配向膜および (120) 配向膜においては、BaMgF₄ 膜の配向性に従って膜厚方向での分極特性に違いがあることを明らかにした。すなわち膜厚方向に分極ベクトルの成分を持たない BaMgF₄ (011) 配向膜では膜厚方向に分極特性を示さないが、膜厚方向に分極ベクトルの成分を持つ BaMgF₄ (120) 配向膜では膜厚方向に分極特性を示すことを明らかにした。

4. BaMgF₄(120)配向膜の分極反転時間および疲労特性を測定し、分極反転時間は約 40ns 以下、50%疲労回数は約 10¹¹ 回であることを明らかにした。また原子間力顕微鏡観察より BaMgF₄(120)配向結晶の結晶粒径が大きいほど残留分極が大きいことを明らかにした。

5. 基板温度 500°C 付近で作製した BaMgF₄/Si(111)構造ダイオードの C-V 特性で観測されるヒステリシスループは BaMgF₄ 膜の自発分極によることを明らかにした。また BaMgF₄/Si(111)構造における界面準位密度は最小で $2.9 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$ となることを明らかにした。

以上のことから基板温度 500°C 付近で BMF 膜を成長した BMF/Si(111)構造を用いると、BaMgF₄ 膜の分極特性を利用した電界効果トランジスタの実現が十分可能であると結論した。

6. BaMgF₄/p-Si(111)構造による n チャネル電界効果トランジスタを作製し、BaMgF₄ 膜の残留分極によりトランジスタのしきい値電圧を変化できることを明らかにした。またゲートへのパルス電圧印加後に I_d - V_d 特性を測定することで BaMgF₄ 膜の部分分極反転による効果を明らかにした。

以上のことから、BaMgF₄/Si 構造の電界効果トランジスタは BaMgF₄ 膜の残留分極を利用した不揮発性メモリ応用以外に、部分分極反転を利用した適応学習型デバイスなどへの応用にも期待できると結論した。

参考文献

1. 塩崎忠 監修：強誘電体薄膜集積化技術、サイエンスフォーラム、17(1992).
2. S.M.Sze:Physics of Semiconductor Devices, Wiley, 2nd edition, 362(1981).
3. Miller et al.: J. Appl. Phys. 72(12), 5999(1992).
4. S.Sinharoy et al.: IEEE Trans. Ultrason. Ferroelectr. & Freq. Control 38, 663(1991).
5. 大見俊一郎：博士論文、東京工業大学(1996).
6. S.M.Sze:Physics of Semiconductor Devices, Wiley, 2nd edition, 403(1981).
7. 河本洋二：旭硝子工業技術奨励会研究報告 55, 179(1989).
8. S.Sinharoy et al.: Proc. of the 4th Intern. Symp. on Integrated Ferroelectrics, Monterey, 290(1992).
9. P.K.Larsen et al.: Appl. Phys. Lett. Vol.59, NO.5, 611(1991).
10. F.J.Himpsel et al.: Rys. Rev. Lett. 56, 1497(1986).
11. M.A.Olmstead et al.: Rys. Rev. B 35, 7526(1987).
12. R.M.Tromp et al.: Phys. Rev. Lett. 61, 1756(1988).
13. J.Zegenhagen et al.: Phys. Rev. B 41, 5315(1990).
14. C.-C.Cho et al.: Appl. Phys. Lett. 60, 338(1992).
15. 岡本具之：修士論文、東京工業大学,(1996).

第6章

結論

本研究では、まず化合物半導体 MIS デバイスへの応用を目的として、常誘電性弗化物膜の形成と特性評価を行った。その結果、常誘電性弗化物 AlF_3 および $\text{Y}_x\text{La}_{1-x}\text{F}_3$ と GaAs 基板との界面特性は従来の誘電体/GaAs 界面よりも改善されることを示し、化合物半導体 MIS デバイス実現への候補の一つとなり得ると結論した。次に、強誘電体メモリデバイスや適応学習型デバイスへの応用を目的として、Si 及び GaAs 基板上への強誘電性弗化物 BaMgF_4 の成長、電気的特性評価および MFSFET の作製と特性評価を行い、その結果、 BaMgF_4/Si 構造デバイスは充分実現可能であると結論した。

第6章 目次

- 6-1 本研究で得られた結論
- 6-2 本研究における主な成果
- 6-3 今後に残された課題

6-1 本研究で得られた結論

半導体デバイスの高密度集積化技術は集積回路の高性能化を実現するために必要不可欠なものであるが、その一方で微細加工の技術的限界やデバイス寸法の制約からくるデバイス特性上の物理的限界などの問題から、単なる従来技術の延長ではもはや限界が見え始めている。こうした問題を解決する一つの方法として、従来の材料系や集積回路技術では実現が難しい高機能化素子を開発することが必要であることを述べた。

こうした背景から、本論文では現在の集積回路の多くに用いられている MISFET に着目して、特にゲート絶縁膜の材料として常誘電性あるいは強誘電性弗化物を用いた MISFET の持つ機能性が将来の半導体集積回路の高性能化に寄与することを示した上で、これを実現するための基礎を確立することを目指して研究を行った。

本研究では、まず化合物半導体 MIS デバイスへの常誘電性弗化物膜の応用として、半導体基板上に低温形成可能な常誘電性弗化物と結晶成長可能な常誘電性弗化物の2種類について、その薄膜形成と界面特性の評価からデバイス応用に適した常誘電体/半導体構造の形成に関する知見を得ることを目的とした研究を行った。以下に得られた結論を示す。

まず最初に、GaAs MIS デバイスのゲート絶縁膜として III b 族金属弗化物である AlF_3 を用いて、主に AlF_3 膜/GaAs 界面の電気的特性について評価を行った。

1. GaAs (100) 基板上に形成した AlF_3 膜の電気的特性を明らかにした。GaAs (100) 上に 350°C で堆積した AlF_3 膜は $1\mu\text{A}/\text{cm}^2$ における電界強度および抵抗率がそれぞれ約 $2 \times 10^5 \text{ V}/\text{cm}$ および約 $2 \times 10^{11} \Omega \text{ cm}$ である常誘電体膜であった。これらの結果から得られた AlF_3 膜は MIS デバイスのゲート絶縁膜として最低限の絶縁特性を有していることを明らかにした。
2. 電気的に良好な界面特性を有する AlF_3/GaAs (100) 構造は GaAs 表面を硫黄処

理した場合にのみ得られることを明らかにした。その場合、従来の絶縁体/GaAs 構造と場合と異なり最小界面準位密度の位置が伝導帯側にあるため、AlF₃/GaAs(100)構造はMISデバイスへの応用を考えるうえできわめて有利であることを明らかにした。

次にGaAs MISデバイスの結晶性ゲート絶縁膜として希土類弗化物混晶 Y_xLa_{1-x}F₃ 薄膜を提案し、GaAs(111)基板上へのエピタキシャル成長を試みた。加えて Y_xLa_{1-x}F₃/GaAs(111)構造の界面特性について評価を行った。

1. 六方晶の希土類弗化物 LaF₃ に斜方晶の YF₃ を添加した Y_xLa_{1-x}F₃ 混晶 (六方晶) の GaAs(111)基板上へのエピタキシャル成長を初めて実現した。また、YF₃ の添加による格子定数変化を確認し、Y_xLa_{1-x}F₃ 膜の組成比 x が約 0.55 で GaAs(111)B 基板との格子整合エピタキシャル成長が可能であることを明らかにした。
2. Y_xLa_{1-x}F₃ 膜の抵抗率は YF₃ の添加量によらず 10⁻⁷A/cm² の漏れ電流において 10¹² Ω cm 程度であり、GaAsMIS デバイスのゲート絶縁膜として十分な絶縁性を持つことを明らかにした。2段階成長法により作製した Y_xLa_{1-x}F₃/GaAs(111)B 構造の界面特性は、GaAsMIS デバイスへの応用を考えた場合不十分であるが、predeposition 後の熱処理によってフェルミレベルのピンニングが緩和され、界面特性が改善されることを明らかにした。

従来、GaAs と誘電体界面には高密度の界面準位が存在するために、MISFET のようなデバイスは実現不可能であると考えられてきた。しかし、以上で得られた結果から、常誘電性弗化物 AlF₃ や Y_xLa_{1-x}F₃ と GaAs 基板上との界面特性は従来よりも改善されることから、化合物半導体 MIS デバイスへの応用に対する可能性を示していると結論した。

次に本研究では、強誘電体メモリデバイスや適応学習型デバイスへの応用を目的として、Si 及び GaAs 基板上への強誘電性弗化物 BaMgF_4 の結晶成長を試み、成長条件および結晶配向性を明らかにするための検討を行った。さらに BaMgF_4 膜および界面の電気的特性評価からデバイス応用に適した強誘電体/半導体構造の作製を行い、実際に強誘電体/半導体構造を用いて作製した MFSFET の特性により、評価を行うことでデバイス応用における強誘電性弗化物の有効性を明らかにした。。以下に得られた結論を示す。

まず最初に、GaAs および Si などの半導体基板上における弗化物強誘電体 BaMgF_4 膜の結晶成長について検討を行った。

1. GaAs 基板上に真空蒸着法により BaMgF_4 膜が堆積できることを確認した。このとき基板温度が 500°C 以上において (140) および (200) 配向を含む BaMgF_4 多結晶膜を形成できることを明らかにした。また低温で堆積した無配向の膜を熱処理することで BaMgF_4 (010) 配向の結晶が固相成長することを明らかにした。
2. Si (100) 及び (111) 基板上に MBE 法を用いて BaMgF_4 膜を堆積し、基板温度 500°C 付近で形成した BaMgF_4 膜は膜厚方向および面内方向において良好な結晶配向性を持つエピタキシャル膜であることを明らかにした。特に Si (100) 基板上にエピタキシャル成長した BaMgF_4 (011) 膜では分極軸が基板面に対して平行であるのに対して、Si (111) 基板上にエピタキシャル成長した BaMgF_4 (120) 膜では分極軸が基板面に対して約 51° の方向となり、基板面に対して垂直方向に分極ベクトルの成分を持つことを明らかにした。

以上のことから、膜の垂直方向に分極ベクトルを持つ BaMgF_4 (200) 配向結晶や、膜表面に対して 32° の方向に分極ベクトルをもつ (140) 配向結晶を含む

BaMgF₄膜は本研究目的を達成する上で有効であると結論した。さらに Si (111) 基板上に成長した BaMgF₄ (120) 膜は、本研究の目的である強誘電体膜の MIS デバイスへの応用上最も優れていると結論した。

次に、GaAs および Si 基板上に成長した BaMgF₄ 膜の分極特性などの電気的な諸特性を評価した。加えて Si 基板上に成長した強誘電性 BaMgF₄ 膜を用いて電界効果トランジスタを試作し、その動作特性を評価した。

1. GaAs 基板上に真空蒸着法によって形成した BaMgF₄ 膜は、600°C の結晶化熱処理により漏れ電流の低下が図れることを明らかとした。またクラックなどの膜の欠陥によって膜の絶縁破壊強度は BaMgF₄ 膜で報告されている抗電界の値以下となり、分極特性が得られにくいことを明らかにした。

以上のことから GaAs 基板上の BaMgF₄ 膜をデバイスへ応用するに当たっては、MBE 法を用いるなど BaMgF₄ 膜形成方法の改善により膜の緻密化を図り、クラックの発生を防止することが必要であると結論した。

2. BaMgF₄ 膜では誘電率の異方性のために膜の配向方位によって比誘電率が異なることを明らかにした。この場合、BaMgF₄ 配向膜の比誘電率は (120) 配向膜で 9.7 程度となることを明らかにした。また Si (111) 基板上に成長した BaMgF₄ (120) 配向膜における電気伝導機構を検討し、100kV/cm 付近ではイオン伝導が支配的であるが、400kV/cm 付近の電界領域においては Schottky 伝導が支配的となることを明らかにした。
3. Si (100) および (111) 基板上に成長した BaMgF₄ (011) 配向膜および (120) 配向膜においては、BaMgF₄ 膜の配向性に従って膜厚方向での分極特性に違いがあることを明らかにした。すなわち膜厚方向に分極ベクトルの成分を持たない

BaMgF₄(011)配向膜では膜厚方向に分極特性を示さないが、膜厚方向に分極ベクトルの成分を持つ BaMgF₄(120)配向膜では膜厚方向に分極特性を示すことを明らかにした。

4. BaMgF₄(120)配向膜の分極反転時間および疲労特性を測定し、分極反転時間は約 40ns 以下、50%疲労回数は約 10¹¹回であることを明らかにした。また原子間力顕微鏡観察より BaMgF₄(120)配向結晶の結晶粒径が大きいほど残留分極が大きいことを明らかにした。
5. 基板温度 500°C付近で作製した BaMgF₄/Si(111)構造ダイオードの C-V 特性で観測されるヒステリシスループは BaMgF₄膜の自発分極によることを明らかにした。また BaMgF₄/Si(111)構造における界面準位密度は最少で $2.9 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$ となることを明らかにした。
6. BaMgF₄/p-Si(111)構造による n チャネル電界効果トランジスタを作製し、BaMgF₄膜の残留分極によりトランジスタのしきい値電圧を変化できることを明らかにした。またゲートへのパルス電圧印加後に I_d - V_d 特性を測定することで BaMgF₄膜の部分分極反転による効果を明らかにした。

以上のことから基板温度 500°C付近で BaMgF₄膜を成長した BaMgF₄/Si(111)構造を用いると、BaMgF₄膜の分極特性を利用した電界効果トランジスタの実現が十分可能であると結論した。さらに、本研究で作製した BaMgF₄/Si 構造の電界効果トランジスタは BaMgF₄膜の残留分極を利用した不揮発性メモリ応用以外に、部分分極反転を利用した適応学習型デバイスなどへの応用にも期待できると結論した。

6-2 本研究における主な成果

本論文では、半導体基板上への常誘電体性および強誘電性弗化物薄膜の形成とデバイス応用に関する研究について述べてきた。以下に本研究で得られた主な成果を記す。

1. GaAs 基板上に形成した AlF_3 膜は、MIS デバイスへの応用に対して最低限の絶縁特性および界面特性を持つことを明らかにした。
2. 六方晶 LaF_3 と斜方晶 YF_3 との混晶 $\text{Y}_x\text{La}_{1-x}\text{F}_3$ 膜が六方晶構造を保ちながら、GaAs(111)B 基板上に格子整合エピタキシャル成長することを初めて明らかにした。
3. 強誘電性弗化物 BaMgF_4 膜が、Si(111) 基板上に(120)方位で結晶成長することを初めて明らかにした。
4. 強誘電性弗化物 BaMgF_4 膜と Si 基板との界面準位密度が $10^{10}\text{cm}^{-2}\text{eV}^{-1}$ 程度と極めて小さいことを初めて明らかにした。そして BaMgF_4 膜を用いた Si-MFSPET を作製し、その動作特性を明らかにした。

本研究では、半導体基板上への常誘電性弗化物および強誘電性弗化物の形成と特性評価などの基礎的研究を通して、半導体デバイスへの応用までを含んで検討してきた。そして本論文で得られた成果は、将来、機能性素子として期待される化合物半導体 MIS デバイスや強誘電体メモリデバイスへの応用に対して、その可能性を示したものであり、今後さらなる発展が期待されると筆者は考えている。

6-3 今後に残された課題

本研究によって、常誘電性弗化物および強誘電性弗化物膜の半導体基板上への形成方法とその電気的特性についてある程度明らかにすることができたと考えている。しかし、化合物半導体 MIS デバイスや強誘電体メモリトランジスタなどへの実際の応用を考えた場合、今後解明して行かなくてはならない課題は多い。そのうちの主なものを以下に示す。

1. AlF_3/GaAs および $\text{Y}_x\text{La}_{1-x}\text{F}_3/\text{GaAs}$ 界面特性の安定性

本研究では、as-deposition 状態での界面特性について検討を行い、ある程度の改善結果を得ているが、実際の半導体プロセスでは熱処理や湿式処理といった様々な工程が加えられる。こうしたプロセスに対する AlF_3/GaAs および $\text{Y}_x\text{La}_{1-x}\text{F}_3/\text{GaAs}$ 界面の安定性を今後検討する必要がある。

2. $\text{Y}_x\text{La}_{1-x}\text{F}_3/\text{GaAs}$ 界面における結晶性の改善

$\text{Y}_x\text{La}_{1-x}\text{F}_3$ 膜は GaAs 基板に対して格子整合エピタキシャル成長可能であることを X線回折測定等から明らかにしたが、 $\text{Y}_x\text{La}_{1-x}\text{F}_3/\text{GaAs}$ 界面における結晶性については $(\text{Ca}, \text{Sr})\text{F}_2/\text{GaAs}$ 構造と比較して充分とはいえない。今後は MBE 法などを用いて原子層レベルでの成長制御をおこなう必要がある。

3. BaMgF_4/Si 界面特性の安定性

1. と同様に、 BaMgF_4/Si 構造を用いた半導体デバイスを実用化するにあたっては半導体プロセスで導入される熱処理や湿式処理といった様々な工程に対する界面特性の安定性を今後検討する必要がある。

4. BaMgF_4/Si 構造の電界効果トランジスタにおける分極保持特性の改善

本研究では、強誘電性弗化物 BaMgF_4 膜の分極特性によって電界効果トランジスタの特性を制御できることを明らかにしたが、デバイスの実用化を考えた場

合、分極保持特性をさらに改善する必要がある。

謝辞

本研究の遂行ならびに本論文をまとめるに当たって、研究指導者および共同研究者として厳しくも暖かく、終始御懇切なご指導とご鞭撻を頂きました東京工業大学 精密工学研究所 石原 宏教授、徳光永輔助教授に深く心より感謝いたします。

本論文をまとめるに当たり、数々の有益な御教示を頂きました、東京工業大学 岩本光正教授、浅田雅洋助教授、筒井一生助教授に深く感謝いたします。

また、日頃の学内での発表会、研究会等を通じ、有益な御討論、御指導を頂きました本学 電子システム専攻、物理情報工学専攻、電子化学専攻ならびに電気系3学科の諸先生方に深く感謝いたします。

本研究における評価方法の一つである SIMS 測定に多くの便宜を図って頂きました東京工業大学 小田原 修助教授ならびにイオンマイクロアナライザ装置運営委員会の方々に深く感謝いたします。また、X線回折測定において便宜を図って頂きました本学 研究協力部研究協力課 佐伯 淳助手に感謝いたします。後方散乱測定において多大な便宜を図っていただいた本学バンデグラフ委員会の方々にならびに財団法人 神奈川高度技術支援財団 高度計測センター 熊谷正夫博士に感謝いたします。実験装置の使用などを通じて様々なご協力を頂きました川崎宏治助手、源関聡技官をはじめとする筒井研究室のみなさまに感謝いたします。

本研究の一部は、Ricard Herve 博士（本学 博士課程修了）、神田和重君（現 東芝）、坪田圭司君（現 富士フィルム）、市来達也君（現 日立製作所）、岡本具之君（現 東芝）の協力で行ったものであり、ここに記して感謝いたします。また結晶成長装置の保守運営に当たってご協力いただきました、大見俊一郎助手、林 智基君（現 関西電力）、吉原 誠君（現 日立製作所）、岡本武郎君（現 修士2年）、田上政由君（現 修士1年）に感謝いたします。

研究および生活面でお世話になりました国井明子秘書、郷 淑子秘書をはじめとする石原・徳光研究室の皆様にご感謝致します。

私が研究者となるきっかけを与えて下さいました武蔵工業大学 服部健雄教授ならびに森木一紀助教授には、機会あるごとに暖かい御指導・ご鞭撻を頂きました。ここに深く感謝いたします。

最後に、これまで心の支えとなり、また応援していただいた両親に感謝いたします。

発表論文および学会発表一覧

(1) 発表論文

【本論文に関する発表論文、Proceeding】

1. Kouji AIZAWA, Herve RICARD, and Hiroshi ISHIWARA, "Lattice parameter control of epitaxially grown hexagonal LaF_3 films on GaAs(111) substrates by incorporation of orthorhombic YF_3 ", Jpn. J. Appl. Phys., Vol. 31 (1992) pp.L508-L510.
2. Kouji AIZAWA and Hiroshi ISHIWARA, "Formation of ferroelectric BaMgF_4 films on GaAs substrates", Jpn. J. Appl. Phys., Vol. 31 (1992) pp.3232-3234.
3. Kouji AIZAWA, Tatsuya ICHIKI, and Hiroshi ISHIWARA, "Formation of BaMgF_4 films on Pt/MgO, Si and GaAs substrates", Mat. Res. Soc. Symp. Proc., Vol. 310 (1993) pp.313-318.
4. Kouji AIZAWA, Hiroshi ISHIWARA, and Masao Kumagai, "Epitaxial growth of BaMgF_4 films on Si(100) and (111) substrates: An approach to ferroelectric/semiconductor heterostructures", Appl. Phys. Lett., 63 (1993) pp. 1765-1767.
5. Koji AIZAWA and Hiroshi ISHIWARA, "Crystal orientations of orthorhombic BaMgF_4 films grown on Si substrates", Proc. 1st Int. Symp. Control of Semiconductor Interfaces, Karuizawa, 1993 (Elsevier Science B.V., The Netherlands, 1994) pp.283-288.
6. Koji AIZAWA and Hiroshi ISHIWARA, "Electrical properties of ferroelectric BaMgF_4 films on Si substrates", Jpn. J. Appl. Phys., Vol.33 (1994) pp.5178-5181.
7. Koji AIZAWA, Tatsuya ICHIKI and Hiroshi ISHIWARA, "Ferroelectric properties of BaMgF_4 films grown on Si(100), (111) and Pt(111)/ SiO_2 /Si(100) structures", Jpn. J. Appl. Phys., 35 (1996) pp.1525-1530.
8. Koji AIZAWA, Tomoyuki OKAMOTO, Eisuke TOKUMITSU and Hiroshi ISHIWARA, "Fabrication and characterization of metal-ferroelectrics-semiconductor field effect transistors using epitaxial BaMgF_4 films grown on Si(111) substrates", Integrated Ferroelectrics to be published.

【関連論文】

1. Herve RICARD, Kwang Ho KIM, Kouji AIZAWA, and Hiroshi ISHIWARA, "Electrical properties of gallium fluoride (GaF_3)/GaAs interface with and without sulfur treatment", Jpn. J. Appl. Phys., Vol. 29 (1990) pp.L2460-2462.
2. Herve RICARD, Kouji AIZAWA, and Hiroshi ISHIWARA, "Improvement of interface electronic properties of GaF_3/GaAs MIS structures", Appl. Surf. Sci., Vol.56-58 (1992) pp.888-893.

(2) 本研究に関する口頭発表等

【国際会議】

1. Kouji AIZAWA, Tatsuya ICHIKI, and Hiroshi ISHIWARA, "Formation of BaMgF_4 films on Pt/MgO, Si and GaAs substrates", Materials Research Society Spring Meeting, April 12-16 (1993), San Francisco, California, USA, p.274.
2. Koji AIZAWA and Hiroshi ISHIWARA, "Crystalline orientation of orthorhombic BaMgF_4 films formed on Si substrates", November 8-12 (1993), Karuizawa, Japan, p.39.
3. Koji AIZAWA, Tatsuya ICHIKI and Hiroshi ISHIWARA, "Ferroelectric properties of BaMgF_4 films grown on Si(100), (111) and Pt(111)/ SiO_2 /Si(100) structures", Ext. Abst. of 1995 Intern. Conf. on Solid State Devices and Materials, Osaka, (1995) pp.527-529.
4. Koji AIZAWA, Tomoyuki OKAMOTO, Eisuke TOKUMITSU and Hiroshi ISHIWARA, "Fabrication and characterization of metal-ferroelectrics-semiconductor field effect transistors using epitaxial BaMgF_4 films grown on Si(111) substrates", Abst. of 8th Intern. Symp. on Integrated Ferroelectrics, Tempe, (1996).

【国内会議】

1. 會澤康治、エルヴェ・リカー、石原宏、" $(\text{NH}_4)_2\text{S}_x$ 処理 GaAs を用いた弗化物 / GaAs 構造の電気的特性"、1991 年春季 第 38 回 応用物理学関係連合講演会、30pN-7、p. 1202.
2. 會澤康治、エルヴェ・リカー、神田和重、石原宏、" 希土類弗化物混晶の GaAs(111) 面上へのエピタキシャル成長"、1991 年秋季 第 52 回 応用物理学学会学術講演会、12aZD-8、p. 354.
3. 會澤康治、エルヴェ・リカー、石原宏、" 希土類弗化物混晶 ($\text{Y}_x\text{La}_{1-x}\text{F}_3$)/GaAs

- 構造の電気的特性”、1992年春季 第39回 応用物理学関係連合講演会、30aQ-1、p. 1142.
4. 會澤康治、石原宏、” GaAs 基板上に形成した強誘電性弗化物 BaMgF_4 薄膜の電気的特性評価”、1992年 第9回 強誘電体応用会議、27-T-7、p. 45
 5. 會澤康治、市来達也、石原宏、”GaAs 基板上に形成した強誘電性弗化物 BaMgF_4 膜の配向特性”、1992年秋季 第53回 応用物理学会学術講演会、17aZW-11、p. 398.
 6. 會澤康治、石原宏、” 強誘電性弗化物薄膜の形成とその評価”、1992年 第36回 日本学術会議 材料研究連合講演会、107、p. 14.
 7. 會澤康治、市来達也、石原宏、” Si 基板上に形成した強誘電性弗化物 BaMgF_4 膜の配向特性”、1993年春季 第40回 応用物理学関係連合講演会、31aT-1、p. 480.
 8. 會澤康治、吉原誠、石原宏、” Si 基板上に形成した強誘電性弗化物 BaMgF_4 膜の配向特性(2)”、1993年秋季 第54回 応用物理学会学術講演会、27pR-5、p. 392.
 9. 會澤康治、市来達也、石原宏、” 強誘電性弗化物 BaMgF_4/Si 構造の電気的特性”、994年春季 第41回 応用物理学関係連合講演会、28aMF-3、p. 372.
 10. 會澤康治、石原宏、” Si 基板上への強誘電性弗化物 BaMgF_4 薄膜の形成とその電気的特性”、1994年 第11回 強誘電体応用会議、26-T-15、p. 69.
 11. 會澤康治、市来達也、石原宏、” 強誘電性弗化物 BaMgF_4/Si 構造の電気的特性(2)”、1994年秋季 第55回 応用物理学会学術講演会、22pM-7、p. 467.
 12. 會澤康治、石原宏、” Si 基板上に作製した強誘電性弗化物 BaMgF_4 薄膜の電気的特性”、1995年春季 第42回 応用物理学関係連合講演会、29aD-6、p. 437.
 13. 會澤康治、石原宏、” Si 基板上に作製した強誘電性弗化物 BaMgF_4 薄膜の電気的特性(2)”、1995年秋季 第56回 応用物理学会学術講演会、28pZG-5、p. 440.
 14. 會澤康治、岡本 具之、石原宏、” Si(111)基板上に成長した BaMgF_4 薄膜の絶縁特性”、1996年春季 第43回 応用物理学関係連合講演会、28pV-1、p. 498.

【その他国内発表】

1. リカー・エルヴェ、會澤康治、石原宏、” MBE 法により作製した GaF_3 /硫黄処理 GaAs(100)構造の電気的特性”、1990 年秋季 第 5 1 回 応用物理学学会学術講演会、26aSQ-21, p.1067.
2. エルヴェ・リカー、會澤康治、石原宏、” 硫黄処理した GaF_3/GaAs MIS 構造の低温 C-V 特性”、1991 年春季 第 3 8 回 応用物理学関係連合講演会、30pN-8, p.1202.
3. エルヴェ・リカー、會澤康治、神田和重、石原宏、” $(\text{NH}_4)_2\text{S}_x$ 処理による $\text{GaF}_3/\text{GaAs}(111)\text{B}$ の電気的特性”、1991 年秋季 第 5 2 回 応用物理学学会学術講演会、9pF-4, p.1138.
4. エルヴェ・リカー、會澤康治、神田和重、石原宏、” 硫黄処理 GaAs を用いた MIS デバイスにおけるソフトプロセスの必要性”、1992 年春季 第 3 9 回 応用物理学関係連合講演会、31pN-1, p.1181.
5. 神田和重、エルヴェ・リカー、會澤康治、石原宏、” $(\text{NH}_4)_2\text{S}_x$ 処理による CaF_2/GaAs の電気的特性およびアニール効果”、1992 年春季 第 3 9 回 応用物理学関係連合講演会、31aN-11, p.1180.
6. 神田和重、坪田圭司、會澤康治、石原宏、” 弗化物薄膜と硫黄処理した p-GaAs(100)基板との界面特性評価”、1992 年秋季 第 5 3 回 応用物理学学会学術講演会、17pZC-6, p.1121.
7. 坪田圭司、會澤康治、徳光永輔、石原宏、” $\text{GaF}_3/\text{GaAs}(100)$ の界面特性評価”、1993 年秋季 第 5 4 回 応用物理学学会学術講演会、29pZH-6, p.1220.
8. 市来達也、會澤康治、石原宏、” Pt/Ti/SiO₂/Si(100)上への強誘電性弗化物 BaMgF₄ 膜の(120)配向成長”、994 年春季 第 4 1 回 応用物理学関係連合講演会、28aMF-4, p.372.
9. 坪田圭司、會澤康治、徳光永輔、石原宏、” $\text{GaF}_3/\text{GaAs}(100)$ の界面特性評価 (2)”、1994 年春季 4 1 回 応用物理学関係連合講演会、30pQ-12,
10. 市来達也、會澤康治、石原宏、” 強誘電体/Pt/Ti/SiO₂/Si(100)構造の作製とその評価”、1994 年秋季 第 5 5 回 応用物理学学会学術講演会、22pM-5, p.466.

11. 市来達也、村岡隆志、會澤康治、徳光永輔、石原宏、”強誘電体/Pt/(Ti)/SiO₂/Si(100)構造の作製とその評価 (II)”、1995年春季 第42回 応用物理学関係連合講演会、30pD-12, p. 490.
12. 岡本具之、會澤康治、徳光永輔、石原宏、”BaMgF₄/Si(111)を用いた MFSFET の作製プロセス”、1995年秋季 第56回応用物理学会学術講演会、28pZG-7, p. 441.
13. 岡本具之、會澤康治、徳光永輔、石原宏、” BaMgF₄/Si(111)構造を用いた MFSFET の分極反転特性 “、1996年春季 第43回 応用物理学関係連合講演会、29aV-5, p. 525.