T2R2 東京科学大学 リサーチリポジトリ
Science Tokyo Research Repository

論文 / 著書情報
Article / Book Information

題目(和文)	シリコンナノデバイス熱管理のための熱・電気連成現象解明
Title(English)	
著者(和文)	畠山友行
Author(English)	Tomoyuki Hatakeyama
出典(和文)	学位:博士（工学）, 学位授与機関:東京工業大学, 報告番号:甲第7187号, 授与年月日:2008年3月26日, 学位の種別:課程博士, 審査員:伏信 一慶,岡崎 健
Citation(English)	Degree:Doctor of Engineering, Conferring organization: Tokyo Institute of Technology, Report number:甲第7187号, Conferred date:2008/3/26, Degree Type:Course doctor, Examiner:,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

Powered by T2R2 (Science Tokyo Research Repository)

平成19年度学位論文

シリコンナノデバイス熱管理のための
熱・電気連成現象解明

氏　名：　畠山　友行

所　属：　大学院理工学研究科
機械制御システム専攻

目 次

第 1 章　緒論 **4**

1.1　半導体デバイスの歴史 4

1.2　シリコンデバイスの発展および熱問題の深刻化 6

1.2.1　サブミクロン Si MOSFET 6

1.2.2　LSI の熱問題 7

1.3　半導体内部におけるエネルギー伝達現象 9

1.4　熱問題解決のために 15

1.5　現在及び今後の研究シーズ 17

1.6　本論文の目的 19

1.7　既往の研究 20

1.7.1　Si MOSFET 解析のためのメッシュゾーニング手法に関する研究 20

1.7.2　Si CMOS における nMOS・pMOS 間相互作用の解析に関する研究 20

1.7.3　Si CMOS の相互作用に関する実験的研究 20

1.8　本論文の構成 21

参考文献 22

第 2 章　熱・電気連成解析における最適メッシュサイズ及びメッシュゾーニング手法 **25**

2.1　研究背景 25

2.2　Si MOSFET の熱・電気連成解析のための最適メッシュサイズ 26

2.2.1　モデリング 26

2.3　支配方程式 27

2.4　境界条件 31

2.5　離散化及び数値計算手法 32

2.5.1　連続の式の離散化手法 32

2.6　結果及び考察 39

2.6.1　横方向のメッシュサイズの影響 40

2.6.2　縦方向のメッシュサイズ 43

2.6.3 熱・電気連成解析における最適メッシュサイズ 44
2.7 Si MOSFET の熱・電気連成解析におけるメッシュゾーニング手法 51
2.8 メッシュゾーニングを用いた熱・電気連成解析の結果 53
2.9 y 方向へメッシュゾーニングを用いた際の x 方向のメッシュサイズの影響 56
2.10 様々なデバイスにおけるメッシュゾーング手法の適用 57
2.10.1 異なる基板温度の場合 57
2.10.2 異なる高濃度ドーピング厚さの場合 58
2.10.3 高濃度ドーピング領域における異なる不純物濃度の場合 59
2.10.4 異なる基板不純物濃度の場合 60
2.10.5 異なるドレイン電圧の場合 60
2.10.6 異なるゲート電圧の場合 61
2.11 チャンネル部におけるキャリア生成が大きい場合 63
2.11.1 y 方向のメッシュゾーニングの有用性 64
2.11.2 y 方向のメッシュゾーニングの適用 65
2.11.3 x 方向のメッシュサイズの影響 66
2.11.4 x 方向のメッシュサイズによる誤差要因の特定 67
2.11.5 x 方向のメッシュサイズゾーニング 71
2.12 まとめ 76
参考文献 77

第 3 章 サブミクロン Si CMOS におけるデバイス間相互作用に関する熱・電気連成解析 79
3.1 研究背景 79
3.2 重要な現象の抽出 81
3.2.1 モデリング 82
3.2.2 支配方程式および 3 つの解析モデル 82
3.2.3 境界条件 84
3.2.4 数値計算条件 84
3.2.5 結果及び考察 84
3.3 基板面へ流出するキャリアが微小な場合 93
3.3.1 モデリング 93
3.3.2 支配方程式 93
3.3.3 境界条件 94
3.3.4 動作条件 94

3.3.5 結果および考察 95
3.4 基板面へ流れる電流が大きい場合 109
3.4.1 モデリング 109
3.4.2 支配方程式 109
3.4.3 境界条件 110
3.4.4 結果及び考察 111
3.5 まとめ 116
参考文献 117

第 4 章 Si CMOS の相互作用に関する実験 119

4.1 研究背景 119
4.2 実験用 CMOS デバイス概要 120
4.3 実験用 CMOS デバイス詳細 123
4.4 CMOS 特性測定用実験回路 125
4.5 計測機器詳細 127
4.5.1 電圧計 127
4.5.2 電流計 127
4.5.3 定電圧電源 136
4.6 作製した CMOS の動作確認 136
4.7 結果及び考察 139
4.8 まとめ 150
参考文献 151

第 5 章 結論 152

謝辞 153

本論文の内容の公表 154

第1章　緒論

1.1　半導体デバイスの歴史

1970 年に 1K ビットの DRAM(Dynamic Randam Access Memory：データ記憶のための半導体集積回路) が開発され，続いて 1971 年に 4 ビットのマイクロプロセッサ（信号を処理する半導体集積回路）が開発され，集積回路の時代が到来した．以来，その発展は目覚ましく，半導体集積回路の質，量，性能は目を見張るばかりの成長を遂げ，その種類も増大した．今日では，我々の生活は集積回路なしでは考えられなくなってしまった．[1-1]

LSI を構成する最も小さな単位は，トランジスタと呼ばれる小さな半導体素子で，信号増幅機能やスイッチング機能をもつ．トランジスタには，バイポーラトランジスタと電界効果トランジスタ（Field Effect Transistor：FET）の 2 種類が存在する．FET には，MOS（Metal-Oxide-Semiconductor：金属-酸化膜-半導体）型と接合型が存在する．この中で，現在，最も多く用いられているものは，MOSFET であり，我々が普段用いるパーソナルコンピューターは，この MOSFET が中心的な役割を果たしている．半導体の性質を示す物質は，数種類存在するが，現在は，地球上に 2 番目に多い元素である Si（シリコン）を用いた MOSFET が，その大部分を担っている． [1-2] 以下，MOSFET に焦点を絞って説明する．

MOSFET には，電子を多数キャリアとする n 型 MOSFET（nMOS）と正孔を多数キャリアとする p 型 MOSFET（pMOS）の 2 種類が存在する．Si 内部においては，電子は正孔の 2 倍の速度をもって移動する．しかし，初期の MOSFET においては，n 型 MOSFET のオフ状態を保つことが困難であるなど，n 型 MOSFET にはいくつかの問題点が存在した．そのため，MOS 集積回路は初期において，p 型 MOSFET を使用する，pMOS 技術が用いられた．その後，イオン打ち込みなどのプロセス技術が進歩するに従って n 型 MOSFET の利用が可能になり，nMOS 技術が全盛をきわめ，MOS 集積回路は，新たな時代を迎えた．しかし，消費電力の増大により発熱が増え，熱問題が解決すべき重要な問題となることが明らかになった．消費電力の軽減の有力な方法は，信号に関係のない回路の静止時における消費電力を減らすことで，それが可能である CMOS(Complementary MOS) が注目されるようになった．CMOS とは，n 型 MOSFET と p 型 MOSFET を直列につないだものである．簡単に動作特性を述べると，n 型 MOSFET と p 型 MOSFET のいずれかが動作し，他方は動作しないという特徴を持っており，静止状態ではほとん

ど電流は流れない．そのため，消費電力を抑えることができる．この CMOS の考案は古く，まだ消費電力減少が LSI 技術上重要な問題になる前であった．しかし，nMOS と pMOS を同一基盤上に作成することはプロセスを複雑にする等の問題により，顧みられなかった．しかし，LSI の高性能化が進む上で，低消費電力化が求められるようになり，一躍脚光を浴びるようになり，MOS 技術として，更に新たな時代を迎えた．[1-3]

現在の LSI においては，CMOS が主役となっている．

1.2 シリコンデバイスの発展および熱問題の深刻化

1.2.1 サブミクロン Si MOSFET

半導体デバイスの最小加工寸法は、サブミクロンオーダーに突入している．半導体デバイスの中で，もっとも広く利用されているスイッチングトランジスタが Si MOSFET である．Si MOSFET は，現在我々が日常的に利用するパーソナルコンピューター（PC）などで頭脳的な働きをする LSI（Large Sacle Integration）中においても，広く利用されている．近年の目覚しい LSI の処理能力の発展は，Si MOSFET の信号処理の発展によってもたらされているものである．Si MOSFET の発展は主に二つの要因によるものである．ひとつは，信号伝達のキャリアである電子または正孔の移動距離を短くし（ゲート長の縮小）さらに，移動速度を上昇させる（移動度の向上）といった，Si MOSFET 自体の処理速度の発展によるものであり，もうひとつは Si MOSFET の単位面積あたりの密度を増やす集合体としての発展である．前者は Si MOSFET の微細化，後者は Si MOSFET の高集積化と言われる．最小加工寸法がサブミクロンオーダーに突入していることは，Si MOSFET のゲート長をサブミクロンオーダーにすることが可能であると同義である．Si MOSFET の発展は，International Technology Roadmap for Semiconductors(ITRS) が発表しているロードマップによって，指針が示されている．これは,「半導体デバイスの集積度は 18-24ヶ月で倍増する」という有名な Moore の法則を継続するための指針となっており，2005 年度版の ITRS によれば，2007 年には 65nm のプロセスが実用化される見込みであったが [1-4]，それを前倒しする形で 45nm のプロセスを利用した高性能な LSI が登場している．これら微細化，高集積化の技術は，LSI の信号処理能力を格段に向上させ，我々の PC も数年前と比して高速動作，大容量のプロセス処理などが可能になっている．しかし，このような華やかな発展の陰で，半導体デバイスの熱問題が近年深刻化してきている．

Si MOSFET は，ゲート長を短くすることによって，キャリアの移動距離が短くなる．一方で，印加電圧による Si MOSFET 内部の電界にキャリアの速度が比例するため，印加電圧を下げないことによって，さらなる高速動作が可能となる．つまり，ゲート長を短くすることと印加電圧を下げることは，同時に行われるとは限らない．実際，ゲート長が短くなっているにも関わらず，印加電圧はさほど下がっていないのが現状である．[1-5] つまり，Si MOSFET 内部の電界は，ゲート長が短くなるに連れて大きくなっているのである．そのため，Si MOSFET 内部での発熱が大きくなっている．Si MOSFET は，多層構造を有する配線層で上側が覆われているため，その部分からの放熱は期待できない．つまり，配線層などのないデバイス底面からの放熱が，主たる放熱経路となる．[1-6] このように，放熱経路が限定された状態で Si MOSFET 自体の発熱が大きくなり，さらに高集積化によって単位面積あたりの発熱デバイスが増加しているため，LSI の発展は熱問題の深刻化と表裏一体となっている．

Si MOSFET はその構造上の特徴から，ゲート下のドレイン電極側で大きな発熱が生じることが一般的に知られており，ゲート酸化膜下のたかだか 100nm の長さしかないチャンネル部分においてでさえ，温度分布が生じることになる．この 10nm 程度の局所高温部をホットスポットと呼ぶ．[1-6]Si MOSFET 内部での温度が上昇することによって，半導体部分と金属電極部分の間の膨張率の差から物理的な破壊が生じたり，高エネルギーを持ったキャリアが金属電極部分の原子を移動させ，局所的なボイドを作ってしまうエレクトロマイグレーションが生じるなどの，デバイスの破壊が生じる危険性を秘めている．また，近年のゲート酸化膜の薄膜化により，高エネルギーを持ったキャリアが，ゲート酸化膜のエネルギー障壁を飛び越えてゲート電極に流れ込んでしまう，ゲートリーク電流の増加なども問題となっている．[1-5] そのため，ホットスポットならびにそれを生じさせるキャリアエネルギー（キャリア温度）を正確に予測する必要性が増している．

Si MOSFET の放熱が，デバイスの底面からのみ行われることは先にも述べた．しかし，近年はデバイスの特性をさらに向上させるべく，Si MOSFET の動作部分を SiO_2 などの絶縁層で覆ってしまう Silicon on Insulator(SOI) と呼ばれる構造を持つ MOS が脚光を浴びている．確かに，SOI 構造によってデバイスの動作特性が格段に向上する．しかし，SiO_2 の熱伝導率は Si のそれより 2 桁小さく，唯一の放熱経路であったデバイス底面までも，放熱経路になりえない状態が生じてしまう．そのため，SOI 構造を用いることによって，Si MOSFET の熱問題はさらに深刻化してしまう．[1-7]-[1-10] よって，キャリア温度やホットスポットをはじめとする Si MOSFET の温度分布のより正確な予測は，ますます重要となってくる．

このように，Si MOSFET というトランジスタひとつをとってみても，LSI の高速化にともなう熱問題の解決は，今後避けては通れない問題となることは間違いない．

1.2.2 LSI の熱問題

Si MOSFET のホットスポットと同様に，LSI 内部においてもホットスポットが生じることが近年の研究から明らかになってきた．従来，LSI の温度分布の予測は，LSI 全体での均一な発熱を想定して行われてきた．しかし，多く（数億個）のトランジスタが集まった LSI 内部において，それぞれのトランジスタの役割から，発熱の大きい部分と小さい部分があることが明らかになってきており，LSI 内部においても，サブミリメートルサイズのホットスポットが発生することが確認されている．[1-11] つまり，従来の均一な発熱を仮定して予測された最高温度よりも局所的により高い温度になる部分が存在することになる．LSI においても，温度上昇はさまざまな破壊をもたらす．たとえば，LSI 本体とそれを取り巻くパッケージとの間の接合が，温度上昇によってその膨張係数の違いから破壊されてしまうことなどがあげられる．そのため，LSI 中の最高温度や温度分布の予測は非常に重要となる．

また，LSI 中のサブミリメートルサイズのホットスポット中の Si MOSFET が，内部にナノメータースケールのホットスポットを持っていることを考えると，Si MOSFET 自体の最高温度は，非常に高いものとなる．つまり，LSI と Si MOSFET の両方のホットスポットを正確に予測することが，今後の半導体デバイス発展のキーポイントとなってくることは間違いない．

1.3　半導体内部におけるエネルギー伝達現象

本節では，半導体デバイスの熱問題を考える上で，非常に重要な，半導体内部の発熱現象の説明を行う．

オームの法則で知られるように，半導体デバイスに電圧を印加すると，半導体デバイス内部に電界が生じ，この電界によって電荷の移動が生じる．電荷の移動は電流であり，電流が流れるとジュールの法則で知られるように，$W = IV$ の関係が成立するため，電流と電圧の積の分だけ仕事が生じ，その分が熱に変換され発熱となる．ここで，I は電流，V は電圧，W は仕事を表す．この議論は，半導体デバイスのみならず，電気回路中の抵抗などの発熱と同じである．これは，温度を結晶格子の振動と考え，電流を電子が担う電荷の移動と考えると，半導体デバイス内部を移動する電荷が，結晶格子と衝突することにより，結晶格子の振動にエネルギーを与え，結晶格子の振動が激しくなり，これが発熱とそれに伴う温度上昇になると説明できる．ここまでは，通常の電気回路中の配線や抵抗において生じる電流による発熱と同一の概念で理解できる．

しかし，サブミクロンサイズの半導体デバイスの発熱現象を考える際には，もう少しミクロな観点から現象を眺める必要性がある．また，半導体特有の pn 接合が，本論文で注目している MOSFET の発熱に大きく関わってくる．以下，電子や結晶格子の振動をさらに詳細に眺めることにより，サブミクロンオーダーの半導体デバイスの発熱現象，つまり，印加電圧によって半導体デバイス内部に生じた電界が，半導体デバイスの発熱に至る現象のエネルギー伝達過程を詳細に解説する．

まず，ミクロな観点からの発熱現象を考察するために，フォノンという概念を導入する必要がある．例えば，光を考える際に，光は波であると同時に粒子であると考えるのは，一般的である．つまり，光は波動的な振る舞いをするのと同時に，場合によっては，光があるエネルギーを持ったフォトンであると考える．これと同様に，結晶格子の振る舞いを考える．本論文では Si MOSFET に焦点を絞って研究を行っている．そのため，ここでは Si を例にとって，フォノンの解説を行う．Si の結晶においては，Si の原子が規則的に並ぶことによって結晶を構成している．これらの Si 原子は，0K においても，零点振動によって振動している．温度が上昇すると，この振動が激しくなる．さらに温度が上昇すると，さらに振動が激しくなる．つまり，Si 原子の振動が激しくなることは，Si の温度上昇と同義である．我々がより熱いと感じるのは，触れた Si 原子の振動がより激しい Si 結晶であるからである．先のジュール発熱の説明の繰り返しになるが，Si に電圧を印加すると，Si 内部に生じた電界によって，電子もしくは正孔（2 つを同時にキャリアと呼ぶ）が電界からエネルギーを得ることによって加速される．加速されたキャリアは，そのまま加速され続けることはなく，Si 原子との衝突を起こす．この衝突により，電子はエネルギーを Si 原子に受け渡し，キャリアの速度は 0 になり，Si 原子はキャリアから受けたエネルギーにより振動が激しくなり温度が上昇する．いったん Si 原子と衝突して速度が 0 になったキャリアは，再び電界によって加速

され，Si 原子と再び衝突するといった過程を繰り返す．このように，キャリアと Si 原子のエネルギーの授受により発熱が生じる．さらに詳細を考慮すると，Si の結晶には大きく分けて 2 つの振動モードが存在する．Si はダイアモンド構造を有する結晶を構成するため，単位格子あたり，2 つの原子が存在する．そのため，振動モードとして，2 つの原子が同位相に振動するモードと逆位相に振動するモードが存在する．前者の同位相に振動するモードをアコースティックモードといい，逆位相に振動するモードをオプティカルモードと呼ぶ．また，Si 原子の振動は当然波動であるため，横波と縦波の二つが存在する．そして，これらのモードを有する Si 原子の振動を，量子的に考えたものがフォノンと呼ばれる．そのため，Si 内部には，大きく分けてアコースティックモードで振動している Si 原子に対応するアコースティックフォノンとオプティカルモードで振動している Si 原子に対応するオプティカルフォノンが存在することになる．アコースティックフォノンは，隣り合う原子が同位相に移動しているものであるため，大きな波長の波に対応する．一方で，オプティカルフォノンは，隣り合う原子同士が逆位相で移動しているものであるため，波長の短い波に対応する．つまり，アコースティックフォノンは，波長の長い波によるものであるため，波長の短い波によるオプティカルフォノンより，小さなエネルギーを持つことになる．そして，これらのフォノンのエネルギーの大小が，Si 内部の発熱現象に非常に重要となってくる．[1-12][1-13]

Si 内部において，低電界で加速された電子は，エネルギーが小さいアコースティックフォノンとの散乱が主なものとなる．一方で，高電界で加速された電子は，大きなエネルギーを持つため，オプティカルフォノンとの散乱が主なものとなる．フォノンの群速度を見てみると，アコースティックフォノンは大きな群速度を持つが，オプティカルフォノンの群速度は非常に小さくほぼゼロである．すなわち，オプティカルフォノンは空間をほとんど伝播することなく，熱エネルギーの輸送には携わらない．そのため，大きな群速度を持ち，空間を伝播できるアコースティックフォノンのみが Si の熱エネルギーの伝播，すなわち熱伝導に寄与することになる．つまり，低電界で加速された電子は，直接アコースティックフォノンとの衝突により，アコースティックフォノンへとエネルギーを受け渡すため，すぐさま熱伝導による熱の拡散が生じることになる．一方で，高電界で加速された電子は，オプティカルフォノンとの衝突を起こすため，電子からエネルギーを得たオプティカルフォノンは空間を伝播せず，すぐには熱伝導が生じない．電子からエネルギーを得たオプティカルフォノンは，その後アコースティックフォノンとの散乱により，アコースティックフォノンへとエネルギーを受け渡し，アコースティックフォノンの空間の伝播により熱伝導が生じ，熱が拡散されることになる．これらの一連のエネルギーフローを，以下の図 1.1 に示す．[1-12]

図 1.1 中の τ は，各過程における，エネルギー授受のための緩和時間である．つまり，エネルギー授受は，この τ の時間スケールで生じる．このフローチャートから明らかなように，電子と各フォノンの散乱が 0.1ps のオーダーの時間スケールで生じる現象であるのに対し，オプティカルフォノンとアコースティックフォノン間のエネルギーの授受は，10ps 程度と，一桁以上大きな時

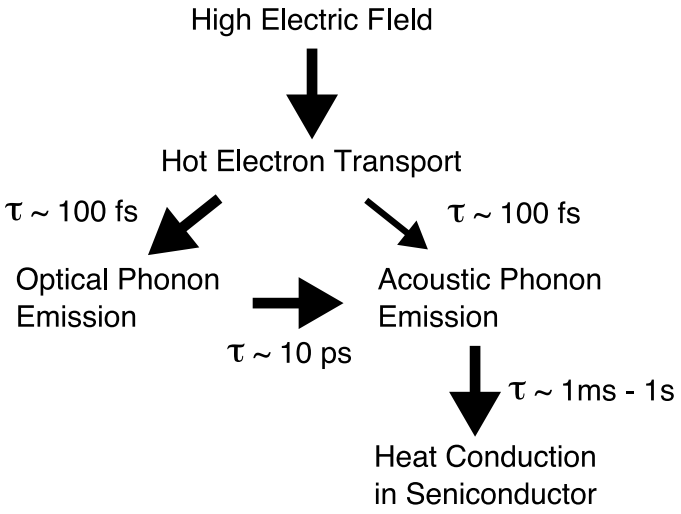


図 1.1: Energy Transfer Flow

間スケールで生じる現象である．これの意味するところは，高電界によって加速された電子は，オプティカルフォノンにエネルギーを受け渡すが，電子からエネルギーを得たオプティカルフォノンは，アコースティックフォノンへとエネルギーを渡すよりも早く電子から新たなエネルギーを得るということになる．つまり，オプティカルフォノンとアコースティックフォノンの間に，エネルギーの非平衡状態が生じることとなる．このアコースティックフォノンよりも大きなエネルギーを持ったオプティカルフォノンを，ホットフォノンと呼ぶことがある．[1-14] また，高電界によって，非常に高いエネルギーを持った電子は，オプティカルフォノンとの一度の散乱によって，その全エネルギーをオプティカルフォノンへと受け渡すことができない状態となる．そのため，オプティカルフォノンと電子との間にもエネルギー的に非平衡な状態が生じることとなる．このオプティカルフォノンよりも高エネルギーを持った状態の電子をホットエレクトロンと呼ぶ．[1-6],[1-12] つまり，高電界が存在する Si の内部においては，キャリアとオプティカルフォノン，オプティカルフォノンとアコースティックフォノンという 2 つの非平衡状態が存在することになる．

では，次に，Si MOSFET 内部の発熱現象を，これまでに示したマイクロスケールにおけるエネルギーの伝達現象を基に説明して行く．図 1.2 に，n 型 Si MOSFET の基本構造を示す．ここで示しているスケールは，後の説明のため，便宜的に仮定したものである．図 1.2 に示すように，Si MOSFET は構造上，ソース電極並びにドレイン電極下の高濃度ドープ領域の部分と基板面において，pn 接合を有する．n 型 MOSFET においては，ソース電極をグランド電位とし，ゲート・ドレイン電極にプラスの電位を印加することにより電流を流す．このような，n 型 MOSFET に電流を流している条件下においては，ドレイン電極下の高濃度ドープ領域と基板面が作る pn 接合は，逆バイアス状態となる．つまり，この部分に大きな電界が生じることになる．本来，半導体において

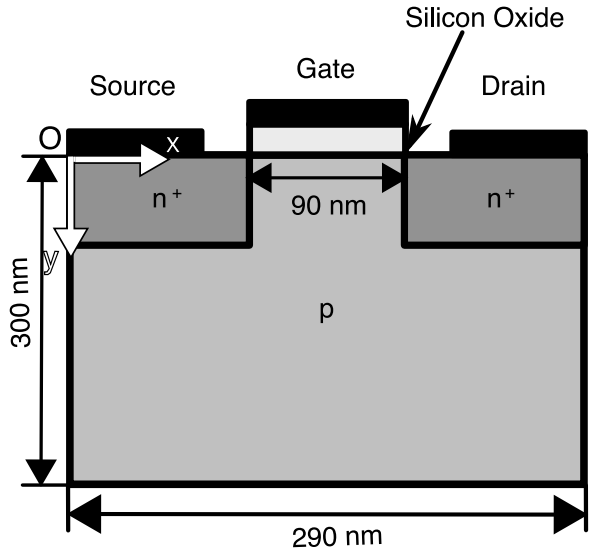
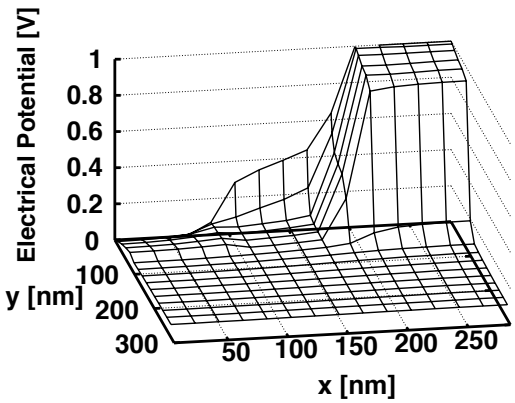
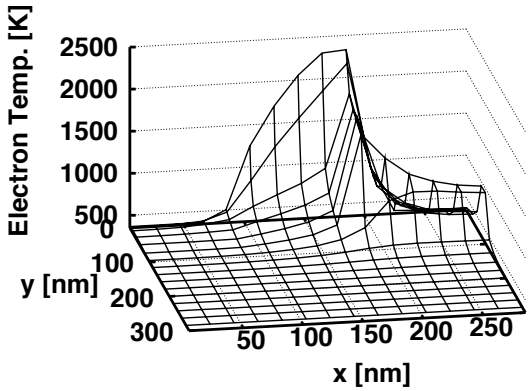


図 1.2: Si MOSFET Fundamental Structure

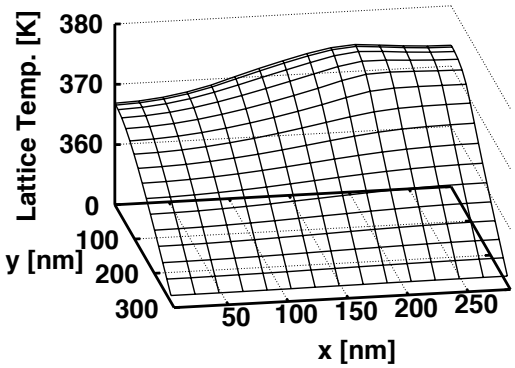
は，逆バイアス状態の pn 接合には，基本的に非常に微小な電流しか生じず，発熱は生じない．例えば，ダイオードを例にとると，ある方向に電位差をつけると電流は流れるが，その逆方向では電流は流れないことは，周知の事実である．しかし，Si MOSFET の場合，ゲート電極に印加した電圧により，ゲート酸化膜下にキャリアチャンネルが形成される．ここで例にとっている n 型 MOSFET の場合は，電子のチャンネルが形成される．そのため，ソース電極から注入された電子はこの電子チャンネルを通って，ソース電極からドレイン電極へと移動する．つまり，ゲート酸化膜下のチャンネル部分においてのみ，通常の半導体内部の pn 接合の現象とは異なり，逆バイアスされている pn 接合に電子が注入される．そのため，この部分では，非常に大きな電界部分に電流が流れることになり，大きな発熱をもたらす．これらの様子を図 1.3 に示す．図 1.3 に示している結果は，次章に示す熱・電気連成解析を用いて解析を行った結果である．グラフの x，y は，図 1.2 の x，y に対応している．図 1.3(a) は，nMOS 動作時における，nMOS 内部の電位分布である．電位の勾配が電界となるため，この図における勾配の急な部分に大きな電界が生じていることになる．この図から明らかなように，ドレイン電極下の高濃度ドープ域と基板面との間の pn 接合周辺に大きな電界が存在していることが明らかである．チャンネル部分を通って，ソースからドレイン電極へと移動する電子は，この電界の大きな pn 接合付近において大きなエネルギーを得ることにより，電子温度は非常に高くなる．この様子が図 1.3(b) に示されている．電子は，ゲート酸化膜下，ドレイン電極側において，大きな値を示している．その温度は 2000K を超える温度となっている．先のフォノンの議論を考え合わせると，この部分において，電子とオプティカルフォノンの散乱が生じることになる．つまり，Si MOSFET が動作している状態において，この部分に



(a) Electrical Potential Distribution



(b) Elecrtron Temperaure Distribution



(c) Lattice Temperature Distribution

図 1.3: Results of Electro-Thermal Analysis for nMOS

おけるフォノン間及びフォノンと電子エネルギー間の非平衡状態が，Si MOSFET の発熱及びキャリア輸送に非常に重要となってくる．この発熱は，サブミクロンサイズの Si MOSFET において，5-10nm の領域での現象であることが，様々な解析から明らかになっており，フォノンのホットスポットも 5-10nm となる．熱・電気連成解析を用いて，最終的に得られた結晶格子温度分布を，図 1.3(c) に示す.

近年，オプティカルフォノンとアコースティックフォノンのエネルギー非平衡状態が，さらに大きなものとなる現象が報告されている．アコースティックフォノンの平均自由行程（Mean Free Path：ミンフリパス）を考えると，様々な解析の結果から 100nm のオーダーであることが明らかとなっている．一方で，オプティカルフォノンのホットスポットは，先にも述べた通り 5-10nm である．つまり，ミンフリパス 100nm のアコースティックフォノンが，5-10nm の局所的に高エネルギーを持ったオプティカルフォノンと散乱することがなく空間を伝播してしまう現象が生じることになる．このように，移動体が散乱されずに移動する現象をバリスティックトランスポートと言う．このような現象が生じた場合，アコースティックフォノンとオプティカルフォノンのエネルギー非平衡状態は，より大きなものとなる．この現象に関しては，ゲート長の異なる MOSFET において，どの程度の非平衡状態が生じるかの報告がなされており，ゲート長 90nm において 13%程度，ゲート長 18nm において 30%程度とのことである．[1-15]

1.4　熱問題解決のために

Si MOSFET をはじめとする半導体デバイス，及びその集合体である LSI において，これまで述べてきたように熱問題が今後の発展の大きなキーポイントであることは疑う余地がない．熱問題に取り組むためには，発熱密度の小さなデバイスの開発や，発熱及び温度分布を正確に見積もるための数値計算による予測手法の確立などが上げられる．さらに，現在の半導体デバイスの発展速度を考えると，数値計算による予測手法は，正確でかつ短時間で可能な予測手法であることが重要である．ここではまず，現在，半導体デバイスの動作特性予測，及び発熱・温度分布予測に用いられる解析手法と，それぞれのメリット・デメリットを紹介する．

まず，古くから広く使用されてきた手法にドリフト・ディフュージョン（Drift Disfusion）モデルが挙げられる．これは，半導体内部を流れるキャリアが，キャリア数密度の勾配と電界によって流れるという仮定の基，ポアソンの式，電流連続の式を連立させることにより解析する手法である．この手法は，非常に簡便であるため，解析時間もそれほど長くかからない．半導体内部に発生する電界が大きくなく，結晶格子温度とキャリアエネルギーが平衡であるという仮定が成立する条件では，実際の現象を非常に良く表現することが可能である．しかし，キャリアのエネルギーを考慮していないため，キャリア温度の情報を得ることができず，先の節で述べたようなキャリア温度と結晶格子温度の非平衡状態が生じる場合には，解析結果が不適当になってしまう．[1-16]-[1-21]

この問題を解決するための解析手法として，熱・電気連成解析（Electro-thermal Analysis もしくは，Hydrodynamic Model）が挙げられる．もともと，この手法はボルツマン方程式の 0 次，1 次，2 次のモーメントを取ることによって，連続の式，運動量保存式，エネルギー保存式が導出され，これらを利用する方法である．ボルツマン方程式を考える際に，散乱項の取り扱いが困難であるが，一般的に緩和時間近似を用いることにより，この困難を避ける．この手法も，基本的にはキャリアの挙動を流体的に取り扱うため，先のドリフト・ディフュージョンモデルと非常に似ているが，キャリアに関するエネルギー保存式により，キャリアのエネルギーつまりキャリア温度の情報を得ることができる点が，決定的に異なる．このエネルギー保存式の散乱項を取り扱う際に，平衡状態のエネルギーを結晶格子温度と等しいとすることにより，結晶格子とのエネルギーの授受を表現でき，キャリアエネルギーによる発熱も考慮することが可能となる．これらの式に，ポアソンの式と，結晶格子温度に関するエネルギー保存式（フーリエの法則を用いた熱伝導方程式など）を連成させることにより，キャリア温度と結晶格子温度の非平衡状態を考慮した解析が可能となる．この手法は，以下に述べるより詳細な解析よりも簡便であり，計算時間も短く済むにも関わらず，ゲート長 90nm 程度の MOSFET の解析でも実現象を非常に良く表現することが可能である．[1-6],[1-12],[1-21]-[1-26]

90nm よりもさらにゲート長が小さくなった MOSFET においては，より詳細にボルツマン方程

式を用いた解析を行う必要がある．そのため，ボルツマン方程式を直接モンテカルロ法（Monte Carlo Method）を利用して解く解析法がある．この手法では，乱数を発生させ様々な現象を確率的に選択しながら，解析を行って行く．この手法では，先の熱・電気連成解析で緩和時間近似を用いた散乱項に関しても，仮定が必要なく，それぞれの散乱の散乱レートの情報を得ることもできるため，より高精度な解析が行うことが可能である．しかし，計算時間が非常に長くなるというデメリットも存在する．ゲート長が 45nm 程度の MOSFET の解析には，このモンテカルロ法を用いる必要性が生じるかもしれない．[1-14],[1-15] ,[1-26]

以上が，現在，半導体デバイスの解析法として広く用いられているものである．さらに，MOSFET のゲート長が小さくなった場合は，全面的に電子の波動的な振る舞いを考慮する必要性が生じるため，シュレディンガー方程式を解く必要が生じるが [1-26]，ここでは，ボルツマン方程式を主体にした解析手法に限定することにした．

このように，デバイスのサイズなどを考慮した上で，適切な解析手法を選択することがデバイス開発及び熱問題の緩和に重要である．また，これらの手法で得た発熱密度や温度分布を，LSI 全体の発熱分布又は温度分布の解析に取り込むことにより，より正確な温度分布の情報を得ることが可能となり，より適切な熱設計が可能となる．

本論文では，解析対象の MOSFET のゲート長が 90nm であることを考慮して，熱・電気連成解析を解析手法として採用している．

1.5　現在及び今後の研究シーズ

先に示した，ITRS が示しているロードマップをはじめとし，様々な団体から半導体デバイスへの研究シーズが打ち出されている．本節では，研究シーズとして半導体デバイスの熱問題に関するシーズがあることを紹介する．

図 1.4 に，ITRS によって示されている現在とこれからの半導体デバイスの発展の傾向を示す．[1-4] 図 1.4 は，現在利用されている CMOS と CMOS 以外の新しいテクノロジーを同時に発展させて行く指針となるロードマップである．縦軸は，More Moore と言われ，これまでの Moore の法則を今後も継続し，単位体積あたりに積載できる CMOS デバイスを増加する（System-on-Chip : SoC）ことにより，半導体デバイスの発展を継続することを示す．横軸は，More than Moore と言われ，図中にあるアナログやセンサーなどのデバイスにおいては，一つのパッケージに様々な機能を有するデバイスを組み込み発展させる SiP（System-in-Package）と言われる技術を利用し，CMOS のみならず他の構造を有したデバイスも発展させて行くことを示す．さらに，これらの 2 つを組み合わせることにより，より高機能なデバイスを実現するという方向性が示されている．また，縦軸の先には Beyond CMOS というエリアが示されている．これは，従来のタイプの MOSFET が利用できなくなるほど縮小したゲート長の先に，新たな全く違った概念を有したデバイスの必要性を表している．

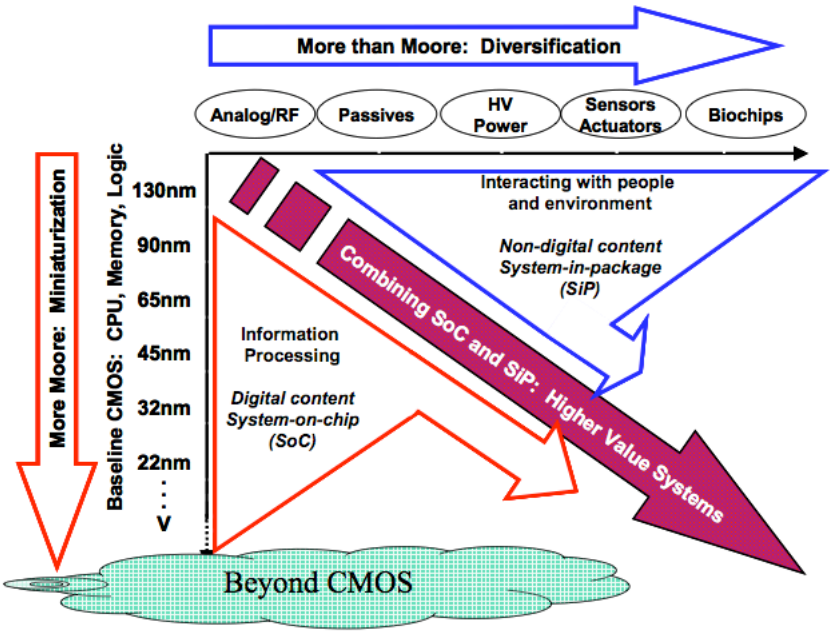


図 1.4: Moore's Law and More from ITRS 2005 edition

このようなロードマップのもと，様々な研究のシーズが提案されている．そして，研究シーズ

として，常に強調される問題が，半導体デバイスの消費電力増加とそれに伴う熱問題の深刻化を受けた，消費電力低減の技術である．JTS が発表したレポートにおいても，低消費電力デバイスの開発が今後キーポイントとなると明言されている．[1-27][1-28]

1.6　本論文の目的

本論文では，現在 LSI の中で最も広く用いられている Si MOSFET 及びその利用形態である CMOS の熱問題を解決することを目的としている．

まず，本論文では，Si MOSFET の正確な温度分布予測を迅速に行うことを目的とする．Si MOSFET に関する熱・電気連成解析のみならず，シミュレーションを行う際に，非常に重要であるのが，適切なメッシュサイズの選択である．Si MOSFET 単体に関する，熱問題の解決策の第一段階として，正確な温度分布予測が必要であり，正確な温度分布予測を行うためには，適切なサイズのメッシュを用いなければならない．一般的に，メッシュは小さければ小さいほど正確な結果を得ることが可能となるが，メッシュを小さくすることは計算時間の増大をもたらす．そのため，適切なメッシュサイズを用いることによって，極力計算時間を節約し正確な温度分布予測を行うことが，Si MOSFET の熱問題を考慮した解析に必要となる．そのため，Si MOSFET 単体に関しては，正確な温度分布予測を行うための適切なメッシュサイズの提案，及び，正確な温度分布を得るための計算時間を節約するためのメッシュゾーニング手法の提案を，半導体物理理論から導き出すことを目的とする．

次に，バルク CMOS を今後継続して利用するため，バルク CMOS が抱える諸問題を解決することを目的とする．CMOS とは，n 型 MOSFET・p 型 MOSFET の動作を互いに補完することにより消費電力を節約し，スイッチングの動作を得るデバイスである．しかし，近年，高速化・高集積化を行うための発展の過程において，先にも述べた通り，SOI 構造が用いられるようになってきた．この構造においては，各 MOSFET は完全に動作部が絶縁されているため，デバイスの配置をどのようにしても，各 MOSFET の動作が干渉することはない．しかし，例えば SiO_2 と Si の熱伝導率を比較してみると，SiO_2 の熱伝導率は Si のそれに比して 2 桁小さい値となり，熱問題が深刻化している現状がある．そのため，熱の拡散経路を確保するためにも，従来から利用されているバルク CMOS が，依然として魅力であると考えられる．しかし，バルク CMOS においては，SOI CMOS のように，MOSFET の動作部が完全に絶縁されていないため，高集積化のために MOSFET 間の距離を小さくしようとすると，何らかの動作干渉が生じてしまい，正常な動作を得られなくなる問題が生じる．そのため，CMOS に関しては，バルク CMOS に注目し，バルク CMOS を用いる際に避けては通ることができない隣接する n 型 MOSFET・p 型 MOSFET 間の動作干渉（相互作用）の現象の解明を行い，隣接する MOSFET の間隔を小さくして高集積化を図るための解決策の提案を行うことを目的とする．

1.7 既往の研究

1.7.1 Si MOSFET 解析のためのメッシュゾーニング手法に関する研究

Si MOSFET の解析を行う際のメッシュサイズの提案は，Tanimoto らによる報告 [1-29] が挙げられる．そして，熱・電気連成解析も Tanimoto らによって提案されているメッシュサイズを基本とされてきた．[1-6] しかし，Tanimoto らによって提案されたメッスサイズは，一つの指針となるものの，十分な情報を与えているとは言いがたい．本研究においては，Si MOSFET のチャンネル部分に注目し，その部分における適切なメッシュサイズを半導体物理の理論から導きだす．さらに，その応用として，計算時間を節約しかつ正確な結果を得るためのメッシュゾーニング手法の提案を行う．

1.7.2 Si CMOS における nMOS・pMOS 間相互作用の解析に関する研究

現在，SOI デバイスを用いた際に，熱問題が深刻化するという報告がなされており [1-8]-[1-9]，また絶縁物質を変更することによって最高温度を低く抑えることができるという報告もなされているが [1-7]，バルク CMOS の n 型・p 型 MOSFET 間の距離を小さくすることを試みた報告は見られない．バルク CMOS においては，従来から n 型・p 型 MOSFET 間の動作干渉や相互作用が生じる懸念がされている．n 型・p 型 MOSFET が導通することにより動作制御が不能になる現象をラッチアップ呼び，過去において CMOS を構成する n 型 MOSFET・p 型 MOSFET に強制的に大きな電圧を印加したり，外部から電流を強制的に流すことによりラッチアップを生じさせる研究はなされているが [1-30]-[1-34]，n 型・p 型 MOSFET 間の距離に関して言及している論文は見られない．つまり，一般的に実用可能な CMOS において，予期せぬ状態が生じた場合に関する nMOS・pMOS 間の動作干渉の報告は多数あるものの，nMOS・pMOS 間の距離を小さくした際に生じる動作干渉の報告は見られない．本論文では，CMOS の n 型・p 型 MOSFET 間の距離が小さくなったことにより生じる動作干渉の現象解明及び動作干渉が生じるスレッショールド距離の提案行い，今後のバルク CMOS 発展のための指針を示す．

1.7.3 Si CMOS の相互作用に関する実験的研究

バルク CMOS における n 型・p 型 MOSFET 間の距離を変更して，実際に生じる現象を考察した論文は，過去において見られない．本論文では，先の熱・電気連成解析の結果と実験結果を相互検証することにより，実験面からもバルク CMOS における n 型・p 型 MOSFET 間のスレッショールド距離の考察を行う．

1.8　本論文の構成

第 1 章では，電子機器の熱問題に関する研究背景，及び解決のための解析手法などを述べた．

第 2 章では，Si MOSFET の熱・電気連成解析を行う際の，最適メッシュサイズの提案及びメッシュゾーニング手法の提案を述べる．また，この章において，本論文で用いる解析手法である，熱・電気連成解析の詳細を説明する．第 3 章では，バルク CMOS における n 型・p 型 MOSFET 間の相互作用に関する熱・電気連成解析の結果を示し，n 型・p 型 MOSFET 間の相互作用が生じるスレッショールド距離及び，相互作用現象の詳細を示す．

第 4 章では，n 型・p 型 MOSFET 間の距離を変化させたバルク CMOS を実際に作製し，実験において第 3 章で行った熱・電気連成解析から得られた結果の検証を行う．

第 5 章は，本論文の最終章であり，本論文全体を通した総括を行う．

参考文献

[1-1] 榎本忠儀　「CMOS 集積回路ー入門から実線まで」，1996, 培風館

[1-2] 菊池正典　「半導体のすべて」，1998,　日本実業出版社

[1-3] 菅野卓雄監修，飯塚哲也　「CMOS 超 LSI の設計」，1989, 培風館

[1-4] International Technology Roadmap of Semiconductors 2005 Edition, http://public.itrs.net

[1-5] Scott E. Thompson, Rovert S. Chau, Tahir Ghani, Kaizad Misgry, Sunit Tyagi and Mark T. Bohr, "In Search of "Forece", Continued Transistor Scaling One New Material at a Time", *IEEE TRANSACTION ON SEMICONDUCTOR MANUFACTURING*, Vol. 18, No. 1, 2005, pp. 26-36

[1-6] Jie Lai and Arun Majumdar, "Concurrent thermal and electrical modelig of sub-micrometer silicon devices", *Journal of Applied Physics*, Vol. 79, No. 9, 1996, pp. 7353-7361

[1-7] Sheng Xuan Zhang, Qing Lin, Ming Zhu and Dheng Lu Lin, "A new structure of SOI MOSFET for reducing selfheating effect", *Ceramics International*, Vol. 30, 2004, pp. 1289-1293

[1-8] C. H. Shih, Y. M. Chen and C. Lien, "Insulated Shallow Extenion Structure for Bulk MOSFET", *IEEE TRANSACTIONS ON ELECTRON DEVICES*, Vol. 50, No. 11, pp. 2294-2297

[1-9] P. Su, K. Goto, T. Sugii and C. Hu, "Self-Heating Enhanced Impact Ionization in SOI MOSFETs", *Proceegding of IEEE International SOI Conference*, 2001, pp. 31-32

[1-10] L. T. Su, J. E. Chung, D. A. Antoniadis, K. E. Goodson and M. I. Flik, "Measurement and Modeling of Self-Heating in SOI NMOSET's", *IEEE TRANSACTIONS ON ELECTRON DEVICES*, Vol. 41, No. 1, 1994, pp. 69-75

[1-11] G.L. Slobrekken, Y. Zhang, A. Bar-Cohen and A. Shakouri, “USE OF SUPERLATTICE THERMIONIC EMISSION FOR “HOT SPOT” REDUCTION IN A CONVECTIVELY-COOLED CHIP”, *Proceeding of ITherm2004*, 2004, pp. 610-616

[1-12] C. L. Tien, A. Majumdar, F. M. Gerner, *Microscale Energy Transport*, 1997, Taylor&Francis

[1-13] 浜口智尋，谷口研二,「半導体デバイスの物理」，1990，朝倉書店

[1-14] P. G. Sverdsup, S. Shinha, M. Ashegi, S. Uma and K. E. Goosdon, “Measurement of ballistic phnon conduction near hotspotrs in silicon”, *Applied Physiscs Letters*, Vol. 78, 2001, pp. 307-310

[1-15] S. Shinha, E. Pop and K. E. Goodson, “A SPLIT-FLUX MODEL FOR PHONON TRANSPORT NEAR HOTSPOTS”, *Proceeding of IMECE04*, 2004, IMECE2004-61949(pp. 75-85)

[1-16] H. K. Gummel, “A Self-Consistent Iterative Sheme for One-Dimensional Steady State Transistor Calculations”, *IEEE TRANSACTIONS ON ELECTRON DEIVCES*, 1964, pp. 455-465

[1-17] D. L. Sharfetter and H. K. Gummel, “Large-Signal Anasysis of a Silicon Read diode Oscillator”, *IEEE TRANSACTION ON ELECTRON DEIVCES*, ED-16, No. 1, 1969, pp. 64-77

[1-18] M. S. Mock, “A Time-Dependent Numerical Model of teh Insulated-Gate Field Effect Transistor”, *Solid-State Electronics*, Vol. 24, No. 10, 1981, pp. 959-966

[1-19] G. K. Wachutka, “Rigorous Thermodynamic Treatment of Heat Generation and Conduction in Semiconductor Device Modeoing”, *IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN*, Vol. 9, No. 11, 1990, pp. 825-832

[1-20] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*, 1984, Springer-Verlag

[1-21] H. Kosina, E. Langer and S. Selberherr, “Device modelling for the 1990s”, *Microelectronics Journal*, Vol. 26, 1995, pp. 217-233

[1-22] K. Blotekjar, “Transport equations for Electrons in Two-Valley Semiconductors”, *IEEE TRANSACTION ON ELECTRON DEIVCES*, ED-17, No. 1, 1970, pp. 38-47

[1-23] A. M. Anile and V. Romano, “Hydrodynamic Modeling of Charge Carrier Transport in Semiconductors”, *Meccanica*, Vol. 35, 2000, pp. 249-296

[1-24] M. Rudan and F. Odeh, “MULTI-DIMENSIONAL DISCRETIZATION SCHEME FOR THE HYDRODYNAMIC MODEL OF SEMICONDUCTOR DEIVCES”, *COMPEL*, Vol. 5, No. 3, 1986, pp. 149-183

[1-25] A. W. Smith and K. Brennan, “HYDRODYNAIC SIMULATION OF SEMICONDUCTOR DEVICES”, *Progrress in Quantum Electronics*, Vol. 21, No. 4, 1998, pp. 1265-1273

[1-26] 冨沢　一隆,「半導体デバイスシミュレーションー CG で可視化するサブミクロンデバイスの世界」, 1996, コロナ社

[1-27] 独立行政法人科学技術振興機構　研究開発戦略センター　「科学技術・研究開発の国際比較 2006 年度版」

[1-28] 独立行政法人科学技術振興機構　研究開発戦略センター「戦略プロジェクト　超低消費電力化 (ULP) 技術」

[1-29] H. Tanimoto and N. Shigyo, “Discretization Error in MOSFET Device Simulation”, *IEEE TRANSACTIONS ON CONPUTER-AIDED DESIGN*, Vol. 11, No.7, 1992, pp. 921-925

[1-30] J. Quincke, “Analysis of Latchpup Neighvorhod Effect in VLSi CMOS Input and Output Stage”, *Microelectronics Reliability*, Vol. 30, No. 1, 1990, pp. 105-122

[1-31] J.Naughton and M. Tyler, “Best Method to Minimize Latchpup Sensitivities in Semiconductor Circuits”, *IEEE Workshop on Microelectronics and Electron Deivces 2005*, 2005, pp. 95-98

[1-32] Y. Moreau, H. Rochette, G. Bruguier, J. Gasiot, F. Pelanchon, C. Sudre and R. Ecoffet, “The Latchup Risk of CMOS-Techonology in Space”, *IEEE TRANSACTION ON NUCLEAR SCIENCE*, Vol. 40, No. 6, 1993, pp. 1831-1837

[1-33] M. J. Hargrove, S. Voldman, R. Gauthier, J. Brown, K. Duncan and W. Craig, “Latchup in CMOS Technology”, *Proceeding of IEEE 36th Annual International Reliability Physics Symposium*, 1998, pp. 269-278

[1-34] M. D. Ker and C. Y. Wu, “Transient Analysis of Submicron CMOS Latchup with a Physical Criterion”, *Solid-State Electronics*, Vol 37, No. 2, 1994, pp. 255-273

第2章　熱・電気連成解析における最適メッシュサイズ及びメッシュゾーニング手法

2.1　研究背景

半導体デバイスの微細化に伴い，半導体デバイスの最小加工寸法は100nm以下のオーダーに突入している．前述のように，微細化による高密度化により，半導体デバイスの熱環境は非常に厳しい状態となっており，高機能なデバイスを作製して，それを外部から冷却するという手順では，熱問題に対処できないほどまで，熱問題は深刻化している．そのため，製品化の際に，正常動作を保証すべく，熱環境を整える必要があり，一度デバイスを作製し，完成したデバイスの熱環境を検証し，不都合がある場合はレイアウトを変更し，といった一連の作業が必要となるが，トライアンドエラーのこの手法は，コストや開発時間を多大に要するため，好ましくない．そこで，事前に数値計算を行うことによって，作製前にある程度の発熱環境を見極める，熱設計と呼ばれる行程を行うことによって，開発コストや時間を大幅に削減できる．このシミュレーションによる熱設計は，作製したデバイスから求めた熱環境の実測値とエラーが小さければ小さいほど開発コストの削減につながり，正確なシミュレーションが必要とされている．[2-1]

シミュレーションの精度を上げるためには，基礎方程式の離散化の際の誤差を最小限に抑えるため，計算領域をなるべく小さなメッシュで分割することによって，成し遂げられる一面がある．[2-2] しかし，メッシュを小さくすることは，計算時間を大幅に増加させることを意味する．そのため，メッシュの切り方を工夫し，メッシュの数を最小限に抑えて，精度の良い解析結果を得る必要がある．

このような背景から，本章では，半導体デバイス (n型 Si MOSFET) の電流・電圧特性，並びに熱環境を正確に見積もるための，最適なメッシュサイズの考察，及び，計算時間を大幅に削減するためのメッシュゾーニング手法を，物理理論から導きだすことを目的とする．

2.2 Si MOSFET の熱・電気連成解析のための最適メッシュサイズ

2.2.1 モデリング

図 2.1 に，解析対象とする Si MOSFET のモデルを示す．本章では n 型 Si MOSFET を対象として，解析の際の最適メッシュサイズ及びメッシュゾーニング手法の提案を行う．Si MOSFET のゲート長は 90nm とした．p 型基板は，正孔数密度 $N_A = 2 \times 10^{23}\mathrm{m}^{-3}$ とし，ソース・ドレイン電極下に位置する高濃度ドープ領域は，$N_D = 1 \times 10^{25}\mathrm{m}^{-3}$ とした．また，ドーピング後のアニーリングプロセスにより，高濃度ドープ領域は密度 N_D で均一であると仮定した．高濃度ドープ領域の厚さ X_j は，80nm とし，ゲート酸化膜厚さ t_{ox} は 2nm とした．印加電圧条件は，ITRS のロードマップなどを参考に，ゲート・ドレイン電極に 1.0V を印加し，ソース電極はグランド電位とした．

x 軸をソース電極からドレイン電極に向かう方向（横方向），y 軸をゲート酸化膜からデバイス底面に向かう方向（縦方向）と定義した．

本章では，特にゲート酸化膜下に形成される，電子チャンネルに特に着目する．なぜなら，MOSFET 動作において電子チャンネル部分は再重要ポイントであり，メッシュサイズのケアが非常に重要な部分であることは，容易に想像できるためである．そのため，便宜的に図 2.1(b) に示すように，ゲート酸化膜直下のソース電極側に，座標軸の原点を定義した．

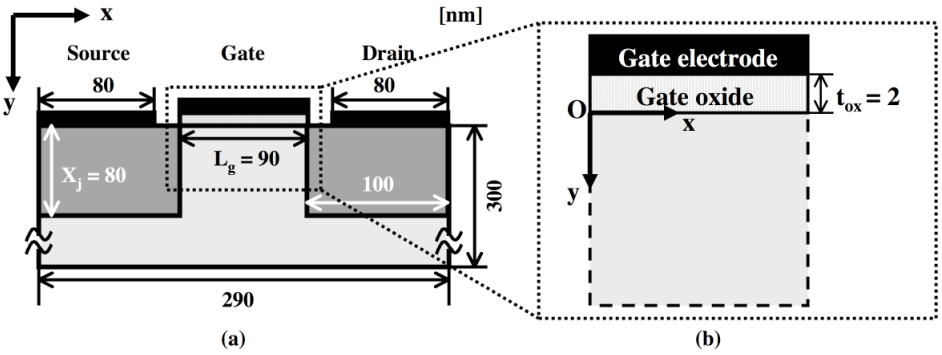


図 2.1: Modeled Si MOSFET

2.3 支配方程式

半導体デバイスにおいて，電流の流れは発熱を引き起こす．キャリア（電子又は正孔）は，高電界によって加速され，大きなエネルギーを電界から得る．大きなエネルギーを持ったキャリアは，結晶格子へとそのエネルギーを明け渡すことによって，結晶格子の振動が激しくなり，発熱が生じる．高電界（$E \geq 10^6$V/m）によって加速された電子は，非常に大きなエネルギーを持つことになり，結晶格子にそのエネルギーの全てを渡すことができず，結晶格子のエネルギーキャリアのエネルギーの間に，非平衡状態が生じる．[2-3][2-4] つまり，結晶格子温度とキャリア温度の非平衡状態である．このような，結晶格子温度よりも高い温度を持ったキャリアを ”ホットキャリア ”と呼ぶ．キャリアのエネルギーは，半導体デバイス内部のキャリア輸送現象と密接に関係しており，正確な半導体デバイスの動作や発熱現象を考察するためには，結晶格子温度とキャリア温度の双方を考慮する必要がある．[2-5] 本節では，キャリア温度と結晶格子温度の非平衡を考慮することができる，熱・電気連成解析の支配方程式の詳細を説明する．

熱・電気連成解析の支配方程式は，ポアソンの式，電子・正孔に関する連続の式，電子・正孔に関する運動量保存式，電子・正孔に関するエネルギー保存式，結晶格子に関するエネルギー保存式から成る．詳細を以下に示す．[2-3][2-4][2-6]

$$\nabla^2\phi = -\frac{q}{\epsilon_s}\left(N_D - n - N_A + p\right) \tag{2.1}$$

$$\frac{\partial n}{\partial t} + \nabla\left(n\mathrm{v_e}\right) = -R \tag{2.2}$$

$$\frac{\partial p}{\partial t} + \nabla\left(p\mathrm{v_h}\right) = -R \tag{2.3}$$

$$-qn\nabla\phi + \nabla\left(nk_BT_e\right) = -\frac{nm_e^*}{\tau_{me}} \tag{2.4}$$

$$qp\nabla\phi + \nabla\left(pk_BT_h\right) = -\frac{pm_h^*}{\tau_{mh}} \tag{2.5}$$

$$\frac{\partial W_e}{\partial t} + \nabla\cdot\left(\mathrm{v_e}W_e\right) - qn\mathrm{v_e}\nabla\phi + \nabla\cdot\left(\mathrm{v_e}nk_BT_e\right) - \nabla\cdot\left(\kappa_e\nabla T_e\right) = -\frac{W_e - W_{e0}}{\tau_{e-L}} \tag{2.6}$$

$$\frac{\partial W_h}{\partial t} + \nabla\cdot\left(\mathrm{v_h}Wh\right) - qp\mathrm{v_h}\nabla\phi + \nabla\cdot\left(\mathrm{v_h}pk_BT_h\right) - \nabla\cdot\left(\kappa_h\nabla T_h\right) = -\frac{W_h - W_{h0}}{\tau_{h-L}} \tag{2.7}$$

$$\rho c\frac{\partial T_L}{\partial t} - \nabla\cdot\left(\kappa_L\nabla T_L\right) = \frac{W_e - W_{e0}}{\tau_{e-L}} + \frac{W_h - W_{h0}}{\tau_{h-L}} \tag{2.8}$$

式 2.1 はポアソンの式である．ここで，ϕ は電位，q は素電荷，ϵ_s はシリコンの誘電率，n は電子数密度，p は正孔数密度である．式 2.2，2.3 は，それぞれ電子，正孔に関する連続の式である．ここで，$\mathrm{v_e}$ は電子の速度を表し，$\mathrm{v_h}$ は正孔の速度を表している．R は，正味のキャリアの再結合率であり，再結合の場合は正，生成の場合は負となる．本節においては，Shockley-Read-Hall(SRH)

の再結合と，Auger の再結合，インパクトイオン化によるキャリアの生成を考慮している．R の詳細は，以下のようになる．[2-7]-[2-11]

$$R_{SRH} = \frac{np - n_i^2}{\tau_{SRH-h}\left(n + n_i\right) + \tau_{SRH-e}\left(p + n_i\right)} \tag{2.9}$$

$$\tau_{SRH-e} = \frac{\tau_{e0}}{1 + \frac{N_D + N_A}{N_e^{ref}}} \tag{2.10}$$

$$\tau_{SRH-h} = \frac{\tau_{h0}}{1 + \frac{N_D + N_A}{N_h^{ref}}} \tag{2.11}$$

$$\begin{aligned} R_{II} &= 5.044 \times 10^{14} \left[n \left\{ \left(1.0 + \frac{u_e}{2}\right) erfc\left(\frac{1}{\sqrt{u_e}}\right) - \frac{\sqrt{u_e}}{2} exp\left(\frac{1}{u_e}\right) \right\} \right] \\ &\times \left(\frac{np}{n_{eff}^2} - 1 \right) \\ &+ 5.044 \times 10^{14} \left[p \left\{ \left(1.0 + \frac{u_h}{2}\right) erfc\left(\frac{1}{\sqrt{u_h}}\right) - \frac{\sqrt{u_h}}{2} exp\left(\frac{1}{u_h}\right) \right\} \right] \\ &\times \left(\frac{np}{p_{eff}^2} - 1 \right) \end{aligned} \tag{2.12}$$

$$u_e = k_B T_e / E_{th} \tag{2.13}$$

$$u_h = k_B T_h / E_{th} \tag{2.14}$$

$$n_{eff} = 2 \left(\frac{2\pi k_B}{h^2} \right)^{2/3} \left(m_e^* m_h^* T_e T_h\right)^{3/4} exp\left(-\frac{E_G}{2k_B T_e}\right) \tag{2.15}$$

$$p_{eff} = 2 \left(\frac{2\pi k_B}{h^2} \right)^{2/3} \left(m_e^* m_h^* T_e T_h\right)^{3/4} exp\left(-\frac{E_G}{2k_B T_h}\right) \tag{2.16}$$

$$R = R_{II} + R_{SRH} \tag{2.17}$$

式 2.9 において，n_i はシリコンの真性キャリア密度である．また，τ_{SRH-e} と τ_{SRH-h} は，ドーピング濃度に依存するキャリアの寿命であり，それぞれ式 2.10，2.11 で表される．ここで，τ_{e0} は 3.95×10^{-4} であり，τ_{h0} は 3.52×10^{-5}s である．また，N_e^{ref} と N_h^{ref} は，$7.1 \times 10^{21} m^{-3}$ である．[2-7] 式 2.12 において，k_B はボルツマン定数，T_e は電子温度，T_h は正孔温度，$m_e *$ は電子の有効質量，m_h^* は正孔の有効質量を表している．E_{th} は，インパクトイオン化のためのエネルギーの閾値であり，シリコンの場合は 1.31eV (2.10×10^{-19}J) である．E_g はシリコンのエネルギーバンドギャップであり，h はプランク定数である．[2-8][2-9]

式 2.4 と 2.5 は，それぞれ電子・正孔に対する運動量保存式である．τ_{me} と τ_{mh} は，電子・正孔の運動量緩和時間を示している．電子・正孔の移動度 μ と緩和時間の間には，$\mu_{e,h} = q\tau_{e,h}/m_{e,h}^*$ なる関係があり，この関係を使うことにより，式 2.4 と 2.5 は，それぞれ次のように変形される．

$$\mathrm{v_e} = \mu_e \nabla \phi - \frac{\mu_e}{qn} \nabla \left(n k_B T_e\right) \tag{2.18}$$

$$\mathrm{v_h} = \mu_h \nabla \phi - \frac{\mu_h}{qp} \nabla \left(p k_B T_e \right) \tag{2.19}$$

この変形により，電子速度は緩和時間や有効質量の関数から，移動度の関数へと変形される．本研究においては，電子・正孔の移動度は，結晶格子温度，不純物濃度，電界に依存すると仮定した．詳細を以下に示す．[2-7]

まず，ドープされた不純物に依存する電子移動度 μ_e^I 及び正孔移動度 μ_h^I は，以下のように表される．

$$\mu_e^I = 90 \times 10^4 \left(1 + \frac{2 \times 10^{24}}{CI} \left(\frac{T_L}{300} \right) \right) \tag{2.20}$$

$$\mu_h^I = 45 \times 10^4 \left(1 + \frac{1.2 \times 10^{24}}{CI} \left(\frac{T_L}{300} \right) \right) \tag{2.21}$$

ここで，CI は，不純物濃度である．

次に，結晶格子温度（フォノン）散乱に依存する電子移動度 μ_e^L，及び正孔移動度 μ_h^L を示す．

$$\mu_e^L = \frac{1}{\frac{1}{0.4195 \left(\frac{T_L}{300} \right)^{-1.5}} + \frac{1}{0.2153 \left(\frac{T_L}{300} \right)^{-3.13}}} \tag{2.22}$$

$$\mu_h^L = \frac{1}{\frac{1}{0.2502 \left(\frac{T_L}{300} \right)^{-1.5}} + \frac{1}{0.0591 \left(\frac{T_L}{300} \right)^{-3.25}}} \tag{2.23}$$

今，これらの移動度は，以下の式で不純物濃度及び結晶格子温度の両方に依存する関数となる．

$$\mu_{e,h}^{LI} = \left(\frac{1}{\mu_{e,h}^I} + \frac{1}{\mu_{e,h}^L} \right)^{-1} \tag{2.24}$$

移動度は，高電界が印加されている状態においては，電界にも強く依存し，電子・正孔速度は一定値以上の値にはならない．つまり，電界が大きくなるにつれて，移動度は減少することになる．これらの関係は，先に求めた移動度と関連づけて，以下の式で表される．

$$\mu_{e,h}^{LIE} = \frac{\mu_{e,h}^{LI}}{\sqrt{1 + \left(\mu_{e,h}^{LI} \right)^2 \left(\frac{\left(E / \left(\mu_{e,h}^L \cdot A_{e,h} \right) \right)^2}{\mu_{e,h}^{LI} \cdot E / \left(\mu_{e,h}^L \cdot A_{e,h} \right) + F_{e,h}} + \left(\frac{E}{\mu_{e,h}^L \cdot B_{e,h}} \right)^2 \right)}} \tag{2.25}$$

ここで，$A_e = 3.5 \times 10^5 \mathrm{V/m}$，$F_e = 8.8$，$B_e = 7.4 \times 10^5 \mathrm{V/m}$，$A_h = 6.1 \times 10^5 \mathrm{V/m}$，$F_h = 1.6$，$B_h = 2.5 \times 10^6 \mathrm{V/m}$ である．

式 2.6 は，電子に対するエネルギー保存式である．この式から，電子温度を得ることができる．ここで，κ_e は電子の熱伝導率であり，以下の式で与えられる．

$$\kappa_e = \frac{2 k_B^2 n \tau_{me} T_e}{m_e^*} \tag{2.26}$$

W_e は電子エネルギーを表しており，以下の式で与えられる．

$$W_e = \frac{3}{2}nk_BT_e + \frac{1}{2}nm_e^*v_e^2 \tag{2.27}$$

また，W_{e0} は，結晶格子温度と平衡状態にある電子エネルギーであり，以下の式で与えられる．

$$W_{e0} = \frac{3}{2}nk_BT_L \tag{2.28}$$

ここで，T_L は結晶格子温度である．τ_{e-L} は，電子のエネルギー緩和時間であり，様々な値が提案されている．[2-11]-[2-14] 本研究においては，0.30 ps で一定とした．

式 2.7 は，正孔に対するエネルギー保存式である．正孔温度 T_h を，この式から得ることができる．正孔の熱伝導率 κ_h は，以下の式で与えられる．

$$\kappa_h = \frac{2k_B^2p\tau_{mh}T_h}{m_h^*} \tag{2.29}$$

正孔エネルギーは，電子エネルギーと同様に以下の式で与えられる．

$$W_h = \frac{3}{2}pk_BT_h + \frac{1}{2}pm_h^*v_h^2 \tag{2.30}$$

また，W_{h0} は，結晶格子温度と平衡状態にある正孔エネルギーであり，以下の式で与えられる．

$$W_{h0} = \frac{3}{2}pk_BT_L \tag{2.31}$$

正孔エネルギーの緩和時間 τ_{h-L} も，電子と同様に様々な値が提案されているが，ここでは 0.3 ps で一定とした．[2-10][2-11]

式 2.8 は，結晶格子に対するエネルギー保存式である．本来，ホットキャリアが持つエネルギーは，オプティカルフォノンへと渡され，オプティカルフォノンとアコースティックフォノンのエネルギー授受により，フォノンエネルギーは結晶全体に伝播して行く．しかし，いくつかの研究により，ゲート長が比較的長い MOSFET において，これらのフォノンのエネルギーは大きな差異がないという報告がなされている．[2-3][2-4] また，90nm のゲート長の MOSFET においても，これらフォノン間の非平衡性は小さく，13%程度であるという報告がなされている．[2-15] そのため，本研究においては，フーリエの法則を用いた熱伝導の方程式を，結晶格子のエネルギー式として採用した．シリコンの熱伝導率は以下の式を用いた．[2-7]

$$\kappa_L = 154.86 \times \left(\frac{T_L}{300}\right)^{-\frac{4}{3}} \tag{2.32}$$

この式 2.8 を解くことにより，結晶格子温度 T_L を求めることができる．

2.4 境界条件

電位の境界条件は，以下の通りである．ソース電極をグランド電位で一定（$V_S = 0.0$V）とし，ドレイン電位も電極電位で一定（$V_D = 1.0$V）とした．また，ゲート酸化膜下の境界条件としては，ゲート酸化膜内部の電界とゲート酸化膜直下の電界が保存するよう，ガウスの法則から導きだされる以下の式を採用した．

$$\epsilon_{ox} \nabla \phi|_{ox} = \epsilon_s \nabla \phi|_s \tag{2.33}$$

ここで，ϵ_{ox} は，シリコン酸化膜の誘電率である．それ以外の境界では，電位の勾配を 0 とした．

キャリア数密度の境界条件としては，ソース電極・ドレイン電極下で不純物濃度 N_D で一定とし，それ以外の境界では勾配 0 とした．

キャリア温度に関しては，Si MOSFET 底面において電子・正孔温度とも 350K で一定 ($T_e = T_h = 350$K) とし，ソース・ドレイン電極下においては，結晶格子温度と等しいと仮定した．なぜなら，ソース・ドレイン電極下は高濃度の不純物が存在し，大きな電界が生じないためである．それ以外の境界においては，キャリア温度の勾配が 0 であるとした．

結晶格子温度に関しては，デバイス底面で $T_L = 350$K で一定とし，それ以外の部分では，勾配 0 とした．[2-3][2-7][2-17]

また，物理定数は，基本的な教科書を参考としている．[2-16]

2.5 離散化及び数値計算手法

2.5.1 連続の式の離散化手法

式 2.2 及び式 2.3 で示される連続の式には，離散化の工夫が必要である．なぜなら，図 2.1 を例にとれば，Si MOSFET 内部において，ソース・ドレイン電極下の高濃度ドープ域と基板では，電子数密度の変化が非常に大きいため，通常の差分化では，数値計算の際のエラーが大きくなり，場合によっては，計算が発散してしまう．[2-7] このエラーを防ぐために，Scharfetter と Gummel によって提唱された手法が広く用いられている．[2-18] しかし，Scharfetter と Gummel の時代においては，キャリア温度を考慮した解析は行われておらず，Scharfetter と Gummel が提唱した手法は，キャリアが電界と濃度勾配によってのみ輸送されるドリフト・ディフージョンモデルにおける連続の式に対するものであった．これを，Rudan らがキャリア温度の勾配も考慮した熱・電気連成解析に適用できるように改良した．[2-19] 本研究においては，Rudan らが提唱している手法を用いている．以下に詳細を紹介する．

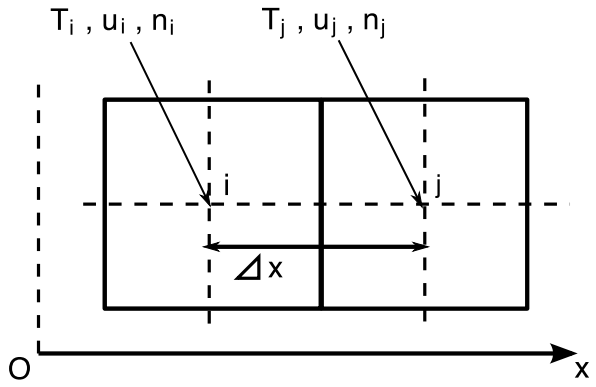


図 2.2: Coordinate

図 2.2 に，以下の説明の為に用いる座標軸を示す．この座標軸に従って，以下の説明を行う．2 次元解析には x 方向と y 方向が定義されるが，いずれの軸方向にも全く同様な手順で離散化が行われるため，x 方向のみの説明とする．また，電子と正孔に対する離散化は同様であるため，ここでは電子に関するものに対してのみ説明を行う．

式 2.4 は，$\mu_e = q\tau_{me}/m_e^*$ の関係を用いて，以下のように書き換えることができる．

$$\mathrm{J_e} = k_B\mu_e\left(T\cdot\nabla\cdot n + n\cdot\nabla\left(T - \frac{q\phi}{k_B}\right)\right) \tag{2.34}$$

ここで，$q\phi/k_B = u$ として，式 2.34 は

$$\mathrm{J_e} = k_B\mu_e\left(T\cdot\nabla\cdot n + n\cdot\nabla\left(T - u\right)\right) \tag{2.35}$$

となる．ここでは，x 方向のみを考えているため，式 2.35 の微分は，以下のように書き換えられる．

$$\mathrm{J_e} = k_B \mu_e \left(T \cdot \frac{\partial n}{\partial x} + n \frac{\partial (T-u)}{\partial x} \right) \tag{2.36}$$

u は，x 方向にリニアに変化しているものと仮定して，

$$u = \frac{u_j - u_i}{\Delta x} x + u_i = ax + u_i \tag{2.37}$$

を得る．式 2.36 中の $T-u$ の微分を式 2.37 を用いて表すと，

$$\frac{\partial (T-u)}{\partial x} = \frac{\partial T}{\partial x} - \frac{\partial u}{\partial x} = T' - \frac{\partial (ax+u_i)}{\partial x} = T' - a \tag{2.38}$$

となり，これより式 2.36 は，

$$J_e = k_B \mu_e \left[T \frac{\partial n}{\partial x} + n (T' - a) \right] \tag{2.39}$$

と表すことができる．ここで，さらに

$$j_e = \frac{J_e}{k_B \mu_e} \tag{2.40}$$

と，規格化した電流 j_e を定義し，式 2.39 は，以下のように書き換えることができる．

$$dn + \left(n \frac{T' - a}{T} - \frac{j_e}{T} \right) dx = 0 \tag{2.41}$$

式 2.41 は，完全微分方程式ではないため，積分因子を利用して式 2.41 を解く．積分因子を ν とし，積分因子を求めると

$$\nu = \frac{T}{T_i} \exp(-g(x)) \tag{2.42}$$

$$g(x) = \int_0^x \frac{a}{T(\xi)} d\xi \tag{2.43}$$

となる．この式 2.42 を，式 2.41 の両辺に乗じて，以下の式を得る．

$$\frac{T}{T_i} \exp(-g(x))\, dx + \frac{T}{T_i} \left(n \frac{T' - a}{T} - \frac{j}{T} \right) \exp(-g(x))\, dx = 0 \tag{2.44}$$

この式 2.44 は完全微分方程式となっているため，解くことが可能である．

$$\begin{aligned} & \int_0^n \frac{T}{T_i} \exp(-g(x))\, d\xi + \int_0^x \left(-\frac{j_e}{T_i} \exp(-g(\eta)) \right) d\eta \\ = \quad & n \frac{T}{T_i} \exp(-g(x)) - \frac{j_e}{T_i} \int_0^x \exp(-g(\eta))\, d\eta = c \end{aligned} \tag{2.45}$$

ここで，

$$G = \int_0^x \exp(-g(\eta))\, d\eta \tag{2.46}$$

とすると，

$$G' = \exp\left(-g\left(x\right)\right) \tag{2.47}$$

となるので，書き換えて

$$n\frac{T}{T_i}G' - \frac{j_e}{T_i}G = c \tag{2.48}$$

となる．ここで，点 i のとき，電子温度 T_i，電子数密度 n_i であるので，これを境界条件として代入して，

$$n_i G'_i - \frac{j_e}{T_i}G_i = c \tag{2.49}$$

となる．以上の式 2.48 と式 2.49 の c が等しいので，

$$n\frac{T}{T_i}G' - \frac{j_e}{T_i}G = n_i G'_i - \frac{j_e}{T_i}G_i \tag{2.50}$$

が成立する．これを j についての式に直し，以下の式を得る．

$$j_e = \frac{G'}{G - G_i}nT - \frac{G'_i}{G - G_i}n_i T_i \tag{2.51}$$

さらに，点 j において，電子温度 T_j，電子数密度 n_j であることを境界条件として用いると最終的に以下の式を得ることが出来る．

$$j_e = \frac{G'_j}{G_j - G_i}n_j T_j - \frac{G'_i}{G_j - G_i}n_i T_i \tag{2.52}$$

次に，電位と同様に電子温度も点 i と点 j の間で，リニアに変化しているものと仮定して，以下のような関数で与える．

$$T = \frac{T_j - T_i}{\Delta x}x + T_i = cx + T_i \tag{2.53}$$

さらに，

$$\alpha = \frac{a}{c} \tag{2.54}$$

を定義する．

式 2.53 を定義したことによって，式 2.43 中の T が具体的な関数として与えられるため，解くことが可能になり，さらに式 2.46，式 2.47 の積分も展開することが可能になり，以下のようにあらわされる．

$$\begin{aligned} g\left(x\right) &= \int_0^x \frac{a}{c\xi + T_j}d\xi \\ &= \alpha \ln\left(\frac{T}{T_j}\right) \end{aligned} \tag{2.55}$$

$$
\begin{aligned}
G &= \int_0^x \exp\left(\alpha \ln \frac{T(\eta)}{T_i}\right) d\eta \\
&= \int_0^x \exp\left(\alpha \ln \left(\frac{c\eta + T_i}{T_i}\right)\right) d\eta \\
&= \frac{T_i}{c+a}\left[\left(\frac{T}{T_i}^{1+\alpha}\right) - 1\right]
\end{aligned} \tag{2.56}
$$

$$
\begin{aligned}
G' &= exp\left(\alpha \ln \left(\frac{T}{T_i}\right)\right) \\
&= \left(\frac{T}{T_i}\right)^{\alpha}
\end{aligned} \tag{2.57}
$$

以上の式 2.55，2.56，2.57 を式 2.52 に代入すると，以下の式が得られる．

$$
j = \frac{a-c}{\left(\frac{T_j}{T_i}\right)^{\alpha-1} - 1} n_j - \frac{c-a}{\left(\frac{T_i}{T_j}\right)^{\alpha-1} - 1} n_i \tag{2.58}
$$

ここで，以下の関係式を定義する．

$$
\alpha - 1 = \frac{u_{ji} - T_{ji}}{T_{ji}} \tag{2.59}
$$

$$
\theta = \frac{\ln(T_j) - \ln(T_i)}{T_{ji}} \tag{2.60}
$$

$$
\Delta = \theta\left(u_{ji} - T_{ji}\right) \tag{2.61}
$$

ここで，$u_{ji} = u_j - u_i$，$T_{ji} = T_j - T_i$ である．これら，式 2.59，2.60，2.61 を用いて，式 2.58 を書き換えると，

$$
j = \frac{1}{\theta \cdot \Delta x}\left(B(\Delta) n_j - B(-\Delta) n_i\right) \tag{2.62}
$$

となり，規格化しない電流の式に置き換えると以下のようになる．

$$
J = \frac{k_B \mu}{\theta \cdot \Delta x}\left(B(\Delta) n_j - B(-\Delta) n_i\right) \tag{2.63}
$$

この式 2.63 を用いて，連続の式である式 2.2 に代入し差分化することによって，急激に変化するキャリア数密度を求める．

また，電子・正孔のエネルギー式の差分化には，パタンカーによって提案されたべき乗法（power low）を用いた差分化を行った．[2-20] 以下にその詳細を示す．

この部分の説明においては，図 2.3 に示すような，座標系を用いる．差分化する際の，中心の値に添字 P とし，上側 N，下側 S，左側 W，右側 E とする．温度や，電位などのスカラー値は，メッシュの中点での値を考え，また，それらの勾配によって生じる流れは，メッシュの界面によって考える．流れを表す場合は，図 2.3 に示すように，小文字の添字で示す．

電子に対するエネルギー保存式を，運動量保存式と差し引きすることにより以下のように表される．

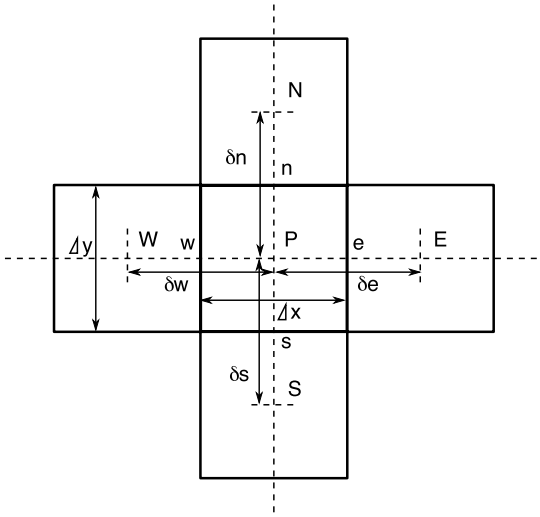


図 2.3: Coordinate for Power Law

$$\frac{\partial T_e}{\partial t} + \mathrm{v_e} \cdot \nabla T_e = -\frac{2}{3} T_e \nabla \cdot \mathrm{v_e} + \frac{2}{3nk_B} \nabla \cdot (\kappa_e \nabla T_e) - \frac{T_e - T_L}{\tau_{e-L}} + \frac{m^* v_e^2}{3k_B} \left(\frac{2}{\tau_m} - \frac{1}{\tau_{e-L}} \right) \tag{2.64}$$

ここで,

$$-\frac{2}{3} T_e \nabla \cdot \mathrm{v_e} - \frac{T_e - T_L}{\tau_{e-L}} + \frac{m^* v_e^2}{3k_B} \left(\frac{2}{\tau_m} - \frac{1}{\tau_{e-L}} \right) \tag{2.65}$$

を生成項として扱い，それらに n を乗じたものを記号 S で表す.

さらに，連続の式 2.2 を利用して，式 2.64 を整理すると，以下のように書くことができる.

$$\frac{\partial}{\partial t} (nT_e) + \nabla \cdot (n\mathrm{v_e} T_e) = \nabla \left(\frac{2\kappa_e}{3k_B} \nabla T_e \right) + S \tag{2.66}$$

ここで,

$$S = -\frac{2}{3} n T_e \nabla \cdot \mathrm{v_e} - n \frac{T_e - T_L}{\tau_{e-L}} + \frac{n m^* v_e^2}{3k_B} \left(\frac{2}{\tau_m} - \frac{1}{\tau_{e-L}} \right) \tag{2.67}$$

J_{T_e} を

$$J_{T_e} = n\mathrm{v_e} T_e - \frac{2\kappa_e}{3k_B} \nabla T_e \tag{2.68}$$

と定義して，以下のように離散化する.

$$\frac{\partial}{\partial t} (nT_e) + \frac{\partial J_{T_e x}}{\partial x} + \frac{\partial J_{T_e y}}{\partial y} = S \tag{2.69}$$

$$J_{T_e x} = n\mathrm{v_e} T_e - \frac{2\kappa_e}{3k_B} \frac{\partial T_e}{\partial x} \tag{2.70}$$

$$J_{T_e y} = n\mathrm{v_e} T_e - \frac{2\kappa_e}{3k_B} \frac{\partial T_e}{\partial y} \tag{2.71}$$

これらの関係を用いて，離散化した式は以下のようになる．

$$\frac{(n_P T_{eP} - n_{P0} T_{eP0})}{\Delta t}\Delta x \Delta y + J_e - J_w + J_n - J_s = S\Delta x \Delta y \tag{2.72}$$

ここで，右辺第一項の添字 0 は，一つ前の時間ステップの値であることを示す．これまでの一連の式変形によって，電子エネルギー保存式がパタンカーによって示されているべき乗法を利用可能な式の形に変形された．パタンカーによって示されているべき乗法を適用すると，最終的に以下に示す式となり，これを利用して電子エネルギー保存式を解く．

$$\left(a_E + a_W + a_N + a_S + \frac{n_P^0 \Delta x \Delta y}{\Delta t}\right) T_{eP} = a_E T_{eE} + a_W T_{eW} + a_N T_{eN} + a_S T_{eS} + S\Delta x \Delta y \tag{2.73}$$

ここで，

$$F_e = (nv)_e \Delta y \ , \ F_w = (nv)_w \Delta y \ , \ F_n = (nv)_n \Delta x \ , \ F_s = (nv)_s \Delta x \tag{2.74}$$

$$D_e = \frac{\frac{2\kappa_e}{3k_B}\Delta y}{\delta x_e} \ \ D_w = \frac{\frac{2\kappa_w}{3k_B}\Delta y}{\delta x_w} \ , \ D_n = \frac{\frac{2\kappa_n}{3k_B}\Delta x}{\delta y_n} \ \ D_s = \frac{\frac{2\kappa_s}{3k_B}\Delta x}{\delta y_s} \tag{2.75}$$

$$P_e = \frac{F_e}{D_e} \ , \ P_w = \frac{F_w}{D_w} \ , \ P_n = \frac{F_n}{D_n} \ , \ P_s = \frac{F_s}{D_s} \tag{2.76}$$

$$a_E = D_e[0, (1 - 0.1\,|P_e|)^5] + [-F_e, 0] \tag{2.77}$$

$$a_W = D_w[0, (1 - 0.1\,|P_w|)^5] + [F_w, 0] \tag{2.78}$$

$$a_N = D_n[0, (1 - 0.1\,|P_n|)^5] + [F_n, 0] \tag{2.79}$$

$$a_S = D_s[0, (1 - 0.1\,|P_s|)^5] + [-F_s, 0] \tag{2.80}$$

である．

この手法を用いたのは，拡散と対流の効果を正確に見積もるためである．通常の一階の風上差分法を用いた場合との計算結果の違いは見られなかった．簡単のためには，風上差分法を用いても問題ないものと考えられる．

以上で示した手法を用いて，電流連続の式とエネルギー保存式を離散化することによって解析を行った．なお，ポアソンの式，結晶格子に関するエネルギー保存式は，通常の 5 点差分を行った．

最後に，図 2.4 に本解析のフローチャートを示す．ここでは，変形する前の基本式を利用して，フローチャートを示している．

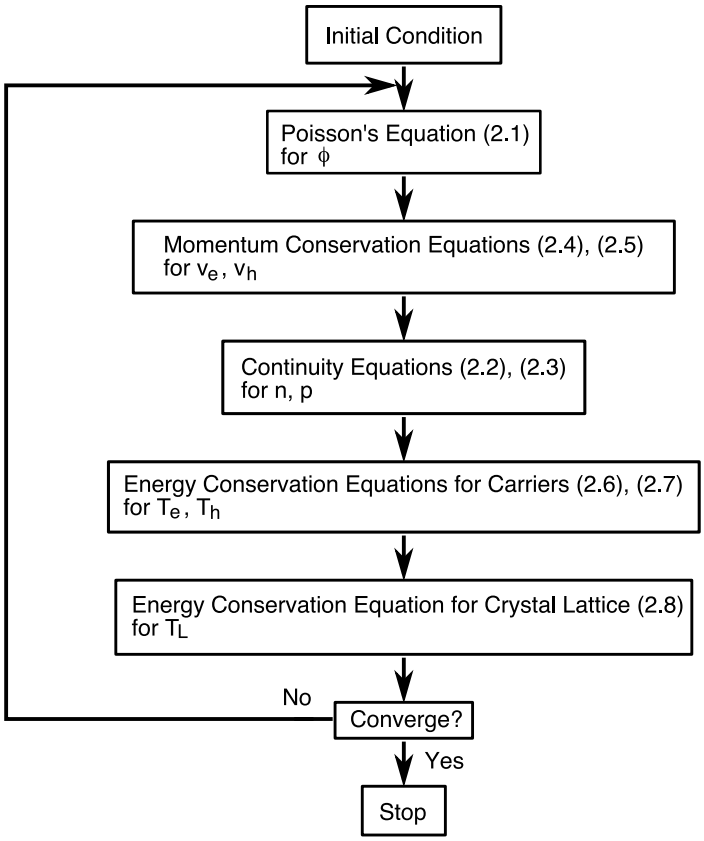


図 2.4: Calculation Flow

2.6 結果及び考察

先の節で述べた通り，数値計算を行うにあたり，適切なメッシュを用いることが，正確性・計算時間の観点から，非常に重要となってくる．本節では，メッシュサイズが計算結果に与える影響を明らかにし，Si MOSFET の熱・電気連成解析における適切なメッシュサイズの考察を行う．数値計算に与えるメッシュサイズの影響を明らかにするために，図 2.1 で示した Si MOSFET を様々なメッシュを用いた解析を行い，メッシュサイズが計算結果に与える影響を検証する．

半導体物理に従えば，半導体内部の物理現象を考察する上で最も重要な長さはデバイ長である．[2-2][2-16] つまり，デバイ長を超えない大きさのメッシュを用いることによって，計算結果は実現象を表すことが可能となり，精度の高い結果を得られる可能性が大きいことが想像できる．さらに，より小さなメッシュを用いることにより，計算の精度は向上することが報告されている．[2-2] 半導体物理の理論に従えば，デバイ長は結晶格子温度と基板電子数密度（ここでは N_A）によって定義され，以下の式で表される．

$$L_D = \sqrt{\frac{k_B T_L \epsilon_s}{q^2 N_A}} \tag{2.81}$$

本章で考慮している Si MOSFET の構造を考慮すると，基板不純物濃度は，$N_A = 2 \times 10^{23}\mathrm{m}^{-3}$ であり，結晶格子温度を 350K と仮定すると，式 2.81 から，本デバイスで考慮すべきデバイ長は 9.94×10^{-9}m であることが算出される．

そこで，まず，このデバイ長を考慮して本節では，横方向（図 2.1(b) における x 方向）に関して，メッシュサイズ Δx を 1.0nm，2.5nm，5.0nm，10nm の 4 種類のメッシュを用いて，計算結果の精度を考慮した．また，縦方向（図 2.1(b) における y 方向）に関しても同様に，メッシュサイズ Δy を 1.0nm，2.5nm，5.0nm，10nm の 4 種類のメッシュを用いて解析を行い，メッシュサイズの計算結果に及ぼす影響を検証した．

2.6.1 横方向のメッシュサイズの影響

まず，横方向（図 2.1(b) における x 方向）のメッシュサイズの影響を検証する．純粋に横方向のメッシュサイズの影響を見るために，縦方向（図 2.1(b) における y 方向）のメッシュサイズは 1.0nm で固定した．横方向のメッシュサイズは，先にも示したとおり 1.0nm，2.5nm，5.0nm，10nm の 4 種類とした．

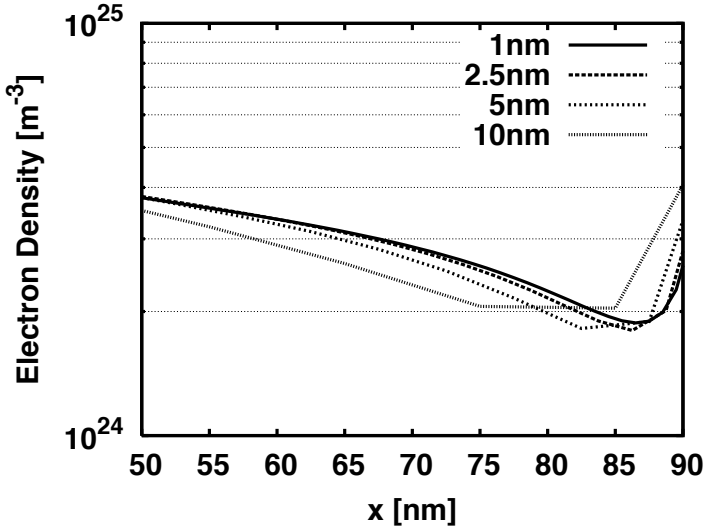
表 2.1 に，各メッシュサイズ（Δx）に対する定常状態でのドレイン電流 I_D，最高結晶格子温度 T_L を示す．表中の ΔI_D は，$\Delta x = 1.0$nm の結果と比較したときのドレイン電流の誤差を，ΔT_L は，$\Delta x = 1.0$nm の結果としたときの最高結晶格子温度の値の誤差をそれぞれ示す．表から明らかなように，$\Delta x = 2.5$nm としたとき，$\Delta x = 1.0$nm の結果と比較すると，ドレイン電流において 0.15%の誤差しか見られない．また，$\Delta x = 5.0$nm とした場合，その差は 0.75%であり，$\Delta x = 10$nm とした場合では，2.47%であることが見て取れる．また，最高結晶格子温度に目を向けると，$\Delta x = 2.5$nm の結果と $\Delta x = 1.0$nm の結果を比較すると，0.05%の差しか生じず，$\Delta x = 5.0$nm の場合では 0.16%，$\Delta x = 10$nm の場合でも 0.41%の誤差しか生じないことがわかる．つまり，横方向に対しては，メッシュサイズを大きくすることによって，生じる誤差は大きくなるが，その誤差はクリティカルなものではなく，横方向のメッシュサイズのケアは，大きな重要性を持たないことが明らかとなった．

表 2.1: Drain Current and Maximum Lattice Temperautre of Each Mesh Size

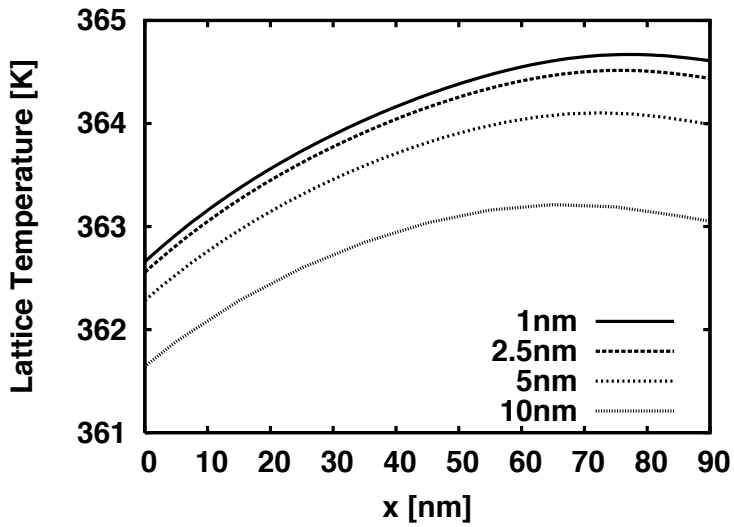
	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[%]
1.0 nm	1337	-	364.7	-
2.5 nm	1333	0.15	364.5	0.05
5.0 nm	1327	0.75	364.1	0.16
10.0 nm	1304	2.47	363.2	0.41

図 2.5(a) に，MOSFET チャンネル部分における電子数密度分布を示す．横軸に示す x の値は，図 2.1(b) に示す座標軸に対応している．このグラフから，x=90nm 付近において，電子の数が急激に減少しており，MOSFET チャンネル部におけるピンチオフの現象が生じていることが確認できる．また，ピンチオフ点からソース電極に向かい電子数密度は緩やかに増加する傾向は，いずれのメッシュサイズを用いた場合でも同じである．しかし，メッシュサイズが大きくなるにつれて，ピンチオフ点付近における急激な電子数密度の変化を表現することが難しくなっていることも見て取れる．

図 2.5(b) に，MOSFET チャンネル部分における結晶格子温度の分布を示す．いずれのメッシュ



(a) Electron Density Distribution



(b) Lattice Temperautre Distribution

図 2.5: Distribution in the Channel Region of MOSFET

を用いた場合においても，チャンネル部ドレイン電極側に最高結晶温度の点が現れていることが見て取れる．最高結晶格子温度が生じるポイントは，メッシュサイズが大きくなるにつれて結果の空間的な解像度が悪くなるため，同一とはならないものの，$\Delta x = 1.0\mathrm{nm}$ の場合と，$\Delta x = 10.0\mathrm{nm}$ の場合を比較しても，8nm の誤差しか生じない．

これらの結果を総じると，x 方向のメッシュサイズは，各パラメータの分布結果に与える影響も非常に小さいことも明らかとなった．

2.6.2 縦方向のメッシュサイズ

次に，縦方向（図 2.1(b) における y 方向）のメッシュサイズの検証を行う．先と同様に，x 方向のメッシュサイズを 1.0nm で固定し，純粋な y 方向のメッシュサイズの，解析結果に与える影響を検証した．y 方向のメッシュサイズ Δy は，1.0nm，2.5nm，5.0nm，10.0nm の 4 種類を用いて，検証を行った．

表 2.2 に，この結果を示す．表から見て取れるように，$\Delta y = 1.0$nm の際のドレイン電流が 1337 mA/mm であるのに対し，$\Delta y = 2.5$nm とした場合のドレイン電流は 927 mA/mm であり，その差は 30.7%にも及んでいる．更に，$\Delta y = 5.0$nm とした場合のドレイン電流は 683 mA/mm, $\Delta y = 10.0$nm とした場合には 533 mA/mm となっており，$\Delta x = 1.0$nm の場合と比較すると，その差は $\Delta y = 5.0$nm の場合で 48.9%，$\Delta y = 10.0$nm の場合で 60.1%となり，大きなメッシュを用いることによって，ドレイン電流の解析結果が半分程度になってしまうことが明らかとなった．また，最高結晶格子温度に関しても，$\Delta y = 10.0$nm とした場合，$\Delta y = 1.0$nm の場合と比較すると，パーセンテージで 2.74%，絶対値で比較すると 10 K もの誤差が生じており，$\Delta y = 2.5$nm の場合でも 5 K 程度の誤差が生じている．熱設計の際の，シミュレーションの精度が向上し，場合によってはシミュレーション結果と実測結果が 1 K 程度の誤差に抑えることが可能となっている現状を考えると，Si MOSFET 単体で 5 K の誤差は非常に大きいものであり，好ましくない．この結果より，y 方向のメッシュサイズには，細心のケアが必要であることが明らかとなった．

表 2.2: Drain Current and Maximum Lattice Temperature for Each Mesh Size

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[%]
1.0nm	1337	-	364.7	-
2.5nm	927	30.7	359.8	1.34
5.0nm	683	48.9	356.9	2.14
10.0nm	533	60.1	354.7	2.74

以上の結果から，y 方向のメッシュサイズを特にケアする必要があり，x 方向のメッシュサイズに関してはメッシュサイズはチャンネル部分を適度に分割することができるメッシュを用いることにより，精度の高い解析が行えることが明らかとなった．

2.6.3　熱・電気連成解析における最適メッシュサイズ

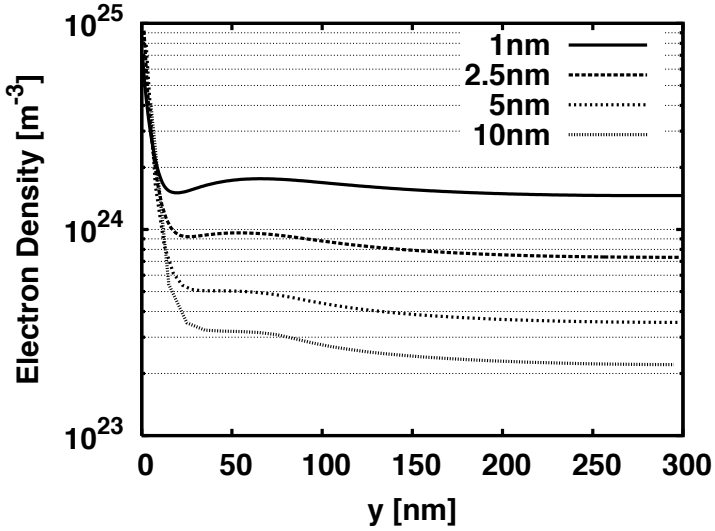
次に，Si MOSFET の熱・電気連成解析における，最適メッシュサイズの提案を行う．先にも述べた通り，半導体内部における物理現象を支配する重要な長さスケールとして，デバイ長が上げられる．本解析の条件において，デバイ長は 9.94 nm である．これは，従来から提案されている手法を用いて求めたデバイ長であり，デバイ長を求めるにあたり，基板の電子数密度と結晶格子温度を利用している．従来の多数の研究が，この長さを基準に，この長さより小さなメッシュサイズを用いて解析を行っている．しかし，より小さいメッシュサイズにした場合に解析結果がどのように変化するかを検証している例はない．

これまでの本研究の結果より，従来から提案されているデバイ長 9.94 nm より小さなメッシュを用いた場合においても，y 方向のメッシュサイズの影響は無視することができず，$\Delta y = 1.0$nm の結果と $\Delta y = 2.5$nm の結果でさえも，ドレイン電流では 30%以上の違いが出ることが明らかとなった．これは，従来提案されているデバイ長より小さなメッシュを用いることを第一としても，どの程度まで小さなメッシュを用いることが必要であるかを知ることが重要であり，従来から提案されているデバイ長は情報を完全に与えているとは言いがたい．そこで，本解析から得られた結果を基に，新しい長さスケールの提案を，半導体物理現象に則った理論から試みる．

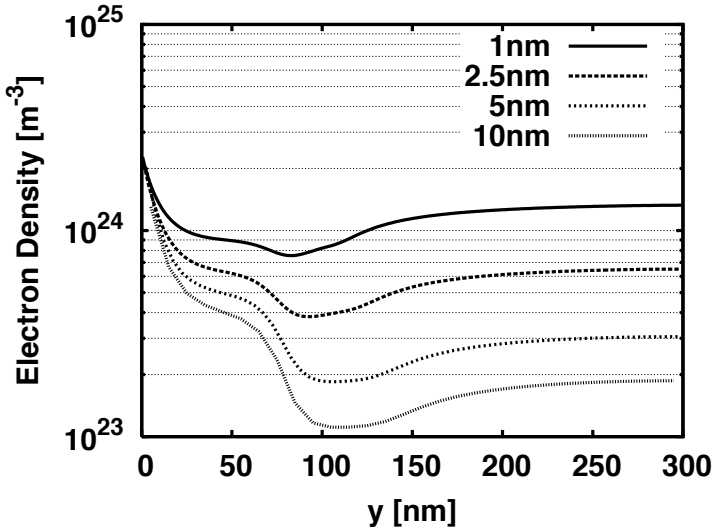
本研究で注目した点は，MOSFET のチャンネル部分における，y 方向へのキャリア数密度の急峻な変化である．

図 2.6 に，y 方向に対する電子数密度の変化を示す．図 2.6(a) は，x = 20 nm における電子数密度の分布，つまり，ソース電極寄りの部分の電子数密度分布であり，図 2.6(b) は，x = 80 nm における電子数密度分布，つまり，ドレイン電極寄りの部分の電子数密度分布である．図 2.6(a) から，電子チャンネルが形成されているソース電極付近では，ゲート酸化膜直下（y = 0 nm）において，電子数密度は $1 \times 10^{25}\mathrm{m}^{-3}$ 程度から，y = 20 nm 付近に向かって急峻に変化している．この y = 20 nm までの領域が電子チャンネルである．その後，y = 20 nm から基板底面（y = 300 nm）へと，徐々に減少している．図 2.6(b) は，ピンチオフ点付近の電子数密度分布であり，チャンネルが形成されている図 2.6(a) の分布と比較すると，全体的に小さな値となっている．いずれのグラフにおいても，共通点として，メッシュサイズが大きくなるにつれて，チャンネル部以外の基板面における電子数密度が過小評価される傾向にあることが見てとれる．MOSFET チャンネル部においては，多量の電子が集まっており，基板電子数密度を利用して求めた従来のデバイ長より，非常に小さな長さが支配的になっていると考えられる．

ここで，従来のデバイ長の導出方法を紹介し，従来のデバイ長では説明できない MOSFET チャンネル部分に焦点を絞った長さスケールの考察を行う．ここでは，先の結果より重要であった，y 方向のみを考慮して，デバイ長の導出を紹介する．また，半導体内部においては電子と正孔がキャ



(a) x = 20 nm



(b) x = 80 nm

図 2.6: Distribution of Electron Density

リアとして存在するが，本章で考慮している n 型 MOSFET においてマジョリティキャリアとなる，電子のみの議論とする．

半導体内部における電流連続の式は，以下のように表される．

$$\frac{\partial n}{\partial t} - \frac{1}{q}\frac{\partial \mathrm{J_e}}{\partial y} = 0 \tag{2.82}$$

均一に分布している電子数密度を n_0 とし，局所的に微小な電子数密度の変化が生じ，その部分の電子数密度を n であるとすると，局所的に誘起される空間電荷は $n - n_0$ となる．

ポアソンの方程式を用いて，この局所的な空間電荷によって生じる電界を表現すると，以下のようになる．

$$\frac{\partial \mathrm{E}}{\partial y} = -\frac{q\left(n - n_0\right)}{\epsilon_s} \tag{2.83}$$

また，電流は以下の式で定義される．

$$\begin{aligned} \mathrm{J_e} &= qn_0\mu_e\mathrm{E} + \mu_\mathrm{e}\mathrm{k_B}\mathrm{T_L}\frac{\partial \mathrm{n}}{\partial \mathrm{y}} \\ &= \sigma\mathrm{E} + \mu_\mathrm{e}\mathrm{k_B}\mathrm{T_L}\frac{\partial \mathrm{n}}{\partial \mathrm{y}} \end{aligned} \tag{2.84}$$

ここで，E は電界を表し，σ は電気伝導率を表す．σ を一定，T_L が均一である仮定すると，式 2.82，2.83，2.84 から，以下の式を得ることができる．

$$\frac{\partial n}{\partial t} + \frac{\sigma\left(n - n_0\right)}{\epsilon_s} - \frac{\mu_e k_B T_L}{q}\frac{\partial^2 n}{\partial y^2} = 0 \tag{2.85}$$

$\mathrm{y} = 0$ において電子数密度が n になっており，$y \to \infty$ で $n = n_0$ であるという境界条件を用いて，式 2.85 を解くと，式 2.85 の解は以下のようになる．

$$n - n_0 = \left(n - n_0\right)_{y=0} exp\left(\frac{-y}{L_D}\right) \tag{2.86}$$

ここで，L_D はデバイ長であり，デバイ長は以下の通りである．

$$L_D = \sqrt{\frac{\epsilon_s k_B T_L}{q^2 n_0}} \tag{2.87}$$

以上がデバイ長の導出過程である．この導出過程から，以下のようなことが言える．

デバイ長の定義式である式 2.87 中に現れる n_0 は，電気伝導率が $\sigma = qn_0\mu_e$ で定義されると仮定したことから出てくるものである．しかし，MOSFET のチャンネル部分における電気伝導率は，チャンネル部分における電子数密度で表される必要がある．チャンネル部分における電子数密度を n^* とすると，式 2.87 のルート内の分母は，n^* に置き換わるべきである．また，サブミクロンサイズの半導体デバイスにおいて，電子温度は結晶格子温度より非常に高温になる．電子電流が

電子温度の勾配によって定義されることを考えれば，式 2.84 における T_L は T_e に置き換わるべきであり，そのため式 2.87 のルート内の分子の T_L が，T_e に置き換わる必要がある．

以上をまとめると，MOSFET チャンネル部における長さスケールを考慮するためには，チャンネル部分での電子数密度 n^* を取り入れるべきであり，サブミクロンサイズの効果を考慮に入れるためには，電子温度と結晶格子温度が非平衡になることを考えて，電子温度 T_e を取り入れるべきであると考えらえる．そのため，サブミクロン Si MOSFET のチャンネル部分における，現象を表すための長さスケールは，以下の式で表されると考えられる．

$$L_D = \sqrt{\frac{\epsilon_s k_B T_e}{q^2 n^*}} \tag{2.88}$$

式 2.88 が適切な式であるのかを見極めるため，次に，本研究で採用している熱・電気連成解析の式と $\Delta x = 1.0\mathrm{nm} \times \Delta \mathrm{y} = 1.0\mathrm{nm}$ の解析結果を利用することにより，MOSFET チャンネル部分における長さスケールを理論的に導出する．ここでも，y 方向のみを考慮するため，x 方向の微分は考慮しないこととする．また，n 型 MOSFET においては，電子がマジョリティキャリアであり，MOS の動作特性を決定づける役割を果たすため，以下の議論においては，電子に関する挙動のみに注目し，正孔に関しては議論しない．

熱・電気連成解析における，連続の式と運動量保存式はそれぞれ式 2.2，式 2.4 で表される．ここに改めて，それらの式を掲載する．

$$\frac{\partial n}{\partial t} + \frac{\partial \left(n \mathrm{v_e}\right)}{\partial y} = -R \tag{2.89}$$

$$-qn\frac{\partial \phi}{\partial y} + \frac{\partial \left(n k_B T_e\right)}{\partial y} = -\frac{n m_e^* \mathrm{v_e}}{\tau_{me}} \tag{2.90}$$

電子電流は，$\mathrm{J_e} = -\mathrm{qnv_e}$ と定義されるため，式 2.89 は，式 2.82 と同様な形に書き換えることが可能であり，以下のようになる．

$$\frac{\partial n}{\partial t} - \frac{1}{q}\frac{\partial \mathrm{J_e}}{\partial y} = -R \tag{2.91}$$

また，運動量緩和時間と移動度の関係式である $\mu_e = q\tau_{me}/m_e^*$ を利用して，運動量保存式である式 2.90 は電流の定義式に帰着する．

$$\begin{aligned} \mathrm{J_e} &= qn\mu_e \mathrm{E} + \mu_e \mathrm{k_B} \frac{\partial \left(\mathrm{nT_e}\right)}{\partial \mathrm{y}} \\ &= \sigma \mathrm{E} + \mu_e \mathrm{k_B} \frac{\partial \left(\mathrm{nT_e}\right)}{\partial \mathrm{y}} \end{aligned} \tag{2.92}$$

ここで，σ は，先と同様に電気伝導率である．MOSFET のチャンネル部分における電気伝導率は，チャンネル部分の電子数密度 n^* で定義されるため，電気伝導率 σ は，$qn^*\mu_e$ と表される．今，ゲート酸化膜直下の数 nm の範囲にのみ着目し，その部分において電気伝導率は $qn^*\mu_e$ で一定とする．また，式 2.92 の右辺第 2 項に現れる移動度 μ_e も一定と仮定する．

均一に分布している電子数密度を n_0 とし，ポアソンの方程式は式 2.83 と同様に以下のようになる．

$$\frac{\partial \mathrm{E}}{\partial y} = -\frac{q\left(n - n_0\right)}{\epsilon_s} \tag{2.93}$$

式 2.91 に式 2.92 と式 2.93 を代入することにより，以下の式を得る．

$$\frac{\partial n}{\partial t} + \frac{qn^* \mu_e}{\epsilon_s}\left(n - n_0\right) - \frac{\mu_e k_B}{q}\frac{\partial^2\left(nT_e\right)}{\partial y^2} = -R \tag{2.94}$$

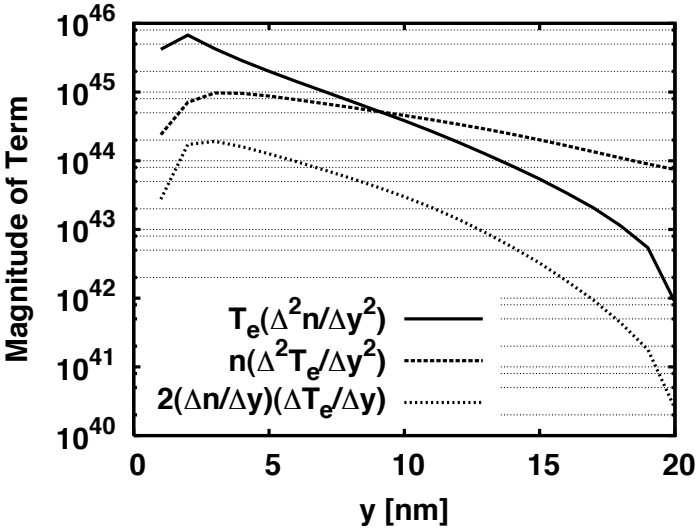
式 2.94 は，式 2.85 と同様な形をしている．しかし，サブミクロン Si MOSFET のチャンネル部分での電子挙動を考えると，電子温度の勾配により移動する電子も無視できない可能性も考えられる．そのため，電子温度は一定と仮定することができず，微分演算子の中に入っている．この状態では，方程式の解が得られないため，式 2.94 を，$\Delta x = 1.0\mathrm{nm} \times \Delta \mathrm{y} = 1.0\mathrm{nm}$ の結果を利用しながら，簡略化することを考える．

まず，定常状態における MOSFET 挙動を考えているため，式 2.94 の左辺第 1 項を消すことができる．生成・再結合の項 R は，電子数密度 n の複雑な関数である．ここでは，簡単のため R は考慮しないこととする.（ただし，R の項は他の項と比較して非常に小さく，無視しても問題ないことは確認済みである）これらを用い，式 2.94 を展開すると，以下の式が得られる．

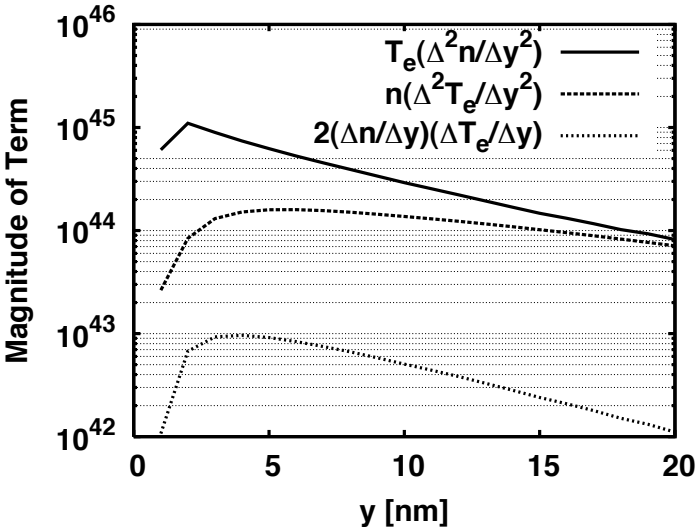
$$T_e\frac{\partial^2 n}{\partial y^2} + 2\frac{\partial n}{\partial y}\frac{\partial T_e}{\partial y} + n\frac{\partial^2 T_e}{\partial y^2} = \frac{q^2 n^*}{\epsilon_s k_B}\left(n - n_0\right) \tag{2.95}$$

この方程式を解くことは，非常に困難であるため，ここで $\Delta x = 1.0\mathrm{nm} \times \Delta \mathrm{y} = 1.0\mathrm{nm}$ の結果を利用する．

図 2.7 は，式 2.95 の左辺各項の比較を示したグラフである．図 2.7(a) は $x = 20\mathrm{nm}$ における，式 2.95 の各項の大きさの比較，図 2.7(b) は $x = 80\mathrm{nm}$ における，式 2.95 の各項の大きさの比較である．図 2.7(a)(b) とも，ゲート酸化膜直下（$y = 0.0\mathrm{nm}$）から，$y = 20\mathrm{nm}$ までの各項のオーダーを示している．なぜなら，この範囲で MOSFET のチャンネルが形成されていることが，先の 2.6 から確認されており，今，まさにそのチャンネル部分に焦点を絞っているからである．また，いずれの項も，オーダーの比較を行うため絶対値の値を取ってある．図 2.7(b) から，$x = 80\mathrm{nm}$ つまりピンチオフ点付近における式 2.95 の右辺各項は，第 3 項は他の 2 項に比して数桁小さいことが見て取れる．また，第 1 項と第 2 項を比較すると，チャンネルが終端する付近においてこれら 2 項は同程度の値になるが，一方でゲート酸化膜直下においては第 1 項が第 2 項より一桁大きい値になっている．ゲート酸化膜直下が，MOSFET の動作特性を考える上で一番重要であることを考えれば，$x = 80\mathrm{nm}$ 付近においては，式 2.95 の右辺第 1 項は他の 2 項に比して十分大きいと見なすことができる．また，図 2.7(a) においては，(b) と同様に式 2.95 の右辺第 3 項は，他の 2 項に比して数桁小さい値となっている．また，第 1 項と第 2 項を比較すると，$y = 10\mathrm{nm}$ 付近において逆転するが，やはりゲート酸化膜直下においては第 1 項が第 2 項より，1 桁大きい値となってい



(a)$x = 20$nm



(b)$x = 80$nm

図 2.7: Comparison of Each Term of Eq. 2.95

る．図 2.7(b) の場合と同様な理由により，$x = 20\mathrm{nm}$ においても，式 2.95 の第 1 項は，他の 2 項に比して十分大きいと見なすことができる．

この理由により，式 2.95 の右辺第 2 項と第 3 項を無視することにより，式 2.95 は，以下のように簡単な形に書き換えることができる．

$$\frac{\partial^2 n}{\partial y^2} - \frac{q^2 n^*}{\epsilon_s k_B T_e}(n - n_0) = 0 \tag{2.96}$$

$y = 0\mathrm{nm}$ つまりゲート酸化膜直下において，チャンネル電子数密度が n^* であり，$y \to \infty$ において，電子数密度が n_0 であることを境界条件として用いることにより，式 2.96 の解は以下のようになる．

$$n = (n^* - n_0)\exp\left(-\frac{y}{L_D^*}\right) + n_0 \tag{2.97}$$

ここで，L_D^* は

$$L_D^* = \sqrt{\frac{\epsilon_s k_B T_e}{q^2 n^*}} \tag{2.98}$$

である．

この理論的に導きださた式 2.98 は，まさに先に予測した，サブミクロン Si MOSFET のチャンネル部分における長さスケールを表す式 2.88 と同一である．

この式 2.98 を用いて，本解析のゲート酸化膜直下における長さスケールを求めると，$x = 20\mathrm{nm}$ の部分において，電子数密度 $n^* = 1.0 \times 10^{25}\mathrm{m}^{-3}$ であるため，$L_D^* = 1.41\mathrm{nm}$ となり，従来のデバイ長から求めた 9.94 nm より大幅に小さい値となる．そのため，$\Delta y = 2.5\mathrm{nm}$ のメッシュを用いた際にも，非常に大きな計算誤差が生じることとなる．

2.7 Si MOSFET の熱・電気連成解析におけるメッシュゾーニング手法

先の節で，サブミクロン Si MOSFET のチャンネル部分における長さスケールが明らかとなった．本節では，計算時間を削減し，かつ正確性を保った解析を行うために，この長さスケールを基にメッシュゾーニング手法の提案を行う．メッシュゾーニングを行うために用いる式は，式 2.97 と式 2.98 である．

図 2.6 から，基板面において電子数密度は $2 \times 10^{23}\mathrm{m}^{-3}$ 程度になっており，また，チャンネル部分における電子数密度は，$x = 20\mathrm{nm}$ の部分において，$1 \times 10^{25}\mathrm{m}^{-3}$ 程度になっている．チャンネル部分における電子数密度は，$x = 80\mathrm{nm}$ 付近のピンチオフ点においては，$x = 20\mathrm{nm}$ の部分より小さな値になっているが，解析におけるメッシュサイズは小さい方がより正確な結果を得られることを考慮して，サブミクロンサイズを考慮した MOSFET チャンネル部分におけるデバイ長の定義式 2.98 の形より，大きな電子数密度の部分を選ぶことが望ましいことがわかる．そのため，ここでは $x = 20\mathrm{nm}$ の点での電子数密度をチャンネル部分の電子数密度として採用する．基板面での電子数密度及びチャンネル部分における電子数密度の値は，それぞれ，初期の基板面の不純物濃度 N_A 及びソース・ドレイン電極下の高濃度ドーピング領域における不純物濃度 N_D と同程度の値となっている．チャンネル部分における電子数密度は，従来の研究においても高濃度ドーピング領域における不純物濃度 N_D と同様な値になっている場合が多く，現実的な動作条件においては N_D を利用して差し支えないものと考えられる．また，ゲート電圧が小さい場合は，チャンネル電子数密度はより小さな値となるが，式 2.98 の形から，基準となる電子数密度を大きく見積もることにより，デバイ長は小さくなるため，メッシュサイズを小さく取ることができ，解析は正確性が増す方向に向かうため，好ましいと言える．

また，電子温度は，解析を行うことによって得られるが，メッシュゾーニングは解析を行う前に行う必要がある．繰り返しになるが，解析に用いるメッシュサイズは小さい方が好ましい．電子温度は初期温度から下降することはないため，仮に電子温度を初期温度で一定とした場合においても，式 2.98 の形からデバイ長の値は電子温度が上昇した場合に比して小さくなる．つまり，解析の正確性を考える上で，電子温度を初期温度 $T_e = 350\mathrm{K}$ で一定としても，問題ないと言える．

これらゲート酸化膜直下の電子数密度 $n^*_{y=0} = 1{\times}0^{25}\mathrm{m}^{-3}$，基板面の電子数密度 $n_0 = 1{\times}10^{23}\mathrm{m}^{-3}$，電子温度 $T_e = 350\mathrm{K}$ を初期条件とし，式 2.97 と式 2.98 を用いることにより，メッシュゾーニングを行う．

メッシュゾーニングの手順は，以下の通りである．

1. $n^* = n^*_{y=0} = N_D$ を式 2.98 に代入し，L^*_D を求める．

2. メッシュをデバイ長 L^*_D より小さくするため，1 以下の値 w を L^*_D に乗じ，ゲート酸化膜直

下 y 方向の第 1 層目のメッシュ$dy1$ を決定する．

3. 2 で求められた第 1 層目のメッシュ$dy1$ とそのメッシュ内の電子数密度である $n^* = n^*_{y=0}$ を式 2.97 に代入し，$y = dy1$ における電子数密度 n を求める．ここで求められた n を，y 方向第 2 層目のメッシュ内の電子数密度 $n^*_{y=dy1}$ に設定する．

4. 第 2 層目のメッシュ内の電子数密度 $n^*_{y=dy1}$ を n^* とし，式 2.98 に代入し，その部分でのデバイ長 L^*_D を求める．

5. 新しく求められたデバイ長 L^*_D に w を乗じることにより，y 方向第 2 層目のメッシュサイズ $dy2$ を求める．

6. 以上のように，式 2.98 と式 2.97 を繰り返し用いることにより，解析領域全体におけるメッシュをゲート酸化膜直下の部分から順次決定し，メッシュゾーニングを行う．

2.8 メッシュゾーニングを用いた熱・電気連成解析の結果

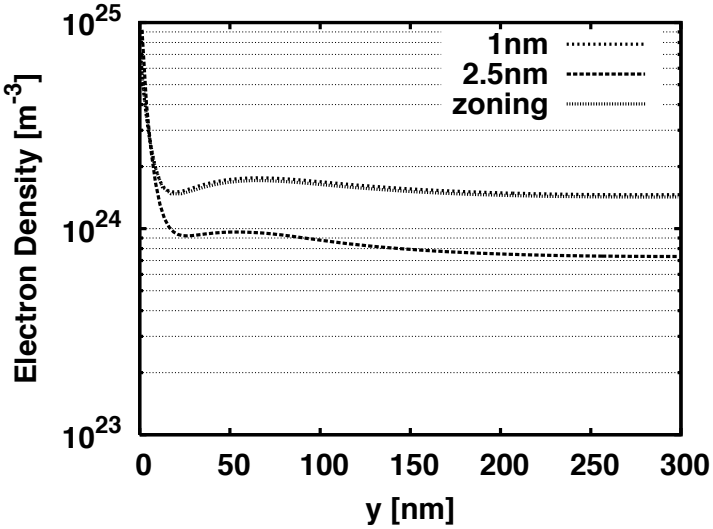
先に示したメッシュゾーニング手法を用いた解析を行い，本章で提案したメッシュゾーニング手法が有効であるかどうかの検討を行う．本解析で対象とした Si MOSFET のゲート酸化膜直下のデバイ長 L_D^* は，先にも示した通り 1.41nm である．そのため，この L_D^* より小さい値である $y = 1.0$nm のメッシュを用いて求められた解析解は，妥当な結果を示していると言える．このことより，$\Delta x = 1.0\text{nm} \times \Delta\text{y} = 1.0\text{nm}$ の解析結果を ”ファインメッシュモデル ”とし，ゾーニングを行ったメッシュを用いた解析結果の比較対象とした．なお，本節ではメッシュゾーニングを施したモデルを，”ゾーンドメッシュモデル ”と呼ぶこととする．メッシュをゾーニングする際に，w の値は 0.696 とした．この値を用いることにより，ゾーンドメッシュモデルのゲート酸化膜下第 1 層目のメッシュサイズがおよそ 1.0nm となり，ファインメッシュモデルにおける $\Delta y = 1.0$nm と同等になるからである．なお，ゾーンドメッシュモデルにおいて，x 方向のメッシュは $\Delta x = 1.0$nm とし，ファインメッシュモデルと同様とした．また，ファインメッシュモデルにおいては，y 方向のメッシュサイズは $\Delta y = 1.0$nm で一定であり，解析領域が 300nm であるため，y 方向を 300 に分割することとなる．一方で，ゾーンドメッシュモデルにおいて，y 方向のメッシュにゾーニングを施した結果，y 方向を 48 に分割することとなり，メッシュ数は約 1/6 となった．

表 2.3: Drain Current and Maximum Lattice Temperature of Fine Mesh Model and Zoned Mesh Model

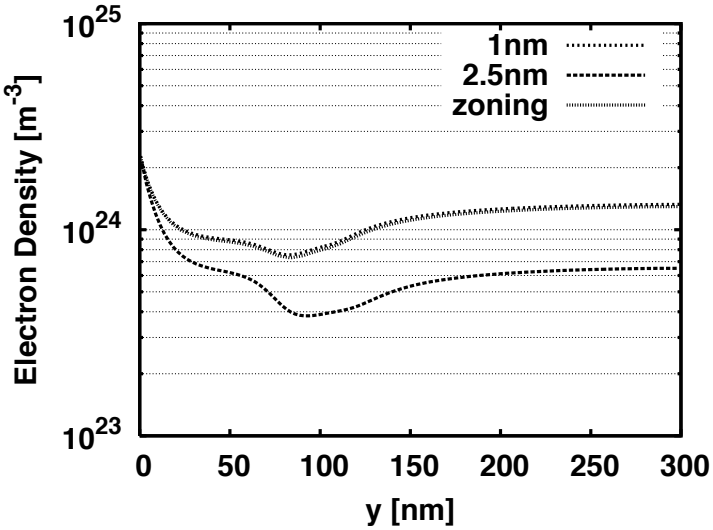
	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[%]
Fine Mesh Model	1337	-	364.7	-
Zoned Mesh Model	1319	1.35	363.8	0.27

表 2.3 に，ファインメッシュモデルとゾーンドメッシュモデルのそれぞれから得られた，ドレイン電流密度 I_D，最高結晶格子温度 T_{Lmax} を示す．また，ファインメッシュモデルから得られた結果を基準とした，ゾーンドメッシュモデルの結果のドレイン電流誤差 ΔI_D と最高結晶格子温度誤差 ΔT_{Lmax} も，パーセンテージで示してある．表 2.3 から明らかなように，ゾーンドメッシュモデルで得られたドレイン電流密度は 1319[mA/mm] であり，ファインメッシュモデルの結果と比較して，1.35%しか違わない．$\Delta y = 2.5$nm で均一のメッシュを用いた場合の，ファインメッシュモデルとのドレイン電流密度の差が 30.7%にものぼることを考えれば，非常に小さな誤差に収まっていると言える．また，ファインメッシュモデルとゾーンドメッシュモデルでのドレイン電流密度が非常に良い一致を示したため，結晶格子温度も良い一致を示し，ファインメッシュモデルの場合の 364.7K に対して，ゾーンドメッシュモデルでは 363.8K となっており，パーセンテージに

して 0.27%，絶対値にして 1K 以下の誤差となっている．



(a) x = 20 nm



(b) x = 80 nm

図 2.8: Distribution of Electron Density

図 2.8 に，チャンネルが完全に形成されている $x = 20$nm とピンチオフ点である $x = 80$nm における，ファインメッシュモデルとゾーンドメッシュモデルの電子数密度分布の結果を示す．なお，参考のため，$\Delta x = 1.0\text{nm} \times \Delta\text{y} = 2.5\text{nm}$ の結果も示している．図 2.8 より，$x = 20$nm，$x = 80$nm のいずれの場合においても，電子数密度分布はファインメッシュモデルの結果とゾーンドメッシュモデルの結果で，非常に良い一致を示している．本章で提案したメッシュゾーニング手法は，電子数密度に関連するデバイ長の観点から行っているが，電子数密度分布が非常に良い一致を示し

ていることからも，有効な手段であるということができる．

また，先にも述べた通り，ゾーンドメッシュモデルのメッシュ数は，ファインメッシュモデルのメッシュ数の約 1/6 になっており，それに伴い，計算時間は 1/30 にも縮小することが可能となった．

以上より，本章で提案したメッシュゾーング手法は，計算精度を保ちつつ計算時間を縮小するという，シミュレーションにとって渇望されている目的を十分に達成していると言える．

2.9 y 方向へメッシュゾーニングを用いた際の x 方向のメッシュサイズの影響

先の節では，y 方向にメッシュゾーニングを用いる際，x 方向のメッシュサイズは $\Delta x = 1.0$nm としていた．しかし，ここで懸念すべき点が生じる．Si MOSFET 内部の現象は 2 次元的であり，y 方向にメッシュゾーニングを適用することにより，x 方向のメッシュサイズが解析結果に影響を及ぼさないとは限らない．そこで，本節では y 方向には先の節で提案したメッシュゾーニングを用い，x 方向のメッシュサイズを $\Delta x = 1.0$nm，2.5nm，5.0nm，10.0nm と変化させた際に解析結果に及ぼす影響を考察して行く．

表 2.4 に，その解析結果を示す．表から明らかなように，y 方向にメッシュゾーニングを用いることにより，メッシュゾーニングを用いない場合である表 2.1 に示す結果より，x 方向のメッシュサイズに対する影響が大きくなっていることが見て取れる．$\Delta x = 10.0$nm の場合では，誤差が若干大きくなり，最高結晶格子温度で 1.5K の差が生じている．ファインメッシュモデルの結果と比較すると，2.4K の誤差が生じていることになる．これは，x 方向のチャンネル部分の電子数密度の変化などを正確に表現できないためにこのような結果になっているものと考えられる．そのため，Δx が大きくなるにつれて，誤差が大きくなると考えられる．$\Delta x = 5.0$nm の場合では，最高結晶格子温度の誤差は，0.6K と $\Delta x = 2.5$nm の場合に比べて，半分以下に抑えることができている．ファインメッシュモデルと比べると，その差は 1.5K となっており，先の場合よりも格段に改善されている．これらに関しての詳しい議論の詳細及び x 方向のメッシュゾーニング手法の提案は，後の節で議論することとする．

表 2.4: Δx Dependence of Calculated Results with Zoned Mesh for y Direction

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
1.0 nm	1319	-	363.8	-
2.5 nm	1314	0.38	363.6	0.2
5.0 nm	1306	0.99	363.2	0.6
10.0 nm	1285	2.8	362.3	1.5

2.10　様々なデバイスにおけるメッシュゾーング手法の適用

次に，基板不純物濃度，ソース・ドレイン電極下の高濃度ドーピング領域の不純物濃度及び厚さ，デバイス底面の境界温度，印加電圧などを変化させた場合にもいても，本章で提案しているメッシュゾーング手法が有用であることの検証を行う．なお，本節ではいずれの場合も，$\Delta x = 5.0\mathrm{nm} \times \Delta \mathrm{y} = 1.0\mathrm{nm}$ をファインメッシュモデルとし，ゾーンドメッシュモデルにおいては，x 方向に $\Delta x = 5.0\mathrm{nm}$ で一定のメッシュを用い，ゲート酸化膜直下の第 1 層目のメッシュが $\Delta y = 1.0\mathrm{nm}$ となるようにした．また，均一で大きなメッシュを用いた場合として，$\Delta x = 5.0\mathrm{nm} \times \Delta \mathrm{y} = 2.5\mathrm{nm}$ のメッシュを用いた計算結果を参考値とした．このモデルをここでは，2.5nm メッシュモデルと呼ぶ．

本節で用いる表においては，最高結晶格子温度の誤差を，絶対値の値で示すこととする．

2.10.1　異なる基板温度の場合

まず，基板温度が異なる場合の検証を行う．これまでの議論は，基板温度 350K の場合を対象としていた．こここでは，デバイス構造，印加電圧条件はこれまでと同一で，基板温度を 300K，400K，450K と変化させた際に，本章で提案しているメッシュゾーニング手法が有用であるか否かを検証する．

表 2.5,2.6,2.7 にそれぞれ，基板温度 300K,400K,450K における各モデルの結果の比較を示す．いずれの場合においても，ファインメッシュモデルと 2.5nm メッシュモデルにおいて，ドレイン電流にして 30%程度の差が確認されるが，ゾーンドメッシュモデルとファインメッシュモデルにおいては，2%程度の誤差で収まっていることが見て取れる．また，最高結晶格子温度に目を向けると，ファインメッシュモデルと 2.5nm メッシュモデルにおいては，3 から 5K 程度の誤差が生じているが，ファインメッシュモデルにおいては，誤差は 0.5K 以下で収まっていることがわかる．

これらの結果より，基板温度が変化した場合においても，本章で提案したメッシュゾーニング手法が有効であることが確認された．

表 2.5: Substrate Temperature : 300 K

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	1825	-	315.2	-
2.5nm Mesh Model	1330	27.1	310.5	4.7
Zoned Mesh Model	1801	1.31	314.7	0.5

表 2.6: Substrate Temperature : 400 K

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	895	-	411.7	-
2.5nm Mesh Model	601	32.8	407.8	3.9
Zoned Mesh Model	879	1.79	411.3	0.4

表 2.7: Substrate Temperature : 450 K

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	594	-	459.8	-
2.5nm Mesh Model	408	31.3	456.7	3.1
Zoned Mesh Model	581	2.19	459.5	0.3

2.10.2 異なる高濃度ドーピング厚さの場合

次に異なる高濃度ドーピング厚さを有する Si MOSFET において，本章で提案したメッシュゾーング手法が有用であるか否かを検証する．これまで議論の対象としてきた Si MOSFET における高濃度ドーピング厚さは 80nm である．ここでは 60nm,100nm と変化させた場合を検証する．その他のデバイス構造，印加電圧条件などは全て，前節まで対象としてきた Si MOSFET と同一としている．

表 2.8: Thickness of Highly Doped Region : 60nm

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	1187	-	363.2	-
2.5nm Mesh Model	822	30.7	358.7	4.5
Zoned Mesh Model	1164	1.94	362.7	0.5

表 2.8,2.9 にそれぞれ，高濃度ドーピング厚さ 60nm,100nm の場合の各モデルの解析結果を示す．やはり，先の異なる基板温度の場合と同様であり，60nm,100nm いずれの場合においても，ファインメッシュモデルと 2.5nm メッシュモデルでは，ドレイン電流密度に 30%程度の誤差が生じるが，ファインメッシュモデルとゾーンドメッシュモデルの誤差は，2%以下に収まっている．また，最高結晶格子温度においても，異なる基板温度の場合と同様に，ファインメッシュモデルと 2.5nm メッシュモデルの差は，4.5K 程度であるのに対し，ファインメッシュモデルとゾーンドメッシュ

表 2.9: Thickness of Highly Doped Region : 100nm

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	1398	-	363.8	-
2.5nm Mesh Model	988	29.3	359.4	4.4
Zoned Mesh Model	1383	1.07	363.4	0.4

モデルの差は，0.5K 以下に収まっている．

この結果より，ドーピング厚さを変化させても，メッシュゾーニング手法は有用であることが確認された．

2.10.3 高濃度ドーピング領域における異なる不純物濃度の場合

次に，Si MOSFET のソース・ドレイン電極直下の高濃度ドーピング領域の不純物濃度を変化させ場合における，メッシュゾーニング手法の有用性を検証する．これまでと同様に，他の条件は前節までと同一とし，高濃度ドーピング領域の不純物濃度のみを変化させた．不純物濃度は，$N_D = 1.0 \times 10^{24}\mathrm{m}^{-3}$ と $N_D = 1.0 \times 10^{26}\mathrm{m}^{-3}$ の場合を考慮した．

表 2.10: $N_D = 1.0 \times 10^{24}\mathrm{m}^{-3}$

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	309	-	353.8	-
2.5nm Mesh Model	258	16.5	353.1	0.7
Zoned Mesh Model	303	1.94	353.8	0.0

表 2.11: $N_D = 1.0 \times 10^{26}\mathrm{m}^{-3}$

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	2336	-	372.9	-
2.5nm Mesh Model	1638	29.9	364.2	8.7
Zoned Mesh Model	2284	2.33	371.1	1.8

表 2.10,2.11 に，それぞれ高濃度ドーピング領域不純物濃度 $N_D = 1.0 \times 10^{24}\mathrm{m}^{-3}$,$N_D = 1.0 \times 10^{26}\mathrm{m}^{-3}$ の場合の結果を示す．

これらの結果から，高濃度ドーピング領域の不純物濃度が小さい値の場合，メッシュゾーニングが有用であることが確認される．また，高濃度ドーピング領域の不純物濃度が大きい場合は，チャンネル部分における電子数密度が増加するため，本節で統一している，ゲート酸化膜下のメッシュサイズ 1nm という条件が，不適切になる．そのため，第 2 層目以降のメッシュもゾーニングが適切に行われず誤差が大きくなってしまう．

2.10.4 異なる基板不純物濃度の場合

次に，基板の不純物濃度を変化させた場合における，メッシュゾーニング手法の有用性を検証する．基板不純物濃度は $N_A = 1.0 \times 10^{22}\mathrm{m}^{-3}$ と $N_A = 1.0 \times 10^{24}\mathrm{m}^{-3}$ を考慮した． 表 2.12,2.13

表 2.12: $N_A = 1.0 \times 10^{22}\mathrm{m}^{-3}$

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	1352	-	362.8	-
2.5nm Mesh Model	984	27.2	358.9	3.9
Zoned Mesh Model	1326	1.92	362.2	0.6

表 2.13: $N_A = 1.0 \times 10^{24}\mathrm{m}^{-3}$

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	869	-	361.1	-
2.5nm Mesh Model	547	37.1	356.8	4.3
Zoned Mesh Model	874	0.57	360.9	0.2

にそれぞれ，$N_A = 1.0 \times 10^{22}\mathrm{m}^{-3}$ と $N_A = 1.0 \times 10^{24}\mathrm{m}^{-3}$ における各モデルの解析結果を示す．これらの結果より，基板不純物濃度が変化した場合においても，メッシュゾーニング手法は有用であることが確認された．

2.10.5 異なるドレイン電圧の場合

次に，ドレイン電圧を変化させた場合における，メッシュゾーニング手法の有用性を検証する．ドレイン電圧を変化させた場合の検証においては，ドレイン電圧を 0.5V と 1.5V とした．ゲート電圧は 1.0V としている． 表 2.14 にドレイン電圧 $V_D = 0.5$V の場合の，表 2.15 にドレイン電圧 $V_D = 1.5$V の場合の結果を示す．

表 2.14: $V_D = 0.5$V

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	1132	-	359.8	-
2.5nm Mesh Model	751	33.7	356.7	3.1
Zoned Mesh Model	1120	1.06	359.5	0.3

表 2.15: $V_D = 1.5$V

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	1728	-	371.6	-
2.5nm Mesh Model	1567	9.3	367.9	4.3
Zoned Mesh Model	1619	6.3	369.6	2.0

ドレイン電圧 $V_D = 0.5$V の場合，ファインメッシュモデルと 2.5nm メッシュモデルの誤差が大きく，ドレイン電流で 33.7%，結晶格子温度で 3.1K の差が生じている．一方で，ファインメッシュモデルとゾーンドメッシュモデルの結果を比べると，ドレイン電流で 1.06%，最高結晶格子温度で 0.3K と，非常に良い一致を示しており，本章で提案したメッシュゾーニング手法が有用であることが確認される．しかし，$V_D = 1.5$V の場合，ファインメッシュモデルと 2.5nm メッシュモデルのドレイン電流の差は，これまでの結果よりも小さく 10%以下となっている．また，ファインメッシュモデルとゾーンドメッシュモデルの差は，2.5nm メッシュモデルの差よりも小さく 6.3%となっているが，これまでのケースよりも比較的大きく，その結果，最高結晶格子温度も 2.0K とこれまでよりも大きな差となっている．$V_D = 1.5$V の場合は，これまでの結果と比して，精度が高いとは言いがたい．ドレイン電圧の増加は，ドレイン電極下高濃度ドープ域と基板における pn 接合の逆バイアスを強くすることになる．これは，この部分に生じる電界が非常に大きくなることを示し，チャンネル部分の縦方向のみならず，横方向の現象も非常に重要になってくることを示唆している．

2.10.6 異なるゲート電圧の場合

最後に，ゲート電圧を変化させた場合における，メッシュゾーニング手法の有用性を検証する．考慮したゲート電圧は 0.5V と 1.5V である．ドレイン電圧は 1.0V で一定としている． 表 2.16 にゲート電圧 $V_G = 0.5$V の場合，表 2.17 にゲート電圧 $V_G = 1.5$V の場合の結果を示す．ゲート電圧が 0.5V の場合は，2.5nm メッシュモデルを用いても精度の良い結果が得られており，ゲート電圧

表 2.16: $V_G = 0.5$V

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	451	-	353.8	-
2.5nm Mesh Model	404	10.4	353.2	0.6
Zoned Mesh Model	438	2.6	353.7	0.1

表 2.17: $V_G = 1.5$V

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	2354	-	379.7	-
2.5nm Mesh Model	1707	27.0	369.8	9.9
Zoned Mesh Model	2339	0.64	378.5	1.2

が 1.5V の場合は，2.5nm メッシュモデルの結果の誤差が非常に大きい．これは，ゲート電圧が小さい場合，ゲート酸化膜直下の電子数密度が小さくなり，デバイ長が長くなるためであり，ゲート電圧が大きい場合はその逆となるからである．しかし，いずれの場合においても，ゾーンドメッシュモデルの結果はファインメッシュモデルの場合と比して良い一致を示しており，本章で提案したメッシュゾーニング手法は有用であると言える．

2.11 チャンネル部におけるキャリア生成が大きい場合

本節では，前節と異なる生成・再結合のモデルを用いることにより，チャンネル部分でのキャリア生成が大きい場合における，メッシュゾーニングの有効性を検証する．また，x 方向のメッシュのケアの必要性も述べる．

本節では，熱・電気連成解析という数値計算の利点を利用して，キャリア生成の項を意図的に大きくする．これまで述べてきた解析においては，生成・再結合の項は電子・正孔温度に依存する形となっていた．しかし，この生成・再結合の項に関しては，いくつかのモデルの提案がなされており，電界とそれによって生じる電流に依存する形のものが考案されている．過去の報告により，電界に依存する形のものは，キャリア温度依存のモデルよりもインパクトイオン化等によるキャリアの生成を過剰に見積もる傾向があることが指摘されている．[2-21] ここではこの特徴を利用し，生成・再結合の項をこれまでのキャリア温度依存のモデルから，電界依存のモデルに変更することによって，キャリア生成の項を意図的に大きくすることによって，チャンネル部分においてキャリアの生成がこれまでより大きい状態を人工的に作り出し，x 方向のメッシュのケアの必要性を述べ，さらには，x 方向のメッシュのゾーニング手法の提案を行う．なお，キャリアの生成・再結合は，モデルを変更した場合でも，式 2.94 において十分小さいことは確認している．また，式 2.95 の左辺において，第 1 項が他の 2 項より十分大きいことも確認している．そのため，y 方向に関しては，本章で提案しているメッシュゾーニング手法が適用可能である．

本節で扱う支配方程式は，これまでと同様な熱・電気連成解析である．これまでのものと変更した点は，生成・再結合の項のみである．なお，Shockley-Read-Hall(SRH) の再結合に関しては，変更を行わず式 2.9,2.10,2.11 をそのまま利用している．以下に，本節で用いるインパクトイオン化による生成と Auger の再結合のモデルを示す．[2-7]

$$R_{II} = -\alpha_e \cdot \frac{\left|\overrightarrow{\mathrm{J_e}}\right|}{q} - \alpha_h \cdot \frac{\left|\overrightarrow{\mathrm{J_h}}\right|}{q} \tag{2.99}$$

$$\alpha_e = \alpha_e^{\infty} \cdot \exp\left(-\frac{E_e^{crit}}{E}\right) \tag{2.100}$$

$$\alpha_h = \alpha_h^{\infty} \cdot \exp\left(-\frac{E_h^{crit}}{E}\right) \tag{2.101}$$

ここで，電界 $E \leq 4 \times 10^7 \mathrm{Vm}^{-1}$ において，$\alpha_e^{\infty} = 7.03 \times 10^7 \mathrm{m}^{-1}$,$E_e^{crit} = 1.231 \times 10^8 \mathrm{Vm}^{-1}$,$\alpha_h^{\infty} = 1.582 \times 10^8 \mathrm{Vm}^{-1}$,$E_h^{crit} = 2.036 \times 10^8 Vm^{-1}$ であり，電界 $E > 4 \times 10^7 \mathrm{Vm}^{-1}$ において，$\alpha_h^{\infty} = 6.71 \times 10^7 \mathrm{m}^{-1}$,$E_h^{crit} = 1.693 \times 10^8 \mathrm{Vm}^{-1}$ である．

なお，本節では図 2.9 に示すように，以下に行う議論の便宜上，x 方向の座標軸の原点を前節とは異なる位置に取る．

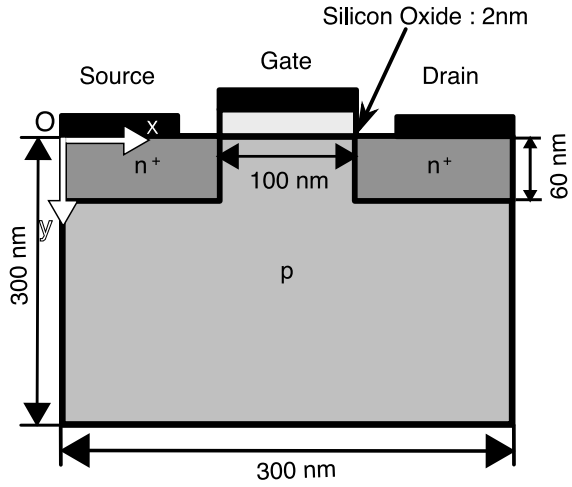


図 2.9: Modeled Si MOSFET

2.11.1 y 方向のメッシュゾーニングの有用性

まず，本節の条件において，本章で提案しているメッシュゾーニングが利用可能であることの確認を行う．以下に，本節で用いる生成・再結合のモデルを用いた際に，本章で提案しているメッシュゾーニングを適用した場合，解析結果がどのように変化するかを検証する．表 2.18 に，本節

表 2.18: Mesh Size Dependence of Calculated Results

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	$\Delta T_{Lmax}[K]$
1.0 nm	1612	-	364.2	-
2.5 nm	1071	33.6	358.6	5.6
5.0 nm	871	46.0	356.0	8.2
10.0 nm	614	61.9	353.7	9.5

で変更した生成・再結合のモデルを用いた際に，y 方向にゾーニングを行わず，等間隔のメッシュを用いた場合による，メッシュサイズが解析結果に与える影響を示す．なお，純粋な y 方向のメッシュサイズの影響を考慮するために，x 方向のメッシュサイズは $\Delta x = 1.0$nm で，固定している．この表から明らかなように，先のキャリア温度依存の生成・再結合のモデルを用いた場合と同様，y 方向のメッシュサイズに解析結果が非常に敏感に反応することが見て取れる．$\Delta y = 1.0$nm の場合と $\Delta y = 2.5$nm の場合を比してみると，ドレイン電流に 33.6%もの差が生じており，それに伴い最高結晶格子温度でも，5.6K もの差が生じている．$\Delta x = 5.0$nm，$\Delta x = 10.0$nm と，メッシュサイズが大きくなるにつれ，その差は大きくなり，$\Delta y = 10.0$nm の場合は，ドレイン電流にして

61.9%もの誤差が生じており，再結晶格子温度では9.5Kと10Kに近い誤差になっている．電子機器の筐体内部の数値計算誤差を1K程度に抑えられるようになっている現在，Si MOSFET一つにつき5K以上の誤差が生じるということは，これが数億個集まっているLSIにおいて，発熱密度の誤差を非常に大きくすることとなり，LSI自体を冷却するためのファンの設計はもとより，電子機器全体の熱設計にも大きな影響をもたらすと考えれられる．そのため，先の議論と同様で，ゲート酸化膜直下のメッシュは$\Delta y = 1.0$nm程度のメッシュを用いる必要性があり，これより大きなメッシュを用いることにより，ドレイン電流並びに最高結晶格子温度を非常に低く見積もってしまう恐れがある．一方で，この場合も，$\Delta y = 1.0$nmのメッシュを用いることで，計算時間は大幅に長くなり，デバイス開発に用いる際には，開発期間を長くしてしまう懸念が拭いきれない．

そこで，次に本章で提案しているメッシュゾーニング手法を用いて，解析を行った結果を検証する．

2.11.2 y方向のメッシュゾーニングの適用

先に述べたように，解析を行う上で，開発期間を短くし，かつ精度の高い解析結果を得るために，メッシュの切り方に工夫を施す必要がある．ここでは，本節で考慮している条件において，本章で提案しているy方向のメッシュゾーニング手法を適用し，その有用性を検証する．なお，ここでは，$\Delta x = 1.0\text{nm} \times \Delta\text{y} = 1.0\text{nm}$のメッシュを用いたモデルを，先と同様にファインメッシュモデルと呼び，$\Delta x = 1.0$nmで一定としΔyに本章で提案しているメッシュゾーニング手法を用いたモデルを，ゾーンドメッシュモデルと呼ぶ．なお，参考値として，$\Delta x = 1.0\text{nm} \times \Delta\text{y} = 2.5\text{nm}$のモデルを用いるが，これも先と同様に2.5nmメッシュモデルと称す．

表 2.19: Results with Zoned Mesh Model

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
Fine Mesh Model	1612	-	364.2	-
2.5nm Mesh Model	1071	33.6	358.6	5.6
Zoned Mesh Model	1516	5.96	362.8	1.4

表2.19に，ファインメッシュモデル，ゾーンドメッシュモデル及び2.5nmメッシュモデルの解析結果を示す．表より，本章で提案したメッシュゾーニングを用いることにより，ドレイン電流の誤差は5.96%となっており，2.5nmメッシュモデルの33.6%から，大幅に改善されている．また，最高結晶格子温度に関しても，ゾーンドメッシュモデルとファインメッシュモデルの差は，1.4Kとなっており，2.5nmメッシュモデルの場合の5.6Kから，大幅に改善されている．これらの結果

より，本章で提案したメッシュゾーニング手法は依然として有用であり，解析時間と精度の両面を考慮すると，y 方向に関しては，本章で提案しているメッシュゾーニング手法を適用すべきであると言える．

よって，以下の議論は，y 方向に対しては，全て本章で提案したメッシュゾーニング手法を用いたモデルを用いることとする．

2.11.3 x 方向のメッシュサイズの影響

以前の議論より，キャリア温度依存の生成・再結合を用いたモデルを利用した場合，x 方向のメッシュサイズには，解析結果の依存性が小さいことが確認されている．改めて，その結果を見てみると，$\Delta x = 10$nm のメッシュを用いた場合でさえ，$\Delta x = 1.0$nm のメッシュを用いた場合との誤差は，2.47% と非常に小さく，$\Delta x = 5.0$nm を用いた際には，その誤差は 0.75% と無視しうるものとなっていた．ここでは，生成・再結合のモデルを電界依存のものに変更した場合，x 方向のメッシュサイズが解析結果にどのような影響を与えるかを検証する．y 方向には，本章で提案しているメッシュゾーニング手法を適用し，x 方向のメッシュサイズを，1.0nm,2.5nm,5.0nm,10.0nm と 4 種類のメッシュを用いることにより，解析結果の Δx 依存性を検証する．

表 2.20: Comparison of the Drain Current and the Maximum Lattice Temperature

	I_D[mA/mm]	ΔI_D[%]	T_{Lmax}[K]	ΔT_{Lmax}[K]
1.0 nm	1515	-	362.8	-
2.5 nm	1459	3.70	362.2	0.6
5.0 nm	1372	9.44	361.3	1.5
10.0 nm	1257	17.0	360.5	2.3

表 2.20 に，$\Delta x = 1.0$nm,$\Delta x = 2.5$nm,$\Delta x = 5.0$nm 及び $\Delta x = 10.0$nm を用いたそれぞれの場合のドレイン電流と最高結晶格子温度の結果を示す．表から明らかなように，Δx が大きくなるにつれて，誤差が大きくなっていることが見て取れる．その誤差が大きくなる割合は，キャリア温度依存の生成・再結合モデルを用いた場合に比して大きく，例えば $\Delta x = 10.0$nm のメッシュを用いた場合は，ドレイン電流で 17.0%にものぼり，キャリア温度依存のモデルの場合の 2.47%よりも大きな値となっている．また，結晶格子温度に目を向けると，$\Delta x = 2.5$nm の場合で 0.6K，$\Delta x = 5.0$nm の場合で 1.5K，$\Delta x = 10$nm の場合で 2.3K と，やはりキャリア温度依存の生成・再結合モデルの場合よりも大きな誤差となっている．

そこで，Δx が大きくなるにつれて誤差が大きくなる要因を特定し，x 方向のメッシュゾーニン

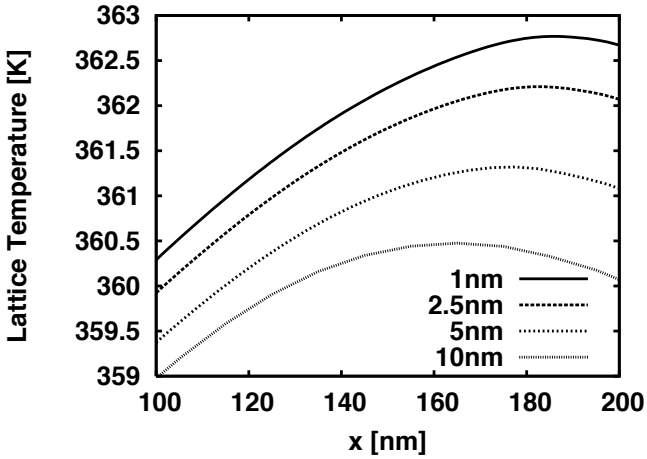
グを行うための指針を示して行くことにする．

2.11.4　x 方向のメッシュサイズによる誤差要因の特定

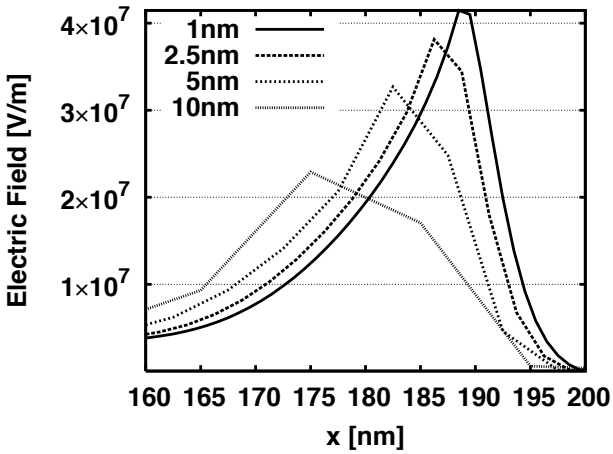
図 2.10 に，ゲート酸化膜直下における，結晶格子温度，電界，電子数密度の分布を示す．図 2.10(a) が結晶格子温度分布，(b) が電界分布，(c) が電子数密度分布である．まず，図 2.10 から，結晶格子温度が x 方向のメッシュサイズに依存し，メッシュサイズが大きくなるにつれて最高結晶格子温度が低く見積もられていることが見て取れる．これは，表 2.20 からも明らかなように，ドレイン電流が低く見積もられることと密接に関係している．なぜなら，半導体内部においては，電流と発熱は密接に関係しているからである．また，注目すべき点は，最高結晶格子温度が現れるポジションである．図 2.5(b) から，キャリア温度依存の生成・再結合モデルを用いた場合，最高結晶格子温度の現れるポジションはメッシュサイズにほぼ依存せず，$\Delta x = 1.0$nm と $\Delta x = 10.0$nm のメッシュを用いた場合において，8nm の誤差しか生じないのに対し，本節で用いている電界依存の生成・再結合のモデルを用いた場合は，最高結晶格子温度が現れるポジションに 20nm 程度の誤差が生じている．この誤差が生じる要因は，図 2.10(b) の電界分布から明らかである．つまり，電界のピーク位置が大幅に異なることにより，発熱する位置も変化するためである．また，図 2.10(b) から，Δx が大きくなるにつれて，電界の最大値が小さくなっていることが見て取れる．そのため，Δx が大きくなるにつれて，局所的な発熱が小さくなり，最高結晶格子温度も低く見積もられる．$\Delta x = 1.0$nm と $\Delta x = 10.0$nm の場合の，電界の最高値を比較してみると，$\Delta x = 1.0$nm の場合は $\Delta x = 10.0$nm の場合に比して，2 倍程度大きな値となっていることが見て取れる．

また，図 2.10(c) の電子数密度の分布から，x 方向のメッシュサイズ Δx が大きくなるにつれて，ピンチオフするポイントがソース電極側に移動していることが見て取れる．これは，メッシュサイズが大きくなることによって，ピンチオフ点付近の電子数密度の急激な変化を表現することができなくなり，このようなピンチオフ点のずれを生じさせるためである．半導体内部においては，式 2.1 からも明らかなように，電子数密度と電界は密接に関連している．また，図 2.10(b) と比較すると，ピンチオフ点周辺で電界が大きくなっている．つまり，ピンチオフ点付近のメッシュサイズをケアすることにより，ドレイン電流並びに最高結晶格子温度を正確に表現できる可能性が示唆される．

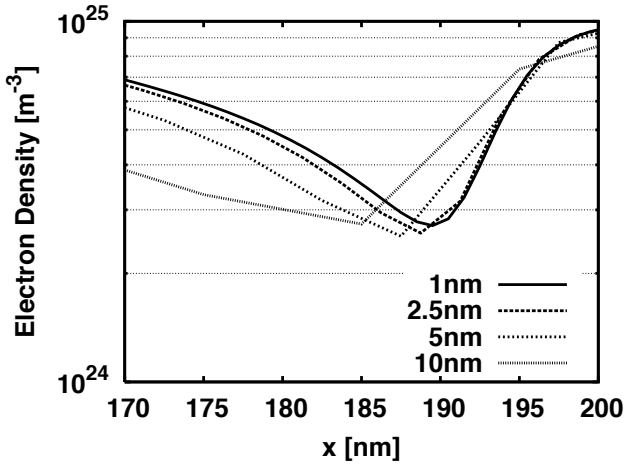
図 2.11 に，$\Delta x = 1.0$nm と $\Delta x = 2.5$nm の場合の，電子電流のベクトル図を示す．図 2.11(a) が，$\Delta x = 1.0$nm の場合，(b) が $\Delta x = 2.5$nm の場合である．これらの図において，$\Delta x = 1.0$nm と $\Delta x = 2.5$nm という，メッシュポイントの違う条件での場合の比較を行うため，$\Delta x = 1.0$nm の結果に，少々の操作を施した．この操作手順を図 2.12 に示す．図 2.12(a) は，$\Delta x = 2.5$nm におけるメッシュ及び各メッシュポイントに対応するベクトルのイメージを，(b) は $\Delta x = 1.0$nm におけ



(a) Lattice Temperature



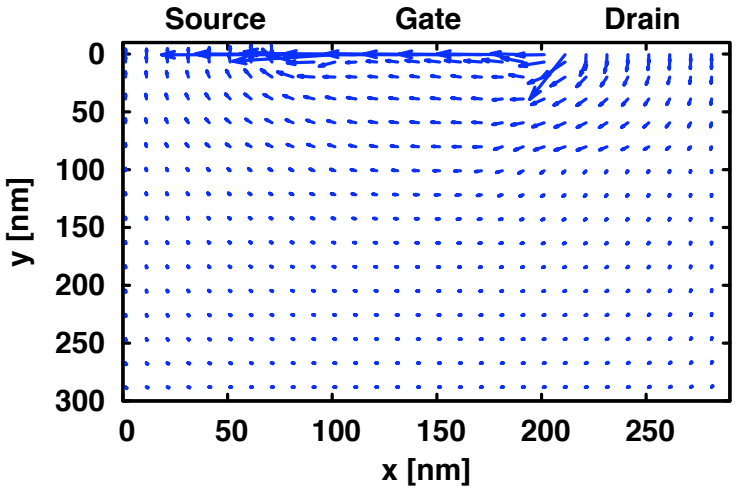
(b) Electric Field



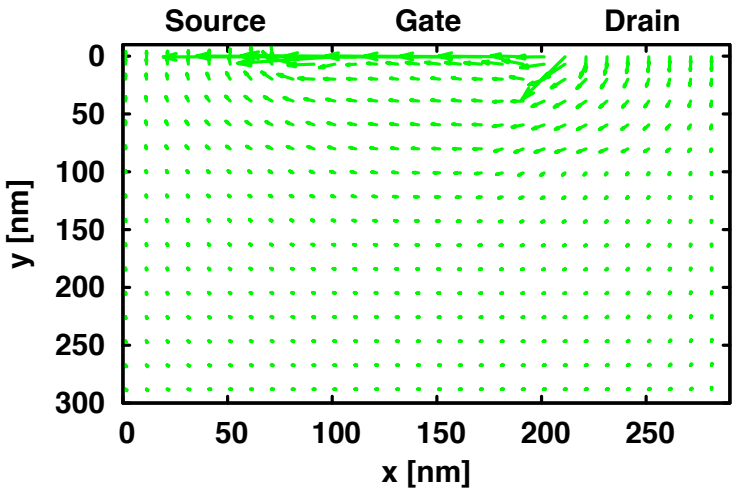
(c) Electron Density

図 2.10: Results of Lattice Temperature, Electric Field and Electron Number Density Distributions

るメッシュ及び各メッシュポイントに対応するベクトルのイメージを示す．これらの図からわかるように，$\Delta x = 2.5$nm と $\Delta x = 1.0$nm の場合では，ベクトルの場所が一致しないため，単純に比較を行うことができない．そのため，図 2.12(c) に示すような，操作を施す．つまり，$\Delta x = 1.0$nm の場合において，各メッシュポイントのベクトルの x 成分，y 成分をそれぞれ 2 つ半ずつ足し合わせ，それを 2.5 で割るという操作である．具体的には，図 2.12(b) の v_1,v_2,v_3/2 を足し合わせ，2.5 で除することにより，$\Delta x = 2.5$nm の場合と同じポイントにベクトルを配置し直し，同じポイントにおけるそれぞれの結果を比較するという操作を行う．



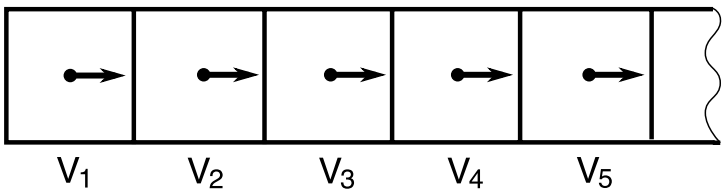
(a) $\Delta x = 1.0$nm



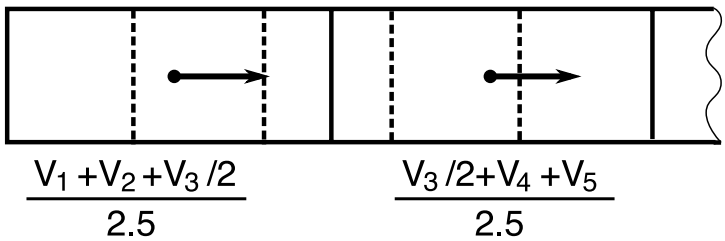
(b) $\Delta x = 2.5$nm

図 2.11: Electron Current Vectors

(a) $\Delta x = 2.5$nm



(b) $\Delta x = 1.0$nm



(c) $\Delta x = 1.0$nm after Modification

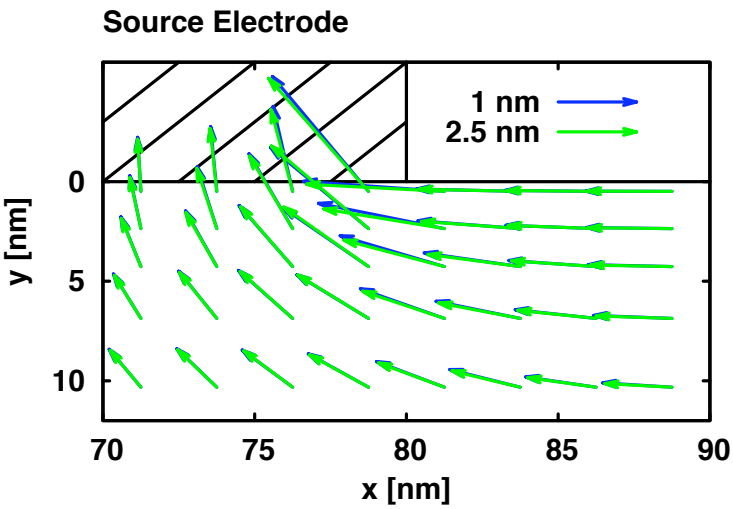
図 2.12: Image of Modified Vectors

では，図 2.11 の議論に戻る．電子電流は，ドレイン電極から主にゲート酸化膜下の電子チャンネルを通って，ゲート電極へと流れている様子が見て取れる．なお，電子の流れ自体は，ソース電極からドレイン電極へと流れる．電子電流は，電子の流れにマイナスを乗じたもので定義されるため，電子の流れと逆方向の流れになる．図 2.11 から，流れの様子は $\Delta x = 1.0$nm の場合も，$\Delta x = 2.5$nm の場合も，大きく違う部分はなく，同一のように見える．しかし，詳細を見てみると，電子電流の x 成分は，ソース電極のゲート電極に近い方のエッジにおいて，つまり $x = 75 - 80$nm の部分において，$\Delta x = 2.5$nm の場合の方が $\Delta x = 1.0$nm の場合に比して，10%以上大きな値を示している．また，ドレイン電極のゲート電極に近い方のエッジにおいて，つまり $x = 210 - 215$nm の部分において，$\Delta x = 2.5$nm の場合の方が $\Delta x = 1.0$nm の場合に比して，20%以上大きな値を示している．これらの様子の理解を助けるために，図 2.13 に，図 2.11 のソース電極付近，ドレイン電極付近の拡大図を示す．図 2.13 より，ソース電極のゲート電極寄りのエッジ，つまり x = 80 nm において，チャンネルを通って流れてきた電子電流は，ソース電極に引き込まれる方向に急激に方向を変換している様子が見てとれる．同様に，ドレイン電極のゲート電極寄りのエッジ，つまり x = 210 nm において，ドレイン電極から流れ出た電子電流がチャンネル方向へと急激に方向を変化してる様子が見てとれる．これらの結果より，$\Delta x = 2.5$nm の場合，$\Delta x = 1.0$nm の場合に詳細に追うことが可能であった，電子電流の急激な方向変化を追跡できなくなっている可能性が考えられる．そのため，$\Delta x = 2.5$nm の場合では，$\Delta x = 1.0$nm の場合に比して，電子電流の x 成分が 10-20%程度大きく見積もられる可能性が考えられる．

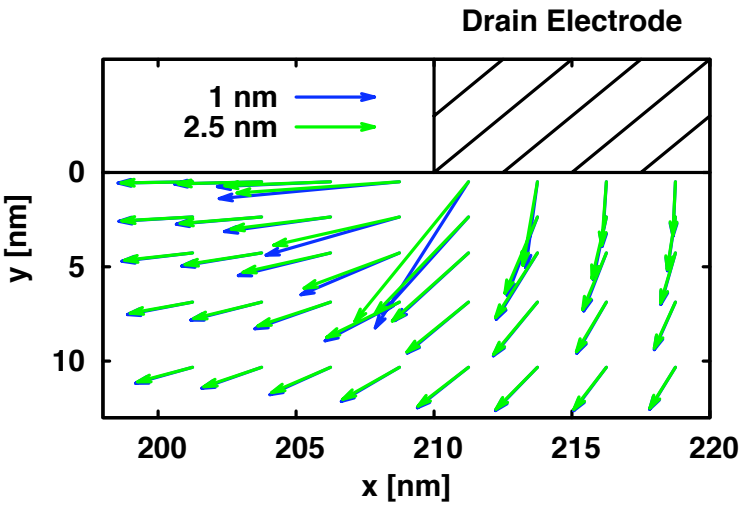
これらの結果より，x 方向のメッシュサイズ Δx の違いにより生じる誤差の要因が，ピンチオフ点付近，もしくは，ソース電極のゲート電極寄りのエッジ部分，又はドレイン電極のゲート電極寄りのエッジ部分の 3 点である可能性が示唆された．この結果を受けて，これら 3 点においてメッシュサイズのケアを行い，x 方向のメッシュサイズのゾーニングの可能性を探って行く．

2.11.5　x 方向のメッシュサイズゾーニング

本節のこれまでの結果より，ピンチオフ点付近，ソース電極のゲート電極寄りのエッジ部分，ドレイン電極のゲート電極寄りのエッジ部分の 3 点が，x 方向のメッシュサイズのゾーニングを行うにあたり，重要ポイントであることが示唆された．ここでは，実際にそれらの部分のメッシュサイズを小さくし，それ以外の部分を大きくすることによって，メッシュサイズのゾーニングの可能性を探っていく．具体的には，ピンチオフ点付近のみのメッシュをケアした場合，電極のゲート電極寄りのエッジ部分のみをケアした場合，両方をケアした場合の 3 つのケースを用いることにより，最重要ポイントを明らかにし，メッシュゾーニングの提案を行う．また，ここでは y 方向には本章で提案しているメッシュゾーニング手法を適用し，x 方向には $\Delta x = 1.0$nm のメッシュを



(a) Around the Source Electrode Edge



(b) Around the Drain Electrode Edge

図 2.13: Comparison of Electron Current Vectors between $\Delta x = 1.0$nm Case and $\Delta x = 2.5$nm Case

用いたものをファインメッシュモデルと称する．

まず，本章で用いるモデルの詳細を以下に列挙する．

Model 1 ファインメッシュモデル（$\Delta x = 1.0$nm）

Model 2 ソース電極・ドレイン電極のゲート電極付近において $\Delta x = 1.0$nm とし，それ以外の部分は $\Delta x = 2.5$nm とする．（具体的には，x = 70-90 nm, 200-220 nm の部分において $\Delta x = 1.0$nm とし，その周辺である x = 60-70nm 及び 190-200nm の部分において徐々に $\Delta x = 2.5$nm から $\Delta x = 1.0$nm までメッシュサイズを小さくし，x= 90-100nm 及び 220-230nm の部分において 1.0nm から 2.5nm と徐々にメッシュサイズを大きくする．それ以外の部分は，$\Delta x = 2.5$nm とする．）

Model 3 ピンチオフ点付近において $\Delta x = 1.0$nm とし，それ以外の部分は $\Delta x = 2.5$nm とする．（具体的には，x = 180-200 nm の部分において，$\Delta x = 1.0$nm とし，その周辺である x = 170-180 nm において，$\Delta x = 2.5$nm から $\Delta x = 1.0$nm までメッシュサイズを徐々に小さくし，また x = 200-210 nm の部分において，$\Delta x = 1.0$nm から $\Delta x = 2.5$nm へとメッシュサイズを徐々に大きくする．それ以外の部分は $\Delta x = 2.5$nm とする．）

Model 4 ソース電極･ドレイン電極のゲート電極付近及びピンチオフ点付近において $\Delta x = 1.0$nm とし，それ以外の部分では $\Delta x = 2.5$nm とする．（具体的には，x = 70-90 nm,180-220 nm において，$\Delta x = 1.0$nm とし，その周辺である x = 60-70 nm,170-180 nm において，$\Delta x = 2.5$nm から $\Delta x = 1.0$nm まで徐々にメッシュサイズを小さくする．また，x = 90-100 nm,220-230 nm の部分において，メッシュサイズを $\Delta x = 1.0$nm から，$\Delta x = 2.5$nm まで徐々に大きくし，それ以外の部分で，$\Delta x = 2.5$nm とする．）

表 2.21 に，上記モデルそれぞれの解析結果を示す．表から，明らかなように，Model 2 の結果のみ，ファインメッシュモデルに比して誤差が比較的大きく，ドレイン電流で 1.91%，最高結晶格子温度で 0.4K の差が生じている．また，Model 3 と Model 4 は，同一な結果となっており，Model 1 の結果と非常に良い一致を示している．この Model 3 と Model 4 の結果が同一であるという事実は，ソース電極・ドレイン電極のゲート電極側のエッジ付近におけるメッシュサイズのケアは重要ではなく，ピンチオフ点付近のみをケアすることによって，ファインメッシュモデルを用いた際と同様な，正確な解析結果が得られることを示している．

最後に，ここで用いた 4 つのモデルから得られた，結晶格子温度，電界，電子数密度の分布の比較を行う．

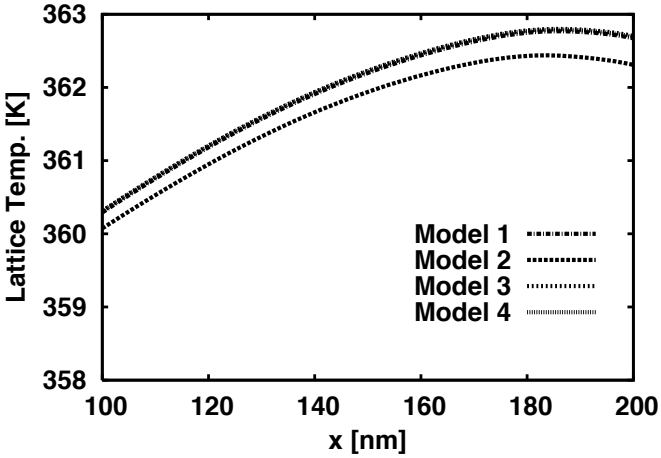
図 2.14 に，ここで対象としている Model 1-4 の解析結果から得られた，結晶格子温度分布，電界分布，電子数密度分布を示す．図 2.14(a) に示す結晶格子温度分布より，Model 3 と Model 4 か

表 2.21: Comparison of the Drain Current and Maximum Lattice Temperature of Zoned Mesh Model

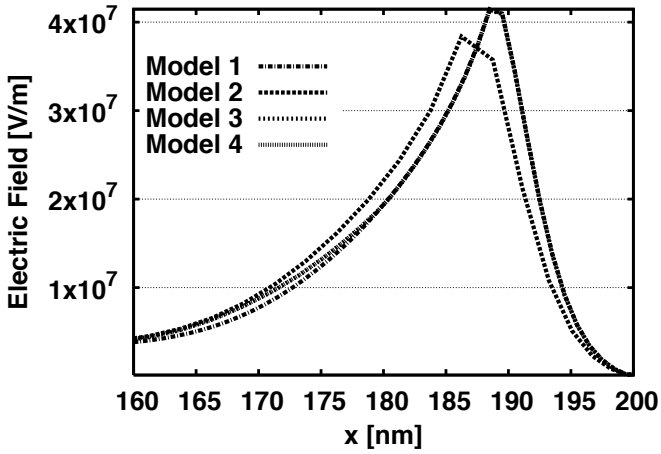
	I_D[mA/mm]	ΔI_D[%]	$T_{Lmax}[K]$	$\Delta T_{Lmax}[K]$
Model 1	1515	-	362.8	-
Model 2	1486	1.91	362.4	0.4
Model 3	1511	0.26	362.8	0.0
Model 4	1511	0.26	362.8	0.0

ら得られた結晶格子温度分布は，Model 1 から得られた結晶格子温度分布と非常に良い一致を示している．また，図 2.14(b) に示す電界分布，(c) に示す電子数密度分布においても，全く同様に，Model 3 及び Model 4 から得られた分布は，Model 1 から得られた分布と非常に良い一致を示している．

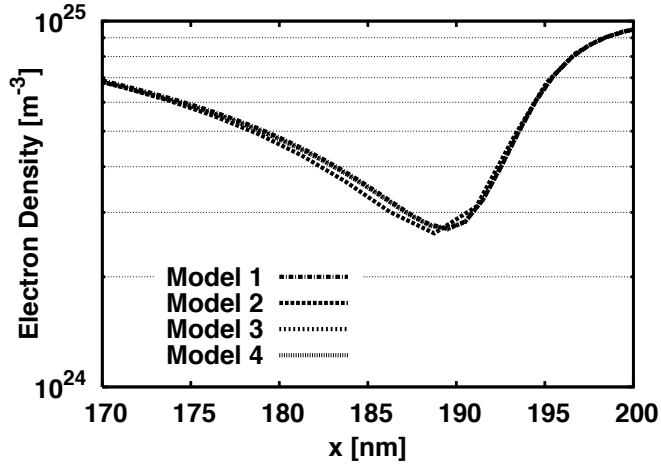
これらの結果を総じて，x 方向のメッシュサイズ Δx のケアをピンチオフ点付近に施すことにより，本章で提案しているメッシュゾーニング手法を用いた際の，より正確な解析結果が得られることが示された．



(a) Lattice Temperature Distribution



(b) Electric Field Distribution



(c) Electron Density Distribution

図 2.14: Results of Lattice Temperature Distribution, Electric Field Distribution and Electron Number Density Distribution by Model 1-4

2.12 まとめ

本章では，Si MOSFET の開発を助けるため，短時間でかつ高精度な熱・電気連成解析を行うべく，メッシュの切り方の観点から，半導体の物理理論に則ったメッシュゾーニング手法の提案を行った.

いかなる場合においても，本章で提案を行ったデバイ長の理論に則ったメッシュゾーニングを，y 方向（ゲート酸化膜からデバイス底面に向かう方向）に適用することにより，非常に精度の高い結果を得ることが脳であり，また解析に要する時間は，従来の 1/30 程度に削減することが可能となった.

さらに，x 方向に関してメッシュサイズをケアする必要がある場合においては，ピンチオフ点付近のみのメッシュサイズをケアすることにより，正確な結果が得られることが明らかとなった.

参考文献

[2-1] “日経エレクトロニクス”, 2007/8/13 発売号, 2007 pp. 39-58, 日経 BP 社

[2-2] H. Tanimoto and N. Shigyo, “Discretization Error in MOSFET Device Simulation”, *IEEE TRANSACTIONS ON CONPUTER-AIDED DESIGN*, Vol. 11, No.7, 1992, pp. 921-925

[2-3] Jie Lai and Arun Majumdar, “Concurrent thermal and electrical modelig of sub-micrometer silicon devices”, *Journal of Applied Physics*, Vol. 79, No. 9, 1996, pp. 7353-7361

[2-4] C. L. Tien, A. Majumdar, F. M. Gerner, *Microscale Energy Transport*, 1997, Taylor&Francis

[2-5] K. Fushinobu and H. Maruyama, “NUMERICAL CALCULATION OF SUB-MICRON HOT SPOT IN Si DEVICES”, *Proceeding of InterPACK03*, 2003, IPACK2003-35079

[2-6] J. W. Roberts and S. G. Chanberlain, “Energy-Momentum Transport Model Suibale for Small Geometry Silicon Device Simulation”, *COMPEL-The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, Vol. 9, No. 1, 1990, pp. 1-22

[2-7] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*, 1984, Springer-Verlag

[2-8] W. Quade, M. Rudan and E. Scholl, “Hydrodynamic Simulation of Impact-Ionization Effects in P-N Junctions”, *IEEE TRASACTION ON COMPUTER-AIDED DESIGN*, Vol. 10, No. 10, 1991, pp. 1287-1294

[2-9] W. Quade, E. Shcholl and M. Rudan, “Impact Ionization Within the Hydrodynamic Approach to Semiconductor Transport”, *Solid-State Electronics*, Vol. 36, No. 10, 1993, pp. 1493-1505

[2-10] M. Lorenzini and J. V. Houdt, “Modelling of the Hole-Initiated Impact Ionization Current in the Framework of Hydrodynamic Equations”, *Solid-State Electronics*, Vol. 46, 2002, pp. 223-234

[2-11] K. Knaipp, W. Kanert and S. Selberherr, “Hydrodynamic Modelling of Avalanche Breakdown in a Gate Overvoltage Protection Structure”, *Solid-State Electronics*, Vol. 44, 2000, pp. 1135-1143

[2-12] G. Baccaraini and M. R. Wordeman, “An Investigation of Steady-State Velocity Overshoot in Silicon”, *Solid-State Electronics*, Vol. 28, No. 4, 1985, pp. 407-416

[2-13] B. Gonzalez, V. Palankovski, V. Kosina, A. Hernandez, and S. Selberherr, “An Energy Relaxation Time Model for Device Simulation”, *Solid-State Electronics*, Vol. 43, 1999, pp. 1791-1795

[2-14] M. V. Fischetti, “Monte Corlo Simulation of Transport in Technologically Significant Semiconductor of the Diamond and Zinc-Blende Structures - Part I : Homogeneous Transport”, *IEEE TRANSACTIONS ON ELECTRON DEIVCES*, Vol. 38, No. 3, 1991, pp. 634-649

[2-15] S. Shinha, E. Pop and K. E. Goodson, “A SPLIT-FLUX MODEL FOR PHONON TRANSPORT NEAR HOTSPOTS”, *Proceeding of IMECE04*, 2004, IMECE2004-61949(pp. 75-85)

[2-16] S. M. Sze, *Physics of Semiconductor Devices*, 1981, Wiley-Interscience

[2-17] A. W. Smith and K. F. Brennan “Hydrodynamic Simulation of Semiconductor Devices”, *Progress in Quantum Electronics*, Vol. 21, No. 4, 197, pp. 293-360

[2-18] D. L. Scharfetter and H. K. Gummel, “Large-Singnal Analysis of a Silicon Read Diode Oscillator”, *IEEE TRANSACTIONS ON ELECTRON DEVICES*, Vol. ED-16, No. 1, 1969, pp. 64-77

[2-19] M. Rudan and F. Odeh, “Multi-Dimensional Discretization Scheme for the Hydrodynamic Model of Semiconductor Devices”, *COMPEL*, Vol. 5, No. 3, pp. 149-183

[2-20] S. V. パタンカー, 「コンピュータによる熱移動と流れの数値解析」, 1985, 森北出版

[2-21] C. Jungemann, B. Meinerzhagen, S. Decker, S. Keith, S. Yamaguchi and H. Goto, “Is physically sound and predictive modling of nMOS substrate currents possible?”, *Solid-State Electronics*, Vol. 42, No. 4, 1998, pp. 647-655

第3章　サブミクロンSi CMOSにおけるデバイス間相互作用に関する熱・電気連成解析

3.1　研究背景

現在，我々が日常使用しているパーソナルコンピューター（PC）などにおいて，頭脳的役割を果たすLSI(Large Scale Integration) 中のスイッチングデバイスとして広く用いられているものは，先の章で示したn型Si MOSFET（nMOS）と，正孔をマジョリティキャリアとしたp型MOSFET（pMOS）の2つのMOSFETを一組にした，CMOSと言われるデバイスである．[3-1]CMOSは，n型MOSFETとp型MOSFETをSiO_2などの酸化層を絶縁体として間に挟んで並んでいる構造を取る．しかし，CMOS登場初期の頃から用いられてきたこの構造は，n型MOSFETとp型MOSFETが絶縁層によって完全に絶縁されていないため，絶縁層が小さくなりn型MOSFETとp型MOSFET間の距離が小さくなることによって，何らかの動作干渉を生じ正常なCMOSとしての動作を得られない可能性がある．[3-2]-[3-5] そのため，n型MOSFET並びにp型MOSFET自体が，ゲート長を短くすることにより，高速動作を可能にしているが，一方で，n型MOSFET・p型MOSFET間の距離を小さくすることができないため，高密度化による高性能化を図ることができなくなる．この問題を解決し，さらなる高性能化を実現するMOSFETとして，SOI(Silicon On Insulator) と言われる構造が近年注目を浴び，実用化がされている．SOIとは，Silicon on Insulatorという呼び名の通り，絶縁層の上にデバイスのアクティブ領域を形成し，その周囲も絶縁層で覆ってしまう構造である．このような構造を取ることにより，先に挙げたような動作干渉の問題を防ぐことができる．この絶縁層には，主としてSiO_2が用いられるが，SiO_2の熱伝導率は，Siのそれに比べて2桁小さい値となる．そのため，デバイスのアクティブ領域で発生した熱の拡散が妨げられ，近年問題視されている熱問題がより深刻化している現状にある．[3-6]-[3-8]

デバイス動作特性や，高集積化という観点からは，SOI構造が非常に魅力的であるが，一方で，熱問題の深刻化を考えるとバルクCMOSが非常に魅力的である．今後の半導体デバイス発展のためには，この両者を適所に用いた設計が必要となることが予想される．

これを受けて，本章では，熱問題の観点から非常に魅力的であるバルクCMOSの高集積化を促すため，バルクCMOSにおけるn型・p型MOSFET間に生じる相互作用現象を熱・電気連成解析を用いて明らかにし，相互作用が生じる距離を適切に見積もる手段の提案を行う．さらに，相

互作用が生じる距離を小さくすることにより，バルク CMOS 高集積化のための指針を示すことを目的とする．

3.2 重要な現象の抽出

まず，CMOS の解析を行うにあたり，考慮すべき重要な現象の抽出を行う．MOS の解析においては，例えば nMOS を例にとると，特性を決定付けるマジョリティキャリアは電子であり，正孔の挙動は nMOS の特性に無視しうるほどの影響しか与えない．そのため，熱・電気連成解析の方程式系において，キャリアエネルギーの保存式を考える際，電子エネルギーの保存式のみを解き，正孔エネルギーの保存式は解かず，正孔温度は結晶格子温度と等しいという仮定のもと計算を行う例もある．この場合，解くべき方程式が一本減るため，計算時間の節約になり，かつ，解析結果は実験結果と良い一致を示す場合もある．[3-9] また，MOS の解析においては，半導体内部で常に生じているキャリアの生成・再結合の現象もしばしば考慮されない場合がある．これらの現象は考慮することが，より詳細な解析のためには好ましいが，計算時間との兼ね合いから無視できる場合は無視したほうが良い．

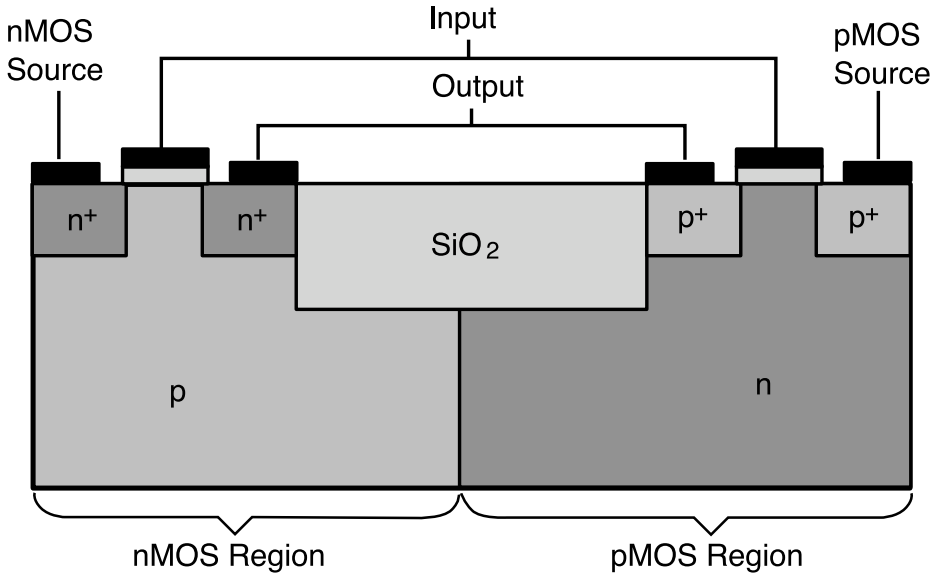


図 3.1: Fundamental Structure of CMOS

図 3.1 にバルク CMOS の一般的なモデルを示す．nMOS の挙動には電子が，pMOS の挙動には正孔が大きく寄与し，マイノリティキャリアの挙動が無視できることを考慮すれば，例えば，図 3.1 中の nMOS 領域において，先の例のように電子エネルギーの保存式を解き，正孔温度は結晶格子温度と等しいと仮定し，また pMOS 領域において，逆に正孔エネルギーの保存式を解き，電子温度は結晶格子温度と等しいという仮定の基，解析を行った結果が，全てを考慮した解析結果と同一の結果を示すのであれば，それぞれのエネルギー保存式を解く領域が半分に抑えることができるため，計算時間の節約となる．また，生成・再結合を考慮せずに解析を行った結果が，生

成・再結合を考慮した解析結果と同一の結果であるのならば，やはり計算時間の節約となる．しかし，MOS 単体の解析とは異なり，nMOS と pMOS が連続している系での解析になるため，マイノリティキャリア温度を結晶格子温度と同一であるという仮定が，重大なエラーをもたらす可能性も否定できない．また，nMOS と pMOS が連続する部分においては pn 接合が存在し，電界の大きい部分で生成・再結合が盛んに生じることを考えれば，生成・再結合が非常に重要な意味を有する可能性も否定できない．

そこで，本節ではまず，これまでに挙げたいずれの現象が，バルク CMOS における nMOS・pMOS 間の相互作用を考察するに重要となるかを検証する．

3.2.1 モデリング

図 3.2 に，本節で用いるバルク CMOS のモデルを示す．本節においては，バルク CMOS において nMOS・pMOS 間で生じる相互作用の現象を考察する際に重要となる現象を抽出するため，意図的に nMOS・pMOS 間の距離を小さくし，相互作用が生じる条件での解析を行う．そのため，nMOS・pMOS 間に存在する SiO_2 絶縁層の幅を 100nm としている．また，厚さは 200nm のものを考慮している．各 MOS におけるソース・ドレイン電極下の高濃度ドープ域の不純物濃度は $N_{D0} = N_{A1} = 1 \times 10^{25}\mathrm{m}^{-3}$ とし，基板における不純物濃度は $N_{A0} = N_{D1} = 2 \times 10^{23}\mathrm{m}^{-3}$ とした．また，考慮した MOS のゲート長は 90nm とした．解析領域は図 3.2 の y 方向に 300nm とした．ゲート酸化膜の厚さは 2nm とした．本論文では，nMOS・pMOS 間の SiO_2 絶縁層下にある，基板同士の pn 接合を，基板間 pn 接合と呼ぶことにする．また，nMOS・pMOS 間の SiO_2 がある領域を，SiO_2 域と呼ぶこととする．

このような構造を持った CMOS の各電極に，インバータとしての動作を行うように電圧印加した上で，解析を行った．[3-1] 本節においては，CMOS インバータにおいて入力信号が高電位かつ出力信号も高電位の条件，つまり nMOS オン・pMOS オフで動作している状態での解析を行う．そのため，印加電圧の条件は，nMOS ソース電極をグランドとし，pMOS ソース電極を 1.0V に保った状態において，両 MOSFET のゲート電極に 1.0V，両 MOSFET のドレイン電極に 1.0V を印加した条件下での解析を行った．

3.2.2 支配方程式および 3 つの解析モデル

本節で用いた支配方程式は，前章で解説したものと同一である．[3-9]-[3-11] 本節においては，各 MOS におけるマイノリティキャリア温度を結晶格子温度と等しいと仮定した条件下での解析などを行う．そのため，キャリア温度依存の生成・再結合の項を用いることは適切ではない．なぜな

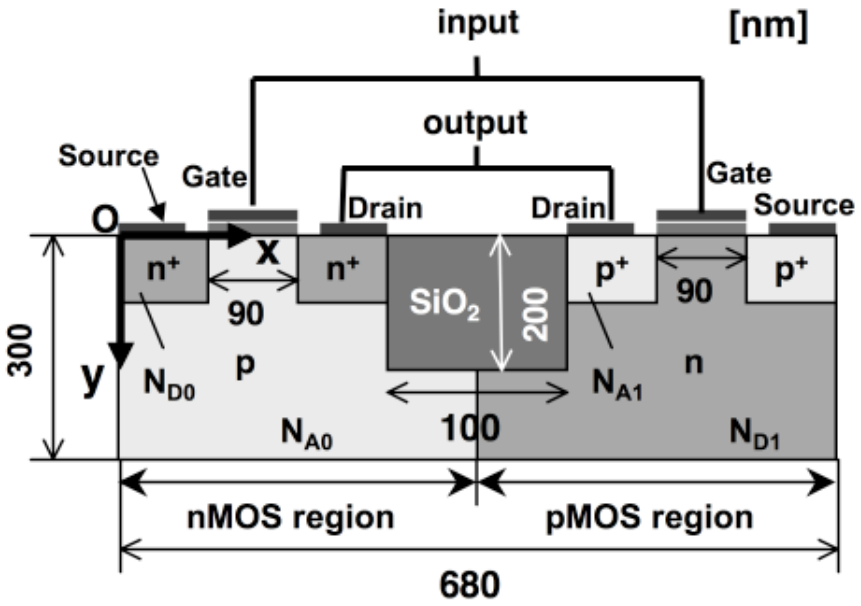


図 3.2: Modeled Bulk CMOS Structure

ら，キャリア温度と生成・再結合が互いに影響し合うため，独立した現象の抽出が困難となるためである．そのため，電界依存のモデル（式 2.99-式 2.101）を用いた．[3-12] このモデルを用いることにより，生成・再結合は電界に大きく依存することとなり，キャリア温度勾配により生じる電流と生成・再結合によりエンハンスされる電流を分離して考察することが可能となる．

本節においては，CMOS 解析の際に重要となる現象の抽出のために，3 つの異なる解析モデルを用いて解析を行い，その相違点を検証する．3 つのモデルを以下に列挙する．

- 解析 1：キャリアの生成・再結合及びマイノリティキャリアと結晶格子温度の非平衡性をともに考慮しない．つまり，式 2.2 及び式 2.3 における R を 0 とし，また，nMOS 領域においては式 2.7 を解かずに $T_h = T_L$ とし，pMOS 領域においては式 2.6 を解かずに $T_e = T_L$ とする．

- 解析 2：キャリアの生成・再結合は考慮し，マイノリティキャリア温度と結晶格子温度の非平衡性のみを考慮しない．つまり，式 2.2 及び式 2.3 における R は考慮するが，式 2.7 及び式 2.6 に関しては，解析 1 と同様な仮定を用いる．

- 解析 3：キャリアの生成・再結合及びマイノリティキャリア温度と結晶格子温度の非平衡性をともに考慮する．つまり，前章で示した熱・電気連成解析の支配方程式を，解析領域全体で全て解く．

3.2.3 境界条件

境界条件は，基本的に前章で示したものと同一のものを用いている．具体的な各解析モデルに関する境界条件を，以下に列挙する．

- 解析 1：各 MOS における境界条件は，前章で用いたものと同一である．nMOS・pMOS 間の SiO_2 絶縁層の取り扱いに関しては，SiO_2 絶縁層内部での電気的な挙動は考慮せず，境界面においては，SiO_2 絶縁層の境界面と垂直な方向に，キャリア数密度，キャリア温度，電位ともに勾配を 0 とした．また，結晶格子温度は，熱伝導率を 1.38W/(m · K) 一定とし，式 2.8 を用いた SiO_2 絶縁層下にある，nMOS・pMOS 間の基板間 pn 接合においては，nMOS 内部の電子温度は基板間 pn 接合面において結晶格子温度と一定であるとし，pMOS 内部の正孔温度は基板間 pn 接合面において結晶格子温度と一定であるとした．基板底面においては，キャリア温度・結晶格子温度ともに境界温度 350K で一定とした．

- 解析 2：このモデルは，1 のモデルに生成・再結合の項を加えただけのため，境界条件は解析 1 と全く同一のものを用いた．

- 解析 3：このモデルにおいては，解析領域全域にわたって全ての方程式を解いているため，基板間 pn 接合面におけるマジョリティキャリア温度と結晶格子温度が等しいという仮定が必要ない．そのため，この仮定を除外した上で，他の境界条件に関しては解析 1 と同一のものを用いた．

3.2.4 数値計算条件

本節の解析においては，入力電圧つまり両 MOSFET のゲート電圧を 0.0V，出力電圧つまり両 MOSFET のドレイン電圧を 1.0V とし，インバータにおいて入力信号と出力信号が反転している状態を 100ps 保った後に，先に示した通り入力電圧を 1.0V として解析を行った．言い換えれば，nMOS・pMOS ともにオフの状態を 100ps 保った後，nMOS オンの状態を作り出し解析を行った．nMOS・pMOS オフの状態で 100ps 保った理由は，非定常の現象を考察するため，内部のキャリアの挙動を一度安定させるためである．以下の議論においては，nMOS がオンになった状態を時間 $t = 0$ とする．

3.2.5 結果及び考察

図 3.3 に，nMOS ドレイン電流の経時変化を示す．実線が解析 1 の結果であり，一点鎖線が解析 2 の結果，破線が解析 3 の結果である．いずれのモデルを用いた場合においても，解析結果は，

同様な傾向を示している．いずれの結果も t=0 において，約 0.1mA/μm から，時間とともに増加し，ピーク値を示した後減少し，一定の値へとなる傾向にある．詳細を見てみると，解析 1 は，他の 2 つの解析に比して，電流の経時変化が遅い傾向にあることが見て取れる．解析 1 の結果では，283ps でピーク値 2.4mA を示し，その後減少し 2mA 程度で一定となる傾向にある．一方で解析 2 と解析 3 の結果では，nMOS がオンになった直後から，100ps を経過する付近まで同様な値を示している．しかし，ピーク値を示す値は異なり，解析 2 においては，250ps であるのに対し，解析 3 においては，277ps となっている．これらの結果より，それぞれの解析モデルの結果に違いが生じていることが確認できる．解析 1 や解析 2 に用いた仮定が，バルク CMOS 内部で生じる実際の現象の詳細を検討する際には，適切ではないと言える．

次に，図 3.3 で観察される，ドレイン電流が示すピーク値が意味する現象の考察を行う．また，CMOS の相互作用を考察する際に，解析 1 や解析 2 で用いた仮定が引き起こす具体的なエラーの考察も行う．

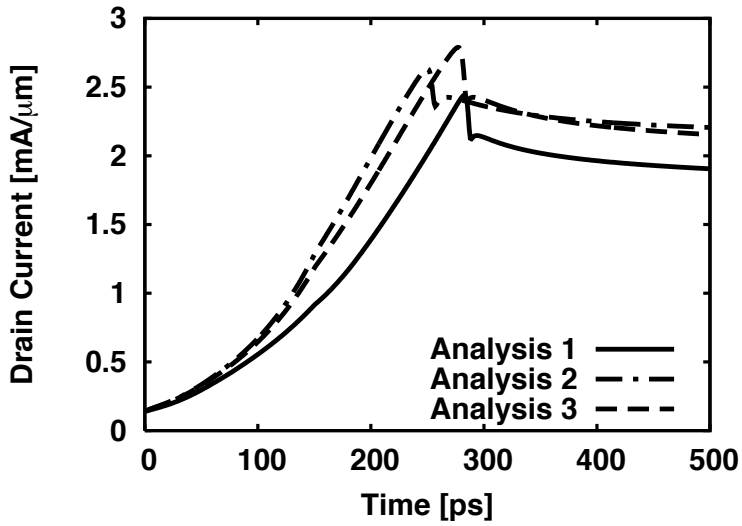


図 3.3: Development of Drain Current of nMOS

まず，解析 3 の結果より，図 3.3 のピークの意味するところを考察する．ピーク値の前後における内部現象の変化の考察を行うため，ピーク値前後の CMOS 内部の電位分布の変化を図 3.4 に示す．図 3.4(a) は，ピーク値を示すより十分前の時間である t=150ps における CMOS 内部の電位分布を，(b) は，ピーク値を示す直前である t=250ps における CMOS 内部の電位分布を，(c) は，ピーク値を示した後である t=300ps における CMOS 内部の電位分布を示している．

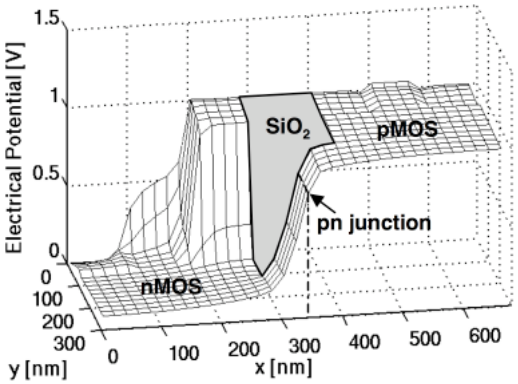
図 3.4(a) より，ピーク値を示すより十分前の状態においては，基板間 pn 接合が逆バイアス状態に保たれていることがわかる．（逆バイアスの具体的な議論は，次節にて述べる）このため，基板

間 pn 接合を通じて交換されるキャリアは制限されることとなる．さらに時間が経過した t=250ps における電位分布（図 3.4(b)）を見てみると，pMOS 基板の高電位部分が徐々に基板間 pn 接合を通過して，nMOS 基板部分に移動している現象が見て取れる．そのため，nMOS 基板の電位が徐々に上昇し，基板間 pn 接合の逆バイアス状態が徐々に順バイアスの方向に移動していることが見て取れる．さらに時間が経過し，図 3.3 においてピーク値を示した後の電位状態である図 3.4(c) においては，pMOS 基板の高電位部分が nMOS 基板全体に広がっており，基板間 pn 接合は逆バイアス状態から完全な順バイアス状態に移行している様子が確認される．以上より，図 3.3 おけるピーク値は，基板間 pn 接合が逆バイアス状態から順バイアス状態へと変化する瞬間であると解釈できる．

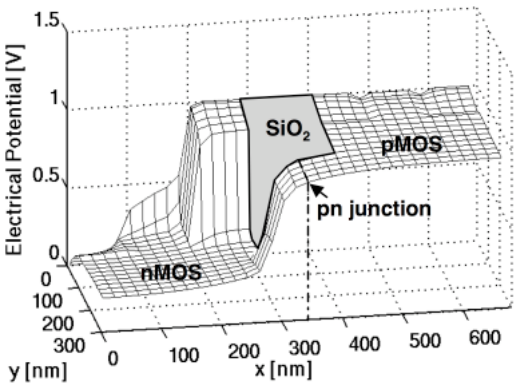
図 3.4 に示した一連の電位分布の変化の結果より，図 3.3 において nMOS ドレイン電流値がピークを示した後，一度瞬間的な減少を示し，その後一定値に落ち着く様子の説明が可能となる．

nMOS がオンになった直後には，図 3.4(a) に示すように，基板間 pn 接合が逆バイアス状態を保っているため，この部分を通って隣接する MOS に流れる電流は小さく，電子は主に nMOS 正常動作時と同様に nMOS のソース電極から流入し，チャンネル部分を通り，nMOS ドレイン電極へと流出する．しかし，時間経過とともに pMOS 基板の高電位部分が nMOS 基板へと影響を及ぼす割合が大きくなり，図 3.4(b) に示すように，基板間 pn 接合の逆バイアス状態が順バイアス状態へと移行を始める．そのため，基板間 pn 接合を通って流れる電流の割合が増加する．ドレイン電流が時間とともに増加する理由は，pMOS 基板による高電位部分が nMOS ソース電極付近に近づくことにより，全体の電流がエンハンスされるためである．また，さらに時間が経過し，図 3.3 のピーク値の部分において，基板間 pn 接合は完全な順バイアス状態となる．そのため，一時的に nMOS 基板である p 型シリコンへと電子が拡散し，pMOS の基板である n 型シリコンへと正孔が拡散するため，一時的に逆方向の電流が生じ全体の電流が小さくなる．そのため，ピークを示した直後に瞬間的に電流が減少する．その後は，図 3.4(c) に示すように，基板間 pn 接合が完全な順バイアス状態になるため，電子の流れる経路は，nMOS ソース電極から，1.0V に保たれている電極である nMOS のドレイン電極，pMOS のドレイン電極及びソース電極へと電流が流れることが可能となり，CMOS 内部の電位状態は落ち着くため，一定値を示すようになる．これらのキャリア挙動を図 3.5 に示す．

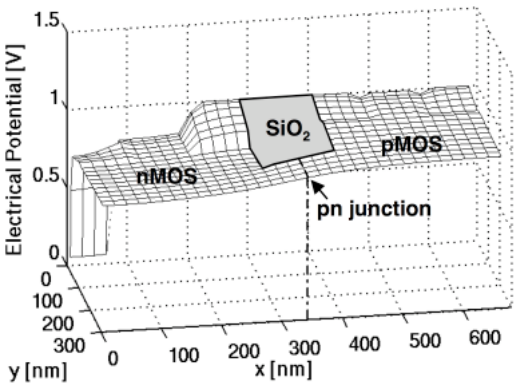
図 3.4(b) と (c) を比較してみると，t=250ps における電位状態である (b) においては，y=0nm, x=190nm である，ゲート酸化膜下ドレイン電極付近において大きな電位勾配（電界）の存在が見て取れる．一方で，図 3.4(c) の基板間 pn 接合が順バイアス状態になった後においては，nMOS ソース電極が 0V に保たれており，nMOS 基板は 1.0V の高電位の方向に引かれていることから，ソース電極直下に高電界が存在することが確認される．つまり，t=250ps の状態においては，nMOS のゲート酸化膜下ドレイン電極付近において最も大きな発熱が生じ，一方で (c) の状態において



(a) t=150ps

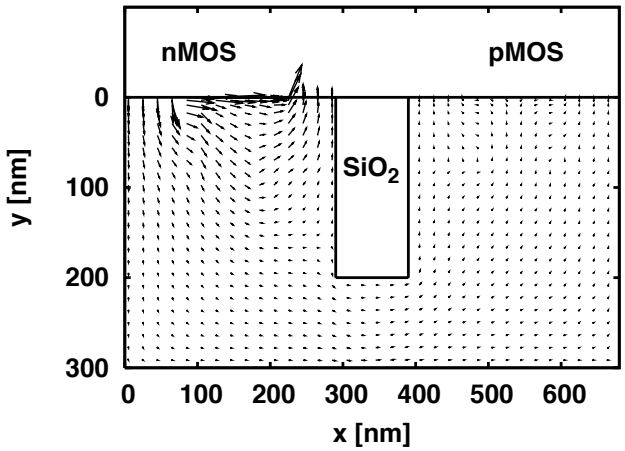


(b) t=250ps

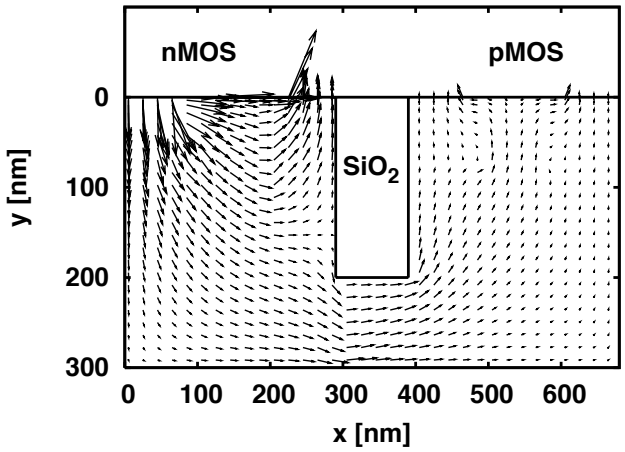


(c) t=300ps

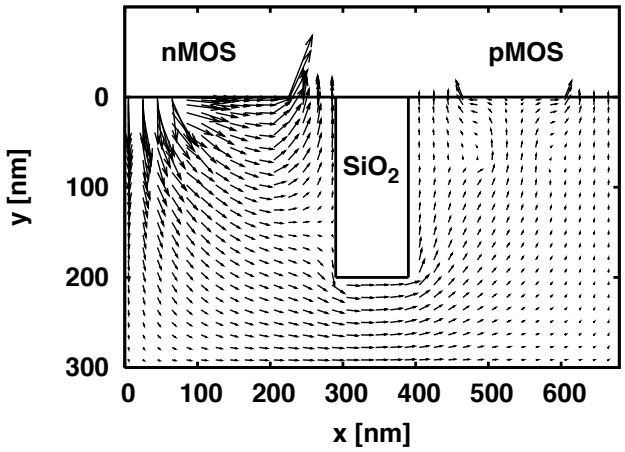
図 3.4: Development of Electrical Potential Field in the Entire CMOS



(a) t=150 ps



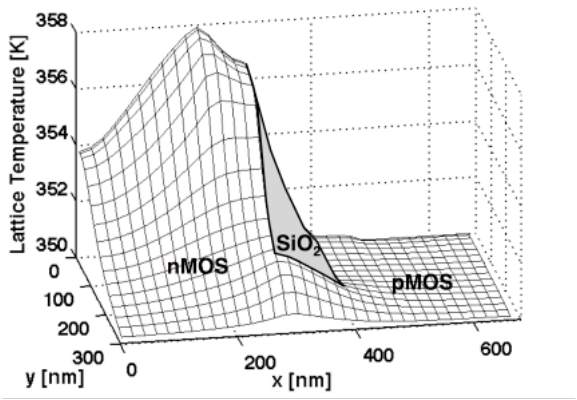
(b) t=250 ps



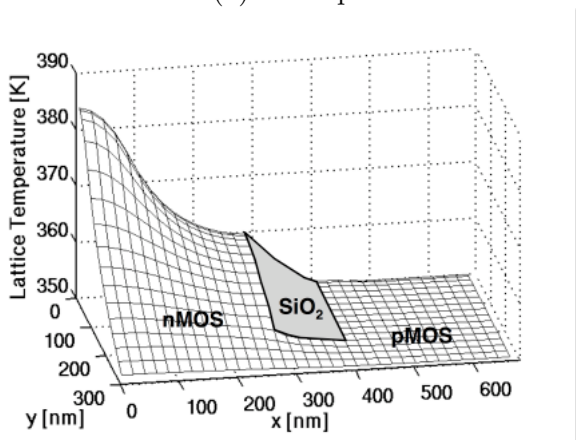
(c) t=300 ps

図 3.5: Development of Electron Flow in the Entire CMOS

は，nMOS ソース電極下の部分において最も大きな発熱が生じることになる．



(a) t=250ps

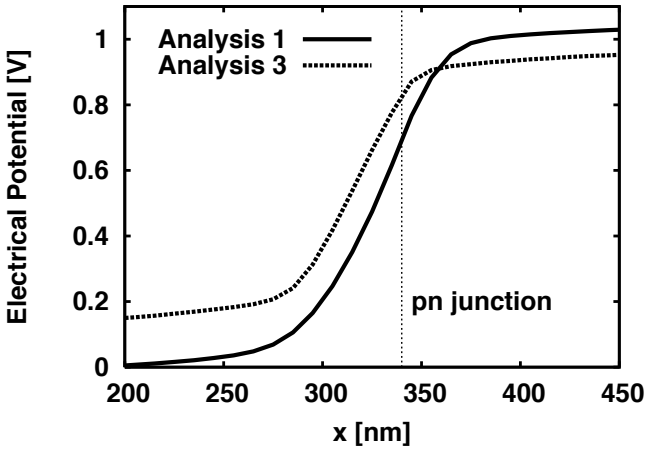


(b) t=300ps

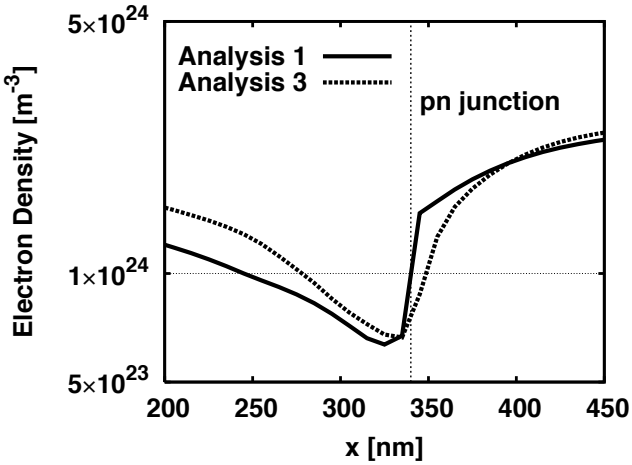
図 3.6: Lattice Temperature Distributions

この結果を受けて，t=250ps と t=300ps における，CMOS 内部の結晶格子温度の分布を図 3.6 に示す．図 3.6 (a) が t=250ps の結晶格子温度分布，(b) が t=300ps の結晶格子温度分布である．図から明らかなように，先の予測通り，t=250ps においては，nMOS ゲート酸化膜下ドレイン電極付近においてホットスポットが出現していることが確認される．また，t=300ps においては，nMOS ソース電極下にホットスポットが出現し，その温度は 380K と，t=250ps における 358K よりも 22K も大きな値となっている．

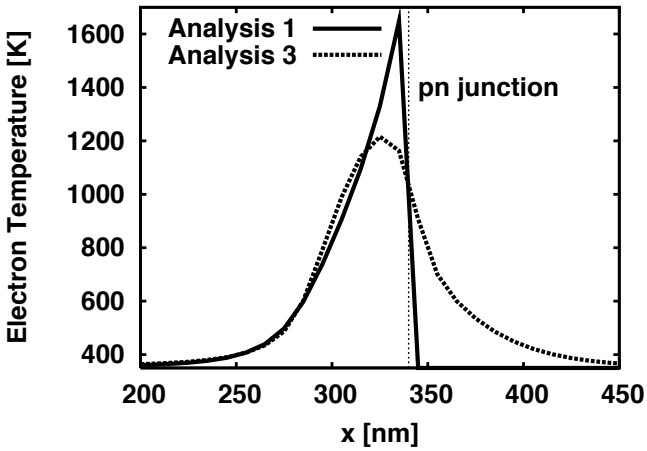
では，本節の最後に，本節で用いた各解析モデルの仮定により生じる，内部現象の違いの詳細を考察する．図 3.7 に，解析 1 と解析 3 から得られたいくつかの結果の比較を示す．図 3.7(a) は電位分布，(b) は電子数密度分布，(c) は電子温度分布を示す．いずれの場合も，nMOS がオンになってから，200ps 後の分布であり，基板間 pn 接合の周辺である x=200-450nm，y=250nm の部



(a) Electrical Potential



(b) Electron Density



(c) Electron Temperature

図 3.7: Distribution Profiles Along x-axis Across the Inter-substrate Junction at y = 250 nm and t = 200 ps

分を示している．先の図 3.4 から，基板間 pn 接合が時間経過に伴い逆バイアス状態から順バイアス状態に変化することがわかっている．図 3.7(a) を見ると，t=200ps の状態において，解析 1 の結果は解析 3 の結果と比較して，nMOS と pMOS の基板間の電位差が大きくなっている．つまり，これは基板間電位差の変化が生成・再結合を考慮しないことによって遅くなっていることを意味している．また，解析 1 においては，電子温度は pMOS 領域において結晶格子温度と等しいという仮定を行っているため，図 3.7(c) に示すように，基板間 pn 接合を挟んで急激な温度勾配が生じることとなる．この電子温度の急激な温度勾配は，電子温度によるキャリアの拡散を促し，図 3.7(b) で見られるような，電子数密度の pn 接合における急激な減少を引き起こす．

これまでの結果より生成・再結合を考慮しないことにより，MOS 電流の時間発展を小さく見積もることとなり，また，マイノリティキャリア温度と結晶格子温度の非平衡性を考慮しないことにより，基板間 pn 接合付近におけるキャリア温度の現実的ではない勾配が発生し，その勾配によるキャリアの拡散の影響が大きく出ることが明らかとなった．つまり，本節で用いた解析モデル 3 による解析が，バルク CMOS における nMOS・pMOS 間の相互作用の実現賞を考察するために必要であることが明らかとなった．

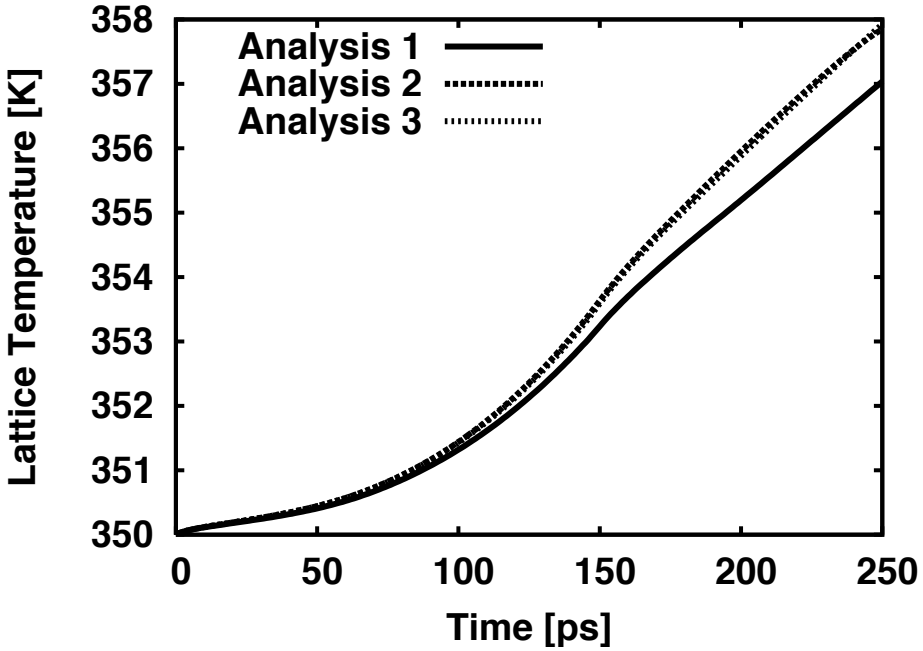


図 3.8: Maximum Lattice Temperature at the Drain of nMOS

最後に，図 3.8 に，基板間 pn 接合が順バイアス状態になる前，つまり t=250ps までのホットスポット温度の経時変化を示す．基板間 pn 接合が順バイアス状態になる前では，先にも示したように，ホットスポットはゲート酸化膜下のドレイン付近に発生する．この結果より，基板間 pn 接合

が順バイアス状態になる前においては，生成・再結合を考慮しない解析 1 において，ホットスポット温度は低く見積もられているが，生成・再結合を考慮した場合においては，マイノリティキャリア温度と結晶格子温度の非平衡性を考慮しない解析 2 の場合と，非平衡性を考慮した解析 3 の場合とで，同一の結果となっている．これは，MOS 単体の温度分布を予測する際においては，マイノリティキャリア温度は重要でないことを示している．

本節では，バルク CMOS の nMOS・pMOS 間の相互作用の現象を考察する際に重要となる現象の抽出を行った．次節以降，本解析から明らかになった現象を利用し，いくつかの条件下において，バルク CMOS 内 nMOS・pMOS 間の相互作用が生じない，スレッショールド距離の導出を試みる．なお，次節以降，生成・再結合の項は，キャリア温度依存のモデルを用いることとする．これは，生成・再結合を考慮する解析においては，解析 3 を用いるため，キャリア温度分布の情報が解析によって得られることと，電界依存のモデルを用いることにより，本研究で重要となってくる各 MOS の基板における電流が過大評価されるという報告があるからである．[3-13]

3.3 基板面へ流出するキャリアが微小な場合

3.3.1 モデリング

図 3.9 に，本節で用いるバルク Si CMOS の基本構造を示す．いずれの MOS もソース電極・ドレイン電極下の高濃度ドープ域の濃度は，$1 \times 10^{24}\mathrm{m}^{-3}$ とし，n 型 MOSFET の p 型基板及び p 型 MOSFET の n 型基板のドーピング濃度は，いずれも $1 \times 10^{23}\mathrm{m}^{-3}$ とした．また，ゲート長は nMOS・pMOS とも，100nm とし，高濃度ドープ域の厚さは 60nm とした．ゲート酸化膜は 2nm を考慮している．考慮した SiO_2 絶縁層の厚さは 80nm とした．

基板間 pn 接合は，いずれの場合においても SiO_2 域の中心に存在するものとし，SiO_2 域の幅を 100nm から 700nm まで変更することによって，バルク CMOS の nMOS・pMOS 間の相互作用の現象解明を試みる．

なお，SiO_2 絶縁層内部においては，電気的な挙動は考慮していない．

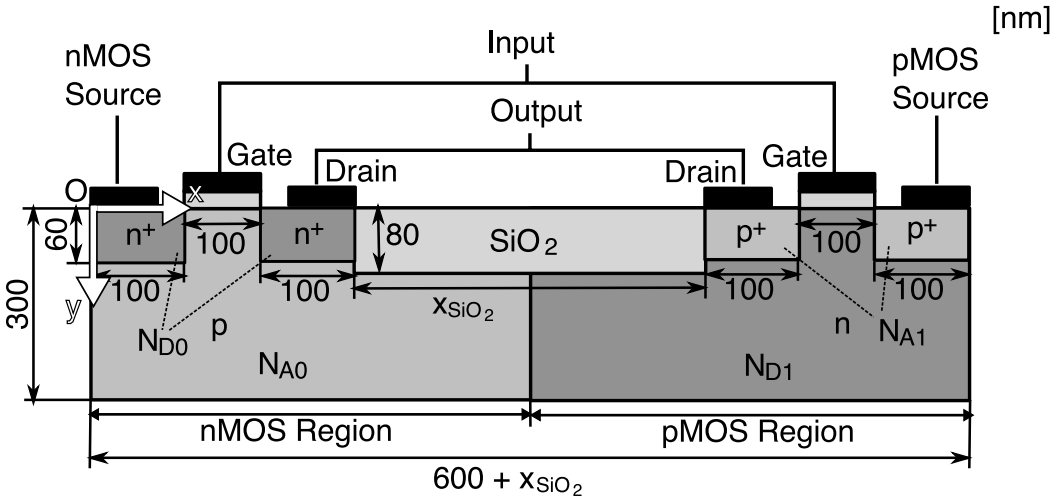


図 3.9: Modeled CMOS Structure : Small Leakage Case

3.3.2 支配方程式

支配方程式は，先の章とまったく同一のものを用いているため，ここでは示さない．[3-9]-[3-11] なお，本節では，基板面に流出するキャリアが微小である場合に関して考察を行う．ここでは，デバイス構造を最適化することによりキャリアの流出を微小にするのではなく，数値計算の利点を利用して，内部において考慮する現象を意図的に操作することにより，キャリアが基板面に流出することを抑制する．利用した手法は，デバイス内部におけるキャリアの生成を考慮しない手法である．キャリアの生成を考慮しない場合において，前節の解析結果からも明らかなように，デ

バイス内部の電流を小さく見積もることが可能となる．ここでは，キャリアの生成を考慮しないことによって，人工的に基板部分を流れるキャリアを抑制する手法を採用した．

3.3.3 境界条件

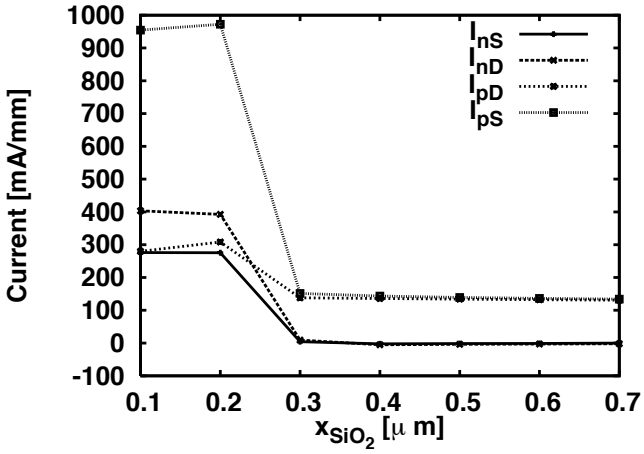
前節で示した境界条件と，同一のものを用いている．

3.3.4 動作条件

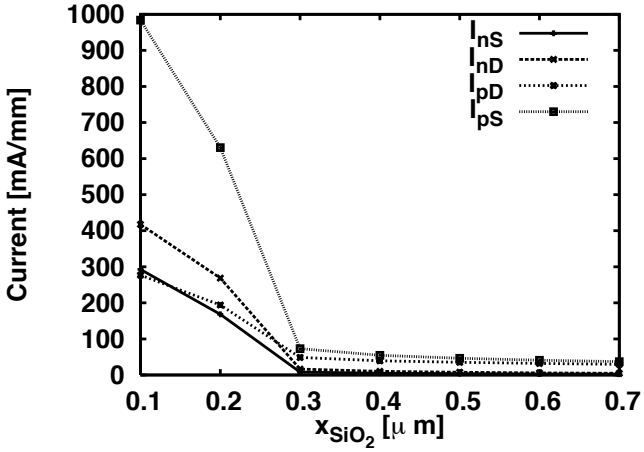
本節においては，基板面に流出するキャリアを抑制するため，先の節よりも大きな 1.5V の電圧を高電位として印加する．本節で行う解析は，後の章で行う実験と詳細な比較を行うため，入力・出力を 0V・0V，0V・1.5V，1.5V・0V，1.5V・1.5V の全パターンにおける解析を行った．

3.3.5 結果および考察

図 3.10 に，SiO_2 域の幅を 100nm から 700nm へと変化させた場合の，アウトプット電圧 0.0V の条件における，SiO_2 域の幅に対する，各 MOS ドレイン電流とソース電流を示す.



(a) $V_{output} = 0.0$ V, $V_{input} = 0.0$V



(b) $V_{output} = 0.0$ V, $V_{input} = 1.5$V

図 3.10: Current of Each Electrode : $V_{output} = 0.0$ V

図 3.10 は，いずれの場合もアウトプット電圧 0V の条件であるが，(a) はインプット電圧を 0V とした場合，つまり pMOS オンの場合，(b) はインプット電圧を 1.5V とした場合，つまり両 MOS オフの場合である．図中，I_{nS} は nMOS ソース電流を，I_{nD} は nMOS ドレイン電流を，I_{pD} は pMOS ドレイン電流を，I_{pS} は pMOS ソース電流をそれぞれ表している．図 3.10(a) より，SiO_2 幅が 0.3μm までは，pMOS のソース・ドレイン電流はおよそ 140mA/mm を示しており，また nMOS のいずれの電極にも電流が生じていないことから，pMOS がオン，nMOS がオフの状態であることが確

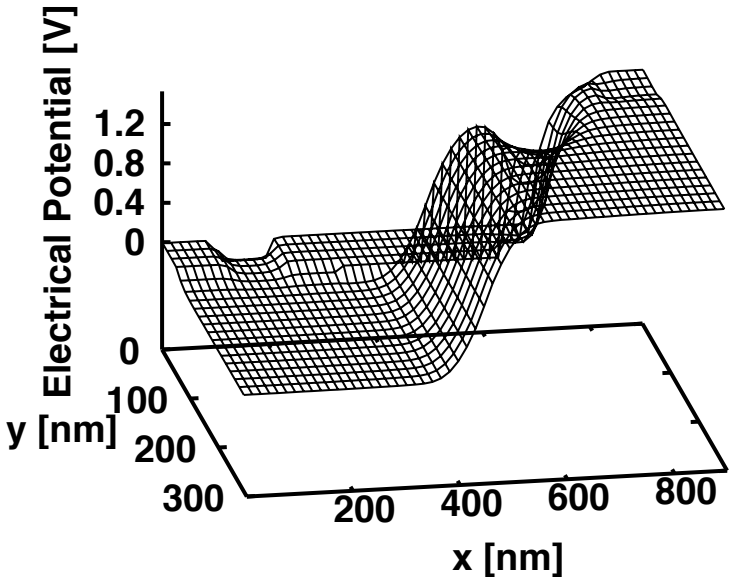
認される．一方で，SiO_2 幅が 0.2μm になると，nMOS・pMOS ともソース・ドレイン各電極に電流が流れるようになる．SiO_2 幅 0.1μm の場合に着目すると，pMOS ソース電流は約 980mA/mm と，非常に大きな値を示している．また，nMOS と pMOS のドレイン電流を合計した値，つまりアウトプット電極へ流れる電流は約 690mA/mm となっており，nMOS ドレイン電極に流れる電流は 290mA/mm 程度である．このことから，SiO_2 幅が 0.2μm になった場合，nMOS・pMOS 間に相互作用が生じ，pMOS ソース電極から流れ込んだ電流が，他の各電極へと流れ着く現象が生じていると考えられる．図 3.10(b) においては，SiO_2 幅 0.3μm までは，nMOS は完全にオフの状態であり，pMOS はデバイス構造が最適化されていないため，微小なリーク電流は見られるもののほぼオフの状態になっている．しかし，SiO_2 幅が 0.2μm 以下の場合，各 MOS のいずれの電極にも大きな電流が生じ，SiO_2 幅 0.1μm の場合においては，電流値は pMOS オン時と同等な値となっている．このことから，pMOS がオンでもオフでも SiO_2 が 0.2μm 以下の場合に nMOS・pMOS 間に相互作用が生じることが明らかとなった．

図 3.11 に，アウトプット電圧・インプット電圧ともに 0V の条件における，SiO_2 幅 0.3μm の場合と 0.2μm の場合の CMOS 内部の電位分布を示す．図 3.11(a) は，SiO_2 幅 0.3μm の場合，(b) は SiO_2 幅 0.2μm の場合の電位分布である．この図より，SiO_2 幅 0.3μm の場合においては，nMOS・pMOS 基板間の電位差が 1.63V となっているのに対し，SiO_2 幅 0.2μm の場合においては，基板間電位差が小さくなり，基板間 pn 接合が順バイアス状態になっていることが見て取れる．

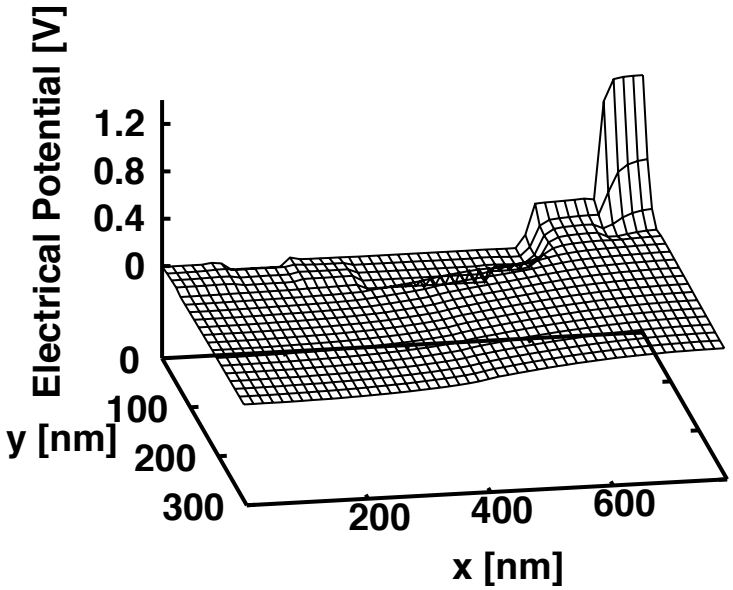
図 3.12 に，アウトプット電圧 0V，インプット電圧 1.5V の条件における，SiO_2 幅 0.3μm の場合と 0.1μm の場合の CMOS 内部の電位分布を示す．図 3.12(a) は，SiO_2 幅 0.3μm の場合における CMOS 内部の電位分布であり，(b) は，SiO_2 幅 0.1μm の場合における CMOS 内部の電位分布である．先の図の場合と同様に，SiO_2 幅 0.3μm までは，基板間電位差が逆バイアス状態になるように保たれているのに対し，SiO_2 幅 0.1μm の場合に基板間電位差が小さくなり，基板間 pn 接合は順バイアス状態になっていることが見てとれる．

図 3.11 及び図 3.12 いずれの場合においても，pMOS 基板の電位が nMOS 基板側へ引かれていることより，インプット電圧によらず，アウトプット電圧が相互作用の際の基板の電位を決定していると考えられる．

図 3.13 に，CMOS において nMOS・pMOS 間に相互作用が生じた際における，内部の正孔の流れを示す．図 3.13(a) は，アウトプット電圧，インプット電圧いずれも 0V の場合，図 3.13(b) は，アウトプット電圧 0V，インプット電圧 1.5V の場合の正孔の流れである．図 3.11(b) の電位分布より，pMOS ソース電極付近において，非常に大きな電位勾配すなわち電界が発生していることから，pMOS ソース電極から流入する電流が非常に大きくなっている．pMOS ソース電極から流れ込んだ正孔は，一部は pMOS ドレイン電極へと流れ，一部は基板間 pn 接合を経由して nMOS の基板へと流れ込んでいる．nMOS の基板へと流れ込んだ正孔は，nMOS ソース電極及びドレイン

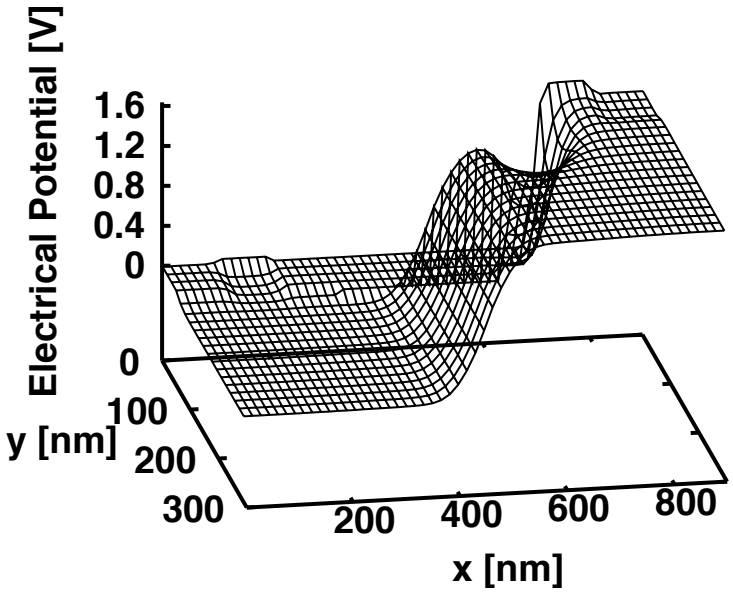


(a) x_{SiO_2}=0.3 μm

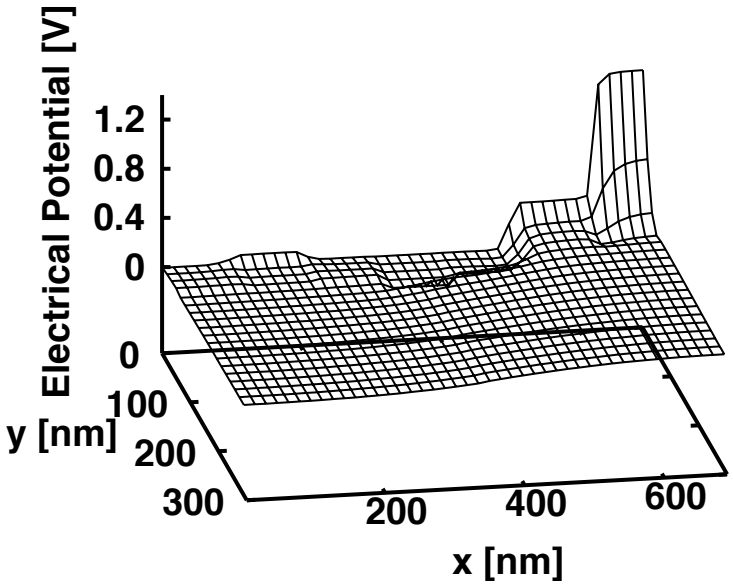


(b) x_{SiO_2}=0.2 μm

図 3.11: Electrical Potential Distribution : $V_{output} = V_{input}$=0.0 V

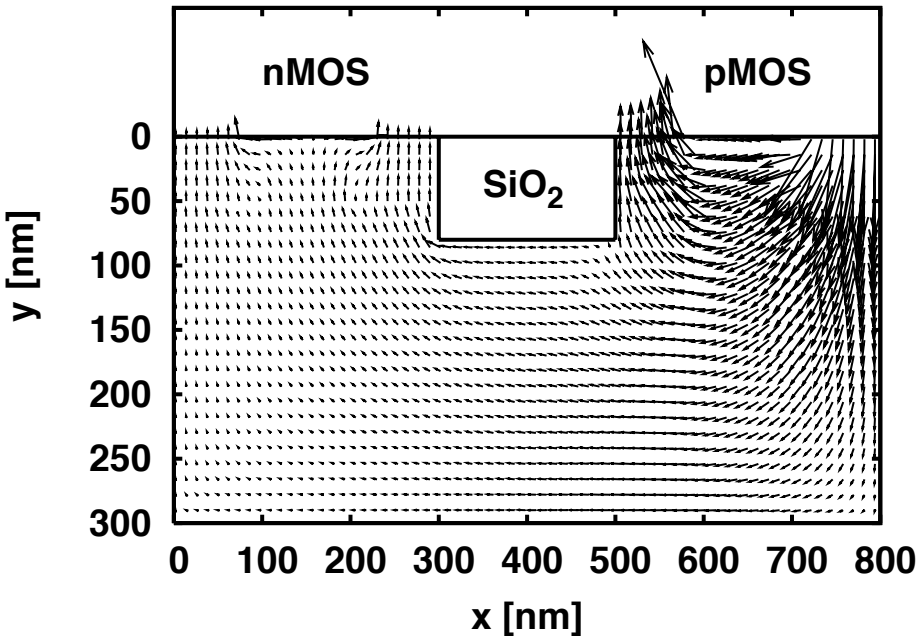


(a) x_{SiO_2}=0.3 μm

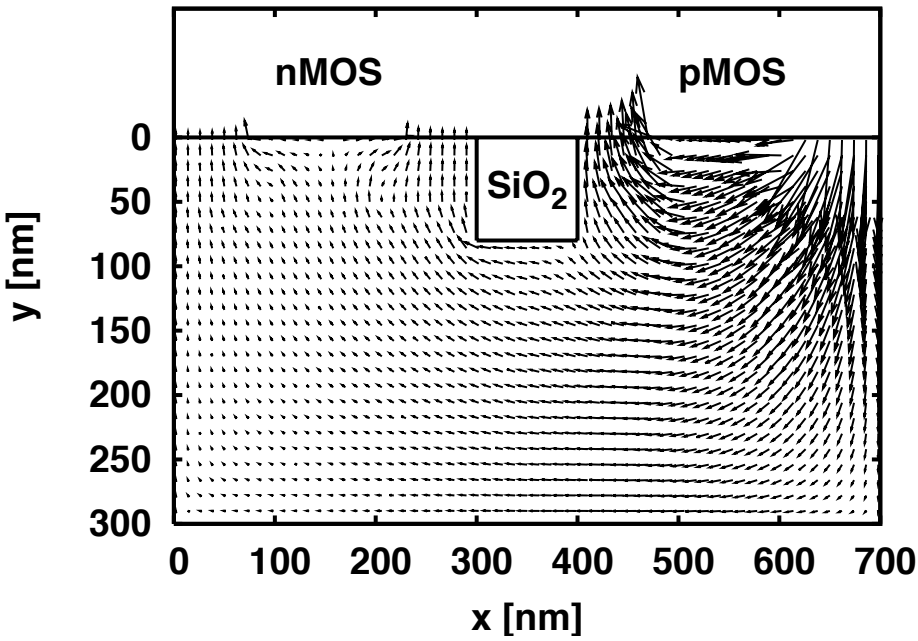


(b) x_{SiO_2}=0.1 μm

図 3.12: Electrical Potential Distribution : $V_{output} = 0.0V, V_{input} = 1.5V$



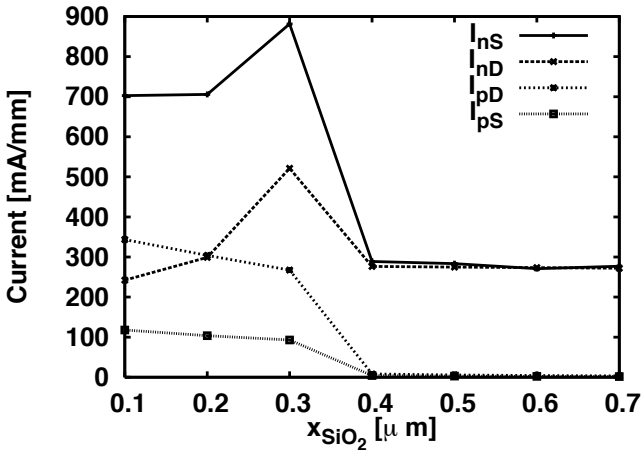
(a) $V_{input} = 1.5$ V



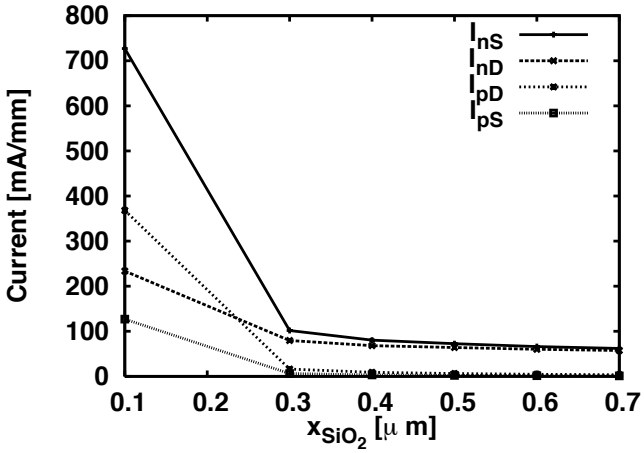
(b) $V_{input} = 0.0$ V

図 3.13: Hole Flow in the Interaction Case : $V_{output} = 0.0$V

電極へと流れている様子が見て取れる．図 3.13(b) でも同様な傾向が見て取ることができる．なぜなら，相互作用が生じた際における CMOS 内部の電位分布はいずれの場合も同様な傾向を示すからである．



(a) V_{output} = 1.5 V, V_{input} = 1.5V



(b) V_{output} = 1.5 V, V_{input} = 0.0V

図 3.14: Current of Each Electrode : V_{output} = 1.5V

図 3.14 に SiO_2 幅を 100nm から 700nm まで変化させた場合における，アウトプット電圧 1.5V の条件での，SiO_2 幅に対する，各 MOS ドレイン電流とソース電流の変化を示す．図 3.14(a) より，SiO_2 幅 0.4μm までは，nMOS ソース電流・ドレイン電流とも 290mA/mm 程度を示し，安定した動作を行っていることが確認される．また，pMOS はいずれの電極にも電流は生じておらず，オフの状態を保っていることが見て取れる．一方で，SiO_2 幅 0.3μm で急激に nMOS ソース電流・ドレイン電流が大きな値を示すようになり，pMOS 各電極でも電流が生じる現象が見て取れる．図 3.14(b) においては，先の図 3.10 の場合と同様で，デバイス構造が最適化されていないことにより，

nMOS の各電極で微小な電流が生じているが，SiO_2 幅 0.3μm の場合までは，nMOS・pMOS ともオフの状態を保っている．しかし，SiO_2 幅 0.1μm の場合においては，nMOS ソース電流が非常に大きな値を示しており，その値は 730mA/mm 程度となっており，nMOS ドレイン電流と pMOS ドレイン電流を合計したアウトプット電流は 600mA/mm 程度，pMOS ソース電流は 130mA/mm 程度となっている．このことから，nMOS オンの状態において，相互作用のスレッショールド距離が 100nm 程度大きくなるものの，アウトプット電圧 1.5V の場合においては，相互作用が生じた際，nMOS ソース電極から多量に流れ込んだ電子の一部は nMOS ドレイン電極へと流れ，一部は基板間 pn 接合を通って pMOS 基板へと流れ込み，pMOS の各電極にたどり着くことが考えられる．

図 3.15 に，アウトプット電圧・インプット電圧ともに 1.5V の条件下での，SiO_2 幅 0.4μm と 0.2μm の場合の CMOS 内部の電位分布を示す．図 3.15(a) は，SiO_2 幅 0.4μm の場合，(b) は SiO_2 幅 0.2μm の場合における CMOS 内部の電位分布である．図 3.15(a) より，nMOS オンの状態において相互作用が生じていない場合，基板間 pn 接合は逆バイアス状態に保たれているが，一方で，(b) の相互作用が生じた場合においては，基板間 pn 接合の電位差が小さくなり，順バイアス状態になっていることが確認される．

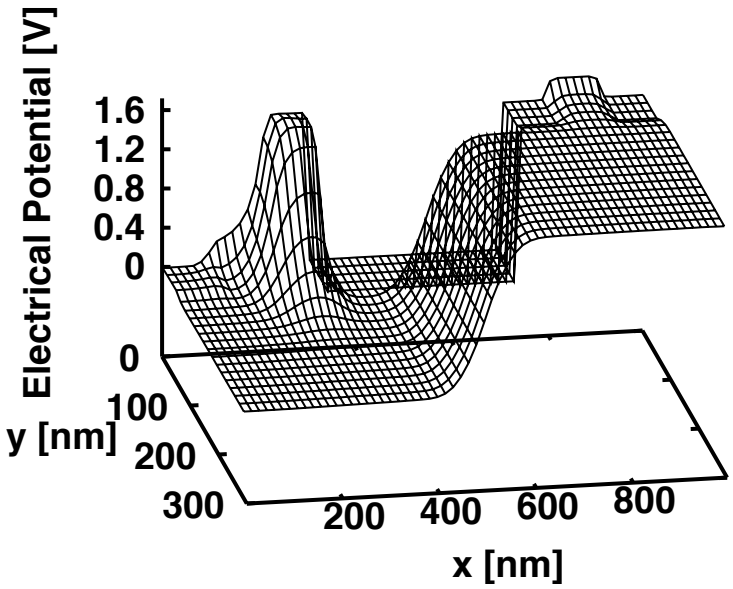
図 3.16 に，アウトプット電圧 1.5V，インプット電圧 0V の条件下での，SiO_2 幅 0.3μm の場合と 0.1μm の場合の，CMOS 内部の電位分布を示す．やはり，基板間 pn 接合は，相互作用が生じていない状態では逆バイアス状態になっているが，相互作用が生じた際は順バイアス状態になっている．また，図 3.15(b) と図 3.16(b) を比較することにより，CMOS における nMOS・pMOS 基板の電位は，インプット電圧には影響されず，アウトプット電圧の方向に引かれることが確認できる．

図 3.17 に，SiO_2 が 100nm の場合の，アウトプット電圧・インプット電圧ともに 1.5V の条件下とアウトプット電圧 1.5V・インプット電圧 0V の条件下における，電子が流れる経路をベクトルグラフを用いて示す．電子による電流は，電子の流れと逆方向に定義されるが，ここでは電子の流れの直感的な理解を助けるために，電子電流の値にマイナスを乗じたもの，つまり絶対値は同じで電子電流とは逆向きの流れを示す．

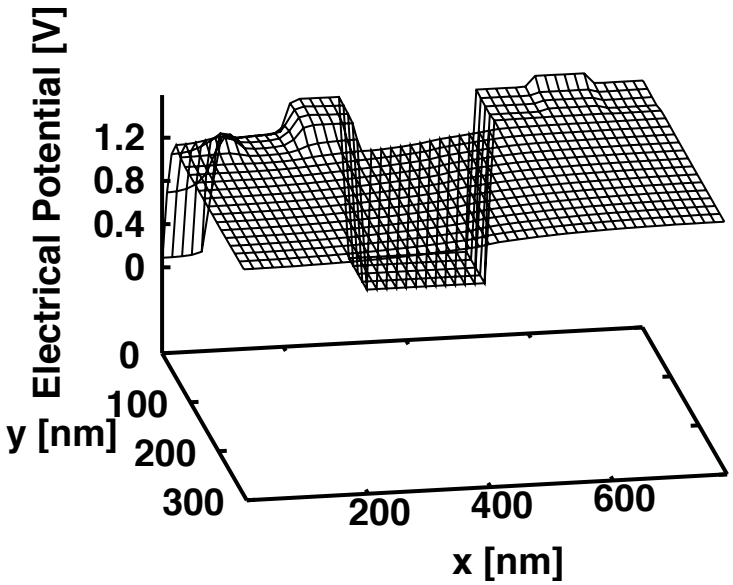
図 3.17(a) は，アウトプット・インプット電圧 1.5V の場合，(b) は，アウトプット電圧 1.5V 及びインプット電圧 0V の場合の，電子の流れである．いずれの場合においても，多量の電子が nMOS ソース電極から流入し，nMOS ドレイン電極及び pMOS ソース・ドレイン電極へと流れていることが確認される．

図 3.18 に，nMOS オンの条件における，SiO_2 幅 0.4μm の場合及び SiO_2 幅 0.2μm の場合の結晶格子温度分布を示す．やはり，これらの図からも先の図 3.6 で見られたものと同様な現象が見て取れる．

以上より，SiO_2 幅が小さくなることによって生じる nMOS・pMOS 間の相互作用の詳細が明ら

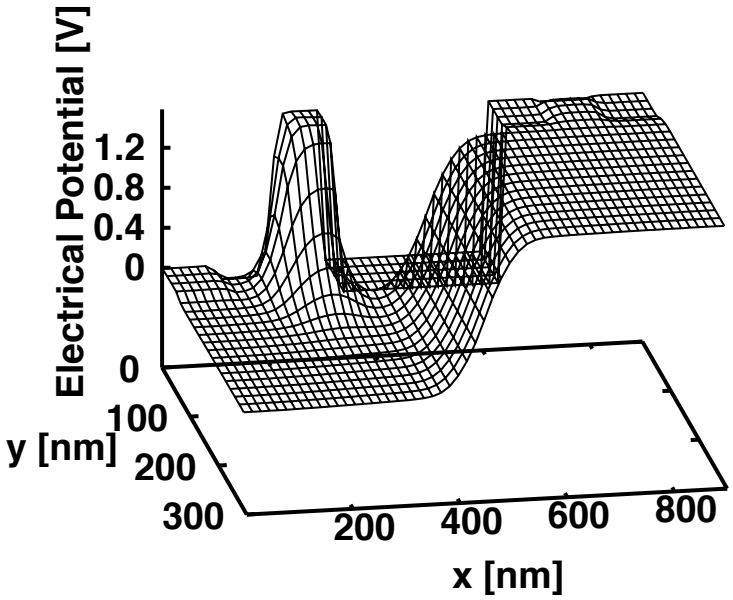


(a) $x_{SiO_2} = 0.4\ \mu m$

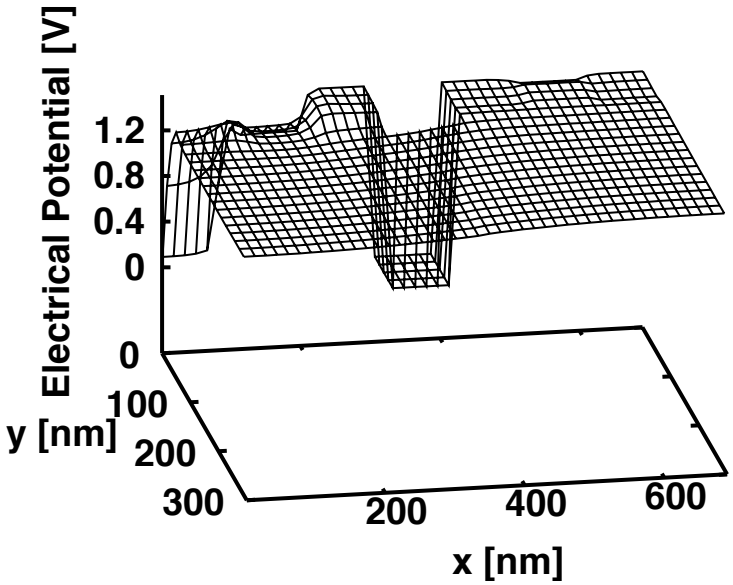


(b) $x_{SiO_2} = 0.2\ \mu m$

図 3.15: Electrical Potential Distribution : $V_{output} = V_{input} = 1.5V$

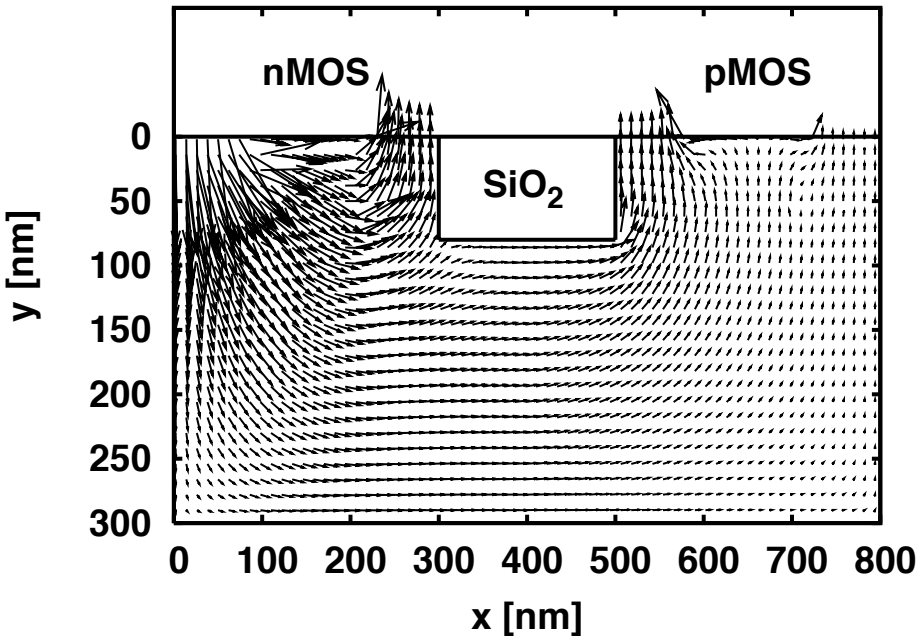


(a) $x_{SiO_2} = 0.3\ \mu m$

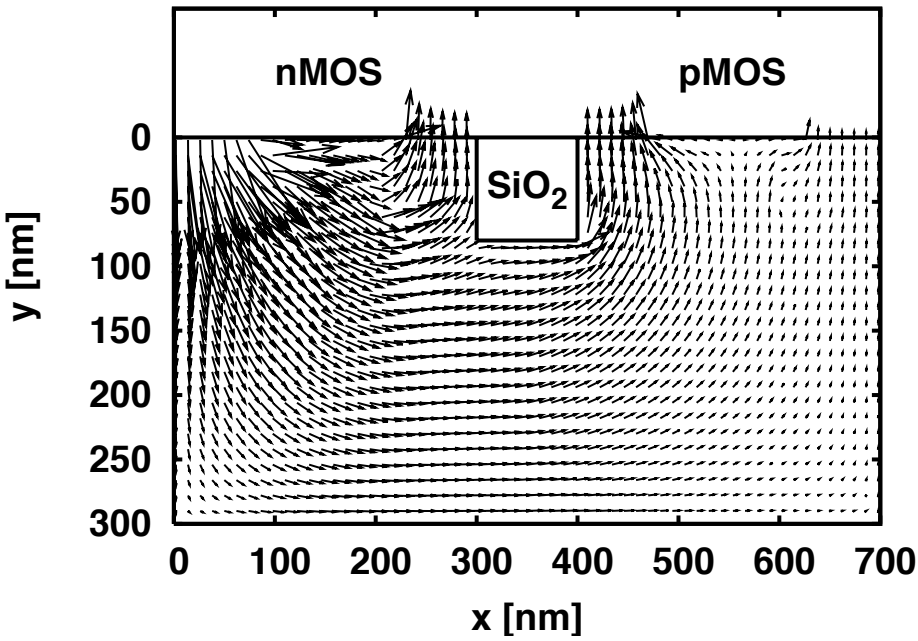


(b) $x_{SiO_2} = 0.1\ \mu m$

図 3.16: Electrical Potential Distribution : $V_{output} = 1.5V, V_{input} = 0.0V$

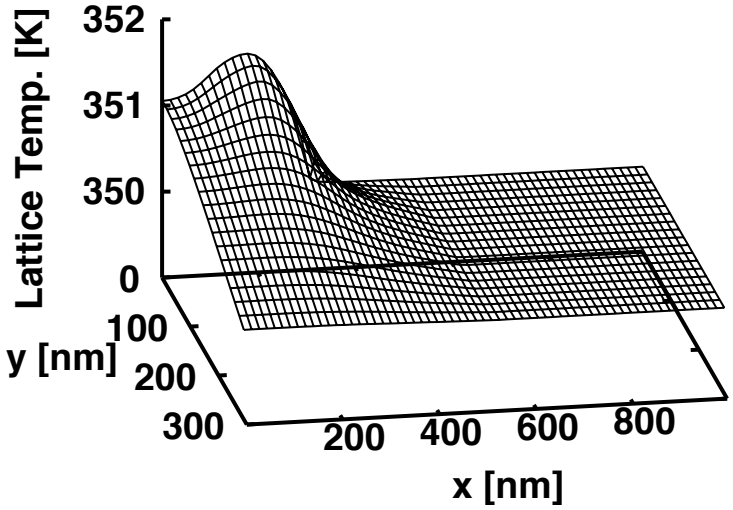


(a) $V_{input} = 1.5$ V

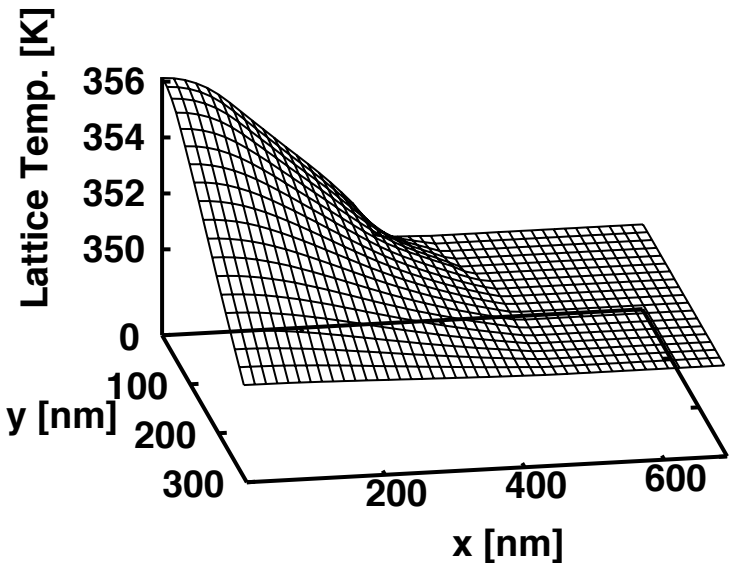


(b) $V_{input} = 0.0$ V

図 3.17: Electron Flow in the Interaction Case : $V_{output} = 1.5V$



(a) $x_{SiO_2} = 0.4\ \mu m$



(b) $x_{SiO_2} = 0.1\ \mu m$

図 3.18: Lattice Temperature Distribution : $V_{output} = V_{input} = 1.5V$

かとなった．また，SiO_2 幅が小さくなることによって相互作用が生じた場合における結晶格子温度は，通常動作の際の結晶格子温度より高くなることが確認された．これらの詳細は，次章の実験において，実験的な検討を試みる．

次に，本節で考慮している，基板へ流れるキャリアの数が少数の場合における，相互作用のスレッショールド距離の考察を行う．

今，nMOS 基板および pMOS 基板のドーピング濃度は，$N_D = N_A = 1.0 \times 10^{23}\mathrm{m}^{-3}$ で等しい．これらの値を考慮して基板間 pn 接合面のビルトインポテンシャル（拡散電位または内在電位：pn 接合面において電圧を印加しない状態で生じる電位差）は，以下の式で計算される．[3-14]

$$\phi_B = \frac{k_B T_L}{q} \ln\left(\frac{N_D N_A}{n_i^2}\right) \tag{3.1}$$

式 3.1 より，本解析モデルにおける基板間 pn 接合のビルトインポテンシャルを算出すると，

$$\phi_B = 0.80V \tag{3.2}$$

となる．図 3.11(a) より，SiO_2 幅を十分に取った場合の基板間 pn 接合の電位差は，1.63V となっている．つまり，nMOS・pMOS 間の相互作用が生じない状態でのバルク CMOS における基板間 pn 接合は，逆バイアス状態に保たれていることとなる．逆バイアスに保たれている pn 接合においては，外部から強制的な電流を流さない，または，逆バイアスが大きく雪崩破壊などが生じない限り，逆方向飽和電流と言われる極めて微小な電流しか流れないため，CMOS においては nMOS・pMOS 間の電流の交換はわずかしか生じないことになる．[3-15]

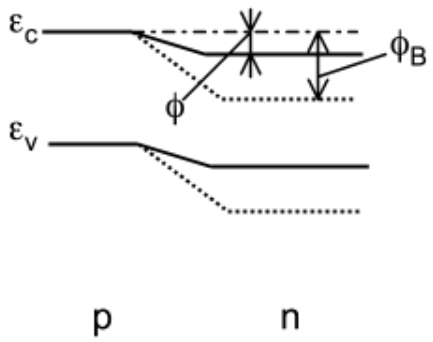
ここで，pn 接合が存在することによって生じる，pn 接合周辺の空乏層を考える．空乏層は pn 接合に生じる電位差と，n 型・p 型半導体のドーピング濃度から算出され，以下の式から求めることができる．

$$X_{dep} = \sqrt{\frac{2\epsilon_s (N_D + N_A)}{q N_D N_A} (\phi_B - \phi)} \tag{3.3}$$

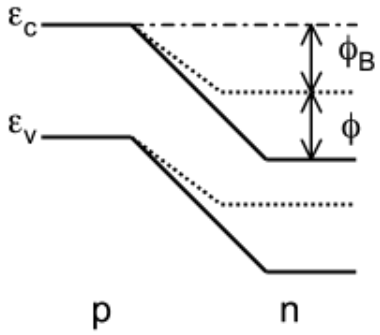
式 3.3 中の，ϕ_B はビルトインポテンシャルであり，ϕ は pn 接合に印加されたビルトインポテンシャル以外の外部電位である．つまり，順バイアス方向の電位が印加された場合，ϕ は正の符号となり，逆バイアス方向の電位が印加された場合，ϕ は負の符号となる．この概念を，図 3.19 に示す．なお，図 3.19 は，バンド図で示している．そのため，図 3.19 においては，電子のエネルギーを正とするため，電位的には図上方がマイナスであり，下方がプラスである．また，図中の ϵ_c は，伝導帯（コンダクションバンド）を表し，ϵ_v は価電子帯（バレンスバンド）を表す．

式 3.3 を用いて，本解析における基板間 pn 接合のビルトインポテンシャルによる空乏層を求めると，

$$\phi_B - \phi = 0.80 \tag{3.4}$$



(a) Forward Bias



(b) Reverse Bias

図 3.19: Relation between ϕ and ϕ_B

より，

$$X_{dep} = 0.145[\mu\mathrm{m}] \tag{3.5}$$

となる．また，本解析における CMOS 動作条件下では，基板間 pn 接合は逆バイアス状態になっており，例えば pMOS オン時におけるバイアス状態は，

$$\phi_B - \phi = 1.63 \tag{3.6}$$

であるため，空乏層は，

$$X_{dep} = 0.207[\mu\mathrm{m}] \tag{3.7}$$

となる．

また，図 3.11(a) より，pMOS のドレイン電極下高濃度ドープ域から SiO_2 絶縁層下に 0.050 μm 程度，電位の影響が及んでいることが確認される．また，nMOS 側から電位の影響は無視できる程度である．

これらを考え合わせると，基板間 pn 接合周辺に生じる空乏層の pMOS 側の端に対して，pMOS の電位が影響を及ぼす距離は，基板間 pn 接合から空乏層が片側に 100nm 程度伸び，pMOS 側から 50nm 程度の電位の影響があることを考え合わせると，150nm となる．今，解析において SiO_2 幅 300nm の場合，基板間 pn 接合面から nMOS までの距離は 150nm であり，SiO_2 幅 200nm の場合，基板間 pn 接合面から nMOS までの距離が 100nm であり，基板間 pn 接合周辺の空乏層が nMOS または pMOS のドレイン電極からの電位の影響を受ける範囲に到達した場合に，基板間 pn 接合面は順バイアス状態となり，nMOS・pMOS 間の相互作用が生じると説明できる．今，解析においては，nMOS・pMOS 基板とも直接電位は固定されていないため，電気的に浮いている状態になっている．ドレイン電圧（アウトプット電圧）の電位の方に基板の電位が引かれることから，基板間 pn 接合に一番近い固定されている電位に基板電位が引かれると結論づけることが可能である．

nMOS オンの状態を考えると，SiO_2 幅 0.4μm の場合における基板間電位差は，やはり 1.63V となっている．これは，先に示した pMOS オンの状態と同様である．一方で，nMOS のドレイン電極下高濃度ドープ域から SiO_2 絶縁層下には，0.070 μm 程度，電位の影響が及んでいる．このことから，基板間 pn 接合周辺に生じる空乏層の端が，nMOS ドレイン電極に引かれる距離は，先の pMOS オンの状態よりも大きくなる．そのため，nMOS オンの状態においては SiO_2 幅が 0.3μm でも相互作用が生じると説明できる．

本節で検証したケースは，リーク電流が非常に小さい場合となるため，バルク CMOS における相互作用防止のためのミニマムなスレッショールド距離となる．

3.4 基板面へ流れる電流が大きい場合

3.4.1 モデリング

図 3.20 に，本節で用いるバルク Si CMOS のモデルを示す．nMOS・pMOS ともドーピング濃度は先のモデルと同様である．ゲート長は 90nm と小さくした．これは，ソース・ドレイン電極下高濃度ドープ域から広がる空乏層の影響をゲート電極下においてより顕著にするためであり，キャリアのチャンネルが前節のモデルに比して形成されづらい状態をつくり，基板面に流れるキャリアをエンハンスするためである．また，各 MOS の外側にも 200nm の SiO_2 絶縁層を考慮した．これは，基板面に流れるキャリアが増大した場合，解析領域を限定することによって，基板間 pn 接合に流れる電流がエンハンスされるためであり，いくつかのモデルを試した上で，外側 200nm の SiO_2 が基板間 pn 接合に流れるキャリアをエンハンスしない最小の大きさであることが確認されたためである．なお，上記以外は，前節のモデルと同様なものを用いている．

本節では，基板に流出するキャリアの影響と SiO_2 絶縁層の関係を見るために，SiO_2 絶縁層の幅のみならず，80nm と 200nm という 2 種類の厚さにおいて解析を行い，SiO_2 絶縁層の厚さが相互作用に与える影響も検討した．

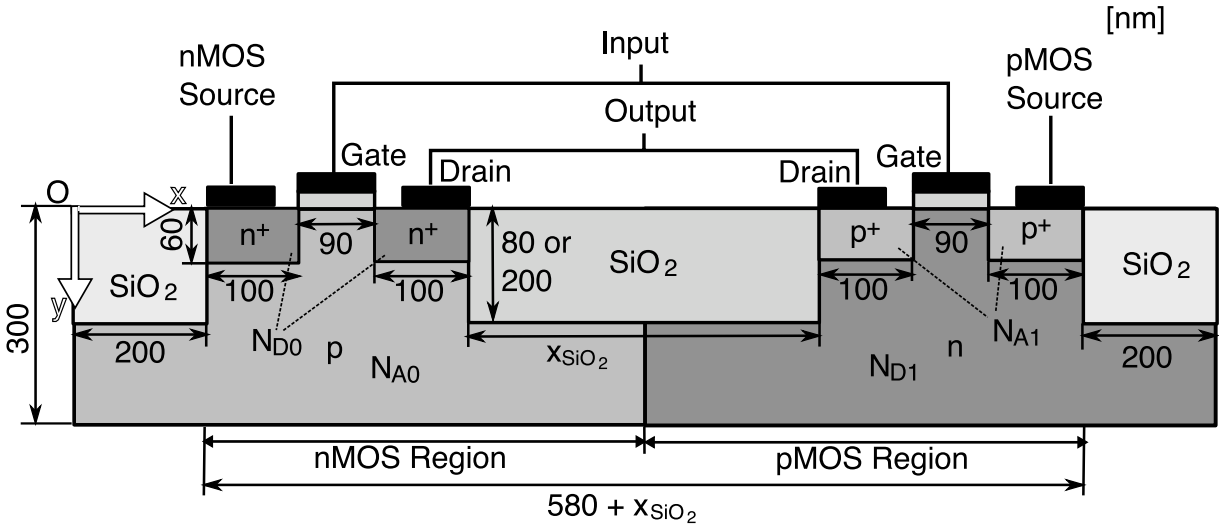


図 3.20: Modeled CMOS Structure : Large Leakage Case

3.4.2 支配方程式

本節における支配方程式は，前節のものと基本的に同一であるため，ここでは再掲載しない．本節では，基板面に流出するキャリアをより顕著にするため，キャリア温度依存の生成・再結合の

項を考慮している．

3.4.3 境界条件

境界条件も支配方程式同様，前節のものと全く同一のものを用いている．なお，本節では基板温度が相互作用に与える影響を確認するため，基板温度を，350K，400K と変化させた解析を行った．

また，本節においては，nMOS オンの条件でのみの検討を行う．そのため，nMOS ソース電圧を 0V とし，それ以外の電極電極には 1.1V を印加した条件での解析を行った．前節の解析より印加電圧を小さくした理由は，印加電圧を小さくすることにより電子が電極へと引かれる力を弱くし，基板面に電子を流れやすくするためである．

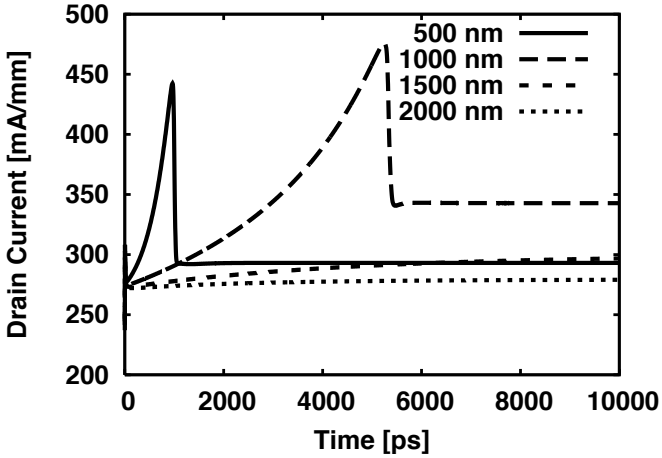
3.4.4 結果及び考察

図 3.21 に，基板温度 350K，SiO_2 厚さ 80nm の場合における，X_{SiO_2} の幅と nMOS 各電極に流れる電流及び pn 接合を流れるリーク電流の経時変化を示す.

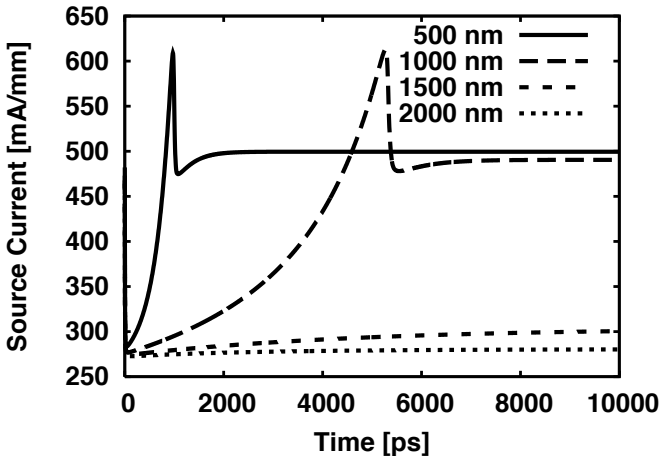
図 3.21(a) は，nMOS ドレイン電流の経時変化の様子を示している．SiO_2 幅 500nm の場合において，ドレイン電流は時間とともに上昇し，ピークを迎えて急激に減少する傾向を示している．このピークは，図 3.3 の場合と同様なものであり，この前後で基板間 pn 接合が逆バイアス状態から順バイアス状態に変化している．また，SiO_2 幅 1000nm の場合においても nMOS オンから 5245ps 後にドレイン電流のピークが確認され，このピークの前後において基板間 pn 接合が逆バイアス状態から順バイアス状態に変化している．一方で，SiO_2 幅 1500nm では，ドレイン電流の経時変化は 10ns 後には定常に落ち着く傾向を見せており，SiO_2 幅 2000nm の場合においては，nMOS オン直後からほぼ一定の値を示している．このことから SiO_2 幅 1000nm の場合においても，nMOS・pMOS 間で相互作用が生じることが確認され，前節の基板に流出するキャリアが少ない場合と相互作用の支配現象が異なることは明らかである．図 3.21(b) は，nMOS ソース電流の経時変化を示している．この図から，SiO_2 幅 1500nm の場合における nMOS ソース電流は 10ns 後に一定に落ち着く傾向を見せており，SiO_2 幅 2000nm の場合では nMOS オン直後から一定値を示している．また，SiO_2 幅 500nm 及び 1000nm の場合におけるピークを示す時間も，ドレイン電流の場合と同様である．しかし，ソース電流は，SiO_2 幅 500nm の場合においても 1000nm の場合においても，ピークの値及びその後の電流値は同一の値となっている点がドレイン電流と異なる．図 3.21(c) は，リーク電流の経時変化の様子である．この場合のリーク電流とは，nMOS ソース電流から nMOS ドレイン電流を引いた値である．図より，SiO_2 幅 500nm の場合のリーク電流は，相互作用後 206.4mA/mm を示しており，これは nMOS ソース電極から流れ込んだ電子の 41%が基板間 pn 接合に流れていることを意味している.

次に，SiO_2 厚さを 200nm，基板温度を 350K とした場合における，nMOS 各電極電流及びリーク電流の経時変化を示す.

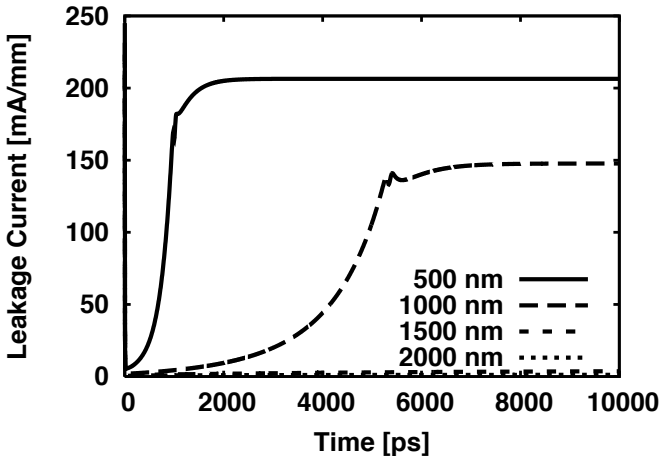
図 3.22(a) に，nMOS ドレイン電流の経時変化を示す．SiO_2 厚さを 200nm とした場合，SiO_2 幅 500nm においては，ドレイン電流のピークが確認され，この前後において基板間 pn 接合が逆バイアス状態から順バイアス状態になっていることが確認されるが，SiO_2 厚さ 80nm でピークを示した SiO_2 幅 1000nm においてはピークは確認されず，10ns 後には一定の値を示すに至っている．また，SiO_2 幅 1000nm 及び 2000nm の場合においては，ほぼ同様な値を示していることから，SiO_2 厚さを大きくすることによって相互作用を抑制可能であることが明らかとなった．図 3.22(b) に，nMOS ソース電流の経時変化を示す．やはり，SiO_2 幅が 500nm とした場合において，ドレインと同様にピークを示すが，SiO_2 幅が 1000nm より大きい場合においては，nMOS オン直後からほ



(a) Drain Currnet

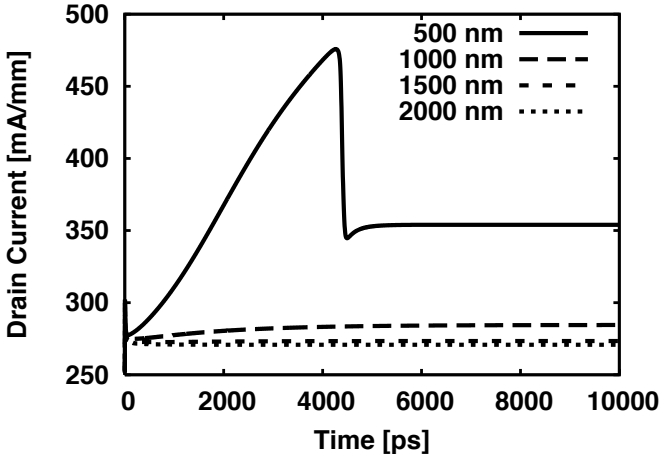


(b) Source current

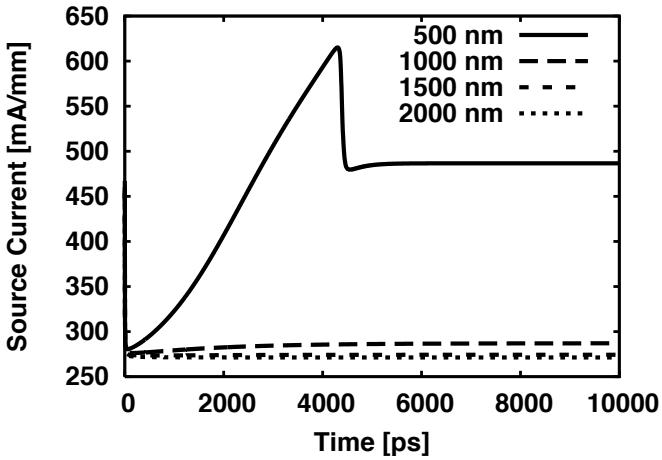


(c) Leakage Current

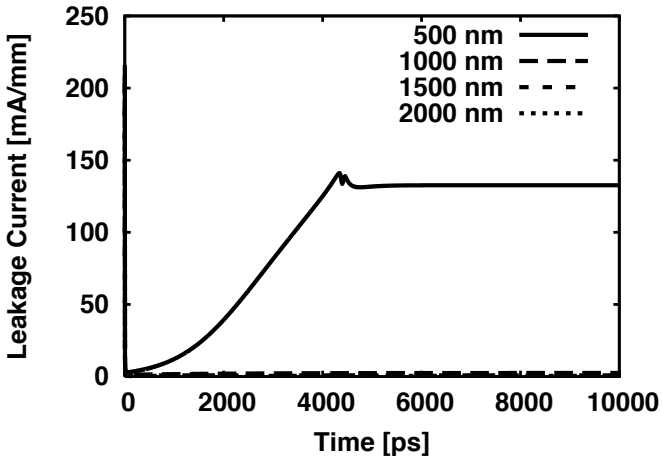
図 3.21: Current with 80 nm SiO_2 Thickness and 350 K Substrate Temperature



(a) Drain Current



(b) Source Current



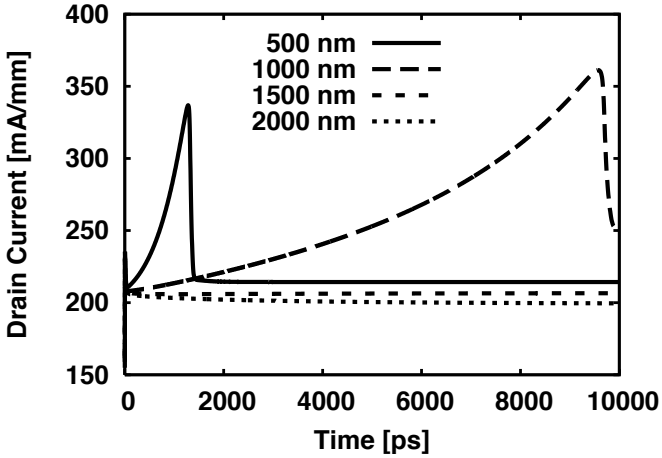
(c) Leakage Current

図 3.22: Current with 200 nm SiO_2 Thickness and 350 K Substrate Temperature

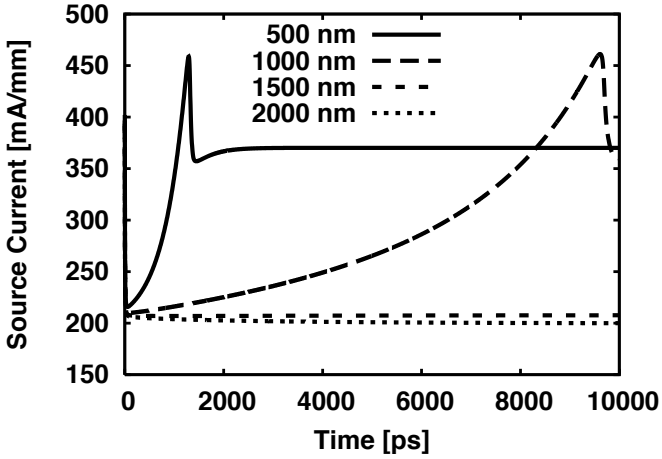
ぼ一定の値を示しており，相互作用が生じないことが確認される．図 3.22(c) に，nMOS ソース電流の値から nMOS ドレイン電流の値を引いたリーク電流の経時変化を示す．これまでのグラフより，SiO_2 幅が 1000nm 以上の場合においては，相互作用を生じないことが確認されており，リーク電流の値はソース電流の 1% 以下となっており，実用上全く問題ないことが確認される．一方で，SiO_2 幅 500nm の場合においては，リーク電流が 132.6mA/mm となっておりこれはソース電流の 27%となっており，先の SiO_2 厚さ 80nm の場合に比して非常に小さい値となっている．このことからも，SiO_2 厚さを大きくすることにより基板間 pn 接合を通過して pMOS 基板へと流れる電子を抑制することが可能であることが明らである．

次に，SiO_2 厚さを 80nm とし，基板温度を 400K とした場合における nMOS ドレイン電流と pMOS ソース電流の経時変化を示す．

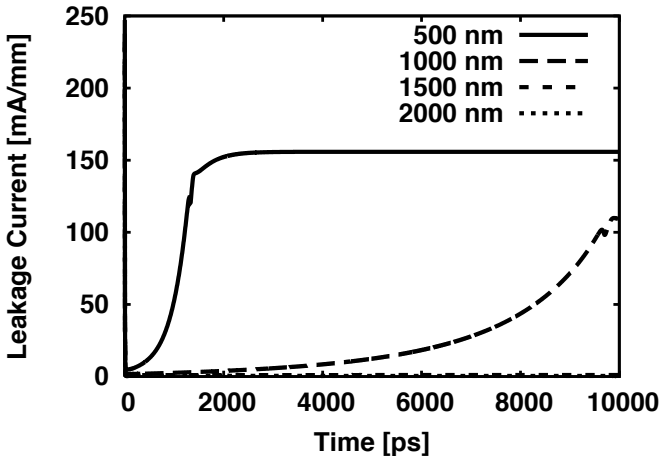
図 3.23(a) は，SiO_2 厚さ 80nm，基板温度 400K の場合におけるドレイン電流の経時変化である．このグラフより，SiO_2 幅 500nm 及び 1000nm の場合において，ピーク値が見られる．しかし，ピークを示す時間は先の図 3.21 の場合より，いずれの場合においても遅いタイミングとなっている．また，SiO_2 幅 1500nm 及び 2000nm の場合においては，nMOS オン直後から一定の値を示しており，その電流値は 199.6mA/mm と図 3.21 の場合に比して 28.4%小さな値となっている．これは，基板温度の上昇によりキャリアの移動度が減少したためである．図 3.23(b) に，nMOS ソース電流の経時変化を示す．これまでと同様にドレイン電流と同じ傾向を示しており，図 3.21(b) において見られた，ピーク値を示した後に一定に落ち着く値が SiO_2 幅によらず一定である様子も見て取れる．図 3.23(c) に，リーク電流の値を示す．SiO_2 幅 500nm の場合を 3.21(c) の場合と比べると，リーク電流は基板温度が上昇することによって，減少する傾向にあることが見て取れる．図 3.21(c) では，SiO_2 幅 500nm の場合のリーク電流は 206.4mA/mm であった．図 3.23(c) では，同様の場合のリーク電流は 155.8mA/mm となっており，その差は 24.5%である．ドレイン電流の値が基板温度の上昇により 28.4%のパフォーマンスダウンを起こすことからも，基板温度の上昇により，全体の現象の進みは遅延するが支配現象の大きな変化は生じないものと考えられる．



(a) Drain Current



(b) Source Current



(c) Leakage Current

図 3.23: Current with 80 nm SiO_2 Thickness and 400 K Substrate Temperature

3.5 まとめ

本章では，MOS 動作時において，基板面へ流出するキャリアの量が少ない場合と多い場合での，CMOS における nMOS・pMOS 間の相互作用の詳細を熱・電気連成解析を用いて検討した.

基板面へ流出するキャリアの量が少ない場合，基板間 pn 接合周辺に生じる空乏層とドレイン電極からの電位の影響が及ぶ範囲を求めることにより，相互作用が生じるミニマムなスレッショールド距離を見積もることが可能であることを明らかにした.

また，基板面へ流出するキャリアの量が多い場合，支配現象が基板面へ流出するキャリアの量が少ない条件下での相互作用と大きく変化することを示すとともに，基板温度の変化は MOS の相互作用のタイミングを変化させるが支配現象の大きな変化はない可能性を示した.

本章の結果より，バルク CMOS 発展のためには，基板面へ流出するリーク電流を制御することにより，nMOS・pMOS 間の相互作用のリスクを減少させ，高集積化への可能性が広がることが明らかとなった.

参考文献

[3-1] 菊池正典,「半導体のすべて」,1998, 日本実業出版

[3-2] 柳井久義, 永田穣,「改訂集積回路工学 (2) 回路技術編」, 1979, コロナ社

[3-3] M.D. Ker and C. Y. Wu, "Transient Analysis of Submmicron CMOS Latchup with a Physical Criterion", *Solid-State Electronics*, Vol. 37, No. 2, 1994, pp. 255-273

[3-4] J. Naughton and M. Tyler, "Best Methods to Minimize Latch-up Sensitivity in Semiconductor Circuits", *Proc. of 2005 IEEE Workshop on Microelectronics and Electron Devices*, 2005, pp. 95-98

[3-5] Y. Moreau, H. Rochette, G. Bruguier, J. Gasiot, F. Pelanchon, C. Sudre and R. Ecoffet, "The Latchup Risk of CMOS-Technology in Space", *IEEE Transaction on Nuclear Science*, Vol. 40, No. 6, 1993, pp. 1831-1837

[3-6] Z. X. Zhang, Q. Lin, M. Zhu and C. L. Lin, "A New Structure of SOI MOSFET for Reducing Self-Heating Effect", *CERAMICS INTERNATIONAL*, Vol 30, 2004, pp. 1289-1293

[3-7] P. Su, K. Goto, T. Sugii and C. Hu, "Self-Heating Enhanced Impact Ionization in SOI MOSFETs", *Proceeding of IEEE International SOI Conference*, 2001, pp. 31-32

[3-8] L. T. Su, J. E. Chung, D. A. Antoniadis, K. E. Goodson and M. I. Flik, "Measurement and Modeling of Self-Heating in SOI NMOSFET's", *IEEE Transactions on electron devices*, Vol. 41, No. 1, 1994, pp. 69-75

[3-9] J. Lai and A. Majumdar, "Concurrent thermal and electrical modeling of sub-micrometer silicon devices", *Journal of Applied Physics*, Vol 79, No 9, 1996, pp. 7353-7361

[3-10] C. L. Tien, A. Majumdar, F. M. Gerner, *Microscale Energy Transport*, 1997, Taylor&Francis

[3-11] J. W. Roberts and S. G. Chanberlain, “Energy-Momentum Transport Model Suibale for Small Geometry Silicon Device Simulation”, *COMPEL-The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, Vol. 9, No. 1, 1990, pp. 1-22

[3-12] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*, 1984, Springer-Verlag

[3-13] C. Jungemann, B. Meinerzhagen, S. Decker, S. Keith, S. Yamaguchi and H. Goto, “Is physically sound and predictive modling of nMOS substrate currents possible?”, *Solid-State Electronics*, Vol. 42, No. 4, 1998, pp647-655

[3-14] S. M. Sze, *Physics of Semiconductor Devices*, 1981, Wiley-Interscience

[3-15] 小長井誠,「半導体物性」, 1992, 培風館

第4章　Si CMOSの相互作用に関する実験

4.1　研究背景

先の章でも述べたように，現在のLSI中ではnMOSとpMOSを一組として用いるCMOSが広く利用されている．[4-1] 性能・集積度の観点からは，SOI CMOSが非常に魅力的であるが，熱問題の観点からは，バルクCMOSが非常に魅力的である．[4-2]-[4-4] 本論文は，半導体デバイスの熱問題の緩和に取り組むことを目的としているため，バルクCMOSの可能性について検討している．

本論文で焦点を絞っている問題は，バルクCMOSの相互作用に関する問題である．バルクCMOSでは，Si基板上にMOSを作製するため，Siの高い熱伝導率により，デバイス底面へと放熱経路を確保できる．[4-2]-[4-4] しかし，一方で，nMOS・pMOS間が完全に絶縁されていないため，nMOS・pMOS間の距離が小さくなると，それぞれのMOS同士が動作干渉を起こしてしまう可能性がある．[4-5]-[4-7] バルクCMOSの今後の発展を考えると，ある一定距離以下に小さくすることが不可能なnMOS・pMOS間の距離が，集積度の限界を決定づけてしまう可能性が大きい．そのため，バルクCMOSにおけるnMOS・pMOS間距離が小さい場合に生じる相互作用の現象を解明し，その対策を講じる必要がある．先の章では，熱・電気連成解析を用い，いくつかの場合における，バルクCMOSのnMOS・pMOS間相互作用現象の解析を行った．さらに，バルクCMOSのnMOS・pMOS間のミニマムなスレッショールド距離を示し，距離を最小限まで縮めるための指針を示した．

本章では，前章で行った熱・電気連成解析の結果を受けて，nMOS・pMOS間の距離を変化させたバルクCMOSを実際に作製し，実験的に相互作用の考察を行う．さらに，解析結果と実験結果を比較することによって，バルクCMOSにおけるnMOS・pMOS間相互作用の更なる考察を進める．

4.2 実験用 CMOS デバイス概要

前章の解析結果より，CMOS においては，nMOS・pMOS 間のリーク電流が小さい場合に最も互いの距離を小さくすることが可能となることが明らかとなった．この結果を受けて，本章で行う実験のために作製する CMOS デバイスにおいても，nMOS・pMOS 間のリーク電流を極力小さくすることによって，nMOS・pMOS 間距離を小さくした場合においても，正常な CMOS 動作が得られる可能性が大きい．このことを考慮して，実験用 CMOS デバイスの設計を行い作製した．なお，作製には外部のファウンダリサービスを利用した．

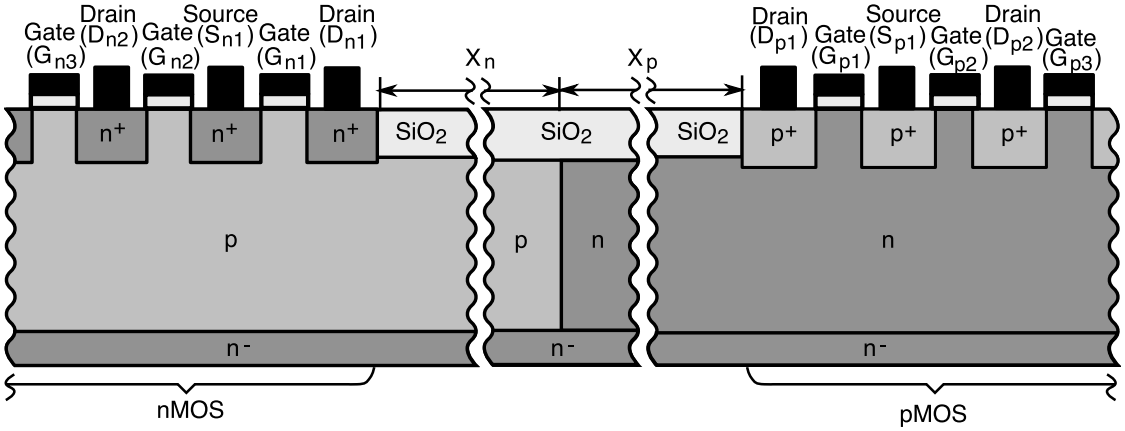


図 4.1: Fabricated CMOS Image

図 4.1 に，作成した CMOS の概観図を示す．本章で行う実験においては，先の章で示したミニマムなスレッショールド距離を有する場合に対応する条件での考察を行うことを目的とする．そのため，図 4.1 に示すように，各 MOS の SiO_2 絶縁層側をドレイン電極として，例えば nMOS の場合は，ドレイン電極 (D_{n1})，ゲート電極 (G_{n1})，ソース電極 (S_{n1})，ゲート電極 (G_{n2})，ドレイン電極 (D_{n2}) と，ゲート電極部分が 10 回繰り返される構造となっている．pMOS の場合も同様で，SiO_2 絶縁層側からドレイン電極 (D_{p1})，ゲート電極 (G_p1)，ソース電極 (S_{p1})，ゲート電極 (G_{p2}) と，ゲート電極が 10 回繰り返される構造となっている．これは，次のような理由によるものである．

前章の熱・電気連成解析を用いた結果より，MOS 自体のソース電極からドレイン電極へと流れるキャリアのリークが非常に小さい場合，つまり，ソース電極から基板へと流れ出すキャリアのリークが非常に小さい場合，CMOS における nMOS・pMOS 間の相互作用は最小限に抑制することが可能であり，そのスレッショールド距離は基板間 pn 接合周辺に発生する空乏層の端が，各 MOS の SiO_2 絶縁層に隣接するドレイン電極からの電位の影響を受ける距離で規定されることが明らかとなった．このミニマムなスレッショールド距離を実験的に確認するためには，ソース電極から基

板面へと流出するキャリアを最小限に抑制する必要性がある．図 4.1 に示すような，CMOS 構造を作製することにより，SiO_2 絶縁層から一番近いソース電極から流れ込むキャリアは，隣接する MOS へと向かう方向とその逆方向の，2 つの方向に流れることが可能となる．つまり，nMOS を例にとって考えると，ゲートが一つの場合，ソース電極 S_{n1} から流入する電子は，ゲート電極 G_{n1} 下を通り，ドレイン電極 D_{n1} へと流れるパスのみが存在するため，隣接する MOS との距離が小さくなることによってソース電極 S_{n1} から，基板に流出しドレイン電極 D_{n1} へとたどり着かない電子は，隣接する pMOS 基板へと流れる込むことになる．しかし，図 4.1 に示すような構造を取ることにより，ソース電極 S_{n1} から流入する電子は，先に示した流れのパス以外に，ゲート電極 G_{n2} 下を通ってドレイン電極 D_{n2} へと流れることも可能となる．そのため，単純に考えると，ソース電極 S_{n1} から流入した電子は，2 つのドレイン電極 (D_{n1} および D_{n2}) へと二分されるため，S_{n1} から基板面への流出を抑制することが可能となり，さらには隣接する MOS へと注入されるキャリアも大幅に抑制することが可能となる．そのため，ミニマムなスレッショールドを実現するために必要な，ソース電極から基板面へと流出するキャリアを最小限に抑制するという条件を実現することが可能となる．これが，図 4.1 のような構造を有する CMOS を作製した大きな理由の一つである．

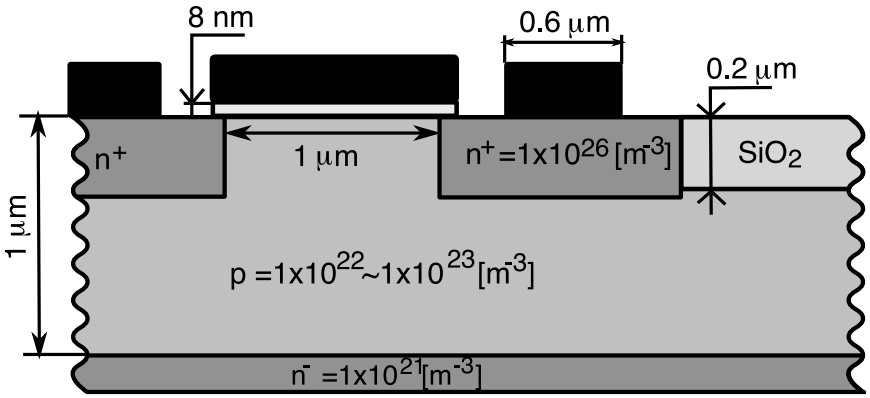
また，CMOS を作製するにあたって，比較的に安価な装置で CMOS の動作特性を計測する可能であることを重要視した．そのため，CMOS を動作させた際に発生する電流が，数 mA から数百 mA であることが理想であると考えた．このような電流値を得るためには，MOS のゲート幅（紙面奥行き方向に向かう長さ）が 100μm 程度必要である．一方で，CMOS を作製する際に，リソフラフィを行うにあたり安定した線幅を得るためには，リソフラフィの際の線の長さが 10μm 程度である必要がある．このため，10μm の幅を有するゲートを 10 回の繰り返し構造にすることにより，安定したデバイス動作を実現する CMOS を得ることができる．これが，図 4.1 に示す構造を有する CMOS を作製した大きな理由のもう一つである．

このような構造の CMOS において，nMOS・pMOS 間の相互作用の検討を行うため，nMOS・pMOS 間の距離を変化させたサンプルを用意し，nMOS・pMOS の距離によりいかなる相互作用が生じるかを検討した．図 4.1 に示すように，nMOS ドレイン電極 D_{n1} 下の高濃度ドープ域と SiO_2 絶縁層の境界面から，基板間 pn 接合までの距離を X_n とし，基板間 pn 接合から，pMOS ドレイン電極 D_{p1} 下の高濃度ドープ域と SiO_2 絶縁層の境界面までの距離を X_p とする．デバイス作製の技術上，X_n 及び X_p を，前章の解析と同様に同時に変化させることは困難であるため，本実験においては，X_p を 1.5μm で一定とし，X_n を 1.5μm から，-0.2μm まで減少させることにより，相互作用の検討を行った．具体的な X_n の値は，1.5，1.0，0.7，0.6，0.5，0.4，0.3，0.2，0.0，-0.2μm である．0.0μm とは，nMOS ドレイン電極 D_{n1} 下の高濃度ドープ域が，基板間 pn 接合に接触する条件．-0.2μm とは，nMOS ドレイン電極 D_{n1} 下の高濃度ドープ域が，pMOS 基板に入り込む条

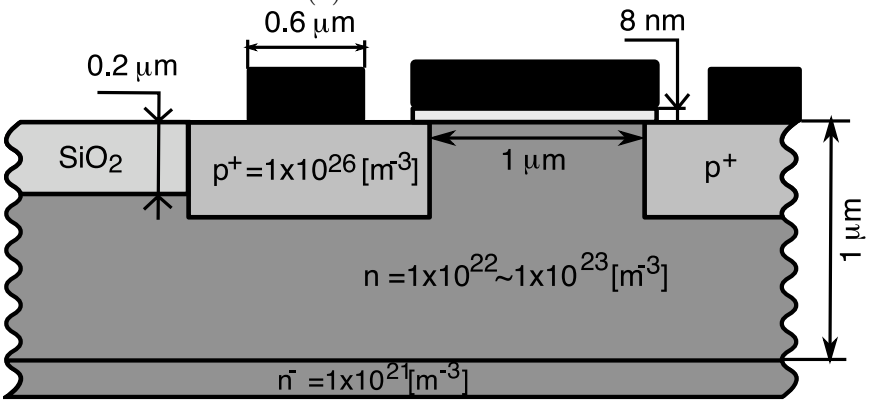
件である.

4.3 実験用 CMOS デバイス詳細

本節では，実験用に作製した CMOS の不純物ドーピング条件，各部寸法など，MOS の詳細構造についての説明を行う．



(a) Details of nMOS



(b) Details of pMOS

図 4.2: Details of Fabricated CMOS

図 4.2 に，本実験で用いる MOS の詳細を示す．ここでは，SiO_2 絶縁層に一番近いドレイン電極，ゲート電極，ソース電極の部分のみを示す．つまり，nMOS においては前節図 4.1 における，D_{n1}，G_{n1}，S_{n1} を，pMOS においては D_{p1}，G_{p1}，S_{p1} のみを示す．図 4.2(a) に nMOS 部分の詳細図を示す．ゲート長は 1μm，高濃度ドープ域厚さは 0.2μm 程度である．ゲート酸化膜厚さは，およそ 8nm である．ソース・ドレイン電極下高濃度ドープ域における不純物濃度は，電極直下から基板面へ 0.1μm 程度の距離まで，$1 \times 10^{26}\mathrm{m}^{-3}$ で一定であり，その後 0.2μm まで徐々に減少している．基板部分における p 型ドーピング濃度は，ゲート酸化膜直下から n^- 部分へと，$1 \times 10^{23}\mathrm{m}^{-3}$ 程度から $1 \times 10^{22}\mathrm{m}^{-3}$ 程度まで徐々に減少している．デバイスアクティブ領域厚さは 1μm であり，その下は n 型に $1 \times 10^{21}\mathrm{m}^{-3}$ 程度ドーピングを行い，キャリア輸送を抑制している．ソース・ドレ

インのコンタクトは，$0.6\mu\mathrm{m} \times 0.6\mu\mathrm{m}$ である．図 4.2(b) は，pMOS 部分の詳細図である．pMOS 部分においても，基本的に nMOS 部分と同様のプロファイルを持っている．大きく異なる点は，ソース・ドレイン電極下の高濃度ドープ域のプロファイルである．pMOS 部においては，電極直下から $0.3\mu\mathrm{m}$ 程度まで，およそ $1 \times 10^{26}\mathrm{m}^{-3}$ 程度でほぼ一定であり，$0.4\mu\mathrm{m}$ まで徐々に減少している．

SiO_2 絶縁層の厚さは，$0.2\mu\mathrm{m}$ 程度である．

4.4 CMOS 特性測定用実験回路

本節では，作製した CMOS の特性を測定するための実験用回路の説明を行う．

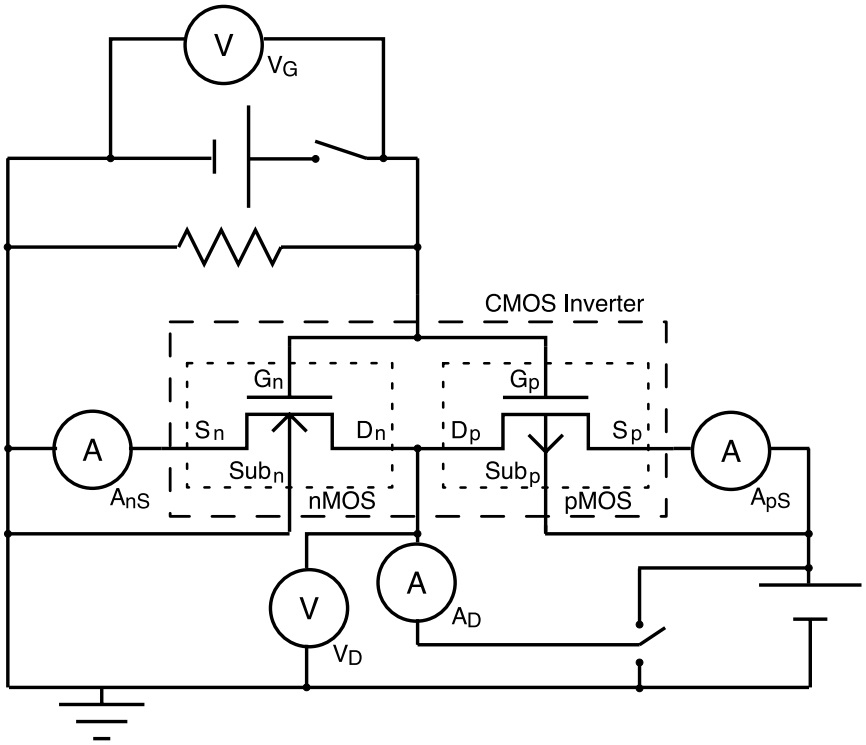


図 4.3: Electrical Circuit for Measurement of CMOS Inverter

図 4.3 に，本実験で使用する CMOS 特性を検証するための電気回路を示す．図 4.3 中，nMOS と表記がある部分が，nMOS 部分であり，pMOS と表記がある部分が，pMOS 部分である．これら 2 つの MOS を，図 4.3 に示すように，ゲート電極同士，ドレイン電極同士をつなぎ，CMOS インバータとなっている．長破線で囲った部分が CMOS インバータであり，実験においてはこれが DIP パッケージに組み込まれているものを利用する．本実験においては，定圧電源を 2 つ利用する．一つはゲート電極に電圧を印加するためであり，もう一つは pMOS ソース，pMOS 基板，ドレインに電圧を印加するためである．前章で示した通り，CMOS インバータにおいては，nMOS のソース電極が常に低電位（本研究の場合は GND）に保たれており，pMOS のソース電極が常に高電位に保たれている．本実験で作製した CMOS においては，通常の MOS 同様 nMOS・pMOS 基板からそれぞれ基板電位を印加するための電極が引き出されている．これらは，通常の MOS 同様に，それぞれ nMOS 基板は，nMOS ソースと同電位，pMOS 基板は pMOS ソースと同電位となるように接続している．CMOS を動作させる際にはゲート及びドレイン電極へ印加する電圧をそれぞれ GND と高電位間で切り替えることが必要になる．そのため，それぞれの電極から引き

出した配線に，スイッチを入れることによって，この切り替えを実現させた．

本実験においては，印加電圧パターンと CMOS 各電極に流れる電流をモニタするため，図 4.3 に示すように，電流を 3 カ所において，電圧を 2 カ所において計測を行った．

4.5 計測機器詳細

本節では，実験を行う際に用いる計測機器の詳細について説明を行う．

4.5.1 電圧計

電圧の計測には，その利便性から江藤電機株式会社製 cadac21 を用いた．この装置は，同時に複数の電圧をモニタすることが可能であり，LAN ケーブルなどを介して直接 PC から制御することが可能である．また，熱電対を入力端子に接続することにより温度のモニタも可能である．これらの利便性を考慮して，この装置を選定した．

4.5.2 電流計

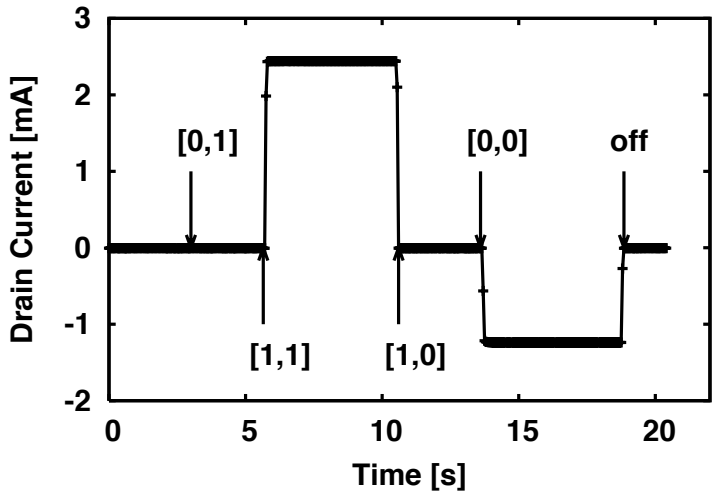
本実験においては，電流計の選定に注意を払う必要がある．

まず，通常の電流計を用いて，電流計測を行った結果を示す．通常の電流計として，岩通通信株式会社製 voac7521A を用いた場合の結果を示す．

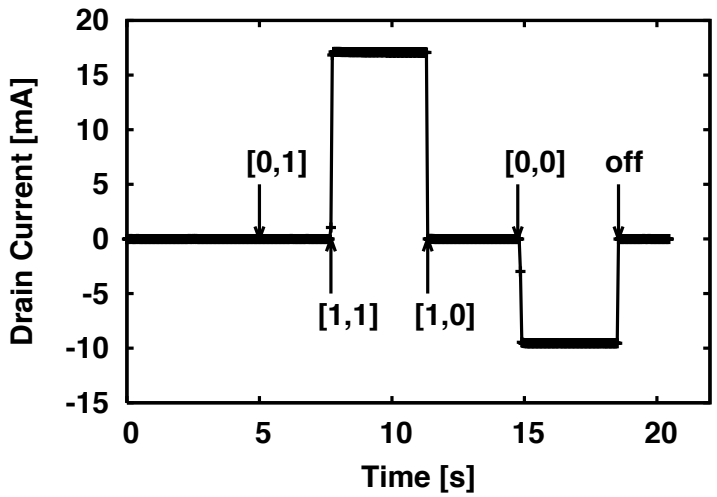
まず，電流計をドレイン電流計測のみに使用した場合，つまり，図 4.3 において A_D のみ電流計測を行い，それ以外の $A_{A_{nS}}$ 及び A_{pS} の電流計は回路に組み込まず，それぞれを配線で短絡させた場合の CMOS 特性の結果を示す．

図 4.4 に，voac7521A を用いた際に得られた，CMOS の動作特性を示す．なお，ここでは，nMOS・pMOS 間の相互作用を検証することが目的ではなく，実験装置の選定が目的であるため，相互作用が生じないことが確約されている $X_n = 1.5\mu m$ のデバイスを用いて計測を行った結果を示している．図 4.4 中，括弧内の数字は，その瞬間の電圧の印加パターンを示している．左側の数字がゲート電圧を，右側の数字がドレイン電圧を示している．また，0 は低電位を示し，本研究の場合はゲート・ドレインいずれの場合も GND 電位であり，1 は高電位を表している．

図 4.4(a) に，高電位を 1.5V とした場合の結果を，(b) に，高電位を 3.0V とした場合の結果を示す．図 4.4(a) において，印加電圧パターン [0,1] の場合，つまり，ゲート電圧低電位，ドレイン電圧高電位で信号が反転している場合，CMOS インバータはオフになっている．次に印加電圧パターン [1,1] の場合，ゲート電圧・ドレイン電圧ともに高電位になっているため，nMOS がオンになって電圧を反転させせようとインバータが動作している．同様に，印加電圧 [1,0] の場合はオフ，[0,0] の場合は pMOS がオンになり信号を反転させせようとインバータが動作していることより，本実験を行うために作製した CMOS インバータが正常に動作していることが確認された．nMOS オン時にプラスの電流が計測され，pMOS オン時にマイナスの電流が計測される理由は，以下の通りである．nMOS オンの場合，電子がソース電極からドレイン電極へと流れる．電子による電流



(a) High Voltage 1.5 V



(b) High Voltage 3.0 V

図 4.4: Measured Drain Current by using voac7521A

は，電子の流れと逆の方向と定義されるため，電流はドレイン電極からソース電極へと流れることになる．一方で，pMOS オンの場合，正孔がソース電極からドレイン電極へと流れる．正孔による電流は，正孔と同一の方向と定義されるため，電流はソース電極からドレイン電極へと流れることになる．つまり，nMOS オン時においては，電流はドレイン電極へ流入する向き，pMOS オン時においては，電流はドレイン電極から流出する向きとなり，それぞれの MOS がオンの状態において，電流が流れる向きが逆方向となるためである．本実験において，CMOS インバータが正常に動作している理由はもう一つある．詳細は後に述べるが，正孔移動度は電子移動度の 50〜60%である．移動度に電界を乗じたものが，キャリア速度となるため，正孔速度は，電子速度の 50〜60%となる．本章で用いる実験用 CMOS は，nMOS・pMOS ともにゲート幅が 100nm であるため，同一の電圧印加条件で動作させた場合においては，pMOS ドレイン電流も nMOS ドレイン電流の 50〜60%となるはずである．図 4.4(a) の結果を見てみると，nMOS オン時におけるドレイン電流の絶対値は 2.3mA であり，pMOS オン時におけるドレイン電流の絶対値は 1.2mA である．これらを比較すると，pMOS オン時におけるドレイン電流は nMOS オン時におけるドレイン電流の 52%程度の値となっている．このことからも，本研究用に作製した CMOS は，正常な動作を行っていると言える．

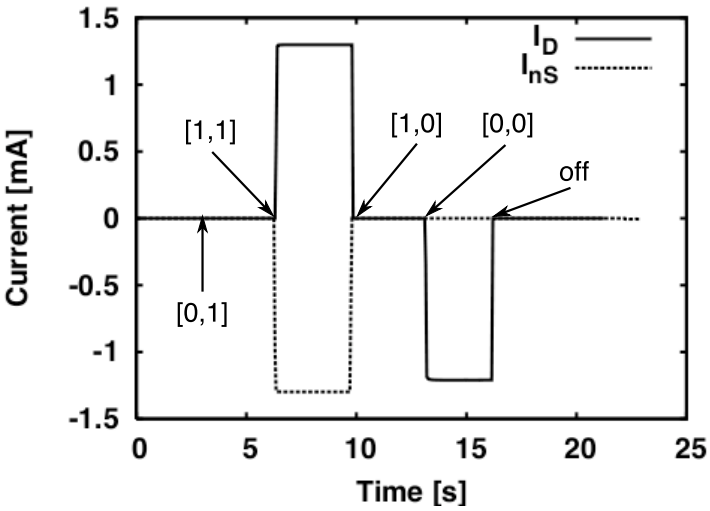
図 4.4(b) に，高電位を 3.0V とした場合における，CMOS の動作特性を示す．この場合，nMOS オン時において 17mA 程度，pMOS オン時において 9mA 程度の電流が計測されていることが見て取れる．この場合においても，pMOS オン時にいて計測された電流は，nMOS オン時において計測された電流の 53%程度となっている．

まず，この実験により，MOS が正常に動作していることが確認された．

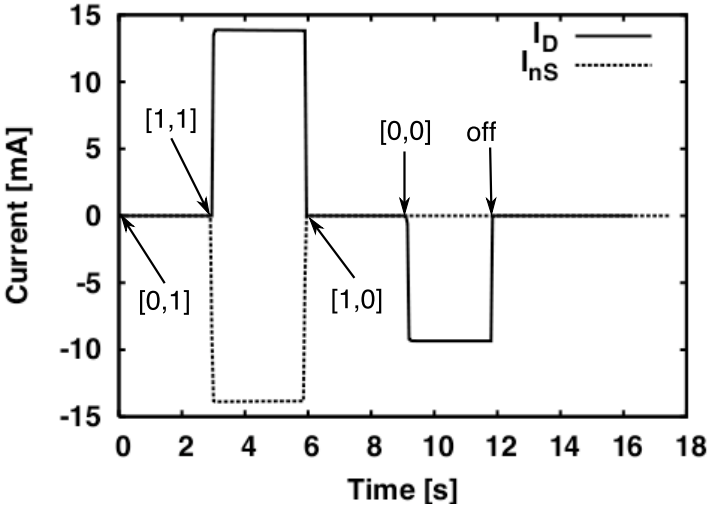
次に，nMOS ソース電流とドレイン電流を，voac7521A を 2 台用いて，同時に計測した結果を示す．つまり，図 4.3 において，A_{nS} と A_D の部分に voac7521A を配置し，A_{pS} の部分は短絡させた場合である．

図 4.5 に，その結果を示す．図 4.5(a) が，高電位を 1.5V とした場合，(b) が高電位を 3.0V とした場合の結果である．図中，I_D は，ドレイン電流を，I_{nS} は，nMOS ソース電流を表している．図 4.5(a) において，pMOS オン時におけるドレイン電流の絶対値が 1.2mA を示しており，先の図 4.4(a) の結果と同一であるのに対し，nMOS オン時におけるドレイン電流は 1.3mA となっており，図 4.4(a) の結果と比して 57%程度の値となっている．また，nMOS ソース電流の値も 1.3mA となっており，nMOS のソースとドレイン電流の間に生じるリーク電流は見られない．図 4.5(b) においても同様な傾向となっており，pMOS オン時におけるドレイン電流は 9mA 程度と，図 4.4(b) の結果と同一の値であるのに対し，nMOS オン時におけるドレイン電流の値は 14mA 程度と，図 4.4(b) の値と比して 82%程度の値となっている．

この理由は，次のように考えられる．本実験用に作製した CMOS の特性として，図 4.4 より，



(a) High Voltage 1.5 V



(b) High Voltage 3.0 V

図 4.5: Measured Current from Drain and nMOS Source

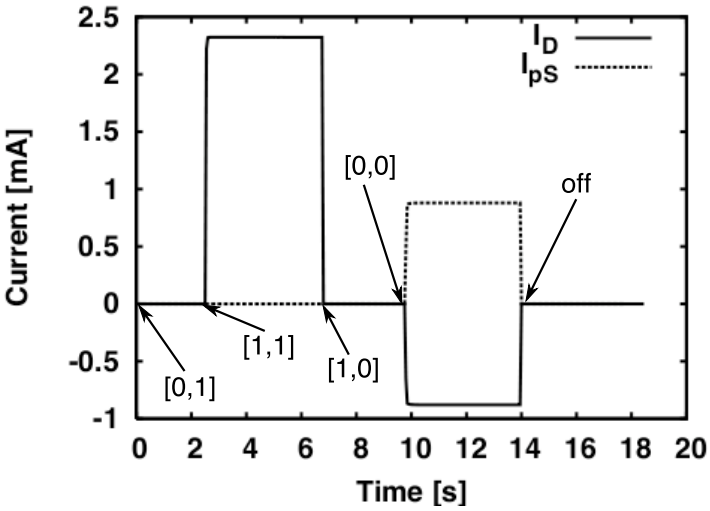
高電位 1.5V の場合における nMOS の抵抗は約 652Ω であり，pMOS の抵抗は約 1250Ω となっている．また，高電位 3.0V における nMOS の抵抗は約 176Ω であり，pMOS の抵抗は約 333Ω である．一方で，voac7521A は通常の電流計であるため，内部において抵抗の端子間の電圧を計測することにより電流値を算出する方法を用いている．voac7521A は，電流計測の際にいくつかのレンジを持っており，それぞれのレンジによって抵抗値は異なるが，今計測している電流域においては，高電位 1.5V の場合においては 5mA レンジを，高電位 3.0V の場合においては 50mA レンジを利用している．5mA レンジを用いた場合，電流計の内部抵抗はメーカー公称 150Ω 以下であり，実際に測定したところ 110Ω 程度であった．50mA レンジにおいては，内部抵抗がメーカー公称 15Ω 以下であり，実際に計測したところ 11Ω 程度であった．つまり，高電位を 1.5V とした場合，nMOS オン時において，ソース電極は GND レベルよりも 0.23V 程度高い値になってしまう．逆に図 4.4(a)，4.5(a) のいずれの場合においても，ドレイン電極に印加される電圧は 1.5V よりも 0.23V 程度低い値になってしまっている．また，高電位を 3.0V とした場合，nMOS オン時において，ソース電極は GND レベルよりも 6%程度高い 0.18V，ドレイン電極は逆に 6%程度低い 2.82V となってしまう．

nMOS オン時の nMOS 自体の抵抗に比して電流計の内部抵抗の寄与分が大きい (a) の場合において，図 4.5 の結果が図 4.4 の結果の 57%程度の値となり，(a) の場合に比して電流計の内部抵抗の寄与分が小さい (b) の場合において，図 4.5 の結果が図 4.4 の結果の 82%となっており，(b) の場合の方が電流の差が小さいのはこのためである．

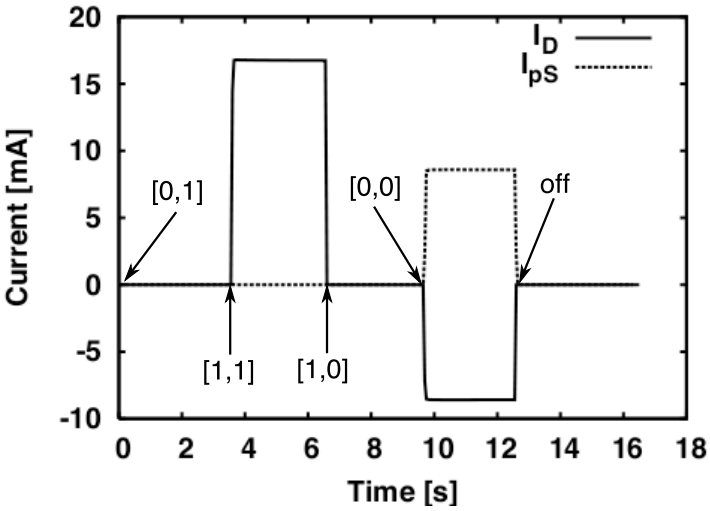
次に，pMOS ソース電流とドレイン電流を，voac7521A を 2 台用いて，同時に計測したけ結果を示す．つまり，図 4.3 において，A_{pS} と A_D を計測し，A_{nS} の部分は短絡させた場合である．

図 4.6(a) が，高電位を 1.5V とした場合，図 4.6(b) が，高電位を 3.0V とした場合の結果である．これらの結果も，図 4.5 と同様な傾向を示しており，高電位 1.5V の場合において nMOS オン時のドレイン電流は 2.3mA と図 4.4 の場合と同一の値を示しているが，pMOS オン時におけるドレイン電流は 0.9mA となっており，図 4.4 の場合に比して，75%程度の値となっている．また，高電位を 3.0V とした場合，nMOS オン時におけるドレイン電流は 17mA 程度と図 4.4 の場合と同一であるが，pMOS オン時におけるドレイン電流は 8mA 程度と図 4.4 の場合と比して 89%程度の値となっている．いずれの場合も先の nMOS ソース電流を計測した場合よりも，図 4.4 と比較した場合の電流の減少が小さいが，これは　pMOS オン時における抵抗が nMOS オン時における抵抗よりも大きいため，電流計の内部抵抗の寄与率が小さくなるためである．

いずれにせよ，本実験用に作製した CMOS の動作を考慮する際，通常の電流計を用いた場合における，電流計の内部抵抗が無視できないことが明らかとなった．そのため，内部抵抗の非常に小さい電流計測装置を用いるか，各電極に定圧電源を配置し電流計の内部抵抗による電圧降下等を補正した分の電圧を印加するなどの対策を施す必要があることが明らかとなった．本実験にお



(a) High Voltage 1.5 V



(b) High Voltage 3.0 V

図 4.6: Measured Current from Drain and pMOS Source

いては，内部抵抗の非常に小さい電流計測装置を用いることを選択した．

内部抵抗が非常に小さい電流計測装置として，ガルバノメータ（検流計）が挙げられる．しかし，本実験においては，ガルバノメータよりも非常に安価である OP アンプを用いた，無抵抗電流計を作製することにより，電流計測を行う．この手法を用いる利点は，安価であると同時に，電流を電圧に変換して計測を行うため，先に示した電圧測定のための cadac21 を利用可能であり，印加電圧と電流を同じ装置で計測が可能になる点である．以下に，OP アンプを用いた無抵抗電流計の概要を説明する．[4-8],[4-9]

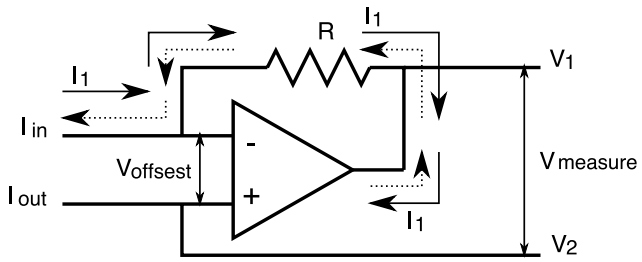


図 4.7: Zero-Resistance Current Meter with OPAmp

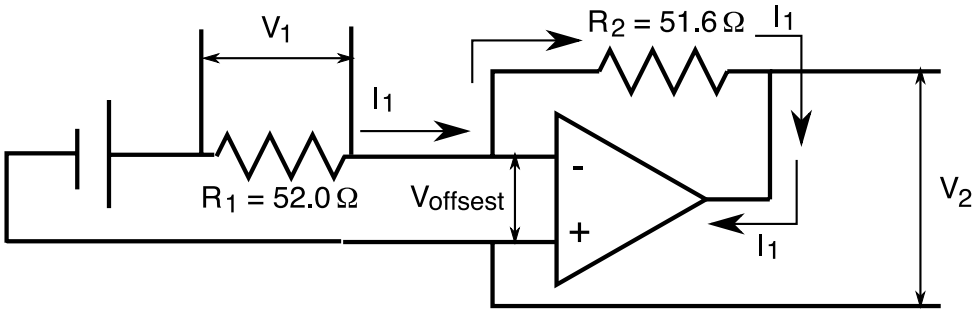
図 4.7 に，OP アンプを用いた無抵抗電流計の回路図を示す．これは，OP アンプの，電流ー電圧変換回路（I-V コンバータ）と呼ばれる回路である．I_{in} と I_{out} が，外部の回路に接続する端子である．OP アンプのマイナス端子（反転入力端子）から，外部回路への入出力端子を出す．また，マイナス端子と出力端子の間に抵抗 R を挟んで，両端子を接続する．プラス端子（非反転入力端子）からは，もう一方の外部回路への入出力端子を出す．このような接続を行うことで，OP アンプは次のような動作をする．今，図 4.7 中の I_{in} より電流が流入したとする．つまり，図中の実線矢印で表している方向に，電流が流れているとする．この場合，OP アンプのマイナス端子部分には電流が流れないため，外部回路からの電流は全て抵抗 R に流れることになる．つまり，抵抗 R を電流 I_1 が通過するため，V_1 の電圧は，$V_1 = -I_1 \times R$ となる．外部から流入した電流は，OP アンプ内に吸収され，他に影響を及ぼすことはない．一方で，OP アンプのプラス端子とマイナス端子間の電位差は，入力電流に関わらず OP アンプ自体のオフセット電位で決定され，通常の OP アンプでは数 mV である．つまり，基準電圧であるプラス端子部分の電位 V_2（GND 電位）と抵抗 R を通過した電流による電圧降下分 V_1 の電位差を計測することによって，既知の抵抗 R とオームの法則の関係から，I_1 を逆算できることになる．先にも示したように，マイナス端子とプラス端子間の電位差であるオフセット電位は，通常数 mV であるため，通常の電流計を用いた場合に比して，電位変動は 1/100 程度に抑えることが可能である．

逆に電流が I_{in} から流出する場合，つまり図 4.7 中の点線矢印で示されている電流 I_1 が流れた場合では，先と逆の動作をし，OP アンプが出力端子から電流 I_1 を出力することによって，抵抗 R

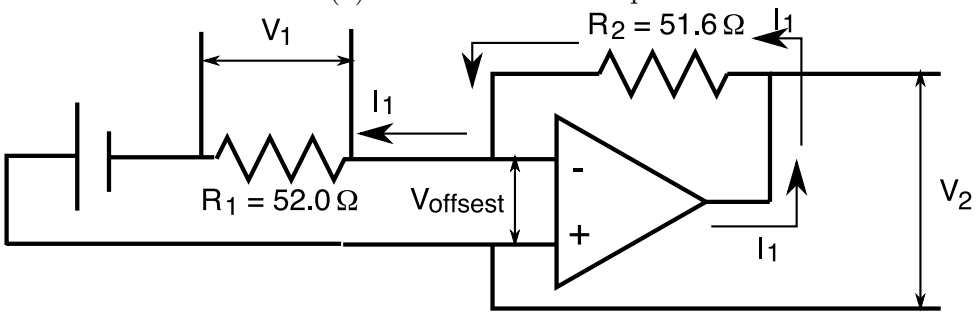
部分における電位が $R \times I_1$ だけ上昇する．この場合においても，プラス端子とマイナス端子間の電位はオフセット電位で決定されるため，電流の向きによらず，電流計による電位変動は，非常に小さいものに抑制することが可能である．

また，電流の流れる方向によって，V_1 の電位はプラスまたはマイナスの値を示すことになるため，電流の流れる方向も特定することが可能である．

この回路における計測可能な電流は，OP アンプの仕様によって左右され，出力端子から出力可能な電流と出力端子へと入力可能な電流によって決定される．そのため，実験用 CMOS で流れる電流の大きさによって，適切な OP アンプを選定する必要がある．先の，通常の電流計を用いた場合の実験によって，印加電圧 3.0V の場合，nMOS オン時において 17mA 程度，pMOS オン時において 9mA 程度の電流が流れることが確認された．いずれの場合も，x_n が十分に大きい場合の実験結果であるため，nMOS・pMOS 間に相互作用が生じない場合ではこの程度の電流を想定すれば良い．そのため，いくつかの OP アンプで計測可能な電流をテストし，この条件に見合った OP アンプを利用する．



(a) Current into OPAmp

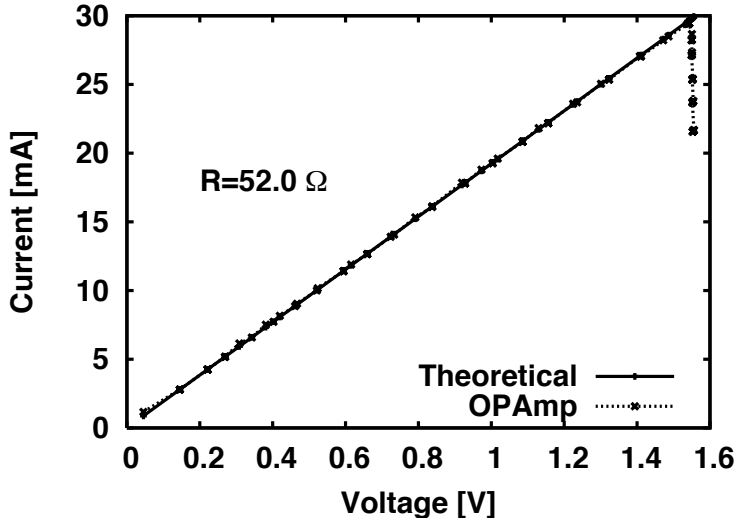


(b) Current from OPAmp

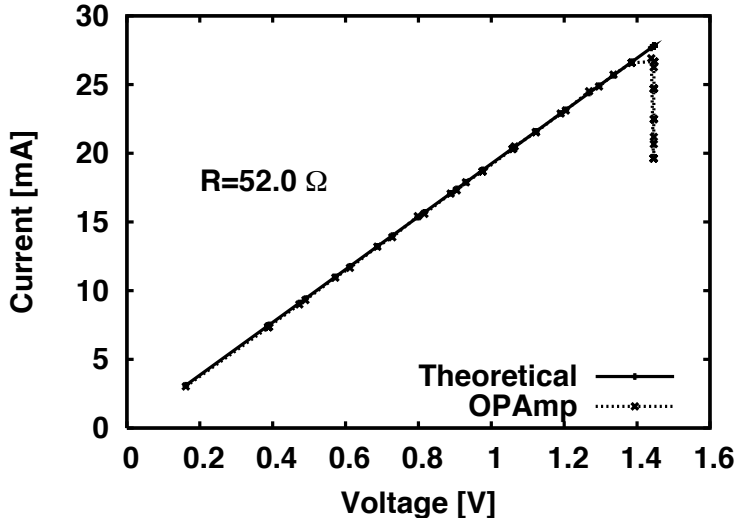
図 4.8: Test Circuit for Suitable OPAmp

図 4.8 に，OP アンプ選定に用いた回路を示す．図 4.8(a) が，OP アンプへと電流が流入する条件であり，(b) が OP アンプから電流が流出する条件である．いずれの場合においても，20mA 弱の電流が計測可能であれば，電流の流れる方向によって OP アンプを付け替える必要が生じず，

nMOS・pMOS いずれがオンの場合においても，電流の同時計測が可能となる．OP アンプのテストは，電源電圧を変化させ，抵抗 R_1 の両端の電位 V_1 を計測することにより，オームの法則から電流 I_1 を算出し，OP アンプの電流計測部分にある抵抗 R_2 の両端の電位 v_2 を計測し，ここから算出される電流との比較を行うことにより，OP アンプで計測可能な電流域を求めた．また，OP アンプを動作させるための印加電圧は ±7.5V で固定とした．OP アンプの電源にはアルカリ乾電池を用いた．ここでは，いくつかの OP アンプをテストした結果，本実験条件に最も適切である OP アンプの試験結果のみを示す.



(a) Current into OPAmp



(b) Current from OPAmp

図 4.9: Current Test with OP07

図4.9に，OP07という型のOPアンプを用いたテスト結果を示す．図4.9(a)は，OPアンプに電流が流入する場合，(b)はOPアンプから電流が流出する場合の結果である．図4.9中の，Theoreticalは抵抗R_1とその両端の電位V_1から算出した電流値であり，OPAmpはOPアンプの計測回路より求められた電流値である．この結果より，(a)の場合においては，最大で30mA程度まで電流の計測が可能であり，計測可能電流域において0.4%以下の誤差しか生じない．(b)の場合においても，最大28mA程度の電流まで計測可能であり，計測可能電流領域においてやはり0.8%程度の誤差しか生じない．また，オフセット電圧は，いずれの場合においても2mV程度であった．この結果を受け，本件においては，通常動作の場合のCMOSの電流を計測する際には，OP07を採用することとした．

4.5.3 定電圧電源

定電圧電源は，ゲート電極への電圧印加用にMetronix製MTR18-2を，ドレイン電極及びpMOSソース，pMOS基板への電圧印加用にKikusui製PAB31-2aを用いた．

なお，電圧計測装置cadac21との通信は，シェルスクリプトを作製しMacBookを用いて行った．

4.6 作製したCMOSの動作確認

本実験においては，市販品のCMOSは用いず，実験用に作製したCMOSを用いるため，作製したCMOSの動作確認は必須である．先にも述べたようにCMOSの動作確認は，2通りの確認が可能である．一つは，本実験で用いるCMOSは，インバータであるため，入力と出力の信号が反転している場合はいずれのMOSもオフの状態を示し，入力と出力の信号が同一である場合は，いずれかのCMOSが信号を反転させるべくオンの状態となることを利用する確認方法である．もう一つは，本実験用に作製したCMOSの特徴的な点である，いずれのMOSのゲート幅も100μmである点を利用した確認方法である．半導体デバイスの物理より，シリコン内のキャリアの移動度は，正孔の移動度μ_hは電子の移動度μ_eに比して小さく，50〜60%程度となる. キャリアの速度vは，シリコンに印加されている電界Eとキャリア移動度より，次の関係が成り立つ．

$$v = E \times \mu \tag{4.1}$$

シリコン内部を流れる電流密度jは，キャリア速度と電子数密度nまたは正孔数密度pから求めることが可能であり，次のように表される．

$$j_e = qnv_e[\mathrm{A/m^2}] \tag{4.2}$$

$$j_h = qpv_h[\mathrm{A/m^2}] \tag{4.3}$$

ここで，q は素電荷を表す．また，ゲート幅 W をとし，チャネル部分においてのみキャリアが流れると仮定し，チャンネルの厚さを z とすると，電流 J は以下のように表される．

$$J_e = qnv_eW_ez_e[\mathrm{A}] \tag{4.4}$$

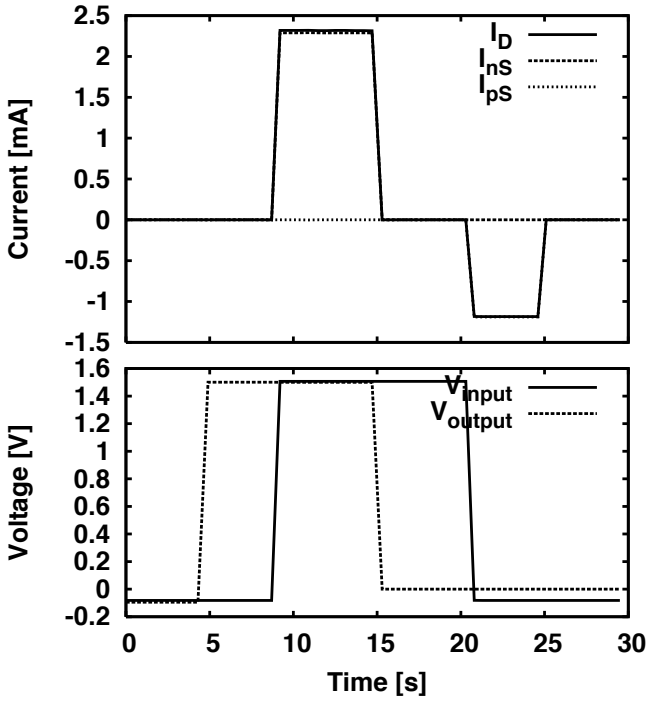
$$J_h = qpv_hW_hz_h[\mathrm{A}] \tag{4.5}$$

本実験用に作製した CMOS においては，nMOS・pMOS とも，ゲート長 1μm である．つまり，チャンネル部分における電界は，nMOS・pMOS とも同一であると考えることができる．また，図 4.2 に示すように，ソース・ドレイン電極下の高濃度ドープ域，基板において nMOS・pMOS ともほぼ同様な構造を有するように作製してある．そのため，式 4.4 と式 4.5 における n と p は同一であると考えることが可能である．ゲート幅もいずれの MOSFET とも 100μm であるため，W_e と W_h は等しい．チャンネル厚さも印加電圧が同一の場合においては，両 MOS とも同一であると考えることが可能であるため，$z_e = z_h$ であるとすることができる．これらより，nMOS 電流 J_e と pMOS 電流 J_h の違いは，キャリア移動度の違いによってのみ生じると考えることが可能であるため，最終的に以下の関係が成立する．

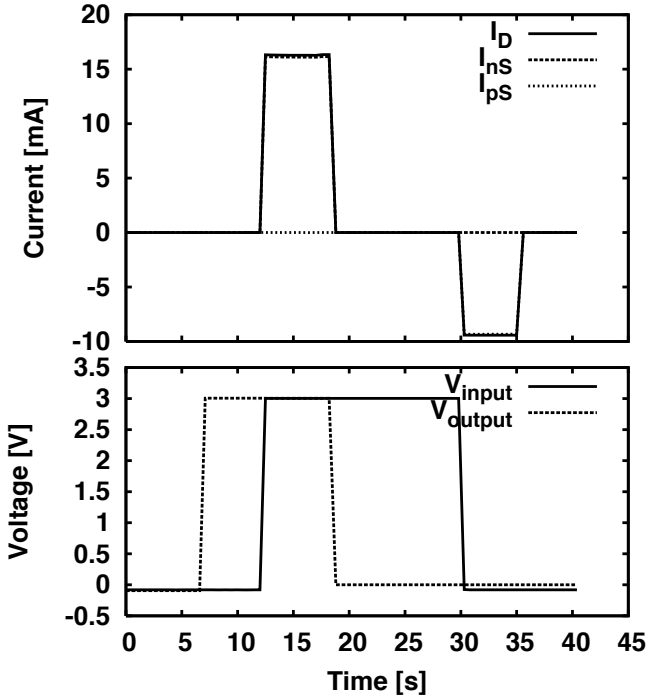
$$\frac{J_h}{J_e} = \frac{\mu_h}{\mu e} = 0.5 \sim 0.6 \tag{4.6}$$

このことより，pMOS オン時における CMOS のドレイン電流が，nMOS オン時における CMOS のドレイン電流の 50〜60%になっている場合，いずれの MOS も正常に作動していると考えることができる．

図 4.4 において，通常の電流計を用いた場合の CMOS の動作特性を示したが，図 4.5 または図 4.6 に示すように，電流計内部の抵抗値が無視できない値であることを考慮すると，図 4.4 の結果もドレイン電極に印加されている電圧が，電源電圧に比して小さいものになっている可能性があるため，ここでは OP アンプを用いて作製した無抵抗電流計を用いて計測した場合の CMOS の動作特性を示し，本実験用に作製した CMOS が正常に作動していることを確認する．なお，nMOS・pMOS 間の相互作用が生じないことが確約されている $x_n = 1.5\mu$m の場合の結果を示す．図 4.10 に，$x_n = 1.5\mu$m の場合の，CMOS の動作特性を示す．なお，ここでは，図 4.3 中のいずれの電流計も配置し，ドレイン電流・nMOS ソース電流・pMOS ソース電流の 3 つの電流を同時計測している．なお，先ほどの図 4.5 または図 4.6 とは違い，OP アンプによる無抵抗電流計の接続方向を調節することにより，nMOS オン時においては，ドレイン電流・nMOS ソース電流ともにプラスの値を示し，pMOS オン時においては，ドレイン電流・pMOS ソース電流ともにマイナスの値を示すようした．各グラフは上段，下段に分けており，上段が電流計によってモニタされた電流



(a) High Voltage 1.5 V



(b) High Voltage 3.0 V

図 4.10: Test of CMOS Operation

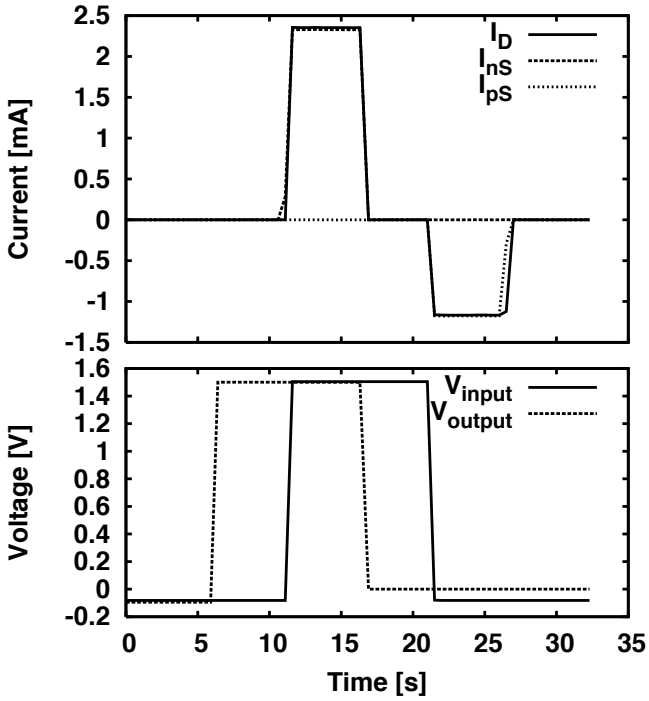
値の値であり，下段が各電極に印加した電圧のパターンである．上段グラフに示している I_D はドレイン電流を，I_{nS} は nMOS ソース電流を，I_{pS} は pMOS ソース電流をそれぞれ表している．また，下段グラフにおける V_{input} は，インプット電極つまりゲート電極に印加した電圧を，V_{output} は，アウトプット電極つまりドレイン電極に印加した電圧を示している．OP アンプを用いた計測を行う際には，先の図 4.5 または図 4.6 とは異なり，nMOS オンの状態においては，nMOS ソース・ドレインともプラスの値を示し，pMOS オンの状態においては，pMOS ソース・ドレインともマイナスの値を示すように，電流計を接続した．図 4.10(a)(b) いずれの場合も，アウトプット・インプットともに 0V の状態から，まずアウトプットを高電位とし，次にアウトプットを高電位に保った状態で，インプットを高電位をとし nMOS オンの状態をつくる．さらにインプットを高電位に保ったままアウトプットを 0V とし，数秒後にインプットも 0V とし，pMOS オンの状態を作った．グラフ中マイナス側に電流がモニタされている部分が pMOS オンの状態であり，pMOS がオンからオフに切り替わるところで，CMOS の全電極への電圧印加を終了している．図 4.10(a) が，高電位を 1.5V とした場合，(b) が高電位を 3.0V とした場合の結果である．図 4.10(a) において，nMOS オン時におけるドレイン電流はおよそ 2.3mA となっており，pMOS オン時におけるドレイン電流はおよそ 1.2mA となっている．この場合，pMOS に流れる電流は，nMOS に流れる電流の約 52%であり，先の式 4.6 の関係を満たしている．また，図 4.10(b) においては，nMOS オン時におけるドレイン電流はおよそ 16mA であり，pMOS オン時におけるドレイン電流はおよそ 9.4mA である．この場合，pMOS に流れる電流は，nMOS に流れる電流の約 59%となっており，やはり式 4.6 の関係を満たしている．

以上より，本実験用に作製した CMOS が正常な動作をすることが確認された．

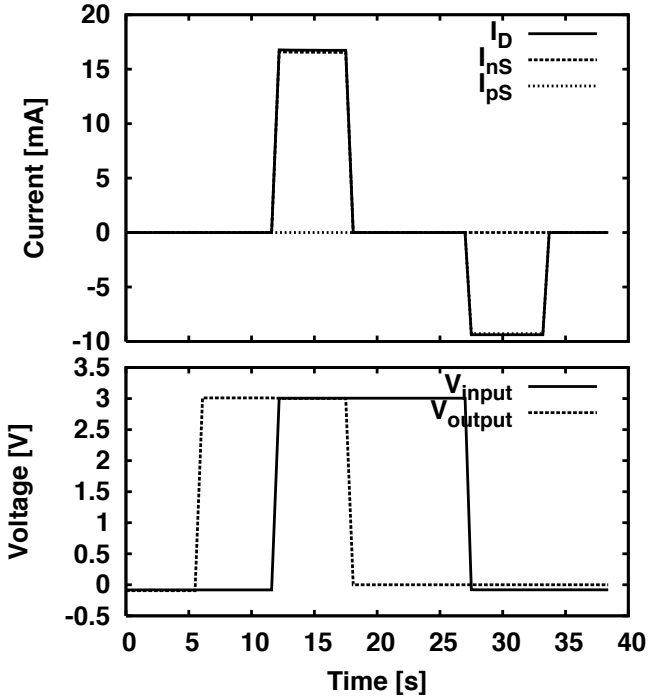
4.7 結果及び考察

図 4.11 に，$x_n = 1.0\mu$m の場合の，CMOS 動作特性を示す．

図 4.11(a) は，高電位を 1.5V とした場合，(b) は高電位を 3.0V とした場合の結果である．図 4.11(a) より，nMOS オン時においてドレイン電流は 2.38mA であることがわかる．また，pMOS オン時においてドレイン電流は 1.17mA である．図 4.11(b) においては，nMOS オン時においてドレイン電流は 16.8mA であり，pMOS オン時においてドレイン電流は 9.4mA である．いずれの場合も，nMOS オン時におけるドレイン電流と nMOS ソース電流，pMOS オン時におけるドレイン電流と pMOS ソース電流の間に有意な差は見られない．さらに，nMOS オン時における pMOS ソース電流は 0mA であり，pMOS オン時における nMOS ソース電流も 0mA であった．また，図 4.10 の場合と比しても，各条件において同様な値を示しており，ソース・ドレイン電極間以外の電流のパスが生じていないことが確認される．



(a) High Voltage 1.5 V



(b) High Voltage 3.0 V

図 4.11: CMOS Operation with $x_n = 1.0\mu$m

図 4.12 に $x_n = 0.3\mu$m の場合の，CMOS の動作特性を示す.

図 4.12(a) は，高電位を 1.5V とした場合，(b) は高電位を 3.0V とした場合の結果である．図 4.12(a) より，nMOS オン時においてドレイン電流は 2.19mA であり，pMOS オン時においてドレイン電流は 1.16mA であることが確認される．図 4.12(b) より，nMOS オン時においてドレイン電流は 16.1mA であり，pMOS オン時においてドレイン電流は 8.53mA であることが見て取れる．いずれの場合も nMOS オン時において，ドレイン電流と nMOS ソース電流の間に有意な差は確認されず，pMOS ソース電流は 0mA であり，pMOS オン時において，ドレイン電流と pMOS ソース電流の間に有意な差は確認されず，nMOS ソース電流も 0mA であった.

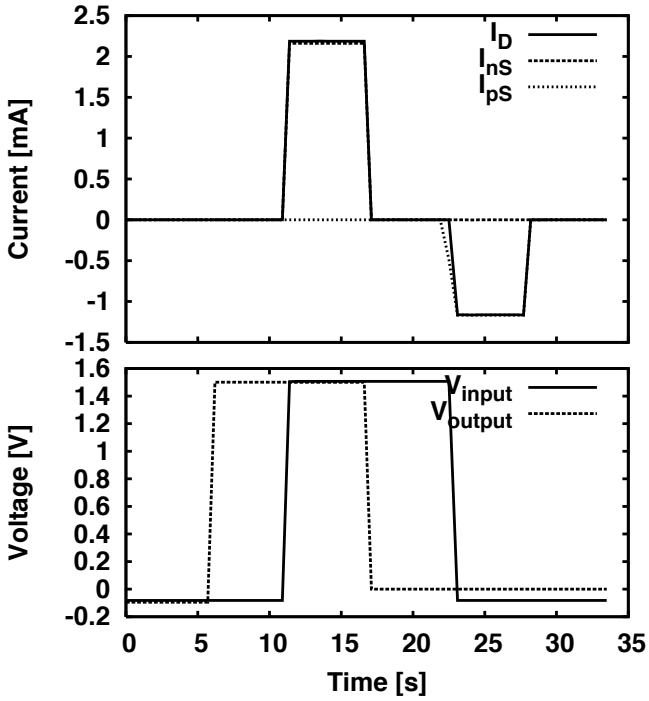
図 4.13 に $x_n = 0.2\mu$m の場合の，CMOS 動作特性を示す.

図 4.13(a) は，高電位を 1.5V とした場合，(b) は高電位を 3.0V とした場合の結果である．図 4.13(a) を見ると，nMOS オン時においてドレイン電流は 2.26mA であり，pMOS オン時においてドレイン電流は 1.22mA となっている．この場合，nMOS オン時におけるドレイン電流と nMOS ソース電流間に有意な差は見られず，pMOS オン時におけるドレイン電流と pMOS ソース電流間にも有意な差は見られない．また，nMOS オン時において，pMOS のソース電流は 0mA であり，pMOS オン時において，nMOS ソース電流も 0mA である．図 4.13(b) から，nMOS オン時においてドレイン電流は 16.40mA であり，pMOS オン時においてドレイン電流は 9.47mA である．この場合，nMOS オン・pMOS オン両場合におけるドレイン電流は，これまでの場合と同様な値を示しており，通常の動作を行っているように見える．しかし，$x_n = 0.2\mu$m かつ高電位 3.0V の場合，nMOS ソース電流がこれまで見られなかった挙動を示す.

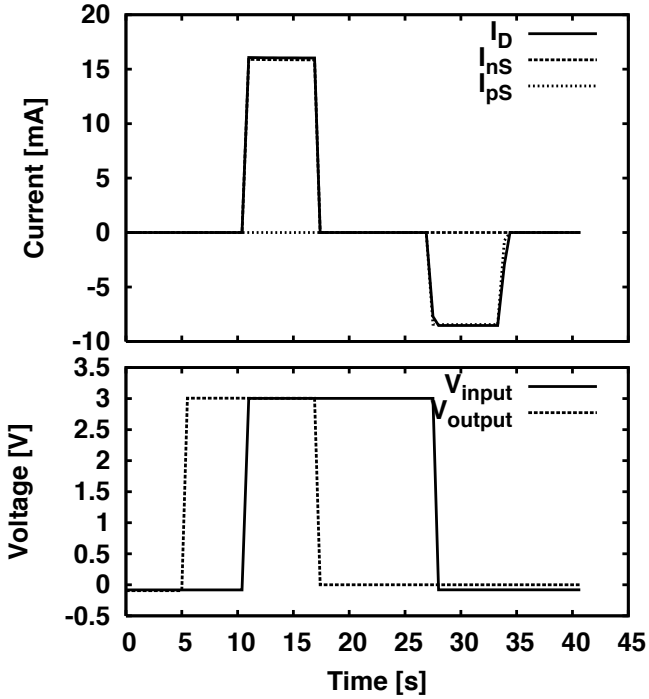
図に，$x_n = 0.3\mu$m と $x_n = 0.2\mu$m における，高電位 3.0V の場合の CMOS 動作特性を示す．ここでは，$x_n = 0.2\mu$m の場合において，nMOS ソース電流が通常と異なる挙動を示すことを明示するため，電流値のグラフにおいて，縦軸のスケールを-0.05mA から 0.05mA とし，微小な電流を示している.

図 4.14(a) は，$x_n = 0.3\mu$m の CMOS に 3.0V を印加した場合，(b) は $x_n = 0.2\mu$m の CMOS に 3.0V を印加した場合の結果である．図 4.14(a) より，$x_n = 0.3\mu$m の場合，オフ状態の MOS のソース電流は，若干のノイズは見られるものの 0mA である．一方で，(b) に示す $x_n = 0.2\mu$m の場合，下段グラフのアウトプット電圧を印加した瞬間から，上段のグラフにおいて pMOS 電流がオフになる瞬間，つまり CMOS に印加しているあらゆる電圧をオフにする瞬間まで，nMOS のソース電流が計測されている様子が見て取れる.

これまでのグラフ（図 4.10 から図 4.13 まで）において，nMOS オン時における nMOS ソース電流及びドレイン電流は，いずれもプラスの値を示している．つまり，本実験系では，ドレイン電極から流入する電流はプラスの値を示し，ドレイン電極から流出する電流はマイナスの値を示すことになる．また，nMOS ソース電極においては，流出する電流はプラスの値を示し，流入す

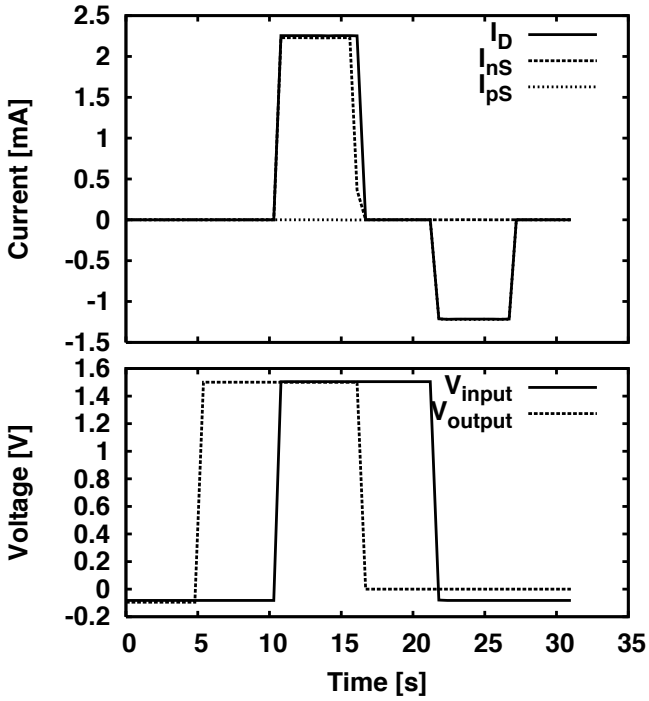


(a) High Voltage 1.5 V

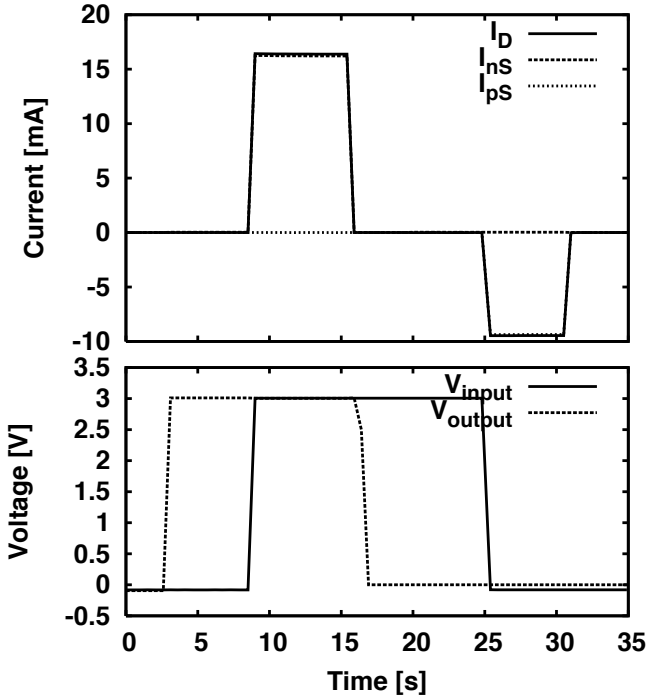


(b) High Voltage 3.0 V

図 4.12: CMOS Operation with $x_n = 0.3\mu$m

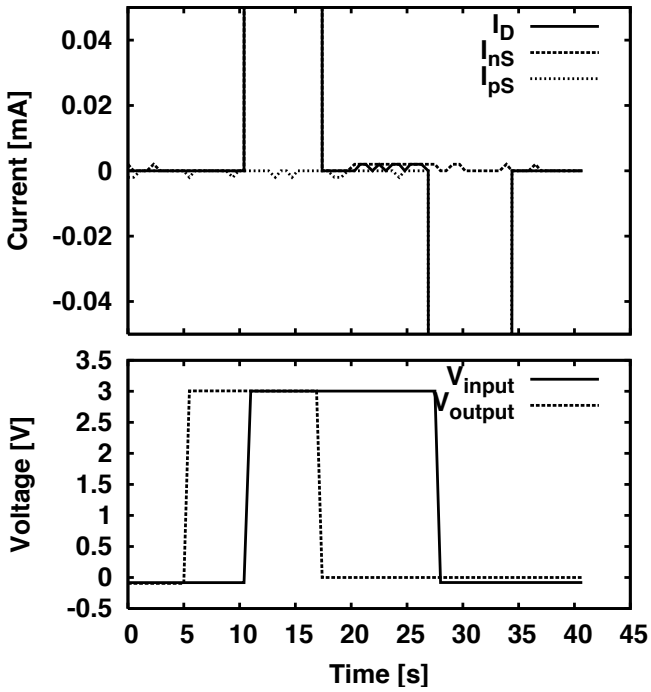


(a) High Voltage 1.5 V

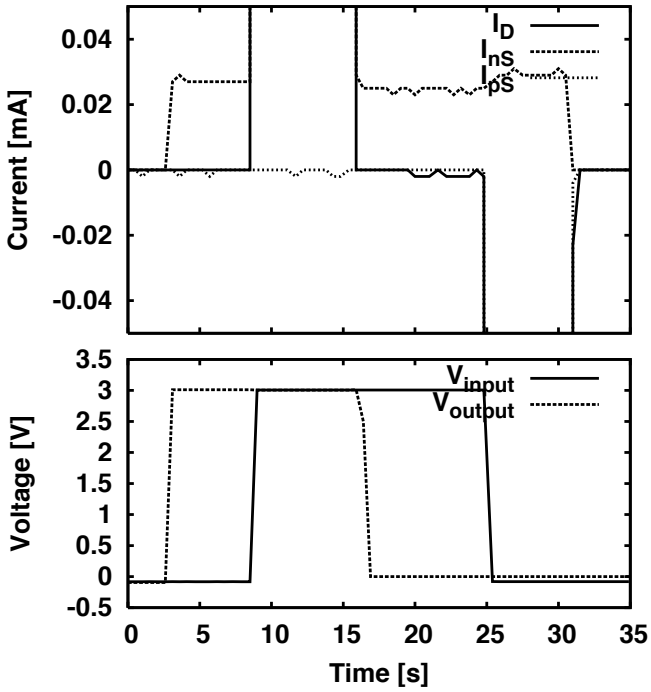


(b) High Voltage 3.0 V

図 4.13: CMOS Operation with $x_n = 0.2\mu$m



(a) $x_n = 0.3\mu$m



(b) $x_n = 0.2\mu$m

図 4.14: Results of nMOS Source Current

る電流はマイナスの値を示すことになる．pMOS ソース電極も同様に，流出する電流がプラスを示し，流入する電流がマイナスを示す．この概念を，図 4.15 に示す．

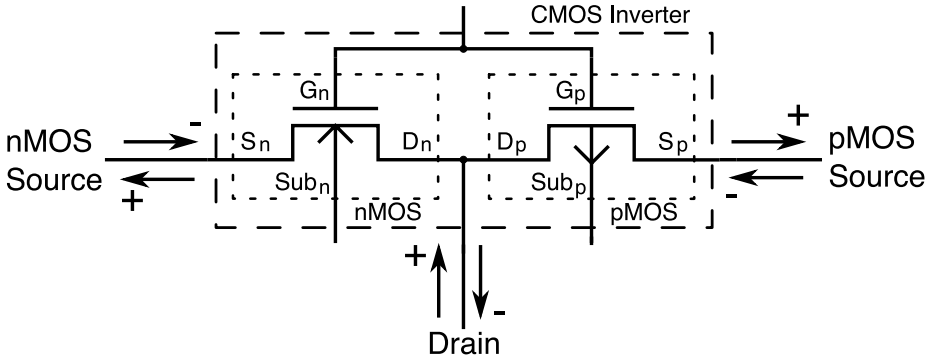


図 4.15: Image of Current Direction

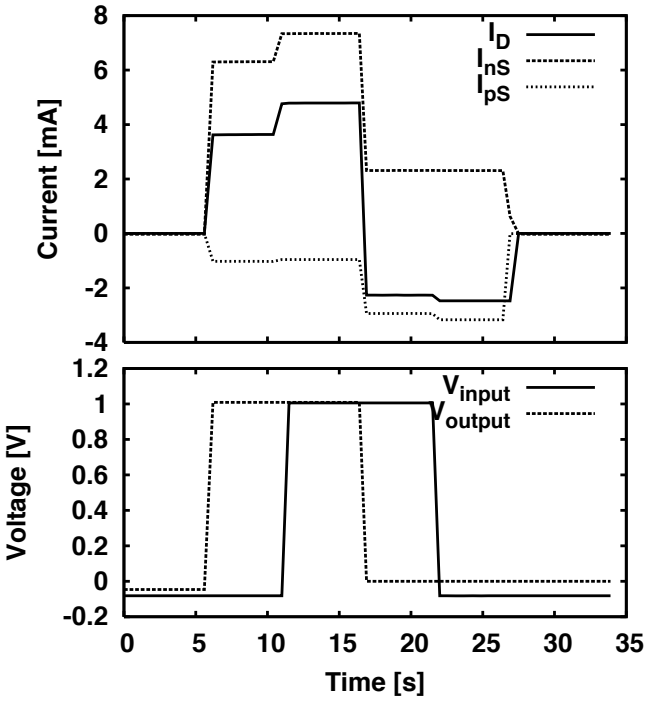
つまり，図 4.14(b) において，CMOS に電圧が供給されている間，常に nMOS ソース電流がプラスの値を示していることは，ソース電極から常に電流が流出している状態，つまり電子は nMOS ソース電極から流入している状態となっている．これは，以下のように説明できる．

$x_n = 0.2\mu$m の場合，nMOS と pMOS の距離が小さくなったことによって，nMOS ソースから流入した電子は，ドレイン電極のみならず基板間 pn 接合を通じて pMOS 領域へと流入することとなる．そして，この nMOS ソース電極から流入する電子は，ドレイン電圧によらない．なぜなら，アウトプット電圧が 0V においても 3V においても常にコンスタントな電流が流れ続けるためである．

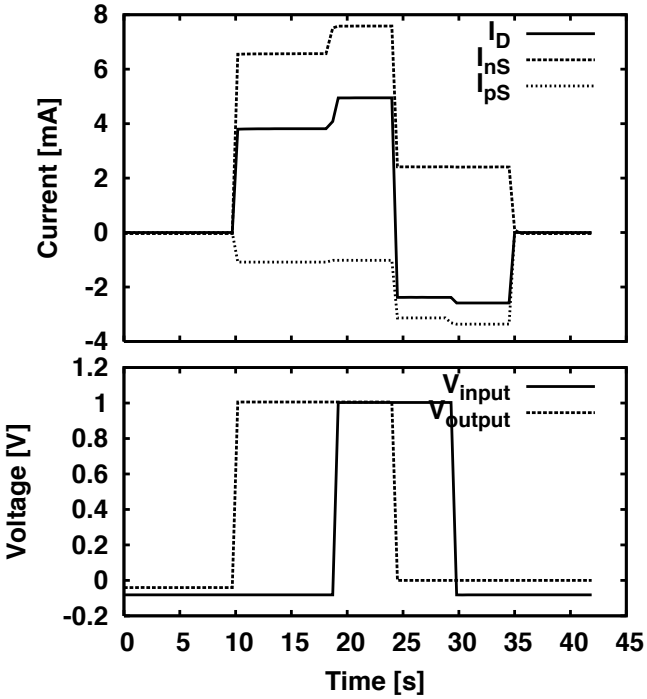
このように，nMOS・pMOS 間の距離がある程度近づくことによって，nMOS ソース電極から常に電子が流入する現象が確認され，本実験用に作製した CMOS における nMOS・pMOS 間相互作用のスレッショールド距離が 0.2μm 以下であることが確認された．

図 4.16 に，$x_n = 0.0\mu$m 及び $x_n = -0.2\mu$m の場合の，CMOS 動作特性を示す．

図 4.16(a) は，$x_n = 0.0\mu$m における CMOS の動作特性，(b) は $x_n = 0.2\mu$m における CMOS の動作特性を示す．いずれの場合においても，アウトプット電圧を印加した瞬間に大きな電流が流れ，CMOS へ与える全電圧をオフにするまで，電流が流れ続けている様子が見て取れる．こらは，明らかにこれまでの動作と異なる動作であり，nMOS・pMOS 間に何らかの相互作用が生じていると言える．また，ここではアウトプット・インプット電圧とも 1.0V としている．これは，数回の実験によって，1.5V の電圧を印加した場合，大電流が流れデバイスが破壊されてしまう現象が起きることが明らかとなったため，1.0V とこれまでより小さな電圧にすることにより，デバイス破壊を防止するためである．図 4.16(a) において，アウトプット電圧をオフの状態で，インプット電圧を 1.0V とした場合，つまり正常動作時には両 MOSFET がオフになる条件の場合，ドレイ



(a) $x_n = 0.0\mu\mathrm{m}$



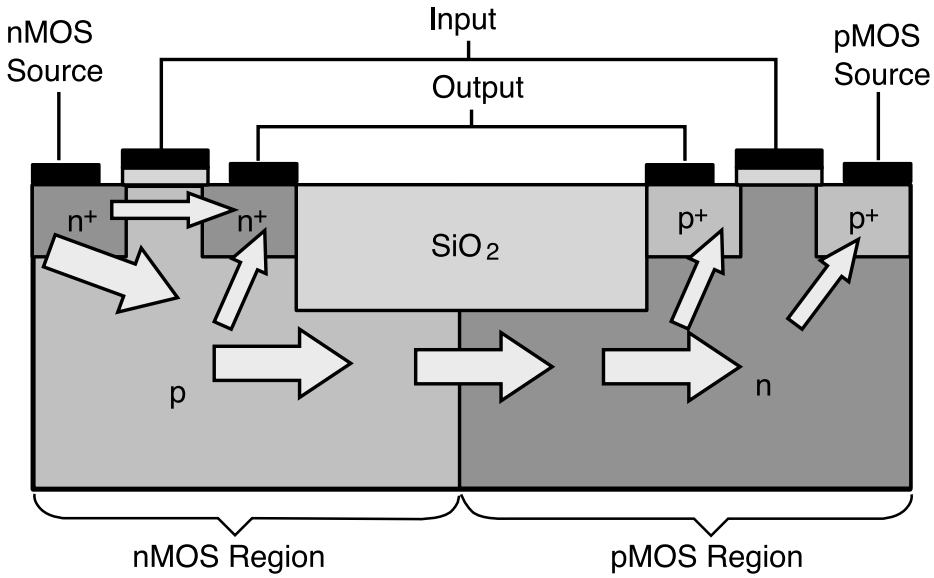
(b) $x_n = -0.2\mu\mathrm{m}$

図 4.16: Results of Interaction between nMOS and pMOS

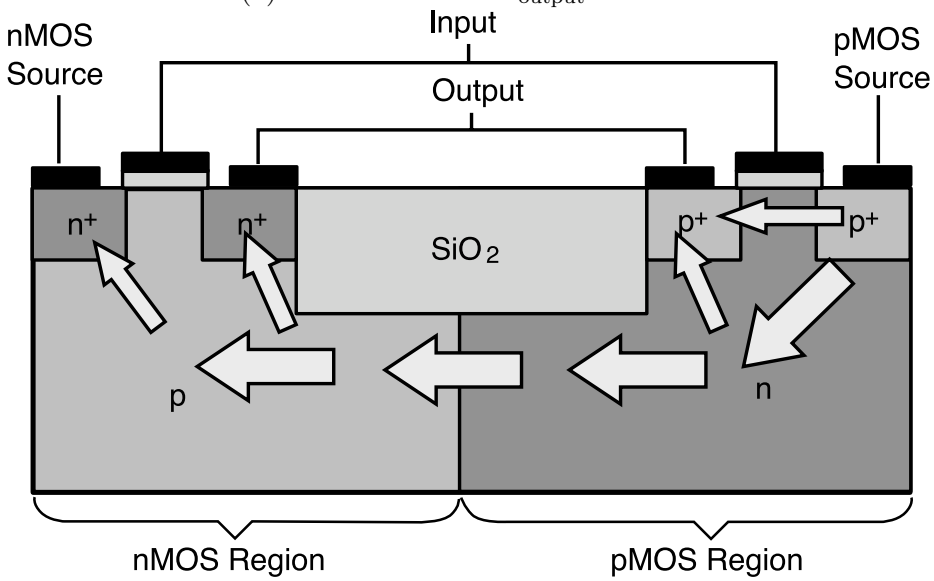
ン電流は 3.6mA を示し，nMOS ソース電流は 6.2mA，pMOS ソース電流は 1.0mA を示している．さらにアウトプット電圧を 1.0V の高電位にした場合，ドレイン電流は 4.8mA，nMOS ソース電流は 7.3mA，pMOS ソース電流は 0.96mA となっている．インプット電圧 0V，アウトプット電圧 1.0V の状態においては，ドレイン電流 2.3mA，nMOS ソース電流 2.3mA，pMOS ソース電流 2.9mA となっている．インプット電圧・アウトプット電圧ともに 0V の場合，ドレイン電流 2.5mA，nMOS ソース電流 2.3mA，pMOS ソース電流 3.2mA となっている．いずれの状態においても，ドレイン電流の値は，これまでの正常動作時における 1.5V 印加条件での値より大きな値を示している．図 4.16(b) においても同様な傾向が見られ，インプット電圧 1.0V，アウトプット電圧 0V の状態において，ドレイン電流 3.8mA，nMOS ソース電流 6.6mA，pMOS ソース電流 1.1mA であり，インプット電圧 1.0V，アウトプット電圧 1.0V の状態において，ドレイン電流 4.9mA，nMOS ソース電流 7.6mA，pMOS ソース電流 1.0mA となっている．また，インプット電圧 0V，アウトプット電圧 1.0V において，ドレイン電流 2.4mA，nMOS ソース電流 2.4mA，pMOS ソース電流 3.1mA を示しており，インプット電圧・アウトプット電圧ともに 0V の状態においては，ドレイン電流 2.6mA，nMOS ソース電流 2.4mA，pMOS ソース電流 3.4mA となっている．この結果より，$x_n = 0.0\mu$m 及び $x_n = -0.2\mu$m の場合においては，CMOS 内部に常に電流が流れ続けるのみならず，全電極に電流が流れ続けることが確認された．ここで得られた電流値と，その正負が示す電流の流れる方向により，CMOS における nMOS・pMOS 間相互作用の現象の考察を行う．

$x_n = 0.0\mu$m の場合と $x_n = -0.2\mu$m の場合は，ともに同様な傾向を示しているため，相互作用の考察は $x_n = 0.0\mu$m の場合についてのみ行う．まず，図 4.16(a) より，インプット電圧によってその値に違いは生じるが，ドレイン電流はアウトプット電圧によってその流れる方向が決定されていると言うことができる．アウトプット電圧が高電位の場合はドレイン電流はドレイン電極へと流入する方向，低電位の場合はドレイン電流はドレイン電圧から流出する方向に流れている．また，nMOS ソース電流は，常にソース電極から流出する方向に流れており，pMOS ソース電流は，常に pMOS ソース電極へと流入する方向に流れている．これらの電流は，アウトプット電圧が高電位の場合は，nMOS ソース電流が大きな値を示し，アウトプット電圧が低電位に切り替わると，nMOS ソース電流は電圧が高電位の場合に比して小さな値となっている．また，逆に，pMOS ソース電流はアウトプット電圧が低電位の場合に大きな値となり，高電位の場合には小さな値となる．アウトプット電圧が高電位の場合において，電流を電子の流れによるものと考え，アウトプット電圧が低電位の場合において，電流を正孔の流れによるものと考えると，内部の現象は図 4.17 に示すようになる．

図 4.17(a) は，アウトプット電圧が高電位の場合における，CMOS 内部の電子の流れを表した図であり，(b) はアウトプット電圧が低電位の場合における，CMOS 内部の正孔の流れを示した図である．図 4.16(a) より，アウトプット電圧が高電位の場合，最も大きい電流は nMOS ソース電極



(a) Electron Flow : $V_{output} = 1.0$ V



(b) Hole Flow : $V_{output} = 0.0$ V

図 4.17: Carrier Flow in the Case of Device Interaction

へと流出する電流である．つまり，nMOS ソース電極から流入する電子が最も多量に存在することになる．さらにドレイン電流も常に流れていることから，nMOS ソース電極から流入した電子は，チャンネル部または基板面を通って nMOS ドレイン電極へと到達する．また，nMOS ソース電極から流入した電子は，nMOS ドレイン電極のみならず基板間 pn 接合面を通って pMOS 領域へと到達し，pMOS ドレイン電極及び pMOS ソース電極へと流れ着く．インプット電圧（ゲート電圧）を高電位にした場合に，ドレイン電流及びソース nMOS ソース電流が増大しているが，これは nMOS において電子チャンネルが形成されるため nMOS ドレイン電極へと流れる電子がエンハンスされたためと考えられる．これらの電子の流れる経路は，先のシミュレーションの結果からも，同様な傾向が見られている．また，アウトプット電圧が低電位の場合，正孔の流れを考えると，図 4.17(a) の電子の流れと全く逆のことが生じていると考えられ，図 4.17(b) に示すようになる．以上が，$x_n = 0.0\mu$m 及び $x_m = -0.2\mu m$ の場合に生じる，CMOS 内部の現象である．

最後に，本実験用に作製した CMOS における，相互作用のスレッショールドを考える．先の章でも示したが，半導体の pn 接合におけるビルトインポテンシャル及び空乏層幅は，以下の式で表される．

$$\phi_B = \frac{k_B T_L}{q} \ln\left(\frac{N_D N_A}{n_i^2}\right) \tag{4.7}$$

$$X_{dep} = \sqrt{\frac{2\epsilon_s\left(N_D + N_A\right)}{qN_D N_A}\left(\phi_B\right)} \tag{4.8}$$

今，結晶の温度を 300K と仮定し，各部位におけるビルトインポテンシャル及び空乏層幅を求めることにする．なお，作製したデバイスにおいては，必ずしもそうはなっていないが，ここでは pn 接合が急峻な不純物濃度の変化によって作られていると仮定する．まず，nMOS において，ドレイン電極した高濃度ドープ域における不純物濃度が $1 \times 10^{26} m^{-3}$ であり，基板における不純物濃度が $1 \times 10^{23} m^{-3}$ であるので，この pn 接合におけるビルトインポテンシャルは式 4.7 より，1.04V となり，空乏層は式 4.8 より，0.171μm となる．同様にして，nMOS 基板における不純物濃度 $1 \times 10^{23} m^{-3}$ 及び pMOS 基板における不純物濃度 $1 \times 10^{23} m^{-3}$ より，基板間 pn 接合におけるビルトインポテンシャルは，0.86V 及び空乏層は 0.075μm と算出できる．これらを足し合わせると，空乏層がつながる距離は，0.246μm となる．この距離は，pn 接合が不純物濃度のステップ状の変化によって形成されると仮定してのものであるため，実際に CMOS 内部では空乏層幅はこれよりも小さいものと考えられるが，実験において $x_n = 0.2\mu$m の場合に nMOS ソース電極から常に電流が流出していた結果を考えれば，空乏層幅がスレッショールドを決定づける要因になっている可能性が大きい．以上より，おおよその空乏層幅を式 4.7 及び式 4.8 より算出することによって，作製する CMOS の nMOS・pMOS 間相互作用のスレッショールドを予測することが可能であると言える．

空乏層幅からスレッショールドを求めることが可能である場合は，先の章で示した nMOS ソースから nMOS 基板へと流出するリーク電子が少ない条件と一致する．本実験用に作製した CMOS においては，図 4.1 に示したように，多数のゲートを有する構造となっているため，各 MOS の基板面にリークするキャリアの数は非常に少なくなっている．特に，SiO_2 絶縁層下に注入されるキャリアの数は非常に少ないと考えられる．つまり，電極から基板へとリークするキャリアが非常に少ない場合であるため，数値計算における 1 番目のパターンであるミニマムなスレッショースド距離の理論を適用可能であると考えられる．

4.8 まとめ

本章では，実験的に CMOS における nMOS・pMOS 間相互作用の検証を行った．

実験結果は，前章の数値計算で予測した結果と非常に良い一致を示しており，数値計算によって導きだした理論が正しいことを示した一方で，CMOS において nMOS・pMOS 間のミニマムなスレッショールド距離を実現するための指針を示すことに成功した．

参考文献

[4-1] 菊池正典,「半導体のすべて」,1998，日本実業出版

[4-2] Z. X. Zhang, Q. Lin, M. Zhu and C. L. Lin, “A New Structure of SOI MOSFET for Reducing Self-Heating Effect”, *CERAMICS INTERNATIONAL*, Vol 30, 2004, pp. 1289-1293

[4-3] P. Su, K. Goto, T. Sugii and C. Hu, “Self-Heating Enhanced Impact Ionization in SOI MOSFETs”, *Proceeding of IEEE International SOI Conference*, 2001, pp. 31-32

[4-4] L. T. Su, J. E. Chung, D. A. Antoniadis, K. E. Goodson and M. I. Flik, “Measurement and Modeling of Self-Heating in SOI NMOSFET’s”, *IEEE Transactions on Electron Devices*, Vol. 41, No. 1, 1994, pp. 69-75

[4-5] M.D. Ker and C. Y. Wu, “Transient Analysis of Submmicron CMOS Latchup with a Physical Criterion”, *Solid-State Electronics*, Vol. 37, No. 2, 1994, pp. 255-273

[4-6] J. Naughton and M. Tyler, “Best Methods to Minimize Latch-up Sensitivity in Semiconductor Circuits”, *Proc. of 2005 IEEE Workshop on Microelectronics and Electron Devices*, 2005, pp. 95-98

[4-7] Y. Moreau, H. Rochette, G. Bruguier, J. Gasiot, F. Pelanchon, C. Sudre and R. Ecoffet, “The Latchup Risk of CMOS-Technology in Space”, *IEEE Transaction on Nuclear Science*, Vol. 40, No. 6, 1993, pp. 1831-1837

[4-8] 加藤肇，見城尚志，高橋久,「図解・わかる電子回路」，1995，講談社

[4-9] トランジスタ技術 10 月号，1990，CQ 出版社

第5章　結論

本論文を通じて，シリコンナノデバイスの中でもとりわけ現在広く利用されているSi MOSFETの熱管理に関する様々な研究を行った．

第2章においては，Si MOSFETの動作特性及び動作時における温度分布を短時間で正確に予測するため，熱・電気連成解析を利用する際のメッシュサイズ及びメッシュゾーニング手法の検討を行った．第2章の前半の結果から，Si MOSFETの熱・電気連成解析を行うための厚さ方向の適切なメッシュサイズ及びメッシュゾーニングの手法を，半導体物理理論から導きだすことに成功し，様々な構造を持つSi MOSFET及び様々な動作条件下におけるSi MOSFETの動作特性の解析に有用であることを示した．第2章で示した，メッシュゾーニング手法は，物理理論から導きだしたものであり，経験を必要とせず容易に用いることが可能である．また，第2章後半においては，Si MOSFETの解析において，ソースからドレインへと向かう横方向のメッシュの切り方には，pn接合部分よりもピンチオフ領域付近が重要であることを明らかにした．

第3章においては，熱問題を緩和しつつ集積度を上げるため，バルクSi CMOSにおけるnMOS・pMOS間の相互作用の現象解明を，熱・電気連成解析を用い行った．第3章の前半の結果から，熱・電気連成解析を用いてCMOSの相互作用の検討を行う際に，電子温度・正孔温度・結晶格子温度の3温度モデルを用いる必要性を示した．第3章後半においては，意図的に生成・再結合を考慮しないことにより，基板面に流出するキャリアを少なくした場合，CMOSにおけるnMOS・pMOS間の相互作用は基板間pn接合面の空乏層が電極電位の影響を受ける範囲に到達した際に生じることを示した．また，生成・再結合を考慮し基板面に流出するキャリアを多くした場合においては，流出するキャリアが少ない場合と支配現象が変化し，nMOS・pMOS間の距離をより広く確保する必要性があることを示した．さらに，nMOS・pMOS間のSiO_2絶縁層の厚さを厚くすることにより，相互作用のスレッショールド距離を小さくすることが可能であることを示した．

第4章においては，第3章で熱・電気連成解析を用いて検討したバルクCMOSにおけるnMOS・pMOS間の相互作用の現象を，実験的に検討した．微小電流を正確に測定するため，OPアンプを用いた無抵抗電流計を用いて実験を行った結果，実験結果は第3章で示した基板面に流出するキャリアが少ない場合の結果と非常に良い一致を示しており，バルクCMOSにおけるnMOS・pMOS間のミニマムなスレッショールド距離を，熱・電気連成解析と実験の両面から明らかにすることに成功した．

謝辞

本研究をまとめるにあたり，多くの方々の御指導，御助言，御協力を頂いたことをここに記し，心から感謝を申し上げます.

指導教員である岡崎健教授・伏信一慶准教授には，学部 4 年以来 6 年間のもの間，研究のご指導並びにその他数々のことでお世話になりました．心から感謝を申し上げます.

また，野崎智洋助教，多田茂助手（現，防衛大学校准教授），補佐員の田嶋麗子さん，柏原奈美さん，吉田まどかさんには，研究及び研究以外の面で多くの御協力を頂きました.

本学技官の岩田正孝さん，古田基さんには，実験装置に関する多数のアドバイスを頂きました．心より感謝申し上げます.

本研究室の卒業生及び在学中の皆様には，日々の楽しい生活を一緒に過ごさせて頂きました．中でも，同期の三木成章君，後藤友哉君，中川陽介君，高橋大志君には，深く感謝を申し上げます．Sreejit Near さん，Saiful Hasmady 君とは，研究に関する多くの議論をさせて頂き，大きな刺激となりまた．本当に楽しかったです．ありがとう.

また，山本泰史君には，実験を行う際に多数の御協力を頂きました．唐津拓也君には，論文作製の際，Tex の技術などで助言を頂きました．市屋卓君には，コンピューターに関する議論を多数させて頂きました．福井航君には，深夜まで原稿の校正に御協力いただきました．ありがとう.

さらに，Therm Tech International 中山恒先生，富山県立大学　石塚勝教授を始め，多くの大学の先生方，電子機器の冷却に関連する研究を行われている企業の方々からも，多くの御指導を頂きました．ほんとうにありがとうございました.

なお，本研究を遂行するにあたり，日本学術振興会特別研究員 (DC1)，科学研究費補助金（特別研究員奨励費，No. 17・8600）それぞれのご援助を頂きました．ここに記して感謝いたします.

最後に，家族をはじめ周囲の支えてくれた人々の協力に感謝します.

畠山友行

本論文の内容の公表

第 2 章

- 論文
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, “Mesh Zoning Method for Electro - Thermal Analysis of Submicron Si MOSFET”, *Journal of Thermal Science and Technology*, Vol. 1, No. 2, pp. 101-112, 2006
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, “Electro-Thermal Analysis of Submicron Si MOSFET with Zoned Mesh Based on Semiconductor Physics Theory”, *Journal of Thermal Science and Technology*, Vol. 3, No. 1, pp. 45-57, 2008
- 有査読国際会議
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, “Electro-Thermal analysis of Submicron Si MOSFET with Zoned Mesh Based on Semiconductor Physics Theory”, *Proceedings of HT2007*, HT2007-32745, 2007
- 無査読国内会議
  - 畠山友行，伏信一慶，岡崎健,「サブミクロン Si MOSFET の熱・電気連成解析におけるメッシュサイズのゾーニング手法」，日本機械学会熱工学コンファレンス 2006 講演論文集， No. 06-2，pp. 263-264, 2006
  - 畠山友行，伏信一慶，岡崎健,「サブミクロン Si MOSFET の熱・電気連成解析におけるチャンネル部での最適メッシュサイズ」， 第 44 回日本伝熱シンポジウム講演論文集, Vol. II, pp. 417-418, 2007
- その他
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, “Electro-Thermal Analysis of Submicron Si MOSFET by Using Physically Based Zoned Mesh”,

Abstracts of 2nd China-Japan-Korea Student Symposium, pp. 15-16, 2007

第3章

- 論文
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, "Electro-thermal Analysis of Interaction Between n-type and p-type MOSFET in Si CMOS", *THERMAL SCIENCE AND ENGINEERING*, Vol. 13, No. 5, pp. 25-32, 2005
  - Tomoyuki Hatakeyama and Kazuyoshi Fushinobu, "Electro-thermal Behaviour of a Sub-micrometer Bulk CMOS Devices: Modeling of Heat Generation and Prediction of Temperatures", *Heat Transfer Engineering*, Vol. 29, Issue 2, pp. 120-133, 2008
- 有査読国際会議
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, "EFFECT OF THE DEVICE STRUCTURE IN ELECTRO-THERMAL ANALYSIS OF Si CMOS", *Proceedings of IPACK2005*, IPACK2005-73151, 2005
  - T. Hatakeyama, K. Fushinobu and K. Okazaki, "Electro-thermal analysis of interactions between Si MOSFETs in CMOS structures", *Abstracts of Japan/US Joint Seminar on Nanoscale Transport Phenomena-Science and Engineering*, pp. 55, 2005
  - Tomoyuki Hatakeyama, Kazuyoshi Fushinobu and Ken Okazaki, "Electro-thermal analysis of device interactions in Si CMOS structure", *Proceedings of EMAP2005*, pp. 296-301, 2005
  - T. Hatakeyama, K. Fushinobu and K. Okazaki, "Temperature and Time Dependence of Device Interactions in Submicron Si CMOS", *Proceedings of 9th AIAA/ASME Joint Thermophysics and Heat Transfer Conference*, AIAA-2006-3611, 2006
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, "Device Interaction of Submicron Si CMOS in Transient State", *Proceedings of ISTP-17*, 2-E-I-2, 2006
- 無査読国内会議
  - 畠山友行，伏信一慶，岡崎健,「CMOS 構造を有したサブミクロン Si デバイスの熱・電気連成解析」，日本機械学会熱工学コンファレンス 2004 講演論文集， No. 04-28，pp. 347-348, 2004

- 畠山友行，伏信一慶，岡崎健,「Si CMOS におけるデバイス間相互作用」，第 42 回日本伝熱シンポジウム講演論文集，Vol. III, pp. 755-756, 2005
- 畠山友行，伏信一慶，岡崎健,「サブミクロン Si CMOS におけるデバイス間相互作用の温度依存性」，可視化情報全国公演会講演論文集，Vol. 25, No. 2, pp. 317-320, 2005
- 畠山友行，伏信一慶，岡崎健,「Si CMOS におけるデバイス間相互作用の熱・電気連成解析」，第 43 回日本伝熱シンポジウム講演論文集，Vol. I, pp. 35-38, 2006

- その他
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, "Electro-thermal Analysis of Submicron Si CMOS for Packaging Electrical Devices", *Abstracts of 1st China-Japan-Korea Student Symposium on Mechanical Engineering (Thermal/Fluids Engineering)*, pp. 59-60, 2005
  - Tomoyuki HATAKEYAMA, Kazuyoshi FUSHINOBU and Ken OKAZAKI, "Electro-Thermal Analysis of Submicron Si CMOS", *Abstracts of TokyoTech-KAIST Joint Student Workshop for Mechanical Engineerng Students*, pp. 169-170, 2007
  - T. Hatakeyama, K. Fushinobu and K. Okazaki, "Electro-thermal Behaviour of a Sbu-micron Bulk CMOS Devices: Modeling of Heat Generation and Prediction of Temperature", *THERMAL DIAGNOSIS APPARATUS AND SMART COOLING SYSTEM for ELECTRONIC EQUIPMENT - II: Progress Report* (講演のみ)

第 4 章

- 査読付き国際会議
  - Tomoyuki HATAKEYAMA, Ken OKAZAKI and Kazuyoshi FUSHINOBU, "Investigation of Device Interactions Between Two MOSFETs in Si CMOS", *Proceedings of ITherm2008* （投稿中）

- 無査読国内会議
  - 畠山友行，伏信一慶，岡崎健,「Si CMOS におけるデバイス間相互作用の現象解明」，2007, 日本機械学会熱工学コンファレンス 2007 講演論文集， No. 07-5，pp. 223-224