

論文 / 著書情報
Article / Book Information

題目(和文)	シリコンCMOSとの集積に向けた弗化物共鳴トンネルダイオードの研究
Title(English)	
著者(和文)	渡邊聡
Author(English)	SO WATANABE
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第6924号, 授与年月日:2007年3月26日, 学位の種別:課程博士, 審査員:
Citation(English)	Degree:Doctor of Engineering, Conferring organization: Tokyo Institute of Technology, Report number:甲第6924号, Conferred date:2007/3/26, Degree Type:Course doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

博士論文

シリコン CMOS との集積に向けた
弗化物共鳴トンネルダイオードの研究

2007年3月

東京工業大学 大学院総合理工学研究科
電子機能システム専攻

渡邊 聡

指導教員: 筒井 一生 助教授

目次

第 1 章 序論	1-20
1.1 背景	2
1.1.1 半導体集積回路の現状と課題	2
1.1.2 新機能デバイスへの期待	2
1.1.3 共鳴トンネルダイオード(Resonant Tunneling Diode: RTD)	3
1.1.4 Si 上に製作された RTD	9
1.2 CaF ₂ /CdF ₂ ヘテロ構造の特徴	10
1.3 Si 基板上弗化物 RTD の問題点	13
1.4 本研究の目的と構成	15
<参考文献>	16
第 2 章 試料の作製方法及び評価方法	21-27
2.1 試料の作製方法	22
2.1.1 試料製作の流れ	22
2.1.2 基板洗浄	22
2.1.3 分子線エピタキシー(Molecular Beam Epitaxy:MBE)法	23
2.1.4 電極金属(Al,Au)の真空蒸着	24
2.2 評価方法	25
2.2.1 ラザフォード後方散乱(Rutherford Backscattering Spectroscopy:RBS)法	25
2.2.2 原子間力顕微鏡(Atomic Force Microscopy:AFM)	26
2.2.3 電流-電圧特性測定装置	27
第 3 章 弗化物 RTD の特性安定化技術	28-77
3.1 弗化物 RTD の電気特性における問題点とその解決法	29
3.1.1 問題点とその原因	29
3.1.2 特性安定化技術の提案	37
3.2 ポスト酸化プロセスによるピンホールの不活性化	38
3.2.1 ポスト酸化プロセスのコンセプト	38

3.2.2	ポスト酸化プロセスの手順	40
3.2.3	ポスト酸化プロセスによるリーク電流の低減	40
3.2.4	XPS 法によるポスト酸化後の CaF_2/Si 界面の状態分析	45
3.2.5	RHEED 及び AFM によるポスト酸化後の CaF_2 表面の観察	48
3.2.6	ポスト酸化プロセスの電気特性への影響	51
3.2.7	CdF_2 と Si の化学反応抑制効果	52
3.2.8	高温成長による電氣的不安定性の抑制	57
3.3	活性層分離型構造の導入	58
3.3.1	活性層分離型構造のコンセプト	58
3.3.2	分離層の表面状態の観察	60
3.3.3	分離層の導電性	62
3.3.4	分離層の挿入による RTD の電気特性への影響	65
3.4	各種技術の組み合わせによる RTD 特性の安定化	68
3.4.1	ポスト酸化プロセスと活性層分離型構造の組み合わせ	68
3.4.2	$\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶による化学反応の抑制技術の導入	72
3.5	RTD の双安定動作の観測	75
3.6	本章で得られた結論	76
	<参考文献>	77
第 4 章 V 溝構造による Si(100)基板上への弗化物 RTD の製作		78-98
4.1	V 溝 Si(100)基板上弗化物 RTD の提案	79
4.2	Si の異方性エッチングの原理と手段	80
4.3	V 溝 Si(100)基板上 RTD の製作	81
4.3.1	エッチング条件の決定	81
4.3.2	V 溝構造と弗化物 RTD の製作	86
4.3.3	V 溝基板上 RTD の電気特性と成長前のモフォロジーの関連性	91
4.3.4	活性層分離型構造による表面荒れの影響の緩和	94
4.4	本章で得られた結論	97
	<参考文献>	98

第5章 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$バリアを用いた非対称RTD	99-114
5.1 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ バリアを用いた非対称RTDの提案	100
5.2 シミュレーションによる本構造の有効性の確認	102
5.3 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ をバリアに用いた非対称RTDの製作	105
5.4 本章で得られた結論	114
<参考文献>	114
第6章 結論	115-117
6.1 本研究で得られた結論	116
6.2 今後の展望	117
本研究に関する発表	118
謝辞	120

第 1 章

序論

1.1 背景

1.1.1 半導体集積回路の現状と課題

現在の半導体集積回路の応用は、携帯電話、パソコン、家電、ゲーム機、通信機器など極めて多岐に渡っている。今後もその役割は拡大していくものと見られ、さらなる高性能化、多機能化が求められている。このような半導体集積回路の発展を支えてきたのは、Si を基板として用いた CMOS 技術の飛躍的な進歩であり、それを強力に後押ししたのが素子寸法の微細化による性能と集積度の向上であった。しかし近年、微細化による高性能化にも限界が見え始めている。例えばゲート絶縁膜の薄膜化によるトンネルリーク電流の増大、短チャネル効果と低電圧化による ON/OFF 比の低下、寄生効果や配線負荷の増大、不純物分布のゆらぎの影響が無視できなくなることなど、多くの難しい課題を抱えており、現状でもすでに微細化による高性能化の恩恵を受けにくくなっている。仮にこれらの課題を克服できたとしても、現在の MOSFET のチャネル方向のサイズは数十 nm のオーダーまで縮小されており、このまま進めばいずれ原子数層のオーダーに達してしまう。これはトンネル電流などの量子効果が現れる領域であり、バルクの物性を利用したトランジスタの考え方は通用しなくなってくるため、もはや従来の微細化の考え方の延長のみで高性能化を達成することはできなくなる。

1.1.2 新機能デバイスへの期待

このような背景から、従来とはベクトルの異なる高性能化、多機能化の指針を取り入れるための様々な取り組みがなされている。その一つに Si 集積回路に従来の CMOS にはない新しい機能を持つデバイスを導入することがある。代表的なものとしては不揮発性メモリが良い例であろう。これは電源を切ってもデータが保持されるもので、フラッシュメモリ、FeRAM、MRAM、OUM など多くの方式の研究・開発が盛んに行われている。一部はすでに実用化されているものもあり、単なる既存の記録媒体の置き換えのみではなく、その特徴を生かした新しい用途も開拓されつつある。このような新しい機能デバイスを導入するという考え方は以前からあったが、近年の集積回路の用途の拡大や、微細化による性能向上が困難になってきたことを受けて、その重要性の認識が広く浸透し、成果が現れ始めたと言えるのではないだろうか。

一方で、論理回路の主役は依然として Si-CMOS であり、今後もしばらくその流れは変わらないと考えられる。これは出力を保持している間は貫通電流がほとんど流れないという大きな特

徴に加えて、それを構成する Si 上 MOSFET の素性が極めて良いことから、多くの技術者が力を注いできた結果として、プロセスや回路、アーキテクチャなども含めて豊富な技術的蓄積があるためである。しかし CMOS の限界も見えてきており、新しい技術を取り入れることへの期待は高まってきている。そのため、Si-CMOS と新機能デバイスを相補的に組み合わせるといった考え方が重要であると考えられる。

1.1.3 共鳴トンネルダイオード(Resonant Tunneling Diode: RTD)

本研究では新機能デバイスの一つとして、共鳴トンネルダイオード (resonant tunneling diode: RTD) に注目した。RTD は量子井戸構造を持つ素子であり、井戸中に離散化されたエネルギー準位と同じエネルギーを持つキャリアのみを透過させ(共鳴トンネル効果)、その共鳴状態と非共鳴状態により微分負性抵抗 (negative differential resistance: NDR) 特性を発現させる量子効果デバイスである (図 1.1)。RTD は数百 GHz 帯以上の高速スイッチング動作が可能で、最も高速なデバイスの一つに分類される。様々な応用が考えられているが^{1.1~1.23}、多くに共通する特徴は NDR を用いた複数の安定点を活用していることである。図 1.2 は RTD による双安定点を模式的に示したものである。左図のように 2 つの RTD を直列に接続したとき、その中間ノードの電圧は RTD_{driver} の特性に対して RTD_{load} の特性を負荷線として描いたときの交点で決まる。よって右図より、安定点が 2 つできることになる。ただし、この図では $V_{dd}/2$ 付近にも交点が存在するが、微分負性抵抗同士の交点は電圧変動に対して不安定であり、安定点にはならない。

このような微分負性抵抗特性による双安定点のメリットを端的に示した例が図 1.3 に示す SRAM セルである。図 1.3(a)は CMOS を用いた SRAM セルの一例で、データを保持する機能は 2 つのインバータの出力を互いの入力に接続することで実現されており、各インバータの入力に書き込み・読み出しを行うためのパストランジスタを接続した構成になっている。パストランジスタのゲートが Word Line (WL)、ドレインが Bit Line (BL)となっており、書き込みは WL でパストランジスタを ON にし、High と Low の電圧を BL の電圧によって強制的に切り替えることで行う。読み出しも同様のプロセスで BL から読み出す。書き込みと読み出しの切り替えは外部回路で行う。同様の機能を RTD で構成したものの一例を図 1.3(b)に示す。2 つの直列に接続した RTD が CMOS-SRAM における互いに接続した 2 つのインバータに相当し、中間ノードの双安定点によってデータの保持を行う。そこにパストランジスタを接続して書き込み、読み出しを行う構成になっている。このように、CMOS では 6 素子必要だったものが RTD を用いた場合は 3 素子で済む

ことになり、これが RTD を用いた SRAM のメリットである。

ここで重要なことは High と Low のデータを保持する機能、すなわち双安定点を実現するために必要な素子数が、CMOS では 4 素子必要であるのに対し、RTD は半分の 2 素子ですむということである。これが RTD のメリットとして最も基本的な要素であり、提案されている RTD 回路の多くはこの特徴を上手く利用して回路の素子数を低減している。素子数の低減は集積度の向上や、配線や素子の負荷が減ることによる性能向上につながるため、微細化に依らない高性能化、多機能化が期待できる。

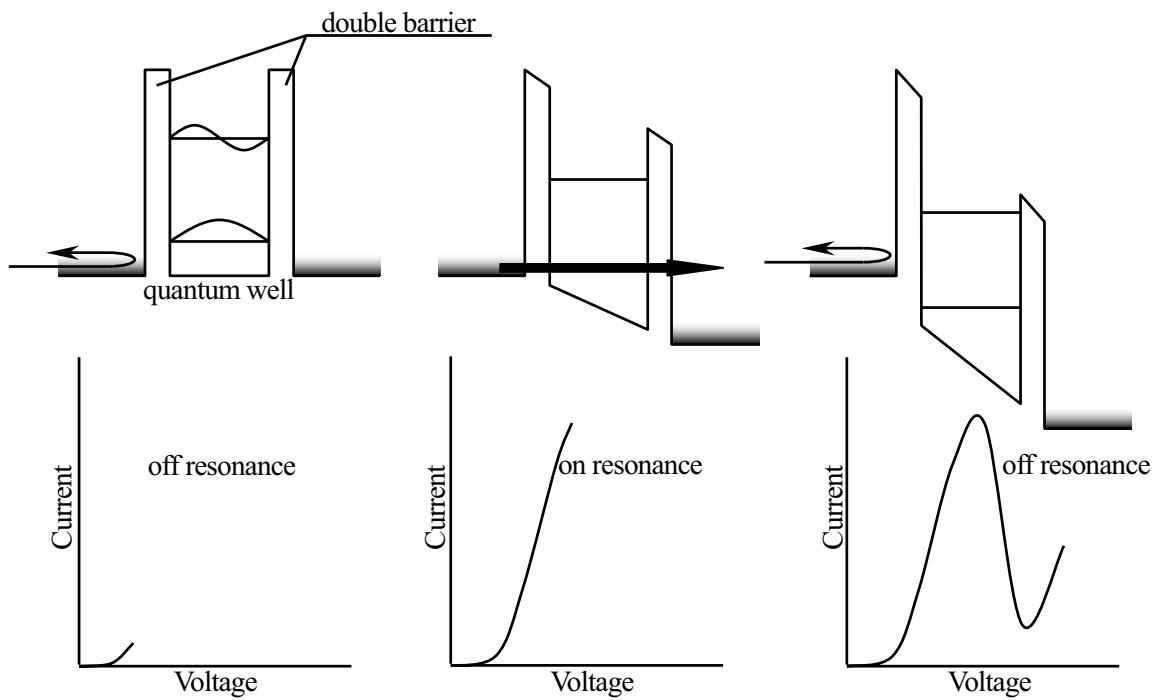


図 1.1 共鳴トンネルダイオード(RTD)の微分負性抵抗特性

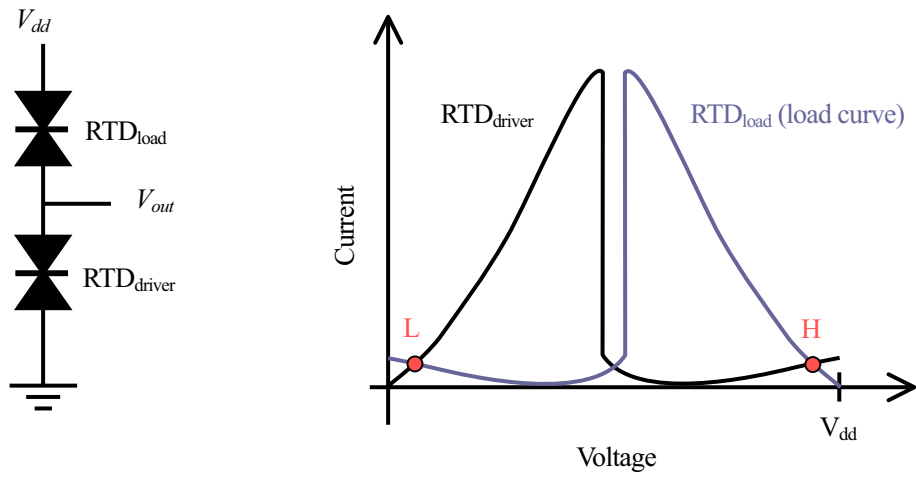


図 1.2 RTD による双安定点 (模式図)

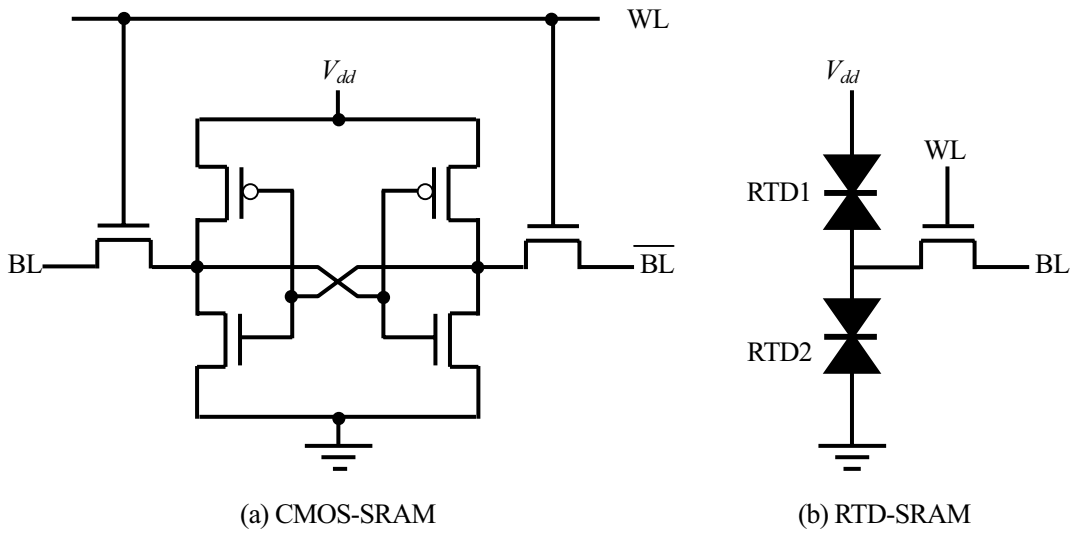


図 1.3 SRAM セルにおける CMOS と RTD の回路構成

もう一つ、RTD を用いた重要な回路として MOBILE (monostable-bistable transition logic element)¹⁸ について説明する。これは特定の回路というよりは、“CMOS”と同様に RTD を論理動作させる動作原理の名称、もしくはその方式を用いた論理ゲートの総称である。この MOBILE について、図 1.4(a)に示すインバータを例に説明する。MOBILE は RTD を 2 つ直列に接続し、一方の RTD と並列に FET を接続した構成になっている。この 2 つの RTD の両端にクロック電圧を印加することで、図 1.4(b)の負荷線図に示すような、安定点が一つの単安定状態と二つの双安定状態を繰り返し遷移させるものである。単安定状態から双安定状態に遷移するとき、出力電圧は 2 つの RTD のピーク電流の大小関係によって決まる。あらかじめ RTD1 のピーク電流を大きくしておくと、図 1.4(b)のように出力 V_{out} は High に遷移し、これが V_{in} が Low のときの動作に相当する。 V_{in} が High のときは RTD2 と並列に FET の電流が流れるため、図 1.4(c)のようにピーク電流の大小関係が逆転し、 V_{out} は Low に遷移する。以上のように、MOBILE は FET の電流によってピーク電流の大小関係を制御することで、双安定状態に遷移する際の出力を決定するものである。

MOBILE に期待されるメリットとして以下のことが挙げられる。

- ①入力容量の低減
- ②セルフラッチ機能
- ③素子数の低減

各項目について順に説明する。

①入力容量の低減

MOBILE は基本的には SRAM と同様に RTD2 素子の双安定点を利用したものだが、安定点の制御の仕方が異なっている。SRAM は入力電圧で直接書き込むが、MOBILE では単安定状態から双安定状態に遷移する際に安定点が自律的に決定されるという特徴を上手く利用し、小さい電流の変化でどちらの安定点に遷移するかを制御することができる。そのため、入力用 FET に必要な相互コンダクタンス g_m が小さくて良い。さらに CMOS は 1 入力に対して 2 つの FET が必要だが、MOBILE は 1 入力に対して 1 つの入力用 FET で良い。したがって、入力容量を CMOS に比べて小さくできる可能性があり、ダイナミックな消費電力の低減が期待できる。

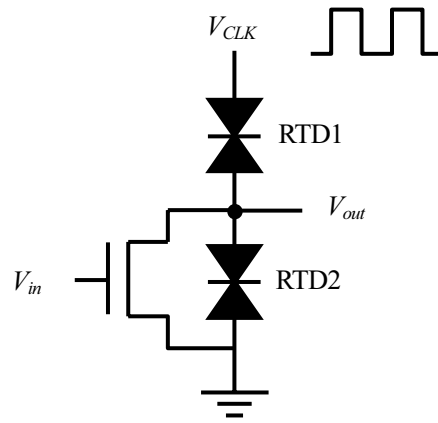
②セルフラッチ機能

MOBILE はクロックの立ち上がりに同期して出力が決定されるが、一度決定されると、クロックが High の間は入力に変化しても出力を保持し続ける。これをセルフラッチ機能という。これは CMOS の論理ゲートとフリップフロップを組み合わせたものに近い機能である。この特徴を利用すれば、フリップフロップの挿入無しでゲート単位でのパイプライン化 (ナノパイプライン^{1,24, 1,25)} が可能であり、パイプライン型アーキテクチャの高速論理演算に適しているといえる。

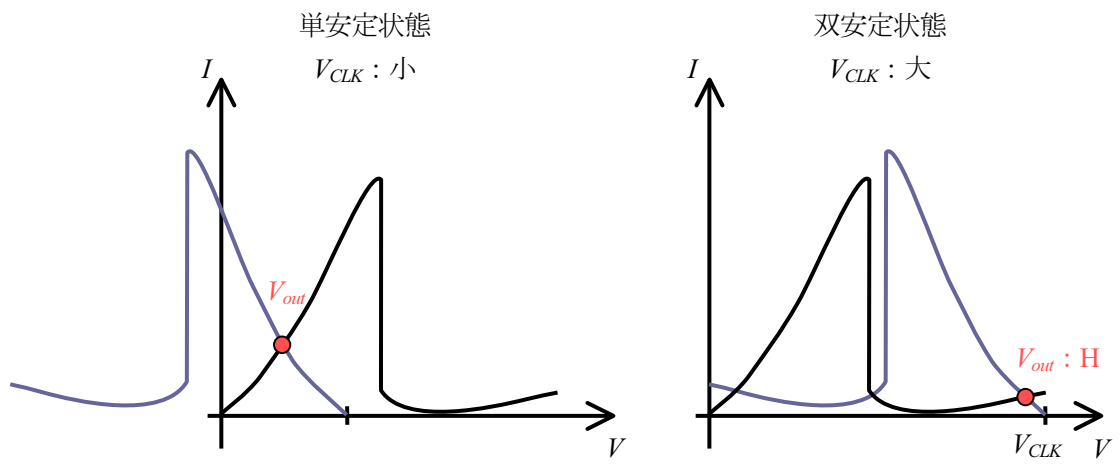
③素子数の低減

図 1.4 のインバータにおいては MOBILE は 3 素子であり、CMOS の 2 素子よりも多いが、入力用 FET を増やすことで NAND, NOR, AND, OR などへの拡張や、さらに入力を増やすことも可能である。このとき MOBILE は 1 入力に対して入力用 FET の数が 1 つであり、CMOS の 2 つに比べて少なくすむ。したがって、入力の数が増えるほど CMOS に比べて素子数を少なくしやすい。

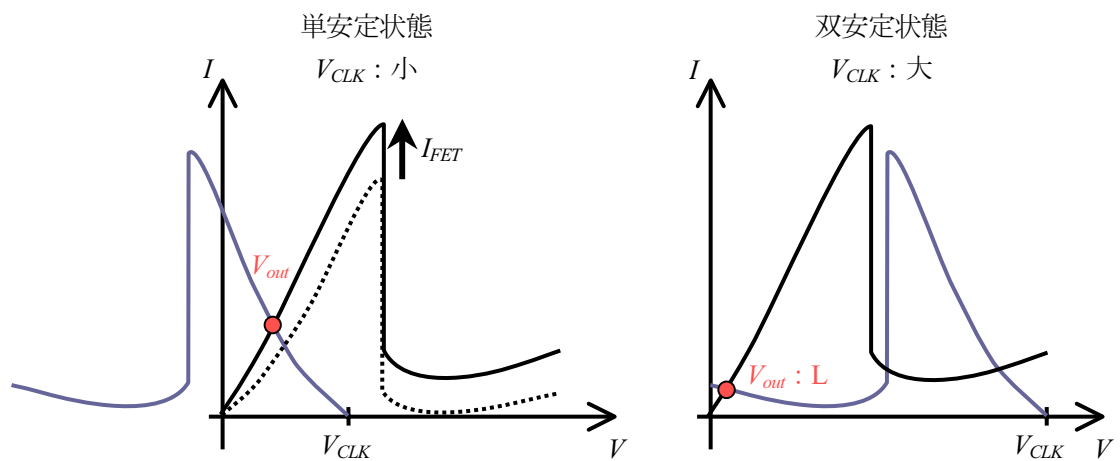
以上のように、MOBILE は RTD の特徴を活用することで多くのメリットを有したものであり、これらはいずれも微細化に依らずに高速化、低消費電力化、高集積化が期待できるものである。このような特徴を持つ RTD の回路を Si-LSI に導入し、CMOS と適切な役割分担を行えば、微細化による物理的な限界を超えて、高性能化・多機能化が達成できるのではないかと考えた。



(a) MOBILE インバータの回路構成



(b) 単安定-双安定遷移による論理動作 ($V_{in} : L$)



(c) 単安定-双安定遷移による論理動作 ($V_{in} : H$)

図 1.4 MOBILE インバータの回路構成と動作原理

1.1.4 Si 上に製作された RTD

共鳴トンネルデバイスは 1983 年に AlGaAs(barrier)/GaAs(well)ヘテロ構造 RTD において微分負性抵抗特性が観測されて以来、多くの研究が行われてきた^{1.27-1.35}。それらの報告のほとんどは GaAs 基板、InP 基板などの III-V 族化合物半導体を用いたものであり、超高速・低消費電力回路への応用に向けて盛んに研究されてきた。しかし、現在の半導体集積回路の中心である Si 基板上で製作された報告は少ない。これは高品質なヘテロ構造を形成できる材料の組み合わせが限られるためである。本研究では CaF₂、CdF₂ という二種類の弗化物材料を用いたヘテロ構造に注目した。弗化物の物性やヘテロ構造の詳細については後に譲り、ここでは Si 基板上に製作された RTD の特性からその優位性について述べる。

表 1.1 に、これまでに報告されている Si 基板上に製作された RTD の材料系及びピーク電流とバレー電流の比(peak to valley current ratio: *PVR*)を示す。*PVR* は RTD の基本的な性能指数の一つであると同時に、量子井戸ヘテロ構造を形成する各層の層厚均一性や結晶性を反映するため、結晶成長技術に関する指標にもなる。表 1.1 のほとんどの RTD において室温での *PVR* が小さい。これは回路応用の形態にもよるが、論理振幅が制限される、待機電力が増大するなど不利な要因となる。この観点から見ると、表中にも示した CaF₂ と CdF₂ を用いたヘテロ構造が RTD に用いる材料系として優れているといえる。

表 1.1 Si 基板上に製作された RTD の主な報告例

Year	Materials (well / barrier)	PVR
1988	GaAs / AlAs ^{1.36}	12.5 (@77K)
		2.9 (@R.T.)
1991	Si / Si _{0.7} Ge _{0.3} ^{1.37}	1.5 (@77K)
		1.2 (@R.T.)
1992	CoSi ₂ / CaF ₂ ^{1.38}	25 (@77K)
		2.0 (@R.T.)
1997	CdF ₂ / CaF ₂ ^{1.39}	24 (@R.T.)
2000	CdF ₂ / CaF ₂ ^{1.40}	7.6 × 10 ⁵ (@R.T.)
2000	Si / CaF ₂ ^{1.41}	6.3 (@77K)
2001	Si / Si _{0.67} Ge _{0.33} ^{1.42}	180 (@R.T.)
2001	Si / SiO ₂ ^{1.43}	1.8 (@15K)
2002	Si / γ-Al ₂ O ₃ ^{1.44}	3.0 (@R.T.)
2003	Ca _x Cd _{1-x} F ₂ /CaF ₂ ^{1.45}	29 (@R.T.)

1.2 CaF₂/CdF₂ヘテロ構造の特徴

本節では弗化物材料とそれを用いた RTD の特徴について述べる。CaF₂, CdF₂ は表 1.2 に示すように Si との格子不整が小さく、構造も蛍石構造で Si のダイヤモンド構造と類似しているため、Si 基板上に良好にエピタキシャル成長することが期待される。実際に、急峻なヘテロ界面を持つ CdF₂/CaF₂/Si(111) 超薄単結晶膜の成長法や基礎的な成長条件はこれまでに多くの研究グループから報告されており、X 線回折法等により良好な単結晶膜が得られることが示されている^{1.27-1.35}。

表 1.2 CdF₂, CaF₂ の諸特性と Si との比較^{1.46-1.49}

Materials	Si	CaF ₂	CdF ₂
Crystal Structure	Diamond	Fluorite	Fluorite
Melting Point [°C]	1414	1360	1100
Lattice Constant [Å]	5.431	5.4629	5.3880
Mismatch with Si [%]	—	+0.6	-0.8
Thermal Expansion [deg ⁻¹]	2.5 × 10 ⁻⁶	1.82 × 10 ⁻⁵	2.1 × 10 ⁻⁵
Energy Bandgap [eV]	1.1	12.11	8.0

CdF₂/CaF₂/Si(111) ヘテロ構造のバンドプロファイルについては X 線光電子分光法(X-ray Photoelectron Spectroscopy: XPS)をもちいて確認されている^{1.50}。このバンドプロファイルを図 1.5 に示す。このように、CaF₂ の伝導帯端の不連続量 ΔE_c は Si, CdF₂ に対してそれぞれ 2.3eV, 2.9eV と非常に大きい値となっている。したがって CaF₂ をバリア層、CdF₂ を量子井戸層とする急峻なヘテロ構造を形成することが出来れば、この大きなバンドオフセットを利用して、CdF₂ 層に電子を強く閉じ込めることができ、顕著な量子効果の発現が期待できる。実際に図 1.6 に示す構造の RTD において、室温で図 1.7 のような微分負性抵抗特性が観測されている^{1.39}。

CaF₂ と CdF₂ を混晶化することによって、この大きなバンドオフセットを任意に制御できることも、この材料系の特徴である。図 1.8 は Ca_xCd_{1-x}F₂ 混晶の E_c を組成比 x に対して測定した結果である。なお E_c は Si を基準としてある。 $x=0.5\sim 1$ の高組成比側は内部光電子放出測定 (internal photoemission spectroscopy: IPE) によって測定したもので^{1.51}、 $x=0\sim 0.4$ までの低組成比側は、井戸層に Ca_xCd_{1-x}F₂ 混晶を用いた RTD の V_p を測定し、理論値との比較から E_c を求めたものである

^{1,52}。その結果、図のようにベガード則にしたがって E_c が変化することが分かった。これにより、RTD のバリアハイトや井戸の深さを任意に制御することが可能であり、所望の電気特性を得るための構造を実現しやすい。このようなバンドオフセットの制御は、III-V 族化合物半導体の材料系においては一般的だが、Si 基板上の RTD においては弗化物系と SiGe/Si 系のみである。しかし SiGe/Si 系はバンドオフセットが小さいため、制御できる範囲が狭い。したがって、2.9eV という広い範囲で制御が可能であることは、弗化物 RTD の大きな特徴といえる。

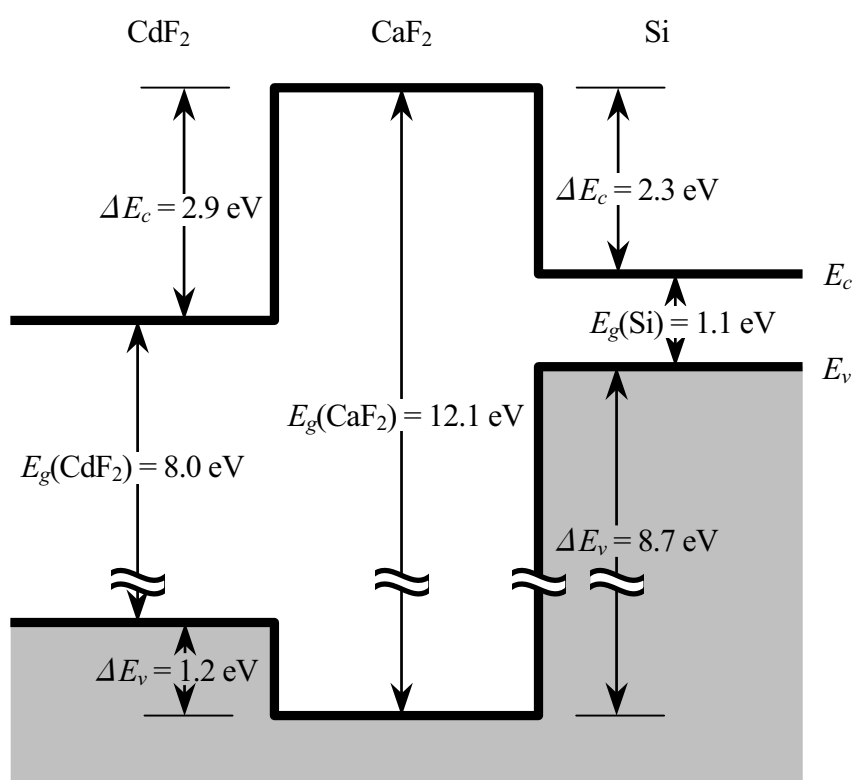


図 1.5 $\text{CdF}_2/\text{CaF}_2/\text{Si}(111)$ ヘテロ構造のエネルギーバンドプロフィール^{1,50}

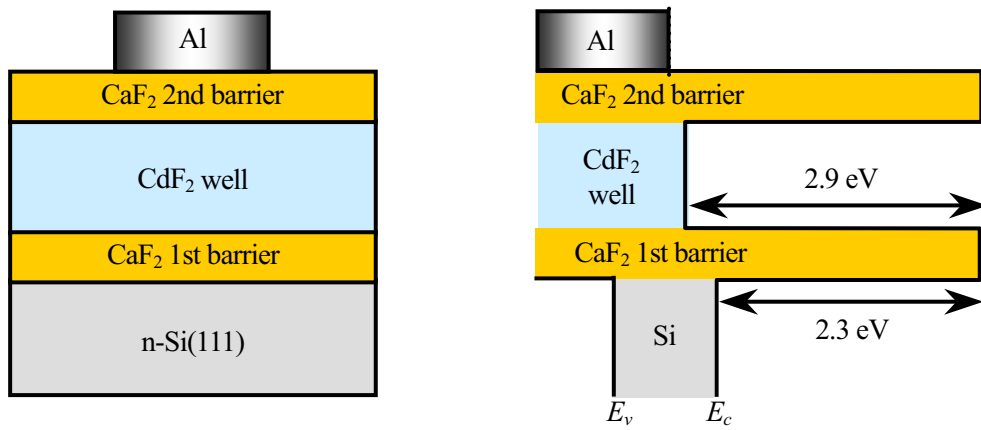


図 1.6 弗化物 RTD のヘテロ構造とそのエネルギーバンドプロファイル

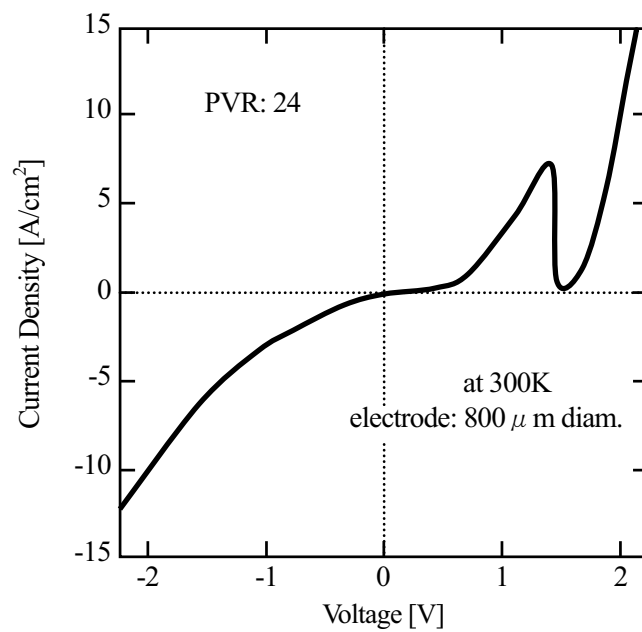


図 1.7 弗化物 RTD の電流-電圧特性^{1.39}

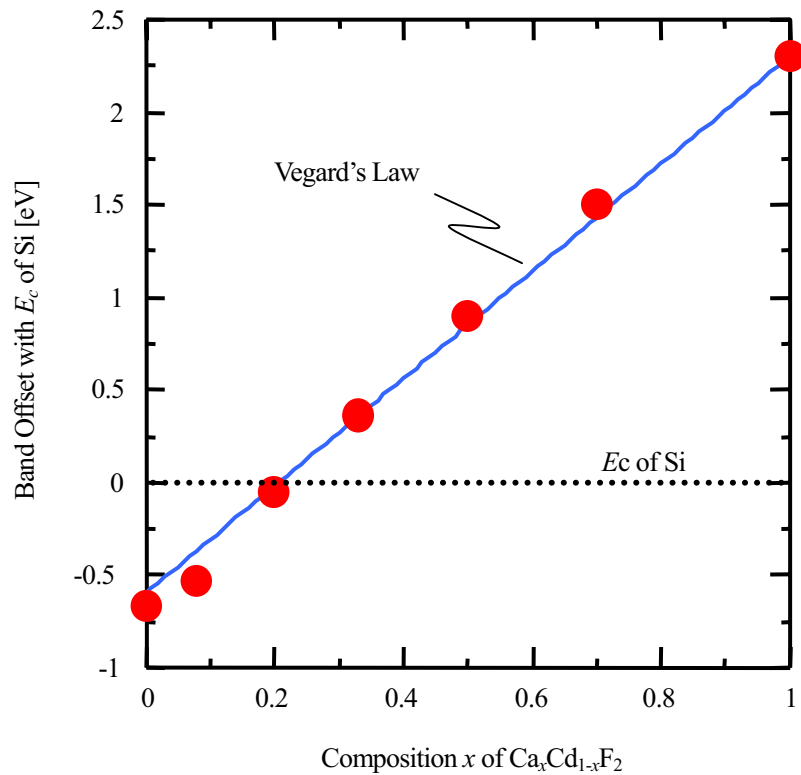


図 1.8 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶の伝導帯端 E_c の組成比依存性^{1.51, 1.52}

1.3 Si 基板上弗化物 RTD の問題点

1.2.1 節で述べたように、Si 基板上に製作した弗化物 RTD は、すでに室温で微分負性抵抗特性が観測されており、デバイスとしての動作実証と、その高いポテンシャルの提示はすでになされている。しかしこれを Si 集積回路へ応用することを考えると、課題となる点はまだ多い。本研究では弗化物 RTD の問題点として、以下の点に注目した。

I. 電気特性における問題点

図 1.6 に示したような弗化物 RTD において、全ての素子で図 1.7 のような特性が得られていたわけではない。図 1.9 に典型的な RTD の特性を示す。このように高いリーク電流によって PVR が小さいものがほとんどで、歩留まり（NDR が観測された素子の割合）も 10~30%程度と低かった。また、図 1.9 の点線で示すように、繰り返し測定を行うことで電流が減少し、NDR が消え

てしまうという電氣的な不安定性の問題があった。それ以外にも繰り返し通電することにより徐々にリーク電流が増えていく劣化の問題や特性が素子ごとに大きくばらついてしまう問題があった。これらの電気特性における問題点の原因は明確になっていないが、一層目の CaF_2 においてピンホールと呼ばれる Si が露出した領域が存在することと、二層目に成長する CdF_2 と Si が化学反応しやすいという2つの現象が、上記の問題の根本的な原因である可能性が高い。しかしこれら2つの現象が電気特性に与える影響は整理されているとは言い難く、また相互に関連している問題や、複数の原因に起因すると思われるものもあり複雑である。そのため、これらの問題点と原因を明らかにし、それらの相互関係を整理することと、問題点に対する解決策を示すことが必要である。

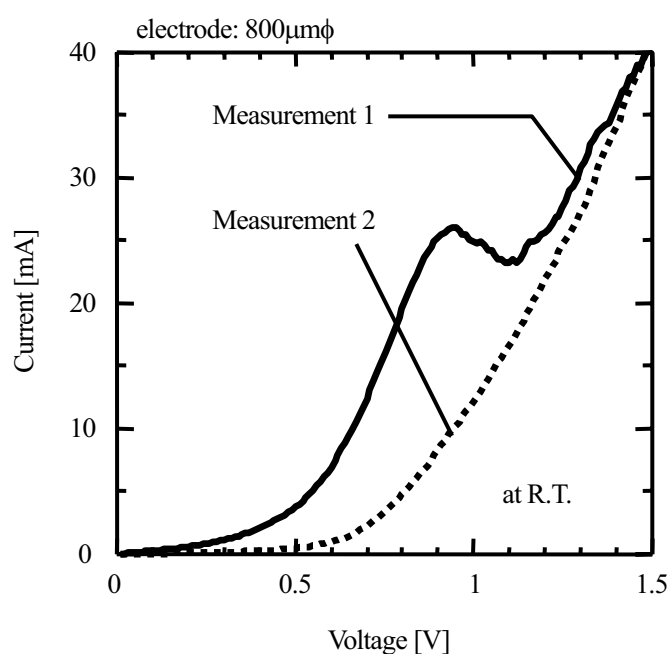


図 1.9 従来の RTD の典型的な I - V 特性

II. Si(100)基板上への製作が困難

これまでの弗化物 RTD は主に Si(111)基板上に製作されてきた。この主な理由は一層目に成長する CaF_2 の表面エネルギーの面方位依存性にある。 CaF_2 の表面エネルギーは(100)面に比べて(111)面の方が小さいため、Si(100)基板上に成長すると、図 5.1 に示すように(111)面を表に出して成長しやすく、均一な膜を得ることが難しい。これが原子層オーダーの均一性を要求される RTD において大きな障害となっていた。しかし、産業的に用いられている Si-LSI においては MOS 界

面の界面準位の低減という観点から Si(100)基板が用いられているため、RTD と Si-CMOS の集積を想定する場合、Si(100)基板上への製作が強く求められる。

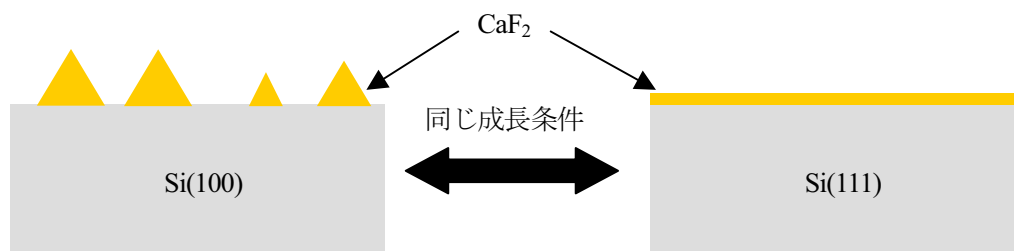


図 1.10 CaF₂ 薄膜の基板面方位依存性

III. 弗化物 RTD の特性制御

RTD の回路応用を考える一つの方向性として、低電圧動作のために V_p を小さく、高速動作のためにピーク電流密度 J_p を大きく、貫通電流による消費電力の低減や論理振幅を広くとるために PVR を大きくしたいという要求がある。このうち V_p に関しては井戸幅と $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 井戸による E_c 制御を用いることで、任意制御が可能であることが実証されている^{1,52}。しかし、 J_p と PVR を任意に制御するための具体的なデバイス構造の指針は明確ではない。そのため、理論的な指針を明確にすることと、それを現実のデバイスで実証することが必要である。

1.4 本研究の目的と構成

本研究では弗化物共鳴トンネルダイオードと Si-CMOS の集積化の問題点を克服し、その実現の可能性を示すことを目的とした。その内容を以下のような構成でまとめた。

第 2 章において弗化物 RTD の製作手順と本研究で用いた評価方法について記載した。第 3 章ではリーク電流と電氣的不安定性の問題を解決するために、ポスト酸化プロセス、活性層分離型構造、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶井戸という 3 つの安定化技術を組み合わせることを提案し、その効果について調べた。第 4 章では V 溝構造の形成によって Si(100)基板上に弗化物 RTD を製作することを試みた。第 5 章では $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶をバリア層に用いた非対称な構造の RTD によって、 J_p と PVR を共に効率よく上げることを提案し、シミュレーションと実験からその有効性の実証を行った。

第 1 章の参考文献

- [1.1] F. Capasso, S. Sen, F. Beltram, L. M. Lunardi, A. S. Vengurlekar, P. R. Smith, N. J. Shah, R. J. Malik, and A. Y. Cho: IEEE Trans. Electron Devices **36** (1989) 2065.
- [1.2] T. H. Kuo, H. C. Lin, R. C. Potter, and D. Shupe: IEEE J. Solid-State Circuits **26** (1991) 145.
- [1.3] S. J. Wei, and H. C. Lin: IEEE J. Solid-State Circuits **27** (1992) 212.
- [1.4] A. C. Seabaugh, Y. C. Kao, and H. T. Yuan: IEEE Electron Device Lett. **13** (1992) 479.
- [1.5] Z. X. Yan, and M. J. Deen: IEEE J. Solid-State Circuits **27** (1992) 1198.
- [1.6] M. Takatsu, K. Imamura, H. Ohnishi, T. Mori, T. Adachihara, S. Muto, and N. Yokoyama: IEEE J. Solid-State Circuits **27** (1992) 1428.
- [1.7] S. J. Wei, H. C. Lin, R. C. Potter, and D. Shupe: IEEE J. Solid-State Circuits **28** (1993) 697.
- [1.8] K. Maezawa, and T. Mizutani: Jpn. J. Appl. Phys. **32** (1993) L42.
- [1.9] M. H. Shieh, and H. C. Lin: IEEE J. Solid-State Circuits **29** (1994) 623.
- [1.10] L. Yang, S. D. Draving, D. E. Mars, and M. R. T. Tan: IEEE J. Solid-State Circuits **29** (1994) 585.
- [1.11] H. L. Chan, S. Mohan, P. Mazumder, and G. I. Haddad: IEEE J. Solid-State Circuits **31** (1996) 1151.
- [1.12] W. Williamson, S. B. Enquist, D. H. Chow, H. L. Dunlap, S. Subramaniam, P. Lei, G. H. Bernstein, and B. K. Gilbert: IEEE J. Solid-State Circuits **32** (1997) 222.
- [1.13] J. P. A. van der Wagt, A. C. Seabaugh, and E. A. Beam: IEEE Electron Device Lett. **19** (1998) 7.
- [1.14] T. Waho, K. J. Chen, and M. Yamamoto: IEEE J. Solid-State Circuits **33** (1998) 268.
- [1.15] T. P. E. Broekaert, B. Brar, J. P. A. van der Wagt, A. C. Seabaugh, F. J. Morris, T. S. Moise, E. A. Beam, and G. A. Frazier: IEEE J. Solid-State Circuits **33** (1998) 1342.

- [1.16] A. F. Gonzalez, and P. Mazumder: IEEE Trans. Computers **47** (1998) 947.
- [1.17] P. Mazumder, S. Kulkarni, M. Bhattacharya, J. P. Sun, and G. I. Haddad: Proc. IEEE **86** (1998) 664.
- [1.18] J. Paul, A. van der Wagt, Hao Tang, Tom P. E. Broekaert, Alan C. Seabaugh, and Yung-Chung Kao:
IEEE Trans. Electron Devices **46** (1999) 55.
- [1.19] K. Sano, K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, and E. Sano: IEEE J. Solid-State Circuits **36**
(2001) 281.
- [1.20] A. F. Gonzalez, M. Bhattacharya, S. Kulkarni, and P. Mazumder: IEEE J. Solid-State Circuits **36**
(2001) 924.
- [1.21] K. J. Chen, and G. Niu: IEEE J. Solid-State Circuits **38** (2003) 312.
- [1.22] L. Ding, and P. Mazumder: IEEE Trans. Nanotechnology **3** (2004) 134.
- [1.23] H. Zhang, P. Mazumder, L. Ding, and K. Yang: IEEE Trans. Nanotechnology **4** (2005) 472.
- [1.24] S. Mohan, J. P. Sun, P. Mazumder, and G. I. Haddad: IEEE Trans. Computer-Aided Design of
Integrated Circuits and Systems **14** (1995) 653.
- [1.25] P. Gupta, and N. K. Jha: IEEE Trans. Nanotechnology **4** (2005) 159.
- [1.26] W. Haensch, E. J. Nowak, R. H. Dennard, P. M. Solomon, A. Bryant, O. H. Dokumaci, A. Kumar, X.
Wang, J. B. Johnson, M. V. Fischetti: IBM J. Res. and Dev. **50** (2006) 339.
- [1.27] N. S. Sokolov, *et al.*, "Photoluminescence of Eu^{2+} and Sm^{2+} Ions in CaF_2 Pseudomorphic Layers
Grown by MBE on Si(111)", Sol. State Commun., **76** (1990) 883.
- [1.28] N. S. Sokolov, *et al.*, " Sm^{2+} Photoluminescence and X-Ray Scattering Studies of A- and B- Type
Epitaxial CaF_2 Layers on Si(111)", Jpn. J. Appl. Phys., **33** (1994) 2395.

- [1.29] S. Ohmi, *et al.*, “Study of Epitaxial Growth of Rotational-Twin-Free CaF_2 Films on $\text{Si}(111)$ ”, *Jpn. J. Appl. Phys.*, **33** (1994) 1121.
- [1.30] N. S. Sokolov, *et al.*, “Molecular Beam Epitaxy of CdF_2 Layers on $\text{CaF}_2(111)$ and $\text{Si}(111)$ ”, *Appl. Phys. Lett.*, **64** (1994) 2964.
- [1.31] N. S. Sokolov, *et al.*, “Characterization of Molecular Beam Epitaxy Grown CdF_2 Layers by X-Ray Diffraction and CaF_2 : Sm Photoluminescence probe”, *J. Vac. Sci. Technol. A*, **13** (1995) 2703.
- [1.32] S. V. Novikov, *et al.*, “MBE-Growth and Characterization of CdF_2 Layers on $\text{Si}(111)$ ”, *Microelectronic Engineering*, **28** (1995) 213.
- [1.33] M. Watanabe, *et al.*, “Epitaxial Growth of Nanometer-Thick $\text{CaF}_2/\text{CdF}_2$ Heterostructures Using Partially Ionized Beam Epitaxy”, *Solid-State Electron.*, **42** (1998) 1627.
- [1.34] A. Izumi, *et al.*, “Heteroepitaxial Growth of CdF_2 Layers on $\text{CaF}_2/\text{Si}(111)$ by Molecular Beam Epitaxy”, *Jpn. J. Appl. Phys.*, **37** (1998) 295.
- [1.35] N. S. Sokolov, *et al.*, “MBE-Growth Peculiarities of Fluoride (CdF_2 - CaF_2) Thin Film Structures”, *Thin Solid Films*, **367** (2000) 112.
- [1.36] S. C. Kan, *et al.*, “GaAs/AlAs Double-Barrier Resonant Tunneling Structure on Si with Large Peak to Valley Ratio at Room Temperature”, *Appl. Phys. Lett.*, **52** (1988) 2250.
- [1.37] K. Ismail, *et al.*, “Electron Resonant Tunneling in Si/SiGe Double Barrier Diodes”, *Appl. Phys. Lett.*, **59** (1991) 973.
- [1.38] T. Suemasu, *et al.*, “Room Temperature Negative Differential Resistance of Metal (CoSi_2)/Insulator (CaF_2) Resonant Tunneling Diode”, *Electron. Lett.*, **28** (1992) 1433.

- [1.39] A. Izumi, *et al.*, “CdF₂/CaF₂ Double Barrier Resonant Tunneling Diode Fabricated on Si(111)”, Jpn. J. Appl. Phys., **36** (1997) 1849.
- [1.40] M. Watanabe, *et al.*, “CaF₂/CdF₂ Double-Barrier Resonant Tunneling Diode with High Room-Temperature Peak-to-Valley Ratio”, Jpn. J. Appl. Phys., **39** (2000) L716.
- [1.41] M. Watanabe, *et al.*, “Epitaxial Growth and Electrical Characteristics of CaF₂/Si/CdF₂ Resonant Tunneling Diode Structure Grown on Si(111) 1° -off Substrates”, Jpn. J. Appl. Phys., **39** (2000) L964.
- [1.42] S. Yamaguchi, *et al.*, “Si_{1-x}Ge_x/Si Triple-Barrier RTD with a Peak-to-Valley Ratio of ≥ 180 at RT Formed Using an Annealed Thin Multilayer Buffer”, Ext. Abs. Int. Conf. Solid State Device and Materials, Tokyo, Japan (2001) 582.
- [1.43] Y. Ishikawa, *et al.*, “Negative Differential Conductance Due to Resonant Tunneling Through SiO₂/Single-Crystalline-Si Double Barrier Structure”, Electron. Lett., **37** (2001) 1200.
- [1.44] M. Shahjahan, *et al.*, “Fabrication of Resonant Tunnel Diode by γ -Al₂O₃/Si Multiple Heterostructures”, Jpn. J. Appl. Phys., **41** (2002) 2602.
- [1.45] M. Maeda, *et al.*, “Heteroepitaxy of Cd-Rich Ca_xCd_{1-x}F₂ Alloy on Si Substrates and Its Application to Resonant Tunneling Diodes”, Jpn. J. Appl. Phys., **42** (2003) 2453.
- [1.46] Ed. by W. Hayes, “Crystals with the fluorite structure”, Oxford univ. press (1974).
- [1.47] R. T. Poole, *et al.*, “Electronegativity as a Unifying Concept in the Determination of Fermi Energies and Photoelectric Thresholds”, Chem. Phys. Lett. **36** (1975) 401.
- [1.48] D. Shanarabny *et al.*, “Thermal Expansion of Cadmium Fluoride”, J. Phys. Chem. Solids, **37** (1976)

577.

[1.49] S. M. Sze, "Physics of Semiconductor Devices 2nd ed.", (Wiley Interscience, 1981)

[1.50] A. Izumi, *et al.*, "Study of Band Offset in CdF₂/CaF₂/Si(111) Heterostructures Using X-Ray Photoelectron Spectroscopy", *Appl. Phys. Lett.*, **67** (1995) 2792.

[1.51] 神林 宏, "Si基板上へのCa_xCd_{1-x}F₂混晶薄膜の成長とバンドエンジニアリングに関する研究",
修士論文, (2002) 東京工業大学

[1.52] M. Maeda, S. Watanabe, and K. Tsutsui: *Jpn. J. Appl. Phys.* **42** (2003) L1216.

第 2 章

試料の作製方法及び評価方法

2.1 試料の作製方法

2.1.1 試料作製の流れ

試料作製の流れを説明する。まず $1 \times 2 \text{ cm}$ の Si 基板の洗浄を行い、Mo ホルダに取り付けて Molecular Beam Epitaxy (MBE) 装置へ搬入する。その後、超高真空チャンバー内で Si 表面の自然酸化膜を熱的に蒸発させ、清浄な Si 表面を露出させる。同チャンバー内で続けて弗化物の成長を行い、目的の構造を形成する。電気特性を測定する場合は MBE 装置から基板を取り出した後、真空蒸着装置に搬入し、ハードマスクにより電極を形成する。以下でそれぞれの工程について詳しく述べる。

2.1.2 基板洗浄

弗化物成長前に清浄な基板表面を得るため、クリーンルーム内で Si 基板の洗浄を行った。以下に Si 基板の洗浄処理工程を示す。

- ① 純水超音波洗浄 2分×5回
- ② SPM (H_2O_2 (30wt%) : H_2SO_4 (96wt%)=1 : 2) 5分
- ③ 純水超音波洗浄 2分×5回
- ④ 希フッ酸 (1wt%) 1分
- ⑤ 純水超音波洗浄 2分×5回
- ⑥ SPM (H_2O_2 (30wt%) : H_2SO_4 (96wt%)=1 : 2) 5分
- ⑦ 純水超音波洗浄 2分×5回

まず純粋で超音波洗浄した後、SPM (過酸化水素水、硫酸の混合液) により Si 表面に酸化膜 ($\sim 1 \text{ nm}$) を形成した。このとき Si 表面の有機物が分解され、重金属が酸化膜中に取り込まれる。その後希フッ酸処理により酸化膜がエッチングされ、水素終端された清浄な Si 表面が露出する。そして再度 SPM 処理により保護酸化膜 ($\sim 1 \text{ nm}$) を形成した。これは洗浄工程の後、MBE 装置へ搬入するまでに一度クリーンな環境から外へ出るため、Si 表面をその間の汚染から防ぐためである。その後 N_2 ブロワで表面の水分を吹き飛ばし、Mo ホルダーに取り付けて MBE 装置へ搬入した。

2.1.3 分子線エピタキシー (Molecular beam epitaxy:MBE) 法

CaF₂、CdF₂の結晶成長に用いた MBE 装置の構成を図 2.1 に示す。成長室 2 (Growth Chamber II) が弗化物成長用のチャンバーになっており、その到達真空度は 1.0×10^{-10} Torr 程度である。

まず 2.1.2 の手順で洗浄工程を経た基板を成長室 2 に搬送し、ヒーターで基板温度 850~900°C に加熱して 20 分間保持した。これにより基板表面の保護酸化膜が熱的に除去され (Thermal Flash : T.F.)、清浄な Si 表面が露出される。その後ヒーター電流を調節して目的とする成長温度に安定させてから成長を行った。本研究では基板温度として、高温領域 (700°C以上) ではパイロメーター (CHINO 社製 IR-GAP) で測定した値、それ以下の温度では熱電対指示値を用いた。

成長は各材料の入ったセルを加熱し、基板に蒸着させることで行う。成長時間はセルシャッターの開閉によって制御することができる。

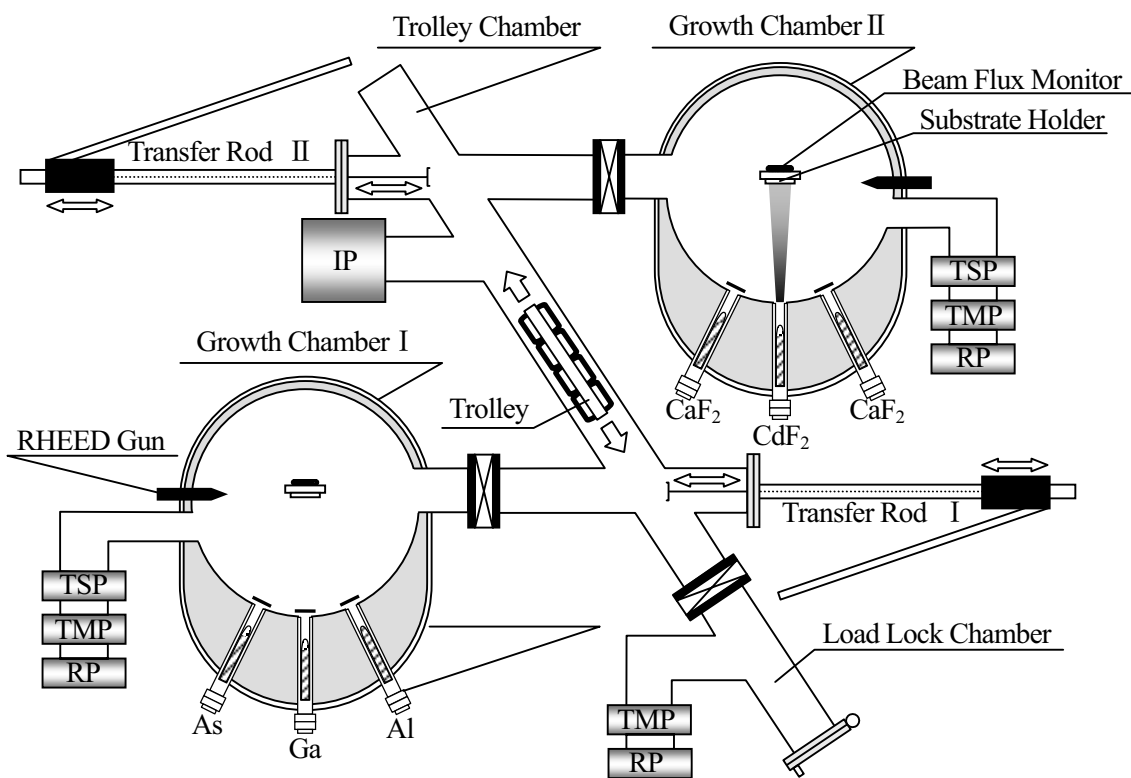


図 2.1 MBE 装置の構成

2.1.4 電極金属 (Al,Au) の真空蒸着

電気特性を測定する試料については高ドーパの低抵抗基板 (抵抗率 $\leq 0.01 \Omega \cdot \text{cm}$) を用いて成長を行い、その表裏面に Au, Al からなる電極を真空蒸着法により形成した。使用した真空蒸着装置の概略図を図 2.2 に示す。タングステンバスケットに蒸着源である Au, Al を適量入れ、バスケットに電流を流して真空中で加熱蒸着した。弗化物を成長した面 (表面) にはハードマスクを用いて直径 800, 400, 200, 100 μm の円形 Al を 200nm 蒸着し、続けてその上に Au を 100nm 蒸着した。この Au は Al の表面酸化を防ぐためのものである。裏面には全面に Al を 250nm 蒸着した。蒸着する際の真空度は、表面蒸着のときは $1.0 \times 10^{-6} \text{Torr}$ 程度、裏面蒸着は $5.0 \times 10^{-6} \text{Torr}$ 程度である。

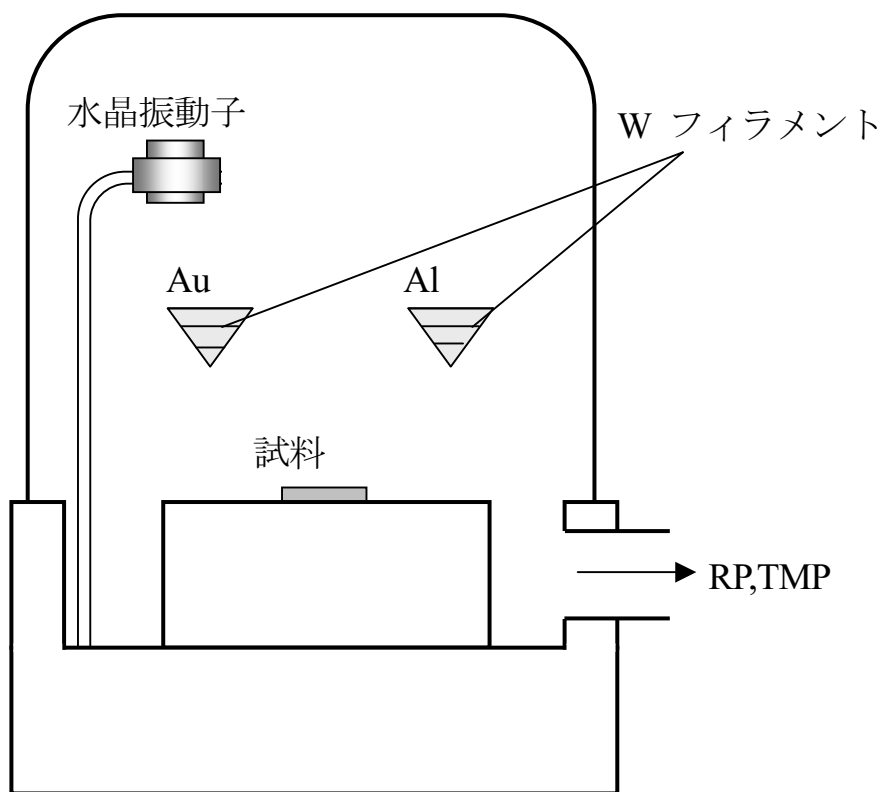


図 2.2 真空蒸着装置の概略図

2.2 評価方法

2.2.1 ラザフォード後方散乱（Rutherford backscattering spectroscopy:RBS）法

本研究では成長した CaF_2 、 CdF_2 の平均膜厚をラザフォード後方散乱（RBS）法を用いて測定した。本研究で用いた RBS 装置の外観を図 2.3 に示す。RBS 法は He^+ 、 He^{++} などの荷電粒子を加速してターゲット粒子に照射し、後方散乱したイオンについてそのエネルギー分散と散乱率を解析することで、試料に関する情報を非破壊で得る方法である。本研究では National Electronics 社製のペレトロン加速器を用いて 1.5MeV で加速した He^+ を試料に入射して測定を行った。

一般に表面粗さ計等では数Åの膜厚を評価するのは困難であるが、RBS 法では膜厚が既知の標準試料の評価結果と比較することにより、1 分子層（ML）程度の感度で試料の平均膜厚を測定することができる。本研究では 100nm 程度の厚膜の試料について表面粗さ計での膜厚測定を行い、その試料の散乱イールドと比較することで校正した。

なお、RBS 法には結晶軸方向に粒子を入射した場合のアラインスペクトルと、結晶軸に沿わない方向に入射した場合のランダムスペクトルで測定する方法がある。アラインスペクトルは結晶性の評価に用いられるが、本研究では膜厚の評価のみであるため、全てランダムスペクトルで測定した。



図 2.3 RBS 装置の外観

2.2.2 原子間力顕微鏡 (Atomic force microscopy:AFM)

共鳴トンネルダイオードでは、分子層オーダーの膜厚のばらつきが電気特性に大きく影響する。そこで、原子間力顕微鏡 (AFM) を用いて作製した試料の表面モフォロジーを観測した。AFM は試料の凹凸を Å オーダーで検出可能であり、且つ、対応するソフトウェアを用いることで測定値を数値データとして PC 用ファイルに保存できる。そのため、詳細な数値解析をすることも可能であり、薄膜の表面分析をする際に非常に有効な手法となりうる。使用した AFM は「Digital Instruments 社製 Nanoscope 3a」と「Pacific Nanotechnology 社製 Nano-R」(図 2.5) で、測定モードは全てタッピングモード (クロス・コンタクトモード) で行った。タッピングモード AFM は、従来のコンタクトモード AFM に比べて試料に加わる力が 2 桁程度小さくて済むため、表面の敏感な試料に対しても傷付けずに測定が可能である。また、探針が試料表面に断続的に接触するため摩擦が生じにくく、摩擦によるカンチレバーの変位が凹凸像に混入することがないので、精度の高い測定が可能である。



(a)Nanoscope 3a

(Digital Instruments 社)



(b)Nano-R

(Pacific Nanotechnology 社)

図 2.4 AFM の外観

2.2.3 電流－電圧特性測定装置

電流－電圧特性の測定には半導体パラメータアナライザ HP4145B 及び 4156A を使用した。測定系の構成図を図 2.5 に示す。ここで 2.1.5 で述べたように、本研究で用いた試料の一部では電極を成長膜上に直接蒸着している。そのため電極に直接プローバを降ろすと素子に過剰な応力がかかってしまい、正常な測定が行えない可能性がある。本研究で測定した試料は数 nm 程度の超薄膜により素子が構成されているため、特に注意すべきである。そこで、プローバであるタングステン針に 0.10mm 径の Au 線を巻きつけ、測定する試料の電極に Au 線を接触させることで電気特性の測定を行った。

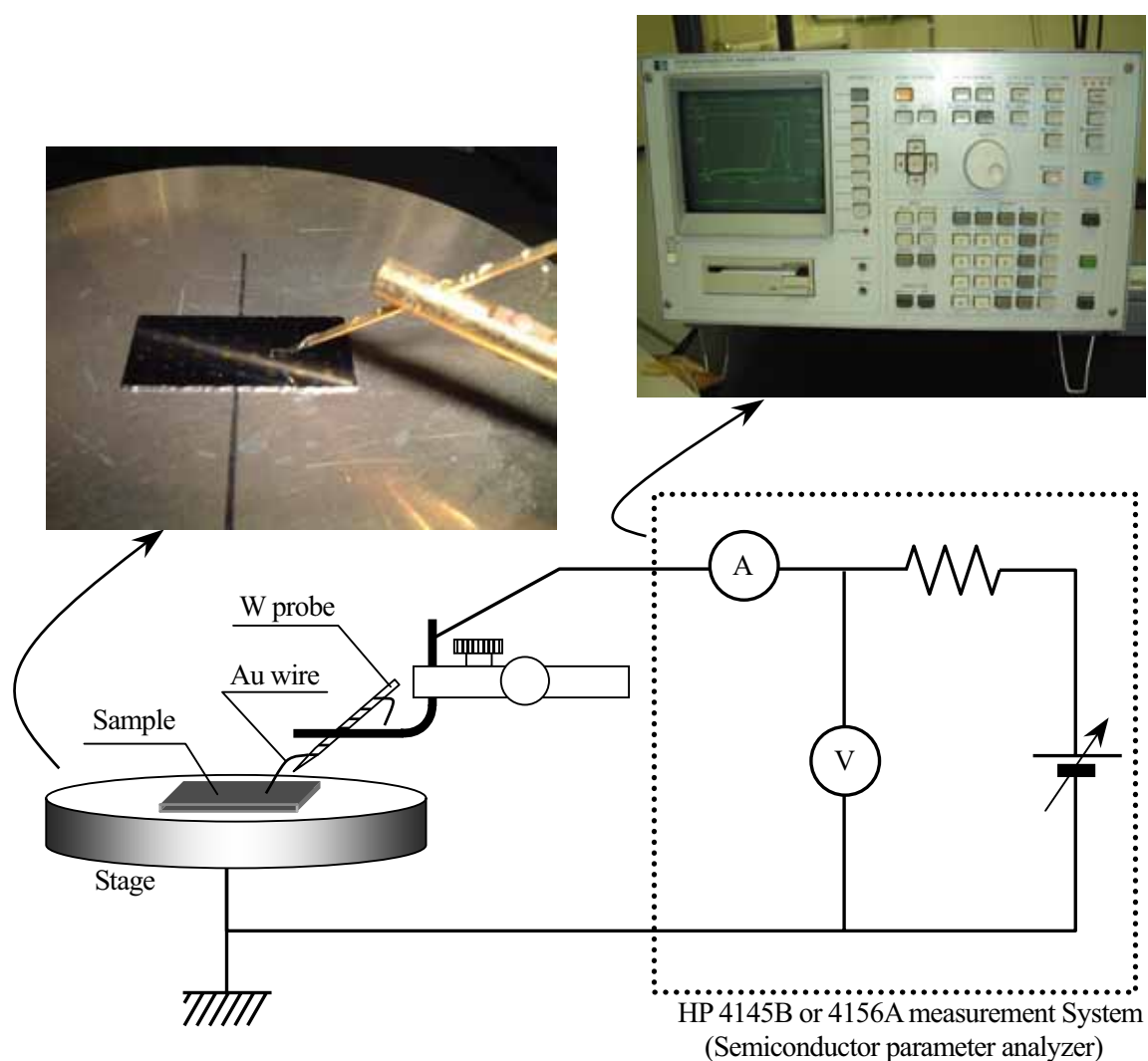


図 2.5 電流－電圧特性測定システム

第3章

弗化物 **RTD** の特性安定化技術

3.1 弗化物 RTD の電気特性における問題点とその解決法

3.1.1 問題点とその原因

第1章で述べたように、弗化物 RTD には、低い歩留まり、高いリーク電流、不安定な電気特性など、電気特性における種々の問題点があった。本節では各問題点の原因について仮説を立てるとともに、各現象の相互関係を整理する。

I. リーク電流

リーク電流の主要因として以下の2つが考えられる。

- (1) 一層目 CaF_2 層のピンホール
- (2) 二層目に成長する CdF_2 と Si 基板の化学反応

まず(1)について述べる。図3.1はSi(111)基板上に CaF_2 を典型的な成長温度である750°Cで厚さ1.2 nm (弗化物 RTD のバリアー層の厚さに相当) 成長したときの表面モフォロジーをAFMで観察した画像(左図)と、破線部の断面を模式的に描いた図(右図)である。このようにRTDのバリア層となる一層目の CaF_2 層には一部にSi基板が露出してしまう領域が存在し、本論文ではこれをピンホールと呼ぶ。このピンホールが弗化物 RTD の大きなリーク電流を引き起こす原因の一つであると考えられる。このようにピンホールはそれのみでもリーク電流の原因となり得るが、後述するように(2)の化学反応を引き起こす原因にもなっており、そのことがさらにリーク電流の増大を促進していると考えられる。

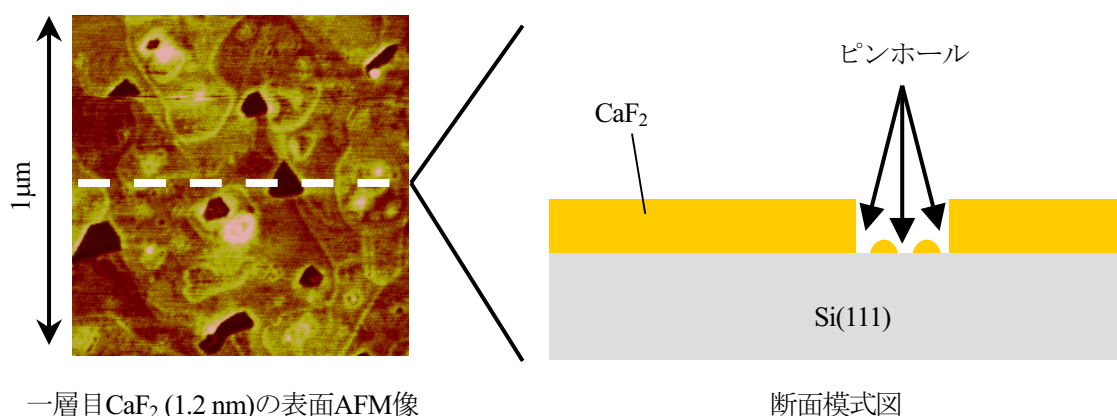
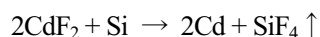


図 3.1 一層目 CaF_2 層のピンホール

(2)の化学反応の問題はリーク電流のみでなく、他の電気特性の問題にも影響する現象である。 CdF_2 は Si に対して化学反応性が高く、超高真空中で以下の反応を起しやすいことが分かっている^{3.1,3.2}。



この反応は CdF_2 の分解と Si のエッチングを伴う現象である。これを防ぐために CaF_2 をバッファ層として用い、 CdF_2 層はその上に成長するということが行われる。図 1.6 に示した従来の RTD 構造では一層目の CaF_2 バリア層がバッファとしての機能を兼ねていたが、トンネルバリアとして要求される数分子層の膜厚では、バッファとしては不完全であった。この場合であっても CdF_2 分子が一層目 CaF_2 のピンホールやその他の欠陥等を介して Si 基板に到達するため、化学反応を完全に抑制することはできない。この反応は成長温度 100°C 以上で顕著に起こり始める。図 3.2 は CaF_2 バッファ層上に基板温度 100°C で CdF_2 を成長させた後の表面 AFM 像とその断面模式図である。このようにピンホールを中心に顕著な化学反応が起こり、大きな穴が開いてしまう。面積の小さいピンホールに比べて、化学反応の結果として生じた穴は大きい。これには 2 つの可能性が考えられる。一つはピンホール周辺の CdF_2 分子が表面マイグレーションによってピンホールの露出した Si と接触していること。もう一つは CdF_2 と CaF_2 の相互拡散によって、 CaF_2 膜厚の薄い領域で CdF_2 が Si に到達していることである。図 3.1 の模式図に示したように、ピンホールの周辺は CaF_2 1~2ML 程度の非常に薄い領域があるため、もし相互拡散が起こり始めればすぐに化学反応を起こしてしまう。そこで対策として、二層目の CdF_2 以降の層を室温~ 50°C の低温で成長することで化学反応を抑えるという方法が採られていた。これにより図 3.2 のような大きな穴は観測されなくなり、RBS 法によって測定した CdF_2 付着係数も 100%を示すことから、顕著な化学反応は抑えられることが分かっている。しかしピンホールのような微小な領域において化学反応が起こっていた場合、AFM や RBS に検出されないことも考えられるため、完全に抑制されているという保証は無く、化学反応がリーク電流の原因になっている可能性は依然として残っていた。

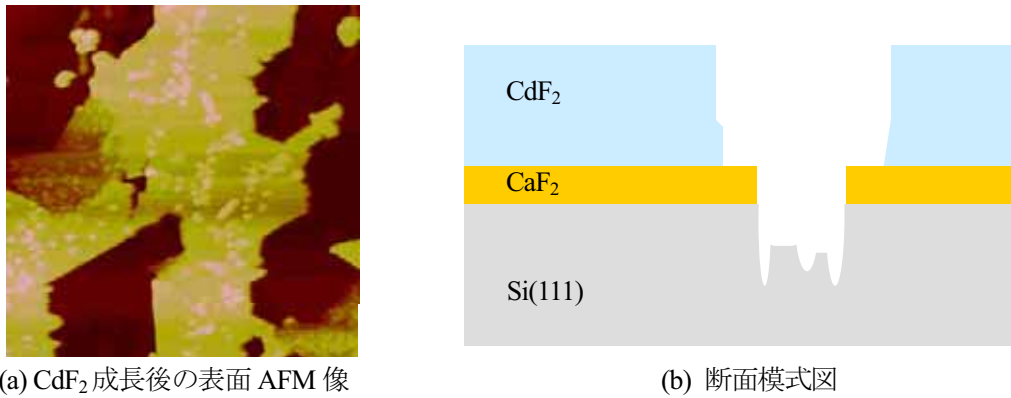


図 3.2 100°Cで成長した CdF₂の化学反応

II. 歩留まり

歩留まりを下げる原因には様々な要素が考えられるが、図 1.6 で示した構造の RTD において最も歩留まりを制限している直接的な原因はリーク電流である。これは図 3.3 に示すように、NDR の観測されない特性の多くが、観測されたときの特性に比べて大きな電流が流れている素子が多いことから推測される。したがって、リーク電流の低減が歩留まりの向上に有効であると考えられる。

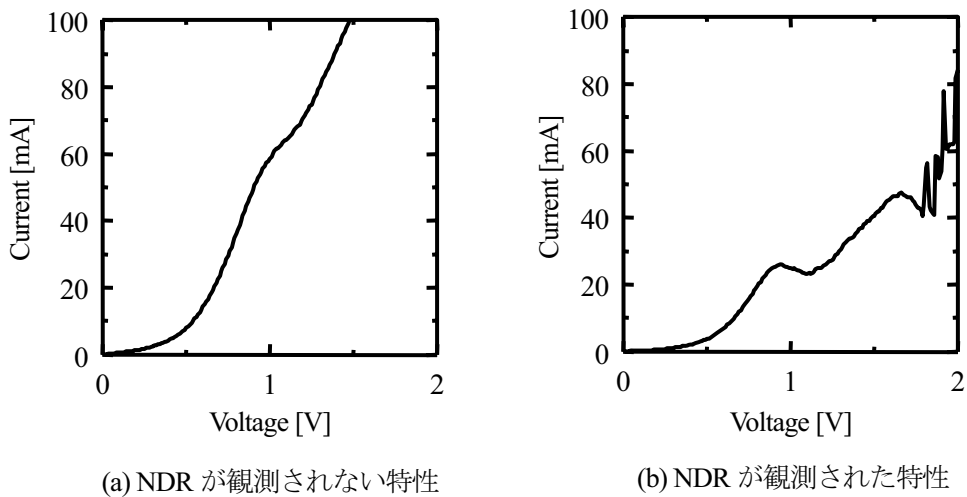


図 3.3 従来型 RTD 特性における NDR 有無の比較

III. 不安定な電気特性

不安定性の原因について考える前に、図 3.4 に示す構造の RTD を用いて不安定性とはどのような現象なのかを調べた。話が前後することになるが、この構造は電気特性の問題点に対する解決策の一つとして、本研究で提案する構造である。この構造は図 1.6 に示すような従来の構造に比べてリーク電流を低減できるため、不安定性の観察を比較的安定して行うことができる。従来型の構造においても同様の傾向は観測されているため、以下で述べる現象は基本的には共通であると考えている。

図 3.5 は I - V 測定の測定手順を示したものである。電圧の極性は図 3.4 の上部電極側を正とする。まず初めに 0~2.5V の電圧掃引を 5 回繰り返し、正バイアス時の特性の変化を観測する。このとき測定時間 t_{sweep} はおよそ 1 s で、各測定間の間隔 t_{timer} は 10~20 s である。また、図 3.5 において各測定間の電圧は 0V となっているが、電気的には開放の状態である。その後 0~-1V を 2 回測定し (t_{sweep} , t_{timer} は正バイアス時と同じ)、再び 0~2.5V の特性を測定する。これを負バイアス後の特性とする。続けて 0~2.5V の測定を計 5 回繰り返した後、開放状態のまま 5 分間放置し、その後 0~2.5V の測定を行う。これを 5 分放置後の特性とする。

測定結果を図 3.6 に示す。図 3.6(a) は初めの正バイアス 5 回の測定結果で、正バイアス時の特性変化を示している。図 3.6(b) は測定前の条件を変えたときの特性をまとめたもので、初回の特性、正バイアス後の特性 (図 3.6(a) の 5 回目の特性)、負バイアス後の特性、5 分放置後の特性を示している。図 3.6(a) を見ると電圧を掃引するごとにピーク電流が下がっており、ピーク電圧が高電圧側にシフトしている。その後逆方向にバイアスした後の特性を見ると、図 3.6(b) に示すように電流は増加し、ピーク電圧も低電圧側に戻っている。ここでは載せていないが、正バイアスと負バイアスを繰り返すと、それに対応して電流の減少、増加というサイクルが繰り返される。このとき通電によって素子の劣化も同時に進行するため、定量的に全く同じ値に戻るわけではないが、変化する傾向は一致することが多い。このことから、不安定性の現象は可逆的な変化であると言える。一度減少した電流が再び増加する条件はバイアスの極性だけではなく、正バイアス後に 5 分間時間をおいて測定したときにも観測された。電気的には開放されている状態でもこのような変化があることから、この現象が熱の影響を受けることを示唆している。

このように電流、ピーク電圧が可逆的に変化する性質を説明する一つの仮説として、弗化物膜中の欠陥準位にキャリアが捕獲され、バンドが曲がることが考えられる。例えば RTD の活性層に捕獲された電子が一樣に分布していると仮定すると、図 3.7 のようにバリアハイトと井戸層の E_c が上昇する。バリアハイトの増加によってトンネル電流は減少し、井戸層の E_c の上昇によって

ピーク電圧が高電圧側にシフトする。このときピーク電圧が測定している電圧の範囲より高くなると、見かけ上は電流の減少として現れる。バイアス条件、熱、光などによって蓄積された電子が放出されると、上昇していた E_c は下がり特性は回復する。この仮説を図 3.6 の結果と照らし合わせると、正バイアス時に電子が素子に蓄積され、負バイアス時に放出されていると考えられる。図 3.6(a)において初回測定時には1つだったピークが2回目以降に2つに分裂していることから、蓄積する電荷の量に面内分布があることも示唆されている。5分放置後の特性において特性が回復しているのは、熱励起によって捕獲された電子が放出されていると考えることができ、仮説を支持している。なお、室内光の有無による特性の違いは見られなかったため、5分放置後に特性が回復しているのは熱励起のみが効いていると考えられる。

このような電子の捕獲と放出が起こっていると仮定した場合、捕獲する欠陥準位が存在することになる。この欠陥準位が生じる原因として、室温成長した弗化物層に着目した。Iで述べたように、 CdF_2 と Si の化学反応を抑制するために、2層目の CdF_2 以降に成長する層を室温 $\sim 50^\circ\text{C}$ の低温で成長する必要がある。この低い成長温度が膜質の劣化、例えばマイグレーション不良に起因する未結合手を生じさせ、欠陥準位を多数発生させる原因になっていたのではないかと考えた。

IV. 通電による劣化

これまでの弗化物 RTD に繰り返し通電を行うと、徐々にリーク電流が増加していくという劣化の問題があった。これは上記の不安定性とは異なり、不可逆的な変化である。劣化の原因として、Iで述べた CdF_2 と Si の化学反応が、通電によって発生した熱によって進行していることが考えられる。トンネル膜を用いる RTD では、バリア層の膜厚が薄い部分に電流が集中するため局所的に熱を発生しやすく、なおかつ一層目のバリア層において膜厚が薄くなると、化学反応を抑制するバッファ効果も弱くなるため化学反応は進みやすいといえる。このような理由から、劣化の原因は、化学反応によるリーク電流の増大であると考えた。

V. 特性のばらつき

弗化物 RTD では現状では特性のばらつきが大きい。ばらつきの原因として、一つは膜厚が面内で不均一であることが挙げられる。それに加えてIII, IVで述べた電氣的不安定性と、通電による劣化の結果として生じていると考えられる。

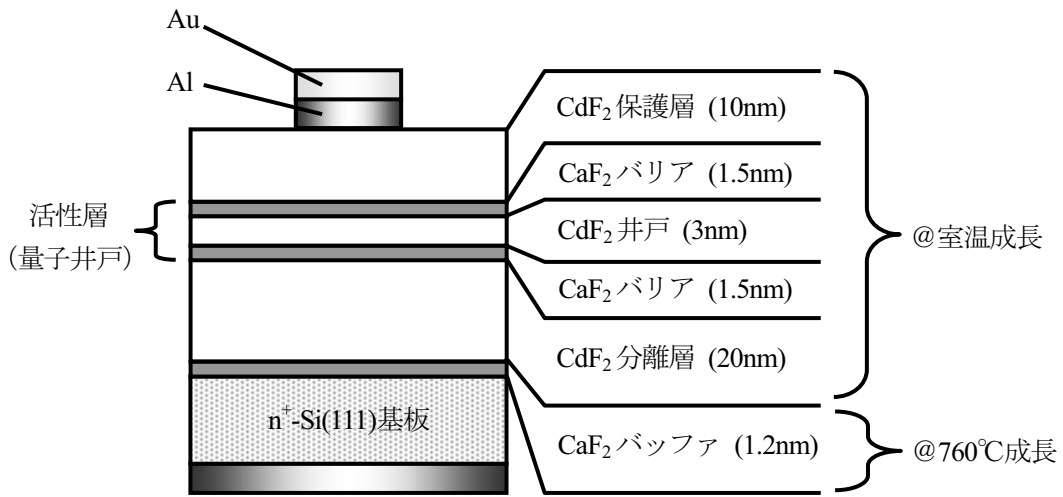


図 3.4 不安定性の観察に用いた RTD の構造と製作条件

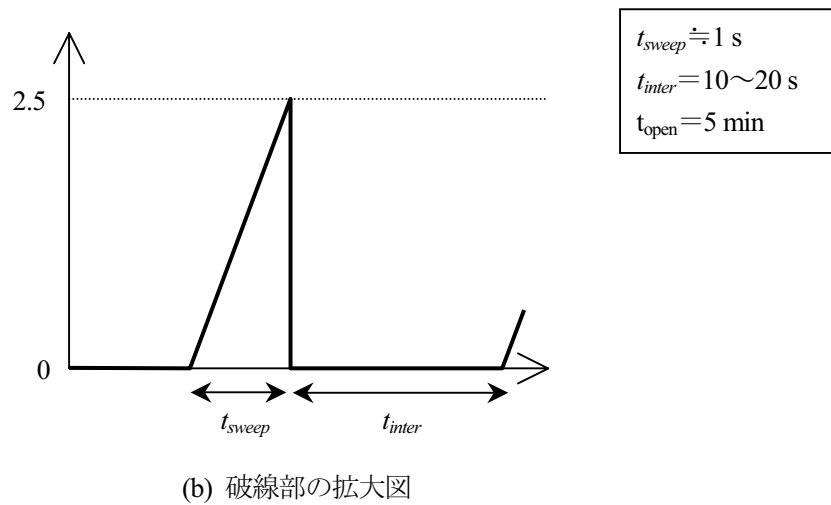
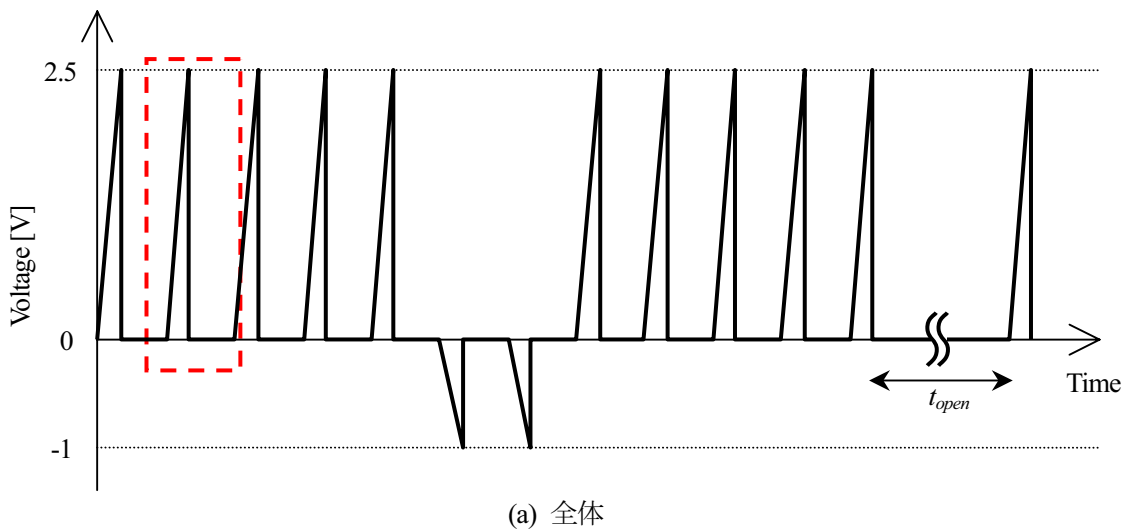
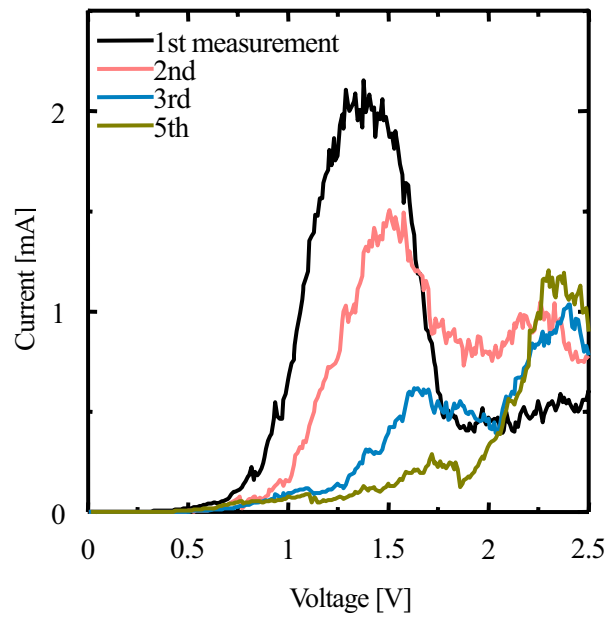
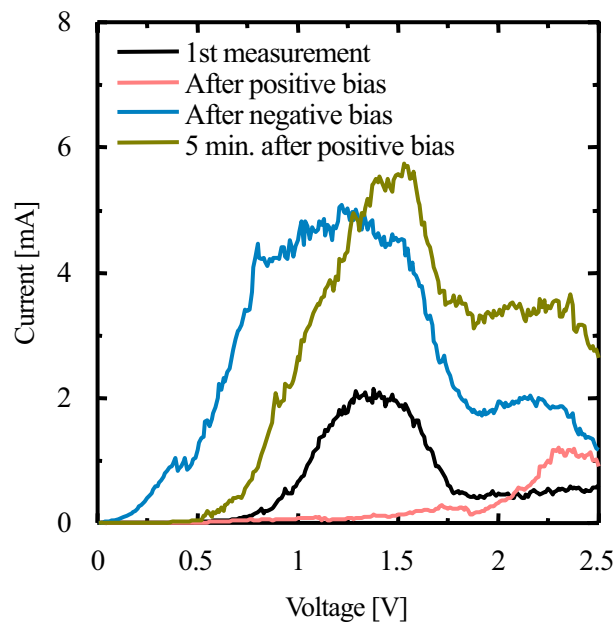


図 3.5 不安定性観察のための I - V 測定パターン



(a) 正バイアス時（初回～5回目）の測定結果



(b) 測定前の条件を変えたときの特性変化

図 3.6 RTD の電氣的不安定性

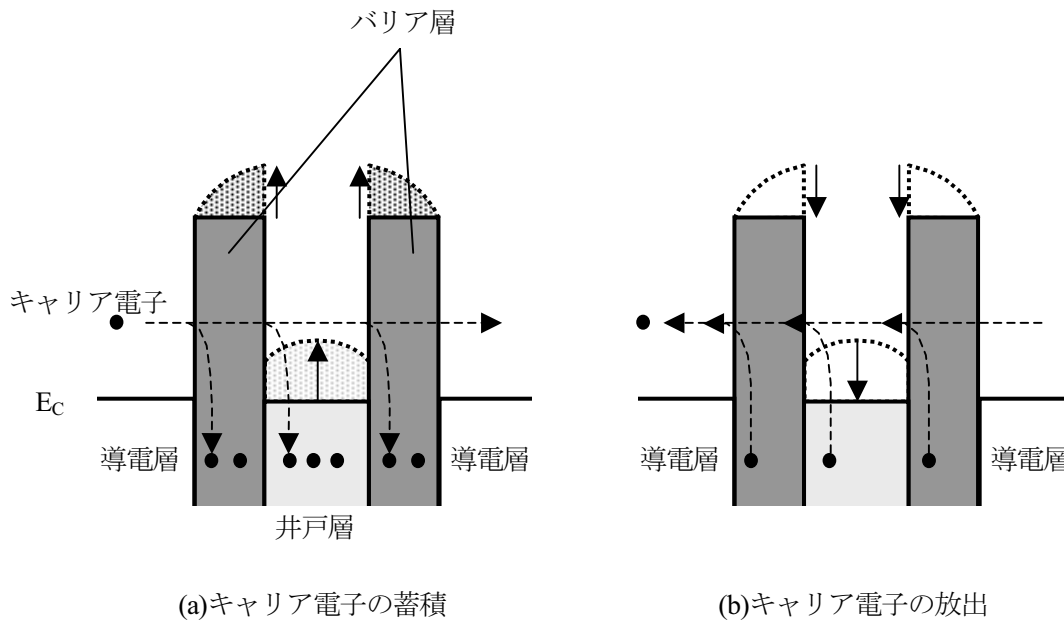


図 3.7 電子の蓄積・放出によるバンドの曲がりの模式図

以上で述べた問題点と考えられる原因について、図 3.8 に相互関係をまとめた。この関係が正しければ、弗化物 RTD の電気特性における問題点は、その多くがピンホールと化学反応の問題に起因している。そこで本章ではこれら 2 つの問題に対する対策を立て、電気特性の問題を解決することを試みた。

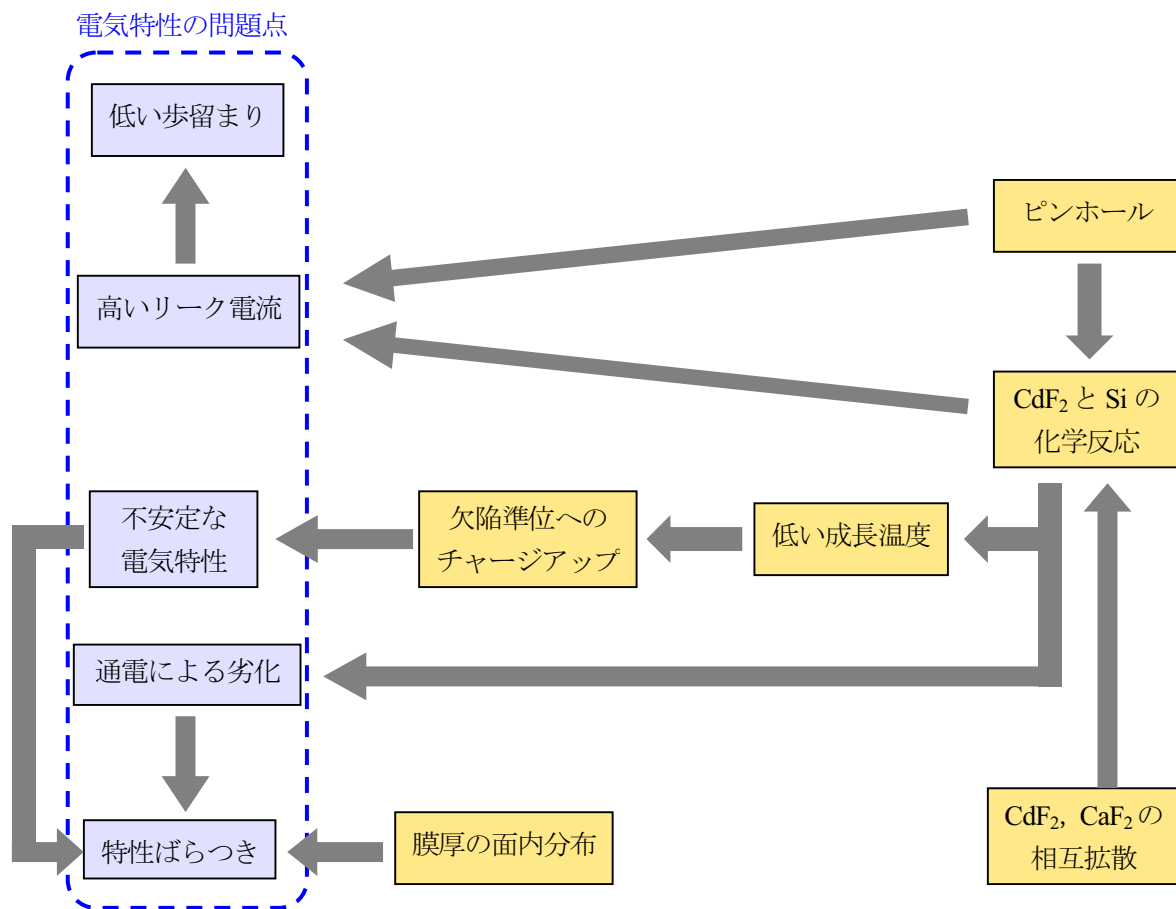


図 3.8 弗化物 RTD の問題点と原因の相互関係

3.1.2 特性安定化技術の提案

本研究ではポスト酸化プロセス、活性層分離型構造という2つの技術を新規に提案し、これらの技術と先行研究である $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶技術を組み合わせることで、ピンホールと化学反応の問題を解決することを試みた。これら3つの技術を組み合わせた RTD の構造を図 3.9 に示す。個々の詳しい説明は後に譲ることとし、ここでは概要のみ簡単に述べる。ポスト酸化プロセスは一層目の CaF_2 を成長後に酸化を行い、ピンホールを SiO_2 で埋めてしまうことで不活性にする技術である。活性層分離型構造は RTD の活性層（量子井戸）と Si 基板の間に厚い分離層を挿入した構造である。ピンホールにせよ化学反応にせよ Si と弗化物の界面で生じる問題であり、従来型の構造では活性層がその影響を直に受けてしまう。本構造は分離層の挿入によって、問題のある弗化物/Si 界面から活性層を分離し、その影響を受けにくくすることが狙いである。 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶は Si と化学反応性の高い CdF_2 の代わりに化学反応性の低い CaF_2 を混ぜた $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を用いる

ことで、物性の制御によって化学反応を抑制する技術である。 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶の化学反応抑制効果についてはすでに先行研究^{3.1, 3.2}で明らかにされているが、本研究では RTD 特性の安定化という観点で取り入れる。

以上の3つの技術を組み合わせることで問題点を克服し、安定でリーク電流の少ない RTD の製作を行う。次節以降では個々の技術とそれらを組み合わせた効果について述べる。

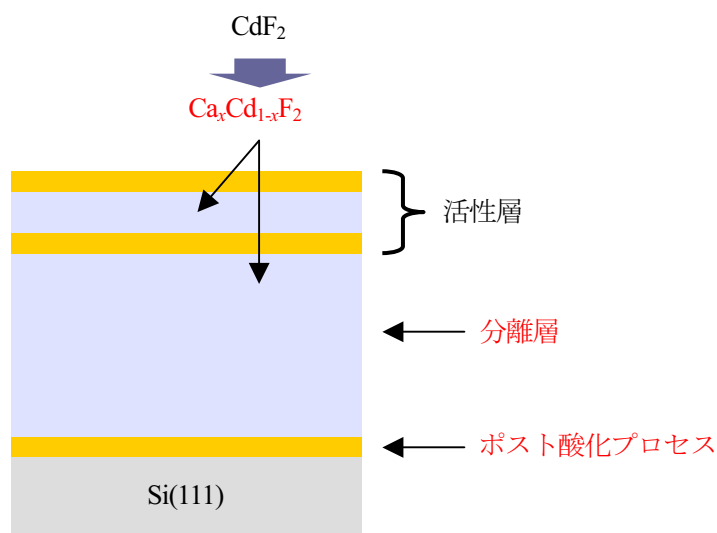


図 3.9 本研究で提案する RTD

3.2 ポスト酸化プロセスによるピンホールの不活性化

3.2.1 ポスト酸化プロセスのコンセプト

ポスト酸化プロセスの狙いは図 3.10 に示すように、一層目の CaF_2 を成長した後、熱酸化プロセスによってピンホールを SiO_2 で埋めてしまうことである。 SiO_2 は良質な絶縁膜であるから、リーク電流に対する電氣的なバリアとして働く。また SiO_2 と CdF_2 の化学反応性は低いことが実験と熱力学的な考察から明らかにされている^{3.2}。図 3.11 は文献[3.2]で示された実験結果の一例で、Bare-Si と熱酸化によって形成した厚さ 200nm の SiO_2 上にそれぞれ CdF_2 を照射したときの CdF_2 の付着係数を、照射時の基板温度に対してプロットしたものである。付着係数は RBS 法により照射後の Cd 原子残留量を測定し、室温照射時の残留量に対する比として計算してある。Bare-Si 上では化学反応によって 100°C 以上で付着係数が低下しはじめるが、 SiO_2 上では 500°C まで付着係数 1 を維持している。これは SiO_2 が Si に比べて CdF_2 との化学反応性が低いことを示している。以上のことから、ポスト酸化によってピンホールに SiO_2 を形成することが出来れば、リーク電流

や化学反応を抑制することができる考えた。

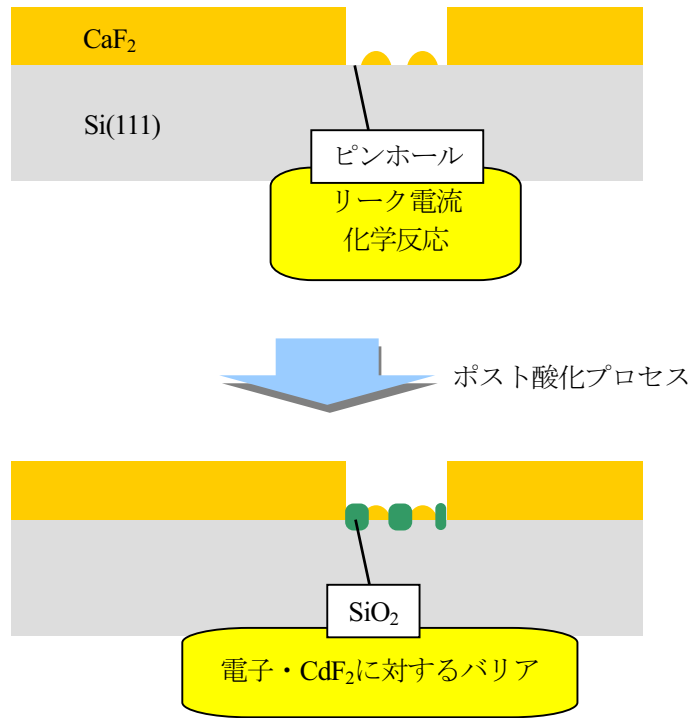


図 3.10 ポスト酸化プロセスのコンセプト

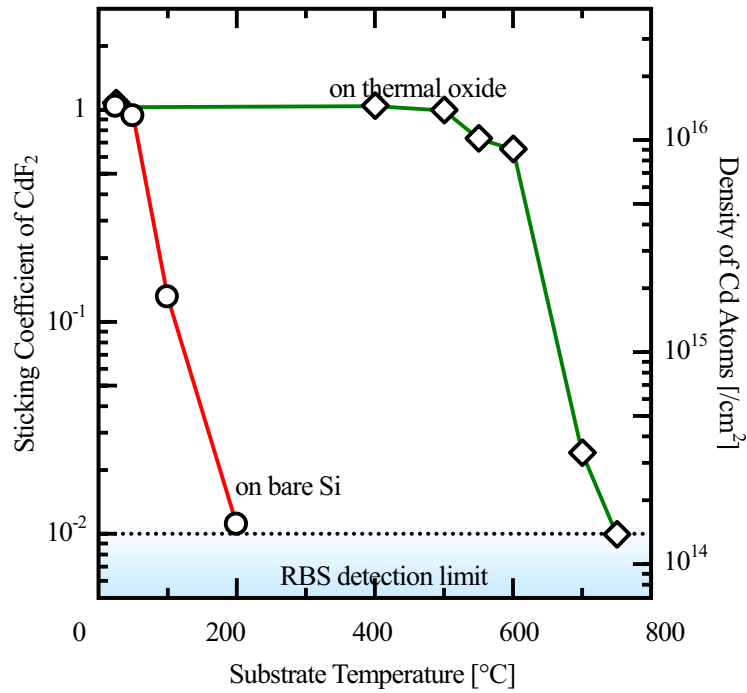


図 3.11 Bare-Si と SiO₂ (200nm) 上に照射した CdF₂ の付着係数^{3,2}

3.2.2 ポスト酸化プロセスの手順

図 3.12 にポスト酸化プロセスの製作手順を示す。通常のプロセスで Si 基板上に CaF_2 を成長した後、一度 MBE から出してランプ加熱装置に搬入し、常圧の純酸素雰囲気中で熱酸化を行う。 CaF_2 一層のみの試料はその時点で製作完了で、必要に応じて電極の蒸着を行う。RTD など、その上に弗化物を成長する場合は、酸化後に再び MBE チャンバに搬送し、その後は通常のプロセスで成長を行う。なお、再成長前のクリーニングプロセスは行っていない。

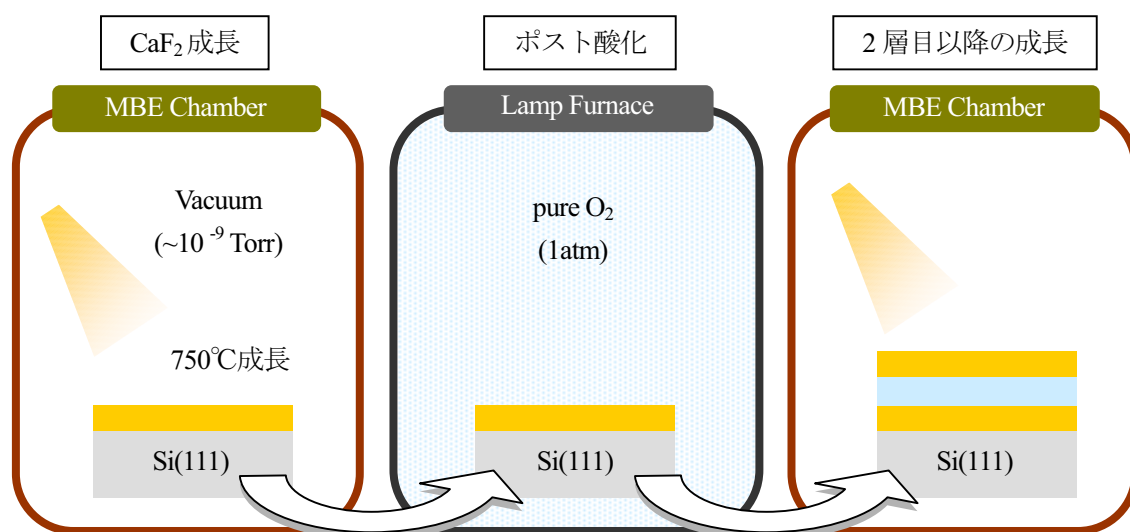


図 3.12 ポスト酸化プロセスの手順

3.2.3 ポスト酸化プロセスによるリーク電流の低減

ポスト酸化のリーク電流に対する効果を調べるために、まず図 3.13(a)に示す構造の MIS ダイオードを製作し、 CaF_2 単層の絶縁性を調べた。 CaF_2 の膜厚は RTD のバリアー層と同程度とした。この膜厚はトンネル電流が十分観測できる領域である。図 3.13(b)に I - V 特性の測定結果とトンネル電流の計算結果を示す。極性は上部電極側を正とした。計算は CaF_2 の膜厚が全面で均一に 1.5nm であるときのトンネル電流を Tsu-Esaki の式^{3.3} から求めたものである。測定結果からポスト酸化によって絶縁性が向上することが分かった。酸化の条件を強くすることでその効果は増し、理想的なトンネル電流の計算結果に近づいている。このことはピンホールからのリーク電流が SiO_2 によって低減されたことを示唆している。しかしこの結果からだけでは絶縁性の向上が本当にリーク電流の低減によるものなのか、酸化プロセスに伴う何らかの影響でトンネル電流自体が低減されて

しまったのか、両者の複合的な結果なのかを区別することはできない。

トンネル電流とリーク電流を区別する際、RTD の特性からある程度情報を得ることが出来る。RTD に流れる電流はトンネル電流とリーク電流の和で表される。このうち微分負性抵抗 (NDR) を持つのはトンネル電流成分のみで、リーク電流成分は寄与しない。そのため、観測された NDR を解析することで、各電流成分の情報を得ることができる。ここで、トンネル電流成分のピーク電流密度を $J_{tun,p}$ 、バレー電流密度を $J_{tun,v}$ と置き、リーク電流密度を RTD にかかる電圧の関数として $J_{leak}(V)$ と置くと、観測されるピーク、バレー電流密度 J_p 、 J_v は次式のように表される。

$$J_p = J_{tun,p} + J_{leak}(V_p) \quad (3-1)$$

$$J_v = J_{tun,v} + J_{leak}(V_v) \quad (3-2)$$

(V_p , V_v はそれぞれピーク電圧、バレー電圧)

これより、ピーク・バレー電流密度差 ($J_p - J_v$) と PVR は次式のようになる。

$$J_p - J_v = J_{tun,p} - J_{tun,v} + J_{leak}(V_p) - J_{leak}(V_v) \quad (3-3)$$

$$PVR = \frac{J_p}{J_v} = \frac{J_{tun,p} + J_{leak}(V_p)}{J_{tun,v} + J_{leak}(V_v)} \quad (3-4)$$

RTD は理論上 $V_p \doteq V_v$ であり、弗化物 RTD においては実測上もこれが成り立つことが多い。よって式(3-3), (3-4)は以下のように近似できる。

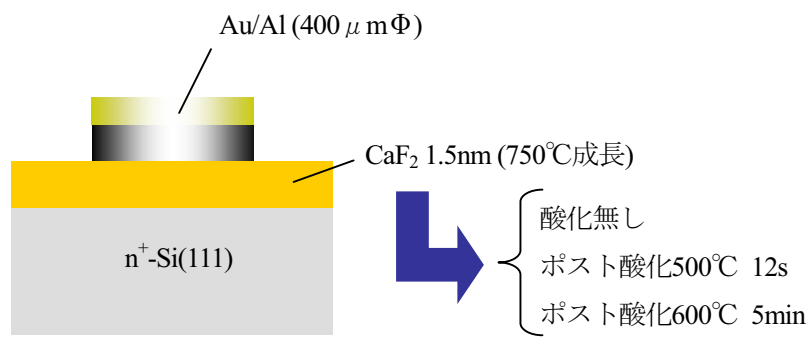
$$J_p - J_v = J_{tun,p} - J_{tun,v} \quad (3-5)$$

$$PVR = \frac{J_p}{J_v} = \frac{J_{tun,p} + J_{leak}(V_p)}{J_{tun,v} + J_{leak}(V_p)} \quad (3-6)$$

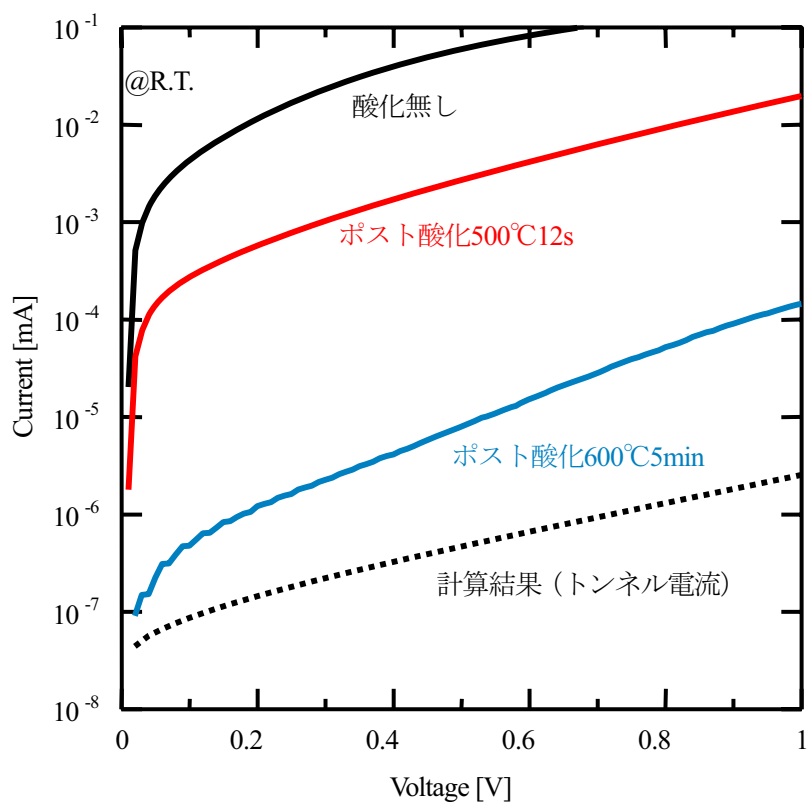
式(3-5)より、 $J_p - J_v$ はリーク電流成分に依存しないため、トンネル電流成分のみを抽出して比較することが出来る。一方、リーク電流成分のみを抽出することはできないが、式(3-6)より PVR はリーク電流の増加に伴って小さくなり、トンネル電流の影響を受けにくくなる。本研究で問題にしているのは PVR が一桁程度というリーク電流が支配的な領域であるため、もし PVR が改善されれば、それはリーク電流の改善を反映したものだといえる。

以上の考え方をを用いて、ポスト酸化を行った RTD と酸化無しの RTD を比較し、ポスト酸化がトンネル電流成分とリーク電流成分に与える影響を調べた。図 3.14(a)に製作した RTD の構造を示す。電極は直径 200, 400, 800 μm の円形のものを用いた。図 3.14(b)は $J_p - J_v$ と PVR の分布を示したものである。前述のように $J_p - J_v$ はトンネル電流成分を、 PVR はリーク電流成分を主に反映していると見ることができる。

$J_p - J_v$ を比較すると、酸化を行っていない従来の RTD に比べて、ポスト酸化を行った RTD はどちらも小さい。上で議論したように、これはトンネル電流が減少したことを示している。これはピンホールの不活性化というだけでは説明がつかないため、バリア層がポスト酸化によって、意図しないなんらかの影響を受けていることを示唆している。 PVR を比較すると、酸化無しの RTD は全て 1 桁であった。NDR が観測された素子の数も少なく、NDR がリーク電流に埋もれて見えなくなってしまったものと思われる。それに対し、ポスト酸化を行った RTD では全体的に PVR が向上しており、2 桁以上のものも多数観測された。これはリーク電流が低減されたことを示しており、このことからピンホールを電氣的に不活性化し、リーク電流を低減するというコンセプトは実証されたといえる。

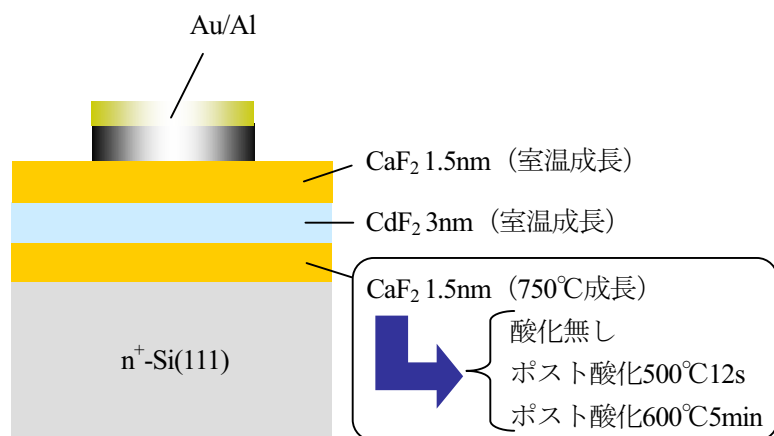


(a) MIS ダイオードの構造と製作条件

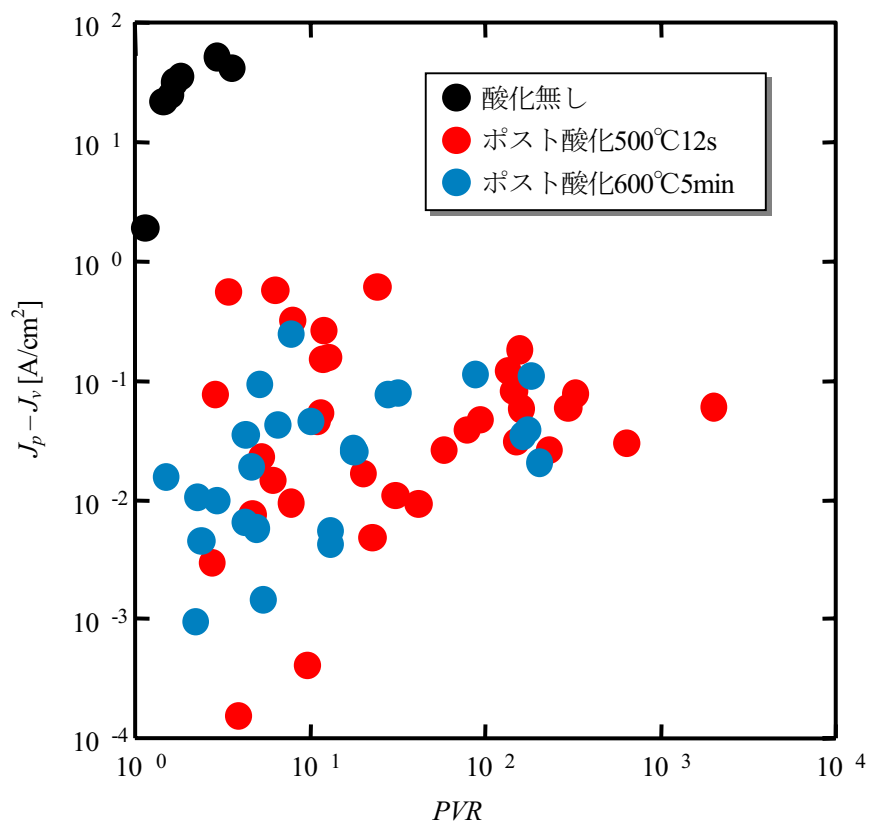


(b) I - V 特性

図 3.13 ポスト酸化を用いた CaF₂ の絶縁性



(a) RTD の構造と製作条件



(b) RTD のピーク・バレー電流密度差と PVR の分布

図 3.14 ポスト酸化を用いた RTD の構造と特性

3.2.4 XPS 法によるポスト酸化後の CaF_2/Si 界面の状態分析

ポスト酸化がトンネル電流を減少させる原因として、ピンホールだけでなく CaF_2 やその下にある Si も同時に酸化され、絶縁層の膜厚やバリアハイトが増加していることが考えられる。そこで XPS 法によってポスト酸化前後の $\text{CaF}_2/\text{Si}(111)$ 界面の状態分析を行うことを考えた。 CaF_2 が酸化されているかどうかは Ca-O 結合のピークの有無から判断する。またピンホールの面積は小さい ($\leq 1\%$) ため、ピンホール部のみが酸化されていた場合は Si-O 結合のピークはほとんど観測されないはずである。よって、Si-O 結合のピークの有無から CaF_2 下の Si が酸化されたかどうかの情報を得ることが出来る。

製作した試料を図 3.15 に示す。ポスト酸化の条件はこれまで用いてきたものと同等の 500°C 20s, 600°C 5min に加えて、各温度で時間を 15min と長めに行ったものも製作し、酸化を行わないときとの比較を行った。XPS の測定結果を図 3.16, 3.17 に示す。図 3.16 は $\text{Si}2p$ スペクトルで、強度は Si-Si 結合のピークで規格化してある。このように、酸化を行った試料は全て、酸化無しの試料には無い Si-O 結合のピークが観測された。この結果から、ポスト酸化は意図したようなピンホール領域のみの酸化ではなく、 CaF_2 下の Si も酸化されることが分かった。また、酸化される量は時間より酸化温度に強く依存することも読み取れる。

図 3.17(a), (b) はそれぞれ $\text{Ca}2p$, $\text{F}1s$ スペクトルで、どちらも $\text{Ca}2p$ $3/2$ ピークで規格化してある。図より酸化温度が 500°C のときは酸化無しのものと同じ CaF_2 ピークが観測されており、 $\text{F}1s$ ピークも大きな変化は無いことから、 CaF_2 は酸化されていないことが分かる。一方 600°C では CaF_2 のピークが CaO のピークにシフトしている。且つ、 $\text{F}1s$ のピークがほとんど無くなっていることから、 600°C まで上げると CaF_2 が酸化され、F の脱離と CaO の生成が起こっていると考えられる。

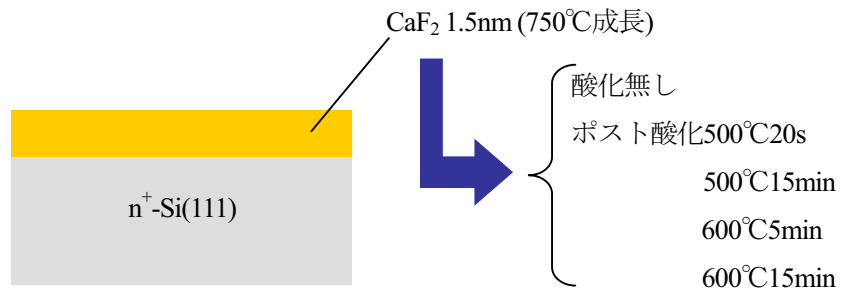


図 3.15 XPS 測定用試料の構造と製作条件

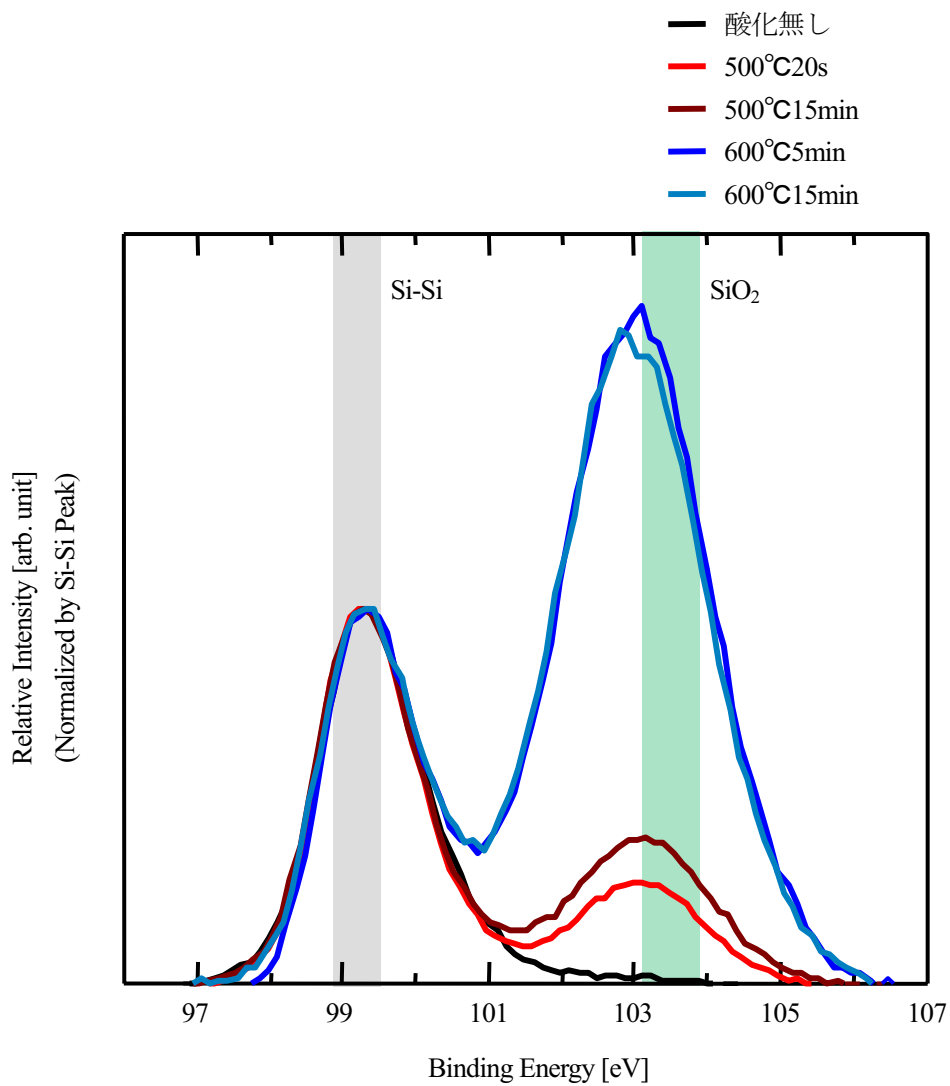
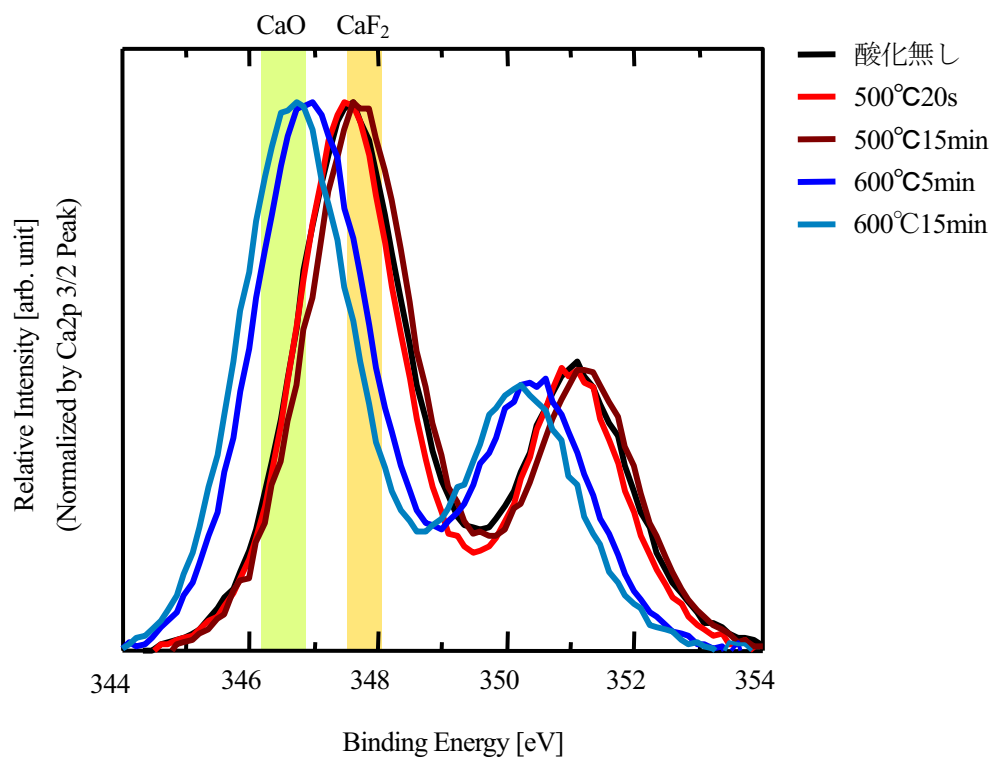
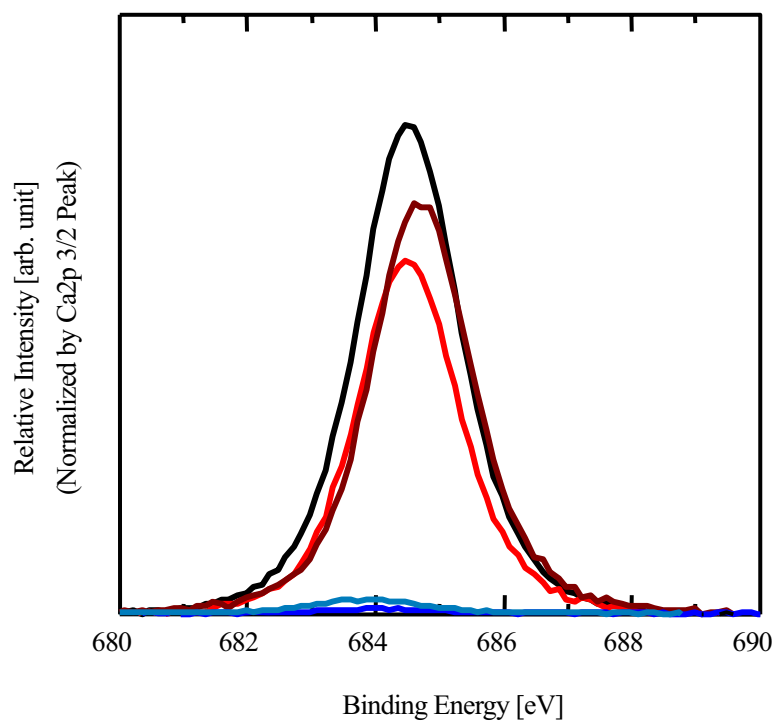


図 3.16 Si に関する XPS 測定結果 (Si2p スペクトル)



(a)Ca2p スペクトル



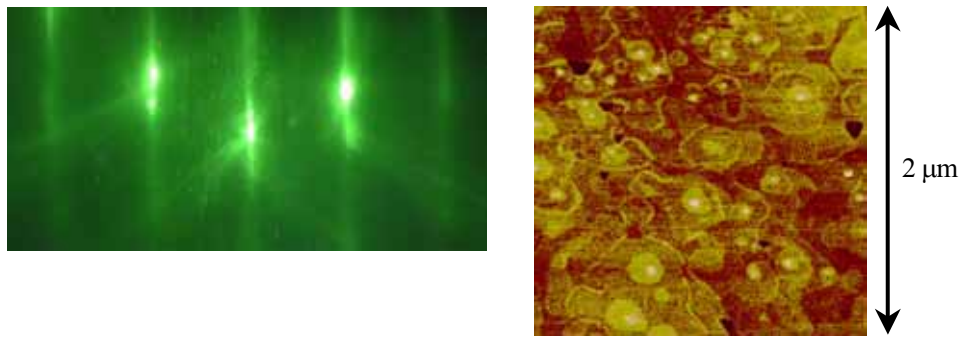
(b)F1s スペクトル

図 3.17 CaF₂に関する XPS 測定結果

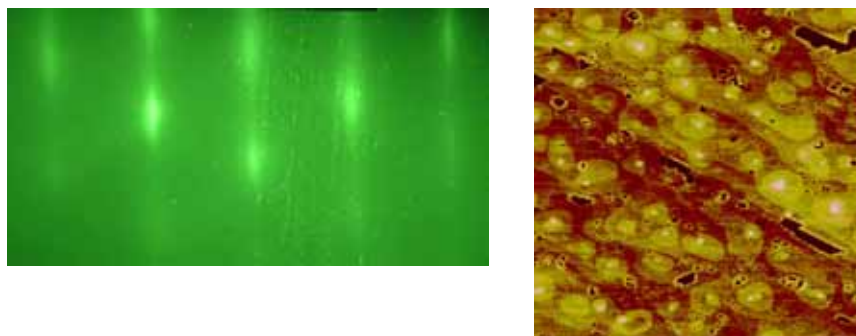
3.2.5 RHEED 及び AFM によるポスト酸化後の CaF₂ 表面の観察

一層目の CaF₂ の品質はその後に成長する層の品質に影響する。そのため、ポスト酸化後の CaF₂ の品質を調べておくことは重要である。そこで、ポスト酸化によって一層目の CaF₂ 表面モフォロジーと結晶性がどのような影響を受けるかを、RHEED と AFM を用いて調べた。図 3.18 に RHEED と AFM で観察した結果を示す。RHEED 回折パターンは電子線を $\langle 10\bar{1} \rangle$ 方向に入射したときのもの示してある。図より、酸化温度 500°C の試料は酸化無しの試料に比べて回折パターンがややハローになっているが、スポットは同じ配置を示しており、結晶構造は維持されている。AFM 像においても酸化前後で目立った変化は見られない。よって CaF₂ 自体には大きな変化はないと考えられる。回折パターンがややハローになっているのは下に生成された SiO₂ のパターンを反映したためであろう。一方、600°C で酸化した試料は RHEED 像においてスポットの配置に変化が見られたことから、結晶構造が変化していることが分かった。AFM 像において島状の荒れが生じており、ラフネスが変化している。これらの変化は CaF₂ が酸化されたことによるものだと考えられる。図 3.17(a) の XPS スペクトルより、CaO が生成されている可能性が高いため、CaO の結晶構造と RHEED の回折パターンを照らし合わせれば、構造を特定できるかもしれない。

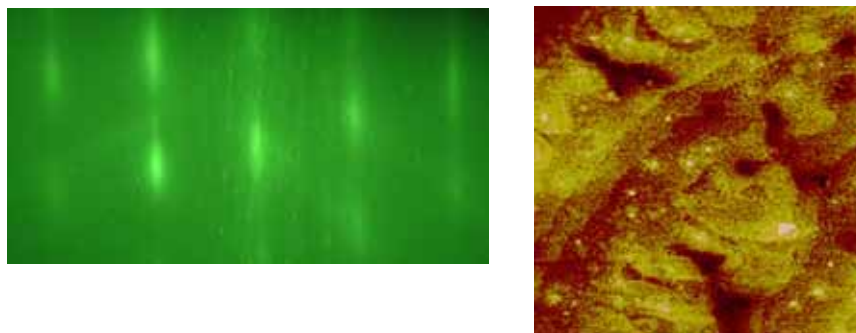
CaO の典型的な結晶構造は図 3.19 に示す塩化ナトリウム構造である。これは Si のダイヤモンド構造、CaF₂ の螢石構造と同じ立方晶であるから、Si(111) 面上には同じ(111)面を表面に出しているのではないかと考え、この構造から予測される回折パターンと観測されたパターンの比較を行った。図 3.20(a) は CaO(111) 面の逆格子配列である。RHEED の回折パターンは電子線の波数ベクトルによって決まるエwald球と、逆格子配列の交点を反映したものになる³⁵。RHEED においては入射電子のエネルギーが十分に大きいため、エwald球の半径は逆格子の間隔に比べて十分に大きく、逆格子を横切るエwald球の球面を電子線の入射方位と垂直な平面とみなすことができる。よって CaO(111) が表面のとき、図 3.20(a) に示した逆格子配列の垂直断面図が回折パターンとして表れると予測される。表面が平坦な場合、(111) 方向に逆格子ロッドが立つため回折パターンはストリークとなる。しかし今回観察に用いた試料は表面が荒れているため、3次元の逆格子配列を反映したものになると仮定すると、電子線入射方位 $\langle 10\bar{1} \rangle$, $\langle 11\bar{2} \rangle$, $\langle 01\bar{1} \rangle$ に対応して図 3.20(b) に示す 3 つのパターンが現れる。これらを実際観測されたパターン (図 3.20(c)) と比較したところ、同様なパターンが得られていたため、この構造は(111)を表面とした塩化ナトリウム構造を持つ CaO である可能性が高いことが明らかになった。



(a) 酸化無し



(b) ポスト酸化500°C 12s



(c) ポスト酸化600°C 5min

図 3.18 ポスト酸化前後の CaF_2 の RHEED パターン ($\langle 10\bar{1} \rangle$ azimuth) と表面 AFM 像

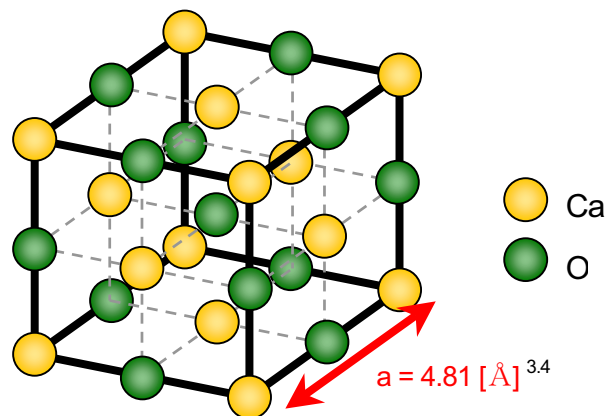


図 3.19 CaO の典型的な結晶構造 (塩化ナトリウム構造)

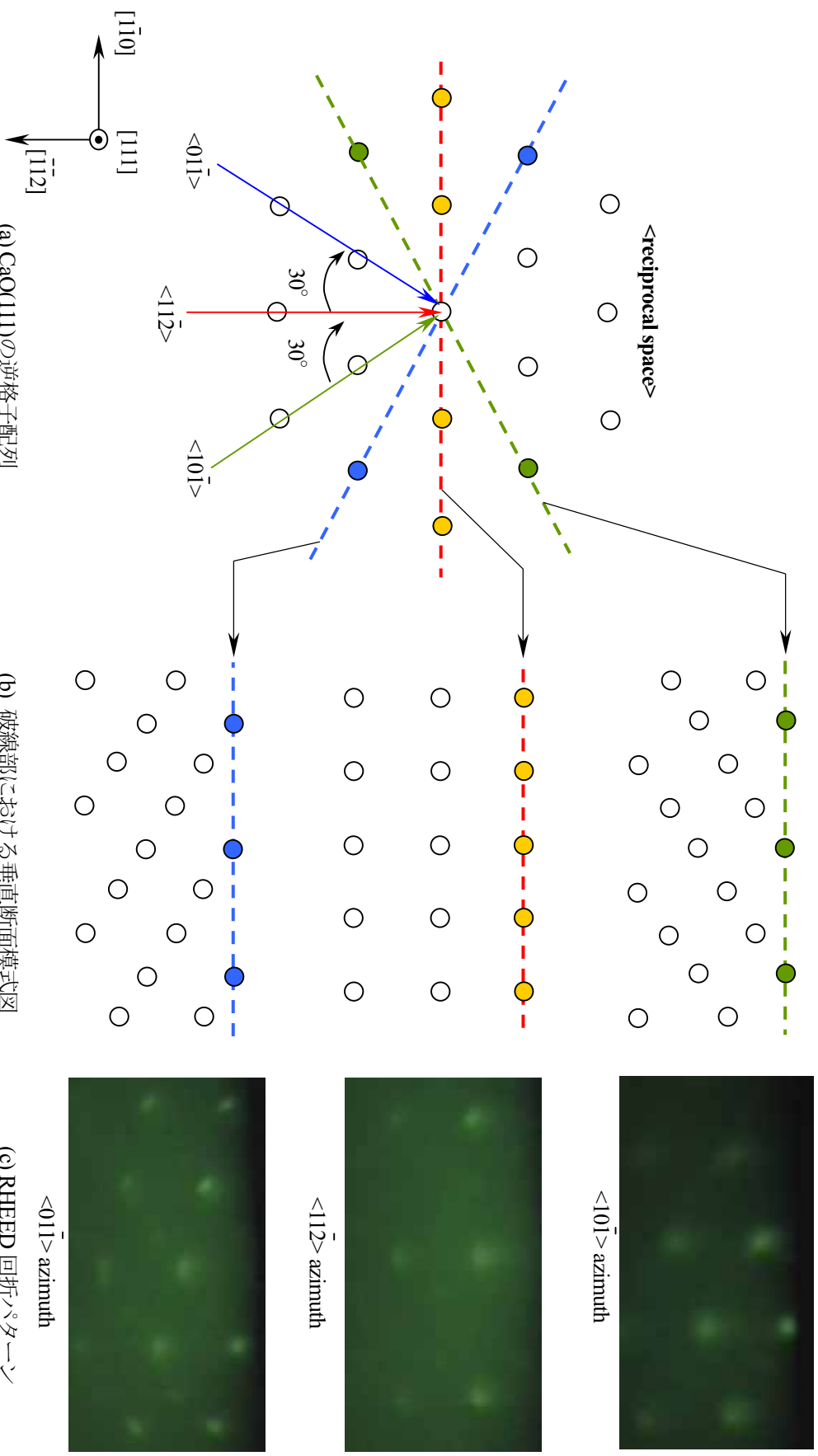


図 3.20 CaO (塩化ナトリウム構造) の逆格子配列と RHEED 回折パターン

3.2.6 ポスト酸化プロセスの電気特性への影響

XPS, RHEED, AFM の測定結果から得られた情報を基に、ポスト酸化後の CaF_2 および $\text{CaF}_2/\text{Si}(111)$ 界面状態の変化をまとめる。図 3.21 はポスト酸化前後の界面の模式図である。ポスト酸化は元々のコンセプトであるピンホールのみでなく、 CaF_2 下の Si も酸化することが分かった。 CaF_2 の状態は酸化温度によって大きく変わり、酸化温度 500°C のときはモフォロジー、結晶構造ともに大きな変化は見られず、酸化前の状態を維持していると考えられる。酸化温度 600°C では CaF_2 が酸化され、 F が脱離して CaO が生成される。RHEED 回折パターンの解析により、表面の結晶構造は塩化ナトリウム構造の(111)面である可能性が高いことが分かった。

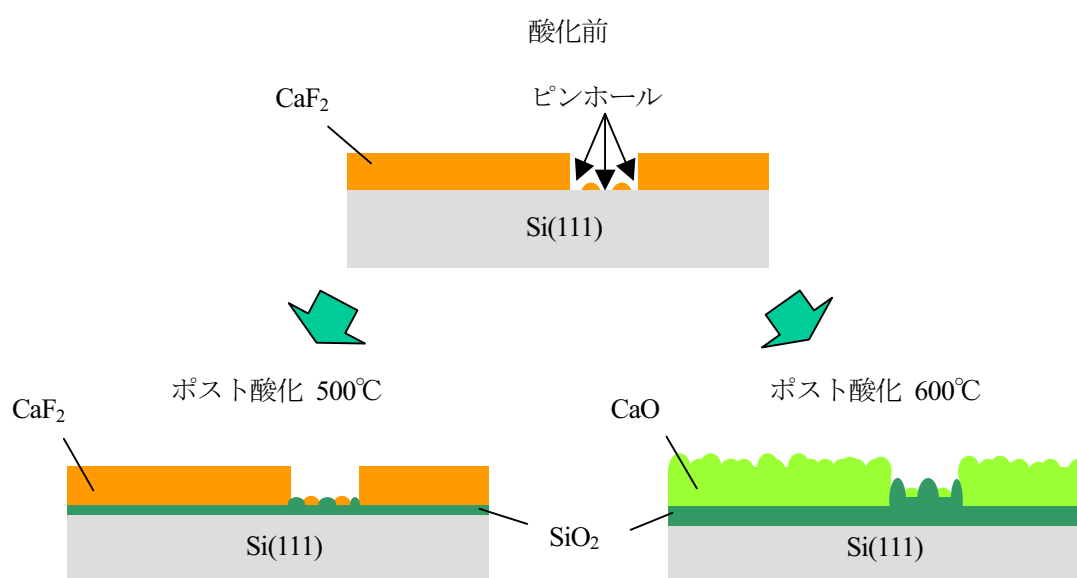


図 3.21 ポスト酸化後の $\text{CaF}_2/\text{Si}(111)$ の模式図

このような変化は RTD の電気特性に対してどのような影響を与えるだろうか。ピンホールを SiO_2 で埋めることにより、リーク電流が低減されるというメリットがある一方、ピンホール以外にも SiO_2 が形成されるため、バリア層の膜厚が全体的に厚くなりトンネル電流密度が低下する。 CaO の電子親和力 0.7eV ³⁶ と Si の 4.05eV との差分から、 CaO の Si に対するバリアハイトは 3.35eV と見積もられ、 CaF_2 の 2.3eV よりも高いため、 600°C で酸化を行った場合はさらにトンネル電流密度が低下すると考えられる。将来的に論理回路への応用を考える場合、負荷を駆動するために高いピーク電流密度 J_p が要求されるため、電気特性の観点からは CaF_2 の膜厚を薄くし、酸化条件を低温にする方が望ましいといえる。ただし、最終的には次節以降で述べる化学反応抑制効果も考慮して最適化を行う必要があるだろう。

3.2.7 CdF₂ と Si の化学反応抑制効果

これまでの結果から、ポスト酸化によってピンホールに SiO₂ を形成し、リーク電流を低減するという狙いは達成されることが分かった。そこで、もう一つの狙いである化学反応抑制効果について調べるために、2層目以降の成長温度を高くした図 3.22 のような RTD を製作した。これらの試料において化学反応が抑制されているかどうかを、RBS 法、電気特性、AFM を用いて評価した。

(I) RBS 法による CdF₂ 付着係数の評価

RBS 法で CdF₂ 付着係数を調べた結果を表 3.1 に示す。酸化無しの RTD では、成長温度を 200°C に上げると CdF₂ の大部分が再蒸発しているが、ポスト酸化を行った RTD では全ての試料で付着係数が大幅に改善されている。この結果は、SiO₂ の形成によって化学反応を抑制するというポスト酸化のコンセプトを実証するものである。ポスト酸化 600°C5min で 200°C 成長した RTD の付着係数が 100% に達していないが、これは CdF₂ 成長レート（分子線フラックス）のばらつきで説明できる範囲内であり、後述するように RTD の特性は比較的良いものが得られているため、化学反応は起こっていないと判断した。

(II) 電気特性による評価

RTD の J_p - J_v , PVR の分布を図 3.23 に、歩留まりを表 3.2 に示す。歩留まりは NDR が観測された素子は全て動作したのものとして数えた。ポスト酸化プロセスを用いた RTD では 400°C まで成長温度を上げても NDR が観測され、高温でも RTD の構造を形成できることが分かった。100°C 以上で顕著な再蒸発が起これり（※）、正常な RTD 構造を形成できなかった従来の製法に比べると、この結果は大きな進歩といえる。しかし、ポスト酸化 500°C12s の特性を見ると、成長温度を室温から 200°C に上げた RTD では PVR が全体的に小さくなっており、リーク電流が増加していることが読み取れる。またそれにより、歩留まりも酸化無しのものと同程度まで低下している。600°C5min の試料では 200°C に上げててもそのような劣化は見られないが、300°C 以上で同様の現象が起こっている。これはポスト酸化による化学反応の抑制が、条件によっては完全でないことを示唆している。

※文献[3.1], [3.2]において弗化物の混晶を用いて成長温度を上げる技術が研究されているが、それは 200°C までという結果であった。

(III) AFM による最表面の観察

RTD の最表面を AFM で観察した結果を図 3.24 に示す。電気特性においてリーク電流の増加が見られたポスト酸化 500°C12s の 200°C 成長、600°C5min の 300°C, 400°C 成長の RTD には微少な穴があいていることが分かった。これは化学反応が起こっているという仮定を支持する結果である。RBS の結果とは一見矛盾するが、おそらく化学反応が起こった領域が小さかったため、CdF₂ の再蒸発量が、RBS や成長レートの誤差で埋もれてしまったためだと推測している。

以上より、ポスト酸化は化学反応に対して一定の効果を発揮するが、条件によっては不十分な場合もあることが分かった。この原因として、SiO₂ が薄いため、CdF₂ が SiO₂ 中を拡散して Si に到達してしまうことや、高いエネルギーを持つ一部の CdF₂ が SiO₂ と化学反応を起こし、SiO₂ をエッチングすることなどが考えられる。形成される SiO₂ の量が多い 600°C5min で酸化した RTD の方が、高い温度まで反応が抑制されていることがその根拠として挙げられる。

表 3.1 高温成長 RTD の CdF₂ 付着係数

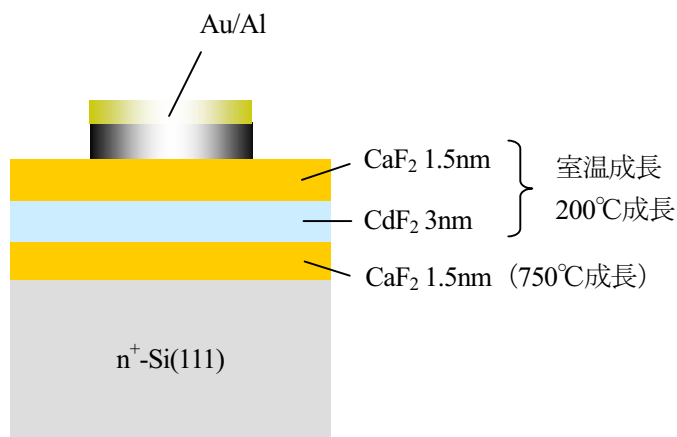
		2 層目以降の成長温度			
		室温	200°C	300°C	400°C
ポスト酸化条件	酸化無し	100%	12%		
	500°C12s	100%	100%		
	600°C5min	100%	89%	100%	100%

※ 空欄は未測定

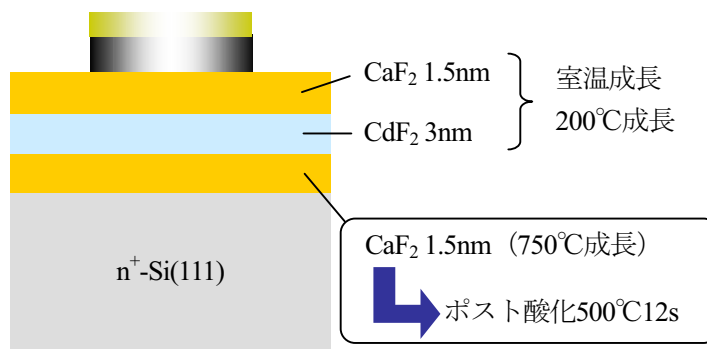
表 3.2 高温成長 RTD の歩留まり (動作した素子数/測定した素子数)

		2 層目以降の成長温度			
		室温	200°C	300°C	400°C
ポスト酸化条件	酸化無し	30.4% (7/23)			
	500°C12s	75.6% (31/41)	37.5% (6/16)		
	600°C5min	73.5% (25/34)	66.7% (14/21)	34.6% (18/52)	25.9% (14/54)

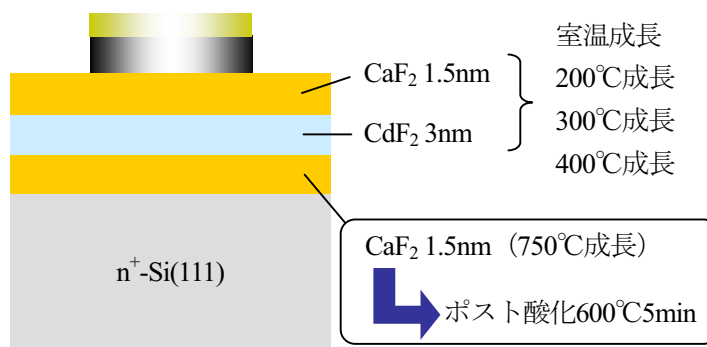
※ 空欄は未測定



(a) 酸化無し

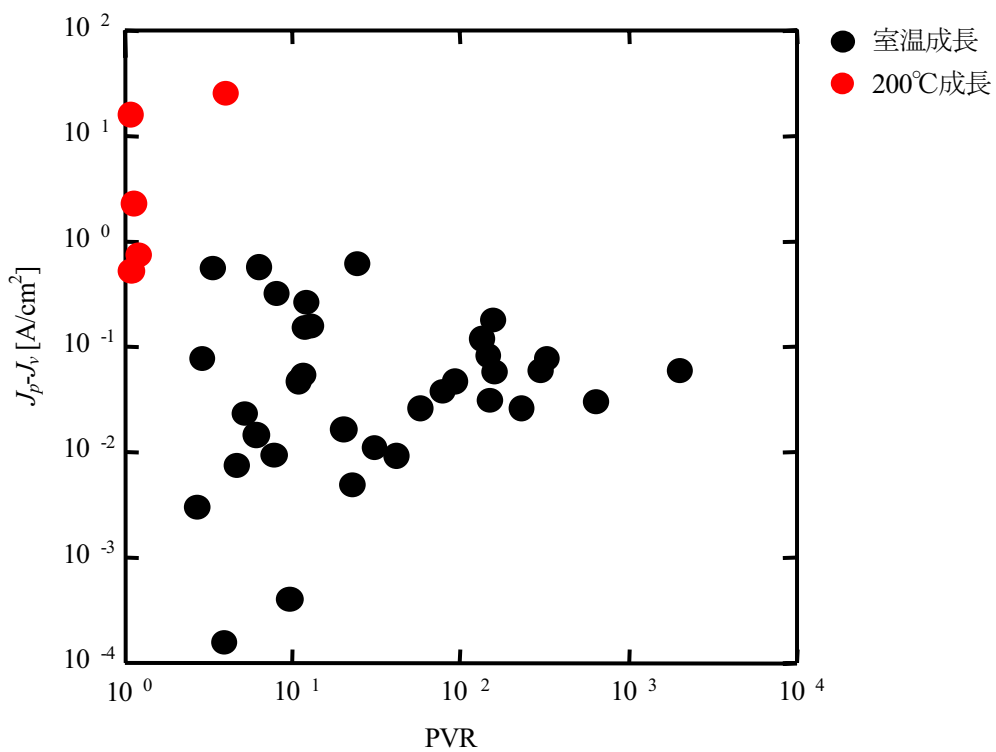


(b) ポスト酸化 500°C12s

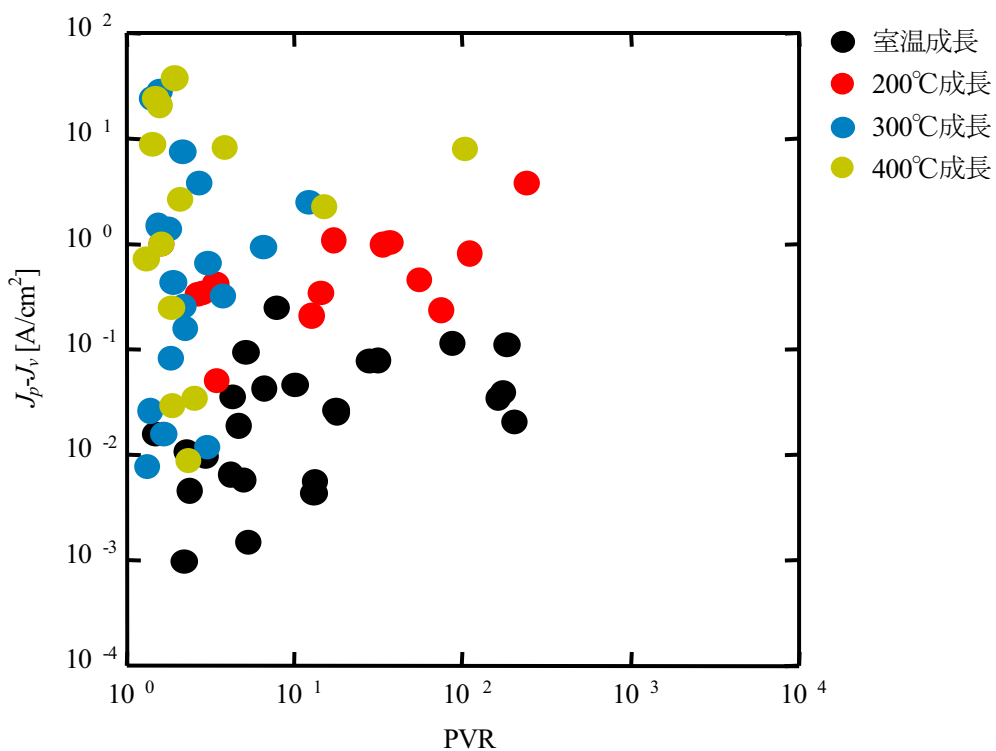


(c) ポスト酸化 600°C5min

図 3.22 化学反応抑制効果の確認のための RTD



(a) ポスト酸化 500°C12s



(b) ポスト酸化 600°C5min

図 3.23 高温成長 RTD の J_p - J_v , PVR 分布

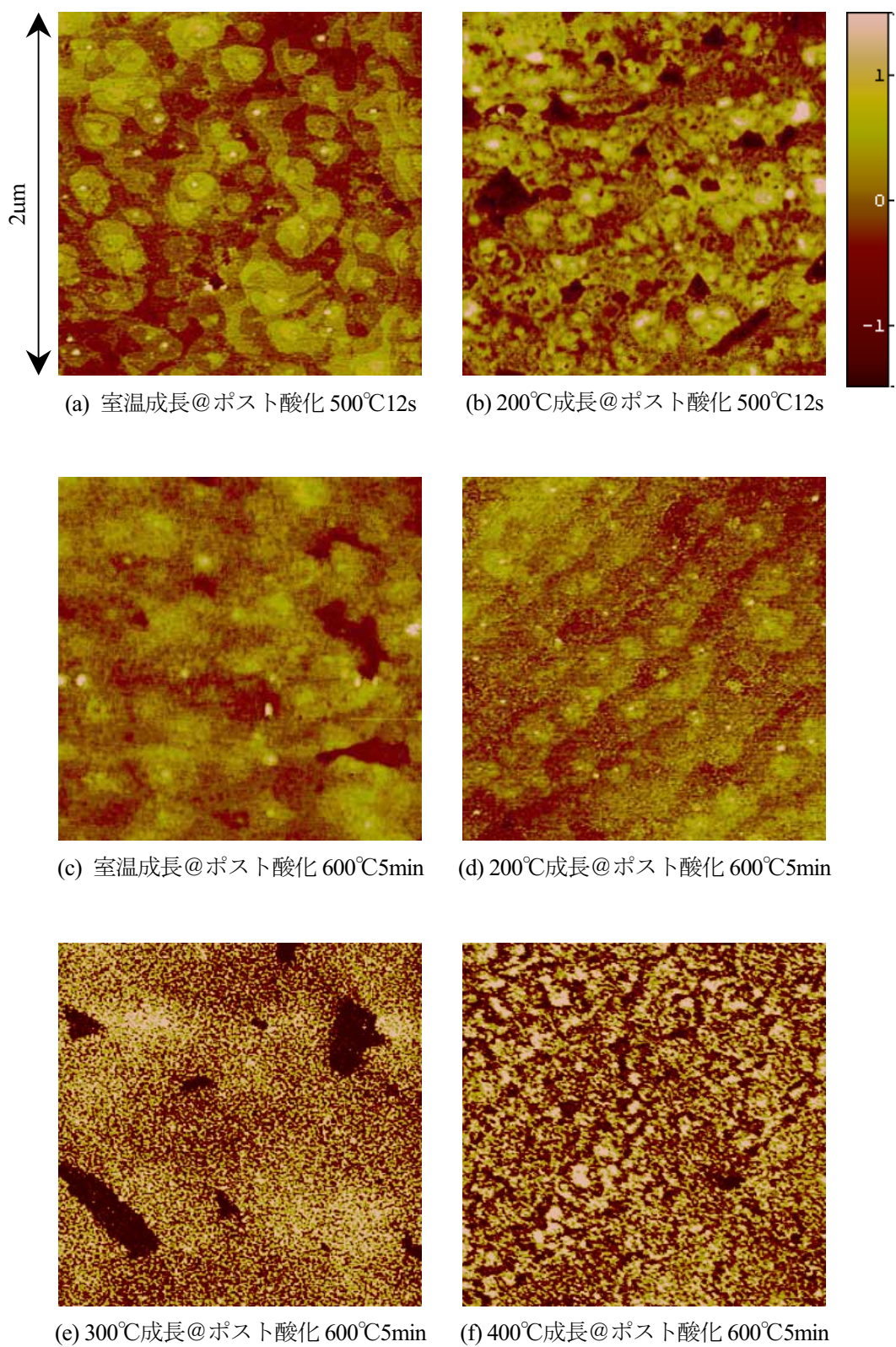


図 3.24 高温成長 RTD の表面モフォロジー

3.2.8 高温成長による電氣的不安定性の抑制

3.2.7 節において、十分な条件でポスト酸化を行うことで、2層目以降の成長温度を上げても化学反応を抑制できることが分かった。そこで、成長温度を上げたことによる電氣的な安定性への影響を調べた。図 3.25 は 1V の一定電圧を印加したときの電流の時間変化を測定した結果である。電流は各特性の最大値で規格化してある。室温成長の RTD では電流が時間と共に大きく変化しているのに対し、成長温度を上げていくごとに変化の割合が小さくなっていることが分かる。このことから、2層目以降の高温成長が不安定性の改善に有効であることが示唆された。

しかし、高温成長によって悪化した点もあった。3.2.6 節で述べたリーク電流の増加と歩留まりの低下以外にも、3.1.1 節第IV項で述べた通電による素子の劣化が起りやすいという問題も生じた。図 3.26 は 300°C で成長した RTD の I - V 特性の一例で、複数回通電したときの変化を示している。このように図 3.25 では電流ドリフトが抑えられる結果であったが、 I - V 特性では必ずしも安定していない。この結果は 3.2.7 節 (II) で述べたことと同様に、 CdF_2 を高温で成長する場合、今回用いたポスト酸化条件では化学反応の抑制が不完全であることを示唆している。対策として、酸化の条件を強くすることが考えられるが、その場合 3.2.6 節で述べたトンネル電流密度の減少とのトレードオフが存在する。将来的には回路から要求されるピーク電流密度と安定性を考慮して条件の最適化を行う必要があるだろう。

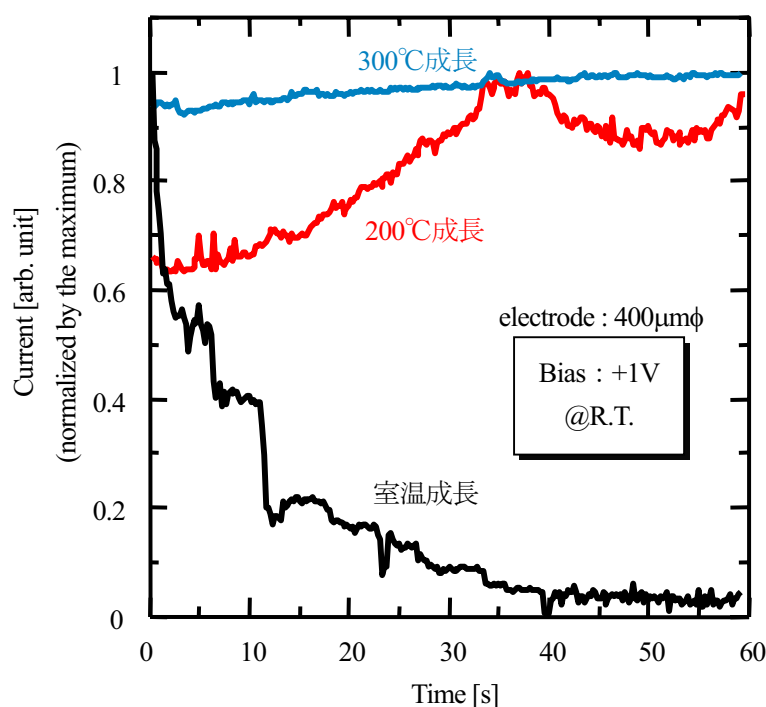


図 3.25 RTD に一定電圧を印加したときの電流の時間変化

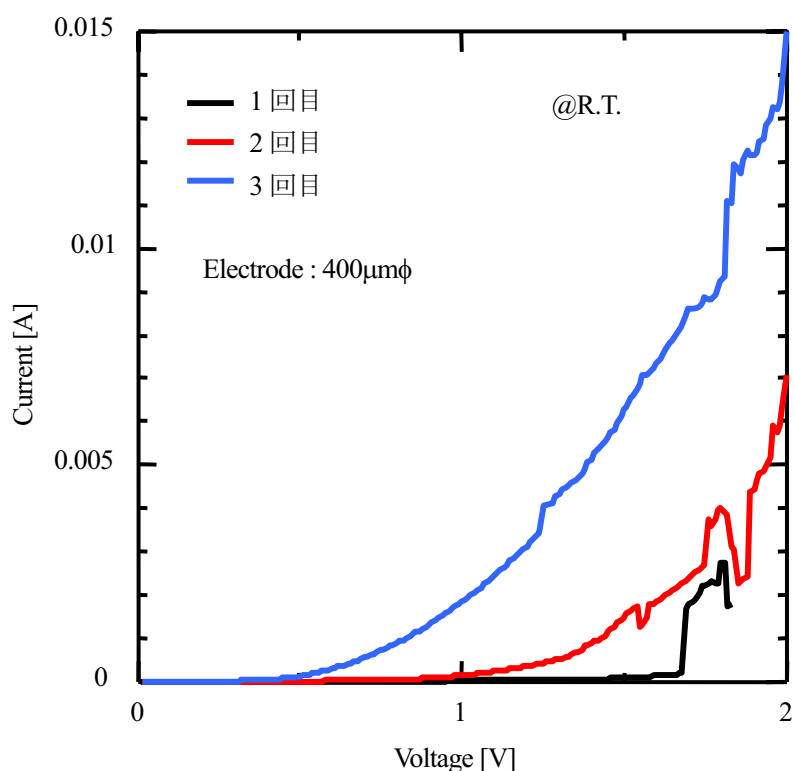


図 3.26 300°C成長 RTD に複数回通電したときの絶縁破壊

3.3 活性層分離型構造の導入

3.3.1 活性層分離型構造のコンセプト

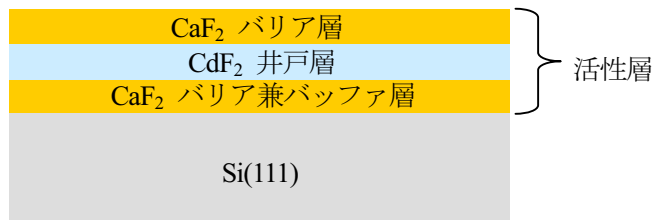
従来の弗化物 RTD の構造は図 3.27(a)に示すように、活性層となる量子井戸構造を Si 基板上に直接形成する構造である。そのため、活性層がピンホールや CdF_2 と Si の化学反応という、弗化物/Si 界面の問題の影響を直に受けてしまう。また、この構造では一層目の CaF_2 が量子井戸のバリアとしての役割と、 CdF_2 と Si の化学反応を防ぐバッファとしての役割を兼ねているため、膜厚などのパラメータをそれぞれの役割に最適化することが難しい。そこで本研究では、図 3.27(b)のような厚い分離層を活性層と Si の間に挿入した構造を提案する。このように活性層を Si 界面から離して成長することで、問題点の影響を受けにくくなることが期待できる。また、バッファ層とバリア層を別々に成長するため、それぞれの最適化を行いやすい構造となっている。本研究では図 3.27(a)に示す従来の構造を基板直上型、提案する図 3.27(b)の構造を活性層分離型と呼ぶ。

分離層の材料には CdF_2 もしくは $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を用いる。 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶については 3.4.2 節

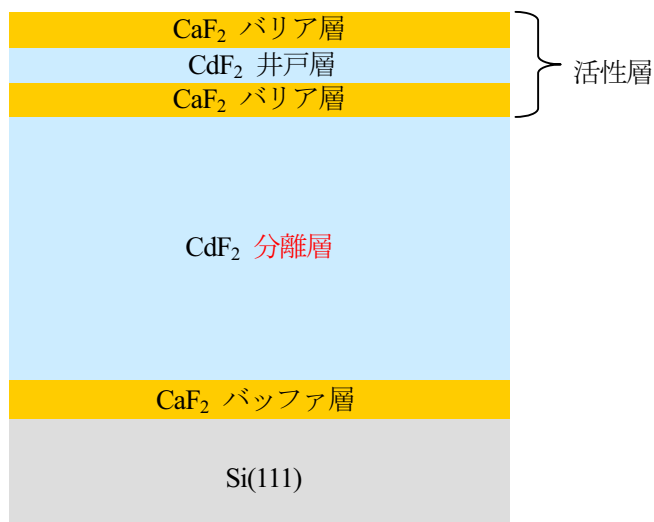
で述べることとし、ここでは CdF_2 を用いた場合を考える。 CdF_2 はバルクでは絶縁物として機能するが、伝導体端 E_c が Si よりも低いため、Si から電子を注入する場合には導電層として機能しうると考えた。本構造において、分離層には以下の3つの性能が要求される。

- ①良好な膜質
- ②電子が散乱される程度の厚さ
- ③十分な導電性

①は活性層の膜質が下層である分離層の影響を直接受けるため、重要となる。②は基板から注入された電子が分離層中でコヒーレンス性を失わない場合、図 3.27(b)の構造がバッファ層も含めてトリプルバリアとして機能してしまい、予期しない特性になってしまう。そのため、分離層の厚さは、電子が散乱されてコヒーレンス性を失う程度まで厚くすることが望ましい。③は分離層の抵抗が RTD の寄生抵抗になるため、活性層のトンネル電流に比べて十分な導電性を持っている必要がある。



(a) 従来の構造 (基板直上型)



(b) 提案する構造 (活性層分離型)

図 3.27 活性層分離型 RTD の構造

3.3.2 分離層の表面状態の観察

図3.28に示すようにCaF₂バッファ層を1.2nmに固定し、その上のCdF₂分離層の膜厚を10nm, 20nm, 50nmと変えて成長し、それぞれの表面状態をAFMで観察した。なお、バッファ層にはポスト酸化は行っていない。観察した結果を図3.29に示す。分離層の厚さが10nmのときは、高さが15nm程度の突起が比較的高い密度で観測された。このような突起が生じる原因にはピンホールにおけるCdF₂とSiの化学反応、室温という低い温度で成長したことによるCdF₂分子の表面マイグレーション不良などが考えられる。一方、分離層を20nm成長した試料では、突起の密度が小さくなっており、高さも5~10nm程度に下がっていた。50nm成長した試料では10nmの試料ほどではないが、突起の密度は再び増加しており、高さも15~20nm程度と上がっていた。

突起以外の領域のモフォロジーを比較すると、厚さ10nmと20nmでは目立った変化は見られなかったが、50nmのものではクラックが入っていた。これは弗化物とSiの格子不整による歪みによって生じたものと考えられる。さらに、50nmの試料では10nm、20nmの試料と同様の比較的平坦なモフォロジー以外に、部分的に直径数十nm程度の島状に成長している領域が観測された。島状成長は一般に、一層ごとに成長する2次元的な成長に比べて結晶性を劣化させやすい。

以上より、分離層の膜厚として突起や欠陥の少ない20nmを用いることとした。

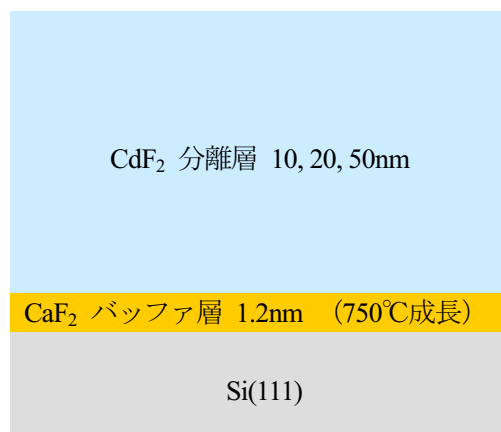
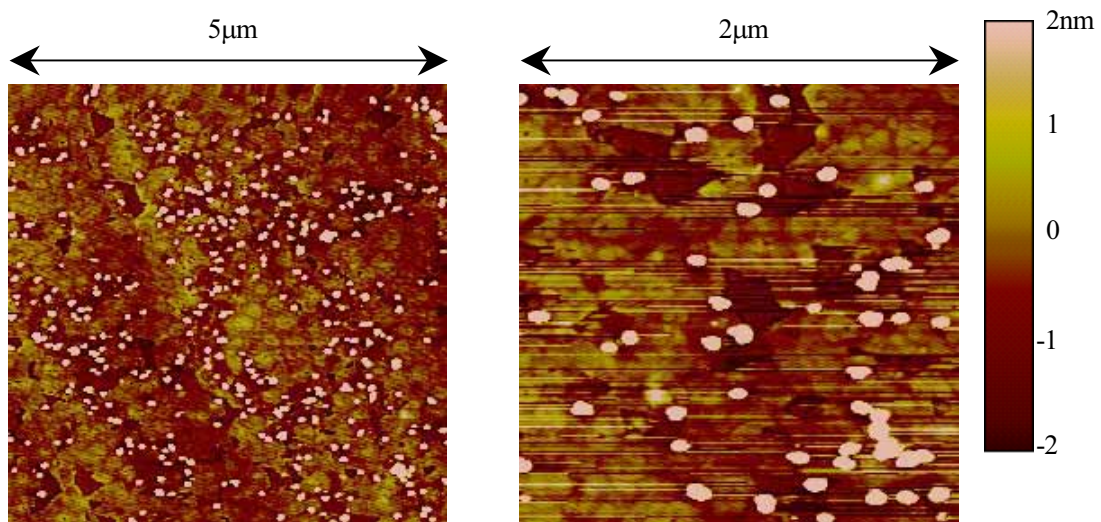
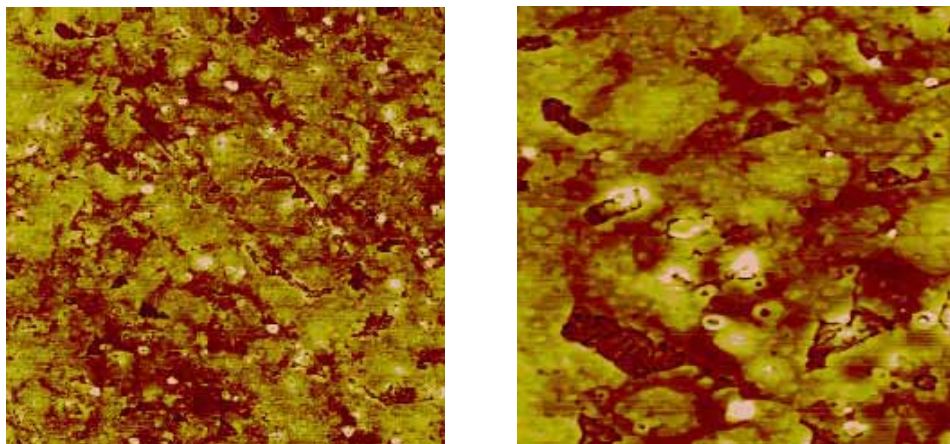


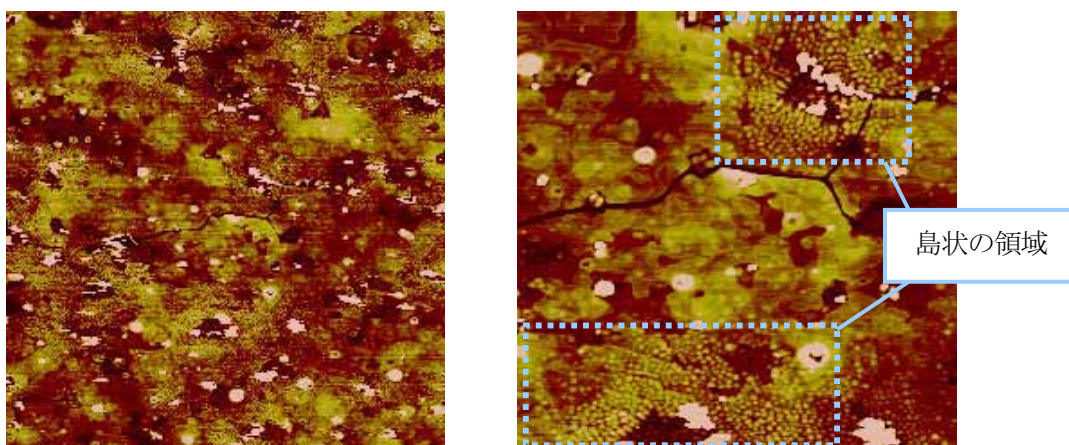
図 3.28 分離層の膜厚依存性評価のための試料



(a) CdF₂分離層 10nm



(b) CdF₂分離層 20nm



(c) CdF₂分離層 50nm

図 3.29 CdF₂分離層表面の膜厚依存性

3.3.3 分離層の導電性

分離層に用いる CdF_2 は、バルクでは絶縁物として機能する。 CdF_2 はドーピングが可能であり、研究ベースでは既の実績があるが³⁷、本研究ではノンドープの CdF_2 を用いている。そのため、 CdF_2 を分離層として用いたときに十分な導電性を持つかは未知であった。そこで図 3.30 に示す構造の試料を製作し、 CdF_2 分離層の導電性について調べた。これは分離層に直接電極が接触した構造であり、活性層を挟んで電極を形成した RTD 構造で用いたときは電氣的振る舞いが異なる可能性が高いが、初期的な実験としておおまかな導電性の様子を見る意味では有効であろうと考えた。 CdF_2 の厚さは 3.3.2 節で最も良いと判断した 20nm のものと、さらに厚くしたときの影響を見るために 35nm のものを製作した。バッファ層にポスト酸化は行っていない。電極は直径 200, 400, 800 $\mu\text{m}\phi$ の円形のものを用いた。これらの試料の I - V 特性を測定した結果を図 3.31 に示す。

仮に、活性層分離型 RTD を図 3.32(a)のように、非線形の抵抗と RTD を直列に接続した単純なモデルで考える。このときバッファ層と分離層の抵抗によって図 3.32(b)に示すように RTD のピーク電圧は見かけ上 V_{sp} だけ高くなる。現状で製作する RTD のピーク電流は高いものでも数十 mA であるから、分離層の挿入によって現れるピーク電圧のシフトは、図 3.31 の特性から 1V 以下には抑えられそうである。これは、実用を考える場合には回路の低電圧化を妨げる大きな問題になり得るが、ここでは不安定性を解消することを主眼としているため、NDR の観測が可能なレベルの導電性は確保されていると判断した。

分離層の厚さによる違いに注目すると、同じ電極面積で比較したときに、膜厚を厚くした方が抵抗は上がる傾向が見えている。よって、本研究では今後 20nm を分離層の厚さとして用いることにした。

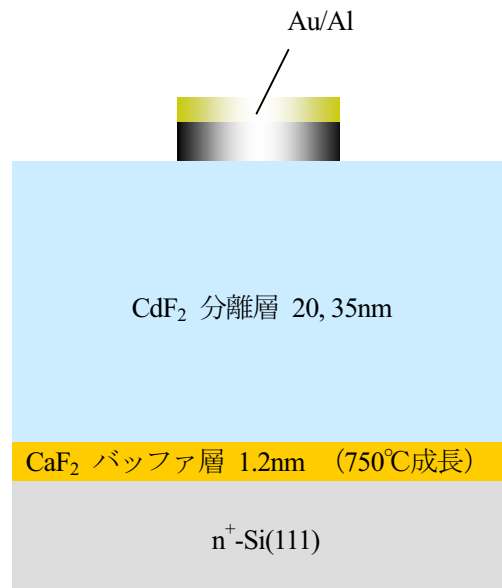


図 3.30 分離層の膜厚依存性評価のための試料

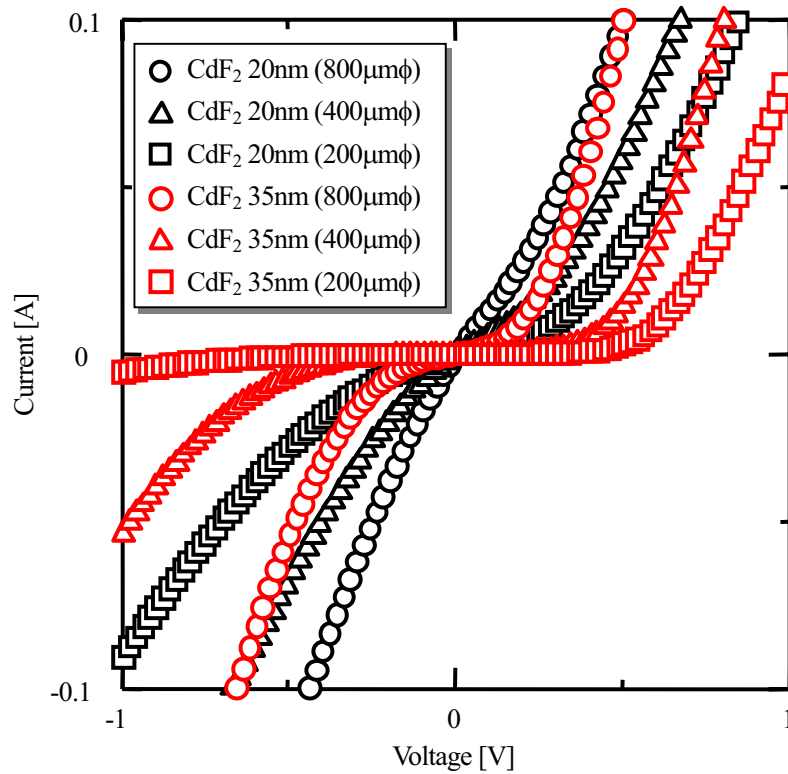
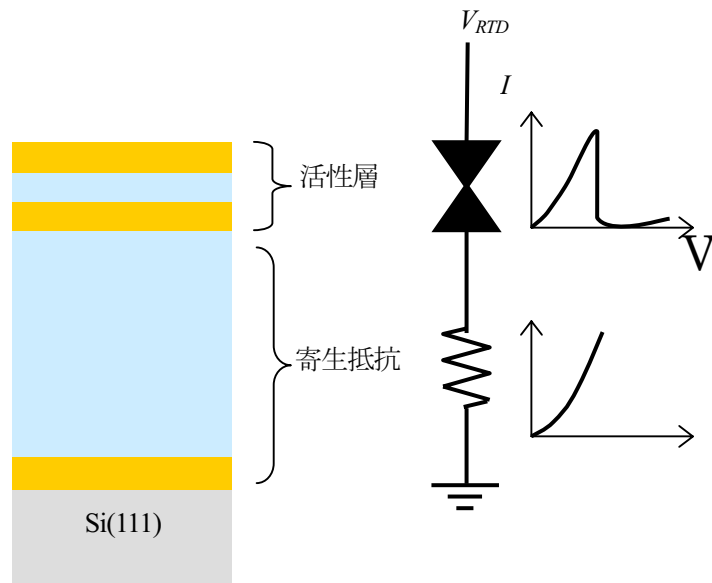
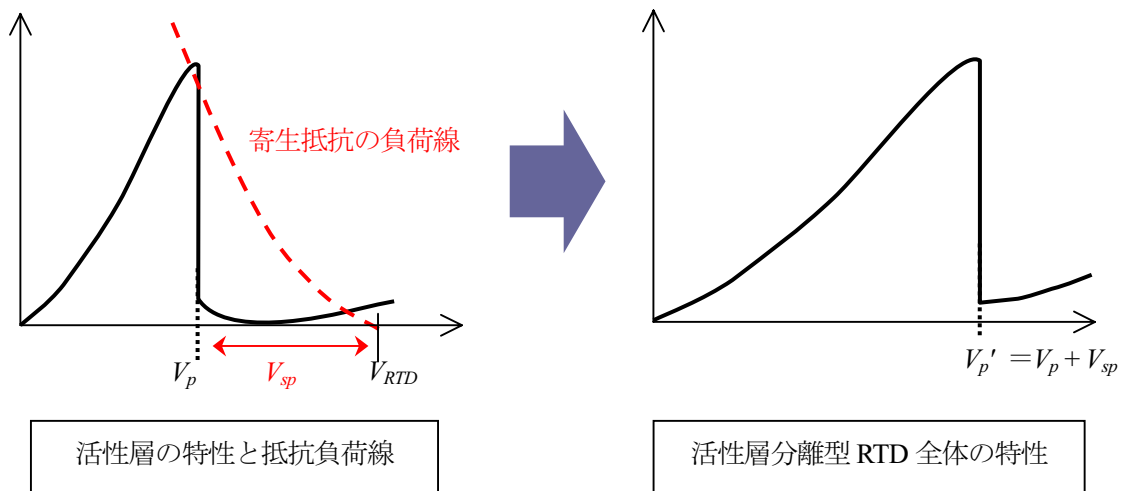


図 3.31 CdF₂ 分離層の導電性



(a) 活性層分離型 RTD の等価回路



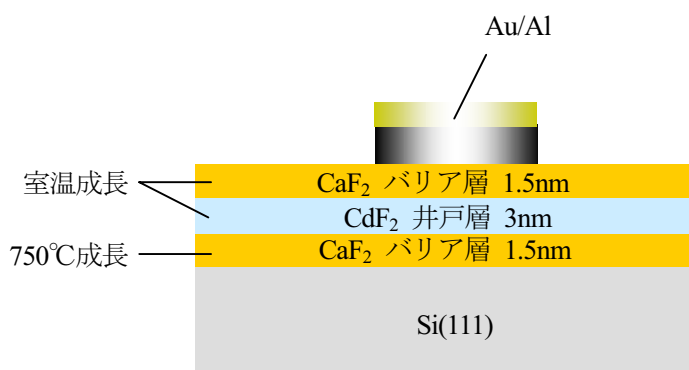
(b) 抵抗による RTD ピーク電圧のシフト

図 3.32 分離層の抵抗の影響 (モデル)

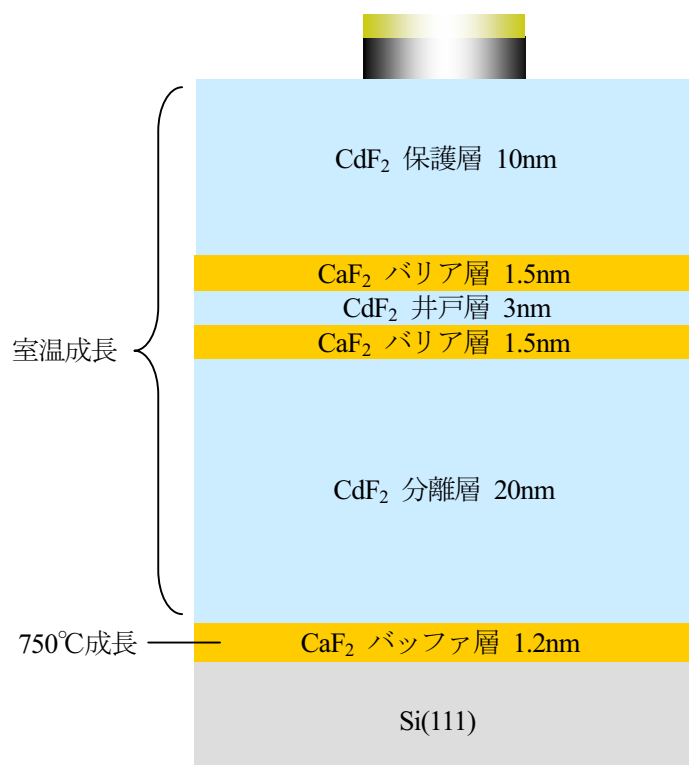
3.3.4 分離層の挿入による RTD の電気特性への影響

図 3.33(b)に示す構造の活性層分離型 RTD を製作し、分離層の挿入による電気特性への影響を調べた。CaF₂ バッファ層の膜厚は 1.2nm でポスト酸化は行っていない。分離層の厚さは 3.3.2, 3.3.3 節において決定した 20nm とした。活性層の上に成長した CdF₂ 層は活性層の保護を目的として入れたものである。比較のため、図 3.33(a)に示す構造の基板直上型 RTD も製作した (図 3.14 の酸化無しのもので同一の試料)。表 3.3 に歩留まりを、図 3.34 に測定した J_p - J_v と PVR の分布を示す。歩留まりは NDR が観測された素子は全て動作したものと数えた。活性層分離型構造にでは従来の基板直上型構造に比べて歩留まりが大きく改善され、PVR が向上していたことから、リーク電流が低減されたことが分かった。これは分離層の挿入によって活性層がピンホールや化学反応の影響を受けにくくなった結果として、バリア層の絶縁性向上につながったと考えている。

活性層分離型の方が J_p - J_v が小さくなっているが、これは面内の膜厚の均一性が向上した結果だと考えられる。基板直上型では一層目の CaF₂ バリア層に、Si 基板が完全に露出したピンホール以外にも、その周辺に膜厚の非常に薄い領域が存在することが AFM の詳細な観測により確認されていた (図 3.1 の模式図参照)。トンネル電流はバリア層の膜厚に敏感であるため、基板直上型 RTD のトンネル電流成分のうち、その薄い CaF₂ の領域を流れる電流が支配的だったと考えられる。分離層の上に成長することで、このような面内の膜厚不均一性が小さくなり、最低膜厚が厚くなった結果としてトンネル電流成分が減ったのではないだろうか。



(a) 基板直上型 RTD



(b) 活性層分離型 RTD

図 3.33 電気特性比較用の RTD 構造

表 3.3 分離層の有無による歩留まりの比較
(動作した素子数/測定した素子数)

基板直上型	活性層分離型
30.4%	77.8%
(7/23)	(14/18)

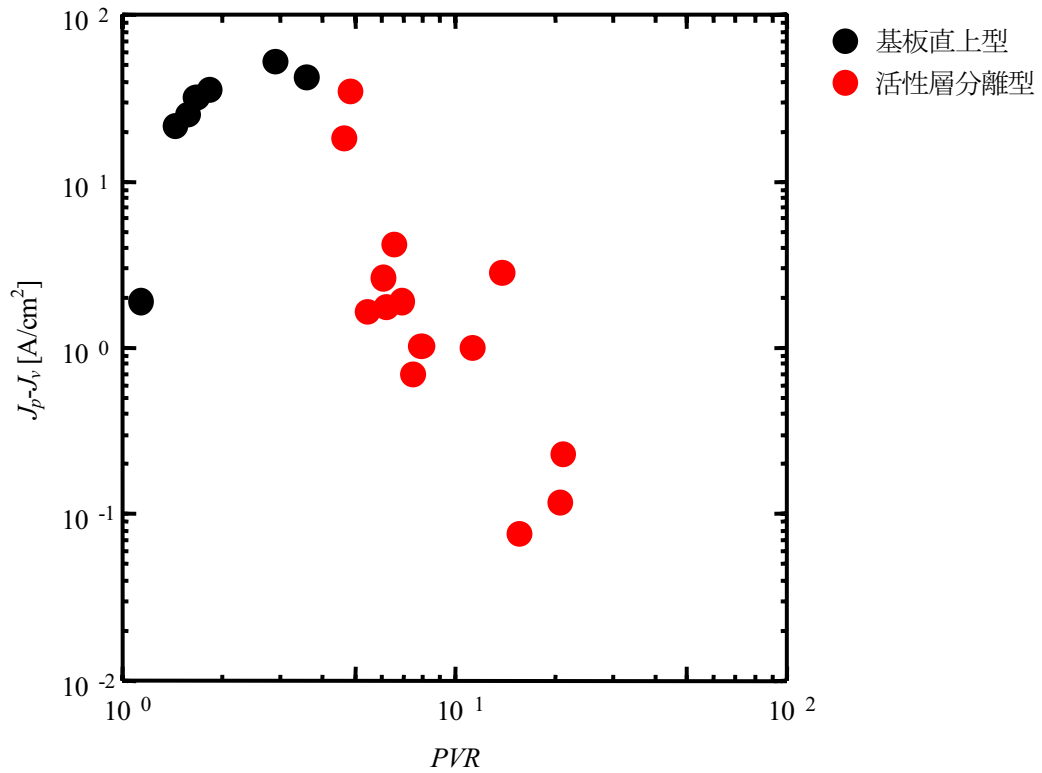


図 3.34 分離層の有無による RTD 特性の比較

3.4 各種技術の組み合わせによる RTD 特性の安定化

3.4.1 ポスト酸化プロセスと活性層分離型構造の組み合わせ

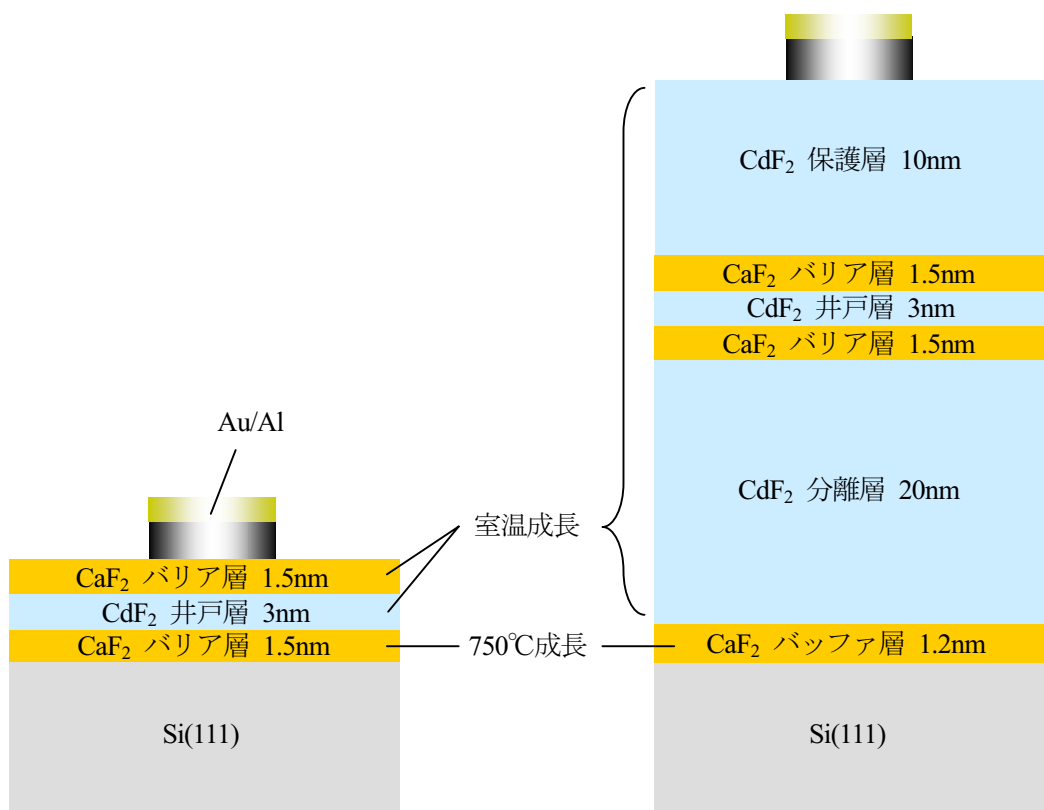
3.2, 3.3 節ではポスト酸化プロセスと活性層分離型構造の効果を個別に検証してきた。これまでの結果から、どちらの技術もバリア層の絶縁性向上によるリーク電流の低減という効果を持つことが分かっている。しかし、これらを組み合わせたときに加算的・相乗的に効果が上がるのか、どちらか一方に隠れてそれ以上の効果が出ないのかは未知であった。そこで本節ではポスト酸化プロセスと活性層分離型構造を組み合わせたときの効果について述べる。

図 3.35(d)に 2 つの技術を組み合わせた RTD の構造を示す。比較のためにポスト酸化、分離層の挿入ともに無しのもの、ポスト酸化のみ行って分離層無しのもの、ポスト酸化無しで分離層のみ挿入したものも製作した。それぞれの構造と製作条件は図 3.35(a)~(c)に示してある。このうち図 3.35(a), (b)の RTD は図 3.14 で、(c)は図 3.33(b)で示したものと同一の試料である。保護層の有無、バッファ層の厚さ、ポスト酸化の酸化時間に若干の違いはあるが、これらは電気特性の評価にはほとんど影響しない程度の差である。表 3.4 に各 RTD の歩留まりを、図 3.36 に J_p - J_v , PVR の分布をまとめたものを示す。歩留まりは NDR が観測された素子は全て動作したものと数えた。まず(a)の特性に対して(b), (c)を比較することで、ポスト酸化プロセスと分離層単独の効果について述べる。各技術の節でも述べたように、ポスト酸化、分離層ともに無い従来の構造に比べて(b), (c)の方が PVR と歩留まりが向上していることから、どちらの技術もリーク電流の低減に効果があることが分かる。 J_p - J_v も下がっていることからリーク電流だけでなくトンネル電流成分も低減されていることが読み取れるが、ポスト酸化を行った RTD については CaF_2 下の Si が酸化されたことにより、バリア層の膜厚が増加したためだと考えられる。分離層を挿入した RTD については、分離層の上に成長したことにより、面内の膜厚の不均一性が改善されたためだと考えられる。ここまではすでに述べた考察である。

(b), (c)を比べると、(c)の方が高い PVR が得られていることから、ポスト酸化プロセスの方がリーク電流を低減する効果は高いと言える。 J_p - J_v も低くなっているのは、ポスト酸化では生成された SiO_2 の分だけバリア層厚の総量が増えたためであろう。

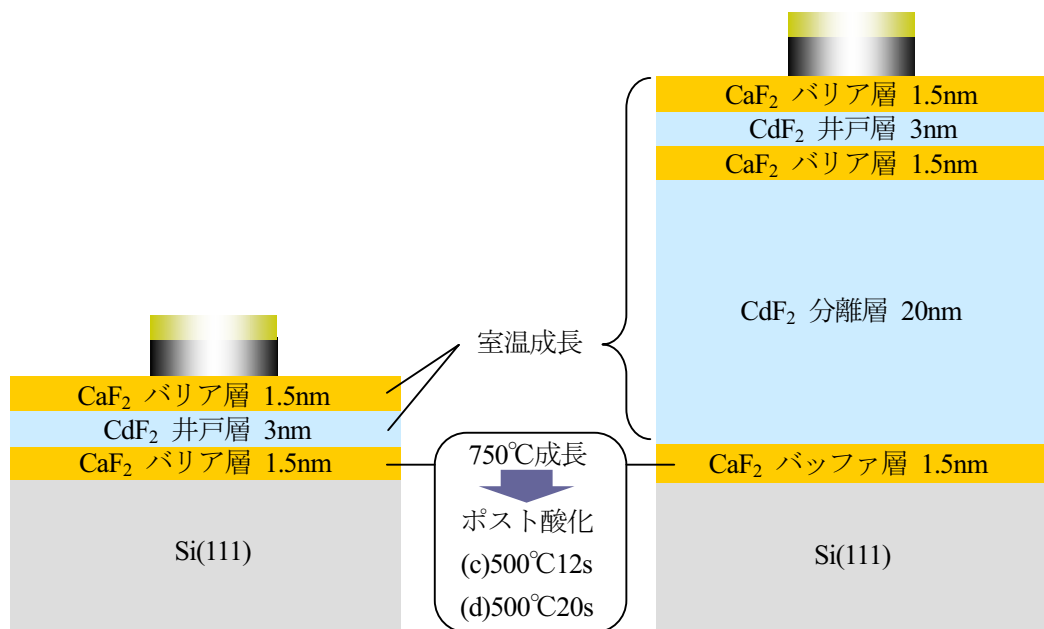
ポスト酸化、分離層の挿入を組み合わせた(d)の RTD ではそれぞれを単独で行ったものに比べて、同程度の J_p - J_v でも高い PVR が得られている。このことから、これらの技術を組み合わせることでリーク電流低減の効果が上がることが分かった。これはそれぞれの技術は単独では不完全な点があり、組み合わせによってその不完全性が互いに補われているためだと考えられる。各

技術の不完全性については推測の域を出ないが、ポスト酸化については酸化によって一層目 CaF_2 の結晶性が劣化すること、活性層分離型構造についてはピンホール領域での化学反応による局所的な劣化の影響を、分離層で緩和しきれなかったことが考えられる。2 つの技術を組み合わせた場合、分離層の挿入がポスト酸化によって生じた一層目 CaF_2 の欠陥を緩和し、その一方で、ポスト酸化が化学反応を抑制することで局所的な劣化を抑えるという相補的な効果を持っていると解釈している。歩留まりについては(b), (c)とほぼ同じで PVR のような向上は見られなかったが、これは歩留まりを制限する原因が結晶品質以外にもあるためだと思われる。



(a) ポスト酸化無し，分離層無し

(b) ポスト酸化無し，分離層有り



(c) ポスト酸化有り，分離層無し

(d) ポスト酸化有り，分離層有り

図 3.35 ポスト酸化と分離層の有無による比較のための RTD 構造と製作条件

表 3.4 高温成長 RTD の歩留まり (動作した素子数/測定した素子数)

		RTD の構造	
		基板直上型	活性層分離型
ポスト酸化の有無	無し	30.4% (7/23)	77.8% (14/18)
	有り	75.6% (31/41)	78.0% (32/41)

- (a) ポスト酸化無し, 分離層無し
- (b) ポスト酸化無し, 分離層有り
- (c) ポスト酸化有り, 分離層無し
- (d) ポスト酸化有り, 分離層有り

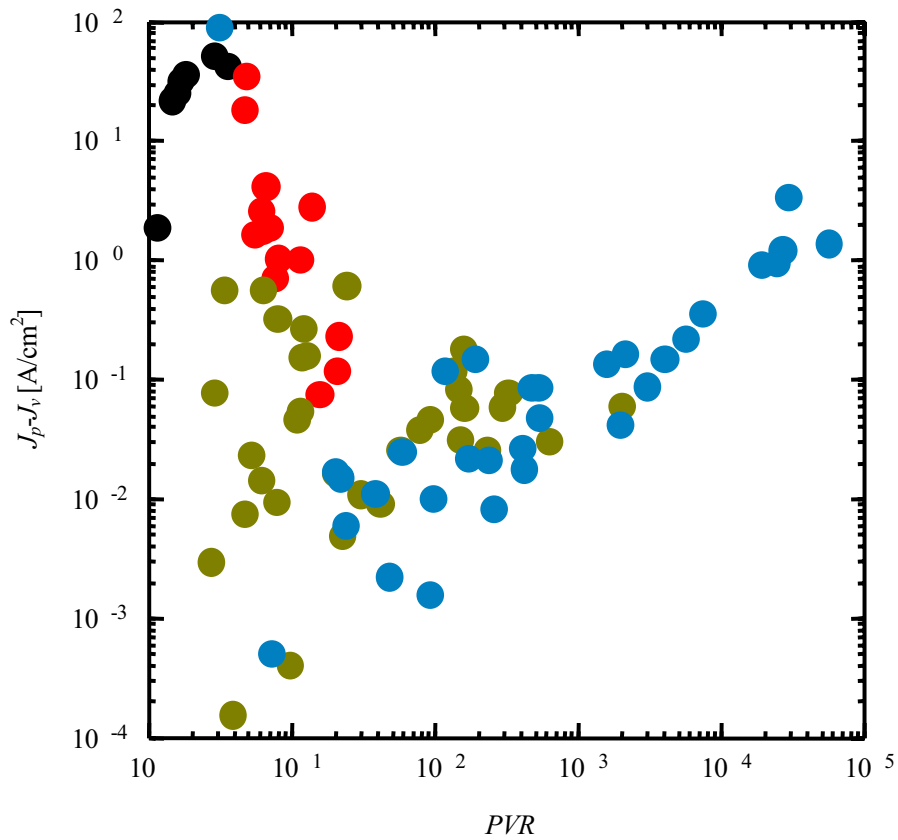


図 3.36 ポスト酸化と分離層の有無による RTD 電気特性の変化

3.4.2 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶による化学反応の抑制技術の導入

3.2 節で述べたように、高温成長は弗化物 RTD の不安定性の改善に有効である。しかし、ポスト酸化による化学反応抑制は、成長温度を 400°C まで上げても顕著な再蒸発を抑制できるものの、RTD の特性として見ると 300°C 以上でリーク電流が増加し、歩留まりが悪化していた。また、通電に対して電氣的に破壊されやすく、回路動作に耐えるものではなかった。これはポスト酸化プロセスのみでは化学反応抑制に対して限界があることを示唆している。このような問題に対して、本研究では先行研究で Si との化学反応を抑制できることが明らかにされている $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶技術を取り入れることを考えた。

$\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶のコンセプトは、 CaF_2 バッファ層の上に成長する 2 層目の CdF_2 の代わりに、Si との化学反応性が低い CaF_2 を混ぜた $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を用いることで化学反応を抑制するというものである。その効果を端的に示す実験結果を図 3.37 に引用する。これは CaF_2 バッファ層 1.2nm 上に $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ を 20nm 相当照射したときの CdF_2 に関する付着係数を RBS 法で測定し、照射時の基板温度に対してプロットしたものである。 $x=0$ の pure な CdF_2 を照射したときは 100°C 以上で顕著な再蒸発を起こしているが、混晶を用いることで 200°C まで顕著な再蒸発を起こさずに成長されていることが分かる。これは材料物性の制御によって化学反応を抑制するものであり、バッファ層の機能を強化するポスト酸化プロセスとは化学反応抑制のメカニズムが異なる。従って、これらの技術は化学反応に対して相乗的な効果を持つことが期待され、 300°C 以上の高温でも化学反応を完全に抑制できるのではないかと考えた。

図 3.38 に分離層と井戸層に $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ を用いた RTD の構造を示す。比較のために pure- CdF_2 を用いたものを製作した。バッファ層成長後にポスト酸化を $600^\circ\text{C}5\text{min}$ 行い、分離層以降を 300°C で成長した。電圧を $0\sim 2\text{V}$ まで繰り返し掃引したときの $I-V$ 特性を図 3.39 に示す。pure- CdF_2 を用いた RTD では 2 回目以降の測定では NDR が見えなくなり、一度消えてしまった NDR が逆方向バイアスによって回復することは無かった。 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ を用いた RTD では測定するたびに電流が下がってはいくが、100 回目の通電以降も NDR が観測された。図 3.39 の結果は一例だが、ほとんどの素子で同様の傾向が見られた。これは 300°C 成長によって電流のドリフトが抑制されたことに加え、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ によって化学反応抑制効果が高まったことで、絶縁破壊に対する耐性も向上したためだと考えられる。PVR は室温で成長したときのような非常に高い値は得られなかったが、回路動作をする上では NDR が安定して観測されることは必須であり、優先されると考える。以上より、ポスト酸化プロセス、活性層分離型構造、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を組み合わせることは RTD の電氣的特性の安定化に有効であるといえる。

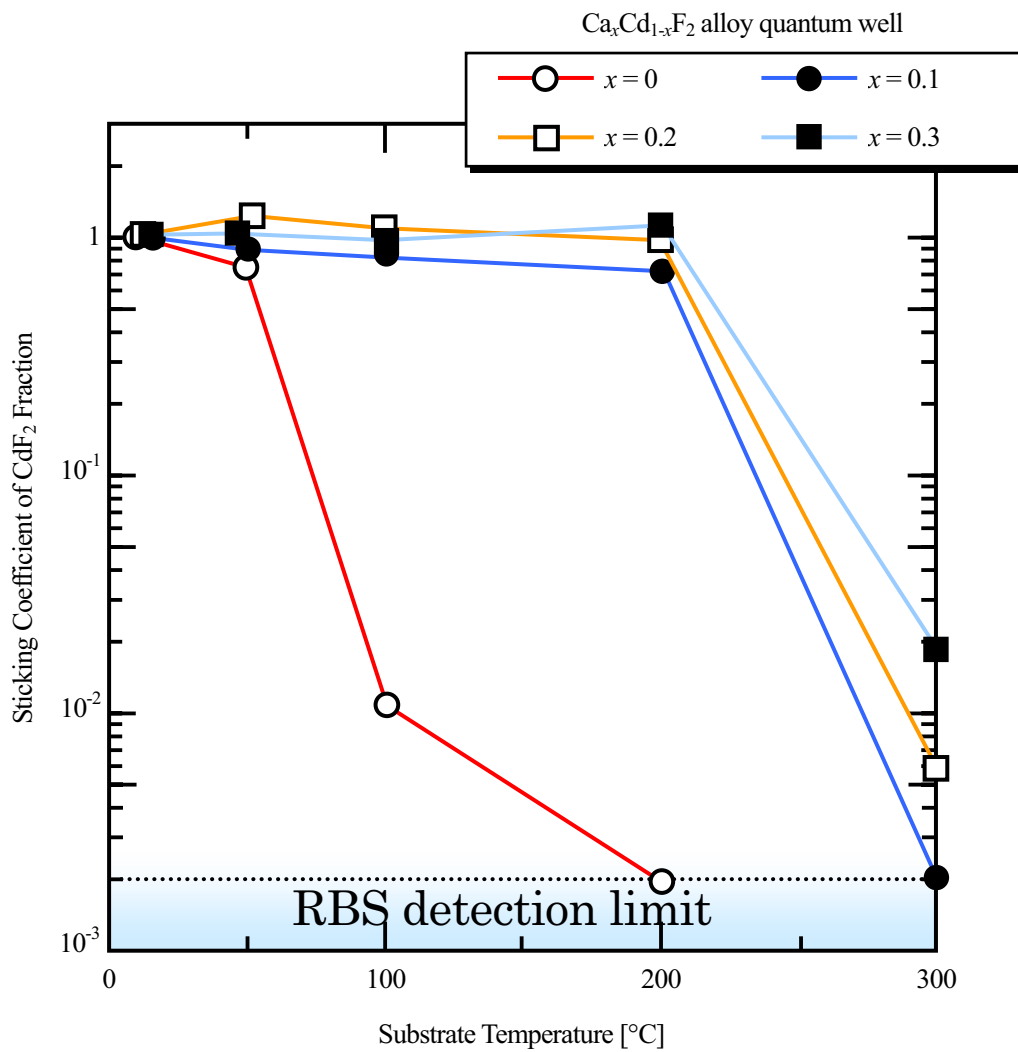
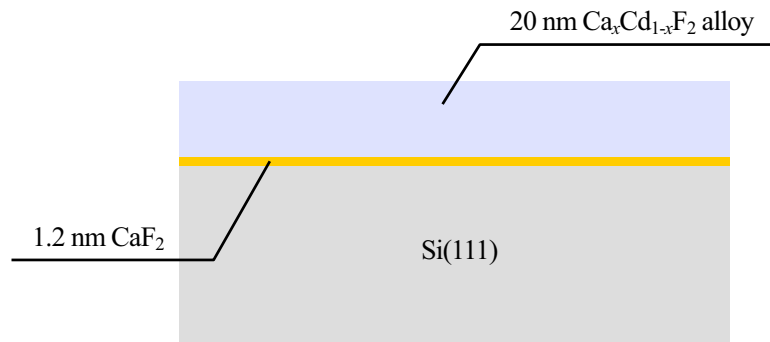


図3.37 CaF_2 バッファ層 1.2nm 上に $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 層を厚さ 20nm 相当照射したときの CdF_2 に関する付着係数の基板温度依存性[]

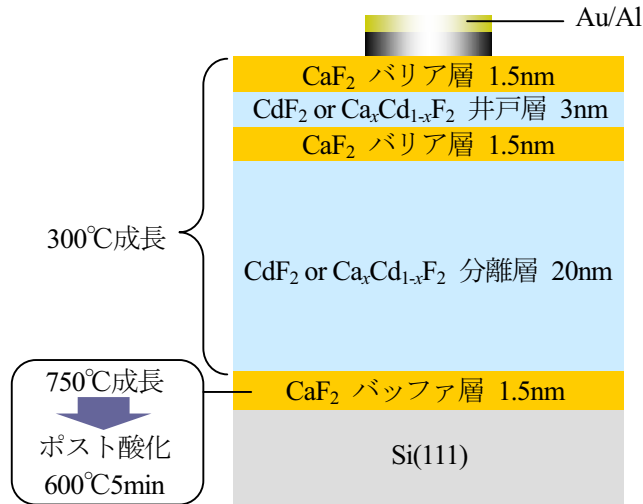
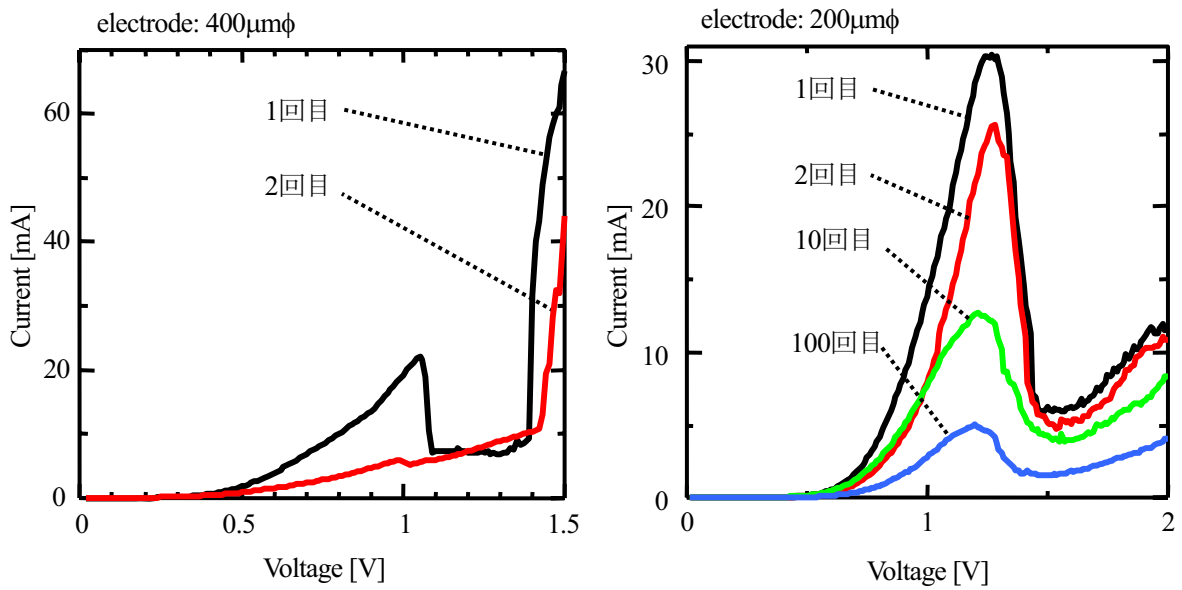


図 3.38 pure-CdF₂ または Ca_xCd_{1-x}F₂ 混晶を用いた RTD の構造と製作条件



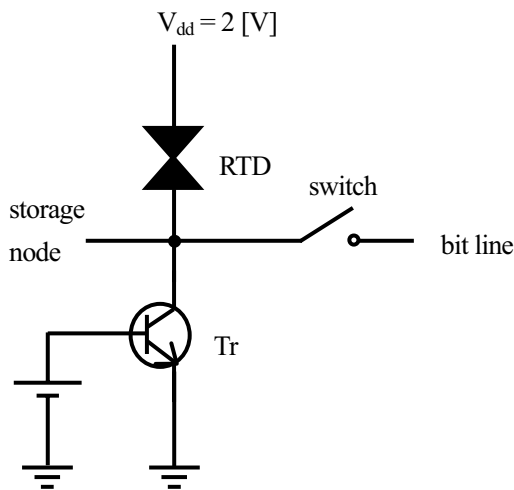
(a) pure-CdF₂ を用いた RTD の特性

(b) Ca_xCd_{1-x}F₂ 混晶を用いた RTD の特性

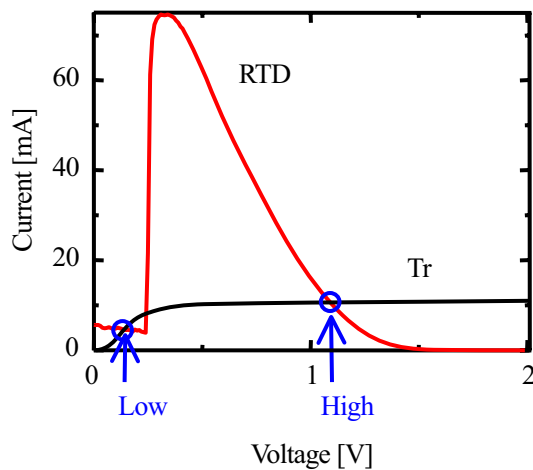
図 3.39 分離層と井戸層に pure-CdF₂ または Ca_xCd_{1-x}F₂ 混晶を用いた RTD の安定性の比較

3.5 RTD の双安定動作の観測

3.4 節でポスト酸化プロセス、活性層分離型構造、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶技術を組み合わせることで、RTD の安定性を改善することができた。そこで、この RTD をディスクリートのトランジスタ、スイッチ、電源を外付けで図 3.40(a)のように接続し、双安定メモリ動作の確認を行った。図 3.40(b) はトランジスタの特性とそれに対して RTD の特性を負荷線として描いたもので、2 つの特性の交点が storage node の安定点に対応する。図のように安定点が 2 つ存在することを利用して、この回路を 1bit の SRAM セルとして動作させることができる。書き込み動作は bit line の電圧で外から強制的に 2 つの安定点を遷移させることで行う。書き込みのタイミングはスイッチの ON/OFF 切り替えて制御する。読み出し動作は storage node の電圧を直接オシロスコープで観測する。実際に SRAM 動作を観測した結果を図 3.41 に示す。スイッチが ON のときに bit line の電圧が storage node に書き込まれ、その後スイッチを OFF にしてもその状態が保持されていることが分かる。このような書き込み動作を繰り返し観測することができた。このような双安定動作の観測は弗化物 RTD においては初めてであり、電気的安定性が向上したことを示す重要な結果である。



(a) SRAM 回路



(b) トランジスタの特性と RTD の負荷曲線

図 3.40 RTD を用いた SRAM 回路及び負荷線図による双安定点の確認

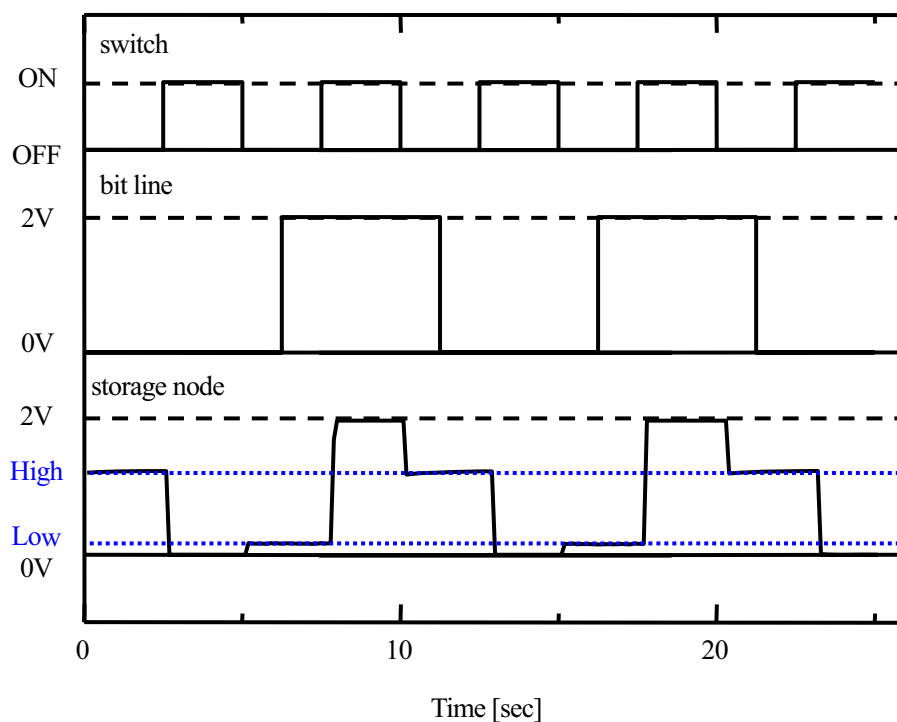


図 3.41 RTD を用いた SRAM 回路の双安定動作

3.6 本章で得られた結論

本章では弗化物 RTD の大きなリーク電流と電氣的不安定性の問題を引き起こす原因として、Si 基板上に直接成長する一層目の CaF_2 に存在するピンホールと、それを介した CdF_2 と Si の化学反応を仮定した。そしてその解決策として、ポスト酸化プロセス、活性層分離型構造を新たに提案した。各技術の単独の効果として、ポスト酸化プロセスは一層目の CaF_2 バッファ層のリーク電流の低減と化学反応抑制に、活性層分離型構造は弗化物/Si 界面からの悪影響を緩和することによるリーク電流低減に有効であることが分かった。また、これらを組み合わせることさらに特性が向上することから、これらの技術は相補的な関係にあることが分かった。さらに、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を分離層と井戸層に用いることによる化学反応抑制技術を導入し、従来よりも成長温度を上げた結果として、電氣的不安定性が改善された。それにより、弗化物 RTD としては初めて双安定動作に成功した。以上のことから、本手法は弗化物 RTD のリーク電流と電氣的不安定性の改善に有効であるといえる。

第3章の参考文献

- [3.1] M. Maeda, H. Kambayashi, S. Watanabe, and K. Tsutsui: Jpn. J. Appl. Phys. **42** (2003) 2453.
- [3.2] 前田 元輝, “Si基板上への弗化物混晶系超薄膜へテロ構造成長の研究”, 博士論文, (2005) 東京工業大学
- [3.3] R. Tsu, and L. Esaki: Appl. Phys. Lett. **22** (1973) 562.
- [3.4] I. F. Guillatt, and N. H. Brett: Journal of Materials Science Letters, **5** (1970) 615.
- [3.5] 日本表面科学会 編, “ナノテクノロジーのための表面電子回折法”, (2003) 丸善
- [3.6] H. H. Glascock, Jr., and E. B. Hensley: Phys. Rev. **131** (1963) 649.
- [3.7] T. Kobori and K. Tsutsui, Appl. Phys. Lett., **78** (2001) 1406.

第 4 章

V 溝構造による Si(100)基板上への 弗化物 **RTD** の製作

4.1 V 溝 Si(100)基板上弗化物 RTD の提案

弗化物 RTD の問題点の一つとして、現在実用ベースで用いられている Si(100)基板上に製作することが困難であることが挙げられる。これは 1.1.2 節第Ⅱ項にて述べたように、CaF₂ の(111)面の表面エネルギーが(100)面に比べて小さいため、Si(100)基板上で平坦な膜を得ることが困難であることが主な原因となっている (図 4.1)。近年、成長条件の最適化と成長領域を 100nm オーダーの狭い領域に限定する技術を駆使して、弗化物 RTD を Si(100)面上に直接形成する技術が報告されている⁴¹。本研究では別の考え方として、異方性エッチングを用いて Si(100)基板上に{111}面に囲まれたピラミッド型、もしくは V 字型の溝を形成し、その上に弗化物 RTD を成長させることを提案する。図 4.2 は異方性エッチングにより形成される溝の断面図を模式的に示したもので、本研究ではこの構造を V 溝構造と呼ぶことにする。

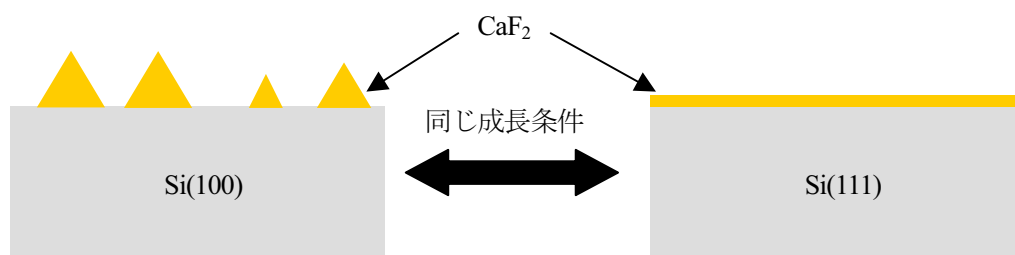


図 4.1 CaF₂ 薄膜の基板面方位依存性

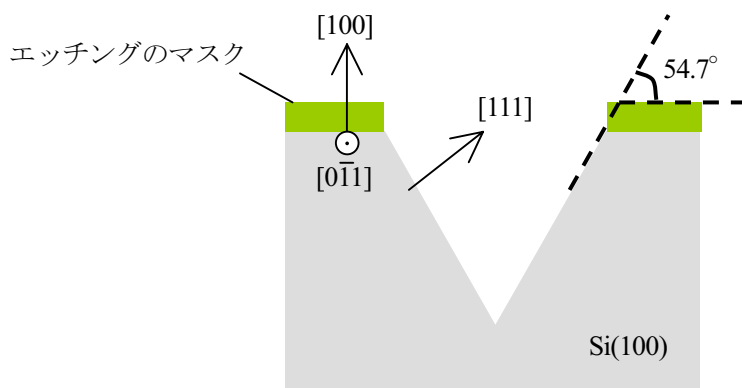
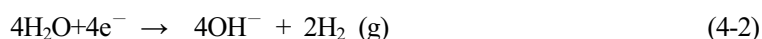


図 4.2 異方性エッチングにより {111} 面を露出した V 溝構造の断面模式図

4.2 Si の異方性エッチングの原理と手段

Si の異方性エッチングを行うための代表的なエッチャントとして、水酸化カリウム (KOH)、水酸化テトラメチルアンモニウム (TMAH)、エチレンジアミンピロカテコール(EDP)などが挙げられる。これらは全てアルカリ性水溶液であり、以下の反応によりエッチングが進行する。



この反応の(111)面に対する反応速度は他の面にくらべて非常に遅い。一例として、表 4.1 に⁴²より数値を引用した液温 70°Cにおける KOH 溶液の Si の各面方位に対するエッチングレートを示す。エッチャント、液温、濃度などの条件によっても変わるが、一般に(100)/(111)のエッチングレート比は数十から数百程度である。また、上で挙げたエッチャントの SiO₂ に対するエッチングレートは(111)よりもさらに小さい。そのため、SiO₂ をマスク材料として、図 4.2 に示したような{111}面を露出した V 溝構造を形成することができる。

表4.1 KOH溶液（液温70°C）のSiエッチングレートの面方位依存性（[4.2]より引用）

Crystallographic Orientation	Rates at different KOH Concentration [$\mu\text{m}/\text{min}$]		
	30%	40%	50%
(100)	0.797	0.599	0.539
(110)	1.455	1.294	0.870
(210)	1.561	1.233	0.959
(211)	1.319	0.950	0.621
(221)	0.714	0.544	0.322
(310)	1.456	1.088	0.757
(311)	1.436	1.067	0.746
(320)	1.543	1.287	1.013
(331)	1.160	0.800	0.489
(530)	1.556	1.280	1.033
(540)	1.512	1.287	0.914
(111)	0.005	0.009	0.009

本研究ではエッチャントとして KOH と TMAH を用いて V 溝構造の製作を行った。EDP は発ガン性があるため用いなかった。KOH は(100)/(111)のエッチング速度比が高い (数十～数百) ため、オーバーエッチによるマスクパターン下へのサイドエッチを小さくしやすいが、SiO₂との選択比が低く SiO₂をゲート絶縁膜に用いた MOSFET などとの集積を行う場合、プロセス上の制約が生じる可能性がある。また、アルカリイオンは半導体中で可動イオンとして振舞うため、最終的には K⁺を含む KOH を利用することは難しいかもしれない。

TMAH は SiO₂ との選択比が極めて高く、アルカリイオンも含まないため、半導体プロセスには適している。しかし、(100)/(111)の速度比が KOH ほど高くない (数十～100 程度) ため、オーバーエッチによるマスクパターン下のアンダーカットが問題になりやすく、エッチング時に SiO₂がわずかでも存在するとエッチングがほとんど進行しないため、エッチングムラが生じやすいという欠点もある。

以上のような特徴を持つ2種類のエッチャントを用いて、Si(100)基板上に V 溝構造を形成し、弗化物 RTD の製作を行った。

4.3 V 溝 Si(100)基板上 RTD の製作

4.3.1 エッチング条件の決定

本研究では熱酸化により形成した SiO₂に 9×9, 9×45μm の各辺が[011]と[0 $\bar{1}$ 1]方向に沿った正方形または長方形の窓を開け、その中に V 溝構造を形成する。[100]方向のエッチング深さは図 4.3 に示すように $(a \div 2) \times \tan 54.7^\circ$ で決まるため、今回用いるパターンでは a=9μm であるから、6.36μm となる。このときの KOH, TMAH のエッチング条件を検討した。

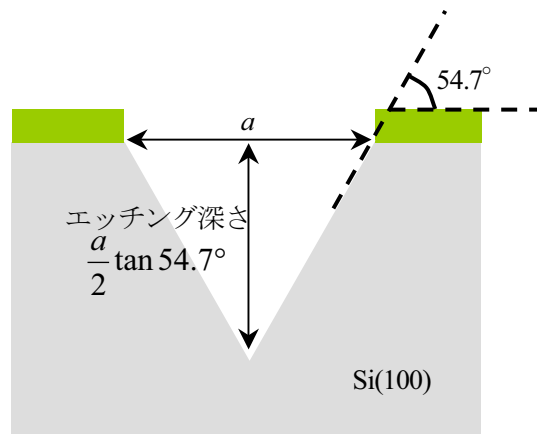


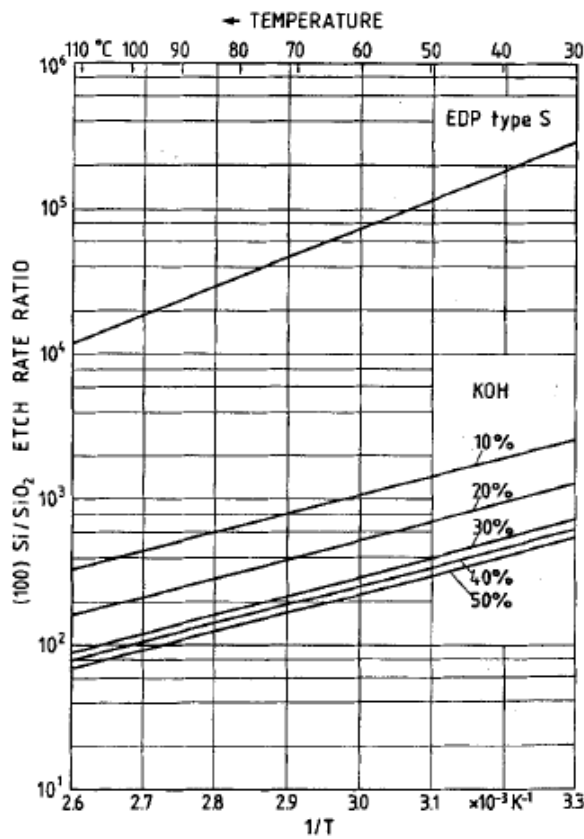
図 4.3 エッチング深さの求め方

I. KOHのエッチング条件

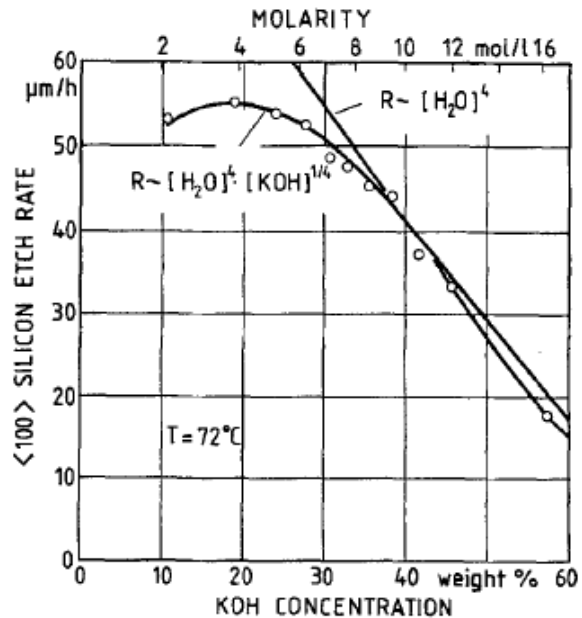
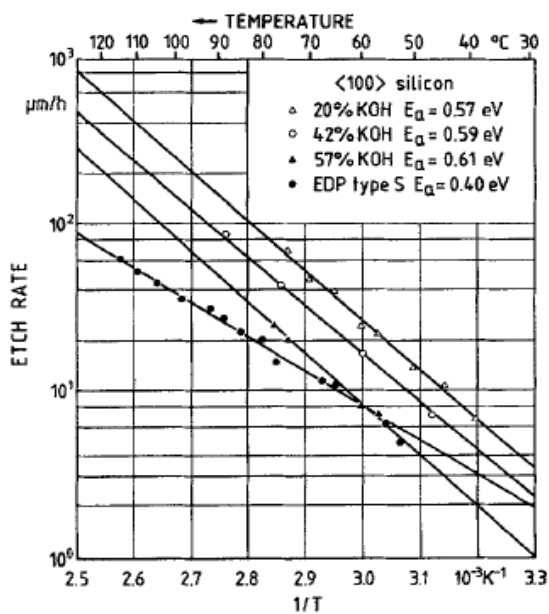
KOHを用いてSiの異方性エッチングを行う場合、現実的なエッチング条件の範囲で(100)面とSiO₂の選択比を出来るだけ高くしたい。図4.4に文献[4.3]より引用した、(a) (100)Si/SiO₂エッチング選択比のKOH濃度と液温依存性、(b) (100)面エッチングレートの液温依存性、(c) (100)面エッチングレートのKOH濃度依存性を示す。図4.4(a)よりSiO₂との選択比上げるためには濃度と液温を低くすれば良い。一方、(100)面のエッチングレートは液温を低くするほど下がるため、液温を下げすぎてしまうとエッチング時間が現実的ではなくなってしまう。よって、エッチング深さに対して現実的なレートの範囲で、液温を低く設定することが望ましい。(100)面エッチングレートの濃度については20wt%付近で最大となり、それ以上では濃度が高いほどレートは低下していく。これより、低い液温でも十分なエッチングレートを確保するという観点から、濃度は10~20wt%程度が妥当であると考えた。以上のような考え方から、本研究では今回のエッチング深さ6.36μmを考慮して、KOH濃度18wt%、液温60℃もしくは70℃の条件でエッチングを行うことにした。

II. TMAHのエッチング条件

TMAHを用いる場合、SiO₂との選択比は高いが、(100)/(111)の選択比がKOHより低いため、問題になり得る。TMAHに関するいくつかの文献[4.4]~[4.6]からエッチング条件とレートを引用してグラフ化したものを図4.5に示す。(100)/(111)選択比に関してはTMAH濃度や液温に対する明確な傾向が分からなかったため、データのある80℃もしくは90℃で行うこととした。濃度についてはエッチングレートがKOHとおおよそ一致するように22wt%とした。

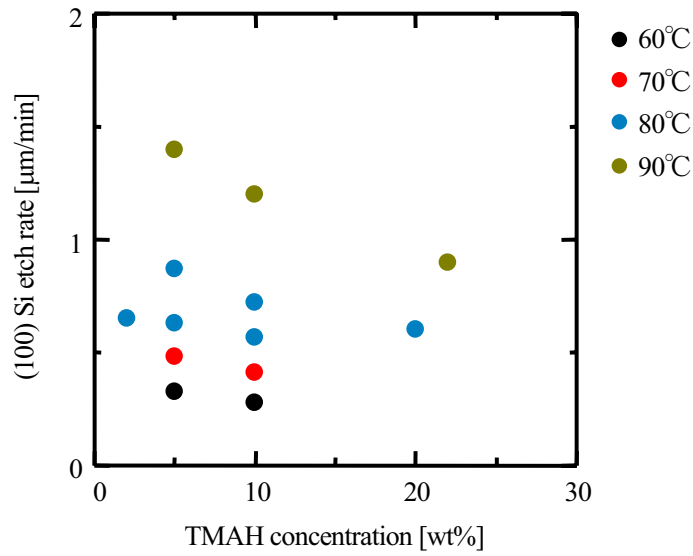


(a) (100)/SiO₂ エッチング選択比の KOH 濃度と液温依存性

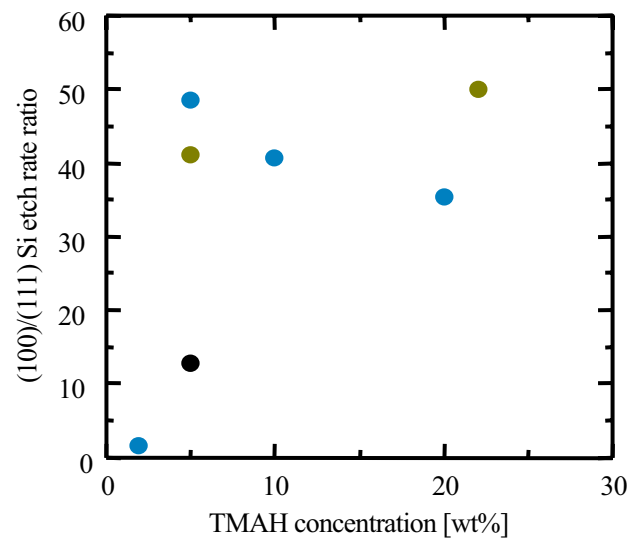


(b) (100)面エッチングレートの液温依存性 (c) (100)面エッチングレートの KOH 濃度依存性

図4.4 KOHエッチングの(100)Si/SiO₂選択比と(100)面エッチングレートの液温、KOH濃度依存性^{4.3}



(a) (100) Si のエッチングレート



(b) (100)/(111)エッチングレートの選択比

図 4.5 TMAH エッチングの(100)Si/SiO₂ 選択比と(100)面エッチングレートの液温、KOH 濃度依存性^{4.4-4.6}

III. エッチングレートの測定

以上の条件を用いて KOH と TMAH の(100)面、(111)面、SiO₂ に対するエッチングレートを実際に測定した。測定用試料の製作手順を図 4.6 に示す。まず Si(100)または Si(111)基板に熱酸化で SiO₂ を成膜する (図 4.6(a))。酸化条件は wet 酸化で 1000°C25min で行った。このときの SiO₂ 膜厚

は(100)基板上では約 180nm、(111)基板上では約 200nm である。次にフォトリソグラフィとバッファードフッ酸 (BHF) を用いて SiO_2 の一部をエッチングし、Si を露出させる (図 4.6(b))。そして KOH または TMAH を用いてエッチングを行う (図 4.6(c))。エッチング条件は KOH は濃度 18wt%、液温 60°C で 30min、TMAH は濃度 22wt% で液温 90°C 9min、 80°C 15min で行った。KOH の液温 70°C に関しては実際の測定は行わずに文献値 $0.66\mu\text{m}/\text{min}$ を参考に条件を決定した。

エッチング深さの評価は、表面粗さ計 (DEKTAK) によって SiO_2 も含めたトータルの段差を測定し、そこからエリプソメータで測定した SiO_2 の膜厚を差し引くことで行った。 SiO_2 のエッチングレートは、エリプソメータで異方性エッチング前後の膜厚を測定し、計算した。KOH、TMAH のエッチングレート測定結果を表 4.2~4.4 にまとめる。KOH に関しては文献値とほぼ同程度の結果であった。TMAH に関しては成長レート、(100)/(111)面の選択比ともに文献値の半分程度であったが、大きな問題はないと判断した。

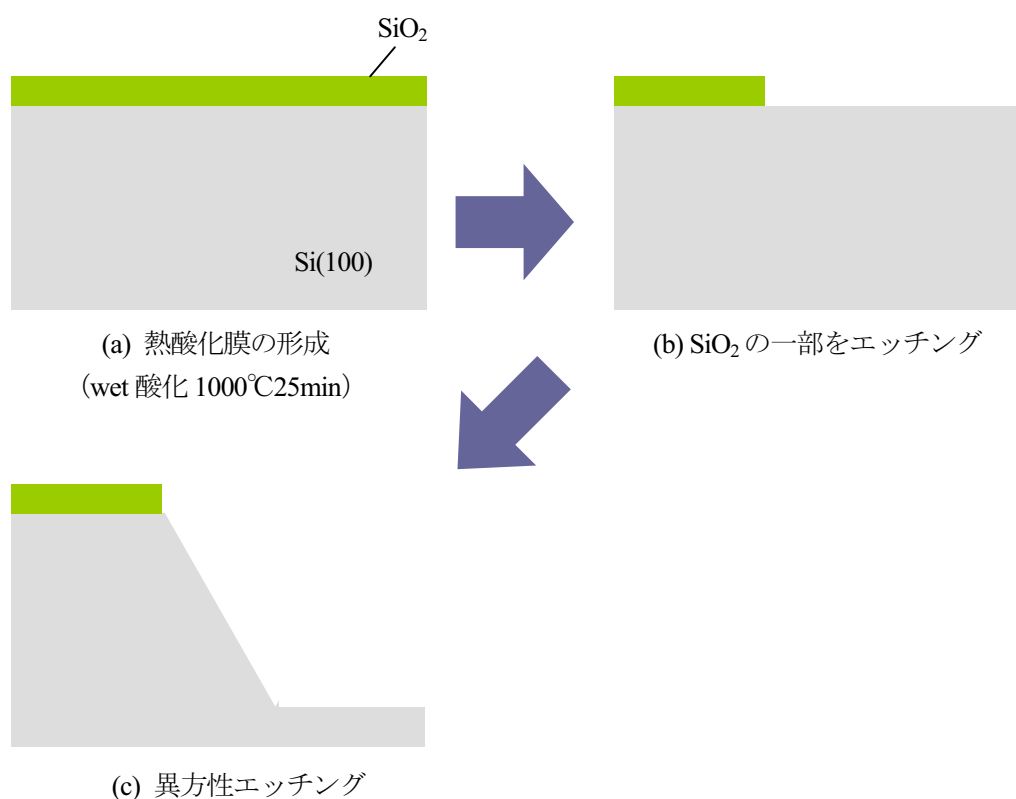


図 4.6 エッチングレート測定用試料の製作手順

表 4.2 KOH のエッチング量とエッチングレート
(濃度 18wt%, 液温 60°C, エッチング時間 30min)

サンプル	エッチング量[nm]	エッチングレート[nm/min]
Si(100)	13100	437
Si(111)	142	4.73
SiO ₂	64.3	2.14

表 4.3 TMAH (90°C) のエッチング量とエッチングレート
(濃度 22wt%, 液温 90°C, エッチング時間 9min)

サンプル	エッチング量[nm]	エッチングレート[nm/min]
Si(100)	5034	559
Si(111)	223	24.8
SiO ₂	5.20	0.58

表 4.4 TMAH (80°C) のエッチング量とエッチングレート
(濃度 22wt%, 液温 80°C, エッチング時間 15min)

サンプル	エッチング量[nm]	エッチングレート[nm/min]
Si(100)	5440	363
Si(111)	344	22.9
SiO ₂	3.09	0.21

4.3.2 V 溝構造と弗化物 RTD の製作

実際に Si(100)基板上に V 溝構造を形成し、その上に RTD を製作した。図 4.7 に断面模式図を用いて製作手順を示す。まず熱酸化により SiO₂ を 180nm 形成する (図 4.7(a))、フォトリソグラフィと BHF を用いて 9×9, 9×45μm の正方形または長方形の窓を開ける (図 4.7(b))。本研究ではこの窓をダイオードホールと呼ぶ。次に異方性エッチングにより V 溝構造を形成し (図 4.7(c))、基板洗浄工程を経た後に RTD を成長する (図 4.7(d))。最後に Al 電極を蒸着する (図 4.7(e))。各工程の具体的な条件を以下に示す。RTD の構造はポスト酸化プロセスを用いた基板直上型の構造で製作した (第 3 章参照)。

・使用基板 : 低抵抗 n-Si(100) オフ角±0.1°

・フォトリソ条件

ダイオードホールサイズ : 9 μm×45 μm, 9 μm×9 μm

・エッチング条件

KOH : 濃度 18% 液温 70°C エッチング時間 580s

または

TMAH : 濃度 22% 液温 90°C エッチング時間 780s

・RTD 成長条件 (各層の膜厚は[111]方向の厚さを記載した)

サーマルフラッシュ : 900°C20min

ホルダ回転速度 : 0.25 回転/s

第一バリア層 : CaF₂ 1.2nm (750°C成長)

ポスト酸化 : O₂ 1atm, 1 l/min, 500°C20s

井戸層 : CdF₂ 3nm (室温成長)

第二バリア層 : CaF₂ 1.2nm (室温成長)

・電極蒸着条件

Al 膜厚 : 表面 800nm、裏面 400nm

V 溝構造を形成した後、SEM で上面から観察した結果を図 4.8 に示す。意図していた V 溝構造が形成できていることが分かる。KOH で製作したもののみ載せたが、TMAH でも同様の構造が製作されることを確認した。

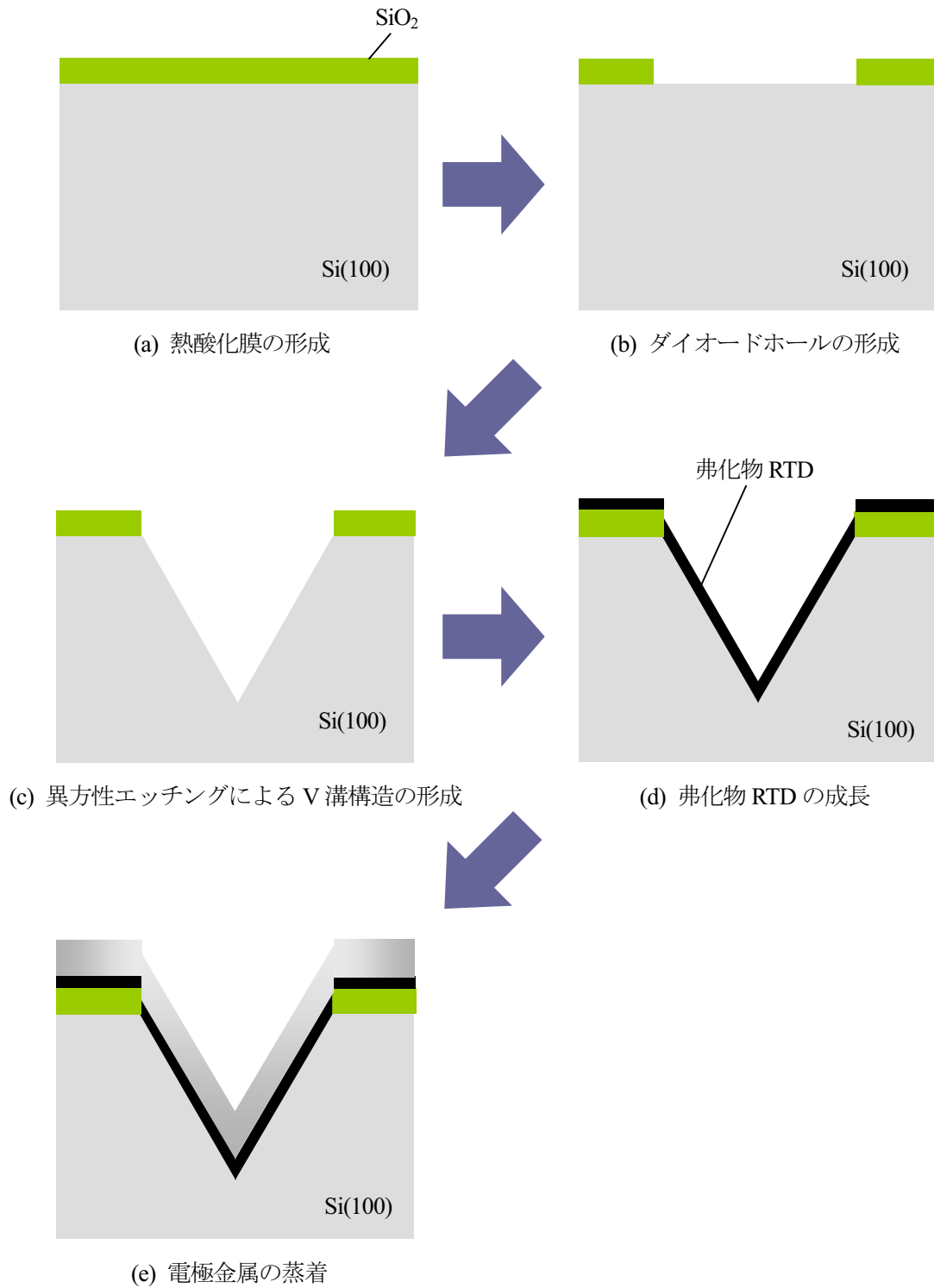


図 4.7 V 溝構造を用いた Si(100)基板上への弗化物 RTD の製作手順

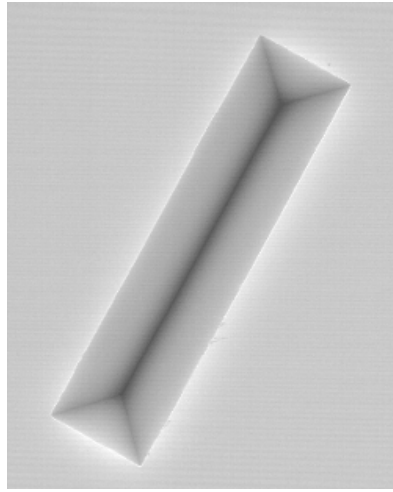


図 4.8 KOH により形成した Si(100)基板上 V 溝構造の上面 SEM 写真

V 溝構造上に MBE で成長する際の注意点について述べる。本研究で用いる MBE チャンバでは、基板に対してセルからの分子線が斜めから入射するため、図 4.9 に示すように V 溝構造では膜厚が偏りやすい。そこで、成長中は図 4.10 のようにホルダを回転させることで均一に成長するようにした。

また、V 溝構造の中に形成された {111} 面の面積は、[100] 方向に対するパターンの占有面積に比べて大きくなる。図 4.11 に示す長方形のパターンで考えると、V 溝構造における斜面の長さ L1, L2 共に $(a/2)\cos 54.7^\circ$ であるから、三角形部分の面積 S_{Δ} は

$$S_{\Delta} = \left(a \times \frac{a}{2 \cos(54.7^\circ)} \div 2 \right) \times 2 = \frac{a^2}{2 \cos(54.7^\circ)} \quad (4-5)$$

台形部分の面積 S_{\square} は

$$S_{\square} = \left\{ [b + (b - a)] \times \frac{a}{2 \cos(54.7^\circ)} \div 2 \right\} \times 2 = \frac{a(2b - a)}{2 \cos(54.7^\circ)} \quad (4-6)$$

よって、全体の面積 S は

$$S = S_{\Delta} + S_{\square} = \frac{ab}{\cos(54.7^\circ)} \approx 1.73ab \quad (4-7)$$

となり、平坦基板上の面積 ab に比べて 1.73 倍となる。分子線のフラックスが同じ場合、単位時間当たりにパターン内に入射してくる分子の量は変わらないから、その面積比だけ [111] 方向への成長レートは遅くなる。よって、その分成長時間を長くとった。

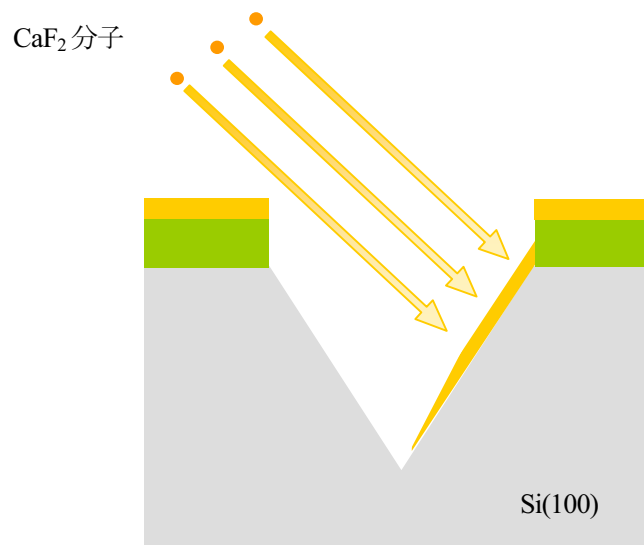


図 4.9 ホルダを回転しない場合の V 溝構造への成長

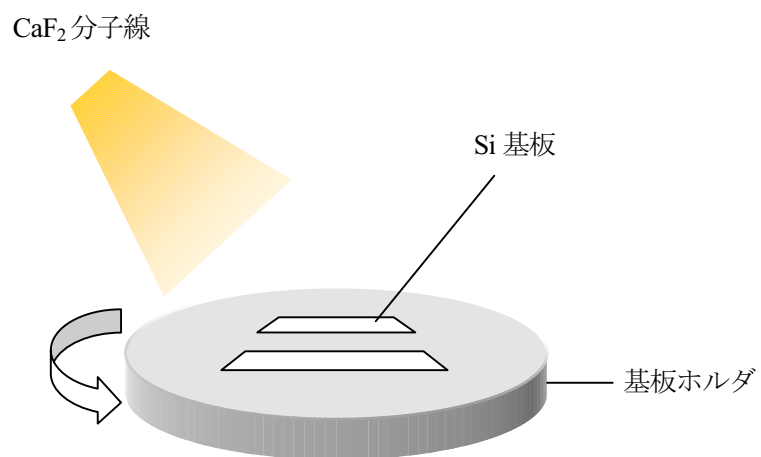


図 4.10 ホルダ回転の模式図

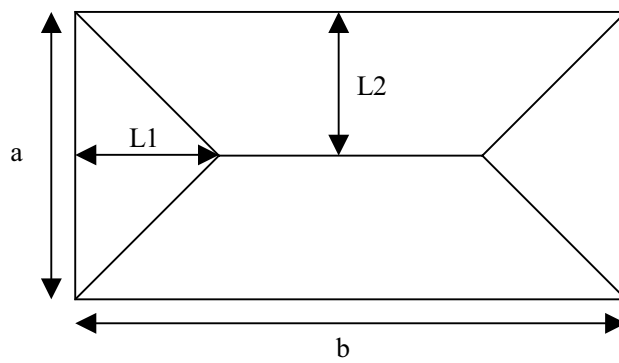


図 4.11 V 溝構造の上面模式図

4.3.3 V 溝基板上 RTD の電気特性と成長前のモフォロジーの関連性

製作した RTD の I - V 特性を複数の素子で測定し、 J_p - J_v , PVR の分布をプロットしたものを図 4.12 に、歩留まりを表 4.5 に示す。4.2.3 節で述べたように、 J_p - J_v はトンネル電流成分を、 PVR はリーク電流成分を反映している。比較のため、平坦な Si(111)基板上に製作した RTD の特性も示した。これは図 4.8 に示したポスト酸化 500°C12s の RTD と同一の試料である。図 4.12 より V 溝基板上に製作したものは、KOH, TMAH とともに Si(111)基板上に製作したものに比べて高いトンネル電流成分、 PVR が得られた。ただし、V 溝基板上に製作した RTD は 9×9 , $9 \times 45 \mu\text{m}$ パターン、Si(111)基板上の RTD では 200, 400, $800 \mu\text{m}\phi$ の円形電極を用いており、素子面積の違いや、周辺を SiO_2 に囲まれているか否かが異なるため、必ずしも対等な比較にはならないが、NDR が観測された素子に関しては Si(111)基板上 RTD に比べて遜色ない特性は得られていると言えそうである。しかし、歩留まりにおいては V 溝基板上に製作したもののの方が劣っており、特に KOH を用いたものは極端に悪い結果となった。

この原因として考えられるのが、異方性エッチングにより形成した {111} 表面のモフォロジーである。これを調べるためには AFM による表面の観察が有効だが、V 溝構造の {111} 面は基板表面に対して 54.7° の傾斜があるため、直接観察することが困難である。そこで、Si(111)基板を V 溝構造を形成するときと同じ条件でエッチングし、その表面を AFM で観察することでエッチング後のモフォロジーを評価した。試料の製作から AFM 観察までの手順と条件を以下に示す。

①エッチング

試料 1 : KOH 濃度 18wt%, 液温 70°C , 630s

試料 2 : TMAH 濃度 22wt%, 液温 90°C , 480s

試料 3 : エッチング無し

②基板洗浄

③MBE チャンバに搬送

④サーマルフラッシュ (T.F.)

$900^\circ\text{C}20\text{min}$

⑤MBE の外に搬出後、AFM で観察

図 4.13 に観察した結果を示す。エッチングを行った後の表面はエッチング無しのものに比べてステップのバンチングによる高い段差ができており、結果として RMS が悪化していた。また、

KOH を用いたものの方が TMAH を用いたものより高い段差が生じていた。バンチングによる荒れと RTD の歩留まりの悪化の傾向に相関があることから、このような荒れが V 溝構造の{111}表面においても生じており、歩留まり悪化の原因になっているのではないかと考えられる。この解決法については次節で述べる。

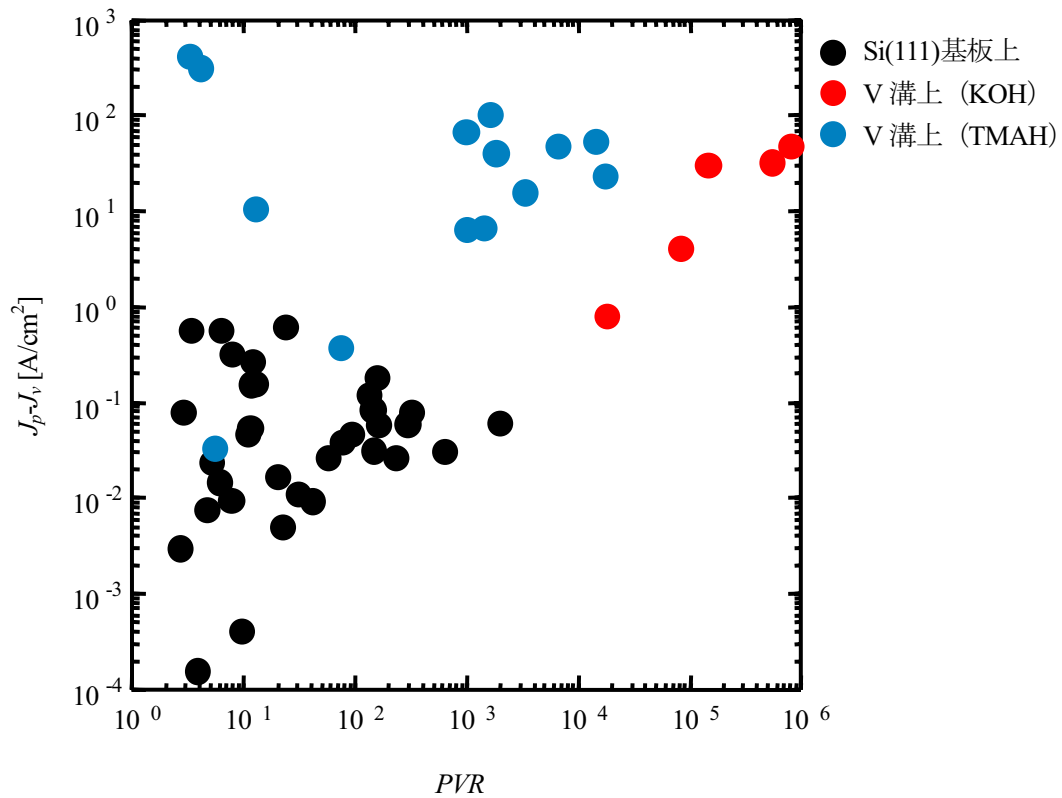
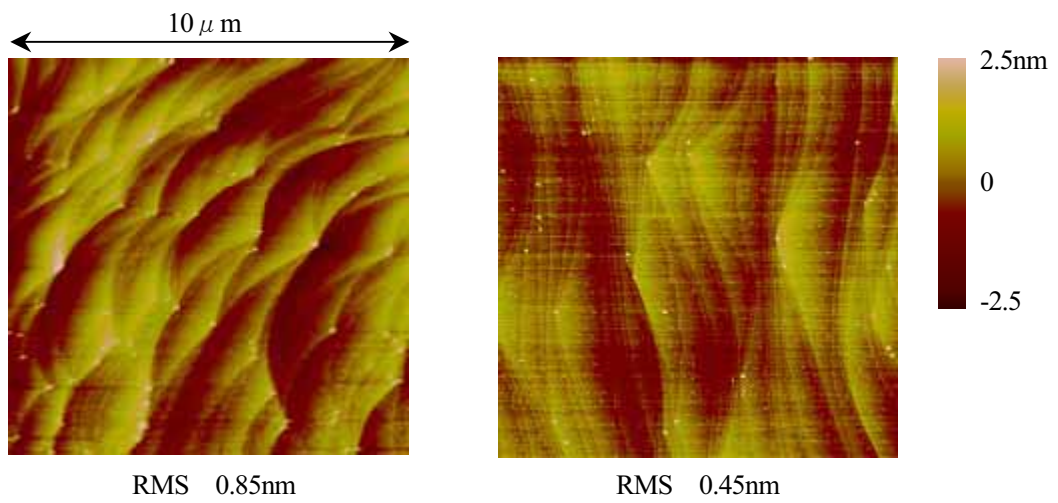


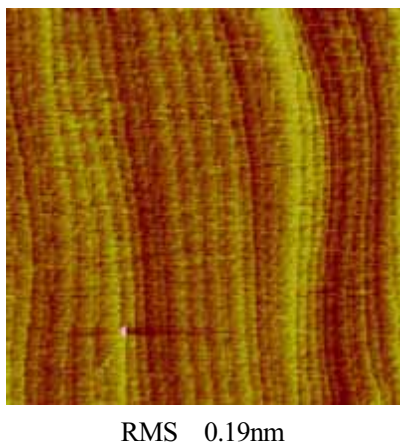
図 4.12 V 溝 Si(100)基板上に製作した基板直上型 RTD (9×9, 9×45μm パターン) と平坦な Si(111)基板上に製作した基板直上型 RTD (200, 400, 800μmφの円形電極) の $J_p J_v$, PVR における比較

表 4.5 V 溝基板上に製作した RTD と Si(111)基板上に製作した RTD の歩留まり

V 溝 (KOH)	V 溝 (TMAH)	Si(111)基板
9%	52%	75.6% (31/41)



(a) KOH 濃度 18wt%, 液温 70°C, 630s (b) TMAH 濃度 22wt%, 液温 90°C, 480s



(c) エッチング無し

図 4.13 KOH または TMAH でエッチングした Si(111)基板表面とエッチング無しの Si(111)基板表面の AFM 像 (900°C20min のサーマルフラッシュ後、大気中で観察)

4.3.4 活性層分離型構造による表面荒れの影響の緩和

基板直上型 RTD においては、活性層が異方性エッチング後の Si 表面荒れの影響を直接受けてしまう。そこで、4 章で基板界面の影響の緩和に有効であることが示された活性層分離型構造を用いることで、表面荒れの影響を小さくできるのではないかと考えた。以下に V 溝構造と RTD の製作条件を示す。

- 使用基板 : 低抵抗 n-Si(100) オフ角 $\pm 1^\circ$
- フォトリソ条件
 - ダイオードホールサイズ : $9\mu\text{m} \times 45\mu\text{m}$, $9\mu\text{m} \times 9\mu\text{m}$ (for KOH)
 - $3\mu\text{m} \times 27\mu\text{m}$, $3\mu\text{m} \times 3\mu\text{m}$ (for TMAH)
- エッチング条件
 - KOH : 濃度 18% 液温 60°C エッチング時間 17min
 - または
 - TMAH : 濃度 22% 液温 80°C エッチング時間 13min
- RTD 成長条件 (各層の膜厚は[111]方向の厚さを記載した)
 - サーマルフラッシュ : $900^\circ\text{C} 20\text{min}$
 - ホルダ回転速度 : 0.25 回転/s
 - バッファ層 : CaF_2 1.2nm (750°C 成長)
 - ポスト酸化 : O_2 1atm, 1 l/min, $500^\circ\text{C} 20\text{s}$
 - 分離層 : $\text{Ca}_{0.3}\text{Cd}_{0.7}\text{F}_2$ 20nm (300°C 成長)
 - 第一バリア層 : CaF_2 1.2nm (300°C 成長)
 - 井戸層 : $\text{Ca}_{0.3}\text{Cd}_{0.7}\text{F}_2$ 3nm (300°C 成長)
 - 第二バリア層 : CaF_2 1.2nm (300°C 成長)
- 電極蒸着条件
 - Al 膜厚 : 表面 800nm, 裏面 400nm

図 4.14 に製作した RTD の J_p - J_v , PVR の分布を、表 4.6 に歩留まりを示す。これらはそれぞれ図 4.12、表 4.5 に活性層分離型 RTD の特性を追加して示したものである。KOH をもちいたものでは、活性層分離型構造にすることによって、 10^4 を超えるような高い PVR を示す素子は少なくなりましたが、全体としては Si(111)基板上に製作したものに比べて遜色ない程度の特徴が得られて

おり、且つ歩留まりが大幅に改善された。この結果は、活性層分離型構造によってエッチング後の表面荒れの影響が緩和された効果だと考えられる。

しかし TMAH を用いた活性層分離型 RTD については、PVR は基板直上型と同程度のものが得られたが、歩留まりが低下していた。この試料において NDR が観測されなかった素子の特性は全て電流がほとんど流れなかった。これは TMAH の Si に対する (111)/(100)エッチング選択比が小さいため、図 4.15 に示すように、オーバーエッチングによってマスク SiO₂ 下のアンダーカットが起これ、電極の Al が断線している可能性がある。表 4.2, 4.4 に示した KOH と TMAH の (111)Si 面に対するエッチングレートを用いて、SiO₂ 表面から Si のエッチング面までの段差を計算すると、KOH では 244nm、TMAH では 890nm となる。今回蒸着した Al の厚さは約 800nm であるから、TMAH に関しては蒸着の角度によっては断線が起これている可能性は高い。よって、TMAH を用いて製作した活性層分離型 RTD の歩留まりが低いのは断線によるものと判断した。断線していると思われる特性を除いて算出した歩留まりは、表 4.6 の括弧内に示してあるように 100%であった。したがって、TMAH に関しても KOH と同様に、活性層分離型構造を用いたことによって歩留まりが向上する効果はあったと考えている。断線の問題に対してはエッチング条件の最適化により(111)/(100)選択比の向上、Al 膜厚を厚くする、パターンサイズを小さくして段差の絶対値を小さくする、などの対策により解決可能であり、本質的な問題とは考えていない。

以上のことから、活性層分離型構造は異方性エッチング後の表面荒れによる RTD の歩留まり低下の改善に有効であると結論付ける。

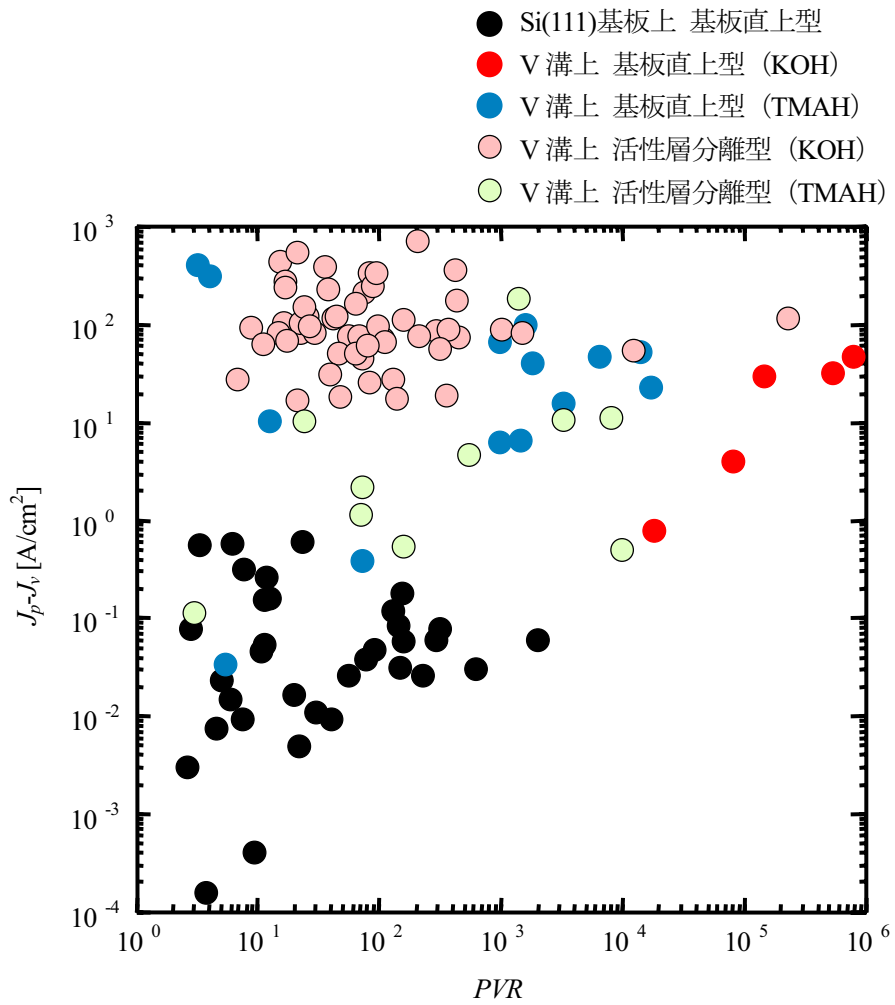


図 4.14 V 溝 Si(100)基板上に製作した活性層分離型 RTD の J_p-J_v , PVR の分布 (図 4.12 に追加した)

表 4.6 V 溝基板上に製作した各種 RTD の歩留まり

		RTD の構造	
		基板直上型	活性層分離型
エッチャント	KOH	9%	70%
	TMAH	52%	24% (断線を除くと 100%)
	無し (Si(111)基板上)	76%	

※空欄は未計測

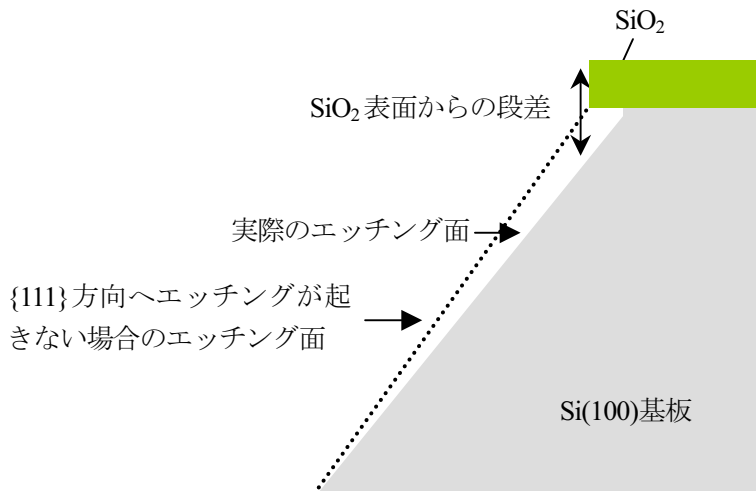


図 4.15 {111}方向へエッチングすることによるオーバーエッチングの模式図

4.4 本章で得られた結論

本章では Si(100)基板上に弗化物 RTD を製作する方法として、KOH, TMAH を用いた異方性エッチングによって、四方を{111}面で囲まれた V 溝構造を形成し、その上に弗化物 RTD を成長することを提案した。V 溝 Si(100)基板上に基板直上型 RTD を製作したところ、NDR が観測された素子に関しては平坦な Si(111)基板上に製作した RTD と遜色ない特性が得られたが、エッチング後の{111}面がステップのバンチングによって荒れてしまうことにより、歩留まりが悪化することが分かった。この荒れの影響を緩和するために、V 溝構造上に活性層分離型 RTD を製作したところ、KOH を用いた試料では歩留まりが改善され、Si(111)基板上のものに比べて遜色ない特性の RTD を得ることが出来た。TMAH を用いた試料では歩留まりの改善が見られなかったが、これはエッチングレートの(100)/(111)面の選択比が小さいため、マスクパターン下のアンダーカットの影響による電極の断線が原因だと考えられ、エッチング条件、Al 膜厚、パターンサイズの見直しによって解決できると判断した。以上のことから、本手法は Si(100)基板上に弗化物 RTD を製作する手段として有効であると考えられる。

第4章の参考文献

- [4.1] T. Kanazawa, A. Morosawa, M. Watanabe and M. Asada: Ext. Ab. 2005 Int. Conf. Solid State Devices and Materials, 2005, p.162.
- [4.2] K. Sato *et al.*: Sensors and Actuators A **64** (1988) 87.
- [4.3] H. Seidel, L. Csepregi, A. Heuberger, and H. Baumgartel: J. Electrochem. Soc. **137** (1990) 3612.
- [4.4] O. Tabata, R. Asahi, H. Funabashi, K. Shimaoka, S. Sugiyama: Sens. Actuators A **34** (1992) 51.
- [4.5] U. Schnakenberg, W. Benecke, P. Lange: Proc. 1991 Int. Conf. Solid-State Sensors and Actuators (1991) 815.
- [4.6] M. Sekimura: Proc. 12th IEEE Int. Micro-Electrical Mechanical Systems Conf. (1999) 650.

第 5 章

$\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ バリアを用いた非対称 RTD

5.1 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ バリアを用いた非対称 RTD の提案

RTD の回路応用を考える一つの方向性として、高速動作のためにピーク電流密度を大きく、且つ貫通電流による消費電力を抑えるためにピーク・バレー電流比 (PVR) を大きくしたいという要求がある。本章では弗化物 RTD においてこれを実現するためのデバイス構造について考え、それを実際に製作したデバイスで実証することを試みた。その際、文献[5.1]に示されている共鳴準位における電流密度 J_p と PVR の近似式が参考になる。二重障壁 RTD において二つのバリア層をそれぞれ単層で考えたときの透過確率のうち、高いほうを T_{max} 、低い方を T_{min} とおく。 $T_{min} \ll T_{max}$ のとき、 J_p と PVR は近似的に以下のように表すことができる。

$$J_p \cong q \frac{\hbar \pi E_r n(E_r)}{mW} T_{min} \propto T_{min} \quad (5-1)$$

$$PVR \cong \frac{\pi E_r n(E_r)}{NkWT_{max}} \propto \frac{1}{T_{max}} \quad (5-2)$$

ここで q は素電荷、 E_r は共鳴準位、 $n(E_r)$ は入射するキャリアのうち、ピーク電圧印加時に共鳴準位と同じエネルギーを持つキャリア密度、 m はキャリアの有効質量、 W は井戸幅、 N は入射するキャリアの総数である。式(5-1)、(5-2)より、 $J_p \cdot PVR$ 積は次のようになる。

$$J_p \cdot PVR \cong q \frac{\hbar \{ \pi E_r n(E_r) \}^2}{mkNW^2} \frac{T_{min}}{T_{max}} \propto \frac{T_{min}}{T_{max}} \quad (5-3)$$

ピーク電流密度と PVR を共に効率よく上げるためには $J_p \cdot PVR$ 積をできるだけ大きくとればよい。式(5-3)は $T_{min} \ll T_{max}$ のときの近似式であるため確定はできないが、 $J_p \cdot PVR$ 積は $T_{max} = T_{min}$ のとき、すなわち二つのバリア層の透過確率が等しいとき最大となることが予想される。しかし、これまで主に製作してきた図 5.1(a) のような左右対称な構造の RTD においては、電圧を印加したとき図 5.1(b) のように入射電子から見た 2 つのバリア層のバリア高さが異なるため、透過確率は等しくならない。よって非対称な構造が必要となる。

$T_{max} = T_{min}$ を満たす非対称構造の手段として、図 5.2(a) のように膜厚を非対称にする方法と、図 5.2(b) のようにバリア高さを非対称にする方法などが挙げられる。膜厚を非対称にする場合、

トンネル確率は膜厚に強く依存し、1分子層の増減によって大きく変動するため、 $T_{max}=T_{min}$ を満たすように制御することが困難であると予想される。一方、バリア高さを非対称にする場合、もしバリア高きの任意制御が可能であれば、 $T_{max}=T_{min}$ を満たす設計上のマージンを広くとることができる。弗化物材料は1.2.1節で述べたように、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を用いることで組成比 x に応じて E_c の位置を任意に制御できることが実験的に示されている^{1.51, 1.52}。そこで本研究では $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ をバリア層に用いた非対称構造によってRTDの特性を制御することを提案し、実際に製作したデバイスでその有効性を実証することを目的とする。

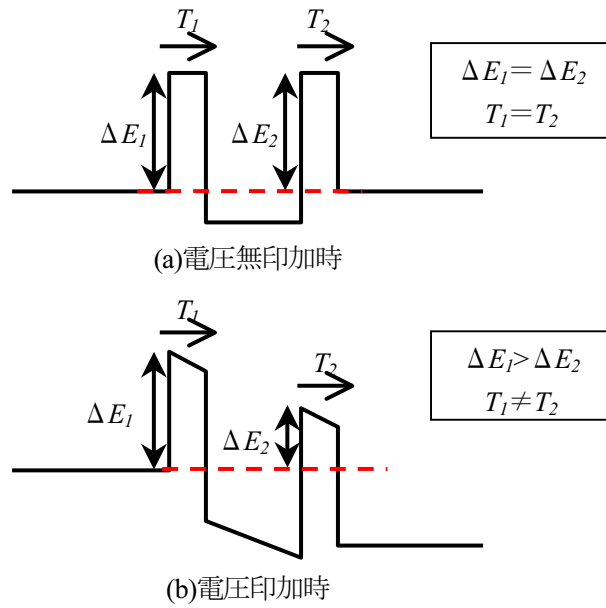


図 5.1 対称なバリアを持つ RTD のバンドダイアグラム

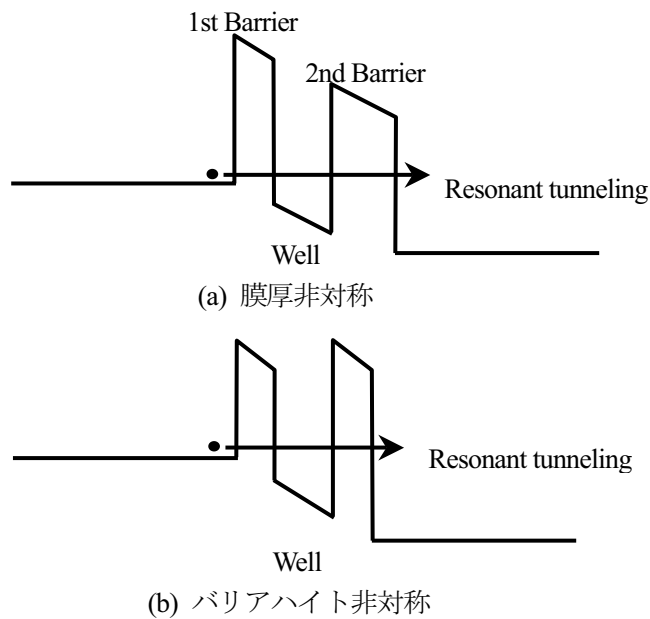


図 5.2 非対称構造の手段

5.2 シミュレーションによる本構造の有効性の確認

式(5-1)~(5-3)はいくつかの仮定と近似を含んだ式であり、弗化物 RTD における妥当性は実証されていない。たとえば J_p の導出において、注目する共鳴準位とは異なるエネルギーを持つ電子のトンネリングは無視されていることや、ヘテロ構造各層の物性の違いは考慮されていないことが挙げられる。そのため、前節で提案した $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶が本当に有効かどうかは分からない。そこで、式(5-1), (5-2)の妥当性を確かめるため、RTD の第一バリア層に $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を用いてバリアハイトを変化させたときの J - V 特性を Tsu-Esaki の式³³から計算し、ピーク電流密度、 PVR の変化を求めた。ここでは Si のフェルミ準位 E_F の位置が伝導帯端 E_C と等しい ($E_C - E_F = 0\text{eV}$) として計算している。また、電極金属との仕事関数差によるフラットバンドシフトは考慮していない。計算に用いたパラメータは表 5.1 の通り。

表 5.1 計算に用いたパラメータ

	比誘電率	電子の有効質量 m_e^*/m_0	Si に対するバンド不連続 [eV]
Si	12	0.26	0
CaF_2	6.78	1	2.3
CdF_2	8.83	0.16	-0.6

※ $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶については上記 3 つのパラメータに関してベガード則を適用している。

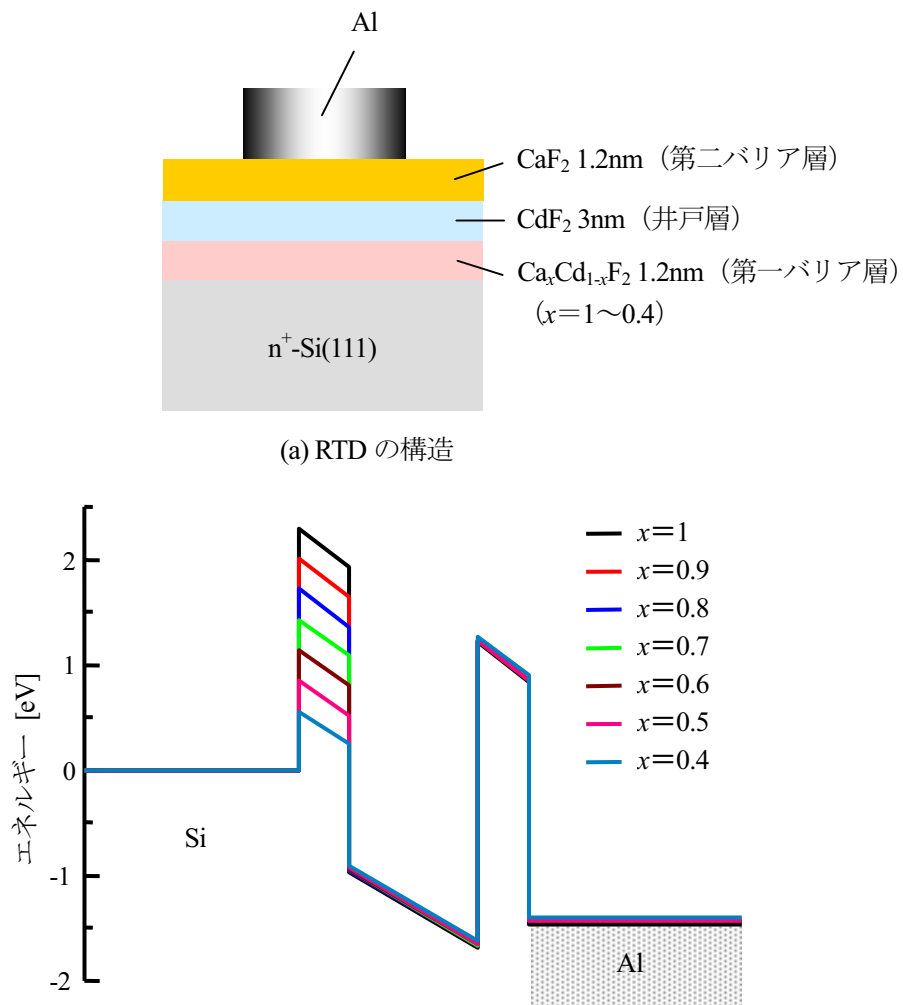
用いた RTD の構造と、電極側にピーク電圧 V_p を印加したときのバンドダイアグラムを図 5.3 に示す。第二バリア層のバリアハイトは構造によって若干変わるが、Si の E_C を基準として 1.03 ~ 1.17eV とほぼ一定であった。電界がかかっているため同じ層でも位置によってバリアハイトが異なるが、ここでは層内の平均値を採用した。

計算した J_p と PVR の結果を図 5.4(a)に、 $J_p \cdot PVR$ 積を図 5.4(b)に示す。図 5.4(a)を見ると、第一バリア層のバリアハイトが第二バリア層よりも高い領域では、 PVR がほぼ一定で、バリアハイトが低くなるほど J_p が高くなっている。バリアハイトが第二バリア層よりも低くなると、 PVR が下がり始め、 J_p はほぼ一定となっている。このような変化の仕方は、バリア層の透過確率の大小関係が逆転したと考えることで、式(5-1), (5-2)を用いて説明することができる。第一バリア層のバリアハイトが第二バリア層よりも高いとき、バリア各層の透過確率は $T_1 = T_{min}$, $T_2 = T_{max}$ となっている。このとき第一バリア層のバリアハイトが小さくなると T_{min} は高くなり、式(5-1)より J_p は増加する。第二バリア層のバリアハイトは変化しないため T_{max} はほぼ一定で、式(5-2)より PVR も

一定となる。第一バリア層のバリア高さが第二バリア層より低くなると、 T_1 , T_2 の大小関係は逆転し $T_1=T_{min}$, $T_2=T_{max}$ となるため、第一バリア層のバリア高きの低下に伴って PVR が減少し、 J_p はほぼ一定となる。このように、Tsu-Esaki の式から求めた J_p と PVR が、式(5-1), (5-2)から予測される変化の傾向と一致することから、これらの式の妥当性が確かめられた。

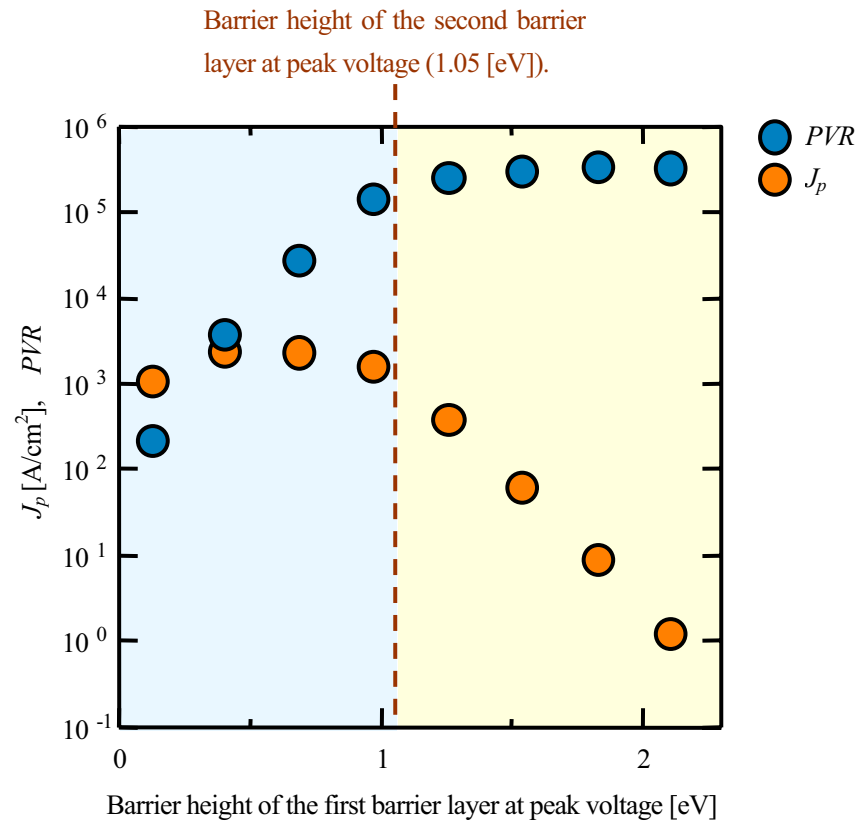
さらに図 5.4(b)を見ると、 $J_p \cdot PVR$ 積は2つのバリア高さがほぼ等しくなるところで最大となっており、 $T_{min}=T_{max}$ のときに最も効率よく J_p と PVR を上げることができる、という予測が正しいことも明らかになった。

以上のことから、本研究で提案する $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶をバリア層に用いた非対称構造は J_p と PVR の向上に有効であることが計算で示された。

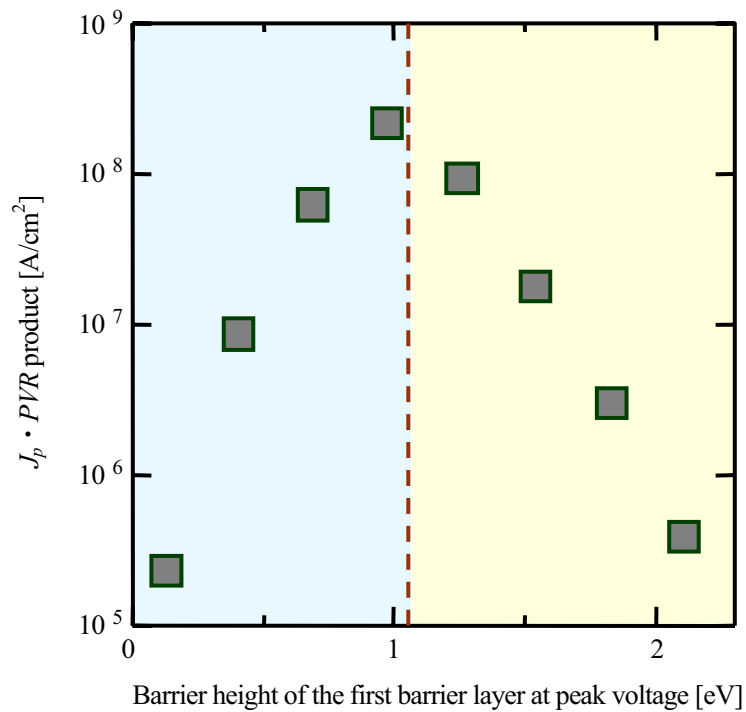


(a) RTD の構造
 (b) V_p 印加時のバンドダイアグラム
 (Si と 弗化物は伝導帯端 E_c 、Al はフェルミ準位のみ)

図 5.4 計算に用いた RTD の構造とバンドダイアグラム



(a) J_p と PVR



(b) $J_p \cdot PVR$ 積

図 5.4 J_p , PVR , $J_p \cdot PVR$ 積の $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 第一バリア層のバリアハイト依存性 (シミュレーション)

5.3 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ をバリアに用いた非対称 RTD の製作

I. 製作する RTD 構造の検討

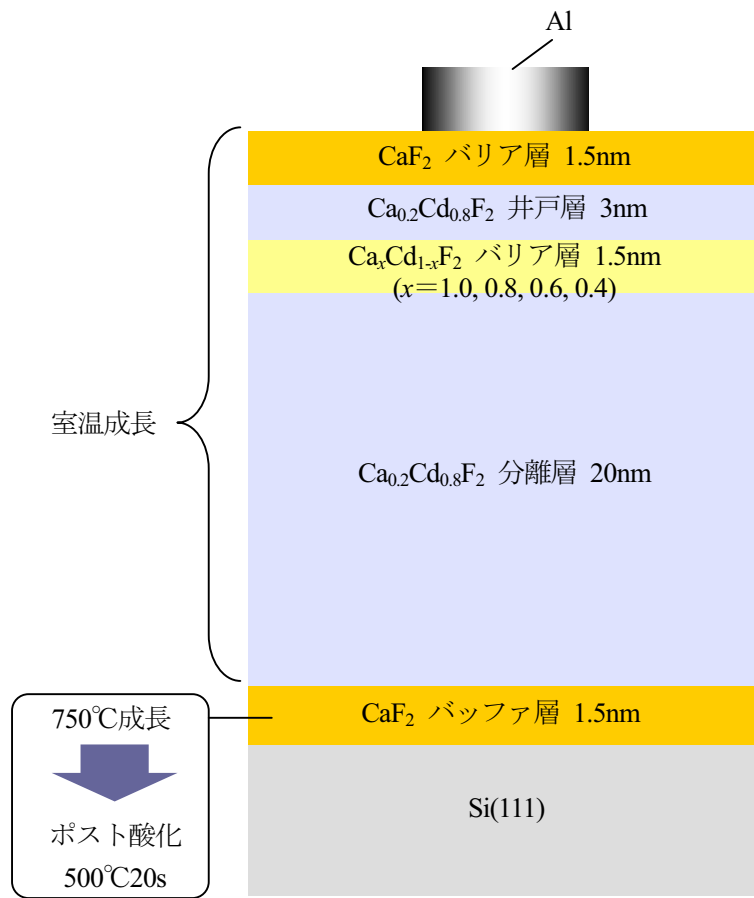
実際に $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶をバリアとして用いた非対称な構造の RTD の有効性を実験的に確かめるにあたって、混晶によるバリアハイト低減の効果を見やすい構造の検討を行った。基板直上型構造はシンプルな構造であるため、寄生抵抗による PVR の低下などが起こりにくいと考えられるが、なにも対策を行わないとリーク電流や歩留まりの低下によって本来の J_p , PVR を測定することはできない。また、バッファ層無しで第一層目に $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ を成長させようとする、 CdF_2 と Si の化学反応が起こってしまう。そこで、第 4 章で有効性を確認した活性層分離型構造を用いることにした。図 5.5 に実際に製作した RTD の構造とバンドダイアグラムを示す。活性層分離型構造と同じく第 4 章で有効性を確認したポスト酸化プロセス、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶分離層・井戸層の技術も組み合わせている。分離層と井戸層に用いた混晶の組成比は 0.2 とし、Si の E_c と同じに揃えた (図 5.5(b))。本章の目的においては、 J_p , PVR をできるだけ理想に近い形で測定することが重要であるため、化学反応によるリーク電流を抑えることを重視して、分離層以降の成長温度は上げずに室温とした。活性層の第一バリア層に用いた $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶の組成比を、 $x=1\sim 0.4$ まで変えて製作し、そのときの J_p と PVR を測定した。

II. 測定方法

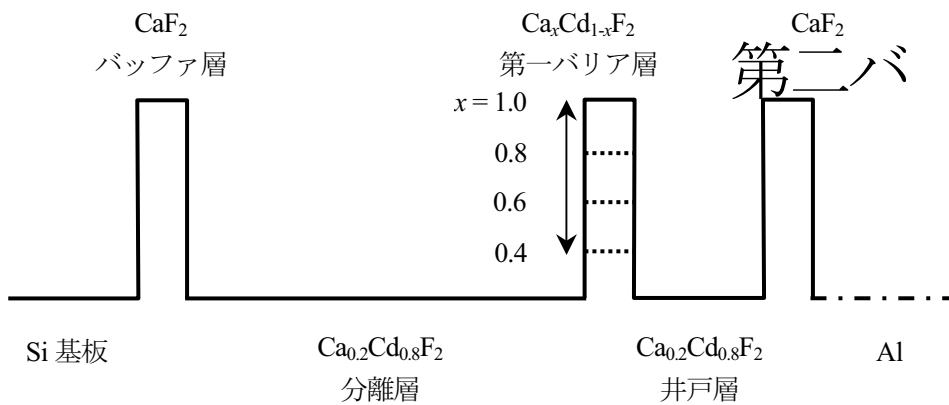
半導体パラメータアナライザ 4156A により室温で I - V 測定を行い、 J_p と PVR を求めた。チャージアップによる特性のばらつきをできるだけ抑えるため、表 5.2 の測定条件に揃えた。ただし極性は Al 電極側を正とする。これまでの経験上、負に電圧を印加したとき弗化物内に溜まった電荷は吐き出されると考えられるため、 $-4\sim 0\text{V}$ の電圧掃引の間に特性が初期化されているであろうと考え、このような測定条件とした。また、各素子 (電極) ごとに PVR が 2 以上の特性が 5 回観測されるまで繰り返し測定を行い、その中で最も PVR の良いものをその素子の特性とした。これは PVR が高い特性ほどリーク電流によるバレー電流増大やチャージアップによるピーク電流減少の影響が小さく、素子本来の特性を反映しているという仮定に基づく。

表 5.2 測定条件

掃引電圧	$-4\sim +3\text{V}$ (20mV 間隔)
サンプリングの積分時間	Medium (20ms per 1 sampling)



(a) RTD の構造と製作条件



(b) 電圧無印加時のバンドダイアグラム
(Si と弗化物は伝導帯端 E_c 、Al はフェルミ準位のみ)

図 5.5 バリア層に $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ を用いて製作した RTD の構造とバンドダイアグラム

III. シミュレーション (Tsu-Esaki の式) の条件

製作した RTD の測定結果を Tsu-Esaki の式から計算した結果と比較した。計算に用いた構造を表 5.3 に示す。製作する RTD に合わせて電子注入層を Si ではなく、分離層である $\text{Ca}_{0.2}\text{Cd}_{0.8}\text{F}_2$ とした。バリア層の膜厚が製作した RTD より薄い、これは膜厚を厚くすると透過確率が小さくなりすぎて計算が行えなかったため、このようにした。今回注目しているのは J_p , PVR の絶対値ではなく、2 つのバリアハイトの大小関係に対して変化する傾向であるため、問題ないと判断した。材料のパラメータに関しては表 5.1 を用いた。電子注入層である $\text{Ca}_{0.2}\text{Cd}_{0.8}\text{F}_2$ 分離層のキャリア濃度及び分布はフェルミ準位 E_F の位置が伝導帯端 E_C と等しい ($E_C - E_F = 0\text{eV}$) ときの Si と同じとした。

表 5.3 計算に用いた RTD の構造

分離層 (電子注入層)	第一バリア層	井戸層	第二バリア層	電極
$\text{Ca}_{0.2}\text{Cd}_{0.8}\text{F}_2$	$\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 0.9 nm $x=0.3\sim 1$	$\text{Ca}_{0.2}\text{Cd}_{0.8}\text{F}_2$ 3.0 nm	CaF_2 0.9 nm	Al

IV. 結果および考察

まずシミュレーション結果について説明する。図 5.6 にシミュレーションにより得られた J - V 特性を示す。前節で計算に用いた図 5.3 の構造では、2 つの共鳴準位が電子注入層である Si の E_C の下にあったため電気特性には寄与していなかったが、今回計算に用いた表 5.3 の構造では電子注入層と井戸層の E_C が等しいため、それらの共鳴準位も見られた。そこで、各ピークごとに J_p , PVR を読み取り、 $J_p \cdot PVR$ 積をピーク電圧印加時の第一バリアのバリアハイトに対してプロットしたものを図 5.7 に示す。破線はピーク電圧印加時の第二バリアのバリアハイトをピークごとに示したものである。第三ピークにおいては、 $J_p \cdot PVR$ 積の最大値をとる条件が 2 つのバリア層のバリアハイトが等しくなるときのほぼ一致していたが、第一、第二ピークにおいては一致していなかった。特に第一ピークは予想される条件から完全に外れている。この原因について、図 5.8 に示す J_p , PVR それぞれの第一バリアのバリアハイト依存性から考察する。

J_p を見ると、どのピークにおいてもバリアハイトの低下に伴って J_p が上昇し、その後飽和している。また、ピーク電圧が高くなり、第二バリアのバリアハイトが低くなるのに伴って、 J_p が飽和し始める第一バリアのバリアハイトも低くなっている。これらの傾向は定性的には式(5-1)から予想されるものと一致する。しかしその境界は 2 つのバリア層のバリアハイトが等しくなると

きとは必ずしも一致しておらず、第一バリアの方が低くなったところにずれている。これはバリア層を図 5.3 に比べて薄くしたことで、式(5-1)の近似条件 ($T_{min} \ll T_{max}$) が成り立たなくなる範囲が広がったためだと考えられる。以上のことから、 J_p の計算結果に関しては式(5-1)の予想から大きく外れるものではないといえる。

PVR においては第二、第三ピークについては第一バリアのバリアハイトの低下に対して一定値をとる領域があり、その後減少するという式(5-2)から予想される傾向が見られた。しかし第一ピークにおいてはバリアハイトに対して山形になっており、予想とは異なる傾向を示した。また、式(5-2)からの予想では第一ピークから第三ピークに進むにしたがって、第二バリア層のバリアハイトが低下し、それに伴って *PVR* が減少し始める第一バリアのバリアハイトも低くなるはずである。しかし計算結果は第一ピークが最も低く、第二ピークと第三ピークがほぼ同じであるという、予想とはまったく異なる結果であった。このように予想からはずれてしまう原因は、下位の共鳴準位の間隔が小さく、複数の共鳴準位をトンネルする電流が重なってしまうためだと考えられる。図 5.6 のバレー電流に注目すると、第三ピーク後は電流がなだらかに変化しているのに対して、第一ピーク、第二ピーク後は鋭角的に上昇し始めており、次の共鳴準位の電流が重なっていることが読み取れる。特に第一ピークに関しては、本来ピーク電圧が低い方がバレー電流が小さくなるが、今回の計算結果ではピーク電圧の高い第二、第三ピークに比べて大きい値となっており、次の共鳴準位の電流が重なった影響を大きく受けている。図 5.9 にこのような複数のピークの重なりがなかった場合に予想される *PVR* を、図 5.8 に追加したものを示す。このように、単独の共鳴準位で見たときは実線で示した特性であるものが、次の共鳴準位のトンネル電流が重なることによってバレー電流が増加し、今回計算したように予想から大きく外れた結果になったものと考えられる。

以上のことから、本節で用いた表 5.3 の構造は J_p は式(5-1)から予想される傾向と一致するが、*PVR* に関しては第一、第二ピークがそれぞれの次のピークと重なった結果として、式(5-2)から予想される傾向とは一致しないことが分かった。図 5.7 の $J_p \cdot PVR$ 積が予想される傾向と一致しないのもこれが原因である。実測値との比較はこれらのことに注意しながら行わなければならない。

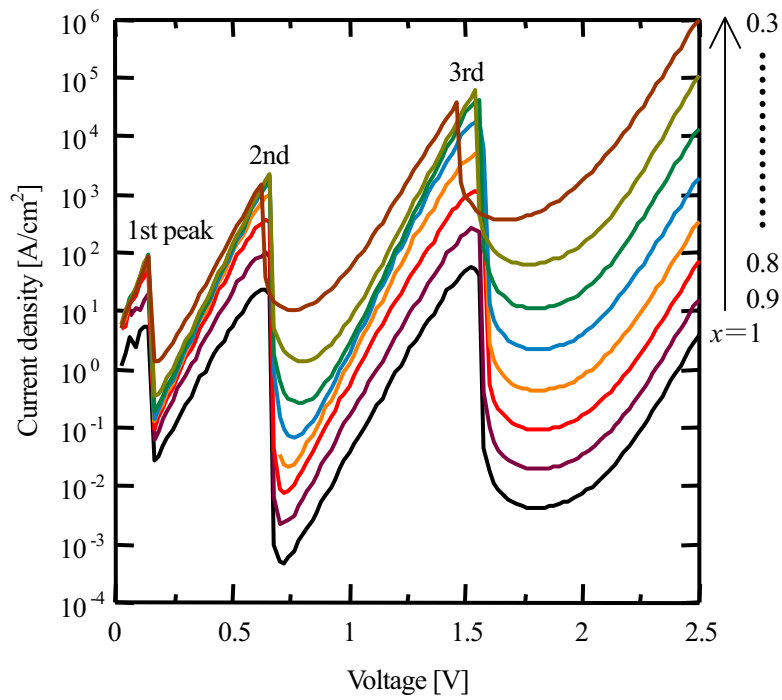


図 5.6 シミュレーションで得られた RTD の J - V 特性

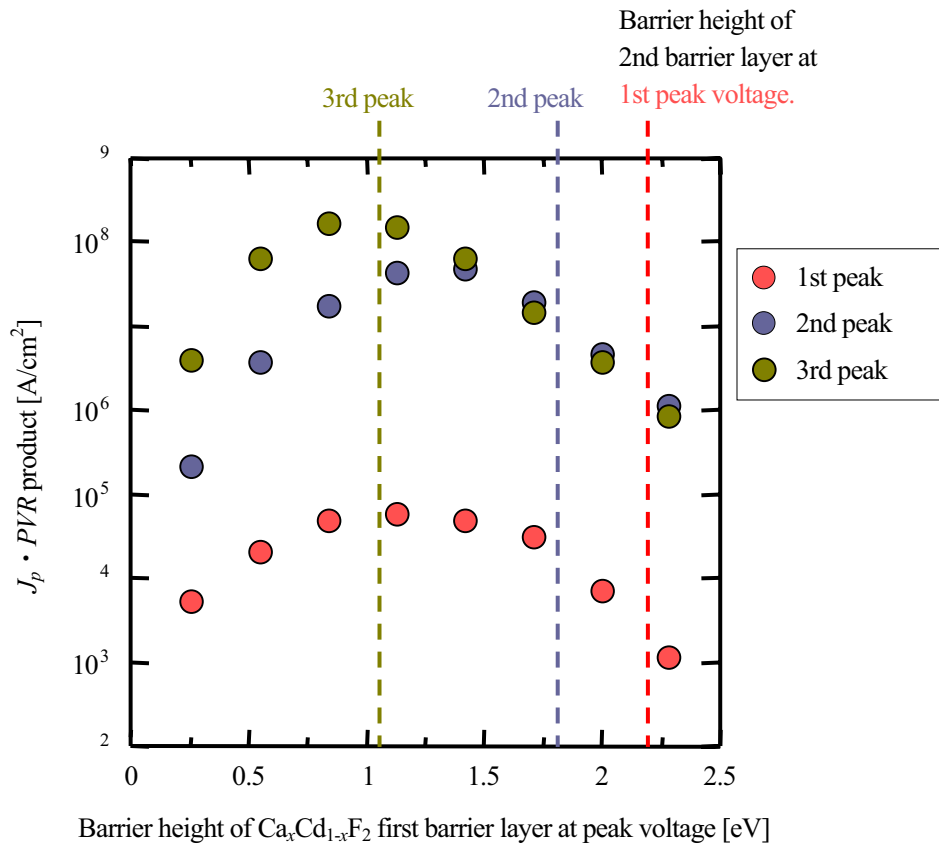
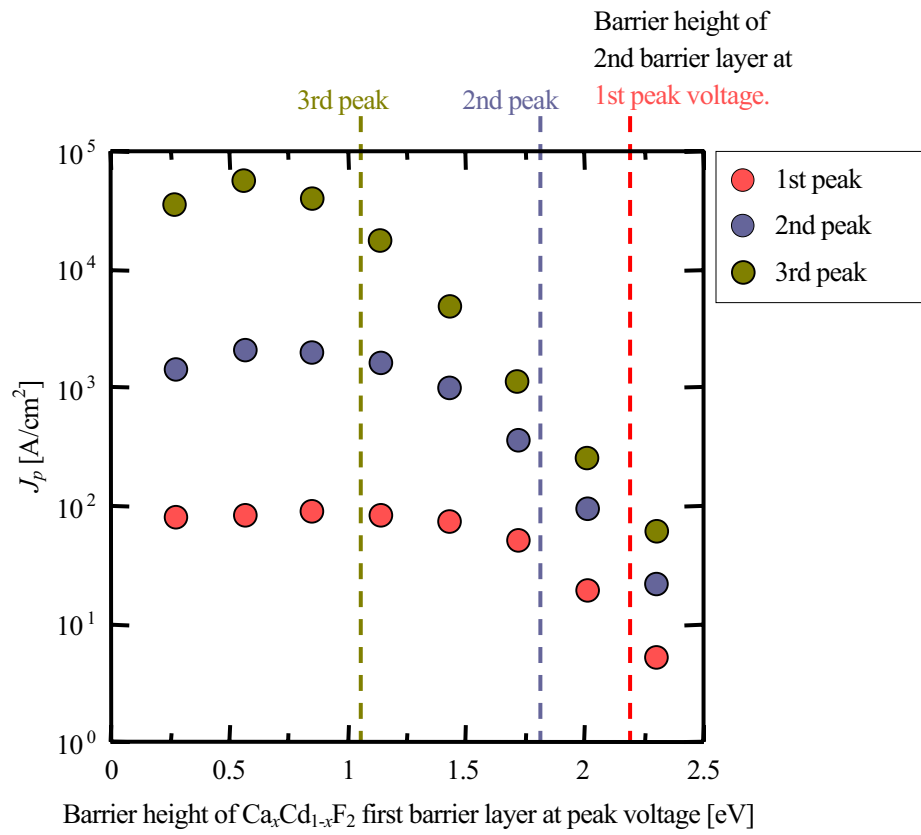
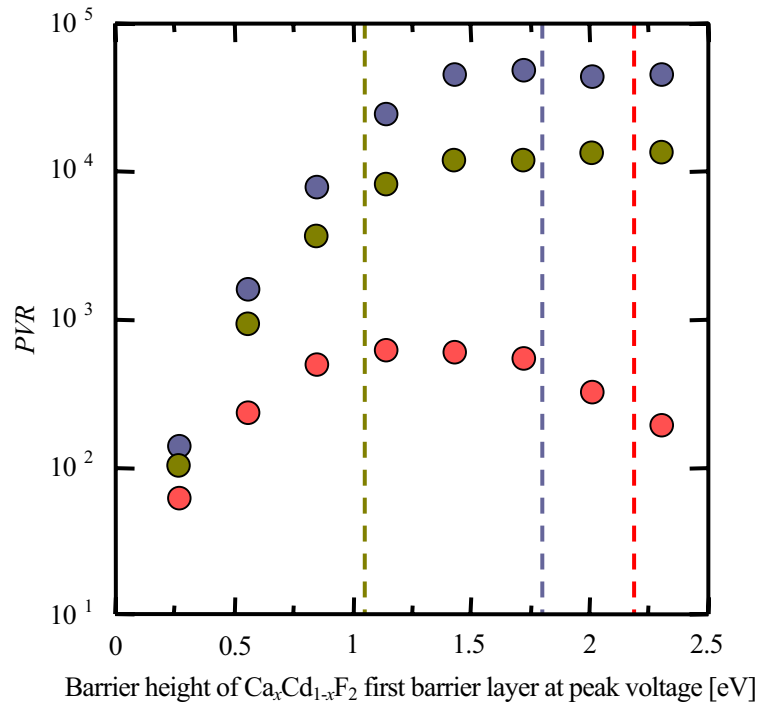


図 5.7 活性層分離型 RTD (表 5.3) の $J_p \cdot PVR$ 積の $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 第一バリア層のバリアハイト依存性 (シミュレーション)



(a) J_p の第一バリアのバリアハイト依存性



(b) PVR の第一バリアのバリアハイト依存性

図 5.8 活性層分離型 RTD (表 5.3) の J_p と PVR の Ca_xCd_{1-x}F₂ 第一バリアのバリアハイト依存性 (シミュレーション)

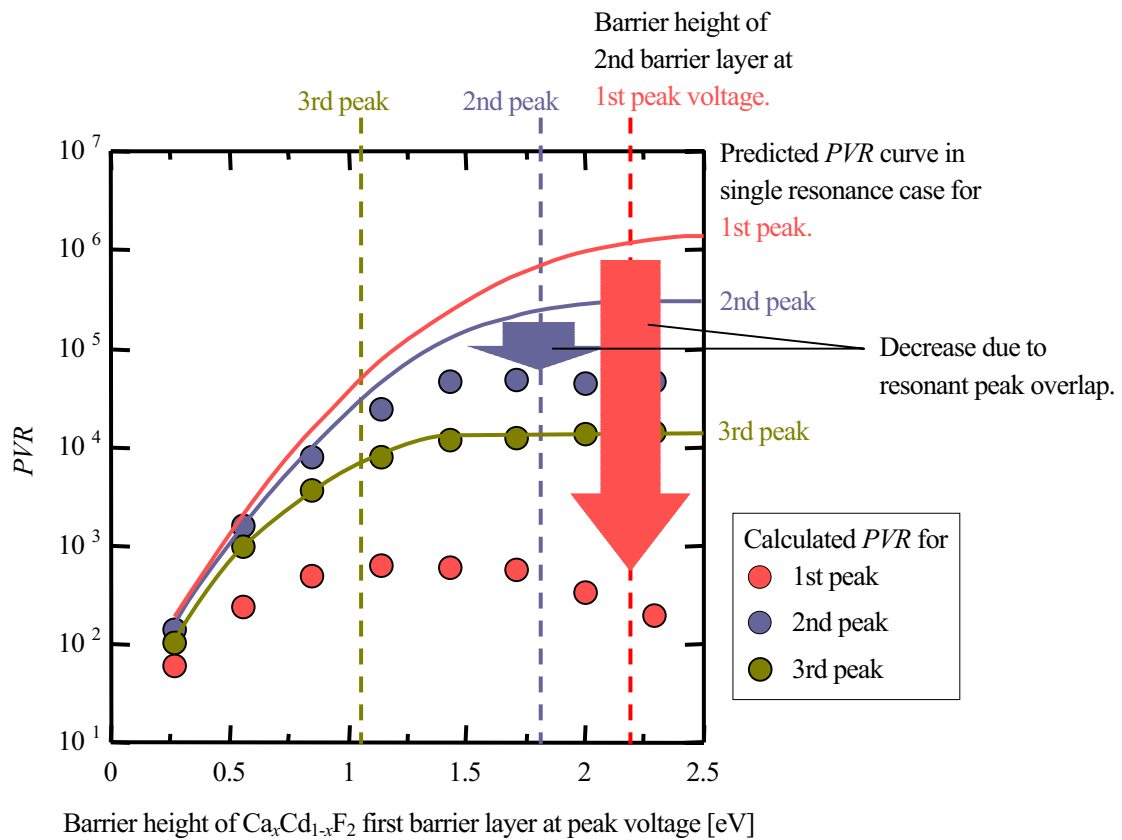


図 5.9 ピークの重なりがなかった場合に予想される PVR (図 5.8 に追加)

製作した RTD の測定結果について説明する。測定した J_p , PVR の分布を図 5.10 に示す。測定は表 5.2 に示すように $-4 \sim 3V$ まで行っているため、理論上はシミュレーションで得られたように 3 つのピークが見えるはずである。実際に複数のピークが見られたものもあったが、多くは一つのみで、ピーク電圧も計算結果とは異なるものが多かった。原因として、井戸幅が目的の厚さからずれていること、また面内で不均一であること、バッファ層及び分離層の寄生抵抗が無視できるほど小さくなっていないこと、電圧を掃引している最中にチャージアップが同時進行し、本来の特性とは異なるものが観測されていることなどが考えられる。図 5.10 において同じ試料内でのばらつきが大きいのも、これらのうち少なくとも一つが原因となっている可能性は高い。現状ではこれらの要因を特定することや、完全に排除することは困難である。そのため信頼性に欠けるデータではあるが、本研究では J_p , PVR それぞれの中央値をその試料の実測値とすることにした。これによって全ての問題が解決されるわけではないが、少なくともばらつきの影響を抑える効果はあると考えた。

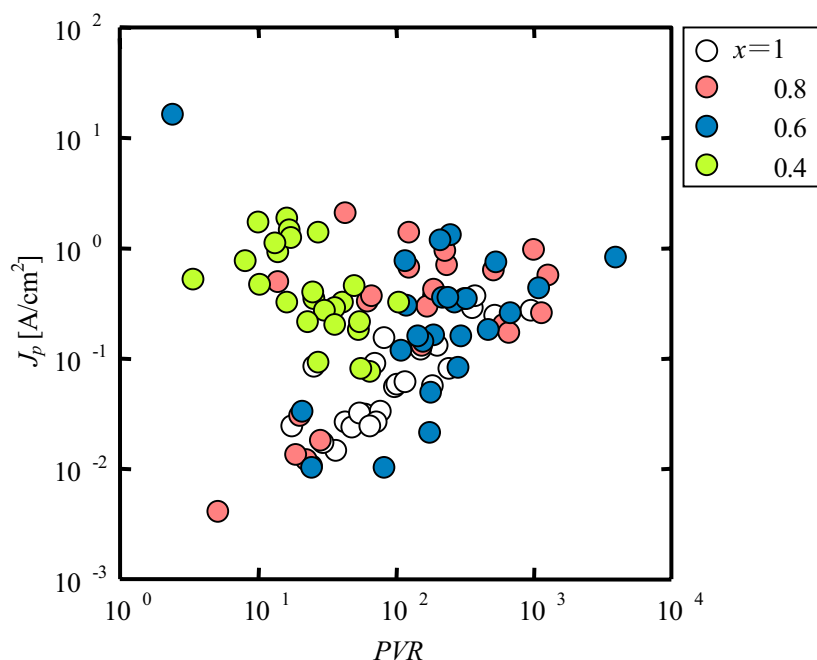
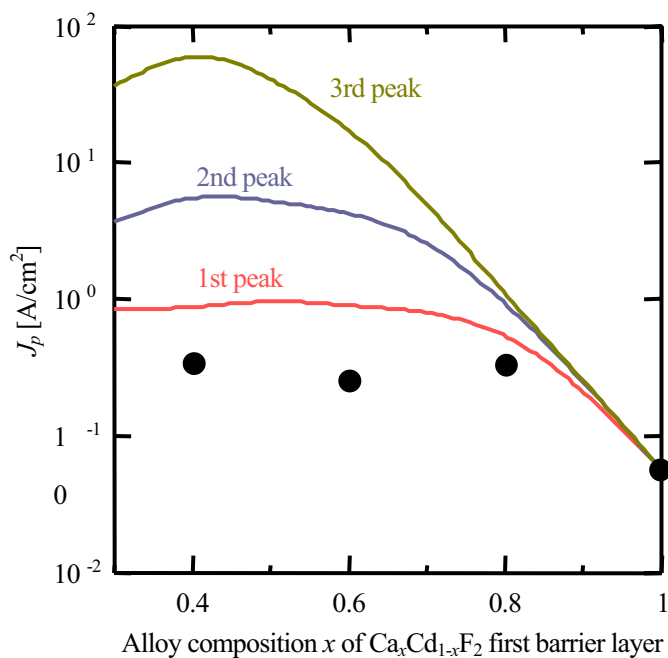


図 5.10 第一バリア層に $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を用いた RTD の J_p , PVR の分布

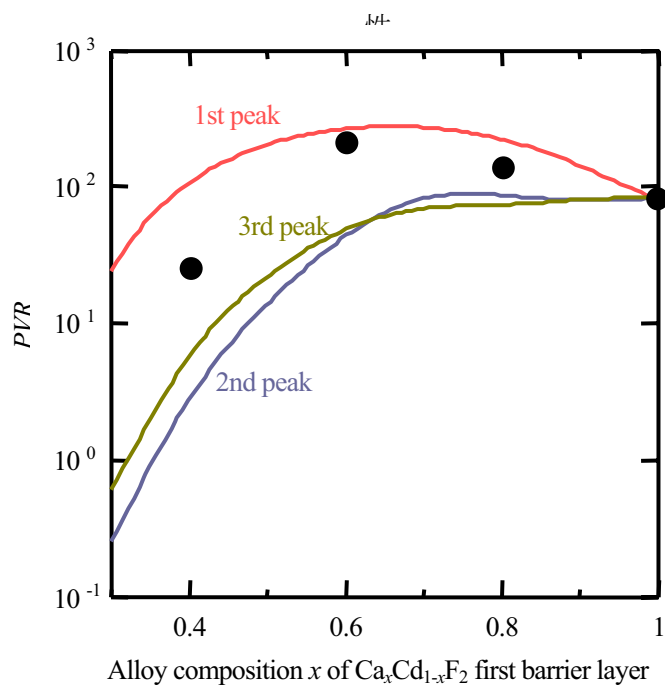
各試料の実測値を $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 第一バリアの組成比 x に対してプロットしたものを図 5.11 に示す。比較のために第一から第三ピークのシミュレーション結果とその近似曲線を実線で示した。ただし、組成比に対する変化の傾向を比較するため、 $x=1.0$ のときに実測値と一致するように規格化してある。今回の測定では特性がばらついていたため、実測値が何番目のピークの値であるのかが $I-V$ 特性からは判断できなかった。そこで、まずシミュレーション結果と傾向を比較することで何番目のピークの特長であるかを特定することを試みた。

J_p の実測値を見ると、組成比の低下とともに一度増加し、その後飽和している。この飽和し始める組成比とシミュレーションの第一ピークとほぼ一致しており、 J_p の増える割合も他のピークに比べて近い。 PVR に関しては、見方によってはどのピークの曲線も実測と一致すると言えそうだが、 $x=1\sim 0.6$ の範囲で組成比の低下に伴って一度増加している点がシミュレーションの第一ピークの曲線に近い。よって、 J_p , PVR ともに第一ピークの特長に近いことから、実測値は第一ピークのものである可能性が高いと判断した。これが正しければ、 J_p の実測値はシミュレーション結果と傾向が一致していることになり、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ をバリア層に用いた本構造において、式(5-1)から予測される特性が実現できたことになる。一方、 PVR についても実測値がシミュレーションの傾向と一致しているといえる。しかしすでに述べたように、本構造においては第一ピークのバレー電流に次の共鳴準位の電流が重なってしまうため、式(5-2)から予測するような傾向は理論上

見ることができない。そのため、混晶によってバリアハイトが制御されていることは示されたとはいえるが、式(5-2)からの予想を実際のデバイスで直接実証することはできなかった。これは井戸幅や井戸層の E_c を変化させて、単独のピークのみが見えるようにすることで対応可能である。



(a) J_p の $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 第一バリア層の混晶組成比依存



(b) PVR の $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 第一バリア層の混晶組成比依存性

図 5.11 J_p , PVR の実測値とシミュレーション結果の比較

5.4 本章で得られた結論

本章では弗化物 RTD の J_p と PVR をともに効率よく上げる手段として、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ をバリアに用いた非対称な構造を提案し、シミュレーションと現実のデバイス特性の両方で本構造の有効性を確認した。シミュレーションの結果が予想される特性と合うことから、理論上、混晶組成比に応じて意図したような J_p と PVR の制御が可能であることを示した。また実測値において J_p を理論と同様の傾向で制御できる可能性を示した。 PVR についてはピークの重なりの影響で意図したような変化を見ることができなかったが、シミュレーション結果の傾向とは一致していたことから、意図したようなバリアハイトを持つ構造は実現できていたと考えられる。よって、構造上の工夫によってピークが重ならない条件で測定を行えば、 PVR の制御を実現することは可能であると推測する。以上より、本構造は J_p , PVR をともに効率よく上げる手法として有効であると考ええる。ただし、データの信頼性には疑問が残るため、将来、より寄生効果が小さく、安定性の高い弗化物 RTD を実現し、再検討してより精度の高い議論が必要であろう。

第 5 章の参考文献

[5.1] T. Weil, and B. Vinter: Appl. Phys. Lett. **50** (1987) 1281.

第 6 章

結論

6.1 本研究で得られた結論

本研究では弗化物 RTD と Si-CMOS の集積化の有効性を示すことを目的とし、その課題に対して以下のような成果を得た。

リーク電流と不安定性の問題に対して、ポスト酸化プロセス、活性層分離型構造を新たに提案した。各技術の単独の効果として、ポスト酸化プロセスは一層目の CaF_2 バッファ層のリーク電流の低減と化学反応抑制に、活性層分離型構造は弗化物/Si 界面からの悪影響を緩和することによるリーク電流低減に有効であることが分かった。また、これらを組み合わせることでさらに特性が向上することから、これらの技術は相補的な関係にあることが分かった。さらに、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶を分離層と井戸層に用いることによる化学反応抑制技術を導入し、従来よりも成長温度を上げた結果として、電気的不安定性が改善された。それにより、弗化物 RTD としては初めて双安定動作に成功した。

Si(100)基板上に弗化物 RTD を製作する方法として、KOH, TMAH を用いた異方性エッチングによって、四方を{111}面で囲まれた V 溝構造を形成し、その上に弗化物 RTD を成長することを提案した。V 溝 Si(100)基板上に基板直上型 RTD を製作したところ、NDR が観測された素子に関しては平坦な Si(111)基板上に製作した RTD と遜色ない特性が得られたが、エッチング後の{111}面がステップのバンチングによって荒れてしまうことにより、歩留まりが悪化することが分かった。この荒れの影響を緩和するために、V 溝構造上に活性層分離型 RTD を製作したところ、歩留まりが改善され、Si(111)基板上的ものに比べて遜色ない特性の RTD を得ることが出来た。

弗化物 RTD の J_p と PVR をともに効率よく上げる手段として、 $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ をバリアに用いた非対称な構造を提案し、シミュレーションと現実のデバイス特性の両方で本構造の有効性を確認した。シミュレーションの結果が予想される特性と合うことから、理論上、混晶組成比に応じて意図したような J_p と PVR の制御が可能であることを示した。また実測値において J_p を理論と同様の傾向で制御できる可能性を示した。 PVR についてはピークの重なりの影響で意図したような変化を見ることができなかったが、シミュレーション結果の傾向とは一致していたことから、意図したようなバリアハイトを持つ構造は実現できていたと考えられる。よって、構造上の工夫によってピークが重ならない条件で測定を行えば、 PVR の制御を実現することは可能であろうと推測する。

以上のように、本研究では Si-CMOS との集積化に向けた課題の打開策として、有効な成果を得ることができた。

6.2 今後の展望

本研究において Si-CMOS との集積に向けた要素技術は整ってきたと言えるが、実際に同一基板上に集積し、回路動作させるためにはまだ課題が残されている。一つは弗化物 RTD の電気的安定性のさらなる向上である。本研究において改善は見られたものの、安定に回路動作させる上では十分とは言えない。これを解決していくためには、チャージアップを引き起こす欠陥がどの層にあるのか、どのような種類の欠陥であるのか、何に起因するのかなどの詳細な情報が必要である。このような欠陥準位の情報は DLTS 法などによって、電気的特性の過渡的な変化の時定数から得ることができる。RTD は積層構造であり、構造が複雑であることからこのような測定法をそのまま適用することは難しいと思われるが、なんらかの構造や測定法の工夫によって評価を行い、得られた情報を基に欠陥準位を低減する方法を探っていく必要があると考える。

フォトリソグラフィのプロセス上の問題も残されている。弗化物材料は特に CdF_2 が水に弱く、弗化物成膜後の wet プロセスの際、水分の浸透によって弗化物が上に蒸着した Al 電極ごととはがれてしまうという問題がある。これは dry プロセスにより回避することが出来るが、dry ではプラズマによる基板へのダメージが入ってしまう。通常は熱プロセスによりダメージを回復するが、弗化物 RTD では CdF_2 と Si の化学反応の問題から、熱プロセスの使用に制限があるため、回復することが出来ない。熱処理への耐性の問題に対しては、本研究で提案したポスト酸化プロセスや、それと混晶技術の組み合わせにより化学反応を抑制することは、ある程度有効であると考えられる。ただし、現状では 400°C 以上の高温に対しての限界も見えてきているため、プロセスの工夫による wet エッチングへの耐性を上げることと並行して対策を練っていくべきであろう。

デバイス特性を理想に近づける努力も重要である。本研究において提案した非対称構造と先行研究である $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 井戸によるピーク電圧の制御も組み合わせることで、より高いピーク電流密度、PVR と低いピーク電圧を達成できることを実証していく必要がある。

上記の課題を克服し、最終的には Si 基板上に RTD と MOSFET とモノリシックに集積し、実際の回路においてその有効性を示すことを期待する。

本研究に関する発表

1) 学術論文誌

First Author

- [1] So Watanabe, Motoki Maeda, Tsuyoshi Sugisaki and Kazuo Tsutsui: “Fluoride resonant tunneling diodes on Si substrates improved by the additional thermal oxidation process”, Japanese Journal of Applied Physics, **44** (2005) 2637-2641.
- [2] So Watanabe, Tsuyoshi Sugisaki, Yohei Toriumi, Motoki Maeda and Kazuo Tsutsui: “Fabrication of Fluoride Resonant Tunneling Diodes on V-Grooved Si(100) Substrates”, Japanese Journal of Applied Physics, **45** (2006) 4934-4938.

共著

- [3] Motoki Maeda, Hiroshi Kambayashi, So Watanabe and Kazuo Tsutsui: “Heteroepitaxy of Cd-rich $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ alloy on Si substrates and its application to resonant tunneling diodes”, Japanese Journal of Applied Physics, **42** (2003) 2453-2457.
- [4] Motoki Maeda, So Watanabe and Kazuo Tsutsui: “Evaluation of variable energy level of conduction band edge on fluoride resonant tunneling diodes”, Japanese Journal of Applied Physics, **42** (2003) L1216-L1218.
- [5] Motoki Maeda, Joji Omae, So Watanabe, Yohei Toriumi and Kazuo Tsutsui: “Surface modification of Si substrates by CdF_2 molecular beam for stable growth of fluoride ultra-thin heterostructures”, Journal of Crystal Growth, **278** (2005) 643-648.
- [6] Motoki Maeda, Natsuko Matsudo, So Watanabe and Kazuo Tsutsui: “Growth characteristics of ultra-thin epitaxial $\text{Ca}_x\text{Mg}_{1-x}\text{F}_2$ alloys on Si(111) substrates”, Journal of Crystal Growth, **285** (2005) 572-578.
- [7] Motoki Maeda, Natsuko Matsudo, So Watanabe and Kazuo Tsutsui: “Crystalline structure of epitaxial $\text{Ca}_x\text{Mg}_{1-x}\text{F}_2$ alloys on Si(100) and (111) substrates”, Thin Solid Films, **515** (2006) 448-451.

2) 国際会議 (登壇したもののみ記載)

- [1] So Watanabe, Motoki Maeda, Tsuyoshi Sugisaki and Kazuo Tsutsui: “Fluoride Resonant Tunneling Diodes on Si Substrates Improved by the Additional Thermal Oxidation Process”, 2004 International Conference on Solid State Devices and Materials (SSDM 2004), P8-10L, Tokyo, Japan, September 2004.
- [2] So Watanabe, Tsuyoshi Sugisaki, Yohei Toriumi, Motoki Maeda and Kazuo Tsutsui: “Fabrication of Fluoride Resonant Tunneling Diodes on V-Grooved Si(100) Substrates”, 2005 International Conference on Solid State Devices and Materials (SSDM 2005), G-1-6, Kobe, Japan, September

2005.

- [3] So Watanabe, Yohei Toriumi, Motoki Maeda, Tsuyoshi Sugisaki and Kazuo Tsutsui: “Fluoride Resonant Tunneling Diodes on Si Substrates”, 2005 International Semiconductor Device Research Symposium (ISDRS 2005), TP3-05, Bethesda, United States, December 2005.

3) 国内学会・研究会 (登壇したもののみ記載)

- [1] 渡邊聡, 神林宏, 関根広志, 筒井一生: “Si 基板上の活性層埋め込み型弗化物共鳴トンネルダイオードの製作”, 第 49 回応用物理学会関係連合講演会, 28a-K-1, 平塚市, 2002 年 3 月
- [2] 渡邊聡, 前田元輝, 筒井一生: “弗化物ヘテロ共鳴トンネルダイオードにおけるバリアハイト制御”, 第 63 回応用物理学会学術講演会, 25p-P9-12, 新潟市, 2002 年 9 月
- [3] 渡邊聡, 前田元輝, 筒井一生: “弗化物混晶系ヘテロ構造を用いたシリコン基板上の共鳴トンネルダイオード”, 電子情報通信学会 電子デバイス/シリコン材料・デバイス研究会, 札幌市, 2003 年 2 月
- [4] 渡邊聡, 前田元輝, 筒井一生: “弗化物系共鳴トンネルダイオードの特性におけるバイアス履歴依存現象の解明”, 第 50 回応用物理学会関係連合講演会, 29a-ZE-2, 横浜市, 2003 年 3 月
- [5] 渡邊聡, 前田元輝, 鳥海陽平, 筒井一生: “Si 基板上の極薄 CaF_2 の被覆率向上とそれによるリーク電流の低減”, 第 51 回応用物理学関係連合講演会, 30a-ZE-5, 八王子市, 2004 年 3 月
- [6] 渡邊聡, 杉崎剛, 前田元輝, 筒井一生: “弗化物共鳴トンネルダイオードにおける酸化効果を用いた CaF_2 バリア層の絶縁性向上”, 第 65 回応用物理学会学術講演会, 3p-ZK-17, 仙台市, 2004 年 9 月
- [7] 渡邊聡, 三浦圭, 齋藤格広, 前田元輝, 筒井一生: “ $\text{Ca}_x\text{Cd}_{1-x}\text{F}_2$ 混晶バリアを用いた非対称弗化物共鳴トンネルダイオードの検討”, 第 65 回応用物理学会学術講演会, 30p-RE-12, 草津市, 2006 年 8 月

謝辞

本研究を進めるにあたり、学部4年からの6年間、研究内容や研究に取り組む姿勢など多くの御助言、御指導頂きました筒井 一生助教授に心から感謝致します。

本論分を審査していただきました本学の石原 宏教授、岩井 洋教授、益 一哉教授、渡辺 正裕助教授、大見 俊一郎助教授をはじめ、学内の発表などを通じて御指導、御助言を頂きました本学の物理電子システム創造専攻、物理情報システム専攻（旧 電子機能システム専攻、物理情報システム創造専攻）の諸先生方、また外部審査員をお引き受けくださいました九州工業大学の和泉亮助教授に深く感謝致します。

R2 棟クリーンルームの利用に関しまして、會澤 康治助手（現 金沢工業大学助教授）、をはじめとする石原・徳光研究室の皆様にご感謝いたします。また、J2 棟クリーンルームの利用に関しまして大見 俊一郎助教授に重ねて感謝致します。

Si-LSI と RTD の回路応用に関して貴重なご意見を頂きました前島 英雄教授、杉野 暢彦助教授に感謝致します。

先輩として多くの御助言、御指導を頂き、また同じ RTD の研究をする研究者として数多くの議論に付き合って頂いた前田 元輝氏に感謝致します。

最後に、日頃多くのご協力を頂きました庄司 大氏をはじめとする筒井研究室の皆様にご感謝致します。