

論文 / 著書情報
Article / Book Information

論題(和文)	CMOSインバータ型高利得広帯域RF可変増幅回路の検討
Title(English)	Study of High-Gain and Wideband RF Variable Gain Amplifier based on CMOS Inverter Topology.
著者(和文)	大鶴 基格, 中島 智也, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Mototada Oтуру Tomoya Nakajima Shuuhei Amakawa Noboru Ishihara Kazuya Masu, Tomoya Nakajima, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2010 年 電子情報通信学会総合大会, , , pp. 90
Citation(English)	, , , pp. 90
発行日 / Pub. date	2010, 3
URL	http://www.ieice.org/jpn/books/t_g.html
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2010 Institute of Electronics, Information and Communication Engineers.

CMOS インバータ型高利得広帯域 RF 可変増幅回路の検討

Study of High-Gain and Wideband RF Variable Gain Amplifier based on CMOS Inverter Topology.

大鶴 基格
Mototada Oturu

中島 智也
Tomoya Nakajima

天川 修平
Shuuhei Amakawa

石原 昇
Noboru Ishihara

益 一哉
Kazuya Masu

東京工業大学 統合研究院
Integrated Resrch Institute, Tokyo Institute of Technology

1 はじめに

近年無線端末のマルチバンド化が求められており, RF CMOS フロントエンド回路の広帯域化が必要となっている. また, プロセスの微細化による低電圧化がダイナミックレンジの低下を招いている. 今回我々は低電圧動作に有利な CMOS インバータ回路をベースとした RF 受信回路用の高利得, 広帯域の可変増幅回路 (VGA) の設計を行ったので報告する.

2 高利得, 広帯域可変利得増幅回路の構成

図 1 に今回設計した増幅回路の構成を示す. 最大利得 40dB 以上, 可変利得幅 30dB 以上を目標として設計を行った. 初段は低雑音増幅部, 中間の 4 段は可変利得増幅部で最終段は出力バッファとした. 基本増幅回路は, 2 段の CMOS インバータ増幅回路で構成し, 広帯域動作化のため初段をトランスコンダクタンス型と 2 段目をトランスインピーダンス型とする Cherry-Hooper 構成を応用した. 初段の低雑音増幅部 (LNA) では, 入力整合と低雑音で広帯域な動作をアクティブ帰還により実現した [1]. 可変利得増幅部 (VGA) の初段 (AVGA) は, 帰還抵抗値をアナログ的に制御し利得を連続的に制御できる構成とした. 2 段目 ~ 4 段目はスイッチによる切換えによりデジタル的に利得を制御する構成とした. アナログ制御とデジタル制御により, 低利得から高利得まで連続的に利得を制御できる.

3 回路設計結果

90nm CMOS プロセスの適用を想定して回路設計を行った. 図 2 にチップレイアウトを示す. コア回路部の面積は $145 \times 210 \mu\text{m}$ である. 設計は Cadence Spectre を用い高周波動作であることからポストレイアウトシミュレーションを繰り返しながら回路特性の最適化を行った. 図 3 に S21 利得の周波数特性を示す. 最大利得は 45.7dB, 可変幅は 36dB, 帯域は最大利得時で 4 GHz を得られる見通しを得た. また, 図 4 に 1GHz 時の利得と雑音指数 (NF) の関係を示す. 最小の NF は 4dB であった. 消費電力は電源電圧 1.0V で 27mW であった.

4 まとめ

90nm CMOS プロセスによる高利得広帯域 RF 可変増幅回路の設計を行い, 利得 9.7dB ~ 45.7dB, 4.0GHz, NF < 7.6dB の良好な特性を実現できる見通しを得た.

謝辞

本研究の一部は, STARC, 文部科学省科研費, 日本学術振興会科研費, 総務省 SCOPE, NEDO, 文部科学省科学技術振興調整費 (統合研究院) の支援を受け, 東京大学大規模集積システム設計教育研究センターを通し, 日本ケイデンス株式会社, メンター株式会社, アジレント・テクノロジー株式会社の協力により行なわれた.

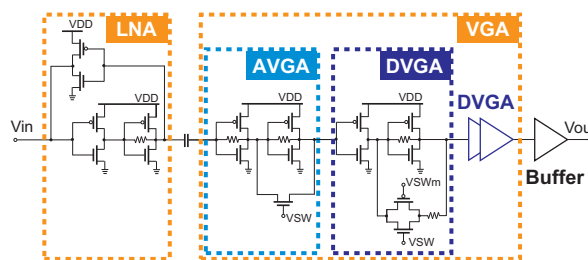


図 1 検討増幅回路の回路図

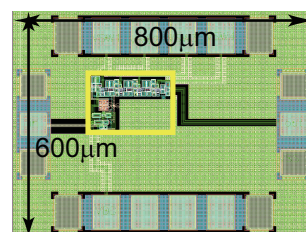


図 2 検討増幅回路のレイアウト図

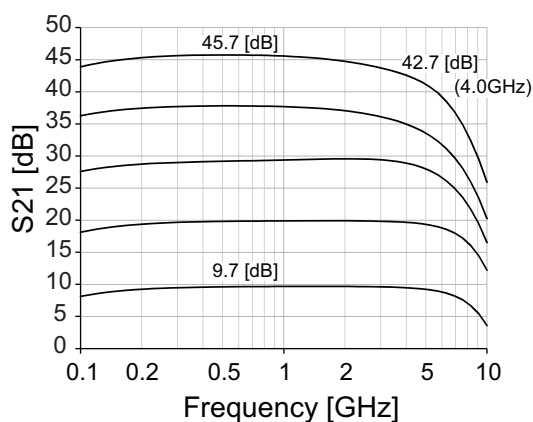


図 3 寄生インピーダンス抽出後の増幅段の周波数特性

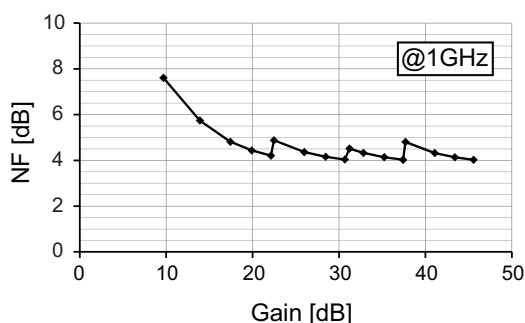


図 4 1GHz における利得に対する NF

参考文献

- [1] Tomoya Nakajima, SCS, p.9, 2009.
- [2] E. M. Cherry, D. E. Hooper, IEEE, vol.110, no.2, 1963.