

論文 / 著書情報
Article / Book Information

論題(和文)	ヘテロランチャと真性チャネルを有する縦型InGaAs-MOSFET
Title(English)	Vertical InGaAs-MOSFET with heterostructure launcher and intrinsic channel
著者(和文)	齋藤尚史, 楠崎智樹, 松本豊, 宮本恭幸, 古屋一仁
Authors(English)	Hisashi Saito, Tomoki Kususaki, Yutaka Matsumoto, YASUYUKI MIYAMOTO, KAZUHITO FURUYA
出典(和文)	, , , 1456
Citation(English)	, , , 1456
発行日 / Pub. date	2009, 3
URL	
Copyright	本著作物の著作権は(公社)応用物理学会に帰属します。/(c)(公社)応用物理学会2009Copyright (c) 2009/(c)2009The Japan Society of Applied Physics
Note	このファイルは著者(最終)版です。 This file is author (final) version.

ヘテロランチャと真性チャネルを有する縦型 InGaAs-MOSFET

Vertical InGaAs-MOSFET with heterostructure launcher and intrinsic channel

東工大理工¹ ○齋藤尚史¹, 楠崎智樹¹, 松本豊¹, 宮本恭幸¹, 古屋一仁¹

Tokyo Tech¹ ○Hisashi Saito¹, Tomoki Kususaki¹, Yutaka Matsumoto¹, Yasuyuki Miyamoto¹, and Kazuhito Furuya¹

E-mail: hisashi@quantum.pe.titech.ac.jp

[はじめに] 我々は絶縁ゲートと熱電子放射ランチャーによってホットエレクトロンを真性半導体に引き出すホットエレクトロントランジスタの作製を行っている。現在までのところ、ゲートによる電流変調および飽和特性を観測している。[1] しかしながら、ゲートとメサの間の絶縁膜厚が、チャネル部のアンダーカットとエッチバック後の絶縁物の厚さにより決まっていたため、多くの素子でゲートリーク電流が観測されてしまい、ドレイン電流の変調が観測できる素子が少なかった。今回、ゲートとメサの間に確実に絶縁物を挟み込みかつ厚さを均一にするために、Fig.1 に示すゲート金属と絶縁物でメサ全体を覆う構造を新たに提案し、素子の作製を行ったので報告する。

[作製] ゲート形成方法としては、ナノワイヤデバイスで用いられている方法[2]と同様の方法を用いた。ICP-RIE、ウェットエッチングによりメサを形成したのちに PCVD によって SiO₂ を 10nm、スパッタリングによって Ti を 60nm 連続的に成膜することによってメサ側面を絶縁物と金属のスタック構造で覆うように形成した。この後に、フォトリソのエッチバックプロセスと BHF を用いてメサトップに成膜された SiO₂ と Ti を除去することによって、ドレイン電極とゲートのアイソレーションを取った。

[結果] ゲートの形成方法を変更することにより、ゲートリークがなく変調が観測できる素子数が 10% から 50% 程度まで向上した。また、Fig.2 に示すようにドレイン電流密度 400mA/mm を達成し、伝達コンダクタンス 300mS/mm となり、駆動能力も増大する結果が得られた。

[1] 齋藤ほか 2008 年秋応物 4a-P14-5

[2] C. Thelander et al, IEEE Trans Electron Device, Vol. 55, No. 11, pp3030-3036 (2008)

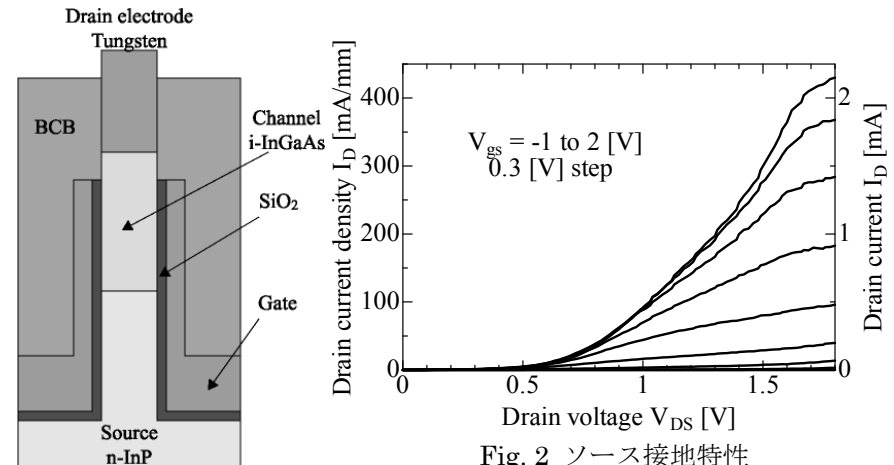


Fig. 1 素子構造概念図

Fig. 2 ソース接地特性