

論文 / 著書情報  
Article / Book Information

論題(和文)	注入同期を用いた低位相雑音リングVCO型PLL
Title(English)	A Low-Phase-Noise Ring-VCO-Based PLL with Injection Locking
著者(和文)	李 尚曄, 上村 龍也, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Sang yeop Lee Tatsuya Kamimura Shuhei Amakawa Noboru Ishihara Kazuya Masu, Tatsuya Kamimura, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2010 年電子情報通信学会エレクトロニクスソサイエティ大会, , , pp. 97
Citation(English)	, , , pp. 97
発行日 / Pub. date	2010, 9
URL	<a href="http://search.ieice.org/">http://search.ieice.org/</a>
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2010 Institute of Electronics, Information and Communication Engineers.

# 注入同期を用いた低位相雑音リング VCO 型 PLL

A Low-Phase-Noise Ring-VCO-Based PLL with Injection Locking

李 尚暉 Sang\_yeop Lee      上村 龍也 Tatsuya Kamimura      天川 修平 Shuhei Amakawa      石原 昇 Noboru Ishihara      益 一哉 Kazuya Masu

東京工業大学 ソリューション研究機構  
Solution Science Research Laboratory, Tokyo Institute of Technology

## 1 はじめに

無線通信用位相同期回路 (PLL) では、電圧制御発振回路 (VCO) として位相雑音特性に優れた LC 共振型回路が一般的に用いられている。しかし、LSI 技術の微細化が進展するにつれ、小面積化できない LC 共振回路部の専有面積割合が大きくなり、チップコストを制限する要因としてクローズアップしている。一方、リング型 VCO は微細化に追従可能であるが、位相雑音特性が劣るため無線通信用 PLL にはほとんど適用されていない。今回我々は、参照信号をリング VCO へ注入することを特徴とする PLL 回路を考案し、設計、試作評価を行った結果、良好な位相雑音特性の実現に成功したので報告する。

## 2 スケーラブル広帯域回路構成の検討

図 1 に提案する PLL 回路の構成を示す。VCO 回路は、差動のラッチドインバーター 2 段の回路を採用し、参照信号 (ref.) を注入できる構成を特徴としている。位相雑音特性の良い参照信号を VCO へ注入すると、図 2 に示すような低位相雑音スペクトラムでの発振動作が可能となる。同期は参照信号の整数倍で生じ、そのときの同期周波数レンジは注入信号のパワーと周波数に比例し、以下の式で表せる。

$$\omega_L = \frac{\omega_{out}}{2Q} \cdot \sqrt{\frac{P_{inj}}{P_o}} \quad (1)$$

ここで、 $Q$  は回路全体の  $Q$  値、 $\omega_{out}$  は VCO の出力周波数、 $P_{inj}$  は注入信号のパワー、そして  $P_o$  は VCO 出力信号のパワーを示す。リング型 VCO の場合、低い  $Q$  値持ったため、注入同期により広いロックレンジが実現でき、容易に低位相雑音化ができる。また、PLL 回路部は、この同期周波数レンジ以内に発振周波数の設定を行う役割を持つ。

## 3 試作評価結果

回路技術の有効性を確認するため、 $0.18\mu\text{m}$  CMOS による PLL の設計、試作評価を行った。図 3 チップ写真を示す。コア回路部の面積は  $0.1\text{mm}^2$  である。測定するときの電源電圧は  $1.8\text{V}$  で、 $0.65\text{GHz}$ – $1.6\text{GHz}$  の広い周波数可変範囲が得られた。図 4 に参照信号として  $90\text{MHz}$  を使い、 $1.44\text{GHz}$  の信号を出力させたときの位相雑音特性を示す。リング VCO の位相雑音特性が、PLL と注入同期により大きく改善され、 $0.2\text{MHz}$  オフセットで  $-122\text{dBc/Hz}$  良好な低位相雑音特性を得た。

## 4 まとめ

LSI 技術の微細化に追従可能な RF 回路技術の 1 つとして注入同期を用いたリング VCO 型 PLL 回路を考案

し、低位相雑音化に有効であることをチップ試作により確認した。

## 謝辞

本研究の一部は、STARC、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE、NEDO、文部科学省科学技術振興調整費 (統合研究院) の支援を受け、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、メンター株式会社、アジレント・テクノロジー株式会社の協力により行なわれた。

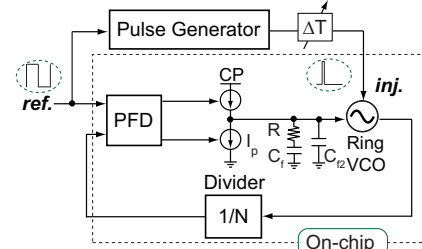


図 1 提案 PLL の回路図

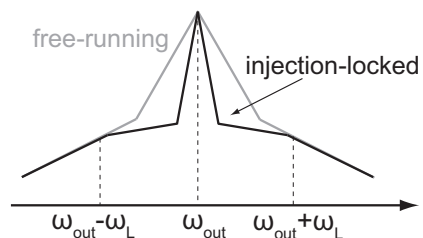


図 2 注入同期による位相雑音改善

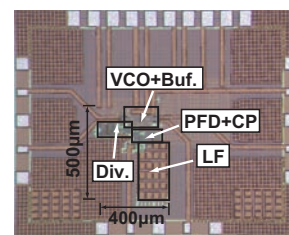


図 3 試作チップ写真

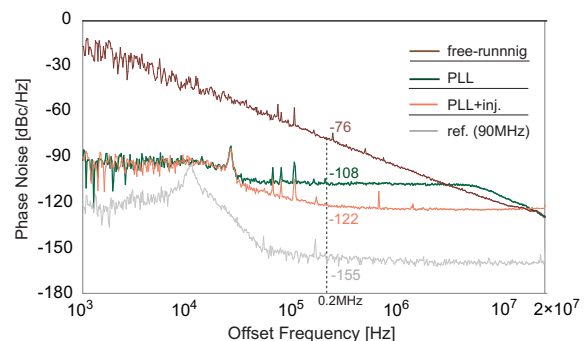


図 4  $f_0 = 1.44\text{GHz}$  のときの位相雑音。