T2R2 東京科学大学 リサーチリポジトリ
Science Tokyo Research Repository

論文 / 著書情報
Article / Book Information

論題(和文)	注入同期を用いたスケーラブル広帯域リング型電圧制御発振器回路
Title(English)	A Scalable Wideband Ring-VCO with Injection Locking
著者(和文)	上村 龍也, 李 尚曄, 田野井 聡, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Tatsuya Kamimura Sangyeop Lee Satoru Tanoi Shuhei Amakawa Noboru Ishihara Kazuya Masu, Sangyeop Lee, Satoru Tanoi, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2010 年電子情報通信学会エレクトロニクスソサイエティ大会, , , pp. 93
Citation(English)	, , , pp. 93
発行日 / Pub. date	2010, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2010 Institute of Electronics, Information and Communication Engineers.

Powered by T2R2 (Science Tokyo Research Repository)

注入同期を用いたスケーラブル広帯域リング型電圧制御発振器回路

A Scalable Wideband Ring-VCO with Injection Locking

上村　龍也 Tatsuya Kamimura　李　尚曄 Sangyeop Lee　田野井　聡 Satoru Tanoi　天川　修平 Shuhei Amakawa　石原　昇 Noboru Ishihara　益　一哉 Kazuya Masu

東京工業大学 ソリューション研究機構
Solution Science Research Laboratory, Tokyo Institute of Technology

1　はじめに

近年の CMOS プロセスの微細化により、ディジタル回路では小面積化かつ高速・低消費電力化が進んでいるが、RF 回路では受動素子、すなわちインダクタやキャパシタを使用していることから小面積化が難しくなっている。そこで今回我々はインダクタレス・小面積で広帯域化が可能なリング電圧制御発振器 (VCO) に着目し、低位相雑音な周波数シンセサイザとしての応用に向け、注入同期手法を用いたリング VCO 構成を設計・評価を行ったので報告する。

2　提案リング VCO の構成

図 1 に今回提案するリング VCO の遅延セルの構成を示す。差動信号出力を可能とするインバータラッチ回路を導入し、遅延セル 2 段で I/Q 出力が可能な構成とした。周波数の可変機能は、インバータの負荷抵抗成分を負荷トランジスタのゲートバイアスを制御することにより可変し、RC 時定数を大きく変化させることにより実現した。この際、Rail-to-rail の広い制御電圧範囲で、変換利得の変動が小さくなるように、負荷回路を 2 つの pMOS で構成し、負荷抵抗値を線形に変化させるゲートバイアス (bias/biasn) の生成、制御回路を考案した (図 1)。また、外部信号を注入し同期させる端子を設けた。注入信号は、外部パルスパタンジェネレータから矩形波信号を注入する。それをオンチップのパルスジェネレータ回路で時間幅の短いパルス信号に変換し、図 1 の nMOS スイッチを制御することで、注入同期を可能にした。これにより、低位相雑音動作が期待できる。また、電源電圧変動に対する対策として、2.5 V の電源回路 (LDO: Low Drop Output regulator) をチップ上に構成し、1.0 V の VCO 回路の電源に用いた。

3　測定結果

90 nm CMOS プロセスによりチップを試作し、評価を行った。図 2(b) に試作チップの写真を示す。リング VCO 回路のコア部の面積は $30\times45\,\mu m^2$ である。VCO の周波数可変範囲は、bias 電圧を 0–1.0 V のフールスイング制御により、5.2-10 GHz の広帯域特性を実現した。図 3 に注入同期時の周波数スペクトラム、図 4 に位相雑音特性を示す。6.5 GHz 発振のとき、注入信号によるスプリアス成分は-44 dBc、1 MHz オフセットでの位相雑音特性は-109 dBcHz の良好な結果を得た。消費電力は電源電圧 1 V で、8.3 mW であった。

4　まとめ

小面積で広帯域 I/Q 出力動作を可能とする注入同期型リング VCO 回路を提案し、その有効性を 90 nm CMOS プロセスによるチップ試作により確認した。

謝辞

本研究の一部は，STARC，文部科学省科研費，日本学術振興会科研費，総務省 SCOPE，NEDO，文部科学省科学技術振興調整費（統合研究院）の支援を受け，東京大学大規模集積システム設計教育研究センターを通し，日本ケイデンス株式会社，メンター株式会社，アジレント・テクノロジー株式会社の協力により行なわれた．

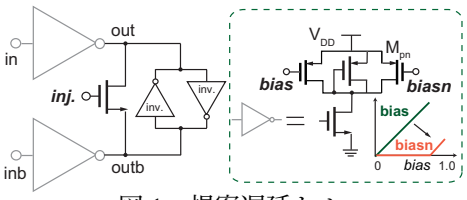
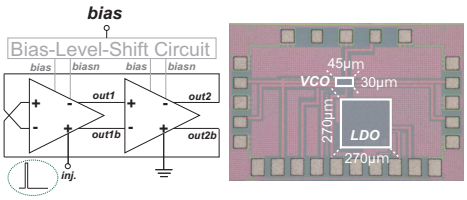


図 1　提案遅延セル



(a)　(b)

図 2　(a) 提案トポロジー、(b) 試作チップ写真

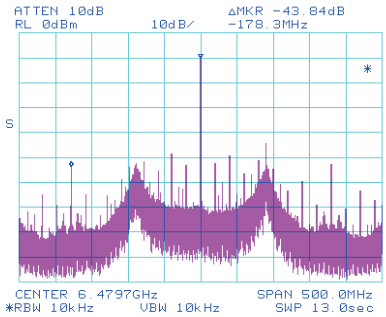


図 3　周波数スペクトラム

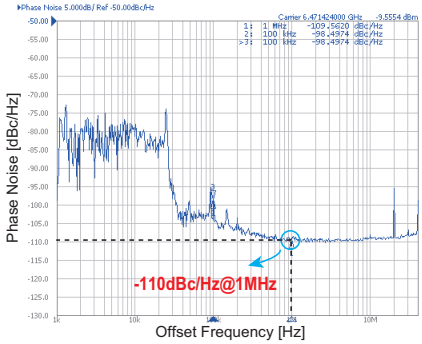


図 4　位相雑音特性

Copyright © 2010 IEICE