

論文 / 著書情報  
Article / Book Information

|                   |   |
|-------------------|---|
| 論題(和文)            | CMOS マルチリングオシレータを用いた RF 信号発生回路の検討   |
| Title(English)    | Investigation of RF Signal Generator Using CMOS Multi-Ring Oscillators  |
| 著者(和文)            | 中野和雄, 天川修平, 田野井聡, 石原 昇, 益 一哉  |
| Authors(English)  | Kazuo Nakano, Shuhei Amakawa, Satoru Tanoi, Noboru Ishihara, Kazuya Masu  |
| 出典(和文)            | 2010 年電子情報通信学会エレクトロニクスソサイエティ大会, , , pp. 92  |
| Citation(English) | , , , pp. 92  |
| 発行日 / Pub. date   | 2010, 9   |
| URL               | <a href="http://search.ieice.org/">http://search.ieice.org/</a>   |
| 権利情報 / Copyright  | 本著作物の著作権は電子情報通信学会に帰属します。<br>Copyright (c) 2010 Institute of Electronics, Information and Communication Engineers. |

# CMOS マルチリングオシレータを用いた RF 信号発生回路の検討

## Investigation of RF Signal Generator Using CMOS Multi-Ring Oscillators

中野和雄 天川修平 田野井聡 石原 昇 益 一哉  
Kazuo Nakano Shuhei Amakawa Satoru Tanoi Noboru Ishihara Kazuya Masu

東京工業大学 ソリューション研究機構  
Solution Science Research Laboratory, Tokyo Institute of Technology

### 1. はじめに

デジタル回路はCMOS集積回路技術の微細化により回路の高速動作化、低消費電力化、チップの小面積化が可能となるが、RF回路ではインダクタや容量などの受動素子を用いているためチップ面積を縮小できず、技術の微細化とともにチップコストを制限する要因としてクローズアップしている。今回我々は、技術の微細化による高性能化とともにチップ面積の縮小を可能とするリングVCOと時間軸離散制御によるTime To Analog Converter (TAC) 技術を組み合わせたRF信号発生回路の検討を行ったので報告する。

### 2. RF 信号発生回路の構成

RF 信号を生成する技術としては、デジタル・アナログ変換回路 (DAC) が考えられるが、DAC の電圧分解能はLSI 技術の微細化による電源電圧の低下により制限される。一方、微細化による回路の高速動作化により、時間軸では高い分解能が得られるようになってきた。そこで時間軸の離散制御によるアナログの RF 信号を生成する技術の検討を行った。まず、搬送波の生成に従来用いられている LC-VCO を、LC 回路不要のリング VCO に置き換え回路の小面積化を可能とするとともに、TAC で必要となる多位相の矩形パルス信号出力を可能にした。図 1 に基本回路構成を示す。4 段の差動型リング VCO を使い、VCO から各々の位相が  $\pi/4$  異なる矩形パルス信号を抽出し、位相差による遅延時間の異なる矩形パルス信号でトランジスタ (SE) を駆動する。矩形パルス信号は AND 回路により異なる位相の出力信号を選択でき、今回は 4 つの出力信号を選択する。その出力電流をカスコード接続されたトランジスタにより合成することによって、アナログの RF 信号の生成が可能となる。さらに今回の検討では、図 2 に示すように 4 つの VCO 回路を、遅延差を設けて接続することにより、より時間分解能の高い 4 ビットのパルス信号の生成を可能とした。各 VCO 間のインバータの遅延時間を最適化して、各々のリング VCO のパルス信号出力のタイミングを制御して合成することにより、より高い時間分解能を得ることができる。今回の 4 ビット構成では、16 段の遅延信号のうち、14 段の遅延信号を AND 回路により選択することにより、最も正弦波に近い RF 信号を生成することができる。

### 3. シミュレーション結果

90nm CMOS プロセスを想定してシミュレーションを行った。電源電圧は 1.0V とし、周波数レンジは 2.1GHz から 6.8GHz とした。また 4 つの VCO 間のインバータ遅延時間は調整が可能で、3 次高調波成分が最小となるように制御すると、2.1GHz 時で -46.4dBc、6.8GHz 時で -49.2dBc が得られ、出力波形を図 3、諸性能を表 1 に示す。これより時間分解能 4 ビットの構成でも高調波成分を 45dBc 以上に抑圧できることを確認した。

### 4. まとめ

リング VCO と TAC 技術を組み合わせた RF 信号発生回路を提案し、その有効性を回路シミュレーションにより確認した。今後、チップ試作を行い提案回路技術の有効性、実用性を実証していく。

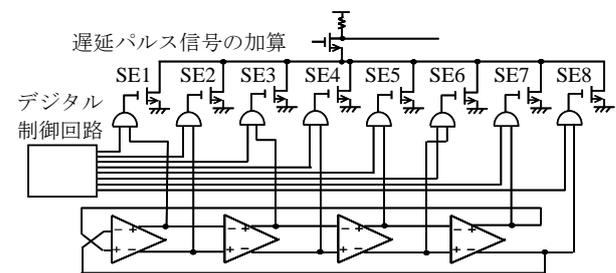


図 1 RF 信号発生回路の基本構成

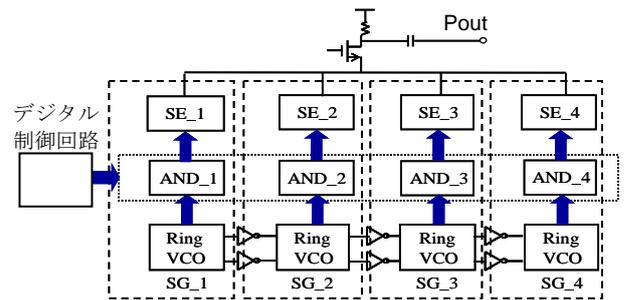


図 2 RF 信号発生回路の全体構成

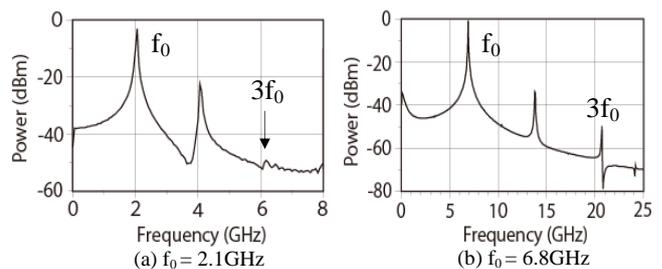


図 3 出力波形

表 1 シミュレーション結果

|                              | This work |       |
|------------------------------|-----------|-------|
| Frequency Tuning Range [GHz] | 2.1 - 6.8 |       |
| Carrier frequency [GHz]      | 2.1       | 6.8   |
| Output power [dBm]           | -3.0      | -0.7  |
| Third harmonics [dBc]        | -46.4     | -49.2 |

### 謝辞

本研究の一部は、STARC、文部科学省科研費、日本学術振興会科研費、総務省SCOPE、NEDO、文部科学省科学技術振興調整費(統合研究院)の支援を受け、東京大学大規模集積システム設計教育センターを通し、日本ケイデンス株式会社、メンター株式会社、アジレント・テクノロジー株式会社の協力により行われた。