

論文 / 著書情報
Article / Book Information

論題(和文)	チップ内伝送用高速低電力MUX/DEMUXの検討
Title(English)	A Study of High-Speed Low-Power MUX/DEMUX in chips
著者(和文)	鈴木 成人, 関口 貴之, 田野井 聡, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Shigeto Suzuki Takayuki Sekiguchi Satoru Tanoi Shuhei Amakawa Noboru Ishihara Kazuya Masu, Takayuki Sekiguchi, Satoru Tanoi, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2010 年電子情報通信学会エレクトロニクスソサイエティ大会, , , pp. 76
Citation(English)	, , , pp. 76
発行日 / Pub. date	2010, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2010 Institute of Electronics, Information and Communication Engineers.

チップ内伝送用高速低電力 MUX/DEMUX の検討

A Study of High-Speed Low-Power MUX/DEMUX in chips

鈴木 成人[†] 関口 貴之[†] 田野井 聡[†] 天川 修平[†] 石原 昇[†] 益 一哉[†]
Shigeto Suzuki Takayuki Sekiguchi Satoru Tanoi Shuhei Amakawa Noboru Ishihara Kazuya Masu

[†] 東京工業大学ソリューション研究機構

[†] Solution Science Research Laboratory, Tokyo Institute of Technology

1 はじめに

LSI 内コア間の高速大容量データ伝送を可能とする低電力シリアル伝送回路の実現が求められており、これに使用するデータの時分割多重 (MUX) /分離 (DEMUX) 回路では、さらなる高速化、低電力化が期待されている。今回我々は、疑似クロックドインバータ型 D フリップフロップ回路が、MUX/DEMUX 回路の要素回路として高速化・低電力化・小面積化に有利であることを明らかにし、MUX/DEMUX 回路の詳細回路設計を行い良好な結果を得たので報告する。

2 高速・低電力化に有利な D-FF の構成

D-FF は D-latch 回路 2 つによって構成される。図 1 に今回採用した疑似クロックドインバータ構成の D-latch を示す。これはクロックドインバータ型の D-latch の入力を nMOS のみにすることにより、入力容量を低減し高速化を図ったものである。また、各構成ともレイアウト設計までを行い、配線接続の寄生インピーダンスを考慮し比較した。この比較では D-latch を三段繋げ、D-FF の出力をみることで入出力の負荷を考慮して評価をした。疑似クロックドインバータ構成は 1Gbps から 20Gbps で動作し、低電力性において最も優れているためこれを採用した。

3 4:1 MUX/1:4 DEMUX 回路の設計

以上の検討結果をベースに 4:1MUX/1:4DEMUX 回路の設計を行った。図 3 に回路構成を示す。[1] 疑似クロックドインバータを用いた場合は、ラッチ動作でセクタ動作が可能となるため、通常用いられている 2:1MUX 出力部のセクタ回路の省略し、低電力化を実現した。90nmCMOS プロセス適用を想定し、回路設計を行った。その結果、最高動作速度 24Gb/s で、0.1mW 電力を削減し、1.1mW @ 電源電圧 1V の実現の見通しを得た。

4 まとめ

高速・低電力特性に優れた疑似クロックドインバータ構成の D-Latch 回路を用いた MUX/DEMUX 構成を明らかにし、その有効性を 90nmCMOS プロセスを想定した回路シミュレーション結果により確認した。

謝辞

本研究の一部は、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE、NEDO、STARC、文部科学省科学技術振興調整費 (統合研究院) の支援を受け、東京大学大規模集積システム設計教育研究センターを通し、アジレント・テクノロジー株式会社の協力により行なわれた。

参考文献

- [1] A. Mineyama, et al. "A 20Gb/s 1:4 DEMUX with near-rail-to-rail logic swing in 90nm CMOS process" IEEE International Workshop Series on Signal Integrity and High-Speed Interconnects, pp. 119-122, Feb. 2009.

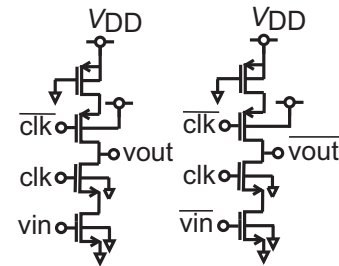


図 1 疑似 nMOS クロックドインバータ D-latch.

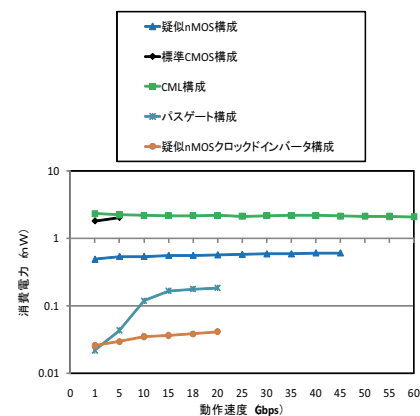
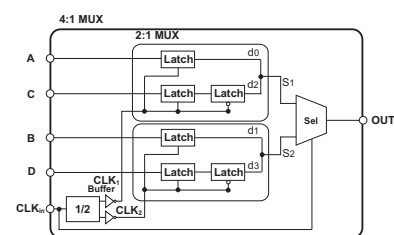
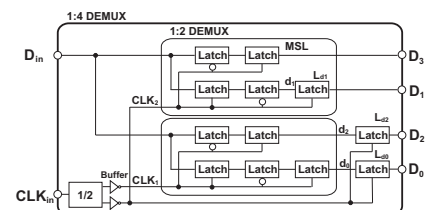


図 2 D ラッチの比較結果.



(a) マルチフェーズ構成 MUX



(b) マルチフェーズ構成 DEMUX

図 3 MUX 回路の構成.