

論文 / 著書情報
Article / Book Information

論題(和文)	Capacitively-Resistively Driven Wireを導入したオンチップRC伝送回路の検討
Title(English)	On-chip RC Line adapting Capacitively-Resistively Driven Wire
著者(和文)	椎野 雄介, 高木 辰則, 前川 智明, 田野井 聡, 石原 昇, 益一哉
Authors(English)	Yusuke Shiino Tatsunori Takagi Tomoaki Maekawa Satoru Tanoi Noboru Ishihara, Tatsunori Takagi, Tomoaki Maekawa, Satoru Tanoi, Noboru Ishihara, Kazuya Masu
出典(和文)	2010 年電子情報通信学会エレクトロニクスソサイエティ大会, , , pp. 90
Citation(English)	, , , pp. 90
発行日 / Pub. date	2010, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2010 Institute of Electronics, Information and Communication Engineers.

Capacitively-Resistively Driven Wireを導入した オンチップRC伝送回路の検討

On-chip RC Line adapting Capacitively-Resistively Driven Wire

椎野 雄介
Yusuke Shiino

高木 辰則
Tatsunori Takagi

前川 智明
Tomoaki Maekawa

田野井 聡
Satoru Tanoi

石原 昇
Noboru Ishihara

益 一哉
Kazuya Masu

東京工業大学 ソリューション研究機構
Solution Science Reserch Laboratory, Tokyo Institute of Technology

1 はじめに

LSIの高集積化・高速化に伴い、コア間やシステム間のオンチップ伝送線路が重要なハードウェアの一つとなっている。オンチップ伝送線路は高速であるだけでなく、小面積・低消費電力であることも重要である。本報告では、従来提案されているCapacitively Driven Wire(CDW)技術[1, 2]に改良を加えたCapacitively-Resistively Driven Wire(CRDW)を提案し、シミュレーションにより検討を行ったので報告する。

2 Capacitively-Resistively Driven Wire の導入

オンチップRC線路の広帯域化手法として、図1(a)に示すようなキャパシティブプリエンファシス技術を用いたCDW回路が提案されている。CDWでは送信回路(Tx)とRC線路の間に配線容量より小さい C_s を挿入する。Txは容量の小さい C_s のみを駆動すればよいので、小振幅伝送となり、高速化・広帯域化が可能である。ところがCDWには低周波数領域で位相が回転してしまうという問題がある。そこで図1(b)のようにキャパシタと並列にMOS抵抗を挿入するCRDWを提案する。抵抗を挿入することで、低周波の信号は抵抗部分を通るので低域における位相回転を防ぐことができ、ジッタ特性も向上する。

3 シミュレーション結果

90 nm CMOS プロセスの適用を想定し、シミュレーションを行った。シミュレーションに用いた回路を図2に示す。RC配線特性は二次元電磁界解析により求めたもので、配線層はM9層を用い、配線幅・配線間隔は $0.6\mu\text{m}$ 、配線長は5 mmとした。Txは差動信号生成回路とCMOSインバータから構成し、受信回路(Rx)はトランスインピーダンスアンプ(TIA)と差動シュミットトリガー回路により構成した。同様の構成のCDW回路とCRDW回路に5 Gbpsの入力信号を加えた時のアイパターンを図3に示す。CDWではジッタが80 psであったのに対し、CRDWでは25 psと大幅に改善された。また、最大動作ビットレートはCDWが6.5 Gbpsであったのに対しCRDWは10 Gbpsであった。CRDWに10 Gbpsの入力信号を加えた時のアイパターンを図4に示す。この時のジッタは35 psであった。

4 まとめ

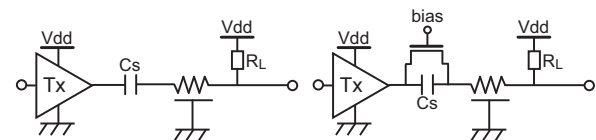
CDWの低域における位相回転を防ぐ手法として、キャパシタと並列にMOS抵抗を挿入するCRDWを提案し、シミュレーションを行った。5 Gbpsの信号入力時において、CRDWはCDWに比べジッタが約70%改善された。また、最大動作ビットレートは50%以上向上した。

謝辞

本研究の一部は、文部科学省科研費、日本学術振興会科研費、総務省SCOPE, NEDO, STARC, 文部科学省科学技術振興調整費(統合研究センター)の支援を受け、東京大学大規模集積システム設計教育研究センターを通じ、アジレント・テクノロジー株式会社の協力により行なわれた。

参考文献

- [1] R.Ho, *et al.*, "High Speed and Low Energy Capacitively Driven On-Chip Wires," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.43, NO.1, JANUARY 2008
- [2] E.Mensink, *et al.*, "A 0.28 pJ/b 2Gb/s/ch Transceiver in 90nm CMOS for 10mm On-Chip Interconnects," IEEE International Solid-State Circuits Conference, pp.414-415, 2007.



(a) CDW

(b) CRDW

図1 CDWとCRDWの概略図

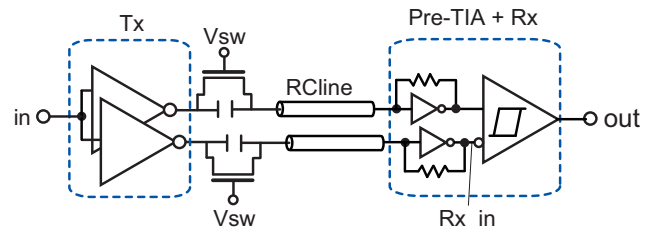
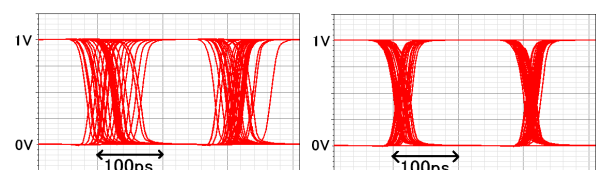


図2 シミュレーションに用いたCRDW回路



(a) CDW

(b) CRDW

図3 5Gbps伝送時のアイパターン

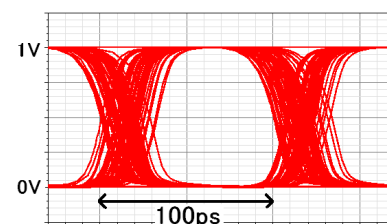


図4 10Gbps伝送時のアイパターン (CRDW)