

論文 / 著書情報  
Article / Book Information

論題(和文)	偶数次電力対称IIRフィルタバンクの回路構造の導出
Title(English)	Derivation of Even-Order Power-Symmetric IIR Filterbanks
著者(和文)	上田永人, 渡部英二, 西原明法
Authors(English)	Nagato Ueda, Eiji Watanabe, Akinori Nishihara
出典(和文)	第25回信号処理シンポジウム, , , pp. 502-507
Citation(English)	, , , pp. 502-507
発行日 / Pub. date	2011, 11
URL	<a href="http://search.ieice.org/">http://search.ieice.org/</a>
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2011 Institute of Electronics, Information and Communication Engineers.

# 偶数次電力対称 IIR フィルタバンクの回路構造の導出

## Derivation of Even-Order Power-Symmetric IIR Filterbanks

上田永人<sup>†</sup>      渡部英二<sup>‡</sup>      西原明法<sup>†</sup>

<sup>†</sup>東京工業大学大学院 集積システム専攻

<sup>‡</sup>芝浦工業大学 システム理工学部

Nagato UEDA<sup>†</sup>

Eiji WATANABE<sup>‡</sup>

Akinori NISHIHARA<sup>†</sup>

<sup>†</sup>The Department of Communications and Integrated Systems, Tokyo Institute of Technology

<sup>‡</sup>The Department of Electronic Information Systems, Shibaura Institute of Technology

**アブストラクト** 本論文では偶数次電力対称フィルタを用いた2チャンネルフィルタバンクの回路構造の導出法を提案している。従来の偶数次電力対称フィルタバンクでは複素係数全域通過フィルタを用いてフィルタバンクの構造を決定していたが、本論文ではその構造から実係数全域通過フィルタを用いた回路構造に変換する方法を導出している。実係数全域通過フィルタを用いた構造により単位時間当たりの乗算回数が削減できることから、提案手法の有効性を示している。

### 1 はじめに

近年、通信分野や情報圧縮の分野などでフィルタバンクの研究がされ、フィルタバンクを構成する方法がこれまでいくつか提案されてきた [1], [6],[7]。

一般的に、フィルタバンクでは信号のサンプリングレートを変更しながら処理を施していく。そのため、出力信号では折返し歪み (ALD:Aliasing Distortion) や振幅歪み (AMD:Amplitude Distortion), そして位相歪み (PHD:Phase Distortion) のような歪みが生じてしまう。この3つの歪みを除去できた場合には入力信号を完全に再構成できたと言える。しかし、人間の聴覚システムなどでは PHD は AMD と比べていくらか鈍感であるため、そのようなシステムに対しては ALD と AMD の除去に努めることがある [8],[9]。

その代表的な例として、全域通過フィルタを用いて ALD と AMD を除去する方法がある。これは電力対称性と呼ばれる性質をもつ IIR の伝達関数の中でも、

$$H(z) = \frac{1}{2} \{A_0(z^2) + z^{-1}A_1(z^2)\} \quad (1)$$

のように、実係数の全域通過フィルタ  $A_0(z^2)$ ,  $A_1(z^2)$  を用いて分子の次数が分母よりも1次だけ高い奇数次のものを利用して構成されているものが多かった [8][9]。これに対して分子と分母の次数が等しい偶数次の伝達関数を用いる場合には、複素係数の全域通過フィルタを用いて

構成することが文献 [3] で提案されたが、構造の複雑さから利用されていることが少ない。また、複素全域通過フィルタを用いた構造では奇数次の時と比べてデシメータを入力側に移動させることができないことから単位時間当たりの乗算回数を削減することができないため、非効率的なものであった。

そこで本論文では、電力対称性を持つ偶数次の IIR フィルタを複素全域通過フィルタを用いることなく、さらにデシメータを入力側に移動できる構造に変換する方法を提案する。特に、電力対称性を持つ IIR の伝達関数では極の値が純虚数になるという性質があることを利用して、極の値から回路中の乗算器の値を決定することを提案している。本論文で提案する構造は従来の構造に比べて単位時間当たりの乗算回数が削減されていることからその有効性を示している。

### 2 偶数次電力対称 IIR フィルタバンク

#### 2.1 2チャンネル電力対称フィルタバンク

一般的に2チャンネルのフィルタバンクとは文献 [1] などで紹介されているように、分析バンクのフィルタ  $H_0(z)$ ,  $H_1(z)$  及び合成バンクのフィルタ  $F_0(z)$ ,  $F_1(z)$ , そしてデシメータとインタポレータによって図1のように表わされる。これまで研究されてきたフィルタバンクの中で

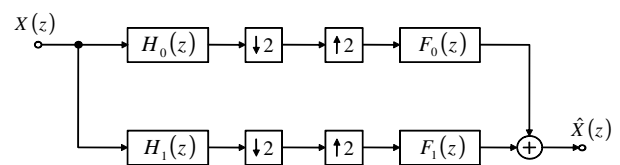


図 1: 2チャンネルフィルタバンク

も、本研究では電力対称性を持つフィルタを用いたフィルタバンクに着目する。電力対称性とは伝達関数  $H(z)$  に対

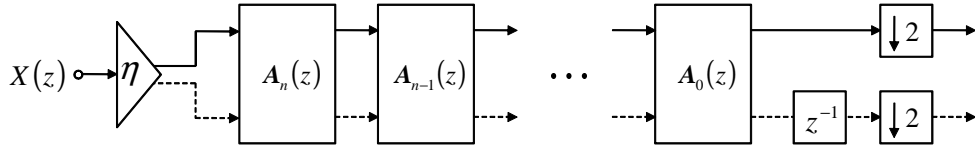


図 4: 複素全域通過フィルタを用いた偶数次 2 チャンネルフィルタバンクのブロック構造

して

$$H(z)H(z^{-1}) + H(-z)H(-z^{-1}) = 1 \quad (2)$$

を満たすものとされている [1],[2] .

## 2.2 偶数次電力対称 IIR フィルタバンク

フィルタバンクで入出力信号の間に生じる歪みのうち, ALD と AMD を除去する方法として, これまでは奇数次の電力対称フィルタを用いて分析バンクのフィルタを

$$H_0(z) = \frac{1}{2} \{A_0(z^2) + z^{-1}A_1(z^2)\} \quad (3)$$

$$H_1(z) = \frac{1}{2} \{A_0(z^2) - z^{-1}A_1(z^2)\} \quad (4)$$

とすることによって構成してきた. ただし,  $A_0(z^2)$  及び  $A_1(z^2)$  は実係数かつ極の値が純虚数となる全域通過フィルタの伝達関数である.

これに対し, 偶数次の電力対称フィルタを扱う場合には図 1 では実現できないために, 図 2 のような構造をもつフィルタバンクを採用してきた [5]. 図 2 の分析バンク

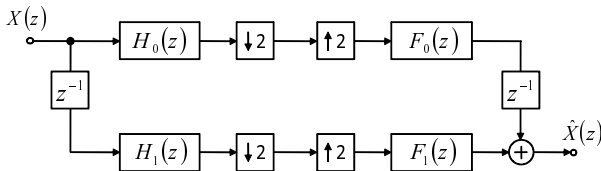


図 2: 偶数次用 2 チャンネルフィルタバンク

と合成バンクにあるフィルタの伝達関数は

$$H_0(z) = \frac{1}{2} \{A(z) + A_*(z)\} \quad (5)$$

$$H_1(z) = \frac{1}{2j} \{A(z) - A_*(z)\} \quad (6)$$

$$F_0(z) = H_0(z) \quad (7)$$

$$F_1(z) = H_1(z) \quad (8)$$

としている. ただし,  $A(z)$  は複素係数かつ極の値が純虚数の全域通過フィルタの伝達関数であり,  $A_*(z)$  は  $A(z)$  の複素共役となる伝達関数である. このフィルタバンクは複素共役の性質を用いることで, 図 2 のフィルタバンクを図 3 とすることができる [3] .

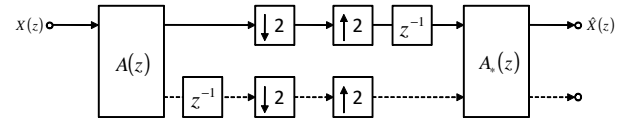


図 3: 複素全域通過フィルタを用いた偶数次 2 チャンネルフィルタバンク

## 3 回路変換

前節では複素全域通過フィルタを用いて図 3 のように偶数次のフィルタバンクを構成することを説明している. しかし, この構造の場合, ポリフェーズ構造になっているわけではないので, デシメータを入力側に移動させることができない. そのため, サンプル数の削減につながらないことにより, 単位時間当たりの乗算回数を削減することを期待できない. そこで, 本節では図 3 の回路構造の等価変換を行うことで, デシメータを入力側に移動できるようにする方法を導出する.

### 3.1 複素全域通過フィルタのブロック構造

まず, 図 3 で使用されている複素全域通過フィルタは, 文献 [3] より,

$$A(z) = \eta \prod_{m=0}^n \left( \frac{jb_m + z^{-1}}{1 - jb_m z^{-1}} \right) \quad (9)$$

と表現される. ただし,  $\eta = \frac{1+j}{\sqrt{2}}$  とし,  $n$  は  $2n$  が伝達関数  $H_0(z)$  の次数, そして  $b_m$  は実数とする. このことから, 図 3 は図 4 のようなブロック構造として考えられる.

ここで, 各ブロックの複素全域通過フィルタは

$$A_m(z) = \frac{jb_m + z^{-1}}{1 - jb_m z^{-1}} \quad (10)$$

となる伝達関数からなる 2 ポート回路であり, 式 (10) を実部と虚部に分けることによってこの回路の散乱行列を得ることができる. すなわち, 式 (10) から

$$A(z) = \frac{1}{A_{d,m}(z)} \{A_{r,m}(z) + jA_{i,m}(z)\} \quad (11)$$

のようにする. ただし,

$$A_{d,m}(z) = 1 + b_m^2(z) \quad (12)$$

$$A_{r,m}(z) = (1 - b_m^2(z))z^{-1} \quad (13)$$

$$A_{i,m}(z) = b_m(1 + z^{-2}) \quad (14)$$

とする．このとき，各 2 ポート回路の散乱行列は

$$\mathbf{A}_m(z) = \frac{1}{A_{d,m}(z)} \begin{bmatrix} A_{r,m}(z) & -A_{i,m}(z) \\ A_{i,m}(z) & A_{r,m}(z) \end{bmatrix} \quad (15)$$

と表現される．

### 3.2 2 ポート回路の等価変換

図 4 のブロック構造ではデシメータを入力側に移動させることができない．そこで，ここではデシメータを移動できるようにするための回路構造の等価変換を導いていく．

まず，デシメータを移動させる前に，デシメータの手前にある遅延要素を移動させて， $z^2$  をベースとするブロックとすることを考える．しかし，一度に移動させることは困難なので，まずは 1 つのブロックの中で遅延要素を移動させることを考える．このとき，遅延要素の移動方法として 2 つ考えられる．1 つは，図 5 の (a) のように，出力側で下にある遅延要素を入力側で上に移動させる方法 (タイプ 1)．もう 1 つはその逆であり，図 5 の (b) のようになる方法 (タイプ 2) である．これら 2 つの変換方法について考えていく．

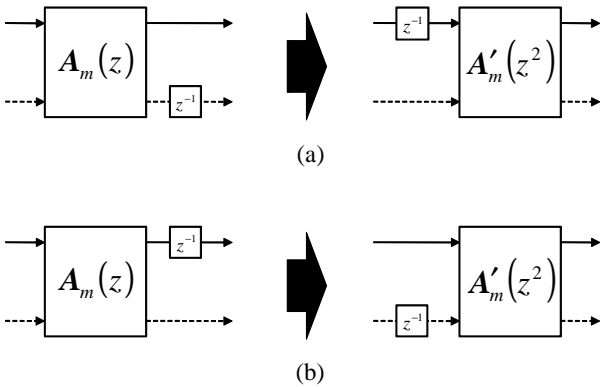


図 5: 等価変換

#### (1) 回路変換タイプ 1

変換後の 2 ポート回路の散乱行列  $\mathbf{A}'_m(z)$  を

$$\mathbf{A}'_m(z) = \frac{1}{A_{d,m}(z)} \begin{bmatrix} a'_{00}(z) & a'_{01}(z) \\ a'_{10}(z) & a'_{11}(z) \end{bmatrix} \quad (16)$$

とすると，式 (15)，(16) より，

$$\begin{bmatrix} 1 & 0 \\ 0 & z^{-1} \end{bmatrix} \mathbf{A}_m(z) = \mathbf{A}'_m(z) \begin{bmatrix} z^{-1} & 0 \\ 0 & 1 \end{bmatrix} \quad (17)$$

となればよい．よって， $\mathbf{A}'_m(z)$  の各要素は

$$a'_{00}(z) = z A_{r,m}(z) = 1 - b_m^2 \quad (18)$$

$$a'_{01}(z) = -A_{i,m}(z) = -b_m(1 + z^{-2}) \quad (19)$$

$$a'_{10}(z) = A_{i,m}(z) = b_m(1 + z^{-2}) \quad (20)$$

$$a'_{11}(z) = z^{-1} A_{r,m}(z) = (1 - b_m^2) z^{-2} \quad (21)$$

となる．また，得られた  $\mathbf{A}'_m(z)$  に対して，文献 [4] の極の値を用いた引抜き方法によって図 6 のような回路構造を得ることができる．ただし，図中の  $A_m(z)$  及び  $k_m, k'_m$  は

$$A_m(z) = \frac{b_m^2 + z^{-1}}{1 + b_m^2 z^{-1}} \quad (22)$$

$$k_m = \frac{b_m^2}{1 + b_m^2} \quad (23)$$

$$k'_m = \frac{1}{b_m} \quad (24)$$

となる．

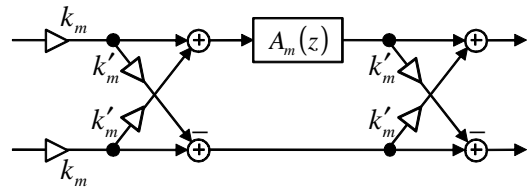


図 6:  $\mathbf{A}'_m(z)$  の回路

#### (2) 回路変換タイプ 2

タイプ 1 と同様にすると，図 5 の (b) から，

$$\begin{bmatrix} z^{-1} & 0 \\ 0 & 1 \end{bmatrix} \mathbf{A}_m(z) = \mathbf{A}'_m(z) \begin{bmatrix} 1 & 0 \\ 0 & z^{-1} \end{bmatrix} \quad (25)$$

となればよい．よって， $\mathbf{A}'_m(z)$  の各要素は

$$a'_{00}(z) = z^{-1} A_{r,m}(z) = (1 - b_m^2) z^{-2} \quad (26)$$

$$a'_{01}(z) = -A_{i,m}(z) = -b_m(1 + z^{-2}) \quad (27)$$

$$a'_{10}(z) = A_{i,m}(z) = b_m(1 + z^{-2}) \quad (28)$$

$$a'_{11}(z) = z A_{r,m}(z) = 1 - b_m^2 \quad (29)$$

となり， $\mathbf{A}'_m(z)$  の回路は図 7 のようになる．ただし，図中の  $A_m(z)$  及び  $k_m, k'_m$  は

$$A_m(z) = \frac{b_m^2 + z^{-1}}{1 + b_m^2 z^{-1}} \quad (30)$$

$$k_m = \frac{1}{1 + b_m^2} \quad (31)$$

$$k'_m = b_m \quad (32)$$

となる．

以上の 2 つのタイプの回路変換を行うことにより，遅延要素を入力側に移動させることができる．さらに，式

(18)-(21) 及び式 (26)-(29) から、遅延要素を移動させた後の 2 ポート回路の散乱行列は  $A'_m(z^2)$  と表現することができるので、図 8 のように貴等価性を利用してデシメータも同時に入力側に移動させることができる。

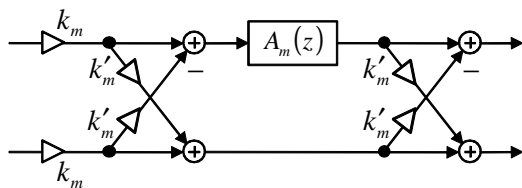


図 7:  $A'_m(z)$  の回路

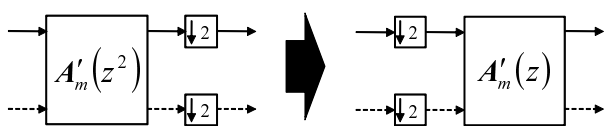


図 8: 貴等価性を利用

### 3.3 乗算器の削減

3.1, 3.2 の方法を用いると、デシメータの移動が可能となる。しかし、図 6, 7 の回路の接続部分においては乗算器の数を削減することができる。まず、図 6, 7 の中の  $k_m$  は入力側に移動できる。次に、 $k'_m$  の部分については図 9 のように変形できる。ただし、

$$K_m = \frac{k'_m - k'_{m+1}}{1 + k'_m k'_{m+1}} \quad (33)$$

となる。また、 $1 + k'_m k'_{m+1}$  の部分は入力側に移動できる。

これらの操作は入力側に乗算器が集約されることになるので、入力信号のレベルが変化してしまう。本論文ではこの状態が許容されている場合を想定している

### 3.4 単位時間当たりの乗算回数

分母と分子の多項式が同次数の電力対称の伝達関数を複素全域通過フィルタを用いず、実全域通過フィルタを用いたラティス構造にすることで、貴等価性を利用することができるようになる。それによって乗算回数などの程度削減できるかを示していく。

分析バンクの伝達関数の次数を  $2n$  ( $n$  は自然数) とおく。これを複素全域通過フィルタで図 4 のように表すことができる。図 4 の中の各複素全域通過フィルタは図 11 のように乗算器が 2 つの回路として表現される。次に入力信号のサンプリング周波数を  $f$  とする。このとき、分析バンクにおいて必要とする単位時間当たりの乗算回数は入力側の  $\eta$  も含めると

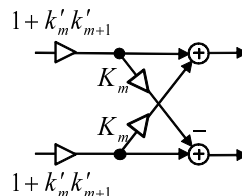
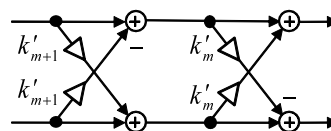


図 9: 乗算器の削減

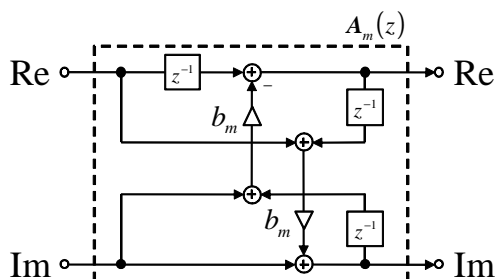


図 11: 複素全域通過フィルタの回路

$$(2n + 1) \times f \quad (34)$$

となる。次に、提案手法によって図 10 のようなラティス構造で表現した場合、貴等価性によってデシメータを入力側に移動できることから、単位時間当たりの乗算回数は

$$\{2(n + 1) + n\} \frac{f}{2} + 1 \cdot f = \left(\frac{3}{2}n + 2\right) f \quad (35)$$

となる。サンプリング周波数を 44.1kHz とすると、複素演算のまま行う場合と、ラティス構造にして貴等価性を用いた場合の比較を図 12 に示す。提案するラティス構造の方では乗算回数が削減されていることがわかる。

## 4 構成例

前節までで提案してきた方法を用いて実際に回路を導出していく。例として、6 次の電力対称連立チェビシェフフィルタを用いる。このフィルタは

$$A(z) = \eta \cdot \frac{jb_0 + z^{-1}}{1 - jb_0 z^{-1}} \cdot \frac{-jb_1 + z^{-1}}{1 + jb_1 z^{-1}} \cdot \frac{jb_2 + z^{-1}}{1 - jb_2 z^{-1}} \quad (36)$$

という 3 次の複素全域通過フィルタで構成される。ただし、 $b_0 = 0.261935$ ,  $b_1 = 0.674624$ ,  $b_2 = 0.912402$  であ

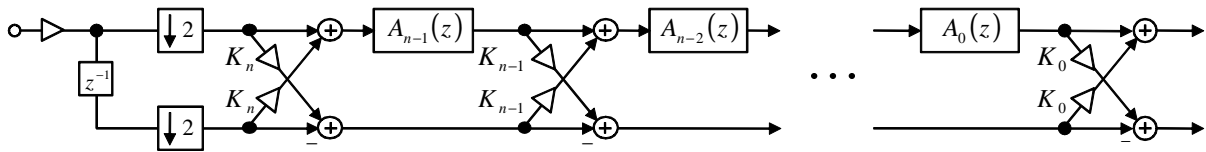


図 10: 偶数次の場合のラティス構造

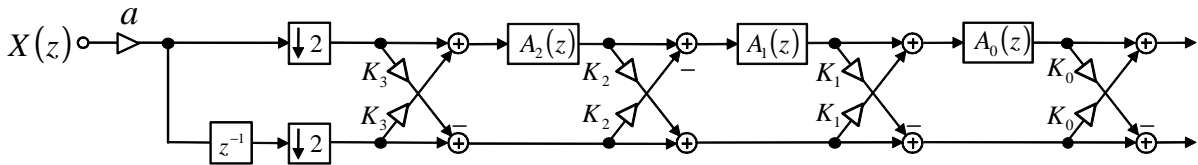


図 13: 実全域通過フィルタを用いた 2 チャンネルフィルタバンク (6 次連立チェビシェフ、分析バンク)

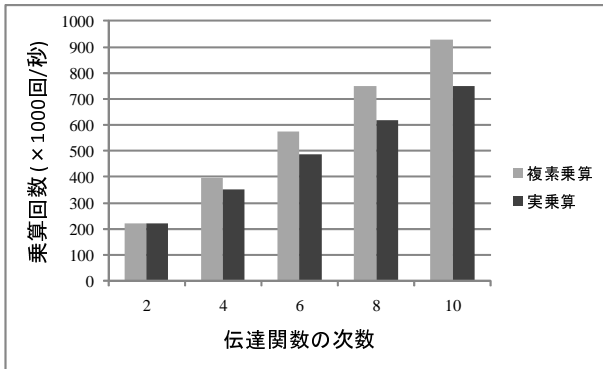


図 12: 単位時間当たりの乗算回数の比較

る．この伝達関数から，まずは図 4 のようなブロック構造を導き，この構造の中の各 2 ポート区間に対して等価変換を行う．結果として図 13 のような回路構造を得ることができる．回路図中の各要素の値は表 1 のようになる．また，合成バンクの構造は文献 [4] の方法を用いて図 14 のようになる．

## 5 むすび

本論文では分母と分子の次数が等しい偶数次電力対称 IIR フィルタを用いて 2 チャンネルフィルタバンクの構造を導出する方法を提案した．従来では複素係数の全域通過フィルタを用いてフィルタバンクを構成していたのを，回路の等価変換を行うことにより，実係数の全域通過フィルタを用いた構造に変換した．特に，この手法では元の伝達関数から得られる極の値から回路中の乗算器の値を決定することが可能である．さらにこの回路変換によりデシメータを入力側に移動させることが可能になったため，単位時間当たりの乗算回数を削減することが可能となった．

表 1: 図 13 中の係数

係数	極と係数の関係式	値
$a$	$\frac{b_0 b_2 (b_1 + b_2)(b_0 + b_1)}{\sqrt{2}(1 + b_0^2)(1 + b_1^2)(1 + b_2^2)}$	-0.00581974
$K_0$	$\frac{1}{b_0}$	3.81774
$K_1$	$\frac{1 - b_0 b_1}{b_0 + b_1}$	-2.85132
$K_2$	$\frac{b_1 b_2 - 1}{b_1 + b_2}$	-6.79427
$K_3$	$\frac{1}{b_2}$	1.09601
$A_0(z)$	$\frac{b_0^2 + z^{-1}}{1 + b_0^2 z^{-1}}$	$\frac{0.0686099 + z^{-1}}{1 + 0.0686099 z^{-1}}$
$A_1(z)$	$\frac{b_1^2 + z^{-1}}{1 + b_1^2 z^{-1}}$	$\frac{0.455118 + z^{-1}}{1 + 0.455118 z^{-1}}$
$A_2(z)$	$\frac{b_2^2 + z^{-1}}{1 + b_2^2 z^{-1}}$	$\frac{0.832477 + z^{-1}}{1 + 0.832477 z^{-1}}$

## 参考文献

- [1] P. P. Vaidyanathan, Multirate Systems and Filter Banks, Prentice Hall, Englewood Cliffs, NJ, 1992.
- [2] P. P. Vaidyanathan, "Some properties of IIR power-symmetric filters," IEEE ICASSP, Vol. 3, pp. III-1449-III-1452, Honolulu, HI, June. 2007.
- [3] P. P. Vaidyanathan, P. A. Regalia and S. K. Mitra, "Design of Doubly-Complementary IIR Digital Fil-

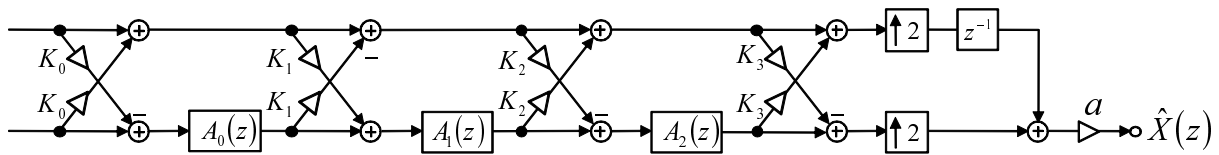


図 14: 実全域通過フィルタを用いた 2 チャンネルフィルタバンク (6 次連立チェビシェフ、合成バンク)

ters Using a Single Complex Allpass Filter, With Multirate Applications”, IEEE Trans. Circuits & Syst., CAS-34, no. 4, pp. 378-389, April 1987.

- [4] N. Ueda, E. Watanabe, A. Nishihara, “Synthesis of 2-Channel IIR Paraunitary Filter Banks by Successive Extraction of 2-Port Lattice Sections”, IEICE Trans. Fundamentals (掲載予定).
- [5] C.R. Galand and H.J. Nussbaumer, “New quadrature mirror filter structures,” IEEE Trans. Acoustics, Speech, Signal Process., vol. ASSP-32, pp. 522-531, June 1984
- [6] A. Spanias, T. Painter, V. Atti, Audio Signal Processing and Coding, Wiley Interscience, 2007.
- [7] L. Millić, Multirate Filtering for Digital Signal Processing, Information Science Publishing, 2009.
- [8] H. W. Lollmann, M. Hildenbrand, B. Geiser, P. Vary, “IIR QMF-Bank Design for Speech and Audio Subband Coding,” IEEE Workshop on Application of Signal Processing to Audio and Acoustics (WASPAA), pp. 269-272, 2009.
- [9] R. Ansari, H. Malik, A. Khokhar, “Data-Hiding in Audio Using Frequency-Selective Phase Alteration,” IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP), pp. V - 389-392, vol. 5, 2004.