T2R2 東京工業大学リサーチリポジトリ
Tokyo Tech Research Repository

論文 / 著書情報
Article / Book Information

論題(和文)	インジェクションロックを適用したインダクタレス位相同期ループ回路
Title(English)	
著者(和文)	李 尚曄, 天川 修平, 伊藤 浩之, 石原 昇, 益 一哉
Authors(English)	Sangyeop Lee, Shuhei Amakawa, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu
出典(和文)	2011 年 電子情報通信学会総合大会, , , p. 83
Citation(English)	, , , p. 83
発行日 / Pub. date	2011, 3
URL	http://www.ieice.org/jpn/books/t_g.html
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2011 Institute of Electronics, Information and Communication Engineers.

Powered by T2R2 (Tokyo Institute Research Repository)

インジェクションロックを適用した インダクタレス位相同期ループ回路

An Inductorless Phase-Locked Loop with an Injection Locking Technique.

李　尚曄　Sangyeop Lee　天川　修平　Shuhei Amakawa　伊藤　浩之　Hiroyuki Ito　石原　昇　Noboru Ishihara　益　一哉　Kazuya Masu

東京工業大学 ソリューション研究機構
Solutions Research Laboratory, Tokyo Institute of Technology

1　はじめに

無線通信端末の小型化・低コスト化のために、RF LSI にはマルチバンド動作とデバイスの微細化に追従した面積のスケーラビリティが強く求められている。我々のグループでは、スケーラビリティをもつ RF CMOS 回路してインダクタレル回路技術の開発を行っている。本研究では，リング型 VCO を利用したインダクタレス位相同期ループ回路 (PLL: Phase-Locked Loop) を開発したので報告する。

2　インダクタレス回路構成の検討

インダクタレスのリング型 VCO は小面積で広帯域動作が可能というメリット、一方で位相雑音特性が LC 型 VCO と比べ、20–30dB 以上劣化するというデメリットを持つ。位相雑音の改善策として本研究ではインジェクションロックという位相同期手法を適用した。

インジェクションロック VCO では、ハイパスフィルタリングの効果により位相雑音が改善する。図 1 に模式的にこの様子 ($S_{\mathrm{VCO}} \rightarrow S_{\mathrm{ILO}}$) を示す。フィルタのカットオフ周波数、すなわちインジェクションロックのロックレンジ (f_{L}) は以下の式に表すことができる。

$$f_{\mathrm{L}} = \frac{f_0}{2Q} \cdot \sqrt{\frac{I_{\mathrm{inj}}}{I_0}} \cdot \frac{1}{N} \qquad (1)$$

ここで、Q は回路全体の Q 値、f_0 はロック時の VCO の出力周波数を示す。また、I_{inj} は注入信号による電流変化値、I_0 は VCO のアクティブ素子に流れる電流値、そして N は分周比 (= f_0/f_{inj}) を示す。この式より、トポロジー的に低い Q 値を持つリング型 VCO は、広いロックレンジを確保することができ、位相雑音特性を大幅に改善することが分かる。

図 2 に提案回路のブロック図を示す。制御電圧生成回路として PLL を設て周波数を制御し、参照信号をパルス化して直接 VCO に注入して位相制御を行う形になっている。

3　測定結果

図 3 は試作チップ写真である。90 nm CMOS により試作を行い、0.38×0.21 mm^2 の小面積な PLL を実現した。

図 4 は 6.84 GHz 発振のときの位相雑音測定結果を示す。190 MHz の参照信号を用いたインジェクションロックを加えることで、位相雑音は 1 MHz オフセットで −109 dBc/Hz となり、従来の PLL 構成のみの結果より 10 dB 改善された。そのときの消費電力は 13 mW (電源電圧: 1 V) であった。

4　まとめ

本研究では、インジェクションロックを利用したインダクタレスで低位相雑音な PLL を提案した。インジェクションロックを用いることでリング型 VCO の低位相雑音化（−109 dBc@1 MHz) ができることを確認した。

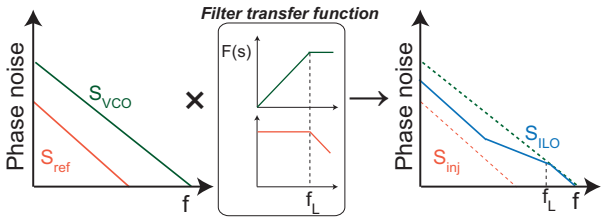

図 1　位相雑音のハイパスフィルタリング

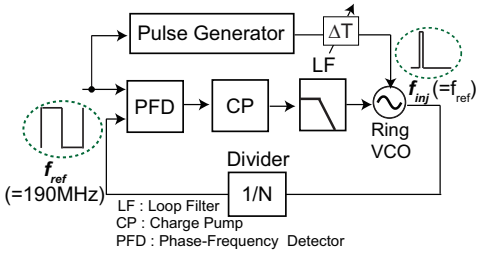

図 2　提案 PLL のブロック図

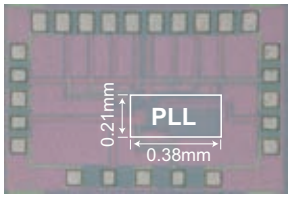

図 3　試作チップ写真

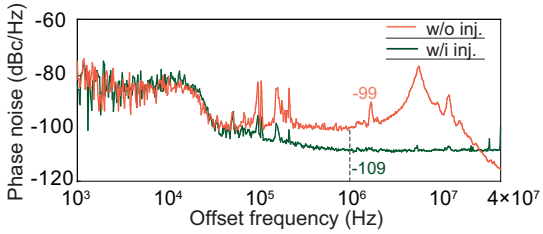

図 4　f_0 = 6.84 GHz, f_{inj} = 190 MHz のときの位相雑音

謝辞

本研究の一部は，STARC，日本学術振興会科研費，総務省 SCOPE，NEDO の支援を受け，東京大学大規模集積システム設計教育研究センターを通し，日本ケイデンス株式会社，メンターグラフィックス株式会社，アジレント・テクノロジー株式会社の協力により行なわれた．

Copyright © 2011 IEICE