

論文 / 著書情報  
Article / Book Information

論題(和文)	MEMS静電アクチュエータに向けた高電圧CMOSチャージポンプ回路
Title(English)	
著者(和文)	白根 篤史, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Atsushi Shirane, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2011 年 電子情報通信学会総合大会, , , p. 108
Citation(English)	, , , p. 108
発行日 / Pub. date	2011, 3
URL	<a href="http://www.ieice.org/jpn/books/t_g.html">http://www.ieice.org/jpn/books/t_g.html</a>
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2011 Institute of Electronics, Information and Communication Engineers.

# MEMS 静電アクチュエータに向けた 高電圧 CMOS チャージポンプ回路

A High Voltage CMOS Charge Pump Circuit for MEMS Electrostatic Actuators

白根 篤史  
Atsushi Shirane

天川 修平  
Shuhei Amakawa

石原 昇  
Noboru Ishihara

益 一哉  
Kazuya Masu

東京工業大学 ソリューション研究機構  
Solutions Research Laboratory, Tokyo Institute of Technology

## 1 はじめに

近年、CMOS と MEMS (Micro Electro Mechanical Systems) を融合するような異種機能集積技術に注目が集まっている。微小な変位を制御する MEMS 静電アクチュエータは数十ボルト以上の高電圧を必要とする。しかし現在の微細化が進んだ CMOS ではその耐圧が低いため、数十ボルトという高電圧の実現が課題となっている。今回微細 CMOS プロセスで、高電圧の出力が可能なチャージポンプ回路を設計、試作評価を行い、その有効性を確認したので報告する。

## 2 高電圧チャージポンプ回路の設計

図 1 に今回設計したチャージポンプ回路の全体構成を示す。チャージポンプ回路はその他の昇圧回路に比べインダクタを用いないため小面積で昇圧を実現することができる。提案する回路では正の電圧を作るチャージポンプ回路と負の電圧を作る回路の差分を負荷の駆動電圧とすることにより、最大出力電圧を約二倍にする。

図 2 に正負それぞれのチャージポンプ回路の回路図を示す。チャージポンプ回路の最大出力電圧を律則するものは大きく分けて二つある。一つはチャージポンプ回路で用いるキャパシタの耐圧である。提案する正負それぞれのチャージポンプ回路では、キャパシタに加えるクロックを全て同じものを使うのではなく、図 2 に示すようにチャージポンプの各段の出力をそれぞれ利用することによりキャパシタにかかる電圧を低減することができる。元となるクロックはリング型の電流制御 VCO の出力をクロックバッファに通したものを利用した。

二つ目は、pn 接合の逆バイアス方向のブレイクダウン電圧である。提案回路ではトリプルウェル構成の CMOS プロセスを用いて、Backgate と Deep-N-Well の各 pn 接合が逆バイアスになるように、さらにブレイクダウン電圧を上回らないようにウェルの電圧を決定した。図 2 のように Backgate、Deep-N-Well を接続することにより、最大出力電圧は pn 接合のブレイクダウン電圧程度まで高めることができる。

## 3 高電圧チャージポンプ回路の試作結果

提案する回路を  $0.18\mu\text{m}$  CMOS プロセスを用いて試作した。電源電圧は  $3.3\text{V}$ 、使用した MIM キャパシタの耐圧は  $5\text{V}$ 、pn 接合のブレイクダウン電圧は  $15\text{V}$ 、回路面積は  $430 \times 350\mu\text{m}^2$  である。図 3 に正負それぞれのチャージポンプ回路の出力電圧の測定結果を示す。測定は VCO の発振周波数を  $45\text{MHz}$  にして、入力インピーダンスが  $10\text{M}\Omega$  のオシロスコープを用いて行った。正、負電圧チャージポンプ回路の出力電圧はそれぞれ、 $+13\text{V}$ 、 $-11\text{V}$  で、二つの回路の出力を利用することで  $24\text{V}$  の出力電圧を得ることができる。またこのときの回路全体の消費電力は  $2.5\text{mW}$  であった。

## 4 まとめ

微細 CMOS プロセスを用いて、高電圧を出力できるチャージポンプ回路を設計、試作評価を行った。正負二つのチャージポンプ回路を用いることに加え、クロックに前段の出力を利用すること、さらに各ウェルに適切な電圧を与えることにより、 $24\text{V}$  の高電圧の出力を実現し、提案回路の有効性を確認した。

## 謝辞

本研究の一部は、STARC、日本学術振興会科研費、総務省 SCOPE、NEDO、の支援を受け、東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社の協力により行なわれた。

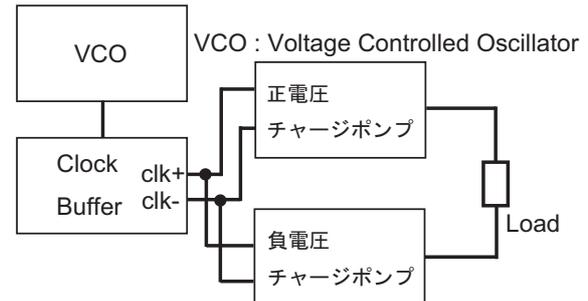


図 1 提案回路の全体構成

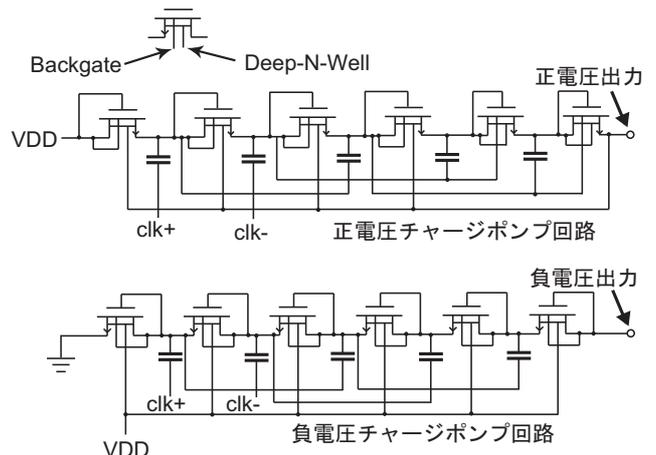


図 2 チャージポンプ回路図

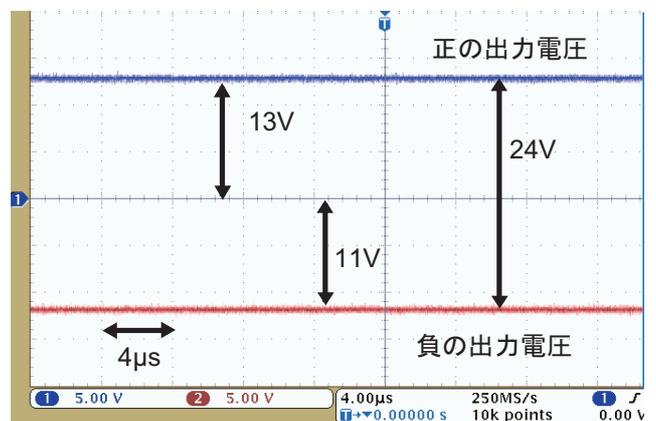


図 3 測定した出力電圧