T2R2 東京科学大学 リサーチリポジトリ
Science Tokyo Research Repository

論文 / 著書情報
Article / Book Information

論題(和文)	光インターコネクションに向けた低損失GaInAsP細線導波路の実現
Title(English)	Low-loss GaInAsP wire waveguide for optical interconnection
著者(和文)	李智恩, 前田泰奈, 渥美裕樹, 瀧野祐太, 西山伸彦, 荒井滋久
Authors(English)	Jieun Lee, Yasuna Maeda, Yuki Atsumi, Yuuta Takino, Nobuhiko Nishiyama, SHIGEHISA ARAI
出典(和文)	電子情報通信学会 シリコン・フォトニクス研究会, , ,
Citation(English)	TECHNICAL MEETING ON SILICON PHOTONICS SIPH, , ,
発行日 / Pub. date	2011, 11
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2011 Institute of Electronics, Information and Communication Engineers.

Powered by T2R2 (Science Tokyo Research Repository)

社団法人 電子情報通信学会
THE INSTITUTE OF ELECTRONICS,
INFORMATION AND COMMUNICATION ENGINEERS

シリコン・フォトニクス研究会
TECHUNICAL MEETING ON SILICON PHOTONICS
SIPH2011-99

光インターコネクションに向けた低損失 GaInAsP 細線導波路の実現
Low-loss GaInAsP wire waveguide for optical interconnection

李　智恩, 前田　泰奈, 渥美　裕樹, 瀧野　祐太, 西山　伸彦, 荒井　滋久
Jieun LEE, Yasuna MAEDA, Yuki ATSUMI, Yuta TAKINO, Nobuhiko NISHIYAMA, Shigehisa ARAI
東京工業大学　電気電子工学専攻
Dept. of Electrical and Electronic Engineering, Tokyo Institute of Technology
量子ナノエレクトロニクスセンター
Quantum Nanoelectronics Research Center, Tokyo Institute of Technology
〒152-8552　東京都目黒区大岡山 2-12-1, S9-5, 7F-706
E-mail: arai@pe.titech.ac.jp

Abstract

To realize photonic integrated circuits on LSIs with membrane structure based III-V materials, we have studied GaInAsP wire waveguide embedded in SiO_2 cladding layers bonded on a Si substrate by benzocyclobutene (BCB) wafer bonding method. The bonding process and waveguide fabrication process were investigated toward reducing the sidewall roughness and the propagation loss. As the result, a propagation loss of 4 dB/cm, which is a record low value among those reported for III-V wire waveguides, was attained.

LSI の電気グローバル配線を代替すべく極低消費電力かつ小型な LSI 上光集積回路の導入が期待されている[1]。われわれは、薄膜Ⅲ-Ⅴ族化合物半導体材料を用いて半導体レーザや導波路などからなる光集積回路を構成し、それを Si 基板上に貼り付けることによる光インターコネクションを提案してきた[2]。粘着性材料である誘電体 Benzocyclobutene (BCB)を用いる貼付法で Si 基板上に作製した GaInAsP 細線導波路の伝搬損失として 17 dB/cm を報告してきたが[3]、今回、導波路の作製プロセスの改良を行った結果、側壁ラフネスの低減および導波路の低損失化が得られたのでご報告する。

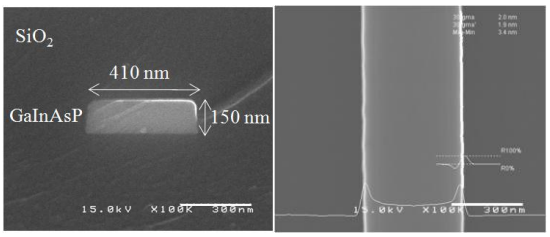
まず、InP 基板上に GaInAs エッチストップ層およびコアとなる GaInAsP 層(150 nm)を成長した。その基板に下部クラッドとなる SiO_2 を 1.5 μm 堆積し、BCB を塗布した Si 基板上に貼り付けた後、薄膜化した。次に電子線露光法を用いて細線パターンを転写し、CH_4/H_2 ICP-RIE を用いて導波路を作製後、SiO_2 上部クラッド(1.5 μm)を堆積した。従来用いていた電子線ネガレジスト (ma-N2405) の代わりにポジレジスト (ZEP520A/ZEP-C_{60})を用いた[4]。更にマスク転写の垂直性の向上を目的として、ICP-RIE エッチングにおける圧力を 3Pa から 2Pa に低減させた。

試作した幅 410 nm、高さ 150 nm の GaInAsP 細線導波路の断面 SEM 写真を Fig. 1 に示す。導波路の側壁ラフネスは、ネガレジスト使用時と比較し、3σ'値で 3.2 nm から 1.9 nm まで低減した。また、直線領域 2 mm, 6 mm, 10 mm、90°曲げ半径 10 μm で作製した導波路の伝搬損失は、Fig. 2 に示すように前回報告の 17 dB/cm からⅢ-Ⅴ族化合物細線導波路としてこれまで報告された中で最も低い値 4 dB/cm に改善した。

本研究は文部科学省科学研究費補助金(#19002009, #22360138, #21226010, #11J08863)、および総合科学学術会議により制度設計された JSPS-FIRST プログラムの援助により行われた。

References

[1] D. A. B. Miller, Proc. IEEE, vol.88, no.6, pp.728-749, June 2000.
[2] T. Okumura, et al., Appl. Phys. Exp., vol.4, no.4, pp.042101-3, March 2011.
[3] Y. Maeda et al., 23rd IPRM, Berlin, P08, May 2011.
[4] K. Inoue, et al., Jpn. J. Appl. Phys., vol.48, no.3, pp.030208-3, March 2009.



(a) cross-sectional view　　(b) top view
Fig. 1 SEM images of a GaInAsP wire waveguide.

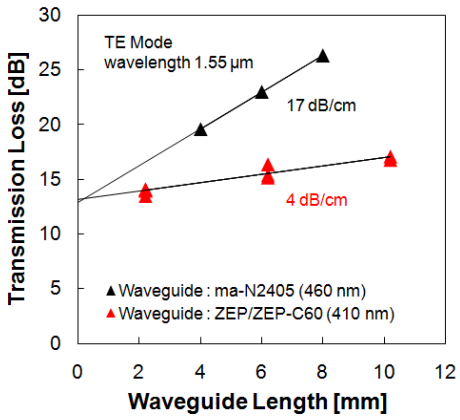


Fig. 2 Propagation characteristics of GaInAsP wire waveguides using ma-N2405 and ZEP520A/ZEP-C_{60}.