T2R2 東京科学大学 リサーチリポジトリ
Science Tokyo Research Repository

論文 / 著書情報
Article / Book Information

論題	遅延ばらつき適応回路：遅延ばらつき状況下の高性能回路
Title	Delay-variation Aware Adaptive Circuits - High-performance Circuits under Delay Variation Environments -
著者	高橋篤司
Authors	Atsushi Takahashi
出典	第25回 回路とシステムワークショップ論文集, , , pp. 184-189
Citation	Proc. the 25th Workshop on Circuits and Systems, , , pp. 184-189
発行日 / Pub. date	2012, 7
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 (c) 2012 Institute of Electronics, Information and Communication Engineers

Powered by T2R2 (Science Tokyo Research Repository)

遅延ばらつき適応回路
—遅延ばらつき状況下の高性能回路—

Delay-variation Aware Adaptive Circuits
—High-performance Circuits under Delay Variation Environments—

高橋篤司
東京工業大学 大学院 理工学研究科 集積システム専攻

Atsushi TAKAHASHI
Tokyo Institute of Technology

概 要

集積回路において，高位の動作レベルでは，処理を効率的に実行するために，状況に応じて動作を変更したり投機実行を行うなど，様々な工夫がなされる．一方，回路レベルでは，一般に，想定する状況下で常に一定の処理を一定の時間内に実行することを前提に，遅延エラーが発生しないように設計がなされる．しかし，様々な要因で発生する遅延ばらつきの影響が大きくなってきており，回路のさらなる高性能化を遅延エラーの発生を許容しないで達成することは徐々に困難となってきている．そのため，遅延エラーの発生やその可能性の大小を回路レベルで検出し，それらによって回路動作を変更する方式が検討されている．遅延ばらつきに回路レベルで対処する技術について，各単位処理のレイテンシを遅延エラーの発生の有無で変更する可変レイテンシ回路を中心に概説する．

1 はじめに

集積回路やそれらを含むシステムの性能向上への要求は，性能を表す指標自体は，製造技術や社会環境の変化など，状況に応じて変化を続けているが，なくなることはない．製造技術の進歩によってプロセスが微細化し，設計技術の進歩によって設計規模が増大する中で，低い製造コストで高い性能を達成することが，様々な方法により追求されている [1, 2]．現在は，携帯端末の普及や発熱などの観点から消費電力の削減が大きな課題になっており，様々な低消費電力技術が追求されている [3]．また，プロセスの微細化によって，様々な回路パラメータの絶対値は小さくなる一方で分散は大きくなる傾向にあり，回路の性能や信頼性に大きな影響を与えるようになってきており，それらへの対処が求められている [4]．

回路パラメータのばらつきが大きくなってきている中で，より理想的でばらつきが小さい状況を想定し，その想定を十分生かした設計を追求すれば，より大きな性能向上が達成できる可能性が大きくなる．しかし，想定外の状況に陥る可能性が高くなり，集積回路の歩留まりの低下やシステムの信頼性の低下を招くため，正常に動作するシステムを構築するためのコストは上昇することになる．逆に，歩留まりや信頼性の向上を追求すれば，大きなばらつきに対処しなければならず性能向上への余地は小さくなる．このため，高い性能を低い製造コストで達成するため，製造や使用に際し，ばらつきを小さくしたり，故障の確率を下げるための様々な努力がなされているだけでなく，設計においてもばらつきなどの影響を抑えるための設計方法論が議論されている．

高位の動作レベルでは，処理を効率的に実行するために，入力や演算結果などを含め様々な状況に応じて，動作を変更したり投機実行を行うなど，様々な工夫がなされている．一方，回路レベルでは，一般に，想定する状況下で常に一定の処理を一定の時間内に実行することを前提に，遅延エラーが発生しないように設計がなされる．しかし，様々な要因で発生する遅延ばらつきの影響が大きくなってきており，回路のさらなる高性能化を遅延エラーの発生を許容しないで達成することは徐々に困難となってきている．そのため，遅延エラーの発生やその可能性の大小を回路レベルで検出し，それらによって回路動作を変更する方式が検討されている．本稿では，遅延ばらつきに回路レベルで対処する技術について，各

単位処理のレイテンシを遅延エラーの発生の有無で変更する可変レイテンシ回路を中心に概説する．

2 ばらつきの影響

ばらつきの影響を考慮した設計方法論が議論されるようになったのは，比較的最近になってからであると思われる．しかし，以前は回路部品の信頼性が低いため故障に対処する必要があり，一部分が故障してもシステム全体の動作を確保するための耐故障設計，フォールトトレランス (Fault-Tolerance) などに関する研究が古くから広くなされてきた．現在では，安全性や安心といった心理面まで含めたディペンダビリティー (dependability) に関する研究が盛んに行われている [5, 6]．故障とばらつきでは性質が異なる部分もあるが，対処への方法論としては共通する部分も多い．

ばらつきの要因は，製造ばらつき，経年劣化，電圧や温度変動，クロックジッタ，ノイズ，ソフトエラーなど，さまざまであるが，連続的事象か離散的事象か，変化量の絶対値や変化の時定数，空間的時間的相関の有無や大きさなども大きく異なり，それぞれの要因によって，モデル化や対処法は異なり，状況によっては，一時的故障や永久故障とみなされることもある．例えば，最近では，ばらつきを考慮した遅延解析 [7]，電源線雑音の測定・低減手法 [8]，製造ばらつき，環境ばらつきを考慮した検証 [9]，ばらつきを考慮した設計 [10]，ソフトエラーや経年劣化対策 [4] など様々な研究がなされている．

3 同期回路設計

本稿では，デジタル回路に関して，ばらつきが大きい状況での性能を向上させるための方法について議論する．

デジタル回路における最も重要な設計方法論の一つは，順序回路の入力と状態をクロックに同期させ変化させ，クロックに同期して出力と次状態を決定するクロックを用いた同期方式であろう．クロック同期方式では，状態はクロック素子に保持されクロック信号に同期して変化する．この設計方法論により，回路設計は大域クロック信号を分配するクロック回路と実際の仕事を行なう信号回路に分割された．

80 年代までのクロック回路は，クロック生成回路とクロック素子とを接続するだけで各クロック素子にクロック信号が同時に供給されるとみなすことができ，その設計に大きな困難はなかったが，90 年代以降は回路の微細化や回路規模の増大によってクロック回路設計が大きな設計課題となり様々な研究がなされた [11]．その多くは，クロック同期方式の中でも各クロック素子にクロック信号を同時に供給することを前提とする完全同期方式の枠組内での研究であったが，クロック信号の同時に供給することを前提としない一般同期方式の枠組での研究もなされた [12, 13, 14, 15, 16, 17, 18, 19]．

クロック分配に必要な電力が回路全体で消費される電力に対して大きな割合を占めるなど，大域的にクロックを分配することに関する様々な課題が顕著になったため，非同期 (asynchronous) [20, 21, 22] や自己同期 (self-synchronous) [23] と呼ばれる大域的なクロックを用いないで回路内で同期をとる非クロック系の同期方式に関する研究もなされている．回路の動作としては，信号回路が主役で，クロック回路は信号回路が正しく動作するために間接的で補助的に用いられると考えると，クロックが大きな電力を消費するのは許容できないと感じるのは理解できる．しかし，電力の消費量がその役割の大きさに見合っているならば積極的に利用すべきである．例えば，繰り返し処理において，各処理の処理時間が大きく異なれば，基本的には処理の最大時間によってクロック周期を決めるクロック同期方式に比べ，論理を用いて同期をとる非クロック同期方式を用いる利点が健在化するであろうが，そうでない場合には，大域的なクロックを用い時間で同期をとり，回路を制御することが効率的であろう．現在でも，クロック信号が不要な場合にはクロック供給を止めるクロックゲーティング技術 [24] を用いることで，クロック信号が回路内で有効に利用されている．本稿でもクロックを積極的に利用した回路を考える．

4 可変レイテンシ回路

一般のクロック同期回路では入力が与えられてから出力が得られるまでの時間であるレンテンシは，クロック周期の定数倍に固定され，そのレイテンシを想定内の状況で維持するように回路設計がなされる．しかし，遅延ばらつきが大きい状況では，最悪状況でも固定されたレイテンシ守らなければならないため，性能追求には限界がある．状況に応じてレイテンシを変化させることができればより性能を追求できるが，そのためには，処理を完了し正しい出力が得られたことを回路が知るための，何らかの仕組みが必要である．

非クロック同期回路では，処理が完了したことを論理的に判定するための機構を付加するため，レイ

テンシは状況に応じて連続的に変化可能である．遅延ばらつきが大きい状況は，非クロック同期回路にとって比較的有利な状況であるが，クロックにより得られる時間情報を基本的には用いないため，付加機構のオーバーヘッドが大きい傾向にある．また，遅延の大小が，入力に依存する場合には，入力を検査しその検査結果によってレイテンシを変更することも可能であるが，付加機構のオーバーヘッドが一般には大きいと考えられる．

できるかぎり簡易な付加機構で，処理を完了したことを知るための方法として，フリップフロップの2重化がある．2つのフリップフロップに異なるタイミングで値を取り込み，その値を比較することで，出力の変化の情報を得るのである．一方のフリップフロップは，正しい出力が取り込まれることを，想定内の状況で維持できるように回路設計する．他方のフリップフロップで，異なる値が取り込まれた場合には，そのフリップフロップが値を取り込んだタイミングでは処理が完了していないという遅延情報を得られるのである．回路設計に対する制約を大きく，得られる情報も限定的であるが，有益な情報が比較的小さなオーバーヘッドで得られる．ただし，フリップフロップのクロック入力とデータ入力の変化がある一定時間内に発生しないことを，後者のフリップフロップでは設計制約としないため，フリップフロップがメタステーブル状態に陥る危険性があることには注意が必要である．

フリップフロップを 2 重化することで遅延情報を得る方式は，付加的なフリップフロップを遅延エラーの危険性の予知に用いるカナリア方式と，投機実行の成否の確認に用いる Razor 方式に分けられる．回路内での利用の仕方は異なるが，フリップフロップを 2 重化して値を比較するという基本的な考え方は同じある．そのため，同じ回路構造で実現できるが，実現方法は多様である．例えば，Razor フリップフロップは，フリップフロップを 2 重化するだけでなく，回路的にメタステーブル状態を検知し回避する機構を持たせている [25].

カナリア方式に関する研究 [26, 27, 28, 29, 30] と，Razor 方式に関する研究 [25, 31, 32, 33] は，DVFS(Dynamic voltage and frequency scaling) の枠組の中で，適切な電圧とクロック周波数を設定するための遅延情報を入手するために用いられることが多く，例外的な場合を除いてレイテンシを固定することを前提としている．

我々は，遅延エラーを発生を積極的に許容し，回路を可変レイテンシ化することで，遅延ばらつきが大きい状況では，回路性能の向上が効率的に達成できると考え研究を進めている [34, 35, 36, 37, 38].

5　エラー検出回復機構を用いた可変レイテンシ回路

通常の回路を，フリップフロップを 2 重化して，エラー検出回復機構を付加することで，可変レイテンシ回路とすることができる．図 1 に可変レイテンシ回路の実現例を，図 2 にそのタイミングチャート例を示す．

この回路では，ALU の出力側の FF を投機 FF(speculation_FF) とし，実行を制御する回路を付加することで可変レイテンシユニットを構成している．この可変レイテンシユニットでは，クロック周期は ALU の最大演算時間より短く設定され，ALU の演算は，クロック 1 周期もしくは 2 周期で行われる．回路は，第 1 周期終了時の ALU の出力を用いて第 2 周期には処理を投機的に実行する．ALU の演算が 1 周期で終了し，第 1 周期終了時に正しい出力が得られていた場合には，回路は処理をそのまま続ける．ALU の演算が 1 周期で終了せず，第 1 周期終了時に誤った値が出力されていた場合には，そのことを可変レイテンシユニットは第 2 周期の途中に検出する．その場合，回路は投機的な実行を取り止め，第 2 周期終了時までに，回路全体が第 3 周期に正しい出力を用いて正しい処理を行うための回復処理を完了する．

この可変レイテンシユニットは，spFF と cfFF の 2 つのフリップフロップに ALU の出力を異なるタイミングで取り込む．可変レイテンシユニットは，spFF に保持した値を vlu_out として出力するとともに，spFF に保持された値が正しいか否かを表すエラー信号 error を出力する．ALU の演算が 1 周期で終了し，正しい出力が第 2 周期に spFF に保持されている場合には，第 2 周期にエラー信号 error は立たず，回路はそのまま処理を継続する．spFF に誤った出力が保持された場合には，第 2 周期の途中に検出し，検出後にエラー信号 error を立てる．エラー信号が立った場合には，回路は投機実行を取り止め，第 2 周期終了時までに回復処理を完了する．この場合，第 3 周期には spFF には正しい値が保持されるためエラー信号 error は立たない．

spFF に正しい値が保持されたか否かの判断は，ALU の正しい出力が保持されるよう設計される cfFF に保持された値と一致するか否かによって行う．投

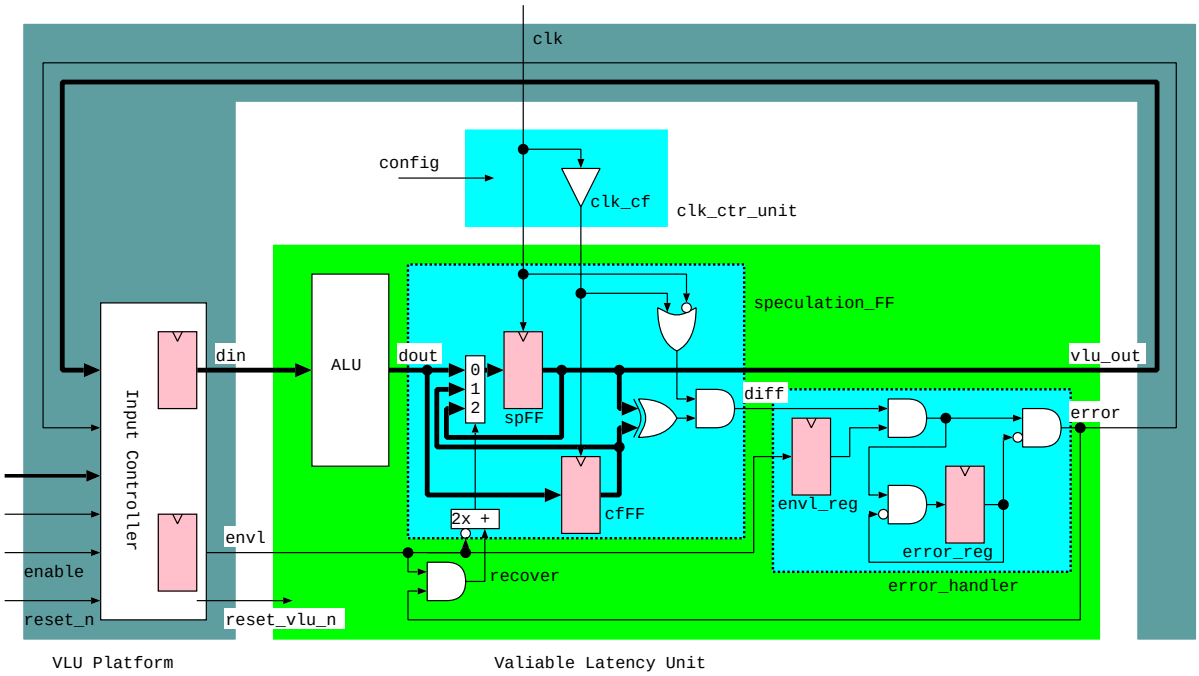

図 1: 可変レイテンシ回路実現例

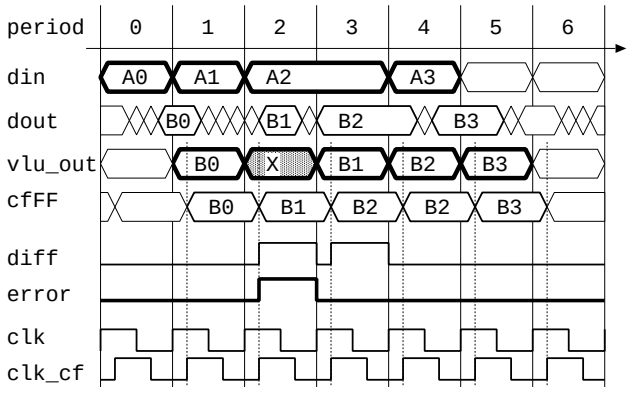

図 2: タイミングチャート

機 FF 内の spFF と cfFF に異なる値が保持された場合には差分信号 diff が立ち，エラー信号生成回路 error_handler によってエラー信号 error が生成される．図では，可変レイテンシユニットは 1 つの投機 FF を用いているが，複数の投機 FF を用いる場合には，すべての投機 FF の diff 信号の和信号がエラー信号生成回路に入力される．一つでも誤った値が spFF に保持されたらエラー信号が立つことになる．

spFF が出力を保持してから cfFF が対応する出力を保持するまでの期間は 2 つの FF に保持される値は異なったとしても，spFF が誤った出力を保持していることを意味しないので，diff 信号はマスクされる．また，回復処理が完了した次の周期である第 3 周期には，spFF と cfFF が異なる出力を保持するため，diff 信号が立つ可能性があるが，spFF は正しい値を保持しているので error 信号はマスクされる．

この可変レイテンシユニットでは，cfFF が ALU の正しい出力を取り込むよう設計される．cfFF が値を取り込むタイミングは早過ぎても遅過ぎても正しい出力を取り込めない可能性がある．cfFF が早いタイミングで値を取り込むと投機実行の効果が薄れ，高速化の割合が低下するが，遅いタイミングで値を取り込むとエラー検知および回復処理に必要な時間が性能に対する制約となる．

クロック分配回路の設計は，他の回路遅延が固定された場合でも，cfFF が常に正しい値を取り込むという制約を満足しつつ，spFF が一つでも誤った値を取り込む確率が最小となるように設定することが望まれるなど，簡単ではない．それぞれのフリップフロップに与えるクロックタイミングは，固定レイテンシ方式の一般同期方式の設計で開発したクロックスケジューリング手法を活用して決定できると考えられるが，今後検討が必要である．

図 2 のタイミングチャートでは，簡単のため FF のセットアップ時間やホールド時間は 0 としている．ALU の演算は，入力が A1 の場合には 1 周期では完了しないとしているため，A1 に対する正しい出力 B1 は，第 2 周期で spFF には保持されず，誤った値 X が保持されている．誤った値が保持されたことは cfFF の値との比較で第 2 周期の途中で検出される．

第 3 周期では，spFF には A1 に対する正しい出力 B1 が保持される．また，この例では，第 2 周期の ALU の入力 A2 が第 3 周期で繰り返し入力として与えられるが，A2 が可変レイテンシユニットの出力で第 2 周期では誤った値であった場合には，第 3 周期で正しい値に置き換えられる．

ここでは，可変レイテンシ回路の動作の概要を説明するために実現例を示したが，あくまでの一つの実現例であり，より回路性能が高い異なる実現方法も数多く存在するであろう．例えば，spFF と cfFF へのクロック分配に関しても，spFF と cfFF で 2 つのクロック系統を用いる，クロックタイミング差を投機 FF 内で生成する，投機 FF をいくつかのクラスタに分けクラスタ毎にクロックタイミング差を生成する，など様々な方法が考えられる．

6 おわりに

可変レイテンシ回路の速度性能は，最大遅延だけでなく，最小遅延，遅延分布にも依存する．従来の回路設計では，最大遅延を抑えるための努力がなされてきたため，従来方式において最適化された回路を可変レイテンシ化しただけでは，必ずしも十分な性能は発揮されない．少ない投機 FF で有益な遅延情報を得られ，遅延エラー率が小さい状態でクロック周期の短縮が可能な回路を合成するための手法の検討が必要である．さらに従来方式で設計された回路との比較で優位性が発揮できることを確認しなければならない．この方式を実用化するためには，まだまだ様々な検討が必要である．すべての状況で優位であるとは考え難いが，優位な状況となるための十分条件を特徴づけたいと考えている．また，上位レベルの処理の情報を利用することで，大きなばらつきの状況下で，より効果を発揮する実現方法も存在するであろうが，それらは今後の課題である．

謝辞

本研究は科学研究費補助金基盤研究 (B)21300012 の助成を受けたものである．

参考文献

[1] 松澤　昭，“LSI 技術の課題と今後のあり方，” 電子情報通信学会論文誌 C，vol.J87-C，no.11，pp.802–809，2004.

[2] 高橋篤司，“VLSI 設計自動化の現状と将来展望，” 電子情報通信学会技術研究報告 (SDM2010-179)，vol.110，no.274，pp.45–46，2010.

[3] 後藤　敏，“アルゴリズム／アーキテクチャレベルの低消費電力技術：画像処理を例に，” 電子情報通信学会技術研究報告 (VLD2011-5)，vol.111，no.40，pp.25–26，2011.

[4] 小林和淑，“微細化による LSI の信頼性諸問題とその解決策，” 電子情報通信学会技術研究報告 (VLD2012-5)，vol.112，no.71，pp.25–30，2012.

[5] 向殿政男，“ディペンダブルコンピューティングと安全学，” 電子情報通信学会総合大会講演論文集 情報・システム (1) (PD-3-4)，pp.SS–16–SS–17，2003.

[6] 南谷　崇，“ディペンダンブルコンピューティングの過去・現在・未来，” 電子情報通信学会技術研究報告 (DC2006-7)，vol.106，no.4，pp.37–42，2006.

[7] 築山修治，“統計的タイミング解析：概論，” 第 18 回回路とシステム軽井沢ワークショップ論文集，pp.533–538，2005.

[8] 池田　誠，浅田邦博，“システム LSI における電源線雑音の測定・低減手法，” 電子情報通信学会技術研究報告 (VLD2006-139)，vol.106，no.551，pp.121–126，2007.

[9] 橋本昌宜，“製造・環境ばらつきを考慮したタイミング検証技術，” 電子情報通信学会技術研究報告 (VLD2007-64)，vol.107，no.296，pp.21–24，2007.

[10] 小野寺秀俊，“ばらつき考慮設計に向けて，” 電子情報通信学会技術研究報告 (ICD2008-73)，vol.108，no.253，pp.83–88，2008.

[11] E.G. Friedman, ed., Clock Distribution Networks in VLSI Circuits and Systems: A Selected Reprint Volume, IEEE Press, 1995.

[12] 高橋篤司，“大域クロックを用いた一般同期回路〜設計方法論，それらを支えるツール群，今後の展望〜，” 情報処理学会研究報告 (2006-SLDM-126)，vol.2006，no.111，pp.159–164，2006.

[13] B.A. Rosdi and A. Takahashi, “Multi-clock cycle paths and clock scheduling for reducing the area of pipelined circuits,” IEICE Transactions on Fundamentals, vol.E89-A, no.12, pp.3435–3442, 2006.

[14] Y. Kohira and A. Takahashi, “Gate-level register relocation in generalized synchronous framework for clock period minimization,” IEICE Transactions on Fundamentals, vol.E90-A, no.4, pp.800–807, 2007.

[15] B.A. Rosdi and A. Takahashi, “Low area pipelined circuits by the replacement of registers with delay elements,” IEICE Transactions on Fundamentals, vol.E90-A, no.12, pp.2736–2742, 2007.

[16] Y. Hashizume, Y. Takashima, and Y. Nakamura, “Post-silicon clock-timing tuning based on statistical estimation,” IEICE Trans. on Fundamentals, vol.E91-A, no.4, pp.2322–2327, 2008.

[17] Y. Kohira and A. Takahashi, “A fast gate-level register relocation method for circuit size reduction in general-synchronous framework,” IEICE Transactions on Fundamentals, vol.E91-A, no.10, pp.3030–3037, 2008.

[18] Y. Kohira, S. Tani, and A. Takahashi, “Minimization of delay insertion in clock period improvement in general-synchronous framework,” IEICE Transactions on Fundamentals, vol.E92-A, no.4, pp.1106–1114, 2009.

[19] K. Inoue, M. Kaneko, and T. Iwagaki, “Backward-data-direction clocking and relevant optimal register assignment in datapath synthesis,” IEICE Trans. on Fundamentals, vol.E94-A, no.4, pp.1067–1081, 2011.

[20] 南谷　崇，“非同期式マイクロプロセッサの動向,” 情報処理，vol.39，no.3，pp.181–186，1998.

[21] C.J. Myers, Asynchronous Circuit Design, John Wiley & Sons, 2001. (訳) 米田友洋, 非同期式回路の設計, 共立出版, 2003.

[22] 齋藤　寛，“Fpga を対象とした束データ方式による非同期式回路の設計,” 電子情報通信学会技術研究報告 (VLD2010-107)，vol.110，no.362，pp.157–162，2011.

[23] B. Devlin, M. Ikeda, and K. Asada, “Energy minimum operation with self synchronous gate-level autonomous power gating and voltage scaling,” IEICE Trans. on Electronics, vol.E95-C, no.4, pp.546–554, 2012.

[24] 宇佐美公良，“ゲーティング技術の最新動向,” 電子情報通信学会技術研究報告 (VLD2011-4)，vol.111，no.40，pp.19–24，2011.

[25] D. Ernst, N.S. Kim, S. Das, S. Pant, R. Rao, T. Pham, C. Ziesler, D. Blaauw, T. Austin, K. Flautner, and T. Mudge, “Razor: A low-power pipeline based on circuit-level timing speculation,” Proc. 36th annual IEEE/ACM International Symposium on Microarchitecture (MICRO), pp.7–18, 2003.

[26] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Trade-off analysis between timing error rate and power dissipation for adaptive speed control with timing error prediction,” IEICE Trans. on Fundamentals, vol.E92-A, no.12, pp.3094–3102, 2009.

[27] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Adaptive performance compensation with in-situ timing error predictive sensors for subthreshold circuits,” IEEE Transactions on very large scale integration (VLSI) systems, vol.20, no.2, pp.333–343, 2012.

[28] Y. Kunitake, T. Sato, H. Yasuura, and T. Hayashida, “A selective replacement method for timing-error-predicting flip-flops,” 54th IEEE International Midwest Symposium on Circuits and Systems, pp.1–4, 2011.

[29] Y. Kunitake, T. Sato, H. Yasuura, and T. Hayashida, “Possibilities to miss predicting timing errors in canary flip-flops,” 54th IEEE International Midwest Symposium on Circuits and Systems, pp.1–4, 2011.

[30] 矢野　憲，吉木崇人，林田隆則，佐藤寿倫，“冗長化 FF 置き換え方式による高信頼性 VLSI 設計の自動化,” 電子情報通信学会技術研究報告 (VLD2011-133)，vol.111，no.450，pp.79–84，2012.

[31] D. Bull, S. Das, K. Shivshankar, G. Dasika, K. Flautner, and D. Blaauw, “A power-efficient 32b ARM ISA processor using timing-error detection and correction for transient-error tolerance and adaptation to PVT variation,” Proc. IEEE International Solid-State Circuits Conference (ISSCC), pp.284–285, 2010.

[32] M. Kurimoto, H. Suzuki, R. Akiyama, T. Yamanaka, H. Ohkuma, H. Takata, and H. Shinohara, “Phase-adjustable error detection flip-flops with 2-stage hold driven optimization and slack based grouping scheme for dynamic voltage scaling,” Proc. Design Automation Conference (DAC), pp.884–889, 2008.

[33] M. Kurimoto, H. Suzuki, R. Akiyama, T. Yamanaka, H. Ohkuma, H. Takata, and H. Shinohara, “Phase-adjustable error detection flip-flops with 2-stage hold-driven optimization, slack-based grouping scheme and slack distribution control for dynamic voltage scaling,” ACM Transactions on Design Automation of Electronic Systems (TODAES), vol.15, no.2, article 17, 2010.

[34] 右近祐太，高橋篤司，谷口研二，“加算器におけるクロック周期に応じた遅延エラー率の評価,” 電子情報通信学会技術研究報告 (ICD2009-91)，vol.109，no.336，pp.77–81，2009.

[35] 井上雅文，右近祐太，高橋篤司，谷口研二，“エラー検出回復方式回路の回路構成と性能に関するシミュレーション評価,” DA シンポジウム 2010 論文集，vol.2010，no.7，pp.123–128，2010.

[36] 井上雅文，右近祐太，高橋篤司，“ゲートレベルシミュレーションによるエラー検出・回復方式回路の評価,” 電子情報通信学会技術研究報告 (VLD2010-141)，vol.110，no.432，pp.147–152，2011.

[37] 右近祐太，安藤健太，高橋篤司，“FPGA 上に実現した可変レイテンシ回路の性能評価,” 電子情報通信学会技術研究報告 (VLD2011-141)，vol.111，no.450，pp.127–132，2012.

[38] K. Ando and A. Takahashi, “Performance evaluation of various configuration of adder in variable latency circuits with error detection/correction mechanism,” Proc. the 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2012), pp.549–554, 2012.