T2R2 東京科学大学 リサーチリポジトリ
Science Tokyo Research Repository

論文 / 著書情報
Article / Book Information

論題(和文)	演算増幅器設計コンテストを運営して
Title(English)	On Managing Operational Amplifier Design Contest
著者(和文)	高木茂孝
Authors(English)	Shigetaka Takagi
出典(和文)	2013年総合大会講演論文集, , ACDI-1-3, SS-69～SS-70
Citation(English)	, , ACDI-1-3, SS-69～SS-70
発行日 / Pub. date	2013, 3
URL	http://www.ieice.org/jpn/books/t_g.html
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2013 Institute of Electronics, Information and Communication Engineers.

Powered by T2R2 (Science Tokyo Research Repository)

演算増幅器設計コンテストを運営して

On Managing Operational Amplifier Design Contest

高木　茂孝 [1]
Shigetaka Takagi

東京工業大学 大学院理工学研究科 集積システム専攻 [1]
Department of Communications and Integrated Systems, Graduate School of Science and Engineering,
Tokyo Institute of Technology

1　はじめに

演算増幅器設計コンテスト [1] は，電子回路の汎用能動素子である演算増幅器の設計を通じて，アナログ集積回路技術全般を習得した，実社会に通じる技術者の高等教育機関からの輩出を目的とし，東京工業大学アナログ回路グループが 2001 年から始めたコンテストである．本稿では，演算増幅器設計コンテストの経緯や運営上の工夫，問題点などについて述べる．

2　演算増幅器設計コンテストの歴史

演算増幅器設計コンテストの前身は，1996 年 5 月に東京大学に大規模集積回路システム設計教育センター (VDEC) が設立されたことに刺激を受け，東京工業大学の藤井・高木研究室内で始められた．当初は，研究室内の行事であったが，2001 年から富士電機総合研究所の協賛を得て，学外からの参加者も募り，東京工芸大学，東京理科大学，中央大学，豊橋技術科学大学の学生も参加し，演算増幅器設計コンテストが正式に発足した．

第 1 回目のコンテストは，学生各自が設計した演算増幅器の特性を計算機シミュレーションにより評価し，総合性能を競い合うコンテストであった．しかし，第 2 回目からは，第 1 回と同様に何の制約も設けない一般部門と，ある条件の下で設計を行う課題部門に分け，コンテストを実施してきた．2004 年からは，「実用可能な演算増幅器の設計を目指す」という観点から，実用を意識した評価式を基に評価する課題部門が複数設けられ，一般部門は現在，回路設計技術やアイディアを競う「トポロジー部門」に形を変えている．また，これまで計算機シミュレーションにより評価していた課題部門とトポロジー部門をまとめて「シミュレーションの部」とし，2006 年からは，学生が設計から試作まで行い，特性を実測して評価する「試作の部」を新たに立ち上げた．この試作の部は，VDEC が提供していた 1.2μm CMOS プロセスを用いて行っていたが，2012 年度から同プロセスを用いた試作ができなくなったため，現在は中断している．なお，2012 年 4 月からコンテストの主催が東京工業大学アナログ回路グループから応用科学学会 [2] になっている．

3　演算増幅器設計コンテストの運営

3.1　運営体制

現在，演算増幅器設計コンテストは応用科学学会の下に設置された演算増幅器設計コンテスト運営委員会が運営している．下記の通り，運営委員会は審査委員会と実行委員会に分かれ，コンテストの審査を審査委員会が行い，実行委員会がコンテスト事務局の役割を果たしている．

- 審査委員会
  - 委員長：兵庫 明 （東京理科大学）
  - 委　員：和田 和千 （明治大学）
  - 委　員：高井 伸和 （群馬大学）
  - 委　員：ニコデムス レディアン （東京工業大学）
- 実行委員会
  - 委員長：高木 茂孝 （東京工業大学）
  - 委　員：佐藤 隆英 （山梨大学）
  - 委　員：佐藤 広生 （東京工業大学）
  - 委　員：岡田 泰仕 （エヌエフ基金）

3.2　協賛企業の募集

演算増幅器設計コンテストの運営経費は全額，協賛企業からの協賛金でまかなわれている．したがって，演算増幅器設計コンテストを運営するためには多くの企業に協賛して頂く必要があり，コンテストの目的や実施方法を公表するための説明会を毎年実施している．協賛企業の募集はコンテストのホームページ上でも行っているが，これまでにホームページを見て協賛して頂いた企業は 1 社だけであるため，知己の企業の方々に説明会への参加を積極的にお願いし，協賛して頂いているのが現状である．

3.3　実施手順

演算増幅器設計コンテストは，卒業研究などの追い込みの時期を避け，基本的には夏休みを利用して実施している．2012 年のコンテストは，8 月 1 日から 9 月 30 日までを応募期間とし，設計した回路データとして，ネットリストを東京工業大学に電子的に送付し，東京工業大学ではこのネットリストを基に評価している．コンテストの審査対象となるためには，利得帯域幅積や位相余裕，電源電圧などの 13 の参加要件を満足しなければならない．参加要件は，設計した増幅回路が演算増幅器として認め得るための最低条件である．回路のシミュレーション条件や評価方法については，それぞれの要件毎に回路図を示すなどにより，コンテストのホームページで詳しく説明している．

Copyright © 2013 IEICE

参加要件を満足した回路については，下記に示す項目についての評価が数値化され，各部門の評価式にそれぞれの数値を代入して得られる評価結果が参加者に電子的に通知される．また，評価結果に基づく暫定順位と参加者の登録コードはコンテストのホームページ上で公開され，参加者どうしが切磋琢磨することを促している．ただし，参加者の評価結果は，コンテストの締切 1 週間前に非公開とし，ライバルの戦略を互いに探り合うようなゲーム感覚をコンテストに加味している．さらに，シミュレーションの部では，参加者が応募できる数を 1 部門 1 作品までと制限し，受賞者の数が増える工夫をしている．

表 1　評価項目

電源電圧	消費電流	消費電力
出力抵抗	直流利得	位相余裕
利得帯域幅積	入力換算雑音	スルーレート
全高調波歪	同相除去比	電源電圧変動除去比
同相入力範囲	出力電圧範囲	占有面積

シミュレーションの部には，演算増幅器の性能だけを競うのではなく，上述した，回路設計技術やアイディアを競うトポロジー部門もある．参加者は，回路図とネットリスト，回路の特徴の説明文を提出する．後述する審査会にて回路の特徴やアイディアなどを評価している．

現在は行われていない試作の部では，年 2 回行われていた VDEC が提供する 1.2μm CMOS プロセスの試作にて作成した回路を 8 月末までに東京工業大学へ郵送し，その後，試作課題に基づいた測定評価が行われていた．例えば，2011 年のコンテストでは，演算増幅器を用いた利得 10 倍の正相増幅回路の低消費電力化を課題として与え，その後，有明工業高等専門学校の石川洋平准教授のグループに提出された回路を測定して頂いた．試作の部では，シミュレーションの部とは異なり，作品数の制限をしなかったため，複数作品応募する参加者もいた．

評価が終了した段階で，審査会が開催される．審査会には協賛企業の方々にも参加して頂き，プロの目からアドバイスを頂戴している．審査は，基本的には評価式に基づき，自動的に順位付けをするものの，短時間の計算機シミュレーションからだけでは見つけられない，回路の発振などの不安定な動きの可能性を審査会において検討し，不安定な動作をしないと認められた演算増幅器が各部門 7 位まで表彰される．このように 7 位まで表彰することにより，初学者でも入賞しやすい環境を作っている．参加者のモチベーションを高めるために，参加者全員に副賞として図書カードを配布している．さらに，シミュレーションの部ならびに試作の部において最も優秀な成績を収めた者各 1 名に，集積回路に関する世界最大の国際会議 IEEE International Solid-State Circuits Conference(ISSCC) への参加を副賞として贈呈している．

審査会で順位が確定した後に，上位入賞者を招待し，発表会を行っている．発表会には，審査委員会委員のみならず，協賛企業の方々にも参加して頂き，ここでもプロの目から発表を行った上位入賞者にアドバイスを送って頂いている．さらに，アナログ回路を研究している教員にも参加を依頼し，教育者の立場からのアドバイスも貰えるように配慮している．また，学生については，上位入賞者だけではなく，上位入賞を果たせなかった参加者や次回コンテストへの参加を希望する者も発表会に参加している．

発表会終了後には，表彰式と懇親会を行っている．表彰は全入賞者を対象としているが，遠方のため参加できない入賞者もいることが課題となっている．懇親会は，企業の方々と学生が密に交流できる場となっており，企業の方々にとっても，学生にとっても有益な情報が得られる場として活用されている．

3.4　その他

本コンテストに応募してきた作品は，発表会等で公開されるため，知的所有権に関する問題が生じる可能性がある．このため，本コンテストでは，事前に参加希望者自身に特許出願を行うなど，問題の解決を図って頂くことにしている．

4　おわりに

これまで演算増幅器設計コンテストにおいて最も重視した点は公平性である．当然のことではあるが，公開したルールに基づき，審査を行っている．しかしながら，学生のルールの抜け穴を突いた設計方法のために，演算増幅器としては認められないとの理由から失格とせざるを得ないこともあった．ルールよりもコンテストが教育目的であることを優先した結果である．

また，12 回の演算増幅器設計コンテストを実施し，そろそろ，その意義が評価される時期に来ているのではないかと考えている．10 年ほど前は手探りの状態であったが，過去のコンテスト参加者が協賛企業に就職し，審査会や発表会などで会う機会が増えたことはコンテストの目的の一部は達成されたのではないかと自負している．

今後も，教職員の方々や協賛企業の方々の協力を頂き，コンテストをより良い方向に発展させ，多数の優秀なアナログ回路設計者を社会に送り出すための努力を続けていきたい．

謝辞

本コンテストのシミュレーションの部は東京大学大規模集積システム設計教育センターを通し，シノプシス株式会社の協力のもとで行われている．また，現在協賛して頂いている企業を含め，これまでに協賛して頂いた全企業ならびに審査や演算増幅器の測定などにおいて演算増幅器設計コンテストの運営にご協力頂いた関係諸氏に感謝申し上げる．

参考文献

[1] 平成 24 年演算増幅器設計 コンテストホームページ， http://www.ec.ss.titech.ac.jp/opamp/2012/

[2] 応用科学学会　ホームページ，http://www.ohyokagaku.org/

Copyright © 2013 IEICE