

論文 / 著書情報
Article / Book Information

論題(和文)	エラー検出回復方式を用いた可変レイテンシ回路のための高速な性能見積もり手法
Title(English)	Fast Performance Estimation Method for Variable Latency Circuits with Error Detection/Correction Mechanism
著者(和文)	安藤健太, 高橋篤司
Authors(English)	Kenta Ando, Atsushi Takahashi
出典(和文)	情報処理学会研究報告, Vol. 2013-SLDM-160, No. 16, pp. 1-6
Citation(English)	IPSJ SIG Technical Reports, Vol. 2013-SLDM-160, No. 16, pp. 1-6
発行日 / Pub. date	2013, 3
権利情報 / Copyright	<p>ここに掲載した著作物の利用に関する注意: 本著作物の著作権は(社)情報処理学会に帰属します。本著作物は著作権者である情報処理学会の許可のもとに掲載するものです。ご利用に当たっては「著作権法」ならびに「情報処理学会倫理綱領」に従うことをお願いいたします。</p> <p>The copyright of this material is retained by the Information Processing Society of Japan (IPSJ). This material is published on this web site with the agreement of the author (s) and the IPSJ. Please be complied with Copyright Law of Japan and the Code of Ethics of the IPSJ if any users wish to reproduce, make derivative work, distribute or make available to the public any part or whole thereof.</p>

エラー検出回復方式を用いた可変レイテンシ回路のための 高速な性能見積もり手法

安藤 健太^{1,a)} 高橋 篤司^{2,b)}

概要: エラー検出回復方式を用いた可変レイテンシ回路による、回路の高性能化が期待されている。高性能な可変レイテンシ回路を効率よく設計するためには、回路の性能を高速に見積もる必要があり、回路の動的遅延分布の解析が必須となる。本研究では、信号の時間的変化を最初の変化時刻と最後の変化時刻を使って遷移事象として簡易表現すること、生起確率の低い遷移事象を他の遷移事象と併合することで、より少ない計算量で回路の動的遅延分布と速度性能を見積もる手法を提案する。提案手法によるオーバーフロー判定回路の実効クロック周期の見積もりがFPGAで実測した実効クロック周期に近いことを確認した。

キーワード: 動的遅延分布, エラー検出回復方式, 可変レイテンシ回路, 遷移事象

Fast Performance Estimation Method for Variable Latency Circuits with Error Detection/Correction Mechanism

Abstract: Variable Latency Circuits with Error Detection/Correction (VLEDC) have potential to improve the circuit performance. For designing high performance circuits in VLEDC, it is needed to estimate the circuit performance rapidly. So the analysis of dynamic delay distribution of VLEDC is essential. In this paper, we proposed a method to estimate the dynamic delay distribution and the circuit performance in VLEDC rapidly. We confirm that the estimation of circuit performance by our proposed method is close to the circuit performance observed in FPGA implementation.

Keywords: Dynamic delay distribution, Error detection/correction, Variable latency circuits, Signal transition event

1. はじめに

エラー検出回復方式 [1] を用いた可変レイテンシ回路による、回路の高性能化が期待されている。この方式においては、回路の速度性能は回路の入力ベクトルが変化してから出力が確定するまでの時間、すなわち動的遅延時間に依

存する。しかし、回路構成と動的遅延時間の関係はまだ完全には明らかにされておらず、エラー検出回復方式における回路の設計手法も未だ確立されていない。高性能なエラー検出回復方式を用いた可変レイテンシ回路を効率よく設計するためには、回路をエラー検出回復方式において動作させたときの性能の評価を高速に行う必要がある。速度性能を正確に評価するためには、その回路の入力信号を想定した信号の全パターンについて動的遅延時間を計算する必要がある。規模が小さい回路や入力信号のパターンが少ない回路では比較的短時間で計算できる。しかし、規模が大きく入力信号のパターンが多い回路ではその数は膨大になり、全てを計算するのは現実的ではない。

文献 [2] では配線の論理値の時間的変化を遷移事象という概念で表現すること、また遷移事象の数に制限を与えて遷移事象を併合することで計算量を減らし、2入力論理素

¹ 大阪大学 大学院 工学研究科 電気電子情報工学科専攻 〒 565-0871 大阪府吹田市山田丘 2-1

Division of Electrical, Electronic and Information Engineering, Osaka University, 2-1 Yamada-oka, Suita, Osaka, 565-0871 Japan

² 東京工業大学 大学院 理工学研究科 集積システム専攻 〒 152-8550 東京都目黒区大岡山 2-12-1-S3-58

Department of Communications and Integrated Systems, Tokyo Institute of Technology, 2-12-1-S3-58 Ookayama, Meguro-ku, Tokyo, 152-8550 Japan

a) ando@si.eei.eng.osaka-u.ac.jp

b) atsushi@lab.ss.titech.ac.jp

子で構成された RCA の動的遅延分布を比較的短時間で計算している。しかし、この手法では論理素子の出力遷移分布の計算時間は論理素子の入力数を n 、遷移事象数を k とすると計算時間は $O(k^n)$ となる。また、計算時間を削減するために遷移事象の制限数を小さくすると、生起確率の高い遷移事象も併合の対象となり、正確性が低くなる。

本稿では遷移事象の概念を使いながら、生起確率の低い遷移事象を併合すること、また似ている遷移事象を併合することで、多入力論理素子を含む回路の動的遅延分布およびエラー検出回復方式における速度性能を高速かつ正確に見積もる手法を提案する。提案手法により回路を可変レイテンシで動作させた場合の実効クロック周期を見積もり、FPGA 上に合成した回路の実効クロック周期と比較した。

2. 実効クロック周期

エラー検出回復方式ではエラー発生時に回復処理を行うため、1つの処理に要するクロック数が変化する。このため、平均処理時間は設定したクロック周期より長くなる。よってエラー検出回復方式においてはこの平均処理時間、**実効クロック周期** T_{eff} によって速度性能を評価する。通常処理を α 周期、エラー検出時の回復処理を β 周期で行い、設定するクロック周期を T とした場合の回路の遅延エラー発生率を $E(T)$ とするとき実効クロック周期は

$$T_{eff} = T(\alpha + \beta E(T)) \quad (1)$$

となる。投機 FF の出力を投機 FF の入力としない場合、遅延エラーが発生した次の計算では遅延エラーは発生しない。このとき、エラーが発生しない場合(確率 $(1 - E(T))$)には α 周期で1つの処理、エラーが発生した場合(確率 $E(T)$)には $2\alpha + \beta$ 周期で2つの処理を行う。**実効クロック周期** T_{eff} は

$$T_{eff} = \frac{\alpha + (\alpha + \beta)E(T)}{1 + E(T)} T \quad (2)$$

となる。

3. 準備

3.1 問題設定

本研究では、多入力論理素子による組み合わせ回路を扱う。論理素子の遅延時間は与えられるとする。与えられる論理素子の遅延時間は入力ピンと出力ピンの組み合わせ毎に異なり、それぞれの立ち上がり遅延と立ち下がり遅延は異なるが、全て定数とする。ここで立ち上がり遅延時間と立ち下がり遅延時間は、論理素子の入力信号がそれぞれ0から1、1から0へ変化してから出力が変化するまでの時間とする。ただし、入力ベクトルが変化しても出力ベクトルが一切変化しない場合は、信号伝搬遅延は $-\infty$ と定義する。配線の遅延は1入力1出力の素子の遅延として扱うこ

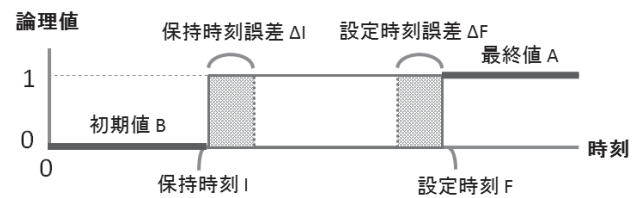


図 1 遷移事象

とができる。実験では配線の遅延は0とした。

3.2 遷移事象

本稿では、論理値の時間的変化を7つのパラメータを用い**遷移事象**として表現する。文献[2]では、入力ベクトル変化前の論理値を**初期値** (Before)、出力ベクトル確定時の論理値を**最終値** (After)、論理値が最初に変化する可能性のある最小の時刻を**保持時刻** (Initial)、論理値が最後に変化する可能性のある最大の時刻を**設定時刻** (Final) とした。ただし、入力ベクトルが変化しても論理値が一切変化しない場合、保持時刻を ∞ 、設定時刻を $-\infty$ とした。保持時刻を I 、設定時刻を F としたとき、 $[I, F]$ は不定区間であり、この時刻に論理値が0か1のどちらの値になっているかは確定できないとした。その遷移事象が発生する確率を**生起確率** (Probability) とした。本稿ではさらに、上記のパラメータに加えて初期値を維持している可能性が0である時刻と、論理値が確定している可能性が0である時刻を考え、保持時刻、設定時刻との差をそれぞれ**保持時刻誤差**、**設定時刻誤差**として持つ。保持時刻誤差を ΔI 、設定時刻誤差を ΔF とすると、 ΔI と ΔF の値は $F - I$ を超えることはない。しかし、必ずしも $I + \Delta I \leq F - \Delta F$ ではない。これらの誤差は、4.1で述べる遷移事象の併合において発生する。遷移事象 λ を、初期値を B 、最終値を A 、保持時刻を I 、設定時刻を F 、保持時刻誤差を ΔI 、設定時刻誤差を ΔF 、生起確率を P として $\lambda = (B, A, I, F, \Delta I, \Delta F, P)$ で表す。 $I' = I + \Delta I$ 、 $F' = F - \Delta F$ とする。図1に例として初期値0、最終値1の遷移事象のイメージ図を示す。

3.3 遷移分布

ある配線の遷移事象の集合をその配線の**遷移分布**と定義する。ただし、ある配線の遷移分布を Λ 、遷移事象 λ の生起確率を $P[\lambda]$ とすると、 $\sum_{\lambda \in \Lambda} P[\lambda] = 1$ とする。各入力遷移分布内の遷移事象は生起確率について降順に並べられているとする。遷移分布 Λ の i 番目の遷移事象を $\lambda[i]$ と表す。出力配線の遷移分布 Λ が与えられたとき、設定時刻が t である遷移事象の集合を $\Lambda_t (\subseteq \Lambda)$ とすると動的遅延分布 $h(t)$ は

$$h(t) = \sum_{\lambda \in \Lambda_t} P[\lambda] \quad (3)$$

となる。また、設定クロック周期が T のときの遅延エラー率 $E(T)$ は

$$E(T) = \sum_{t=T}^{\infty} h(t) \quad (4)$$

となる．式(1)または式(2)から設定クロック周期 T に対する実効クロック周期 T_{eff} が求まる．式(4)と，式(1)または式(2)から求めた実効クロック周期を安全な評価による実効クロック周期とする．全ての入力パターンから計算した実効クロック周期を真の実効クロック周期とすると，安全な評価による実効クロック周期は真の実効クロック周期を下回ることはない．本稿では，楽観的な評価による実効クロック周期を式(3)で Λ_t の代わりに楽観的設定時刻が t である遷移事象の集合を用いて求める．楽観的設定時刻は，その遷移事象が表す遅延時間を最小限に評価した値である．「保持時刻+保持時刻誤差」が「設定時刻-設定時刻誤差」を上回りかつ初期値=最終値である遷移事象では楽観的設定時刻は $-\infty$ とする．それ以外の遷移事象では楽観的設定時刻は「設定時刻-設定時刻誤差」とする．

3.4 論理素子における遷移事象の扱い

論理素子はそれぞれ固有の論理式と遅延時間を持つ．これらと論理素子の入力ピンに与えられた遷移事象から，出力の遷移事象を求めることができる．複数の出力を持つ論理素子は，複数個の1出力の論理素子と考える．

3.4.1 出力の保持時刻と設定時刻

出力の保持時刻と設定時刻は入力の遷移事象の保持時刻と設定時刻に論理素子の入力から出力までの遅延時間をオフセットとして加算した値を用いて定める．ある入力ピンから出力ピンまでの立ち上がり遅延を D_R ，立ち下がり遅延を D_F とし，その入力ピンに与えられた遷移事象の初期値を B ，最終値を A ，保持時刻を I ，設定時刻を F とする．このとき，そのオフセット加算後の入力遷移事象の保持時刻 i は $B = 0$ のとき $I + D_R$ ， $B = 1$ のとき $I + D_F$ とする．オフセット加算後の入力遷移事象の設定時刻 f は $A = 0$ のとき $F + D_F$ ， $A = 1$ のとき $F + D_R$ とする． $f < i$ となった場合は，その入力の論理値は一切変化がなかったとし， $i = \infty$ ， $f = -\infty$ とする．

3.4.2 論理素子における遷移事象の計算

論理素子の出力遷移事象の初期値は，各入力遷移事象の初期値により定まる．出力遷移事象の最終値は，各入力遷移事象の最終値により定まる．出力遷移事象の保持時刻は，各入力遷移事象の初期値と保持時刻により定まる．出力遷移事象の設定時刻は，各入力遷移事象の最終値と設定時刻により定まる．

例として，三つの入力 a, b, c から出力信号 $O(a, b, c)$ を出力する論理素子の各入力に遷移事象

$$\begin{aligned} \lambda_a &= (B_a, A_a, I_a, F_a, \Delta I_a, \Delta F_a, P_a), \\ \lambda_b &= (B_b, A_b, I_b, F_b, \Delta I_b, \Delta F_b, P_b), \\ \lambda_c &= (B_c, A_c, I_c, F_c, \Delta I_c, \Delta F_c, P_c) \end{aligned}$$

が与えられたとする．簡単のため論理素子の遅延は 0 とする．論理素子の出力遷移事象を $\lambda_d = (B_d, A_d, I_d, F_d, \Delta I_d, \Delta F_d, P_d)$ とすると，

$$\begin{aligned} B_d &= O(B_a, B_b, B_c), A_d = O(A_a, A_b, A_c), \\ I_d &= I_O(I_a, I_b, I_c, B_a, B_b, B_c), \\ F_d &= F_O(F_a, F_b, F_c, A_a, A_b, A_c), \\ \Delta I_d &= I_O(I'_a, I'_b, I'_c, B_a, B_b, B_c) - I_d, \\ \Delta F_d &= F_d - F_O(F'_a, F'_b, F'_c, A_a, A_b, A_c), \\ P_d &= P_a * P_b * P_c \end{aligned}$$

となる．ここで $I_O(I_a, I_b, I_c, B_a, B_b, B_c)$ は，三つの入力 a, b, c のそれぞれの初期値が B_a, B_b, B_c ，保持時刻が I_a, I_b, I_c のときの出力遷移事象の保持時刻とする． $F_O(F_a, F_b, F_c, A_a, A_b, A_c)$ も同様に定義された出力遷移事象の設定時刻とする．ただし，出力遷移事象の保持時刻が設定時刻を上回った場合は， $I_d = \infty$ ， $F_d = -\infty$ ， $\Delta I_d = \Delta F_d = 0$ とする．また，出力遷移事象の保持時刻が ∞ ，設定時刻が $-\infty$ であっても， $I_O(I'_a, I'_b, I'_c, B_a, B_b, B_c) \leq F_O(F'_a, F'_b, F'_c, A_a, A_b, A_c)$ であれば， $I_d = I_O(I'_a, I'_b, I'_c, B_a, B_b, B_c)$ ， $F_d = F_O(F'_a, F'_b, F'_c, A_a, A_b, A_c)$ ， $\Delta I_d = \Delta F_d = F_d - I_d$ とする．

得られた出力遷移事象は，論理素子の入力間に相関がない場合には正しいが，相関がある場合には必ずしも正しくない．

4. 提案手法

提案手法は，回路の各入力に遷移分布が与えられたとき，入力の遷移分布が全て得られた論理素子の出力の遷移分布を逐次計算し，回路の出力の遷移分布を求める．

4.1 二つの遷移事象の併合

併合は(初期値，最終値)の組み合わせが等しく，保持時刻が ∞ でない遷移事象同士で行う．併合後の遷移事象の生起確率は，併合された二つの遷移事象の生起確率の和となる．見積もりの安全性を保証するために，二つの遷移事象のうち小さい保持時刻と大きい設定時刻をそれぞれ併合後の保持時刻と設定時刻とする．二つの遷移事象のうち大きい「保持時刻+保持時刻誤差」と併合後の保持時刻との差を併合後の保持時刻誤差とする．設定時刻誤差も同様に定義する．結果として不定区間は広がり，保持時刻誤差と設定時刻誤差は大きくなる．

二つの遷移事象 $\lambda_a = (0, 0, I_a, F_a, \Delta I_a, \Delta F_a, P_a)$ と $\lambda_b = (0, 0, I_b, F_b, \Delta I_b, \Delta F_b, P_b)$ を併合した遷移事象を $\lambda_c = (0, 0, I_c, \Delta I_c, F_c, \Delta F_c, P_c)$ とすると

$$I_c = \min(I_a, I_b), F_c = \max(F_a, F_b),$$

$$\Delta I_c = \max(I_a + \Delta I_a, I_b + \Delta I_b) - \min(I_a, I_b),$$

$$\Delta F_c = \max(F_a, F_b) - \min(F_a - \Delta F_a, F_b - \Delta F_b),$$

$$P_c = P_a + P_b$$

となる。

4.2 遷移分布内の遷移事象の併合

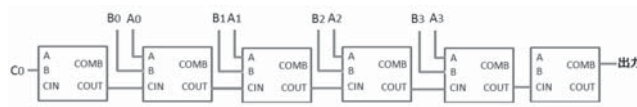
遷移分布内の遷移事象の併合は、併合閾値確率 P_M と、保持時刻-設定時刻空間の分割に基づき行う。生起確率が P_M 未満の遷移事象が併合の対象となる。実験では保持時刻を2等分、設定時刻を5等分することで遷移事象を10分割する。遷移事象は保持時刻が小さいグループと大きいグループに分けられ、さらに設定時刻の大小でそれぞれ5つのグループに分けられ、合計10個のグループに分けられる。それぞれのグループ内で初期値と最終値が等しい遷移事象を保持時刻が ∞ である遷移事象を除き全て併合する。

特に、 $P_M = 1$ として保持時刻-設定時刻空間の分割を行わない場合の併合を一括併合と定義する。一括併合した遷移分布の遷移事象の数は(初期値, 最終値)の組み合わせで4個と、常に信号が一定の場合の2個の合わせて最大で6個となる。

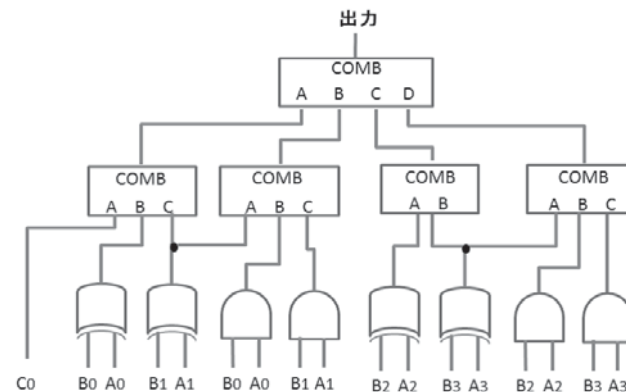
4.3 論理素子における遷移事象の併合

論理素子の各入力に与えられた遷移分布から遷移事象を一つずつ選んだとき、選んだ遷移事象の生起確率の積が一括併合閾値確率 P_{all} 以下であれば、一括併合を行う。

遷移事象の選び方と一括併合の対象となる遷移事象の決定方法を、3入力論理素子の各入力に遷移分布 $\Lambda_A, \Lambda_B, \Lambda_C$ が与えられた場合を例に説明する。各入力遷移分布を持つ遷移事象の数を N_A, N_B, N_C とする。三つの遷移分布から遷移事象 $\lambda_A[i], \lambda_B[j], \lambda_C[k]$ を選んで論理素子の出力遷移事象を計算し出力遷移分布に加えることを、 (i, j, k) の全ての組み合わせについて昇順に行う。その際、 $\lambda_A[i], \lambda_B[j], \lambda_C[k] (k \neq 1)$ の各生起確率の積が P_{all} 以下であれば、 Λ_C の k 番目以降の遷移事象を一括併合して Λ_C^* とし、 $\lambda_A[i], \lambda_B[j], \Lambda_C^*$ の全ての組み合わせについて出力遷移事象を計算する。 (i, j, N_C) までの組み合わせを終えたとする。また、 $\lambda_A[i], \lambda_B[j], \lambda_C[1]$ の各生起確率の積が P_{all} 以下であれば、 Λ_B の j 番目以降の遷移事象、および Λ_C の全ての遷移事象を一括併合してそれぞれ Λ_B^*, Λ_C^* とし、 $\lambda_A[i], \Lambda_B^*, \Lambda_C^*$ の全ての組み合わせについて出力遷移事象を計算する。 (i, N_B, N_C) までの組み合わせを終えたとする。また、出力遷移事象を計算したときに、この出力遷移事象と生起確率を除いて等しい遷移事象が出力の遷移分布に含まれる場合、これらを併合する。



(a) RCA 型



(b) CLA 型

図2 4ビットオーバーフロー判定回路

5. 実験

5.1 回路構成と入力遷移分布

本稿では2つの入力と前段からの桁上げ入力の和のオーバーフローの有無を判定する97ビットオーバーフロー判定回路を、実験対象とした。RCA型とCLA型の二通りの構成をALTERA社のFPGA, MU500-PSが持つロジックエレメント(LE)を想定しR言語で記述した。RCA型は、演算モードのLEを直列に接続して桁上げ伝搬加算器を構成し、オーバーフロー判定回路の出力を生成した。CLA型はノーマルモードのLEを用いた構成で、各ビットのANDとXOR信号を生成した後、最小の段数でオーバーフロー判定回路の出力を作り出す。97ビットオーバーフロー判定回路を構成するLEの数は、RCA型で99個、CLA型で280個であった。図2に4ビットの場合のRCA型とCLA型の回路図を示す。

実験では、時刻0に回路に与える入力ベクトルを変化させる。各入力は等確率で、0から0, 0から1, 1から0, 1から0の四通りに変化するとした。

5.2 実験条件

CPU:Core 2 Duo E7200, メモリ 2GB の環境で $P_M = 0.001$, $P_{all} = 0.0005$ とし、併合時には保持時刻を二等分、設定時刻を五等分するとしてRCA型の出力遷移分布を従来手法[2]と提案手法で、CLA型の出力遷移分布を提案手法で計算した。従来手法においては遷移事象の制限数を

表 1 出力遷移分布を求めた LE の個数

回路	入力数	LE の個数			
		1	2	3	4
RCA 型		2	0	97	0
CLA 型		0	9	9	10
CLA 型 (全 LE)		0	129	76	75

表 2 回路, 手法毎の計算時間と最大・最小遅延時間

回路	手法	遅延時間 [ps]		計算時間 [秒]	
		最大	最小		
RCA 型	従来	10608	1102	396	
	提案	安全		409	
		楽観	2205		1102
CLA 型	従来	—	—	(2.1×10^6)	
	提案	安全	3219	1980	863
		楽観	2470	1928	

表 3 RCA 型回路において 8000[ps] 以上の遅延が発生する確率

見積もり手法	確率
概算	2.1×10^{-22}
従来	2.3×10^{-3}
提案 (安全な評価)	1.4×10^{-4}
提案 (楽観的評価)	0

100 とした。提案手法による RCA 型の計算では、論理素子の入力に与えられる遷移分布の遷移事象の数は最大で 108 個であった。同じ遷移分布となる計算は一部省略した。同じ論理式の論理素子の入力に与えられる遷移分布が同じ場合、出力の遷移分布は等しい。入力に与えられる遷移分布と論理式が同じ論理素子の出力遷移分布は一度だけ求める。例えば実験において CLA 型回路では、各ビットの AND 信号と XOR 信号は 1 ビットについてだけ求めた。計算した論理素子の LE の個数を表 1 に示す。

5.3 従来手法との比較

表 2 に RCA 型と CLA 型について各手法の計算時間と、得られた出力遷移分布から求めた各回路の見積もり最大・最小遅延時間を示す。CLA 型の従来手法の計算時間は、RCA 型の従来手法の計算時間から見積もった推定値である。

RCA 型の 3 入力 LE では、2 入力に遷移事象数が 4 である遷移分布が与えられるため、制限事象数 100 のとき出力の遷移事象数は最大 1600 である。表 2 より、RCA 型においては従来手法と提案手法の計算時間は同程度であることがわかる。CLA 型では 4 つの入力全ての遷移事象数が大きい LE が存在する。そのため従来手法では遷移事象数を 100 に制限しても出力の遷移事象数は最大で 100^4 となる。提案手法では、例えば出力の 4 入力 LE に与えられた各入力遷移分布を持つ遷移事象の数はそれぞれ 2100 個、52 個、

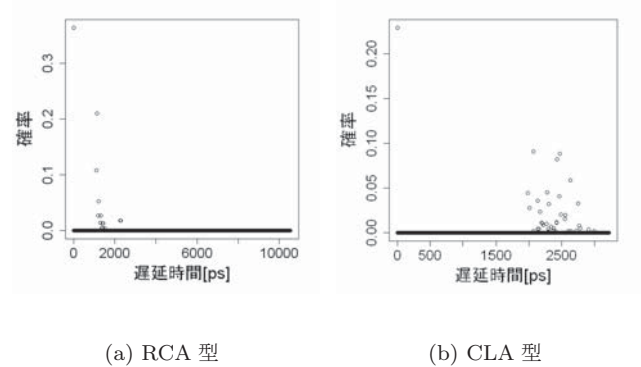


図 3 提案手法で求めた安全な遅延分布

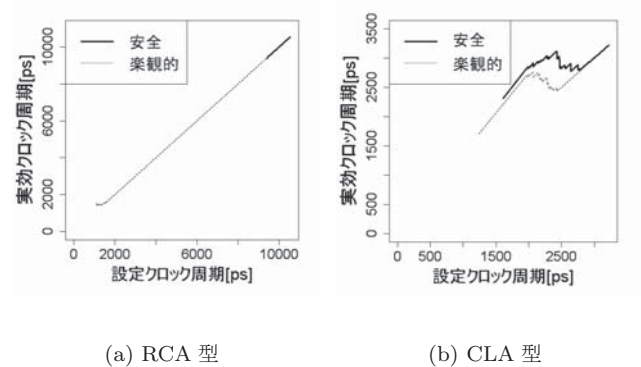


図 4 提案手法による実効クロック周期の見積もり

2100 個、102 個で、出力遷移分布が持つ遷移事象数は 1809 個であった。そのため従来手法の 1000 分の 1 以下の時間で計算を終えると推定される。

図 3 に提案手法で求めた安全な評価による遅延分布を示す。RCA 型は図 3(a) に示すように最大遅延時間に近い大きな遅延の発生率が極めて小さい。CLA 型は最大遅延時間のパスと同程度の長さをもつパスが多数存在し、図 3(b) に示すように最大遅延時間に近い大きな遅延の発生率が大きい。楽観的な評価による遅延分布では、出力が変わらない遅延 0 の確率が安全な評価に比べ大きい。

表 3 に RCA 型において各手法で計算した出力遷移分布から遅延時間が 8000[ps] を超える確率の見積もりと概算を示す。概算は LE の CIN から COUT へと信号が伝搬する確率を 50% とし、伝播遅延が 8000[ps] を超える LE の最小段数=72 段より $(0.5)^{72}$ とした。表 3 より、最大遅延時間での遅延分布の精度は提案手法が従来手法より 20 倍程度高いことがわかる。

5.4 実効クロック周期

提案手法で計算した結果から各回路を通常処理を 1 周期、回復処理を 1 周期で行う条件で VLEDIC で動作させ、設定クロック周期を変化させたときの実効クロック周期を安全な評価と楽観的な評価の二通りで計算した。設定クロック

表 4 FPGA 上で計測した最大・最小遅延時間

		RCA 型	CLA 型
遅延時間 [ns]	最大	6.94	3.79
	最小	1.52	1.86

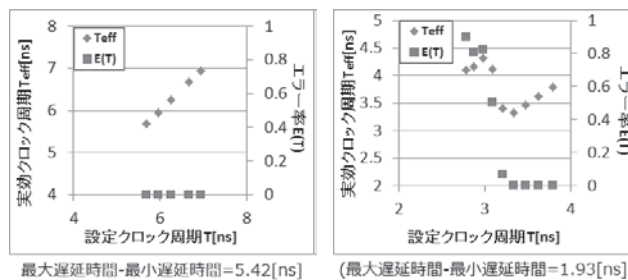
周期の上限は安全な評価の最大遅延時間とし、下限はそれぞれの評価での最大遅延時間を d_{\max} 、最小遅延時間を d_{\min} として $\max(d_{\max} - d_{\min}, d_{\max}/2)$ とした。図 4 にその結果を示す。図 4(a)(b) ともに楽観的な評価の設定クロック周期の下限は小さくなっているが、これらの設定クロック周期では回路の動作制約に違反し VLEDC は正常に動作しない。図 4(a) では、グラフはほぼ直線となっており、楽観的な評価と安全な評価との差はほとんどなく、設定クロック周期と実効クロック周期はほぼ等しい。図 4(b) では楽観的な評価と安全な評価との差があり、どちらも S 字カーブを描く曲線が見られ、実効クロック周期は設定クロック周期より大きい。楽観的な評価と安全な評価との差があり、安全な評価による実効クロック周期の誤差が小さいとは保証できない。3000[ps] 以上の範囲では、楽観的な評価による実効クロック周期と安全な評価による実効クロック周期がほぼ一致しており、誤差は小さいことが予想される。

6. FPGA 上での実験

97 ビットのオーバーフロー判定回路を RCA 型と CLA 型について verilog で記述し、ALTERA 社の FPGA, MU500-PS 上に回路を自動合成した。RCA 型は回路構造が維持されたが CLA 型は最適化されて構造は多少変更された。使用された LE の数は、RCA 型で 99 個、CLA 型で 156 個であった。

FPGA 上に実装した回路の最大遅延時間、最小遅延時間は、各入力ビットに対してその入力ビットだけが変化し出力が変化する入力ベクトル対を与え計測した。クロックタイミング差を 0[ns] とし、正しい出力が得られる最小のクロック周期を最大遅延時間とした。設定クロック周期を最大遅延時間より十分大きい値に設定し、正しい値が出力される最大のクロックタイミング差を最小遅延時間とした。最大遅延時間 - 最小遅延時間を VLEDC で動作可能な設定クロック周期の下限とした。その範囲内でクロックタイミング差を設定クロック周期+クロックタイミング差が最大遅延時間より大きいという条件で設定した。VLEDC に 100 万個のランダム信号を与え全ての計算を終えるまでに要したクロック数を記録した。クロック数 × クロック周期 / 100 万を実効クロック周期とした。表 4 に最大遅延時間、最小遅延時間を、図 5 に各設定クロック周期に対する実効クロック周期とエラー率を示す。

RCA 型においては、全ての計算を終えるまでに要したクロック数が常に 100 万であり、今回の実験ではエラーは発生しなかった。そのため図 5(a) のグラフの各点は直線上



(a) RCA 型 (b) CLA 型

図 5 FPGA での実効クロック周期およびエラー率

に並び、図 4(a) 結果と一致する。CLA 型においては、グラフの概形が S 字カーブを描いている点で見積もり結果と類似している。CLA 型の最大・最小遅延時間から求めた設定可能なクロック周期の下限は 1.93[ns] である。実験では 2.69[ns] 以下では異常な挙動を示した。これはクロック周期を小さくしたことで、動作制約に違反したためと考えられる。RCA 型、CLA 型の両方においてグラフの概形は見積もりと似ているが、数値は見積もりと異なっている。これらの原因として、見積もりにおいて LE の遅延の設定にずれがあったこと、配線の遅延を考慮していないこと、CLA 型は論理合成させると自動的に最適化されるので見積もりと実機では構成が多少異なること、素子の入力の間隔を考慮していないことが考えられる。

7. まとめと今後の課題

本稿では遷移事象の生起確率の制限と保持時刻、設定時刻の区域の分割による併合方法を提案し、CLA 型回路において計算時間を従来手法より 99 % 以上削減した。提案手法を用いることで、高速に設定クロック周期と実効クロック周期の関係のある程度見積もることができる。より信頼できる結果を得るためには、回路素子や配線遅延の情報を正確に得ることが必要となる。今後の課題としては、配線遅延を含めた遅延を見積もる手法や配線の相関を考慮に入れた見積もり手法の開発などが考えられる。

謝辞 本研究は科学研究費補助金基盤研究 (B)21300012 による助成を受けた。

参考文献

[1] M.Kurimoto, H.Suzuki, R.Akiyama, T.Yamanaka, H.Ohkuma, H.Takata, H.Shinohara, "Phase-Adjustable Error Detection Flip-flops with 2-Stage Hold-Driven Optimization, and Slack Based Grouping Scheme and Slack Distribution Control for Dynamic Voltage Scaling," *ACM Trans. DAES*, Vol.15, No.2 Article 17, 2010.
 [2] 秋田大, 安藤健太, 高橋篤司. "動的遅延分布の高速な見積もり手法." 信学技報, vol. 112, No. 245, VLD2012-55, pp. 83-88, 2012 年 10 月