

論文 / 著書情報
Article / Book Information

題目(和文)	ショットキー及びヘテロシリサイド・シリコン接合トンネルFETのプロセス及び構造因子に関する研究
Title(English)	A Study on Process and Device Structure for Schottky and Heterojunction Tunnel FETs using Silicide-Silicon interface
著者(和文)	呉 研
Author(English)	Wu Yan
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第9534号, 授与年月日:2014年3月26日, 学位の種別:課程博士, 審査員:岩井 洋,名取 研二,片岡 好則,筒井 一生,若林 整,杉井 信之,西山 彰,角嶋 邦之,Yi Shi,Liu Ming
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第9534号, Conferred date:2014/3/26, Degree Type:Course doctor, Examiner:,,,,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	論文要旨
Type(English)	Summary

(博士課程)
Doctoral Program

論文要旨

THESIS SUMMARY

専攻：物理電子システム創造	専攻	申請学位（専攻分野）：博士（工学）
Department of		Academic Degree Requested Doctor of
学籍番号：11D36050		指導教員（主）：西山 彰
Student ID Number		Academic Advisor(main)
学生氏名：呉 研		指導教員（副）：岩井 洋
Student's Name		Academic Advisor(sub)

要旨（和文 2000 字程度）
Thesis Summary (approx.2000 Japanese Characters)

<p>本論文は、“A Study on Process and Device Structure for Schottky and Heterojunction Tunnel FETs using Silicide-Silicon interface”（邦題「ショットキー及びヘテロシリサイド・シリコン接合トンネル FET のプロセス及び構造因子に関する研究」）と題し、英文 7 章で構成されている。</p> <p>第 1 章“Introduction”では、まず CMOS のスケールリング推進に不可欠な電源電圧低減が Off リークの上昇による LSI 消費電力の増加という課題に直面している状況を指摘し、それを打開する技術として急峻な On/Off 特性を有するトンネル電界効果トランジスタ（トンネル FET）が注目されていること、ただし現状では電流駆動力が低く、この克服が高速性を有するトンネル FET 実現への重要課題であることを述べている。その上で、CMOS 技術にこれまで適用されてきたシリサイド技術をふまえ、今後トンネル FET の高速化に同材料がどのように寄与できるかを論じることが、本論文の目的であると述べている。</p> <p>第 2 章“Detail of Simulation and Device Process”では本研究を通して用いたシミュレーション（Silvaco ATLAS）中の主にトンネルモデルについて詳述するとともに、本論文第 4 章で提案している、極薄 Ni/Si 積層からのシリサイド形成実験の基本的な実験手順を述べている。</p> <p>第 3 章“Influence of Structural Parameters on Electrical Characteristics of Schottky Tunneling FET and Its Scalability”では、金属シリサイド/Si 界面を用いたショットキー型トンネル FET デバイス特性の構造パラメータ依存性をシミュレーションによって検討するとともに、10 nm レベルへのスケールリングに際し、その最適パラメータがどのように変化するかを調べた結果をまとめている。</p> <p>第 4 章“A Novel Silicide Formation and Schottky Barrier Height Modulation”では、新提案の Ni/Si 極薄積層からの熱処理プロセスにより形成される Ni シリサイドの構造的・電気的特長を述べるとともに、同プロセスと整合する新しいショットキーバリア変調方法の提案とその検証結果について述べている。そして、このプロセスを用いたショットキー型 MOS の作製結果について述べている。</p> <p>第 5 章“Band Discontinuities at Source-Channel Interface and Their Influence on Tunneling FET Performance”では、ショットキー型トンネル FET の問題点から、ヘテロ接合を用いたトンネル FET の優位性を示し、同接合中バンド不連続値のデバイス特性への効果を定量的に示すとともに、半導体シリサイドを用いたシリコンヘテロ接合型トンネル FET に向けた材料の提案を行っている。</p> <p>第 6 章“A Novel Hetero-junction Tunnel-FET using Semiconducting Silicide-Silicon Contact and Its Scalability”では、第 5 章で示した半導体シリサイドの内、Mg₂Si を用いたヘテロ接合 N 型トンネル FET デバイス特性の構造パラメータ依存性をシミュレーションにより詳細に検討している。またスケールリングに際し、特にドレイン電圧の最適化が重要であることを示すとともに、従来型 MOSFET との比較、他種類のトンネル FET との比較から、本新提案トンネル FET の優位性について論じている。</p> <p>第 7 章“Conclusions”では、本研究で得られた結果を纏め、金属シリサイドあるいは半導体シリサイドを用いたショットキー型あるいは Si 系ヘテロ接合型トンネル FET の設計指針、それに適した新しいシリサイド形成手法やショットキーバリア変調方法について述べるとともに、それらの意義、さらには今後の課題・展望について述べている。</p> <p>以上を要するに、本論文は、今後のさらなる低消費電力 LSI 実現をめざし、従来のトンネル FET の課題である急峻な On/Off 特性と高電流駆動力の両立を図るための新しいデバイス構造を提案し、それに関わるデバイス・プロセスに関する多くの知見を明らかにしたものであり、工学上、工業上貢献しうるものと考えられる。</p>

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 2 部提出してください。
Note：Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 2 copies of 800 Words (English).

論文要旨

THESIS SUMMARY

専攻 : Department of	物理電子システム創造 専攻	申請学位 (専攻分野) : Academic Degree Requested	博士 (工学) Doctor of
学籍番号 : Student ID Number	11D36050	指導教員 (主) : Academic Advisor(main)	西山 彰
学生氏名 : Student's Name	呉 研	指導教員 (副) : Academic Advisor(sub)	岩井 洋

要旨 (英文 300 語程度)

Thesis Summary (approx.300 English Words)

Power consumption reduction of MOSFETs is pursued by the lowering supply voltage. However, keeping the trend is difficult due to increase in off-leakage current. Therefore, FETs with steep subthreshold slope (SS) have been intensively investigated. Tunneling FET (TFET) is a promising one owing to its simple structure and its capability of the drain voltage reduction. However, TFETs suffer from relatively low drivability due to its high tunneling resistance. In order to boost the drivability, TFET using III-V semiconductor hetero-junction structure has been investigated, however III-V semiconductor FET itself still has several issues for their use in ULSI technology. Considering all of these backgrounds, a study on process and device structure of Si-based TFET with high drivability has been conducted.

In this thesis, Si-based tunneling FETs (TFETs) with silicide/silicon junction are studied using 2-dimensional device simulation. The study on the Schottky barrier TFET revealed that Schottky barrier height influence on the SS characteristics in a different manner between long (50nm) and short (10nm) gate length devices. Eventually, it has been revealed that this type of short channel TFET can achieve almost the same drivability to the conventional MOSFETs with smaller SS by the optimization of structural parameters.

For the realization of the silicide/Si structure suitable for Schottky barrier TFETs, defect free silicidation at the interface with quite wide range of the barrier controllability is desired. In order to meet the demand, a novel silicide formation process using annealing of metal/silicon thin film stack is proposed.

Since it is understood that the elimination of electrons which belong to a high energy tail in Fermi-Dirac distribution in the source material is effective to reduce SS further, the band-to-band tunneling from semiconducting source and the influence of valence band and conduction band discontinuities at source-channel interface are investigated using device simulations. A steeper SS with higher ON current can be both achieved with larger discontinuity, owing to reduced tunneling distance and smaller energy barrier for the quantum mechanical tunneling of electrons.

Simulation study on TFETs using semiconducting silicide (Mg_2Si)/Si hetero junction revealed that narrow band gap of the silicide and large conduction/valence band edge discontinuities at the junction lead to a drastic SS reduction and high drivability. Comparison with the conventional FETs shows the effectiveness of this device for the low supply voltage usage.

備考 : 論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 2 部提出してください。

Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 2 copies of 800 Words (English).