T2R2 東京工業大学リサーチリポジトリ
Tokyo Tech Research Repository

# 論文 / 著書情報
# Article / Book Information

| | |
|---|---|
| 題目(和文) | 新しいRTLモデリングによるメニーコアプロセッサの設計 |
| Title(English) | Design of a Manycore Processor on a Novel RTL Modeling Method |
| 著者(和文) | 佐藤真平 |
| Author(English) | Shimpei Sato |
| 出典(和文) | 学位:博士（工学）,<br>学位授与機関:東京工業大学,<br>報告番号:甲第9662号,<br>授与年月日:2014年9月25日,<br>学位の種別:課程博士,<br>審査員:吉瀬　謙二,横田　治夫,宮崎　純,金子　晴彦,渡部　卓雄 |
| Citation(English) | Degree:,<br>Conferring organization: Tokyo Institute of Technology,<br>Report number:甲第9662号,<br>Conferred date:2014/9/25,<br>Degree Type:Course doctor,<br>Examiner:,,,, |
| 学位種別(和文) | 博士論文 |
| Category(English) | Doctoral Thesis |
| 種別(和文) | 論文要旨 |
| Type(English) | Summary |

Powered by T2R2 (Tokyo Institute Research Repository)

（博士課程）
Doctoral Program

# 論 文 要 旨

THESIS SUMMARY

| | | | |
|---|---|---|---|
| 専攻：<br>Department of | 計算工学　　専攻 | 申請学位（専攻分野）：<br>Academic Degree Requested | 博士　（　工学　）<br>Doctor of |
| 学生氏名：<br>Student's Name | 佐藤 真平 | 指導教員（主）：<br>Academic Advisor(main) | 吉瀬 謙二 |
| | | 指導教員（副）：<br>Academic Advisor(sub) | |

要旨（和文 2000 字程度）
Thesis Summary（approx.2000 Japanese Characters ）


プロセッサや GPU，FPGA などの LSI に集積されるトランジスタ数は増加している．トランジスタの増加に伴い，より大規模な回路が設計可能となったが，回路規模に対するシングルコアのプロセッサの性能向上は鈍化している．このため，プロセッサの性能向上は，これまでのシングルコアのプロセッサによる性能向上から，複数のコアを搭載するマルチコアプロセッサによる性能向上へとシフトしている．プロセッサのコア数は増加し，マルチコアからメニーコアの時代へと向かっており，様々なメニーコアアーキテクチャを効率的に設計，評価する必要がある．本論文では，新しい RTL モデリング手法を用いてメニーコアプロセッサを設計，評価する．

プロセッサなどの LSI の設計はアーキテクチャ設計，論理設計，回路設計，物理設計というフローで行われる．主に，アーキテクチャ設計と論理設計においてアーキテクチャの評価が必要となる．一般に，アーキテクチャ設計では，C 言語や C++言語などの汎用プログラミング言語で評価対象をモデリングし評価する．このときのアーキテクチャは，機能レベル，動作レベル，レジスタトランスファレベル（RTL）など様々な抽象度で記述される．論理設計では，Verilog HDL や VHDL などのハードウェア記述言語を用いて評価対象をモデリング，評価する．このとき，ハードウェアは RTL で記述されることが一般的である．

アーキテクチャ設計において汎用プログラミング言語を用いてハードウェアを記述し評価する理由には，シミュレーションが高速である点や柔軟なパラメータサーベイが可能である点が挙げられる．論理設計においてハードウェア記述言語が用いられる理由は，論理合成ができ，論理設計以降のフローである回路設計，物理設計に必要となるためである．このように，アーキテクチャ設計と論理設計では，同じハードウェアのために異なる言語による記述がなされており，複雑なハードウェアになるほどそれぞれの記述の等価性を検証するコストが高くなる．効率的なアーキテクチャの設計，評価には，この検証のコストを改善する必要がある．

一方，複数のコアを搭載するマルチコアプロセッサ，メニーコアプロセッサでは，並列処理によりアプリケーションの性能向上を図る．複数のコアを用いた並列処理にはコア間の通信が不可欠で，チップ上に数コアを搭載するマルチコアプロセッサではバスを用いた通信路によりコア間の通信を行っている．10 コア以上を搭載するメニーコアプロセッサでは，バスによる通信ではレイテンシ，スループットの性能不足より十分にアプリケーションの並列性を抽出できないため，Network-on-Chip（NoC）と呼ばれるルータを介したネットワークが用いられる．メニーコアプロセッサの設計において，NoC のルータアーキテクチャが重要な要素となる．

本論文では，メニーコアプロセッサを設計するにあたり，まずハードウェアを RTL モデリングするための新しい環境を提案する．この環境は，C++でハードウェアを記述する新しいハードウェア記述言語 ArchHDL と，ArchHDL のソースコードを Verilog HDL に自動変換するツールから成る．これにより，Verilog HDL と同じ抽象度による RTL 記述にもかかわらず C++によるハードウェアモデリングの利点である柔軟で高速なシミュレーションを達成する．したがって，アーキテクチャ設計と論理設計を ArchHDL のみで行うことが可能となる．また，Verilog HDL に変換できることから，容易に回路設計，物理設計といったフローへ移行することができる．

次に，メニーコアプロセッサの重要な要素である高性能な NoC ルータアーキテクチャを提案する．高スループットな NoC ルータとして Distributed Shared-Buffer Router（DSB ルータ）が知られている．しかし，このルータはレイテンシの点では典型的な NoC ルータに劣る．本研究では，このルータのレイテンシ削減手法を提案する．提案手法により，DSB ルータの特徴であるスループットの性能を維持しつつ低レイテンシ化を達成する．

最後に，メニーコアアープロセッサを設計し評価する．研究・教育を目的として設計されたメニーコアアーキテクチャ M-Core をベースに，提案する高性能な NoC ルータを搭載し，ハードウェアに改良を加えたメニーコアプロセッサを設計する．新しいハードウェア設計環境を用いた様々なパラメータによる評価から，NoC のアーキテクチャを策定する．そして，並列アプリケーションを用いた評価により，設計するメニーコアプロセッサにおける高性能な NoC ルータによる性能向上を示す．


備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。
Note：Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).


注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。
Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).

（博士課程）
Doctoral Program

# 論 文 要 旨

THESIS SUMMARY

| | | | |
|---|---|---|---|
| 専攻：<br>Department of | 計算工学　　専攻 | 申請学位（専攻分野）：<br>Academic Degree Requested | 博士　（　工学　）<br>Doctor of |
| 学生氏名：<br>Student's Name | 佐藤 真平 | 指導教員（主）：<br>Academic Advisor(main) | 吉瀬 謙二 |
| | | 指導教員（副）：<br>Academic Advisor(sub) | |

要旨（英文 300 語程度）
Thesis Summary（approx.300 English Words ）


The number of processor cores is increasing, and the era of many-core is coming. It is necessary to design and evaluate variety of many-core processor architecture efficiently. In this thesis, I design a many-core processor with a novel RTL modeling method.

LSIs are designed in a flow including architectural design, logic design, circuit design and physical design. Architectural evaluation is necessary for architectural design and logic design. In these design flow, different programming language is used for the evaluation. And the cost of verifying the equivalence of these descriptions is high. It is important to improve the evaluation in architectural design and logic design for efficient architecture design.

On the other hand, the data communication between cores is essential for parallel computing using a plurality of cores. In many-core processors, the network called Network-on-Chip or NoC is used for the data transfer. NoC router architecture is essential for many-core processor design.

In this thesis, I propose a novel hardware design environment first. The environment consists of a new hardware description language ArchHDL, which enables hardware RLT modeling in C++, and source code translation tool from ArchHDL code to Verilog HDL code. The simulation speed using ArchHDL is faster than that of Verilog HDL.

Next, I propose a high-performance NoC router for many-core processors. Shared-buffer router architecture is known as achieving high throughput against typical router architecture. But its latency is poor than typical router architecture. I propose a latency reduction method for the router architecture. The method achieves latency reduction maintaining the high throughput of the router.

Finally, I design a many-core processor includes the proposed NoC router and evaluate the performance of it. The novel hardware design environment is used for the design and the evaluation. From the evaluation using parallel applications, I show the performance improvement of the many-core processor with the proposed NoC router.


備考 ： 論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。
Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).


注意：論文要旨は、東工大リサーチリポジトリ（T2R2）にてインターネット公表されますので、公表可能な範囲の内容で作成してください。
Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).