

論文 / 著書情報
Article / Book Information

題目(和文)	スイッチング素子応用を目指したグラフェン電界効果トランジスタのオン/オフ比向上に関する研究
Title(English)	A Study on Improvement of on/off Ratio in Graphene Channel Field-Effect-Transistors for Switching Device Applications
著者(和文)	永久雄一
Author(English)	Yuichi Nagahisa
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第9648号, 授与年月日:2014年9月25日, 学位の種別:課程博士, 審査員:徳光 永輔,筒井 一生,渡辺 正裕,大見 俊一郎,波多野 睦子, 尾辻 泰一
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第9648号, Conferred date:2014/9/25, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

東京工業大学 博士論文

スイッチング素子応用を目指したグラフェン
電界効果トランジスタのオン/オフ比向上に関する研究

平成 26 年 9 月

指導教員

徳光永輔 連携教授

筒井一生 教授

総合理工学研究科

物理電子システム創造専攻

博士 3 年 永久 雄一

目次

第1章	序論	4
1.1	背景	4
1.2	MOSFETのスケーリング則とLSIのさらなる微細化における問題点	7
1.3	高移動度チャネル材料への期待	11
1.3.1	チャネル材料に求められる特性	11
1.3.2	高移動度チャネル材料の比較	12
1.3.3	グラフェンのバンド分散とチャネル材料としての優位性	14
1.4	グラフェンFET(GFET)の論理素子応用に向けた問題点	19
1.5	本研究のアプローチ	20
1.5.1	GFETのオン/オフ比向上に向けた報告例	20
1.5.2	半導体をソース/ドレインとしたGFET構造と動作メカニズム	22
1.5.3	半導体S/D-GFETに適したグラフェン形成手法	25
1.5.4	n-SiCをソース/ドレインとしたグラフェンFET(n-SiC S/D GFET)構造	27
1.6	グラフェンの高耐圧スイッチング素子応用の可能性	28
1.6.1	SiC-MOSFETへの期待と問題点	28
1.6.2	Graphene-SiC縦型バリスタ構造の提案	32
1.7	本研究の目的	35
第2章	試料作製方法、評価方法	36
2.1.	実験に用いたSiC基板	36
2.2.	基板の洗浄方法	37
2.3.	SiC表面熱分解法によるグラフェン形成に用いた実験装置	38
2.4.	表面観察によるエピタキシャルグラフェンの評価	40
2.4.1.	レーザーラマン分光測定	40
2.5.	デバイスの作製について	42
2.5.1.	作製したデバイス構造	42
2.5.2.	デバイス作製プロセス	44
2.6.	デバイス評価方法	50
2.6.1.	トランジスタおよびCBK素子の評価	50
2.6.2.	C-V特性の測定	50
第3章	高真空下におけるグラフェン形成手法の検討	51
3.1	本研究におけるグラフェン形成条件	51
3.2	行ったアニール条件	53
3.3	熱酸化膜形成前処理の検討	54
3.4	作製したグラフェンの評価	56
3.4.1.	X線光電子分光法によるグラフェンの評価	56

3.4.2.	ラマン分光測定によるグラフェンの評価	59
3.4.3.	原子間力顕微鏡(AFM)による表面モフォロジーの観察	62
3.4.4.	形成されたグラフェンの断面透過電子顕微鏡像	64
3.4.5.	オフ角のある基板におけるグラフェン形成	65
3.4.6.	本節のまとめ	66
3.5	グラフェン形成条件とグラフェン層数の関係	67
3.6	グラフェン成長時における酸素分圧の影響	69
3.7	第3章のまとめ	72
第4章	n-SiC をソース/ドレインとしたグラフェン FET の試作と動作メカニズムの考察	
	73	
4.1	試作したデバイス構造(第1次試作)	73
4.2	トランジスタ特性の評価(第1次試作)	74
4.2.1.	デバイス作製条件	74
4.2.2.	GFET の特性	75
4.2.3.	n-SiC-S/D-GFET の伝達特性の比較	76
4.2.4.	両極性動作抑制効果を妨げるメカニズム	78
4.2.5.	本節のまとめ	81
4.3	Cross Bridge Kelvin (CBK)素子によるコンタクト抵抗評価方法	82
4.3.1.	CBK 測定の原理	82
4.3.2.	測定可能なコンタクト抵抗率の下限值	83
4.4	試作したデバイス構造(第2次試作)	91
4.5	デバイスの評価と考察	92
4.5.1.	デバイス作製条件	92
4.5.2.	GFET の伝達特性	93
4.5.3.	n-SiC-S/D-GFET の伝達特性	94
4.5.4.	TG-CBK 素子によるコンタクト特性の評価	95
4.5.5.	第1次、第2次試作 n-SiC-S/D-GFET における両極性動作抑制メカニズム	96
4.5.6.	本節のまとめ	97
4.6	両極性動作抑制効果を妨げるメカニズム	98
4.7	第4章のまとめ	100
第5章	界面制御したグラフェンをチャンネルに用いることによるグラフェンチャンネル	
	FET の高性能化	101
5.1	水素アニール処理による界面層除去プロセスの検討	101
5.1.1.	ラマン分光法による評価	102
5.1.2.	XPS の C1s スペクトルによる評価断面	103
5.1.3.	TEM 像について	104
5.1.4.	本節のまとめ	104

5.2	デバイス特性の評価	105
5.2.1.	作製したデバイス構造	105
5.3	トランジスタ特性の評価	106
5.3.1.	GFET の特性評価	106
5.3.2.	低濃度 n-SiC-S/D-GFET のデバイス特性	107
5.3.3.	高濃度 n-SiC-S/D-GFET のデバイス特性	110
5.3.4.	本節のまとめ	111
5.4	CBK 素子によるグラフェン/n-SiC コンタクト特性の評価	112
5.4.1.	低濃度 n-SiC におけるグラフェン/n-SiC コンタクト特性について	112
5.4.2.	高濃度 n-SiC におけるグラフェン/n-SiC コンタクトの評価	116
5.4.3.	本節のまとめ	117
5.5	グラフェン/n-SiC コンタクトを有するデバイスのパフォーマンスの限界について	118
5.5.1.	本研究で得られたコンタクト抵抗値とバリアハイトの関係	119
5.5.2.	ドーピング濃度の限界値	120
5.5.3.	バンドギャップを誘起する手法との併用可能性	122
5.5.4.	本節のまとめ	123
5.6	本章のまとめ	124
第 6 章	結論	125
6.1.	本研究で得られた結論	125
6.2.	本研究の位置づけ	126
6.3.	実用化への指針	127
6.3.1.	考えられるデバイス構造	127
6.3.2.	実用化に向けた技術的課題	129
	本研究に関する研究業績一覧	130
	謝辞	132
	参考文献	133
	付録 A. 本研究で使用したマスクパターン	136
	付録 B. ゲート絶縁膜の検討について	140

第1章 序論

1.1 背景

20 世紀半ばから現代にかけてのエレクトロニクス産業の発展に伴い、科学技術や我々人類の生活水準は大きく向上した。目を追うごとに進歩する大規模集積回路(LSI)の性能は、スーパーコンピュータや PC の性能を向上させることによって、人間の知的生産性を高め、更なる技術革新のブースターとなってきた。LSI の小型化、低消費電力化により、携帯電話やスマートフォン、家電や自動車等、身の回りのあらゆるものが電子化され我々の生活はより便利で効率的になった。他方、ゲートターンオフサイリスタ(GTO)や絶縁ゲートバイポーラトランジスタ(IGBT)といった半導体パワーデバイスの実現により、大電力を自在に扱うことが可能になり、鉄道や電力変換機器など分野において効率よくエネルギーを活用できるようになった。さらに、エレクトロニクス産業の発展はこのような知的生産性、作業効率の向上のみならず、テレビゲームや電子書籍等のデジタルコンテンツやソーシャルネットワークキングサービス(SNS)といった新しい文化を創造し、人類の精神的、社会的豊かさの向上にも大きく貢献している。

エレクトロニクス産業発展の最大の原動力となったのは、Gordon Moore の提唱した“半導体中のトランジスタの集積度は 18~24 か月で倍になる”という経験則(Moore の法則)に沿った LSI の継続的な高性能化と高集積化である。図 1.1 は世界最大の半導体メーカーであるインテル社の 1 プロセッサあたりに含まれるトランジスタ数とゲート長 [1]の推移をプロットしたものであるが、トランジスタ数はほぼ一定のペースで現在まで指数関数的に増大していることがわかる。この Moore の法則を成り立たせてきた最大の要因は、ある一定のルールに従って、トランジスタを微細化することにより、消費電力を一定に保ったままトランジスタの高集積化、高速化が実現できるというスケールリング則の存在であり、これにより微細加工技術の継続的な発展に伴い、LSI は飛躍的な性能向上を続けることができた。このことは、図 1.1 において、トランジスタのゲート長が指数関数的に減少していることから確認できる。

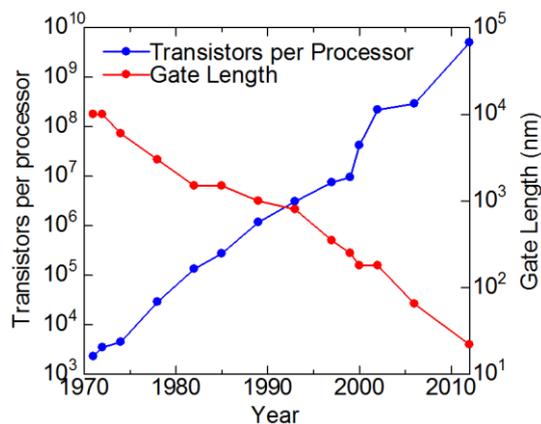


図 1.1 インテル社のプロセッサにおけるトランジスタ数とゲート長の推移

一方で近年、長年続いてきた LSI の微細化と性能向上のトレンドをさらに続けていくことが困難になってきている。1968 年に米国 RCA 社より Si-CMOS 集積回路が発売されて以降、LSI は Si 基板上の金属-絶縁膜-半導体電界効果トランジスタ(MISFET)を微細加工、高集積化することにより性能向上を続けてきたが、現在 MISFET の更なる微細化による性能向上において様々な課題が顕在化してきている。表 1.1 は MISFET における等価酸化膜厚(EOT : MISFET におけるゲート絶縁膜厚を SiO₂ 換算で計算した膜厚)および n 型 MISFET(n-MISFET)における飽和ドレイン電流(I_{d,sat})の国際的な半導体技術ロードマップ(ITRS2012)において示された産業上の要求値[2]である。I_{d,sat} は CMOS 論理回路の駆動力を決定する最も重要なパラメータであり、微細化に伴う性能向上を実現させるためにはロードマップで示された要求値を確保することが必要不可欠であるが、プレーナ型 n-MISFET で 2015 年以降、完全空乏型 SOI-MISFET およびマルチゲート型 MISFET においても 2017 年以降、ロードマップにおいて要求値を実現させるために“量産可能な解決策が知られていない”と定義される赤色で示されていることがわかる。この要因として、同じく表 1.1 で示されるように MISFET の駆動力を決定するゲート絶縁膜の EOT の更なる低減手法が確立されていないことが大きい。

シリコンバレーなどの単語に代表されるように、LSI は現在まで Si が主流であったが、近年では MISFET の更なる性能向上を実現する手法として、チャンネル部分に高移動度材料を用いる手法に期待が集まっている。高移動度チャンネルを採用する事により、より低い電源電圧、より厚い EOT を有するゲート絶縁膜において十分な MISFET の飽和ドレイン電流値を確保することが可能になり、より高速かつ、低消費電力の LSI の実現の可能性が期待されている。本研究では特に飽和ドリフト速度や高移動度という観点から、グラファイトの炭素原子層一層(または数層)を取り出したものであるグラフェンに注目し、LSI への応用可能性について検討を行った。

表 1.1 ITRS Roadmap 2012 より。EOT、I_{d,sat} についての要求値

EOT _{elec} (nm)	2013	2014	2015	2016	2017	2018	2019	2020	2021
Extended Planer Bulk	0.79	0.73	0.67	0.61	0.55				
FD SOI	0.84	0.8	0.76	0.72	0.68	0.63	0.58	0.54	
MG	0.88	0.84	0.8	0.76	0.72	0.68	0.65	0.62	0.59

I _{d,sat} : NMOS (μA/μm)	2013	2014	2015	2016	2017	2018	2019	2020	2021
Extended Planer Bulk	1,422	1,496	1,582	1,670	1,775				
FD SOI	1,475	1,530	1,591	1,654	1,717	1,791	1,847	1,942	
MG	1,520	1,573	1,628	1,685	1,744	1,805	1,858	1,916	1,976



量産可能な解決策が存在し、最適化が行われている。

量産可能な解決策が知られている。

量産可能な解決策が知られていない。

また、Gate Turn Off thyristor (GTO)や Insulated gate turn off thyristor (IGBT)等のパワー半導体の分野は、パワー密度の上昇という観点において、LSI の場合と同様に継続的な性能向上が行われている。パワー半導体の主要メーカーの一つである三菱電機株式会社によると、パワーデバイスにおけるパワー密度(単位体積辺りの電力量)は年代とともに指数関数的に増大している事[3]が示されており、LSI の集積密度の向上と比較するとやや緩やかではあるが、おおよそ4年でパワー密度が2倍となる速度である。パワーデバイスの分野においても Si が主流の材料であったが、現在 Si の絶縁破壊電界という物理的限界により更なる高パワー密度化が困難となっている。そのため、炭化ケイ素(SiC)等の Si を上回る絶縁破壊電界を有する材料による更なるパワー密度の向上の実現が期待されている。

一方で、SiC には様々な技術的課題があり、本格的な実用化はまだなされていない。たとえば、SiC を用いた縦型金属-酸化膜-半導体 FET(MOSFET)においてはゲート絶縁膜/SiC の界面特性の向上がまだ十分になされておらず、チャンネル移動度は $30\sim 40\text{cm}^2/\text{Vs}$ 程度と低い。したがって、耐圧が高く比較的高いオン抵抗が許容される領域に応用範囲が限られてしまっている。

本研究では、高移動度材料であるグラフェンを SiC 基板上にエピタキシャルに成長できる点に着目し、グラフェンと SiC の優れた物性を共に活かすデバイス構造により、グラフェンのパワーデバイス応用の可能性についても検討も行った。グラフェンは SiC 基板の高温熱分解処理により SiC 基板上に原子レベルでフラットな界面と共にエピタキシャル成長することが報告されており[4]、良好な界面特性が期待される。したがって、高移動度のグラフェンをチャンネルとし、SiC により耐圧を確保したデバイス構造により、低いオン抵抗を有するパワーデバイスの実現可能性も考えられる。本研究ではこのような観点での検討も行っている。

1.2 MOSFET のスケーリング則と LSI のさらなる微細化における問題点

本節では LSI の性能向上の原動力となってきたスケーリング則と、現在顕在化してきた更なる微細化における問題点について述べる。まず、一般的な MISFET おいて素子寸法を $1/k$ 倍とし、内部の電界が一定となるように微細化するスケーリング則の例について述べ、微細化によるメリットと更なる微細化の進展における問題点について説明する。この手法は R. H. Dennard らによって提案されたスケーリング則[5]であり、この条件のもとに微細化を行なった場合のトランジスタの各パラメータの変化を表 1.2 にまとめた。これによると、素子寸法を $1/k$ 倍にすることにより素子の電流、電圧がともに $1/k$ 倍となり、トランジスタ 1 個当たりの消費電力は $1/k^2$ 倍となっていることがわかる。トランジスタ 1 個の占める面積も $1/k^2$ となることから集積回路全体として見たときに単位面積当たりの消費電力が変化しないため、微細化前と同じ消費電力で単位面積当たり k^2 倍の MISFET を集積することが可能である。また、素子遅延に関しては $1/k$ 倍に減少している。このように、スケーリング則による微細化により消費電力を変えずに LSI 中における MISFET の集積密度の向上と動作速度の高速化の実現可能性が示されていることがわかる。

表 1.2 MISFET のパラメータの微細化による変化

MISFET のパラメータ	微細化による変化(微細化前を 1 とした)
チャンネル幅 : W	$1/k$
チャンネル長 : L	$1/k$
ゲート絶縁膜の膜厚 : t_{ox}	$1/k$
ゲート絶縁膜容量 : $C_{ox} \propto \epsilon/t_{ox}$	k
電圧 : V	$1/k$
電流 : I	$1/k$
消費電力 $\propto IV$	$1/k^2$
素子遅延 $\propto LWC_{ox}V/I$	$1/k$
集積度	k^2

一方で、近年では更なる微細化の進展における問題点が顕在化してきている。まず、LSIの性能向上のための電界一定のスケーリング則はすでに限界を迎えている。図 1.2 はインテル社 CPU における単一チップ内のトランジスタ数とクロック周波数の年代ごとにおける推移[1]を示したものである。CPU 中におけるトランジスタ数は順調に上昇を続けているが、CPU のクロック周波数の上昇は 2000 年辺りから頭打ちになっていることがわかる。この主たる理由は、MISFET においてゲート電圧がしきい値電圧以下における特性(サブスレッショルド特性)の物理的限界に起因する。以下に、n 型 MISFET の線形領域、飽和領域、サブスレッショルド領域における電流電圧特性の式を示す。

・線形領域($V_{DS} - V_T < V_G, V_G > V_T$)

$$I_D = \frac{W}{L} \mu C_{ox} V_D \left(V_G - V_T - \frac{V_{DS}}{2} \right) \quad (1.1)$$

・飽和領域($V_T < V_G < V_{DS} - V_T$)

$$I_D = \frac{1}{2} * \frac{W}{L} \mu C_{ox} (V_G - V_T)^2 \quad (1.2)$$

・サブスレッショルド領域($V_G < V_T$)

$$I_D = \beta \exp\left(-\frac{q\phi_B(V_G)}{kT}\right) \quad (1.3)$$

ここで、 V_G : ゲート電圧、 V_{DS} : ソース/ドレイン間電圧、 V_T : しきい値電圧、 W : チャネル幅、 L : チャネル長、 C_{ox} : ゲート絶縁膜容量、 μ : チャネル領域の電子移動度、 β : 比例定数、 $\phi_B(V_G)$: ソース/チャネル間における電子に対する電位障壁の高さ、 k : ボルツマン定数、 T : 絶対温度、である。

上の3つの式の内、線形領域および飽和領域における電流電圧特性は、チャネル領域の移動度という材料で決まるパラメータを除き、チャネル長やチャネル幅、ゲート絶縁膜容量等、スケーリングにより変化するパラメータによって記述されており、そのためスケーリング側に従った振る舞いをする。一方、サブスレッショルド領域の電流電圧特性においては、MISFET のドレイン電流はソース/チャネル間の電位障壁 ϕ_B を乗り越える電子の数によって決定される。なお、この電子の数は熱力学的に決定される。電位障壁 ϕ_B は理想的な場合を仮定した場合は V_G と等しいと考えられるため、MOSFET のサブスレッショルド領域における特性を示す S 値(一桁オフ電流を下げるのに必要なゲート電圧)における熱力学的な限界値は、室温においておおよそ 60mV/dec である。この限界値は MOSFET に限らず電位障壁の高さを変化させるメカニズムを用いているデバイスにおいて共通の値であり、また現実の素子においては必ずそれ以上の値となっている。従って、LSI において十分に低いオフ電流を確保するためには、しきい値電圧において必然的に下限が存在し、それゆえに現在では電源電圧におけるスケーリングがほぼ限界に到達してしまっている。

現状では LSI の消費電力と動作速度はトレードオフの関係になっており、CPU においては図 1.2 に示されるように動作周波数の上昇を抑えることで、消費電力の増大を抑えている。一方で、マルチコア化などのアーキテクチャの工夫によりパフォーマンスを向上させている[6]。さらに、

後述するが様々な要因により LSI の消費電力はクロック周波数の増加が停滞しても上昇し続けている[6]。

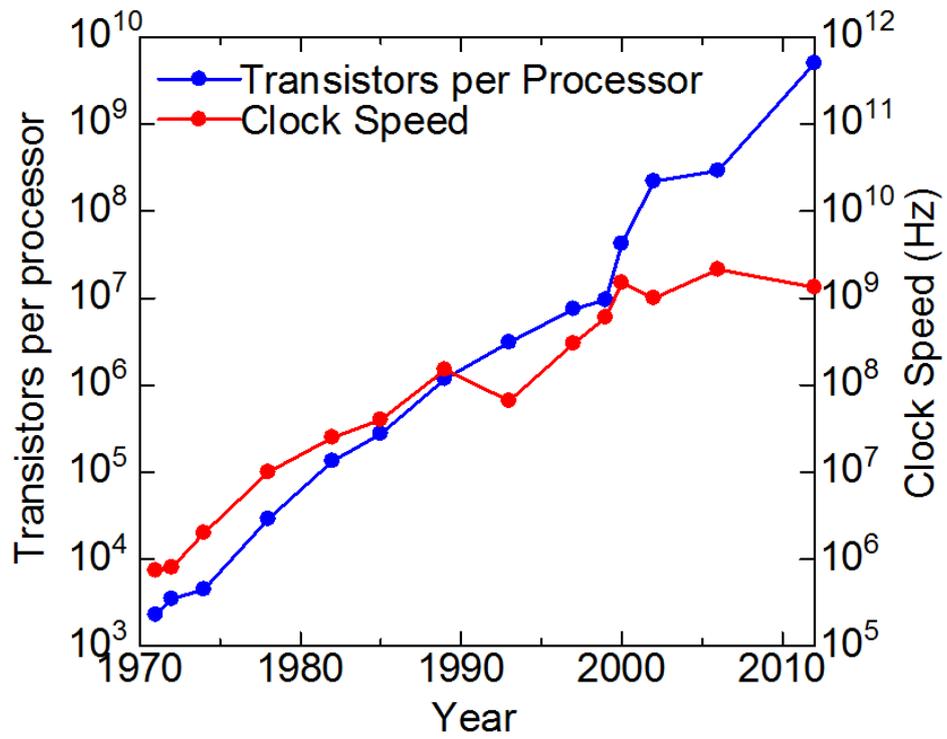


図 1.2 インテル社 CPU のトランジスタ数と動作周波数の推移

S 値の物理的限界の他に、LSI の微細化による性能向上を妨げる主要な要因としては、短チャネル効果とゲート絶縁膜の薄膜化が挙げられる。

まず、短チャネル効果について述べる。図 1.3 は長短チャネル n-MISFET の模式図とオフ状態において、基板とドレイン/ソース間のバイアスにより広がる空乏層の様子を示している。赤い斜線で示される領域は、ゲートからの電界により制御可能な空乏層の領域を示している。(a)においてはチャネルの大部分をゲート電界により制御可能であったが、(b)に示されるように短いチャネル長の MISFET においては、ゲート電界により制御可能な空乏層領域が相対的に減少してしまう。このことは、ソース/チャネル間の電位障壁 ϕ_B のゲート電界による制御性を低下させてしまい S 値の悪化およびオフ電流を招き、消費電力の増大を引き起こしてしまう。これらの要因を抑えるため、近年では Silicon-on-Insulator(SOI)基板上のトランジスタや Multi-Gate トランジスタ等のデバイス構造により、Si 層を基板から電気的に孤立させ接合容量を大幅に減少させることにより、短チャネル効果による S 値の低下を防ごうという試みが盛んになされている。

また、ゲート絶縁膜の薄膜化については現状において表 1.1 に示されるように 2013 年現在においても SiO₂ 等価膜厚(EOT)において 1.0nm を切る値が要求されている。このような膜厚のゲート絶縁膜を熱酸化 SiO₂ で実現すると量子力学的なトンネル効果によるゲートリーク電流が無視できないほど流れてしまう。したがって、現在では SiO₂ よりも比誘電率の高い材料(high-k 材料)により物理膜厚を厚く保ったまま、ゲート容量値を増大(すなわち EOT の低減)させようといった試みが盛んであり、Hf 系絶縁膜(HfSiO 等)において一部実用化がなされている。しかしながら high-k 材料の堆積による MOS 界面へのダメージなど、課題も大きい。

以上のように、電界一定のスケーリング則が限界に到達した現在において、種々の要因により微細化の更なる進展と性能向上が困難になっている。新しいデバイス構造や、high-k 材料の導入などによって更なる微細化を進展させようという試みが盛んにおこなわれ、一部実用化がなされているが、CPU におけるクロック周波数の停滞など課題も山積しており十分とは言えない。そのような背景の下、近年では MOSFET のチャネルにシリコンを上回る物性を有する材料を用いることにより、停滞していた LSI の高速化や、低消費電力化の実現に期待が集まっている。

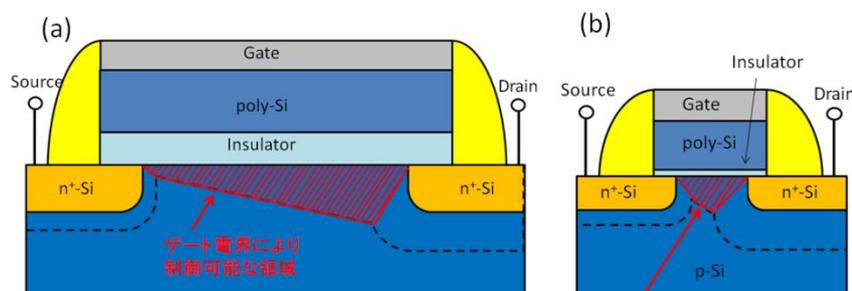


図 1.3 長短チャネル n-MISFET の模式図と、オフ状態における空乏層の広がり様子。

(a)長チャネル n-MISFET, (b)単チャネル n-MISFET

1.3 高移動度チャネル材料への期待

LSIの微細化による更なる高性能化が困難となってきた現在において、トランジスタのチャネルにSiを上回る移動度を有する材料を用いることにより、LSIの高速化、低消費電力化を実現しようという試みに注目が集まっている。本節ではチャネル材料に求められる特性を整理したうえで、高移動度チャネル材料を比較し、その中でグラフェンのチャネル材料としての特徴および優位性について述べる。

1.3.1 チャネル材料に求められる特性

LSIの微細化による更なる性能向上が難しくなってきた現在において、トランジスタのチャネル材料に求められる特性を整理すると以下の表1.3のようになる。まず、既存のSiの代替材料として用いるにあたって、現状で用いられている微細加工技術に適合することが望ましい。具体的には、短チャネル効果抑制のためのデバイス構造(たとえばSOI構造、Multi-Gate構造)を実現可能である必要がある。そのため、材料に求められる特性は少なくとも薄膜で安定であり、可能であれば単原子層で安定であればなおよい。また、電気的特性についてはオン状態において、ゲート電圧による高い電界効果と高いチャネル中の電流密度の実現が求められる。このためには、高い電子移動度、飽和ドリフト速度、および高いキャリア密度が誘起可能である必要がある。さらに、オフ特性においては低いオフ電流を実現するため、適切なバンドギャップを有する事が望まれる。加えて、微細化の進展に伴い、熱特性も非常に重要な要素になってきており、高い熱伝導率を有し、放熱性に優れることが望まれる。

表 1.3 次世代 LSI におけるチャネル材料に求められる特性

	微細加工技術との 親和性	電気的特性		熱特性
		オン特性	オフ特性	
求めら れる機 能	短チャネル効果が抑制可能	<ul style="list-style-type: none"> ➤ 高い電界効果 ➤ 高い電流密度 	低いオフ電流	高い放熱性
材料への 要求	<ul style="list-style-type: none"> ➤ 薄膜で安定 ➤ 単原子層が理想的 	<ul style="list-style-type: none"> ➤ 高キャリア移動度 ➤ 高い飽和ドリフト速度 ➤ 高いキャリア密度 	適切なバンドギャップ	高い熱伝導率

1.3.2 高移動度チャネル材料の比較

Siに代わる高移動度チャネル材料として期待されている材料の主要な物性値を表 1.4に示す。電子移動度についてはどの材料も Si を大幅に上回っている一方で、正孔移動度に関しては、GaAs や $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ などといった III-V 族化合物半導体は Si よりも低い値を示している。Ge は正孔移動度において Si を大きく上回る移動度を示しており、p 型 FET へのチャネル材料としての期待が大きい。本研究で用いるグラフェンは、電子、正孔共に非常に高い電子移動度が報告されており、n 型、p 型 FET 双方への応用へ注目が集まっている。飽和電子ドリフト速度においては、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ やグラフェンが突出した値を有しており、詳細については後述するが特にグラフェンにおいて、高電界印加時においても飽和ドリフト速度が下がらないという特徴から高い電流密度の実現が期待される。飽和正孔ドリフト速度においては、グラフェン以外はこの材料も同様の値を示しているが、グラフェンについては、ディラック点に対して対称かつ線形なバンド分散を有するという特殊性から、正孔に対しても電子と同等の移動度と飽和ドリフト速度を有する。バンドギャップについては、グラフェン以外は適切なバンドギャップを有していると言え、グラフェンについてはバンドギャップが 0 である点が実際のチャネル応用への大きな課題となる。

さらに、グラフェンにおいては、その他特筆すべき特徴として、まずダイヤモンドを超える高い熱伝導率が挙げられ、他材料と比較して非常に優れた放熱性を有していることがわかる。また、高いエネルギー領域まで線形なバンド分散が続くという特異な性質のため、大量のキャリアを誘起できるというメリットがある。加えて、炭素原子層一層で安定して存在するということから、短チャネル効果の抑制という視点で見ると理想的な材料であるといえる。

以上のように、グラフェンは「適正なバンドギャップを有していない」という点を除けば、チャネル材料として理想的な物性を有していると言える。

表 1.4 代表的な高移動度チャネル材料の物性値とその比較

	Si[7,8,9]	Ge[7,9]	GaAs[7,8,9]	In _{0.53} Ga _{0.47} As [10,11,12,13,14]	Graphene[15,16]
電子移動度 (cm ² /Vs)	1350	3600	8,500	10,000 程度	20,000
正孔移動度 (cm ² /Vs)	480	1800	400	200 程度	20,000
飽和電子ドリフト速度 (cm/s)	1.0x10 ⁷	0.70x10 ⁷	1.0x10 ⁷	<3.0x10 ⁷	>3.0x10 ⁷
飽和正孔ドリフト速度 (cm/s)	0.72x10 ⁷	0.63x10 ⁷	0.9x10 ⁷	<0.6x10 ⁷	>3.0x10 ⁷
バンドギャップ	1.1	0.66	1.4	0.74	0
その他特筆すべき特徴	豊富な知見の集積				<ul style="list-style-type: none"> ➤ ディラック点に対して線形かつ対称なバンド分散 ➤ ダイヤモンドを超える熱伝導率[17] ➤ 高いキャリア濃度 ➤ 単原子層で安定

1.3.3 グラフェンのバンド分散とチャネル材料としての優位性

本項では、グラフェンの特異なバンド分散関係について述べる。さらにその特異なバンド分散ゆえの高電界印加時の高い飽和速度、高いキャリア濃度などといった特性について詳しく述べ、グラフェンのチャネル材料としての優位性を強調したい。

グラフェンの結晶構造

まず、グラフェンの結晶構造について述べる。グラフェンとはグラファイトの炭素原子層 1 層を取り出したものであり、広義では 1~10 層程度の極薄膜グラファイトについてもグラフェンと呼ぶこともある。本論文では 1~10 層程度のグラファイト層についてもグラフェンと述べることとする。グラフェンは単層では不安定であると考えられていたが、2004 年、Novoselov らがスコッチテープを用いて黒鉛から引きはがすというシンプルな手法により単離に成功し、特異な電気特性が報告されている[20]。グラフェンの構造は図 1.4(b)に示されるように炭素原子が sp^2 結合により同一平面上にハニカム構造状に結合しており、数層グラフェンおよびグラファイトにおいては図 1.4 (a)のようにグラフェンの積層構造になっている。また、層間は分子間力によって結晶を形成している。単層のグラフェンについてはグラフェンシートと呼ばれ図 1.4(c)に示されるように広く平面上を覆うような構造で存在している。このような完全な 2 次元系を安定的に形成する材料は少なく(他に窒化ホウ素:BN 等)、この特殊な結晶構造がグラフェンの特異なバンド分散の要因となっている。

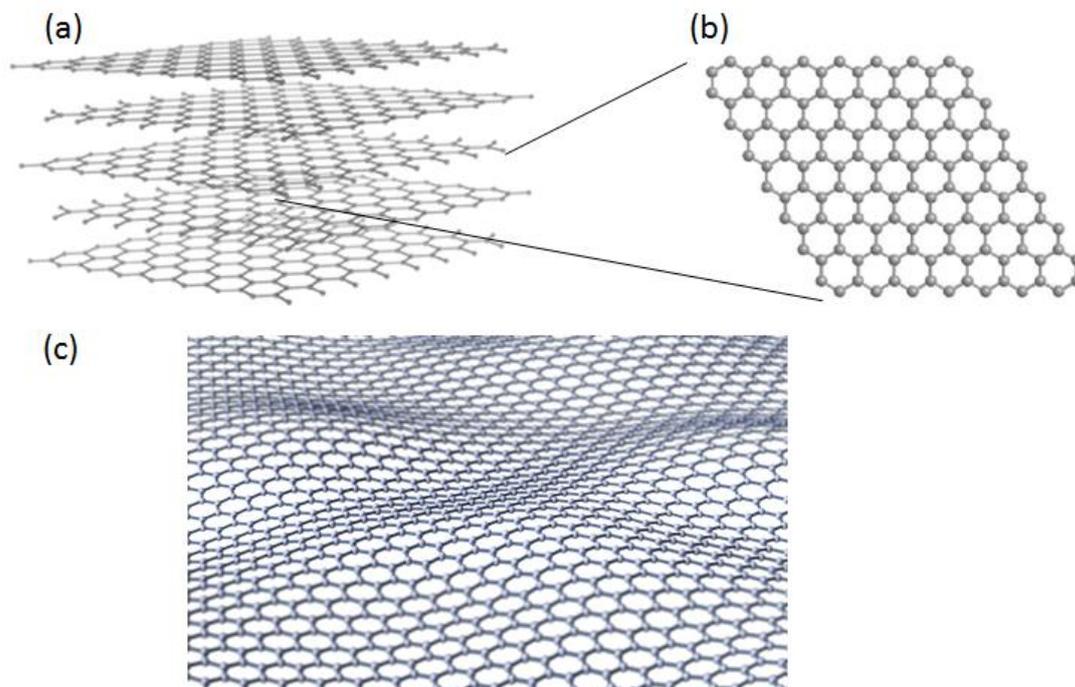


図 1.4 グラフェンの結晶構造 (a)グラファイトの結晶構造の模式図[18] (b)グラフェンの結晶構造の模式図[18] (c)グラフェンシートの広がりイメージ図[19]

グラフェンのバンド分散

図 1.5 はグラフェンのバンド分散について示したものである。グラフェンの単位胞は菱形となり、図 1.5(a)のようにとれる。単位胞中に反転対称の位置にある 2 種類のサイト、A サイト(橙色)、B サイト(水色)にそれぞれ 1 つずつ炭素原子が存在するため、反転対称性を有するハニカム状の結晶構造になる。この A サイトと B サイトの反転対称性が、バンドギャップがゼロで線形のバンド分散を示すといったグラフェンの特異なバンド分散関係の大きな要因となっている。たとえば、グラフェンの場合は A サイト、B サイト双方に炭素原子が位置しており、完全なグラフェンと全く同様のハニカム構造状の 2 次元結晶を構成する窒化ホウ素(BN)においては、A サイトがホウ素、B サイトが窒素という異なる 2 種類の元素によって構成され、反転対称性が失われている。BN はバンドギャップの値が 5.2eV [21]と非常に大きい値を有する絶縁体である。このような、反転対称性とバンドギャップの関係を活かして、グラフェン自体にバンドギャップを誘起するといった観点での研究もおこなわれており、例えば 2 層グラフェンに高電界を印加し、A サイト、B サイトの炭素原子の対称性を崩すことによって、バンドギャップを誘起した例も報告されている[22]。

グラフェンのバンド分散のおおよその形は図 1.5 (c)で示される。ここで図 1.5(c)は水平方向が k 空間であり、縦方向をエネルギーとしたものである。図 1.5 (c)の K 点、 K' 点については図 1.5 (b)で定義されるとおりである。K 点および K' 点において、二つのコーンが合わさったような構造となっていることがわかるが、このコーン(ディラックコーン)の頂点が電荷中性点となりディラック点と呼ばれる。したがって、電荷中性点に対して、上側が伝導帯であり、下側が価電子帯となり、価電子帯、伝導帯がディラック点の一点で縮退するという通常の材料とはかなり異なったバンド構造をとることがわかる。またディラック点に対して対称なバンド構造をとっており、このことが電子、正孔の対称なキャリア輸送特性の要因となる。さらに、ディラック点から見てかなりのエネルギー領域でほぼ線形のバンド分散となり、また散乱の要因となるバレーが存在しない[23]ため、広範囲で有効質量がゼロとなり、極めて高いキャリア移動度の要因となっている。

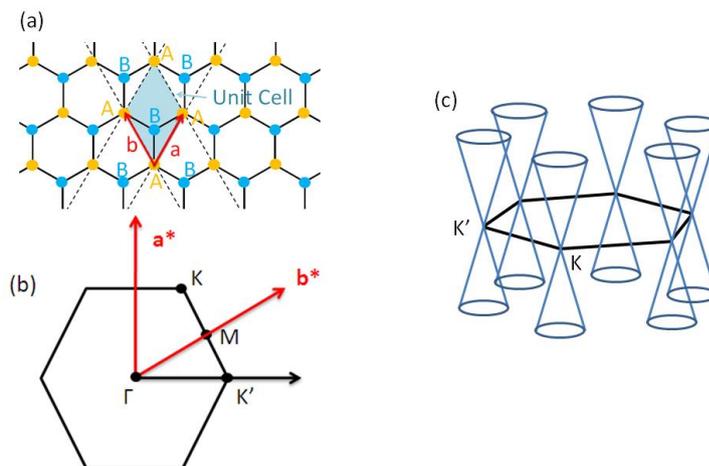


図 1.5 グラフェンのバンド分散 (a)グラフェンの結晶構造と単位胞 (b)逆格子空間における第一ブリルアンゾーン (c)グラフェンのバンド分散の模式図

グラフェンのバンド分散に起因するチャネル材料としての優位性

前節にて、グラフェンの物性値や構造におけるチャネル材料としての優位性を示したが、ここでは、グラフェンの特異なバンド分散に起因するチャネル材料としての優位性について述べる。

まず、グラフェンのキャリア濃度における優位性について述べる。図 1.6 (a)はグラフェンの K 点近傍のバンド分散を示しており、伝導帯や価電子帯底付近でパラボリックなバンド分散を示す一般的な半導体と大きく異なる。そのため、状態密度(DOS)のエネルギーに対する分布は図 1.6 (b)に示すようになる。一般的な半導体において DOS の分布が \sqrt{E} に比例するのに対し、グラフェンの場合、DOS の分布は E に比例する。したがって、グラフェンのフェルミ準位を制御することにより十分なキャリア濃度を誘起することが可能である。

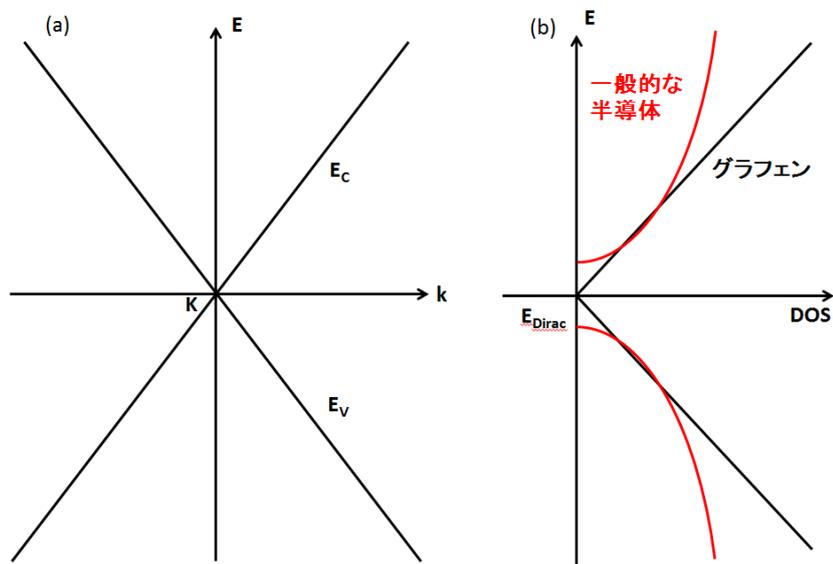


図 1.6 グラフェンのバンド分散と状態密度 (a)K 点付近におけるバンド分散
(b)グラフェンおよび一般的な半導体の状態密度とエネルギーの関係

また、グラフェンは高いキャリア濃度までキャリアを誘起できることに加え、先述したようにキャリアが線形なディラックコーンで近似できる伝導特性を示す領域がかなり広いという特徴がある。これは、GaAs や InGaAs などといった材料に見られるような、バレー間散乱による飽和ドリフト速度の減少が見られず、高電界において高い飽和速度を維持することができることを意味する。図 1.7 は各種半導体の飽和ドリフト速度について示したグラフである。高移動度材料として注目されている、GaAs、InGaAs、Ge、およびグラフェンと比較対象として Si の飽和ドリフト速度について示している[25,26]。グラフからわかるとおり、グラフェンのドリフト速度はキャリア濃度によって値が大きく変化するが、図 1.7 中に示される他のチャネル材料と比較しても高い値を有しており、特筆すべき点は高電界側において GaAs や InGaAs に見られるようなドリフト速度の減少が非常に少ない点が挙げられる。

また、前述のような高いキャリア濃度や高いドリフト速度といった特徴に加え、グラフェンはダイヤモンドを上回るヤング率(1500GPa[17])を有しており、機械的強度も非常に優れている。そのため、グラフェンは電流密度耐性においても優れており、現在主流の LSI の配線材料である Cu を大幅に上回る 10^8A/cm^2 [24]もの電流密度耐性が報告されており、配線材料としても期待が集まっている。

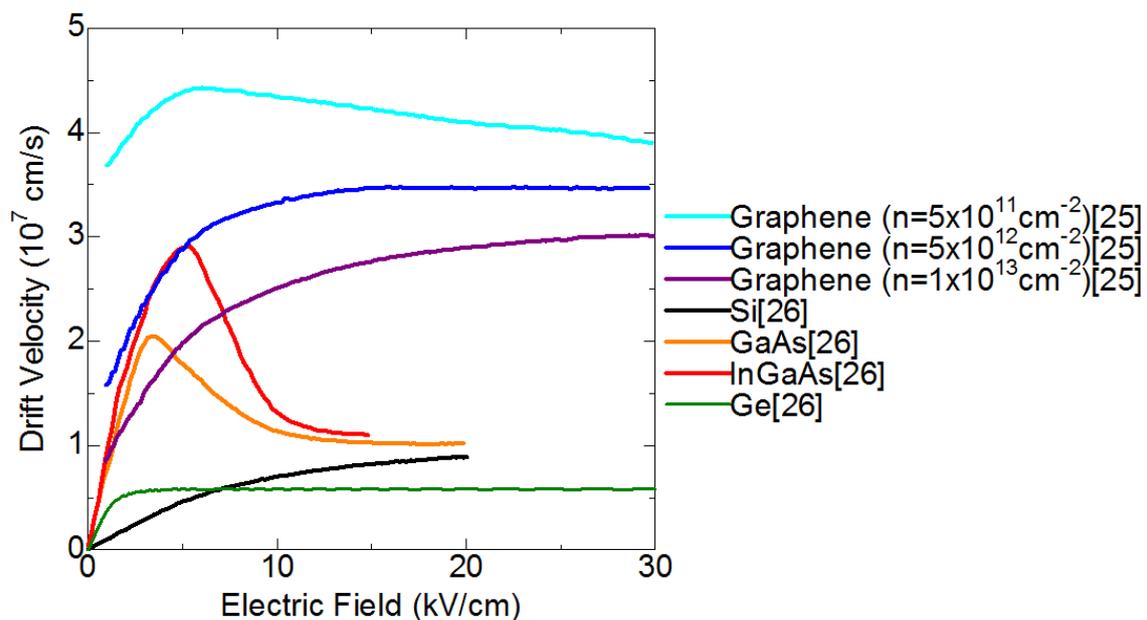


図 1.7 グラフェン、Si および他の高移動度チャネル材料のドリフト速度と印加電界の関係
 (a)グラフェンのドリフト速度[25](キャリア濃度依存性が存在する)
 (b)Si,Ge,GaAs,InGaAs のドリフト速度[26]

本節のまとめ

本節では Si に代わるチャンネル材料に求められる特性を整理し、高移動度チャンネル材料とグラフェンにおいて比較検討を行った。本節の結論として、グラフェンはバンドギャップがゼロであるという点を除けば優れたキャリア輸送特性、高いキャリア濃度、優れた放熱性、非常に高い機械的強度、単原子層材料である、等といった特徴を有し、微細加工技術との親和性、電気特性(オン特性)、熱特性の 3 点において理想的な材料であると言える。

1.4 グラフェン FET(GFET)の論理素子応用に向けた問題点

グラフェンをチャンネルとした FET(GFET)の論理素子応用を考えた際に一番の問題となる点は、グラフェンのバンドギャップがゼロであることに起因する GFET の極めて低いオン/オフ比と両極性動作である。

図 1.8 に一般的に報告されているトップゲート型 GFET 構造とその伝達特性について示す(文献[27]など)。図 1.8 (a)示されるように、絶縁体基板上的グラフェン層をチャンネル、金属をソース/ドレインのコンタクト電極として用い、トップゲート構造を形成したデバイス構造を仮定する。このような構造において、トランジスタの伝達特性は図 1.8 (b)のようになり、ドレイン電流最小値に対して左右対称な両極性動作を示す。この電流最小値はグラフェンチャンネル中のフェルミレベルがおおよそチャンネル全域においておおよそディラック点近傍に存在する事を意味し、これによりキャリア濃度が大幅に減少するため、FET は電流最小値を示す。しかしながら、グラフェンにはバンドギャップが存在しないため、室温においては熱励起されたキャリアが存在し、伝導に寄与する。したがって、オフ状態におけるドレイン電流が高止まりしてしまう。このような通常の GFET 構造において得られるオン/オフ比は 2~20 程度と極めて低く、論理素子応用への極めて重要な課題となっている。

さらに、図 1.8 (b)に示されるような、電流最小値(ディラック点に相当)に対して左右対称な両極性動作について述べる。伝達特性における電流最小値はグラフェンのディラック点にフェルミレベルが存在していることを意味しているが、それよりゲート電圧が正の電圧を印加している場合はチャンネル中に電子が誘起され、電子伝導が主体となり、また、ゲート電圧を負側に印加すると、今度は正孔が誘起され正孔主体の伝導となる。このように GFET は n 型 FET、p 型 FET 双方の特徴を備えた両極性動作を示す。このことは、CMOS 等の相補型回路を形成する際に大きな問題となるため、グラフェンの極性制御の技術も極めて重要である。

さらに実験的な視点からの問題点としては、グラフェンについてプロセス的な知見の蓄積が十分になされていないため、グラフェンの形成手法やトップゲート絶縁膜の堆積手法など FET の特性に直結する知見が未だ手さぐりの状態であり、更なる実験的知見の集積も重要な課題である。

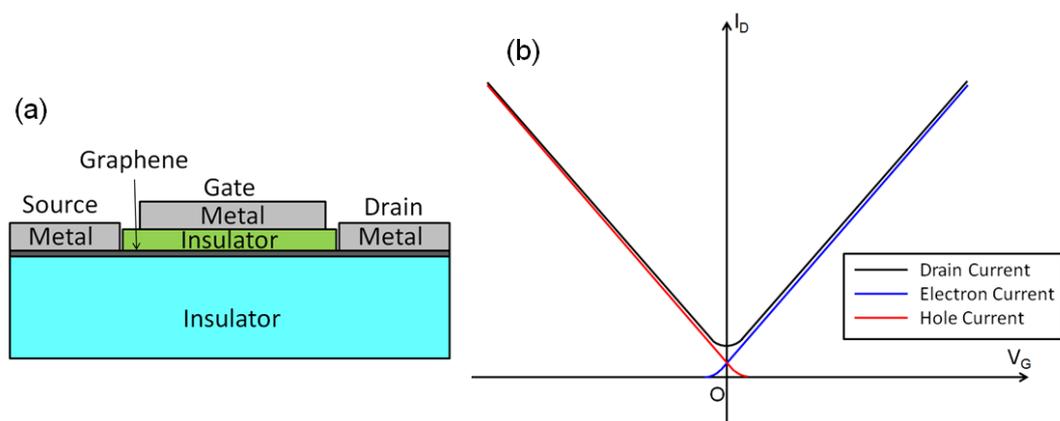


図 1.8 絶縁体上に作製した GFET の構造とその伝達特性
(a)トップゲート型 GFET 構造の模式図 (b)GFET の伝達特性の模式図

1.5 本研究のアプローチ

本節においては、グラフェンがバンドギャップゼロの材料であることに起因する GFET の低オン/オフ比、両極性動作といった問題点を解決するための本研究におけるアプローチについて述べる。

1.5.1 GFET のオン/オフ比向上に向けた報告例

GFET のオン/オフ比向上はグラフェンを論理素子などのスイッチング素子に応用するために極めて重要な課題である。そのため、オン/オフ比向上のための様々な手法が研究されている。

表 1.5 に GFET のオン/オフ比向上のための代表的な手法とその特徴を示す。そのうち、グラフェンのナノリボン加工、2層グラフェンへの高電界印加についてはグラフェン自体にバンドギャップを誘起するという手法である。

まず、グラフェンのナノリボン加工については、グラフェン自体をナノスケールのリボン状構造(グラフェンナノリボン: GNR)に加工することで、量子力学的な閉じ込め効果によりバンドギャップを誘起するという手法である。GNR をチャンネルとして用いることによって FET のオン/オフ比の実験的な値として 10^5 以上の高い値が報告されている[28]。一方、この手法の欠点としてはナノリボン加工によるプロセスダメージや GNR のエッジにおける散乱により、オン電流を抑制する要素として働くことである。特に、この手法においてはグラフェンナノリボン(GNR)の幅をどの程度の値にするかによって誘起されるバンドギャップが異なる。計算結果[29]によれば、仮に満足なオン/オフ比を実現するために 0.5eV 程度のバンドギャップを得ることを考えると、ナノリボンの幅を 2.5nm 程度にする必要があり、これをグラフェンへのダメージを抑制して実現することは難しい。また、バンドギャップ誘起によりバンド分散が線形ではなくなるため、バンドギャップの誘起に伴い有効質量が増加することも課題となる。一方で、他の手法との併用可能性は比較的高いと考えられる。FET の極性制御性についてはグラフェンへのドーピング技術の進展が必要である。

次に、2層グラフェンへの高電界印加についてであるが、この手法は2層グラフェンの縦方向に高電界を印加することにより、2層グラフェンを構成するグラフェンシートの単位胞における A サイト、B サイトの炭素原子の反転対称性を乱すことによりバンドギャップを誘起するというものである。この手法はグラフェンへのプロセスダメージは少ないというメリットはあるが、誘起できるバンドギャップが大きくても 0.2eV 程度と狭く、十分なオン/オフ比を得るには小さい値である。また、垂直方向に高電界をかけた上でデバイスを動作させなければならないため、FET の極性制御性や他のオン/オフ比向上手法との併用可能性といった点で劣る。また、バンドギャップが誘起された場合、ディラック点近傍のバンド分散が変化し、メキシカンハットと呼ばれるバンド構造を形成するため[30]、大きな有効質量を生じるという問題もある。

3 つ目の手法として、グラフェンのチャンネルに対し、ドーピングした半導体をソース/ドレインとしたデバイス構造により、GFET の高オン/オフ比化と単極性動作化の実現を目指す手法がある。この手法は本研究着手段階において実験的には報告例はなかったが、シミュレーションによる報告例[31,32,33]がいくつか存在しており、 10^3 ~ 10^5 程度のオンオフ比の実現可能性が示され

ていた。このデバイスの動作原理についての詳細は後に述べるが、概略としては、ソース/ドレイン領域が不純物ドーパされた半導体であることにより、グラフェン中の電子、正孔に対し非対称なバリアが生じ、それをゲート電圧により変調することにより高いオン/オフ比と単極性動作が期待できるというものである。また、2012年に H.Yang らによって、graphene と n 型または p 型 Si とグラフェンのコンタクト構造をゲート電圧で変調することで 10^5 程度のオン/オフ比が実現できることが実験的に示された[34]。この手法は十分なオン/オフ比の実現が期待でき、また明瞭な単極性動作が実現可能である。また、グラフェンへのプロセスダメージはどのような半導体を用いるかによって異なるが、目的の半導体基板にグラフェンの直接形成が可能であれば、プロセスダメージは小さいと考えられる。一方、作成されるデバイスの構造にもよるが、グラフェン/半導体間のコンタクト抵抗や、半導体部分の抵抗値などが、オン特性に影響を与える可能性が考えられる。

GFET のオン/オフ比向上のための手法として、注目されている技術については以上のようなになる。本研究においては高いオン/オフ比と明瞭な単極性動作の実現可能性から、半導体 S/D を用いる手法に注目する。また、半導体 S/D を用いる場合に生じるグラフェン/半導体コンタクトにおける抵抗についても検討を行う。

表 1.5 GFET のオン/オフ比向上のための手法

	グラフェンのナノリボン加工	2層グラフェンへの高電界印加	半導体 S/D-GFET 構造
オン/オフ比	10^5 以上	10^3 程度	$10^3 \sim 10^5$
極性制御性	△	×	○
グラフェンへのプロセスダメージ	大	小	小～中
他の手法との併用可能性	○	△	○
オン電流を下げる要因	<ul style="list-style-type: none"> ➢ エッジ散乱 ➢ プロセスダメージ ➢ 有効質量増大 	<ul style="list-style-type: none"> ➢ 有効質量増大 	<ul style="list-style-type: none"> ➢ グラフェン/半導体コンタクトにおける抵抗 ➢ 半導体の直列抵抗

1.5.2 半導体をソース/ドレインとした GFET 構造と動作メカニズム

本項では、半導体を S/D とした GFET 構造についてと動作メカニズムについて述べる。図 1.9(a) に一般的な金属をソース/ドレインとした GFET 構造、図 1.9(b) n 型ドープした半導体を S/D とした GFET 構造(n-Semiconductor-S/D-GFET)を示し、これらの伝達特性の模式図を図 1.9(c)にて比較した。図 1.9(c)の伝達特性は、ドレイン電流をログスケールで示したものであるが、通常の金属をソース/ドレインとした GFET については両極性動作を示し、オン/オフ比が低くなるのに対し、n 型半導体をソース/ドレインとした GFET については、単極性動作を示し、大きなオン/オフ比を確保できることがわかる。ここで図 1.9 (b)のデバイス構造を例に取り、文献[31]のシミュレーション例と同様に半導体領域を n 型に高濃度ドープされた Si とした場合(n-Si-S/D-GFET) における動作メカニズムについて考察する

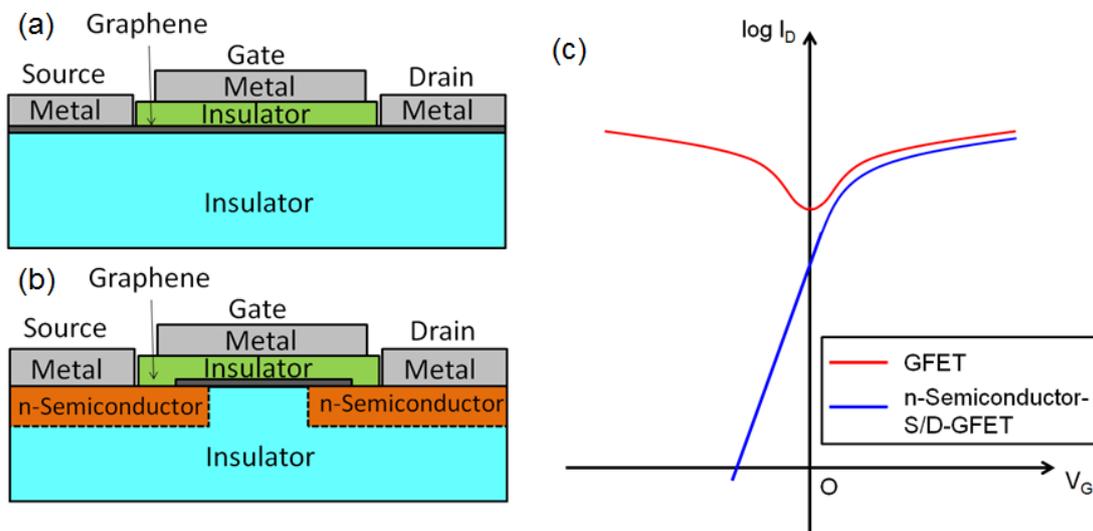


図 1.9 n 型ドープした半導体を S/D とした GFET の構造と伝達特性

- (a)一般的なトップゲート型 GFET 構造
- (b)n 型ドープした半導体をソース/ドレインとした GFET 構造(n-Semiconductor-S/D-GFET)
- (c)縦軸をログスケールで示した伝達特性の模式図

図 1.9(b)に示されるデバイス構造について、ソース/ドレイン間電圧(V_{DS})がゼロ近傍、すなわち微小なソース/ドレイン電圧を印加した場合の動作メカニズムについて、デバイスにおける電流伝導パスであるソース/チャンネル/ドレイン間におけるバンドダイアグラムを用いて説明する。まず図 1.10 (a)においては、正のゲート電圧が印加されており、グラフェンチャンネル中には電子が多く誘起される。したがって図 1.10 (a)に示されるとおり、ソース/チャンネル間、チャンネル/ドレイン間における電子に対する n^+ -Si のショットキー障壁高さが大幅に減少し、これによりオン状態となる。次に、図 1.10 (b)において、負のゲート電圧を印加することにより、正孔がグラフェンチャンネル中に多量に誘起される。したがって、図 1.10 (b)に示すように、グラフェンチャンネル中に正孔が多量に誘起され、これによりグラフェン中の電子から見たソースおよびドレインの n^+ -Si におけるショットキー障壁高さが増大する。これによってソース/ドレイン間抵抗値が大幅に増大する。

以上のように、微小なドレイン/ソース間電圧が印加されている状況下において、 n -Si-S/D-GFET の抵抗値が大幅に変調することが考えられ、また考えられる動作メカニズムから単極性動作の実現が期待できることがわかる。

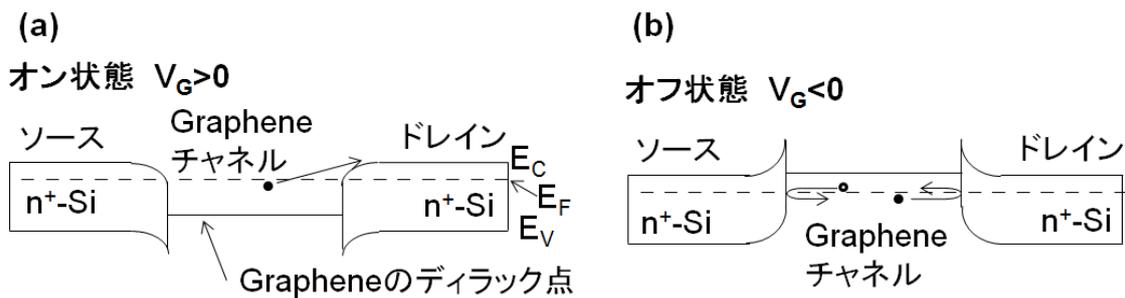


図 1.10 $V_{DS} \approx 0$ のときの n -Si-S/D-GFET(図 1.9(a)のデバイス構造を仮定)におけるソース/チャンネル/ドレイン間のバンドダイアグラム (a)オン状態($V_G > 0$) (b)オフ状態($V_G < 0$)

次に、ソース/ドレイン間電圧に比較的高い電圧として、LSIの電源電圧(V_{DD})程度を印加した場合を考える。図 1.11 は $V_{DS} \approx V_{DD}$ としたときの n-Si-S/D-GFET のバンドダイアグラム(ソース/チャンネル/ドレイン間)である。オン状態においてはグラフェンチャンネル中に電子が多量に誘起され、フェルミレベルが上昇するためソース/チャンネル間、チャンネル/ドレイン間のバリアは大幅に減少すると考えられる。したがって、設計するデバイス寸法、パラメータにも依存するが図 1.11(a)に示されるように主にグラフェン部分に電圧がかかるような状態になると考えられる。一方で、オフ状態においてはグラフェン中のチャンネルに正孔が多量に誘起され、ソース/チャンネル間、チャンネル/ドレイン間における電子に対する Si のショットキー障壁高さが増大するが、ドレインにも正電圧が印加される。このような状況においては、グラフェン/ n^+ -Si コンタクトにおいて、逆バイアスとなる部分にもっとも電圧がかかるため、図 1.11(b)に示すように、ドレイン領域に大きく空乏層がよる状態になる。このように、オフ状態においてはドレイン側におけるグラフェン/ n^+ -Si コンタクトが特に重要な役割を示すと考えられる。

以上、方向においては n-Si-S/D-GFET を例に、半導体 S/D-GFET 構造における動作メカニズムについて述べた。このようなメカニズムにおいては、S/D に用いる半導体の種類や、ドーピング濃度、デバイス構造といったパラメータによって特性が大きく変わってくるため、動作メカニズムの正確な理解が重要である。

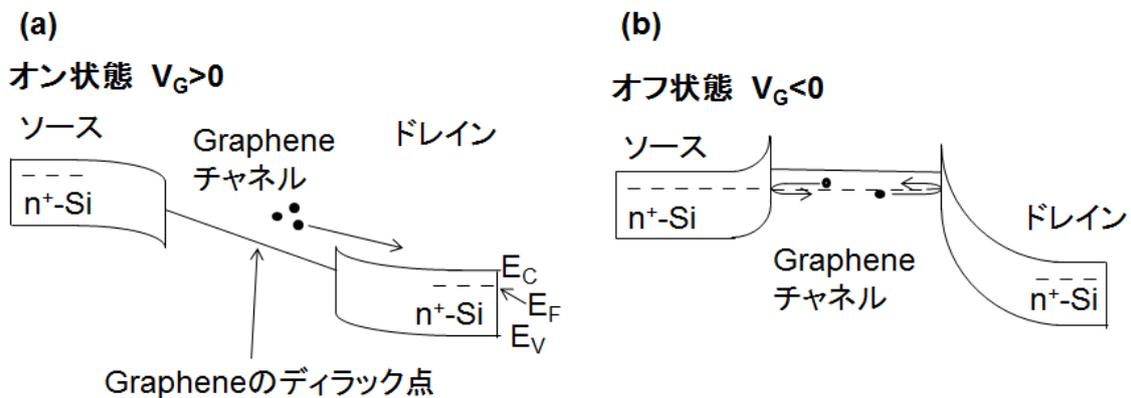


図 1.11 $V_{DS} \approx V_{DD}$ における n-Si-S/D-GFET のソース/チャンネル/ドレイン間のバンドダイアグラム (a)オン状態($V_G > 0$) (b)オフ状態($V_G < 0$)

1.5.3 半導体 S/D-GFET に適したグラフェン形成手法

半導体 S/D-GFET 構造において優れたパフォーマンスを実現するためには、質の高いグラフェンをチャンネルとし、良好なグラフェン/半導体ショットキーコンタクトを実現することが必要である。したがって、そのためには最適なグラフェン形成手法を用いてグラフェンの形成を行う必要がある。ここで、代表的なグラフェン形成手法について表 1.6 にその長所、および短所をまとめた。

まず、黒鉛からの機械的剥離によるグラフェン形成手法についてであるが、この手法においては非常に高品質なグラフェンが形成可能であり、理論計算から予想されるグラフェンの特異な物性の発現といった物理的な実験において良く用いられる手法である。しかしながら、スコッチテープによりグラフェンを引きはがし、基板に張り付けるという手法であるため、得られるグラフェンの面積は極めて小さく、工業化には適さない。加えて、転写プロセスであるため、転写先の半導体との界面特性についても課題が残る。

次に、Cu 等の金属を触媒に用いた CVD 法についてであるが、この手法はかなりの大面積において単層のグラフェンの形成が可能であり、また均一性が高く移動度が高いことが強みである。一方で、触媒金属の除去プロセスが必要であることに加え、所望の基板への転写プロセスが必要である。触媒金属は LSI においてコンタミとして働くため、注意深く除去を行うことが必要である。また、転写プロセスは転写されるグラフェンにしわが寄ってしまうという問題もあり、良好なグラフェン/半導体界面を実現させるためには課題も多い。さらに CVD によるグラフェンは形成されるドメインの配向が統一されておらず、バラついているため、デバイスの集積化における課題も多い。

最後に、SiC 基板の高温熱分解法についてのべる。この手法は SiC 基板を真空下、もしくは不活性ガス雰囲気中にて高温アニール処理を行うことによって、SiC 基板表面の Si 原子を蒸発させ、基板表面に残った C 原子が表面で再構成されるといったメカニズムでグラフェンを形成するというものである。この手法は比較的高品質なグラフェンを大面積に形成可能であるというメリットがある。加えて、グラフェンが SiC 基板上に SiC 基板の面方位の情報を保ったままエピタキシャル成長するため(エピタキシャルグラフェン)、面方位のそろったグラフェンの形成が可能である。加えて、形成されるグラフェンは SiC 基板と原子レベルでフラットな界面を形成するため、良好なグラフェン/SiC 界面特性が期待できる。一方で、プロセスに高温が必要である点、SiC 基板が高価である点が実用に向けた課題となる。

以上、3つの手法を踏まえ、本研究で検討を行う半導体 S/D-GFET 構造においては、グラフェン形成の均一や大面積性、および良好なグラフェン/半導体界面の実現の可能性が重要である。そのため、SiC 基板表面の高温熱分解法が最も適した方法であると考えられる。

表 1.6 代表的なグラフェン形成手法とその比較

	形成手法		
	黒鉛からの機械的剥離	Cu 等金属を触媒に用いた CVD 法	SiC 基板表面の高温熱分解
長所	<ul style="list-style-type: none"> ➤ 非常に高品質のグラフェンが形成可能 	<ul style="list-style-type: none"> ➤ 大面積形成が可能 ➤ 均一性が高い ➤ 高品質(移動度 10,000cm²/Vs 程度) 	<ul style="list-style-type: none"> ➤ 大面積形成が可能 ➤ 高品質(移動度 1,000～3,000cm²/Vs 程度) ➤ 半導体 SiC 基板上にエピタキシャルに成長
短所	<ul style="list-style-type: none"> ➤ 大面積作製が困難 ➤ 転写プロセス 	<ul style="list-style-type: none"> ➤ 触媒金属の除去の必要性 ➤ 所望の基板への転写の必要。 ➤ グラフェンのドメインがバラついて配向 	<ul style="list-style-type: none"> ➤ 高温が必要。超高真空が必要な場合も。 ➤ SiC 基板が高価

1.5.4 n-SiC をソース/ドレインとしたグラフェン FET(n-SiC S/D GFET)構造

以上の議論を踏まえ、本研究ではグラフェン FET(GFET)の高オン/オフ比化及び単極性動作の実現の為、図 1.12 に示すような n-SiC をソース/ドレインとしたグラフェン FET(n-SiC-S/D-GFET)構造を作製し、検討をおこなう。本デバイス構造においては、形成されるグラフェンの質、ソース/ドレイン領域におけるドーピングといったパラメータ、ゲート絶縁膜の質などによりデバイス特性が大きく変わってくると考えられる。したがって、本デバイス構造において動作メカニズムを適切に理解し、デバイス構造やパラメータを設定することにより、高オン/オフ比と単極性動作の実現を目指す。

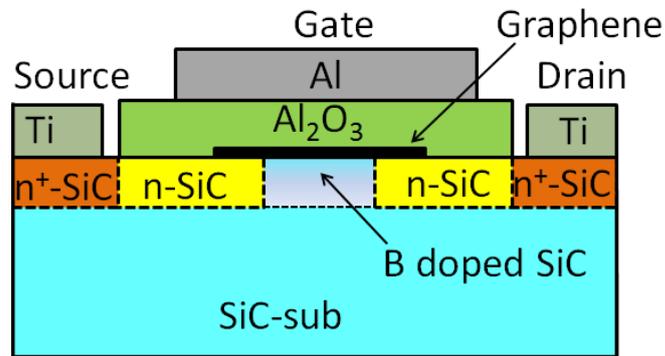


図 1.12 本研究で作製する n-SiC をソース/ドレインとしたグラフェン FET(n-SiC-S/D-GFET)構造

1.6 グラフェンの高耐圧スイッチング素子応用の可能性

本節では、グラフェンの高耐圧スイッチング素子応用の可能性について検討する。グラフェンは優れたキャリア輸送特性、電流密度耐性、放熱性を有するため、パワーデバイス材料としても有用である。本研究では、SiC 基板上にエピタキシャルに成長するグラフェン(エピタキシャルグラフェン)に注目し、グラフェンと次世代パワーデバイス材料として期待される SiC を組み合わせたデバイス構造による、高耐圧スイッチング素子応用の可能性についても検討を行った。

1.6.1 SiC-MOSFET への期待と問題点

炭化ケイ素(SiC)は次世代パワーデバイス材料として期待されている。表 1.7 は SiC のポリタイプの中でパワーデバイス応用としての期待が高い 4H-SiC の物性値を Si と比較したものである。SiC は Si と比較して 10 倍近い絶縁破壊電界を有しているため、SiC をパワーデバイス材料とした場合、耐圧を確保する空乏層領域を 10 分の 1 の厚さに低減が可能である。空乏層幅は半導体中の不純物濃度の 2 乗に反比例するため、空乏層領域の 10 分の 1 にすることができれば、空乏層中の不純物濃度を 100 倍にすることが可能である。したがって、Si と 4H-SiC において移動度や誘電率等の値がほぼ等しいと仮定すると、SiC を用いることによりデバイスのオン抵抗を 1000 分の 1 にすることが可能である。加えて、SiC は表 1.7 に示されるように優れた熱伝導率を有しており、放熱性にも優れ、パワーデバイス材料として優れたポテンシャルを有していると言える。

表 1.7 Si と SiC の物性値の比較[8]

	Si	4H-SiC
絶縁破壊電界(MV/cm)	0.3	2.8
電子移動度(cm ² /Vs)	1350	1000
飽和ドリフト速度(cm/s)	1.0x10 ⁷	2.2x10 ⁷
熱伝導率(W/cmK)	1.5	4.9

一方で、SiC を用いたパワーデバイスとして応用が期待されている SiC-Double-implanted-MOSFET(SiC-DMOSFET) においては、実用化において DMOSFET のチャンネル部分の抵抗値の低減が難しいという課題が存在する。SiC-DMOSFET のゲート絶縁膜は SiC 基板の熱酸化によって形成される SiO₂ 層を用いているが、SiO₂/SiC 界面特性は悪く、チャンネル移動度は 30~40cm²/Vs 程度と極めて低い値にとどまっている。

図 1.13 は SiC-DMOSFET の素子構造である。この素子構造において、デバイスパラメータを表 1.8 に示す値とし、耐圧とドリフト層におけるドーピング濃度を変化させ、SiC-DMOSFET のオン抵抗の計算を行った。

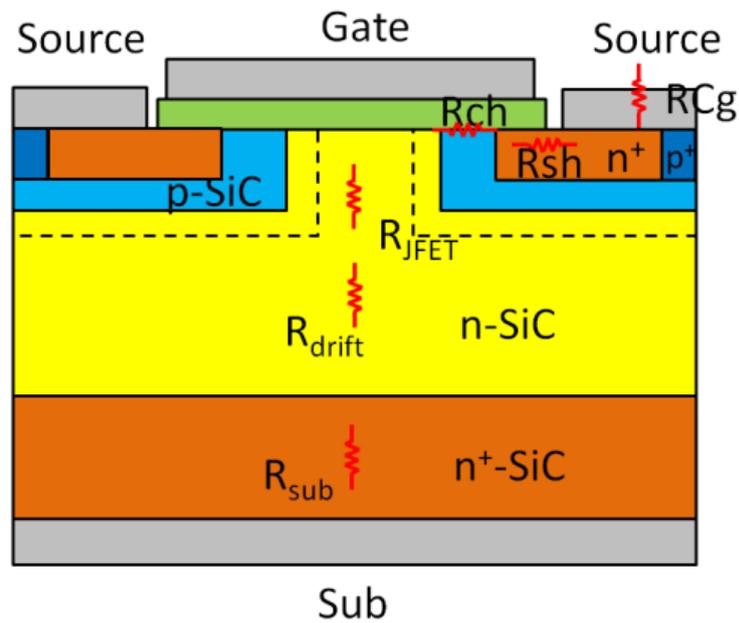


図 1.13 SiC-DMOSFET の素子構造

表 1.8 SiC-DMOSFET のデバイスパラメータ

シンボル	説明	仮定した値
P	セルピッチ	12 μm
L_{gap}	p ウェルギャップ	3 μm
L_{ch}	チャンネル長	1 μm
L_S	ソース電極・チャンネル間距離	2 mm
L_{SE}	ソース電極コンタクト幅 (n ⁺ 領域)	1 mm
L_{SEp}	ソース電極コンタクト幅 (p ⁺ 領域)	1 mm
d_w	ウェル深さ	0.5 mm
d_{sub}	基板厚さ	130 mm
r_{sub}	基板抵抗率	15 mW cm
d_d	ドリフト層厚さ	0.0067~67 μm
N_D	ドリフト層キャリア濃度	$2.4 \times 10^{15} \sim 2.4 \times 10^{19} \text{cm}^{-3}$
V_{BD}	耐圧	1~10,000V
R_{SH}	ソース領域のシート抵抗	80 W/□
r_{CS}	ソース電極のコンタクト抵抗	$1 \times 10^{-6} \Omega \text{cm}^2$
r_{CD}	ドレイン電極のコンタクト抵抗	$1 \times 10^{-6} \Omega \text{cm}^2$
m_J	JFET 領域の電子移動度	1000 cm^2/Vs
m_d	ドリフト層における電子移動度	1000 cm^2/Vs
m_{ch}	チャンネル移動度	40 cm^2/Vs
V_{bi}	p ウェル・ドリフト層間のビルトイン電圧	2.98 V
V_F	R _{cd} , R _S , R _{ch} における電圧降下	0.084 V

得られた SiC-DMOSFET の耐圧とオン抵抗の関係を図 1.14 に示す。破線は SiC-DMOSFET においてチャンネル移動度を $40\text{cm}^2/\text{Vs}$ としたときのオン抵抗と耐圧の関係である。耐圧の高い領域においては、パワーデバイスのオン抵抗において、ドリフト層の抵抗が支配的になるため、図 1.14 にて、高耐圧の領域においては SiC-limit で示される SiC の物性値の限界付近の値が実現可能である。一方で、ハイブリッド自動車(HV)やエアコン等の家電で用いられる数百～数千 V の耐圧のパワーデバイスにおいては $40\text{cm}^2/\text{Vs}$ 程度のチャンネル移動度では、オン抵抗は SiC の物性限界からほど遠く、改善の余地がある。多くの SiC-DMOSFET における報告例では、高耐圧領域において SiC の物性限界付近の値は得られているが、HV や家電などで要求される領域までのオン抵抗低減がなされていない。そのため、チャンネル移動度の向上が重要な課題となっている。

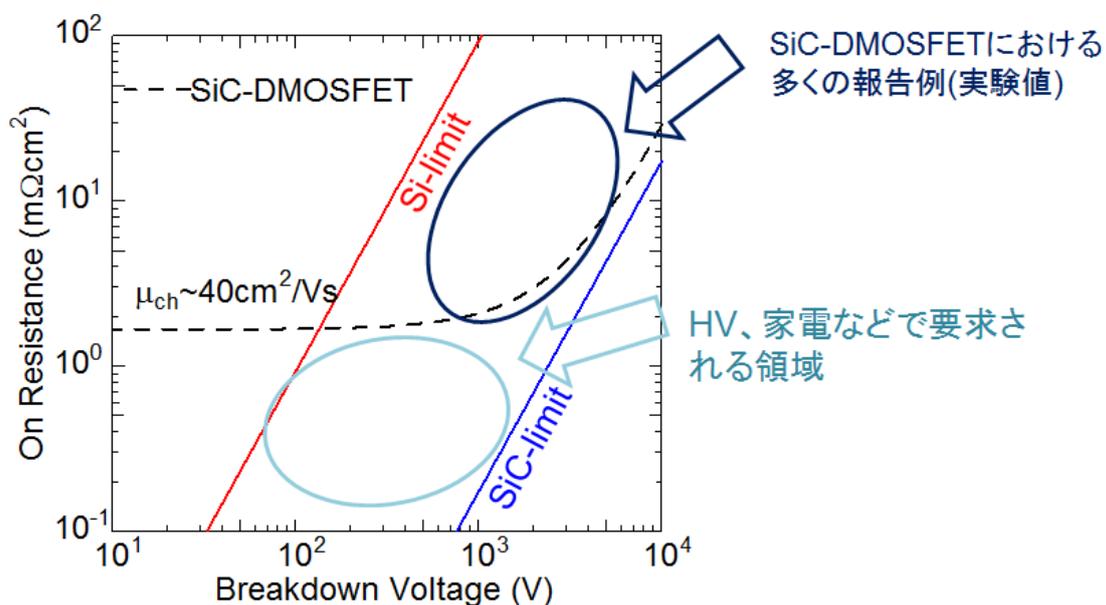


図 1.14 SiC-DMOSFET における耐圧とオン抵抗の関係

1.6.2 Graphene-SiC 縦型バリスタ構造の提案

本項では SiC-DMOSFET において問題となっている低いチャネル移動度に対する解決策として、グラフェンと SiC を組み合わせたデバイス構造を提案する。図 1.15 は本項で提案する Graphene-SiC 縦型バリスタ構造である。デバイス構造としては、SiC-DMOSFET においてソース/ドレイン領域をなくし、チャネルをグラフェンとした構造である。動作メカニズムとしてはトップゲート電圧の印加によりグラフェン/n-SiC 界面のショットキー障壁高さを変調させ、グラフェン/n-SiC コンタクト領域のコンタクト抵抗を変調させるというものである。

このデバイス構造におけるデバイスパラメータについて表 1.9 にまとめた。ここで、オン状態におけるコンタクト抵抗率を $1 \times 10^{-5}, 1 \times 10^{-4}, 1 \times 10^{-3} \Omega \text{cm}^2$ と仮定し、耐圧とオン抵抗の関係を計算した。

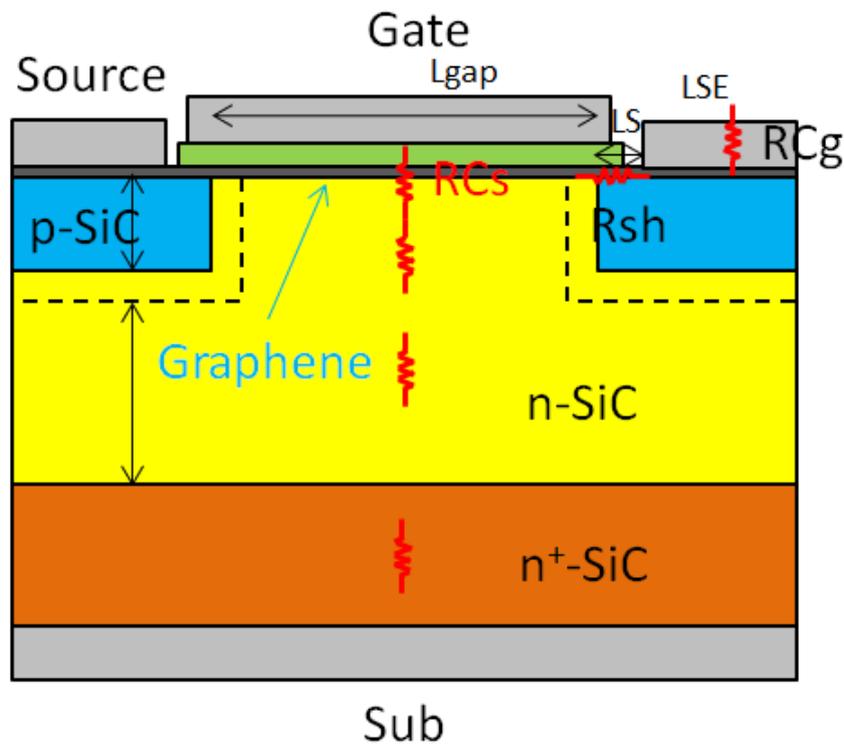


図 1.15 Graphene-SiC 縦型バリスタ構造

表 1.9 Graphene-SiC 縦型バリスタ構造のデバイスパラメータ

シンボル	説明	仮定した値
P	セルピッチ	12 mm
L_{gap}	p ウェルギャップ	5 μm
L_{ch}	チャンネル長	0 μm
L_{S}	ソース電極・チャンネル間距離	2 mm
L_{SE}	ソース電極コンタクト幅 (n ⁺ 領域)	2 mm
L_{SEp}	ソース電極コンタクト幅 (p ⁺ 領域)	0 mm
d_{w}	ウェル深さ	0.5 mm
d_{sub}	基板厚さ	130 mm
r_{sub}	基板抵抗率	15 mW cm
d_{d}	ドリフト層厚さ	8 mm
N_{D}	ドリフト層キャリア濃度	$2.4 \times 10^{15} \sim$ $2.4 \times 10^{19} \text{cm}^{-3}$
V_{BD}	耐圧	1~10,000V
R_{SH}	ソース領域のシート抵抗	80 W/□
r_{Cs}	ソース電極のコンタクト抵抗	$1 \times 10^{-6} \Omega \text{cm}^2$
r_{Cd}	ドレイン電極のコンタクト抵抗	$1 \times 10^{-6} \Omega \text{cm}^2$
r_{Cg}	Graphene/SiC のコンタクト抵抗	$1 \times 10^{-5}, 1 \times 10^{-4}, 1 \times 10^{-3}$ Ωcm^2
m_{J}	JFET 領域の電子移動度	1000 cm^2/Vs
m_{d}	ドリフト層における電子移動度	1000 cm^2/Vs
m_{ch}	チャンネル移動度	40 cm^2/Vs
V_{bi}	p ウェル・ドリフト層間のビルトイン電圧	2.98 V
V_{F}	$R_{\text{Cd}}, R_{\text{S}}, R_{\text{ch}}$ における電圧降下	0.084 V

得られた計算結果を図 1.16 に示す。Graphene-SiC 縦型バリスタ構造のオン抵抗値は仮定するオン状態におけるグラフェン/n-SiC コンタクト抵抗率によって異なるが、 $1 \times 10^{-4} \Omega \text{cm}^2$ 以下の値であれば、HV や家電などで要求される領域のオン抵抗を実現できる可能性がある。さらに、グラフェン/n-SiC コンタクトにおけるコンタクト抵抗率は報告例では $1 \times 10^{-6} \Omega \text{cm}^2$ もの低コンタクト抵抗率が報告されている[35]。したがって、グラフェンの高いキャリア輸送特性、電流密度耐性、放熱性といった優れた物性値も考えると、大容量が要求されるパワーデバイスの分野においても、本項で提案した Graphene-SiC 縦型バリスタ構造のようにグラフェンは大きなポテンシャルを有していると考えられる。

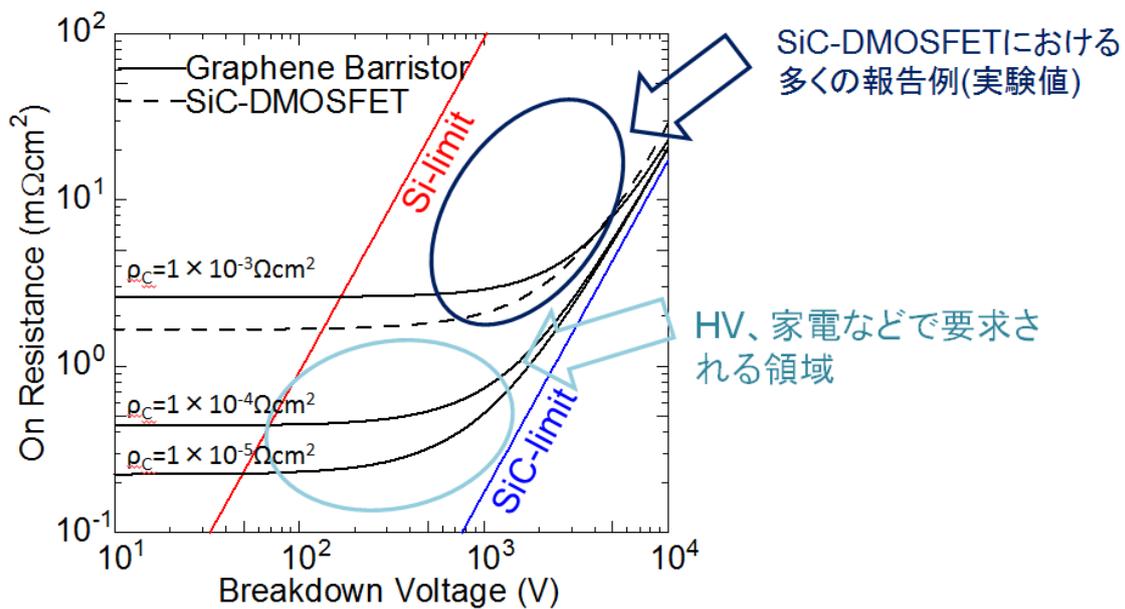


図 1.16 オン抵抗と耐圧の関係(Graphene-SiC 縦型バリスタ(実線)、SiC-DMOSFET(破線))

1.7 本研究の目的

本章では LSI やパワーデバイスの現状と課題について述べ、グラフェンの優れた物性値にを活かしたデバイスによりそれらを克服できる可能性について述べた。さらに、n-SiC をソースドレインとしたデバイス構造(n-SiC-S/D-GFET)によるグラフェンの論理素子応用、および、グラフェン/SiC コンタクト構造を用いた Graphene-SiC 縦型バリスタ構造によるグラフェンのパワーデバイス応用の可能性を示した。

以上の議論を踏まえ、本章のまとめとして、本研究の目的を以下のように設定する。

- i. n-SiC をソース/ドレインとしたグラフェン FET(n-SiC-S/D-GFET)構造を実際に作製し、動作メカニズムを明らかにする。その結果により高オン/オフと単極性動作の実現に向けた技術的課題や設計指針を明らかにする。
- ii. 動作メカニズムの理解の下、n-SiC-S/D-GFET 構造により、高いオン/オフ比の実現と単極性動作の実現を目指す。
- iii. 高オン/オフ比実現のカギとなるグラフェン/n-SiC 接合において、コンタクト抵抗率の変調、ショットキー障壁高さの変調などの分析を行いコンタクトにおけるキャリア伝導のメカニズムを明らかにする。
- iv. 以上の検討の下、論理素子、高耐圧素子などの実際のデバイス応用に向けた指針を示す。

第2章 試料作製方法、評価方法

2.1. 実験に用いた SiC 基板

本研究では主に 3 種類の SiC 基板を用いた。まず図 2.1 に示される、Cree 社製の 8° オフ 4H-SiC(0001)基板の表面に低濃度ドープ SiC 層をホモエピタキシャル成長させた基板(p および n-SiC)、および Cree 社製のオフ角 0.2° 以下の 4H-SiC(0001)基板を実験に用いた。ドーピング濃度や厚さ、抵抗率などの詳細な数値は表 2.1 に示す。4H-SiC 基板を用いた理由はパワーデバイス用途の高品質な基板が手に入るためであり、(0001)面を使用したのは、グラフェンの成長速度が遅く、成長制御が比較的制御しやすいためである。なお、SiC をホモエピタキシャル成長させた基板は、主として n-SiC-S/D-GFET の動作メカニズムを理解するための初期検討に用いた。

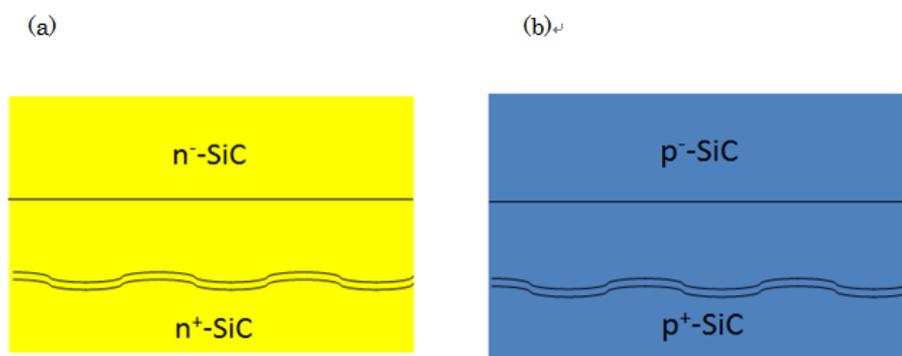


図 2.1 本研究で用いたエピタキシャル SiC 基板
(a)n-SiC 基板 (b)p-SiC 基板

表 2.1 本研究に用いた SiC ウエハの特性

伝導型と構造	n/n ⁺	p/p ⁺	半絶縁性(バルクのみ)
エピ層 ドーパント	N	Al	エピ層無し
キャリア密度	$1.1 \times 10^{16} \text{ cm}^{-3}$	$1.1 \times 10^{16} \text{ cm}^{-3}$	
厚さ	12 μm	4.8 μm	
バルク ドーパント	N	Al	無し
抵抗率	0.021 $\Omega\cdot\text{cm}$	Unknown	$1 \times 10^9 \Omega\text{cm}$
厚さ	345 μm	345 μm	350 μm
オフ角	8°	8°	$<0.2^\circ$

2.2. 基板の洗浄方法

SiC はモース硬度 9 と Si の 7 より大きく、ダイヤモンドの 10 に近い。そのため、厚さ 400 μm 程度のウェハにおいても、Si ウェハのようにダイアペンを用いてカットすることは困難であるため、本研究ではダイシングソーを用いて 5mm 角の基板を切り出した。このとき、冷却水やブレードの回転によってカットされた基板が飛び散らないように、あらかじめ SiC ウェハのおもて面に半粘着テープを貼り、切り出しを行った。

表 2.2 に SiC に切り出した SiC 基板の洗浄手順を示す。このうち、アセトン、イソプロピルアルコール(IPA)、SPM、王水による各洗浄は、半粘着テープに由来する不純物の除去を目的としている。その後、Si における洗浄技術として広く用いられている RCA 洗浄を行った後、dry 酸素雰囲気にて犠牲酸化を行った。

表 2.2 SiC 基板の洗浄手順

工程	条件
acetone 1	R.T., U.S., 3 min
acetone 2	R.T., U.S., 3 min
IPA	R.T., U.S., 1 min
SPM($\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4=1:5$)	130°C, 10 min
royal water	R.T., 15 min
Buffered HF	R.T., 10 min
APM($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$)	60°C, 10 min
HPM($\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$)	60°C, 10 min
Buffered HF	R.T., 10 min
Sacrifice oxidation	dry- O_2 , 1150°C, 20 min

2.3. SiC 表面熱分解法によるグラフェン形成に用いた実験装置

本研究ではサーモ理工社製 IVF298W および SR1800 の 2 種類の真空アニールチャンバーにて SiC 基板の高温真空アニールによるグラフェン形成を行った。図 2.2 に本研究で用いたチャンバーの外観図を示す。双方とも赤外線ランプの楕円ミラーによる集光加熱方式を採用している。

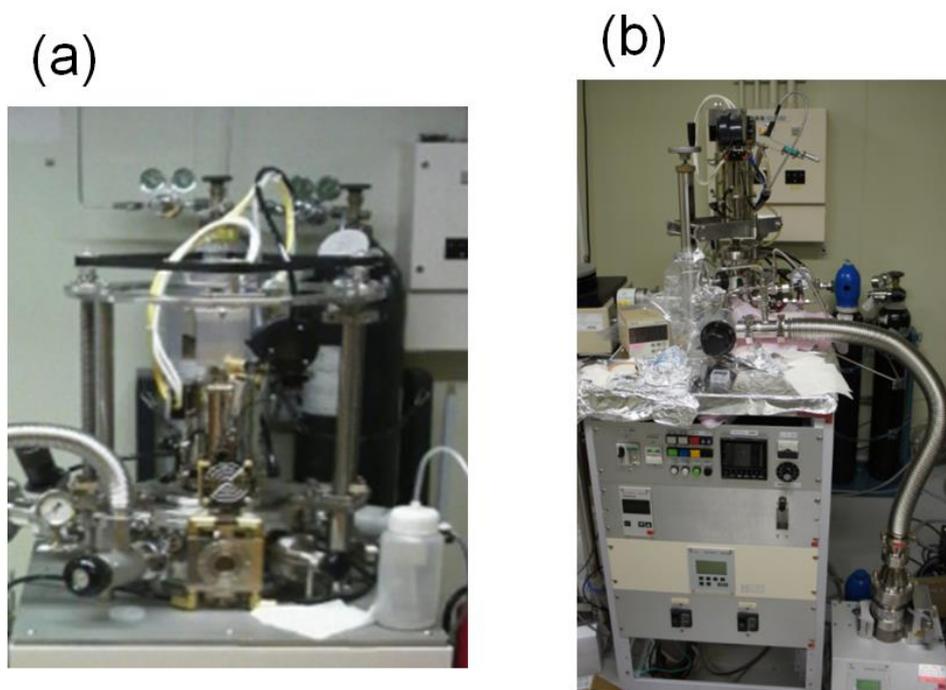


図 2.2 本研究で用いた高真空赤外線集光加熱装置。(a)IVF298W。(b)SR1800。

次に、加熱方式についてである。図 2.3 は本研究で用いた赤外線集光加熱装置の加熱方式の模式図を示す。双方とも、楕円ミラーの焦点の一方に加熱用ランプを配置し、もう一方の焦点にサンプルを配置するという方式であるが、SR1800 はサンプル設置部を楕円ミラーで覆うような構造をとっているため、IVF298W と比較して、到達温度が高い。本研究で用いた加熱装置の性能諸元については表 2.3 に示されるとおりである。IVF298W においては熱電対で正確に温度を測定しているが、SR1800 に関しては放射温度計を用いているため温度がやや不正確である。そのため、標準サンプルを用いることにより IVF298W におけるアニール結果と比較し、補正を行っている。また、SR1800 では低压ガスを導入可能としており、グラフェン形成時の雰囲気制御した実験も行っている。

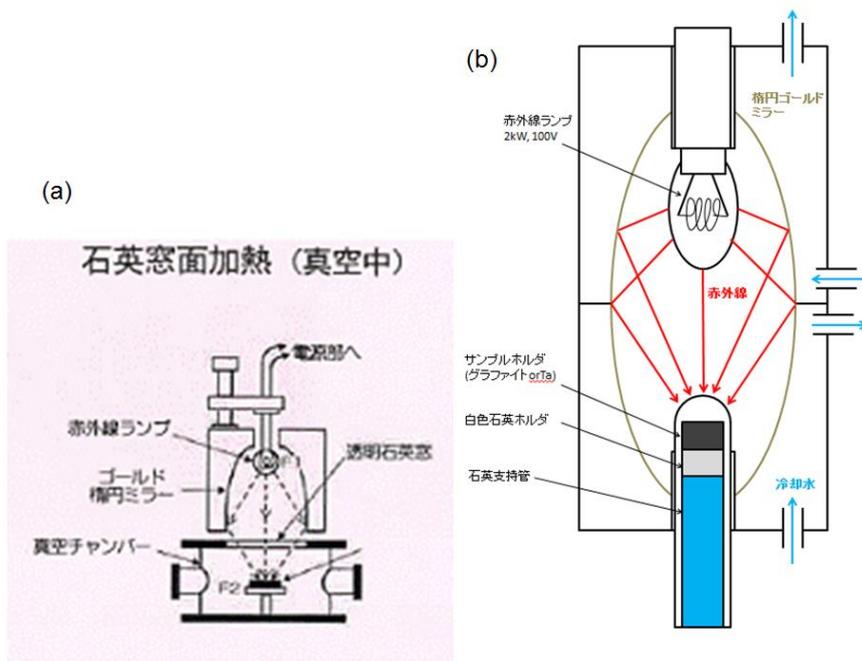


図 2.3 本研究で用いた真空加熱装置の模式図。(a)IVF298W[36]。
(b)SR1800.

表 2.3 本研究で用いた加熱装置の性能諸元

装置	IVF298W	SR1800
到達真空度	$3 \times 10^{-5} \text{Pa}$	$3 \times 10^{-5} \text{Pa}$
アニール時到達真空度(1500℃)	$2 \times 10^{-3} \text{Pa}$	$3 \times 10^{-4} \text{Pa}$
最高到達温度	1500℃	2000℃
最大昇温レート	200~300℃/sec	200~300℃/sec
その他	熱電対による測温	低压ガスが導入可能

2.4. 表面観察によるエピタキシャルグラフェンの評価

本研究では SiC 上エピタキシャルグラフェンの評価方法として、XPS 測定、レーザーラマン分光測定、AFM 測定、断面 TEM 測定を用いた。このうち XPS については後述する。ラマン測定については膜厚導出法について述べたのち、3 章で再び触れる。AFM 測定については後述する。断面 TEM 測定に関しては NTT-AT 株式会社へ測定を依頼した。

2.4.1. レーザーラマン分光測定

レーザーラマン分光測定とは、レーザー入射光に対するラマン効果を応用した測定法である。ラマン効果とは物質に光を入射させた時、その散乱光の中に物質に固有の周波数だけずれた成分が含まれる現象をさしており、比較的簡便に基板表面の情報を得ることができる。グラフェンのラマン分光測定における報告例は多々あるが、主にグラファイトの G バンド(1580cm^{-1} 付近)、および 2D バンド(2700cm^{-1})に注目したものが多い。G バンドはブリルアンゾーンの Γ 点にて縮退している LO フォノンと TO フォノンによる散乱、2D バンドは K 点付近のフォノンが二重に共鳴したモードが起源である。なお、2D バンドの半分の周波数の K 点付近のモードはグラフェン中に欠陥がある場合のみ出現し、D バンド(1350cm^{-1} 付近)と呼ばれグラフェンの質を評価する目的で使われる。

剥離法において形成したグラフェンではラマンスペクトルのピークとグラフェンの層数の関係がよく分析されており、ピークの位置を調べることで精度よくグラフェンの層数を同定することができる。しかしながら SiC 上に形成されてグラフェンには、グラフェンと SiC の熱膨張係数の違いにより圧縮応力が働きラマンスペクトルが高波数側へシフトすることが知られている [37]。Röhrl らの報告例 [37] では、エピタキシャルグラフェンにおいて G バンドピーク、D バンドピークともにグラフェン層数の増加に伴い低波数側にシフトしていることが報告されている。この理由としては、層数の増大による応力の緩和が考えられるが、グラフェン層数との定量的な関係を見出すまでには至っていない。

したがって本研究ではラマンシフトのピーク位置による層数の議論は行わず、SiC 基板の影響等といった定性的な議論にとどめる。

G バンド付近にはグラフェンのラマンスペクトル以外に SiC のラマンスペクトルが存在している。Shivaraman らはグラフェン層による SiC ラマンスペクトル強度の減衰を測定することにより、グラフェンのおおよその膜厚を見積もる方法を確立した [38]。以下、図 2.4 にその原理を示す。

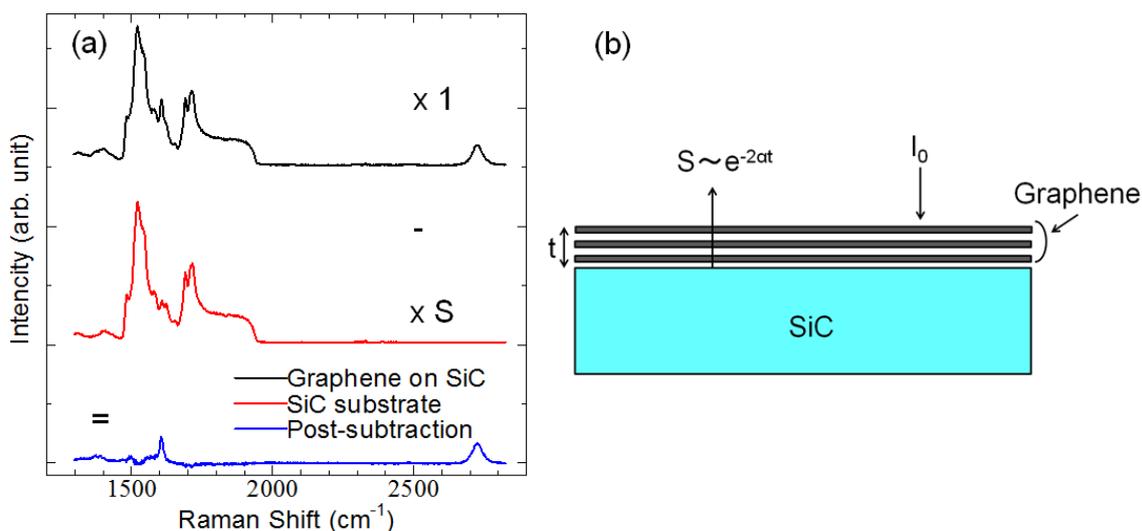


図 2.4 本研究で得たラマンスペクトル (a)SiC 上グラフェンのラマンスペクトル(黒線)、SiC 基板のラマンスペクトル(赤線)、およびそれらの差分より得たグラフェン由来のラマンスペクトル(青線) (b)グラフェンによる SiC スペクトル減衰のモデルの模式図

図 2.4(b)のようにラマンスペクトルの強度がグラフェンの層数 t (ML)に対し指数関数的に減衰するモデルを立て、(a)のように SiC のラマンスペクトル強度と比較し、減衰量 S を求めることにより、その膜厚を求める。

本研究では報告例と同様に SiC 基板の 1516cm^{-1} 付近のピークの弱まりを S として求め、 $S \sim e^{-2\alpha t}$ として t を求めた。ここで、 α はグラフェン層 1 層当たりのレーザの吸収率であり、本研究では文献[38]の報告値と同じ 0.020 を用いることとした。詳細については参考文献[38]を参照されたい。

2.5. デバイスの作製について

本節では作製した種々のデバイス構造と、実際の作製手順についてのべる。

2.5.1. 作製したデバイス構造

本研究では主として以下の3種類のデバイスを作製し、評価を行った。

1. ソース/ドレインに n-SiC を用いたグラフェンチャネルトランジスタ(n-SiC-S/D-GFET)
2. 金属をソース/ドレインとしたグラフェンチャネルトランジスタ(GFET)
3. トップゲート付 Cross Bridge Kelvin 素子(TG-CBK 素子)

以下、**図 2.5** にこれらの素子の模式図を示す。本研究ではまず n-SiC-S/D-GFET の特性および GFET の特性と比較し、まず有意な差を得ることから動作メカニズムの理解を目指した。TG-CBK 素子はグラフェン/n-SiC コンタクト部分の特性を直接観察することを目的に使用した。TG-CBK 素子の原理等については4章で後述する。

また、n-SiC-S/D-GFET については初期の検討においては p-SiC 基板上に作製したものについて検討を行った。

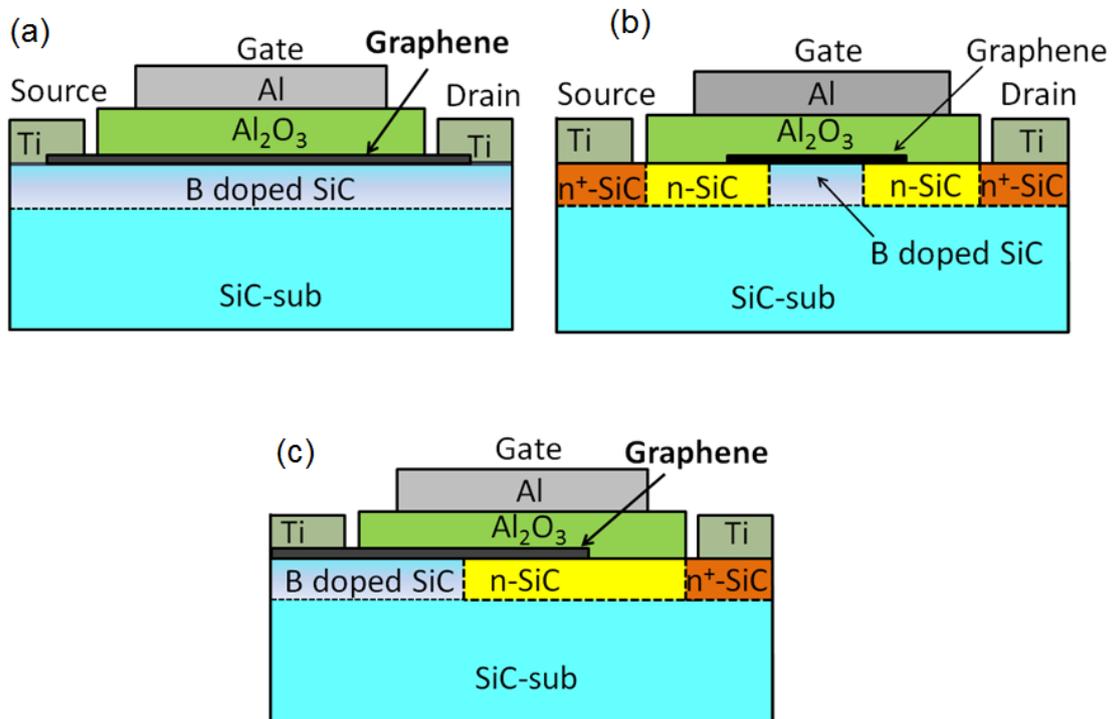


図 2.5 本研究にて作製したデバイス構造
(a)GFET (b)n-SiC-S/D-GFET (c)TG-CBK 素子

次に、本研究で使用したマスクパターンの全体像を以下の図 2.6 に示す。このパターンを用いることにより Metal-GFET、SiC-GFET、CBK 素子はもちろん、四探針測定パターンやホールバー、TLM パターン等様々なパターンが同時に作製可能である。トランジスタと CBK デバイスの詳細なマスクパターンについては付録に記載した。

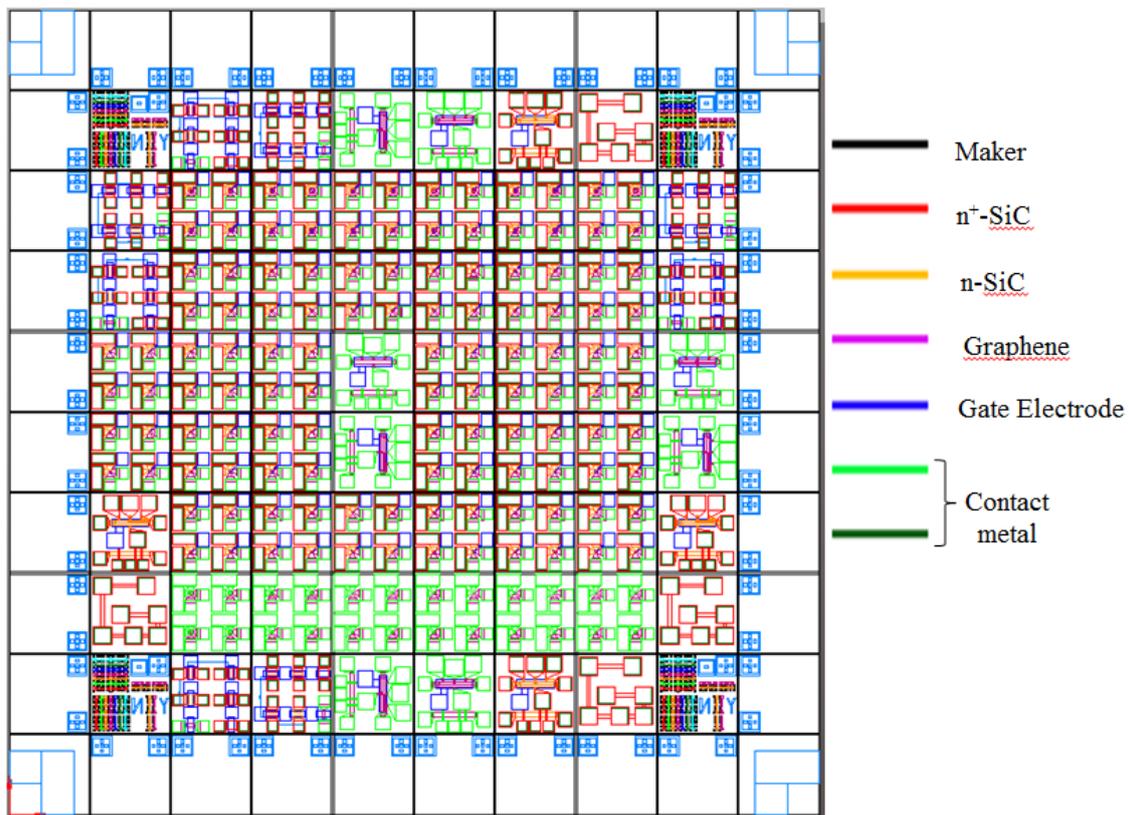


図 2.6 本研究で用いたマスクパターン

2.5.2. デバイス作製プロセス

次にこれらのトランジスタの作製プロセスフローを以下の図 2.7 および図 2.8 に示す。本研究で作成するトランジスタ構造は比較的複雑であるため、プロセスフローを活性化アニール終了までと、トランジスタ作製までで分けて示した。なお、本研究において各プロセスにおける素子のパターンニングはすべてポジ型フォトリソを用いたフォトリソグラフィを行いエッチングやリフトオフにより行った。

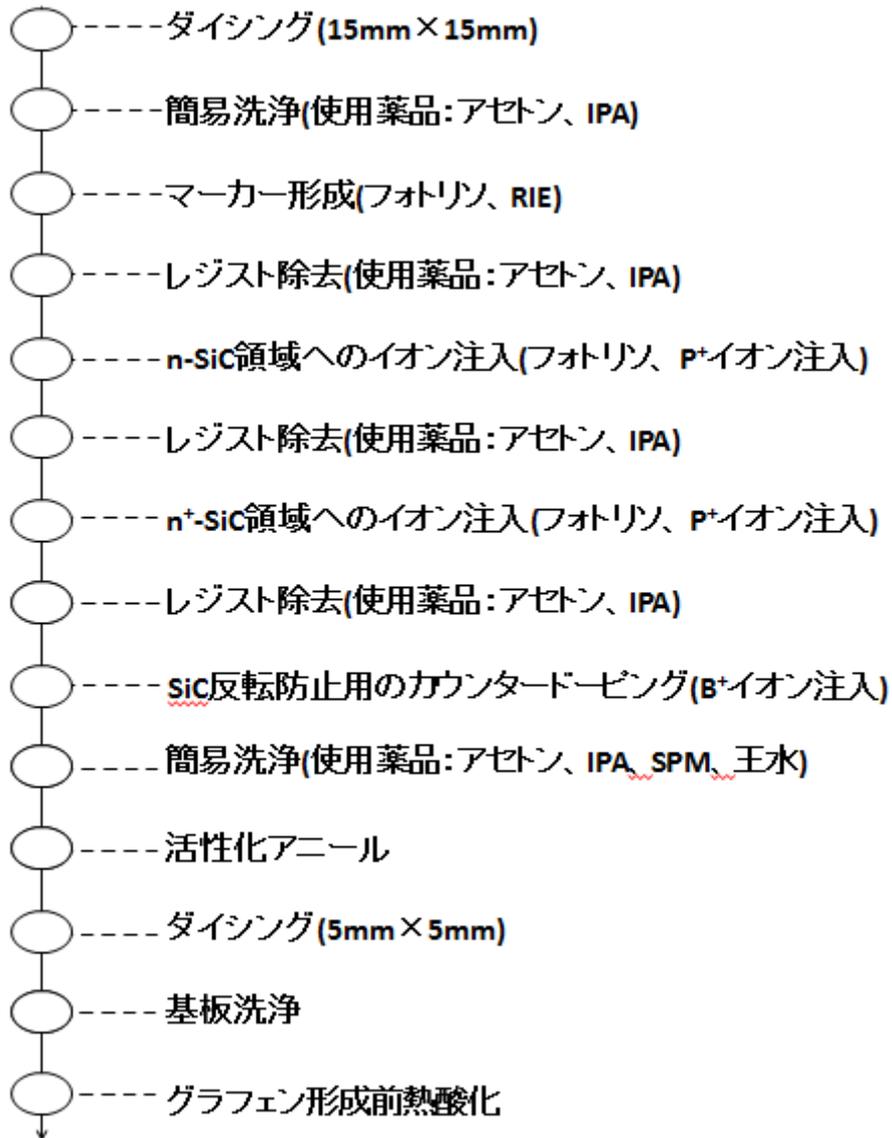


図 2.7 本研究で作製したトランジスタのプロセスフロー(前半)

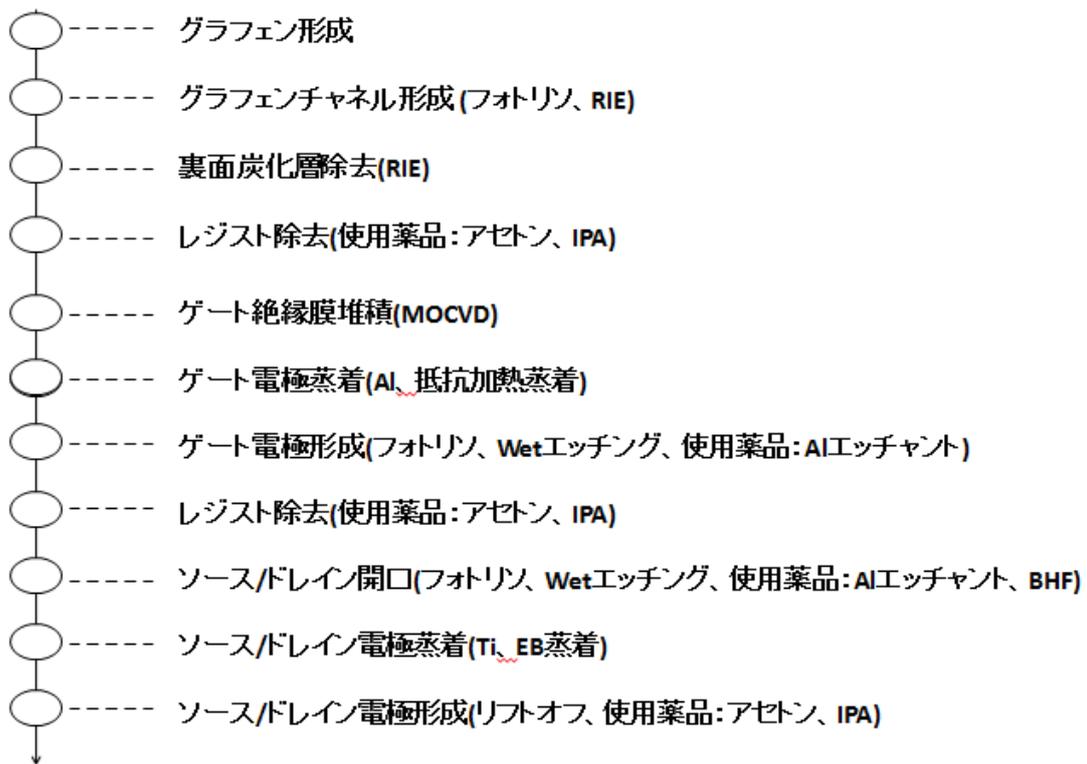


図 2.8 本研究で作製したトランジスタのプロセスフロー(後半)

図 2.7 および図 2.8 において各工程の括弧内には(材料、行った処理、使用した薬品)が述べられている。

次に、各デバイスプロセスについて簡単に述べる。

(a) 基板洗浄

先述したのでここでは割愛する。

(b) イオン注入

本研究では SiC 基板上的 n 型ドーピング領域(n⁺-SiC および n-SiC)形成のため P を不純物として用い、不純物濃度が(n⁺-SiC : 4.5×10¹⁹cm⁻³, n-SiC : 4.5×10¹⁸ cm⁻³ or 4.5×10¹⁹cm⁻³)となるようにイオン注入を行った。なお、SiC は Si と異なり不純物の熱拡散係数が小さいため、注入するイオンのエネルギーを変化させる多段注入を行うことによって深さ方向に均一な濃度分布をあらかじめ実現したのちに活性化アニールを行った。表 2.4 は目標不純物濃度 4.5×10¹⁹cm⁻³ を実現するための注入プロファイルであり、4.5×10¹⁸cm⁻³はこのプロファイルを 10 分の 1 することにより実現した。また、図 2.9 は注入した P の基板内分布をシミュレーションしたものであり、均一な P の濃度分布が実現されていることがわかる。

なお、同様にして B についても多段イオン注入を行い、1~3×10¹⁷cm⁻³程度のドーピング濃を目指した。目的はグラフェン直下の SiC の反転を防ぐためである。

表 2.4 不純物濃度 4.5×10¹⁹cm⁻³を実現するためのイオン注入の注入条件

注入エネルギー (keV)	projected Range R _p (nm)	ドーズ量 (cm ⁻²)
15	14.3	4.70×10 ¹³
30	30.4	8.00×10 ¹³
55	56.8	1.43×10 ¹⁴
100	103	2.70×10 ¹⁴
200	202	7.00×10 ¹⁴

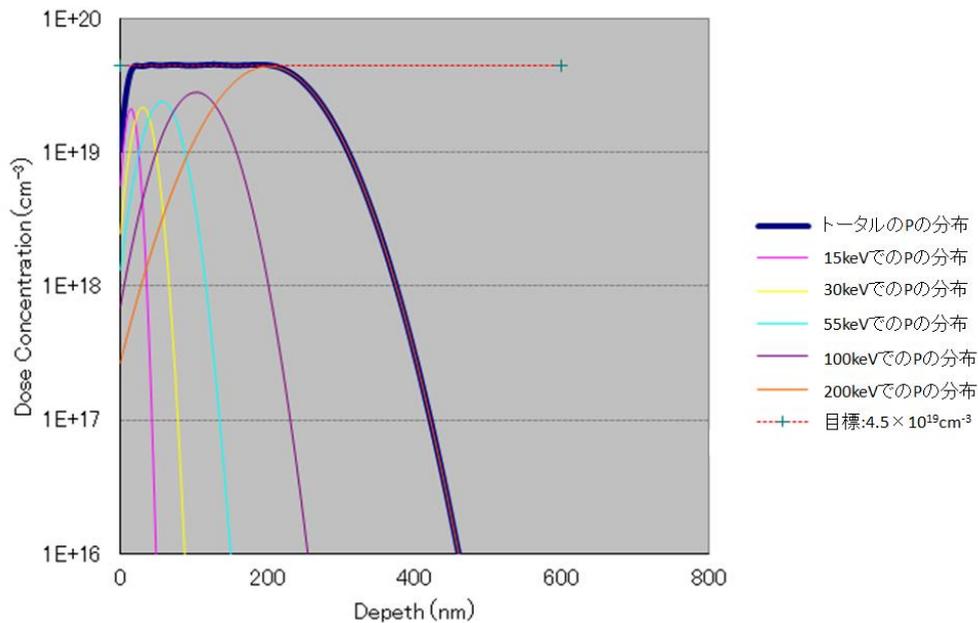


図 2.9 P の SiC 基板内分布のシミュレーション(ガウス分布を仮定)

(c) 活性化アニール

SiC では活性化に 1700°C 程度の高温アニールが用いられる。このような高温下では SiC 中から Si が昇華・脱離し、表面が C リッチになることが知られている。またオフ基板を用いた場合、Si の脱離とオフ角の存在に起因してバンチングステップと呼ばれる高さ数十 nm の表面荒れが生じることが知られている。Si の脱離を抑制する方法として、SiH₄ 雰囲気を用いる方法や、アニール前にキャップ層を形成する方法が知られている。本研究では後者を適用し、キャップ層にはフォトレジスト (東京応化製 OFPR) の熱処理により炭化形成したグラファイト層を用いた。

活性化アニール条件は Ar 雰囲気, 1700°C, 10 min とした。

(d) エピタキシャルグラフェン形成

詳細については 3 章で述べる。

(e) MOCVD 法(有機金属化学気相成長法)

以下に本研究で用いた MOCVD 装置の構成を示す。

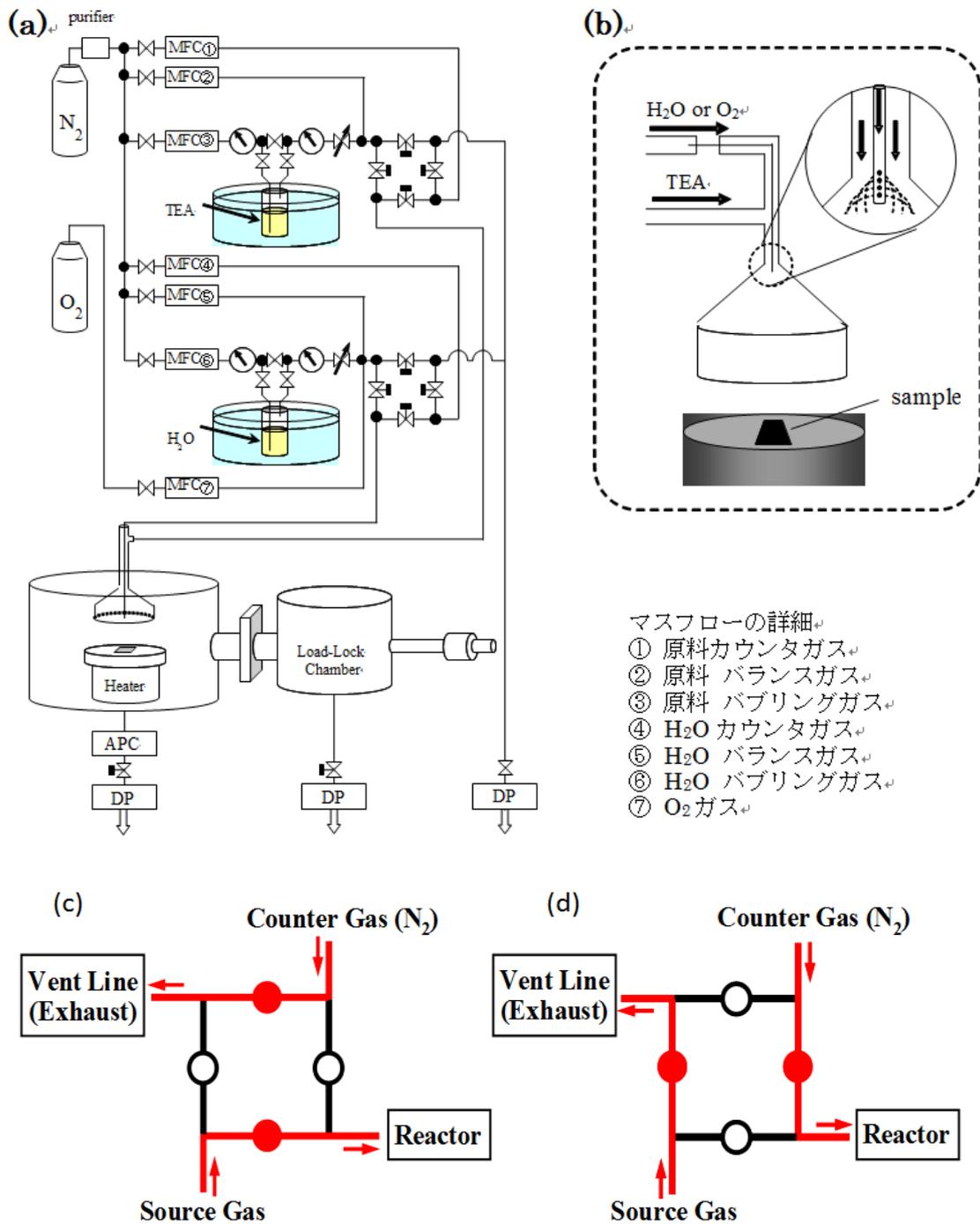


図 2.10 本研究で用いた Al_2O_3 用 CVD 装置の配管図 (a)概観図 (b)同軸ノズルの形状。(c)原料 or 酸化剤供給時のエアバルブ開閉状況 (d)カウンタガス供給時のエアバルブ開閉状況

図 2.10 をもとに本研究で用いた MOCVD 装置の特徴について述べる。本装置では有機金属原料として有機配位子が脱離しやすい TEA(Tri-ethylaluminum)を用いている。また、酸化剤として、 H_2O および O_2 が選択可能であるが、本研究では O_2 のみを扱う。これは本研究の先行研究である筆者の学士論文における検討においてグラフェン上への酸化剤 H_2O としての信頼性の高い絶縁膜形成ができなかったためである [39]。本装置では、原料ガス TEA および酸化剤 H_2O の供給法としてバブリング法を適用している。

本装置におけるガスの切り替えは PC 制御のエアバルブにより行うことができる。これにより原料ガス、カウンタガスである N_2 の切り替え、および酸化剤、カウンタガス(N_2)の切り替えが可能であり、原料ガス単独、酸化剤単独でのチャンバーの供給が可能である。そのため、原料供給→ N_2 パージ→酸化剤供給→ N_2 パージといったパルス供給によるガスのシーケンスを設定することにより、ALD ライクな制御を行うことが可能である。

しかし、本研究では O_2 を酸化剤としたため、TEA との反応性が十分ではなく、先述のようなパルス供給は十分な再現性を持って実現できなかった。そのため、本研究ではチャンバーに原料の TEA と酸化剤 O_2 を同時に供給する方法を用いて Al_2O_3 膜を形成した。

(f) RIE(反応性イオンエッチング)

グラフェンのエッチング、およびフォトリソのマーカー形成、グラフェン/SiC ダイオードの素子分離などに用いた。グラフェンのエッチングにはエッチングガスとして O_2 を、マーカー形成、グラフェン/SiC ダイオードの素子分離など SiC をエッチングするエッチングガスには CF_4 を用いた。

(g) 抵抗加熱蒸着

本研究では、ゲート電極の形成に抵抗加熱蒸着法を用いた。本研究ではゲート電極は Al であり、融点が比較的低いため、この方法が適している。

(h) EB 蒸着

Ti を蒸着するために用いた。原理はまずソースとなる Ti を真空中にて電子銃を照射することにより加熱し、蒸発した Ti を試料に当てることにより蒸着を行う。

(i) Wet エッチング

本研究では、Al、 Al_2O_3 のエッチングに 60°C の Al エッチング溶液 ($\text{H}_3\text{PO}_4 : \text{CH}_3\text{COOH} : \text{HNO}_3 = 4 : 4 : 1$) を用いて行った。また、ソース/ドレイン開口においてはより開口を確実にするために BHF による追加エッチングを行った。

2.6. デバイス評価方法

本研究で作製したトランジスタの評価方法について述べる。なお、本研究においてすべての測定は室温で行われている。

2.6.1. トランジスタおよび CBK 素子の評価

半導体パラメータアナライザ(Agilent テクノロジ製 HP4156A または 4156C)を用いて電気特性を評価した。

2.6.2. C-V 特性の測定

トランジスタと同時作製した MOS キャパシタおよび、グラフェン/SiC ダイオードについては C-V 特性の測定を行った。C-V 特性は LCR メータ(Agilent テクノロジ製 HP4284A)を用いて測定した。

第3章 高真空下におけるグラフェン形成手法の検討

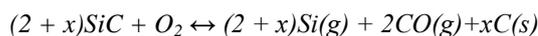
本章では SiC 基板のアニールによるグラフェン形成とその評価結果について述べる。評価方法は XPS 測定、ラマン分光測定、AFM 測定などを用いた。

3.1 本研究におけるグラフェン形成条件

まず、本節では本研究で行ったグラフェン形成条件について述べる。参考文献[4]のように SiC 上のグラフェン形成は超高真空雰囲気での形成が一般的である。一方で本研究においてはグラフェン形成に用いるチャンバーの真空度は $2 \times 10^{-4} \sim 3 \times 10^{-3} \text{Pa}$ と比較的悪く、超高真空と呼べる環境ではない。したがって、一般の超高真空アニールとは若干異なるメカニズムでグラフェン形成を行う必要がある。

図 3.1 は実験的に示された SiC 表面熱分解における酸素分圧と温度の相図[40]と本研究適用したグラフェン成長条件を示したものである。この図において、酸素分圧と表面温度において SiC の反応領域は以下の 4 領域に分類される。

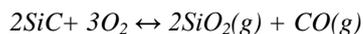
・領域 I



・領域 II



・領域 III



・領域 IV



まず、領域 I において SiC は酸素を介した反応メカニズムにより分解し、Si は気体として蒸発、C は酸素と反応したものは CO として気体化し、残った C はグラファイト状の炭素として SiC 基板表面に残る。また、酸素を介することにより Si-C 結合が酸素により切断されやすくなるため、反応速度は通常の超高真空における SiC の熱分解よりも速いと考えられる。

領域 II、III においては酸素を介した反応により SiC の表面の分解が起こり、Si 原子は SiO(g) もしくは SiO₂(g) として蒸発し、C 原子も CO として脱離する。したがって、この反応領域では表面のエッチングが起こることが確認されている。

領域 IV において SiC 表面は酸素により分解され、SiO₂(s) や C(s) として基板表面に残る。実験的には SiO₂ の層が形成されることが報告されている[40]。

このような反応メカニズムをもとに、本研究で行うグラフェン形成条件について考察する。図

3.1 において、本研究でのグラフェン形成条件が示されており、領域 I の反応によりグラフェン形成を行っていることがわかる。一方で、基板表面はサンプルの昇温過程において領域 II、III、IV を通過することがわかる。このため、グラフェンが形成される段階においては、サンプル表面は局所的に SiO_2 層が形成されたり、エッチングされたりしていると考えられる。したがって、本研究においては良質なグラフェン層の形成の為、SiC 基板の表面処理が極めて重要であると考えられる。

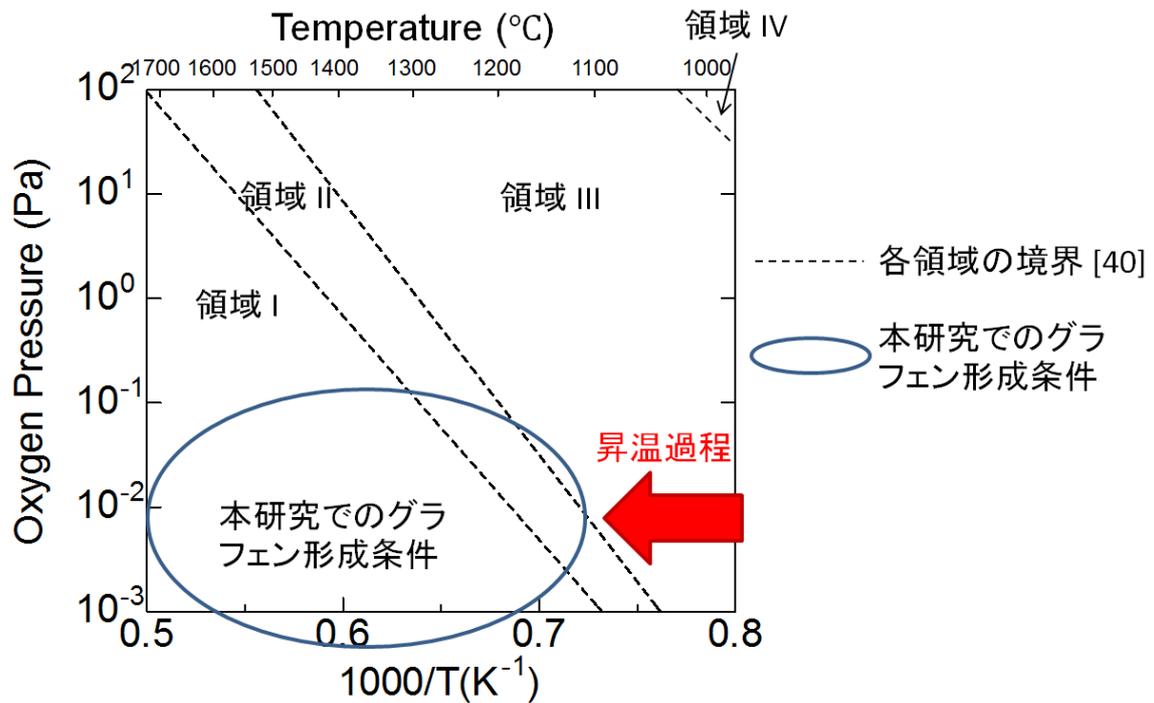


図 3.1 SiC 表面熱分解における、酸素分圧と温度の相図と本研究におけるグラフェン形成条件

3.2 行ったアニール条件

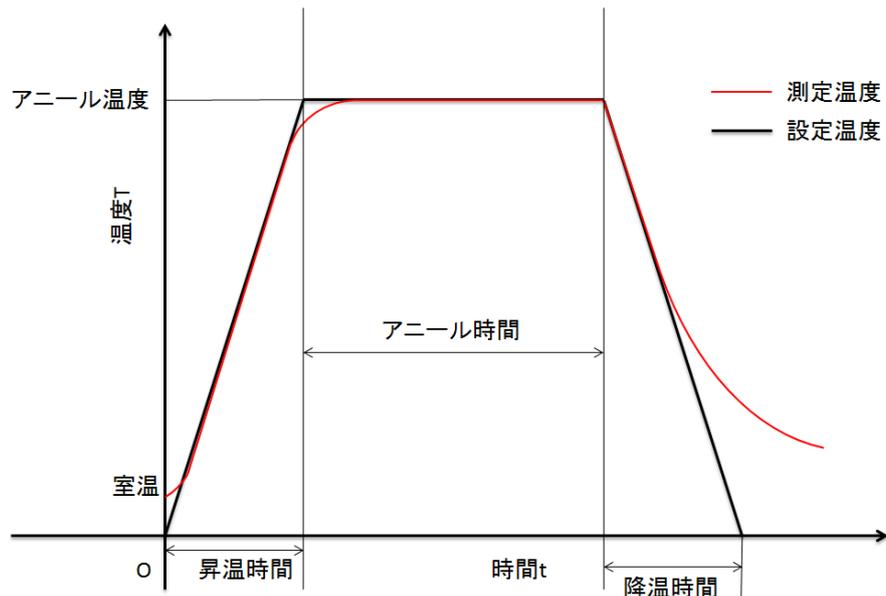


図 3.2 アニール条件における諸パラメータを定義した図。

まず、グラフェン形成条件を行う前に行うアニール条件において制御するパラメータを決定するため、各パラメータを図 3.2 に定義した。この定義に従って、表 3.1 に示すように、昇降温レートを 30°C/sec で固定し、アニール温度を 1400°C~1700°C、アニール時間を 15min~120min の範囲で変化させ、実験を行った。また、実験には SR1800 および IVF298W を用いた。

表 3.1 各パラメータと制御範囲

昇温時間	30°C/sec
降温時間	
アニール温度	1200°C~1700°C
アニール時間	15min~120min

3.3 熱酸化膜形成前処理の検討

比較的均一なグラフェン状の炭化層の SiC 基板上への形成の為、事前に SiO₂ 層を SiC 基板上に形成することが有効であることが示されている[41]。この現象のメカニズムは次のようなものである。まず、事前に形成された SiO₂ 層の存在により、基板昇温中における SiC 基板の酸化や、酸素による SiC 基板表面のエッチングなどによるダメージから基板表面を保護することが可能である。さらに、十分にサンプルの昇温がなされた状態では、SiO₂ 層が蒸発することにより、SiC 基板表面が露出する。このようなメカニズムにより、比較的均一なグラファイト層の形成が実現されたと考えられる。

本研究では、SiC 基板を ULVAC 社製の急速加熱(RTA)装置を用いて、1atm の酸素雰囲気中、1150°Cにおいて 20min ほどアニール処理を行うことにより、SiC 基板表面に 10nm 程度の SiO₂ 層を作製した。本節では事前 SiO₂ 層形成処理の有効性について述べる。

SiO₂ 層の有効性はアニール時の真空度、酸素分圧にも依存するが、総じて SiO₂ 層を事前形成した場合の方がより品質の高いグラフェンが得られている。図 3.3 は事前に SiO₂ 層を形成したサンプルと、形成していないサンプルの 2 種類について、 1.3×10^{-1} Pa の酸素雰囲気中にて 1500°C、30min アニールにより形成したグラフェンのラマン分光スペクトルの測定結果である。

双方のスペクトルにおいては、共にグラファイト由来の G ピーク、2D ピークが得られており、ハニカム構造を有するグラフェンシートが存在が確認できる。一方で、SiO₂ 層を事前形成していないサンプルについてはグラフェンシートの欠陥由来成分である D ピークの強度が著しく大きいことがわかる。したがって、このサンプルに含まれているグラフェンシートは非常に多くの欠陥を有しているか、ドメインが非常に小さいことが考えられる。

また、双方のスペクトルを比較するため SiO₂ 層を事前形成した場合のスペクトルについてはスペクトル強度を 10 倍として比較してある。このように両者のスペクトル強度には大幅な差があることがわかる。加えて、SiO₂ 層を事前形成したサンプルについては、基板の 4H-SiC 由来のスペクトルが確認できるのに対し、SiO₂ 層を事前形成していないサンプルについては基板由来の SiC のスペクトルがほとんど確認できない。このことはラマンのレーザ入射光がほぼ、表面に形成されたカーボン層に吸収されていることを意味し、非常に厚い膜厚を有していると考えられる。SiC 基板由来のピーク強度の減衰度合いから、SiO₂ 層を事前形成したサンプルにおいては 8ML 程度のグラフェンが形成されていると考えられるが、SiO₂ 層を事前形成していないサンプルはグラフェンとは呼べないほどの厚膜のグラファイト状カーボン膜が形成されていると考えられる。

以上のように、SiO₂ 層の事前形成処理は品質の高いグラフェン層形成に有効であることがわかった。SiO₂ 層を事前形成していないサンプルについては、チャンバー内の酸素分圧によって成長するグラフェンおよびグラファイト状カーボン膜の品質は変わってくるが、これについては後述する。本節以降、特別な断りが無い限り、SiO₂ 層を事前に形成したサンプルにより形成されたグラフェンについて述べる。

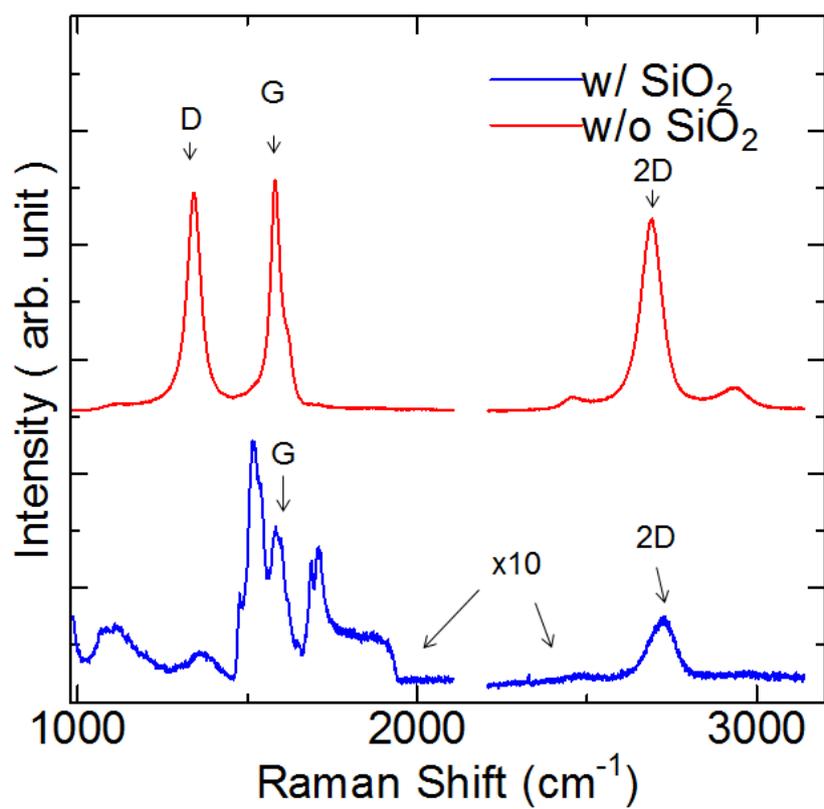


図 3.3 $1.3 \times 10^{-1} \text{Pa}$ の O_2 雰囲気中にて 1500°C , 30min アニールにより作製したサンプルのラマンスペクトル。青線は SiO_2 層を事前形成したサンプル、赤線は SiO_2 層を事前形成していないサンプルである。

3.4 作製したグラフェンの評価

本節においては表面熱分解法により半絶縁性 4H-SiC(0001)基板上に形成されたグラフェンの評価結果について述べる。

3.4.1. X線光電子分光法によるグラフェンの評価

本項では形成されたグラフェンのX線光電子法(XPS)により得られたスペクトルに関して述べる。SiC上グラフェンのXPS分析については主にC1sナロースペクトルに注目した分析が一般的になされており、本研究でもC1sスペクトルに注目した分析を行った。

C1sナロースペクトルの評価

まず、比較的均一かつ、薄いグラフェンが形成可能な条件である1500°C30minアニールにて形成したグラフェンのC1sスペクトルを以下の図3.4(b)に示す。基板は半絶縁性4H-SiC(0001)基板を用いた。なお、(a)には本測定における光電子の脱出角度の定義を示している。(b)は脱出角度60°の光電子を検出していることを意味する。得られたC1sナロースペクトルを見ると、主に、4種類のピークに分類できることがわかり、これらのピークの起源はグラフ中にも書かれている通り、グラフェン、バッファ層由来のS1、S2ピーク、SiCの4種である。これは一般的に得られている特性[42]とほぼ同じであり、本分析においても、これらのピーク分離の妥当性を光電子の脱出角度を変え、各ピークの強度比の変化を分析することにより確認しており、実際のサンプルは図3.4(a)で示すように上から、グラフェン/バッファ層/SiCといった構造になっていると考えられる。

コンタミについては、サンプルをXPSチャンバーに導入する前に一度大気に開放してしまっているため、どうしても存在してしまう。しかし同時に測定した清浄なSiCサンプルのC1sスペクトルから、コンタミ由来のピークとSiC由来のピークに分離することができ、これをグラフアイトと同等の非弾性自由行程を有するとして膜厚を計算すると0.1nm程度となり、グラフェンや、バッファ層のピーク強度に対して十分小さい値となりうることを確認した。

また、バッファ層については、4H or 6H-SiC(0001)基板上に形成されるグラフェンにおいて共通して形成される構造である。具体的な構造は、グラフェンと同様の六角形のハニカム構造を有しながらも、基板と結合しており、半導体的な性質を示すことが知られている[43]。このバッファ層について、水素アニール処理を行うことにより、バッファ層/SiC基板間の結合を水素終端すし、バッファ層をグラフェン化することが可能である[44]。

ピーク分離手法の正確性については、本分析と同様の手法で、文献値をピーク分離したところ、SiC由来のピークとバッファ層及びグラフェン層由来のピークは正確に分離できたが、バッファ層とグラフェン層間の分離は正確に行うことができなかった。これは、グラフェンが金属的な物質であり、光電子ピークが非対称になることの考慮、およびバッファ層のみのピークパラメータに関する情報が不足しているためと考えられるためである。

なお、本研究で用いたXPS測定器の性能から、得られたスペクトルは直径100μmのスポットより得られた情報であり、広範囲の平均的な値であることについて言及しておく。

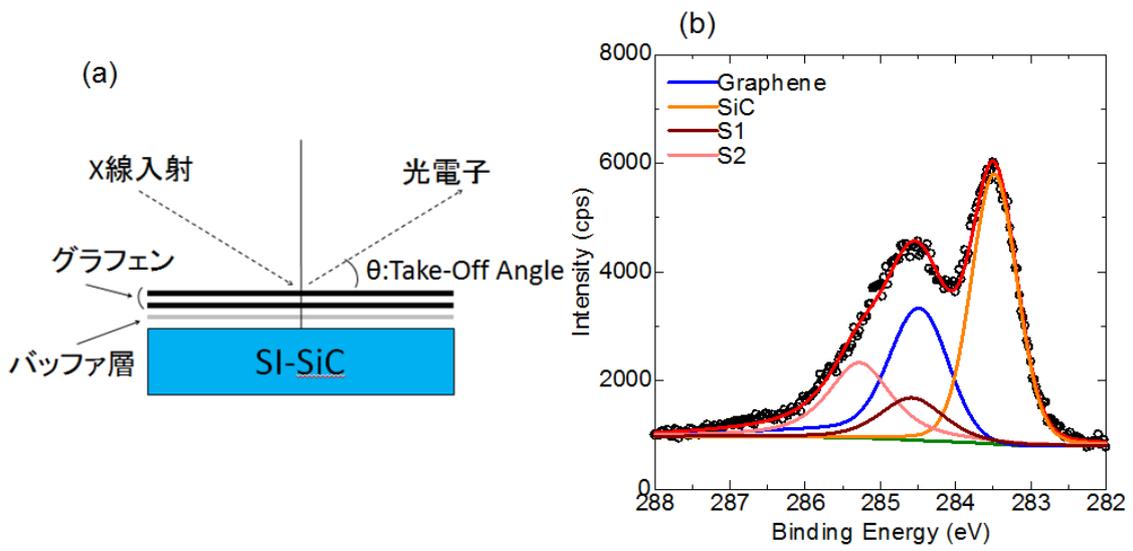


図 3.4 脱出角度の定義と得られた C1s スペクトル
 (a)脱出角度の定義 (b)グラフェンの C1s スペクトル($\theta=60^\circ$)

角度分解測定による膜厚の導出

ここでは角度分解測定による SiC 上グラフェンの膜厚導出について述べる。XPS のナローズペクトルからの膜厚導出に関しては一般的に広く使われている膜厚の式、

$$d = \lambda \sin \theta \ln \left[\left(\frac{I_B}{I_A} \right)^0 * \frac{I_A}{I_B} * \frac{X_B}{X_A} + 1 \right] \dots \dots \dots (3.1)$$

が用いられる。ここで d は A 層膜厚、 λ は光電子の非弾性自由行程、 $(I_B/I_A)^0$ はバルクの強度比 X_A 、 X_B はモル比率であり、基本的にこれらの値は文献値などから参照可能なため、測定強度比 I_A/I_B を求めて(3.1)式に代入することにより、膜厚の導出が可能であるが、本研究ではより正確性を出すため、複数の脱出角度に対して強度比を求め、式(3.1)にもっともフィットする膜厚を求めるという方法で膜厚を求めた。前項での C1s スペクトルについて脱出角度を変化させ、強度比を $\sin \theta$ に対してプロットし、(3.1)式でフィッティングした例が以下の図 3.5 となる。

図 3.5(a)はバッファ層と SiC のピークに対して式(3.1)をフィットさせたものであり、(b)については同様のことをグラフェン+バッファ層と SiC について行ったものである。どちらもよく一致しているが、(b)の方が厳密に曲線に乗っていることがわかる。これは、グラフェンとバッファ層の間のピーク分離にある程度の不正確さがあるためであると推測している。これらの見積もり結果から、このサンプルにおいてはバッファ層とグラフェン層を合わせた見積もり膜厚が 0.535nm と見積もられる。グラファイトの一層の膜厚はおよそ 0.335nm であることから、バッファ層 1 層+グラフェン 1 層弱程度が成長していることが見積もられる。

また、測定結果が理論曲線ときれいに一致することからグラフェンが、少なくとも測定領域内では均一に成長していると考えられる。

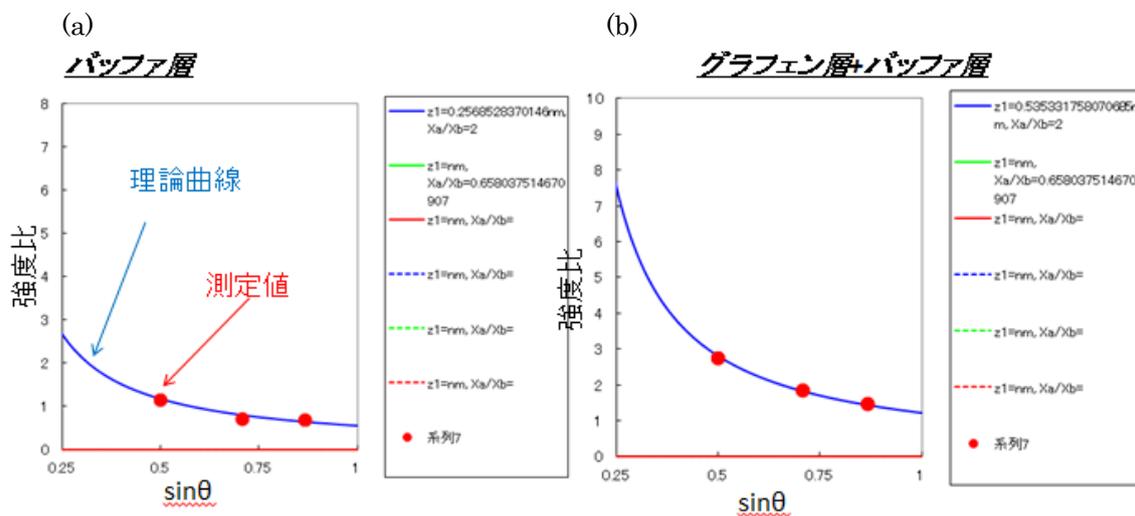


図 3.5 強度比の $\sin \theta$ に対するフィッティング結果

(a)バッファ層と SiC の強度比 (b)グラフェン+バッファ層と SiC の強度比

3.4.2. ラマン分光測定によるグラフェンの評価

得られたラマン分光スペクトルについて

まず、得られたラマン分光スペクトルについて述べる。 $5 \times 10^{-4} \text{Pa}$ 程度の真空度において 1500°C 30min アニールにより形成されたグラフェンのラマンスペクトルを図 3.6 に示す。なお、基板は半絶縁性の 4H-SiC(0001)基板を用いた。このスペクトルにおいて、SiC 基板由来のスペクトルは、2章で述べた方法により除去され、グラフェン由来のピークのみを取り出したものとなっている。

このスペクトルにおいて、まずグラフェン由来の G バンドピーク、2D バンドピークが確認できる。また、欠陥由来の D バンドピーク強度は比較的小さく抑えられていることがわかる。さらに、グラフェンと Buffer 層の相互作用により生じるとされるピーク[45]が 1500cm^{-1} 付近に観察できる。

次に、形成された 4H-SiC(0001)面上のグラフェンの層数との相関が報告[46]されている 2D の半値全幅(FWHM)について述べる。本サンプルにおいては、基板の様々な領域で $45\sim 50\text{cm}^{-1}$ 程度の FWHM(2D)が得られた。XPS による測定結果や断面 TEM 測定の結果から、 45cm^{-1} 近傍の FWHM(2D)がバッファ層上の 1ML グラフェンに相当する事を確認している。一方 60cm^{-1} 以上の FWHM(2D)においては、2ML 以上のグラフェン層が形成されていることは確認しているものの、定量的な相関関係を見出すには至っていない。

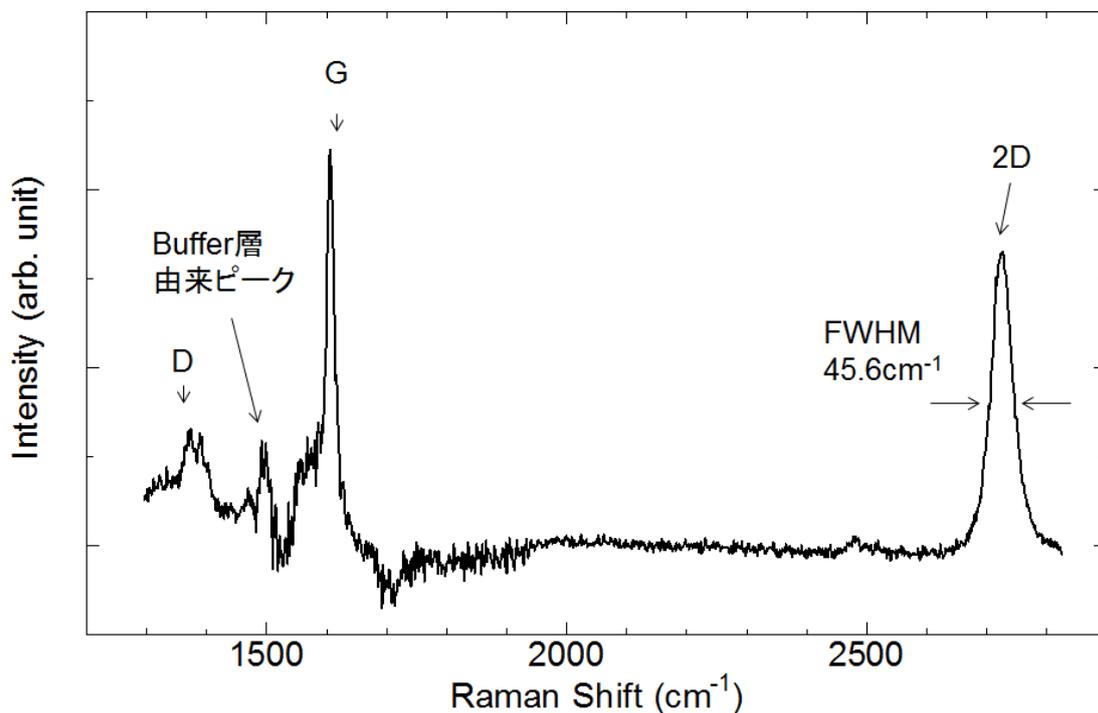


図 3.6 1500°C 、30min アニール($4 \times 10^{-4} \text{Pa}$)による SiC 上グラフェンのラマンスペクトル

層数分布の均一性について

ラマンマッピング測定により、グラフェン層数分布の評価を行った。先ほど同様の条件 (5×10^{-4} Pa 程度の真空度において 1500°C 30min アニール、半絶縁性 4H-SiC(0001)基板を使用)にてグラフェン形成を行い、さらにグラフェンのパターンニング処理を施したサンプルについて、FWHM(2D)のラマンマッピングによる評価を行った。図 3.7 は得られた FWHM(2D)の分布を示している。多くのパターンにおいて、(a)に示すようにほぼ均一な分布が見られた。(a)の測定結果において、FWHM(2D)の平均値は 42.83cm^{-1} でありほぼパターン全体において 1ML のグラフェンが形成されていることを確認している。また、一部のパターンにおいて(b)の測定結果のように、部分的に高い FWHM(2D)が見られており、2ML あるいはそれ以上のグラフェンが形成されていることが考えられる。FWHM(2D)の平均値は 53.68cm^{-1} であり 1ML と 2ML 以上の領域が混在している可能性が考えられる。

これらの測定結果は、XPS により見積もられる膜厚の結果とよく一致している。したがって、数 $10\ \mu\text{m}$ ～ 数 $100\ \mu\text{m}$ のスケールにおいて、層数分布の均一なグラフェンが得られていると考えられる。一方で、ラマン分光スペクトルにおいて、レーザー光のスポットサイズである $2\sim 3\ \mu\text{m}$ 以下の領域については、更なる検討が必要である。

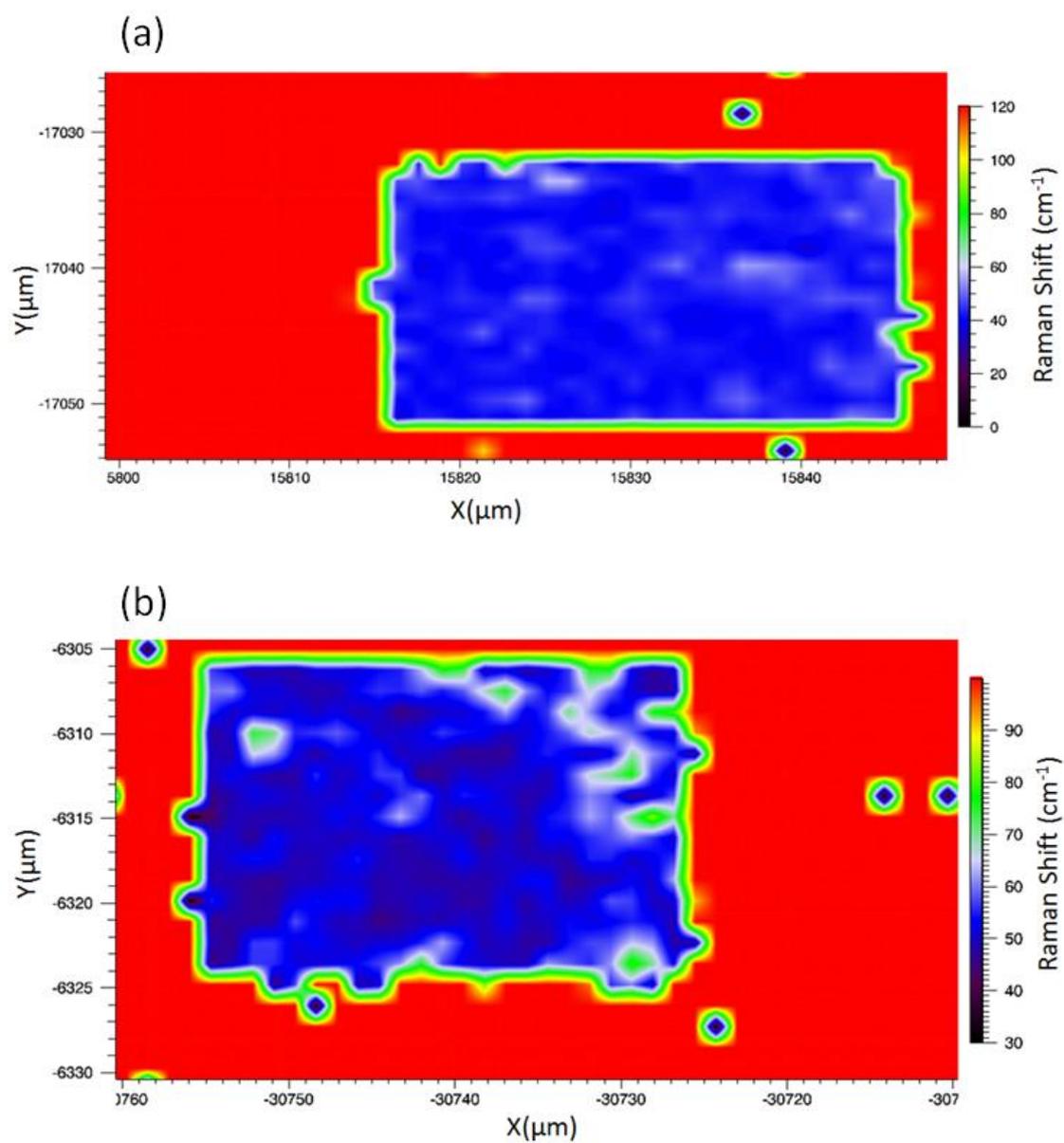


図 3.7 パターニングされたグラフェンのラマンマッピング測定結果(グラフェンは半絶縁性 4H-SiC(0001)上に 5×10^{-4} Pa 程度の真空雰囲気にて 1500°C、30min 間のアニールにより形成)
 (a)均一な FWHM(2D)分布を確認したパターン(FWHM の平均値は 42.83 cm^{-1})
 (b)部分的に 2ML 以上のグラフェンが形成されたパターン(FWHM(2D)の平均値は 53.68 cm^{-1})

3.4.3. 原子間力顕微鏡(AFM)による表面モフォロジーの観察

原子間力顕微鏡(AFM)により、形成された半絶縁性 4H-SiC(0001)基板上のグラフェンの表面モフォロジーと、位相像を評価した。

図 3.8 は得られた表面モフォロジーと位相像である。(a)、(b)は 5×10^{-4} Pa 程度の真空度において、 1500°C 30min 間アニールすることにより形成されたグラフェンの AFM 像である。このサンプルは、XPS による膜厚見積りにより、平均的に 1ML 程度のグラフェンが形成されたと考えられる。本サンプルにおいて、(a)に示す形状像においては、比較的フラットな面が多く見られる。これは、SiC の(0001)面(Si 面)が現れていると考えられる。形状像には比較的様々な高低差が見られるが、位相像には主に、2 種類のコントラストから形成されていることがわかる。AFM の位相像のコントラストは、グラフェン層数の違いに起因することが知られている[47]。したがって、位相像と形状像の比較により、本サンプルでは大部分において 1ML のグラフェンが形成されているものの、数 100nm 以下のオーダーの 2ML あるいはそれ以上の層数のグラフェンが形成されていることが考えられる。

同様に(c)、(d)においては、(a)、(b)のサンプルと同様の温度、真空度にて 120min 間アニール処理を行うことによって形成したグラフェン層についての形状像、位相像の測定結果が示されている。このサンプルは全体的に 2ML 程度のグラフェンが形成されたと XPS により見積もられる。形状像と、位相像を組み合わせることで比較することにより、位相像において、やや暗いコントラストを示すものが 2ML であると考えられ、全体的に 2ML のグラフェンが形成され、部分的に 1ML のグラフェンが形成されていると見積もられる。

原子間力顕微鏡による評価の結果、全体的な層数の分布については、XPS 測定の結果や、ラマン分光測定による結果と一致するが数 100nm のオーダーにおいて層数の異なる領域が存在することがわかった。位相像による層数分布の見積りについては、層数の正確さについてはやや欠けるものの、層数の違いについては明確に区別することが可能である。ラマン分光測定や、XPS による測定は、これらの層数分布の平均値を意味していることに注意を払う必要がある。

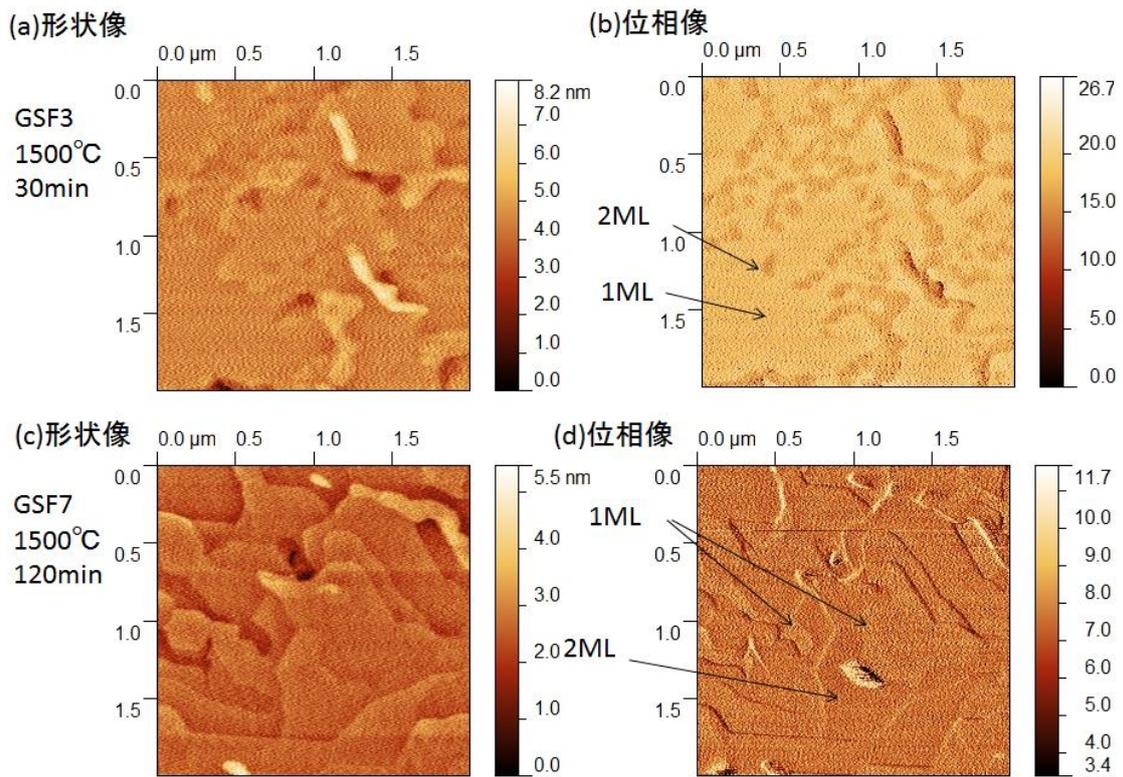


図 3.8 半絶縁性 4H-SiC(0001)基板上に形成されたグラフェンの AFM 像

(a)および(b) 1500°C30min のアニール(圧力 5×10^{-4} Pa 程度)によりグラフェンを形成し、平均的に 1ML 程度のグラフェンが形成されたと考えられるサンプルの(a)形状像および(b)位相像

(c)および(d) 1500°C120min のアニール(圧力 5×10^{-4} Pa 程度)によりグラフェンを形成し、平均的に 2ML 程度のグラフェンが形成されたと考えられるサンプルの(a)形状像および(b)位相像

3.4.4. 形成されたグラフェンの断面透過電子顕微鏡像

形成されたグラフェンの断面透過電子顕微鏡像(断面 TEM 像)について述べる。図 3.9 は半絶縁性 4H-SiC(0001)基板上に形成されたグラフェンの断面 TEM 像である。(a)は 5×10^{-4} Pa 程度の真空度において 1500°C 120min アニールにより、XPS による膜厚見積の結果、主に 2ML グラフェンが成長したサンプルの断面 TEM 像である。(a)に示されるように、バッファ層上に 2ML のグラフェンが成長していることが確認できる。バッファ層と Graphene 層の TEM 像による区別は難しいが、バッファ層の方がややコントラストが薄く、基板に密着していることから視認できる。

一方、(b)は、 5×10^{-4} Pa 程度の真空度において 1500°C 30min アニールにより XPS で見積もられる膜厚が 1ML 程度のグラフェンを形成したのちに、水素アニール処理によりバッファ層のグラフェン化を行ったサンプルの断面 TEM 像である。バッファ層が存在せず、明瞭な 2ML グラフェンが成長していることがわかる。なお、バッファ層の水素アニールによるグラフェン化については第 5 章で述べる。

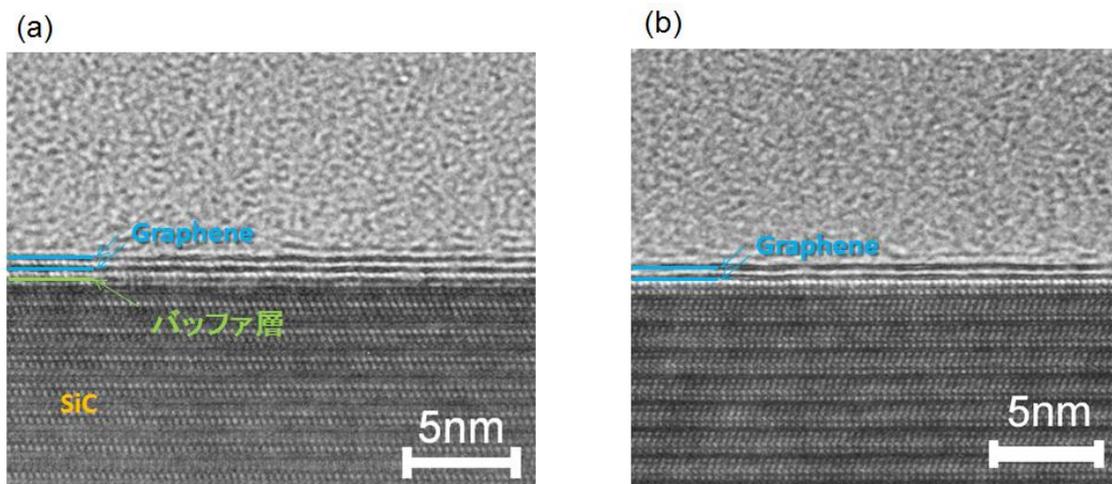


図 3.9 半絶縁性 4H-SiC(0001)基板上に形成されたグラフェンの断面 TEM 像

(a) 1500°C 120min アニールにより 2ML グラフェンを形成したサンプル

(b) 1500°C 30min アニールにより 1ML グラフェンを形成し、 1000°C 120min の水素アニール処理によりバッファ層のグラフェン化処理を行い、2ML グラフェンを形成したサンプル

3.4.5. オフ角のある基板におけるグラフェン形成

また、本研究においては p/p⁺-SiC(0001)基板等、オフ角を有する基板においても、グラフェン形成を行った。オフ角のある基板については、主に IVF298W チャンバーを用いてアニールを行った。

図 3.10 は形成されたグラフェンの評価結果である。サンプルは p/p⁺-SiC(0001)基板(8° -off)を真空度 10⁻⁴~10⁻³Pa において 1400°C30min 間のアニールにより、グラフェンを形成したものである。(a)の AFM 像に示されるように、オフ角に応じたステップが顕著に生じていることがわかる。断面 TEM 像は(b)ようになり、4~6ML 程度のグラフェン層が形成されていることがわかる。この図において、グラフェンがステップをまたぐように成長していることが特徴である。

成長されるグラフェンの層数についてはアニール条件による依存性があるが、オフ角の無い、半絶縁性の基板上のグラフェンと比較して、層数を大きく変化させやすい傾向が確認されている。アニール条件とグラフェン層数の関係については次節にて述べる。

全体的な特徴として、オフ角を有する基板においては、グラフェンの形成レートがオフ角の無い基板に比べ、高いことが挙げられる。このことは、オフ角起因のステップがグラフェンの形成起点となっているためと考えられる。

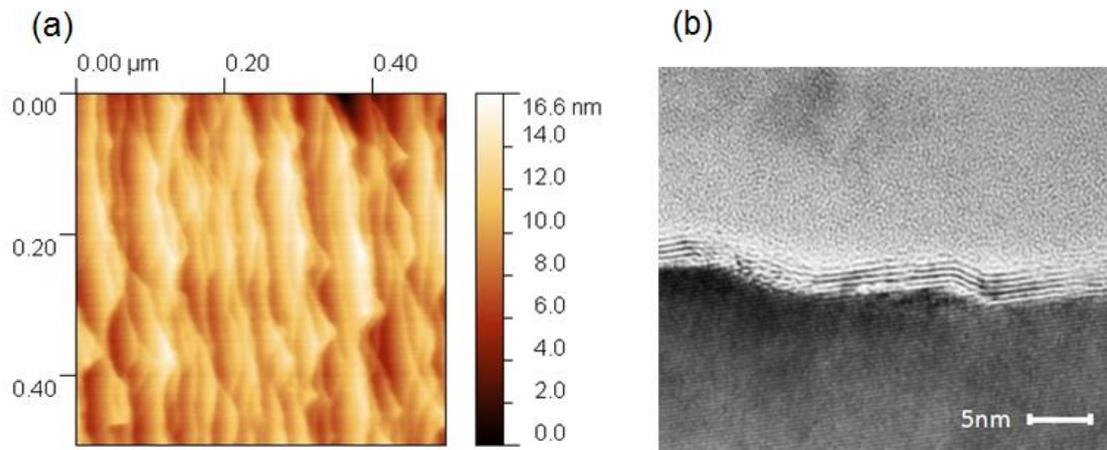


図 3.10 p/p⁺-SiC(0001)基板(8° -off)上に、真空度 10⁻³~10⁻⁴Pa において 1400°C30min アニールにより形成したグラフェンの評価結果 (a)AFM 像 (b)断面 TEM 像

3.4.6. 本節のまとめ

本節においては、4H-SiC(0001)上に形成されるグラフェンについて、様々な手法で分析と評価を行った。本項ではそれらの結果をまとめる。

半絶縁性 4H-SiC(0001)基板上のグラフェン

- XPS 測定により主に 1ML 程度のグラフェンが、バッファ層上に形成されていることを確認した。
- ラマン分光測定により、バッファ層上の 1ML グラフェンの成長を確認した。
- 2D の FWHM のマッピング測定により、マクロなスケールにおいて均一な 1ML グラフェンが形成されていることを確認した。一方で、部分的に厚い層数を有する領域の存在を確認した。
- AFM 測定により表面モフォロジーと位相像を取得し、相互比較により層数の分布を評価した。
- AFM 測定により、数 100nm オーダーで部分的に層数が異なる領域の存在を確認した。
- 断面 TEM 像により実際のグラフェンの成長の確認と、ラマン分光測定や、XPS 測定によるグラフェン層数の見積の妥当性を確認した。

8° -off, p/p⁺-SiC(0001)基板

- グラフェン層数がオフ角の無い基板と比較して多い傾向が見られた。
- グラフェン層のステップをまたぐような成長が見られた。

3.5 グラフェン形成条件とグラフェン層数の関係

本節では、グラフェンの形成条件とグラフェン層数の関係について述べる。グラフェン層数の正確な同定は難しく、1MLであればラマンスペクトルの2DのFWHMが狭い事により比較的容易に区別可能であるが、2ML以上となってくると難しくなる。XPSによる膜厚の分析は広い領域における平均的な情報を与えてくれるが、数10 μm 以下の均一性を保証できるものではない。断面TEM像は最も正確にグラフェンの層数を与えてくれるが、全てのサンプル、全ての領域に行える類の測定手法ではない。

また、グラフェンの形成条件についても、試料ホルダの清浄度や使用回数などによって、形成される層数が微妙に変化する。したがって、本節においては、ラマン分光測定やXPS測定などによって得られた見積層数の結果より、形成されるおおよその層数を示す事のみにとどめることにする。

半絶縁性 4H-SiC(0001)基板上に形成されるグラフェン層数

半絶縁性 4H-SiC(0001)基板上に形成されるグラフェンにおいては、グラフェン層数が比較的低位で安定しており、1500 $^{\circ}\text{C}$ 以上のアニール温度、30min以上のアニール温度にて1~3ML程度のグラフェンが安定的に形成された。アニール温度の上昇に伴い、XPSにより見積もられるグラフェン層数がわずかに上昇するものの、見積もられる平均層数は2ML程度であり、有意な差が得られているとは言えない。この要因としては、均一な1~2MLのグラフェンが基板全体を覆うことにより、SiC基板からのSiの蒸発を抑制し、グラフェン層の更なる形成を抑制しているためと考えられる。

8° -off,p/p+-SiC(0001)基板上に形成されるグラフェン層数

次に 8° -off,p/p+-SiC(0001)基板(p-SiC 基板)上に形成されるグラフェンについては、比較的層数が厚いため、第 2 章で述べたラマンスペクトルにおける SiC 基板の減衰量から見積もる手法が有効であった。以下の表 3.2 にその結果を示す。1400°C以上のアニール温度においては、グラフェンは p-SiC 基板上のほぼ全域に均一に形成された。一方で、1300°C以下においては部分的にグラフェンが形成され、その他の領域は蒸発しきらなかった SiO₂が残留しているという状態であった。

1300°C以下において形成されるグラフェンは、SiC 基板のラマンピークの減衰量から推定されるグラフェン層数が有意に小さいことを確認している。半絶縁性の SiC 基板と比較するとグラフェン層数の温度依存性は大きい。この要因としては、SiC 上グラフェンに SiC ステップ由来の欠陥などが存在することにより、Si の蒸発速度の抑制が不十分となっているのではないかと考えられる。

表 3.2 8° -off,p/p+-SiC(0001)基板上に形成されるグラフェン層数とアニール条件の関係

		アニール温度			
		1250	1300°C	1400°C	1500°C
アニール 時間	15min	—	形成されず	4~6 層程度	4~6 層以上
	30min	—	2~4 層程度	4~6 層程度	4~6 層以上
	60min	2~4 層程度	2~4 層程度	4~6 層程度	—

3.6 グラフェン成長時における酸素分圧の影響

本研究におけるグラフェン形成時のチャンバー圧力は一般的な超高真空におけるグラフェン形成結果と比較して高い。したがって、酸素を介した反応メカニズムによりグラフェンが形成されていることはすでに述べた。このような環境におけるグラフェン形成は、グラフェン形成時の酸素分圧の影響を大きく受ける可能性が高いため、本節においてはグラフェン形成における酸素分圧の影響を調査した。

酸素分圧を変化させてグラフェン形成を行うため、SR1800 を用いて、微量の酸素を流すことにより、アニール時の酸素分圧を変化させた。表 3.3 は本節における検討の為、作製したグラフェンサンプルの作製条件である。本節では、グラフェン形成時における酸素分圧の影響を、事前に SiO₂ 層を形成した場合と、そうでない場合について検討を行った。

表 3.3 本節における検討のため作製したグラフェンサンプルの作製条件(使用基板：半絶縁性 4H-SiC(0001)基板)

サンプル名	チャンバー圧力	表面 SiO ₂ 層の有無
GS77	無(チャンバー圧力 2.0×10^{-3} Pa)	無
GS82		有
GSA1	1.3×10^{-3} Pa	無
GSA2		有
GSA3	1.1×10^{-2} Pa	無
GSA4		有
GSA5	1.3×10^{-1} Pa	無
GSA6		有

作製されたサンプルについて、ラマン分光スペクトルによる評価を行った。図 3.11 はその結果である。まず、(a)は FWHM(2D)の値である。全体的に、赤いプロットで示される事前に熱酸化膜を形成していないサンプルについては総じて、大きな FWHM(2D)を示しており、より多いグラフェン層数が形成されていることが考えられる。しかし、この結果は XPS による膜厚の見積結果や、SiC ラマンスペクトルの減衰量から見積もった層数の値と必ずしも一致しない。これは、SiO₂ 層を事前形成していないサンプルについてはマイクロな領域での層数のバラツキが多いためではないかと考えられる。また、酸素分圧が 1.3x10⁻¹Pa に示されるように高い場合においては、3.3 節で述べたように膜厚の非常に厚い不定形のグラファイト膜が得られた。形成されるグラファイト層の構造が異なると考えられ、Si 面上のグラフェンに見られる FWHM(2D)とグラフェン層数の相関関係は見られていないと思われる。XPS による膜厚の見積結果と合わせて考えると、SiC 上のグラフェンは 10⁻²Pa 付近までは膜厚に有意な差は見られなかったが、10⁻¹Pa の酸素分圧においては、有意にグラフェン層数の増大が確認できた。このことは、酸素の存在により、SiC 表面の熱分解が加速されたため生じたと考えられる。

次にグラフェンの品質について述べる。(b)はグラフェンの欠陥由来の D バンドピーク強度(I(D))と、グラフェン由来の G バンドピークのピーク強度(I(G))の比をとったもの(I(D)/I(G))であり、低い方が良い品質を示すグラフェンとなる。(b)を見ると、全ての条件において、事前に SiO₂ 層を形成したサンプルが優れた品質を示していることがわかる。一方で、SiO₂ 層を事前形成していないサンプルについては酸素分圧により得られるグラフェンの品質に大きな違いがあることがわかった。これは、サンプルの昇温過程およびグラフェン形成の初期におけるダメージが酸素分圧によって大きく異なるためであると考えられる。最も優れた品質を示したサンプルは酸素導入を行わずに形成したものであるが、一定量以上の酸素を導入したサンプルにおいても良好な品質を示した。

以上、まとめると、低圧酸素雰囲気下で形成されるグラフェンは、サンプルの昇温過程およびグラフェン形成初期において生じる基板へのダメージを防ぐため SiO₂ 層を事前形成した場合には、比較的良好な品質を有するグラフェンが形成されることを確認した。また、SiO₂ 層形成していないサンプルにおいては、昇温過程とグラフェン形成初期過程における酸素によるグラフェン品質への悪影響の度合いがアニール時の酸素分圧に顕著に依存する事を確認した。SiO₂ 層を事前形成したサンプルは比較的良好な品質を示したが、酸素分圧が 10⁻¹Pa の条件においては、比較的良好な品質を有するグラフェンが厚く形成されていることを確認している。本研究の目的を考えると、薄く、品質が良いグラフェンが形成される酸素導入を行っていない条件におけるグラフェン形成が最適であると結論付けられる。一方で、比較的良好なグラフェンの厚膜形成が必要とされる分野においては、本節で示したように、酸素分圧を制御して SiC の熱分解を促進させるようなメカニズムで形成したグラフェンが有効となる可能性がある。

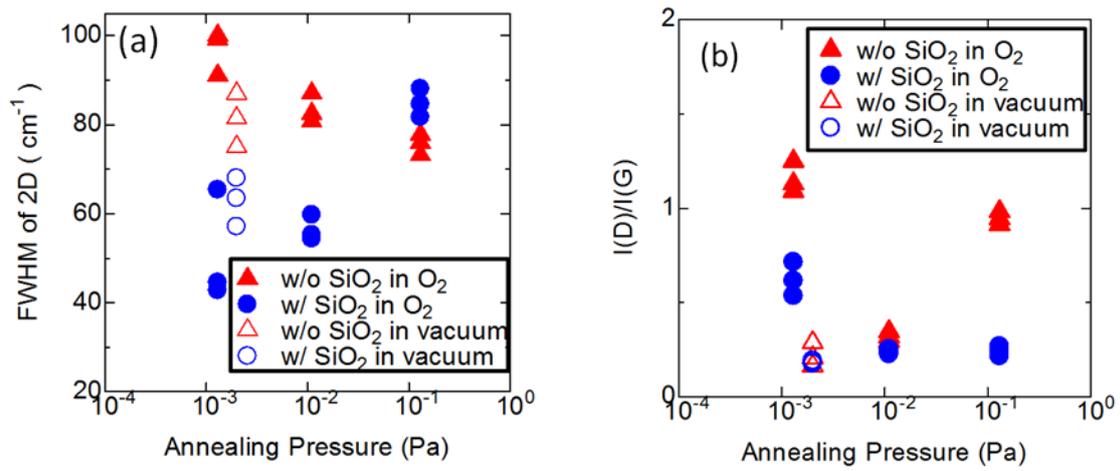


図 3.11 作製されたサンプルのラマン分光スペクトルにおける分析結果。(a)FWHM(2D) および(b) $I(\text{D})/I(\text{G})$ の各条件における比較。

3.7 第3章のまとめ

本章においては、超高真空ではない比較的高い圧力条件におけるグラフェン形成に関して検討を行った。以下にその結果をまとめる。

- 本研究におけるグラフェン形成プロセスにおいて、サンプル昇温時やグラフェン形成初期における基板表面への酸素によるダメージを保護するため、事前に SiO_2 層を形成する前処理の有効性を示した
- 形成されたグラフェンについて XPS、ラマン分光測定、AFM、断面 TEM 像によりその特性を分析した。半絶縁性 4H-SiC(0001)基板上に均一なバッファ層上の 1ML グラフェンの形成が確認されたものの、AFM 像により数 100nm スケールで層数が不均一である領域も確認された。
- オフ角 8° の SiC 基板においては形成されるグラフェン層数が多くなる傾向が見られた。この原因としては、グラフェンがステップ起因の欠陥などで、SiC の熱分解が促進されたのではないかと考えられる。
- 形成されるグラフェンの層数と、アニール条件については、オフ角の無い半絶縁性基板上的グラフェンに関しては温度や時間によって顕著な違いは確認できなかった。一方、 8° オフの SiC 基板においては温度の上昇と共にグラフェン層数の増大が確認された。
- SiO_2 層の事前形成処理は様々な酸素分圧によるアニールにおいて有効であった。逆に、 SiO_2 層を形成していない SiC 基板においては酸素分圧に応じてグラフェンの品質が大きく変化したことから、グラフェン形成初期過程において基板表面を酸素から保護することが極めて重要であることが明らかになった。
- 酸素分圧の上昇に伴い、グラフェン形成速度が上昇するような結果が確認された。このことは、比較的厚いグラフェンを得たい場合に有効である。

第4章 n-SiC をソース/ドレインとしたグラフェン FET の試作と動作

メカニズムの考察

本章では、n-SiC をソース/ドレインとしたグラフェン FET 構造(n-SiC-S/D-GFET 構造)を実際に作製、評価し、動作メカニズムについて考察する。また、動作メカニズムの考察に基づき、更なるデバイス特性の向上に向けた指針を示すことを目的とする。

4.1 試作したデバイス構造(第1次試作)

n-SiC-S/D-GFET の試作は2段階によって行われた。まず本節においては第1次段階において作製したデバイスの構造について述べる。第1次段階における試作では、n-SiC-S/D-GFET において、正常動作を妨げるような問題点の抽出と、そのメカニズムについての考察を行った。

図 4.1 は第1次段階における検討において作製されたデバイス構造の模式図である。(a)は比較用の為作製した GFET 構造であり、(b)は n-SiC-S/D-GFET 構造である。デバイス作製には 8° のオフ角を有するパワーデバイス用の p/p⁺-SiC 基板を用いた。(a)においてはソース/ドレイン電極にグラフェンとのコンタクトを実現しやすい Ti を用いている。また、(b)においては n-SiC ソース/ドレイン領域にコンタクトを実現するために、高濃度 n⁺-SiC 領域(不純物濃度 $4.5 \times 10^{19} \text{cm}^{-3}$) 形成してある。

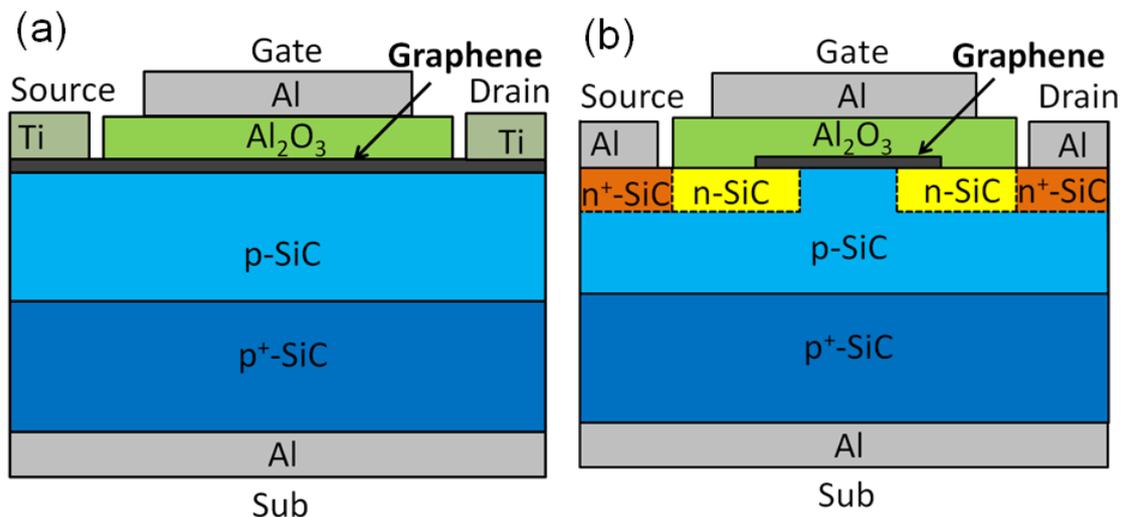


図 4.1 第1次段階における試作において作製したデバイス構造
(a)GFET 構造 (b)n-SiC-S/D-GFET 構造

4.2 トランジスタ特性の評価(第1次試作)

本節では第1次段階における試作にて作製したトランジスタ構造の特性の評価とメカニズムについての考察を行った。

4.2.1. デバイス作製条件

デバイスの作製方法については、第2章で述べたとおりの手法で行った。また、本節において使用したデバイス作製のマスクパターンについては付録Aを参照されたい。本項では、実際に作製したデバイスの諸条件についてまとめた。

表4.1は本節において検討を行ったデバイス作製条件をまとめたものである。まず、トランジスタ構造による違いを見るために、GFET構造とn-SiC-S/D-GFETの2種類のデバイス構造を作製した。さらにn-SiC-S/D-GFET構造において、グラフェン層数による違いを分析するため、2種類の作製条件で形成されたグラフェン層数の異なるサンプル(4~6ML程度、2~4ML程度)を用意した。加えて、ソース/ドレイン領域であるn-SiC領域のドーピング濃度を高いもの($4.5 \times 10^{19} \text{cm}^{-3}$)と低いもの($4.5 \times 10^{18} \text{cm}^{-3}$)を用意した。また、ゲート絶縁膜堆積条件に関しては、検討がなされ、最適化された条件が用いられた。これについては付録Bを参照されたい。

表 4.1 本節における検討で作製したデバイスの条件

トランジスタ ID	#1	#2	#3	#4	#5
トランジスタの種類	GFET	n-SiC-S/D-GFET			
ゲート絶縁膜堆積条件	前駆体 TEA, O ₂ の同時供給による MOCVD 法 堆積温度：330℃ 堆積時圧力：1Torr				
ゲート絶縁膜厚(nm)	52nm		58nm	87nm	
グラフェン形成チャンパー	IVF298W				
グラフェン形成条件	1400℃, 30min, $10^{-4} \sim 10^{-3}$ Pa			1300℃, 60min, 5×10^{-4} Pa 程度	
見積もられるグラフェン層数(ML)	4~6ML 程度			2~4ML 程度	
n-SiC 領域のドーピング濃度(cm^{-3})	金属 S/D	4.5×10^{19}	4.5×10^{18}	4.5×10^{19}	4.5×10^{18}

4.2.2. GFET の特性

まず、得られた GFET の特性について述べる。得られた伝達特性は図 4.2 に示すような特性となった。一般的に報告されているような、両極性動作を示していることがわかる。また、ヒステリシスが非常に大きい。このヒステリシスの原因については、GFET 特性が n 型伝導を示している領域において、反時計回りのヒステリシス特性を示していることから、ゲート絶縁膜中や、グラフェン層中に荷電不純物が存在している可能性が示唆される。また、電界効果移動度を計算するとピーク値で $100\text{cm}^2/\text{Vs}$ 前後であり、報告されている値と比べると非常に低い。この原因としては、ゲート絶縁膜堆積によるグラフェンへのダメージといったプロセスの問題や、比較的圧力の高い条件でグラフェンを形成していることによるグラフェン自体の品質の問題が考えられる。

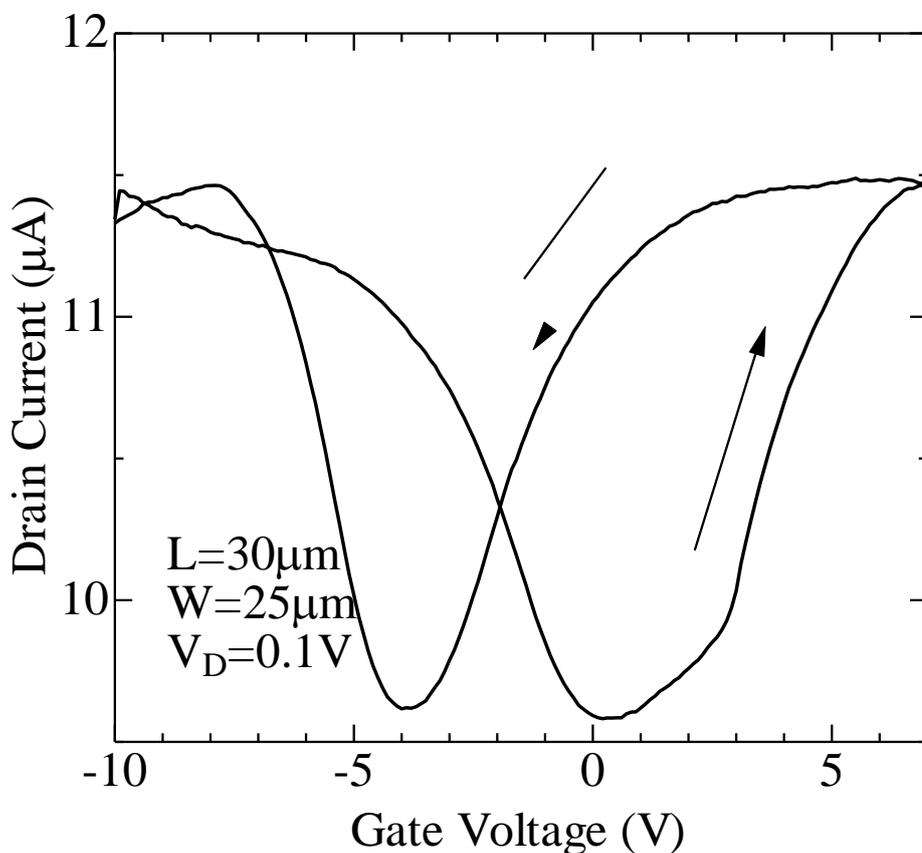


図 4.2 得られた GFET の伝達特性

4.2.3. n-SiC-S/D-GFET の伝達特性の比較

厚いグラフェン(4~6ML 程度のグラフェン層) をチャンネルとした n-SiC-S/D-GFET

まず、グラフェンチャンネル層数を 4~6ML 程度と厚いものとした n-SiC-S/D-GFET の伝達特性について述べる。図 4.3(a)はソース/ドレイン領域の n-SiC のドーピング濃度を高く ($4.5 \times 10^{19} \text{cm}^{-3}$) した素子である。この素子において、n-SiC-S/D-GFET は金属をソース/ドレインとした通常の GFET と同様の両極性動作を示している。このことは、当初期待した n-SiC のバリアとしての機能が現れていないことを意味している。次に、図 4.3(b)はソース/ドレイン領域の n-SiC のドーピング濃度を低く ($4.5 \times 10^{18} \text{cm}^{-3}$) した素子の伝達特性を示している。この素子においても、同様の両極性動作が得られている。また、ソース/ドレイン領域のドーピング濃度の低減により、グラフェン/n-SiC コンタクトにおけるコンタクト抵抗が増大したため、安定的に測定を行うため伝達特性におけるドレイン電圧を上昇させる必要があった。

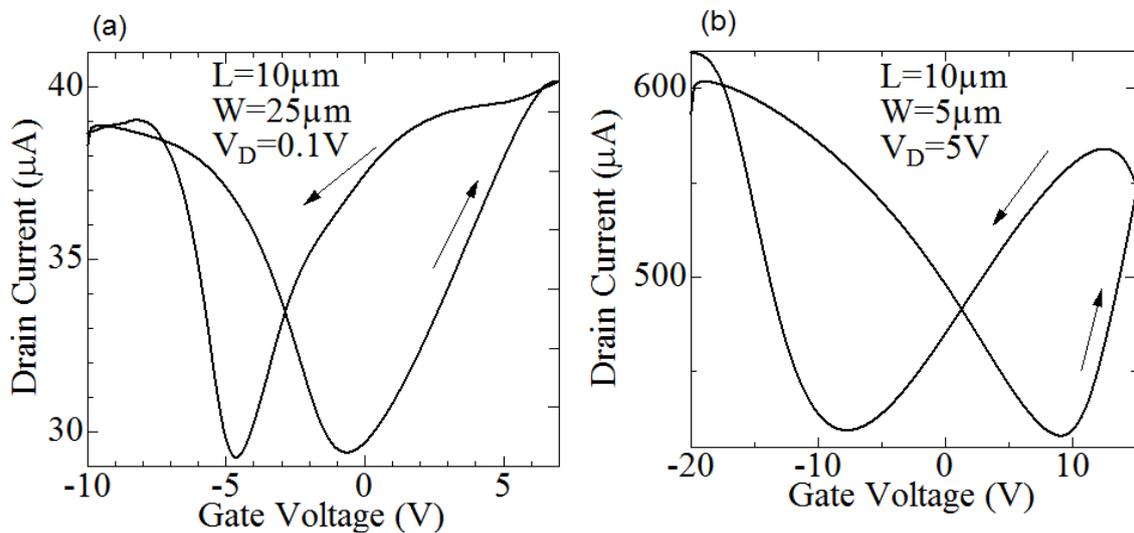


図 4.3 得られた n-SiC-S/D-GFET(グラフェン層数 4~6ML 程度)の伝達特性
(a)n-SiC 領域のドーピング濃度を高く ($4.5 \times 10^{19} \text{cm}^{-3}$) した素子
(b)n-SiC 領域のドーピング濃度を低く ($4.5 \times 10^{18} \text{cm}^{-3}$) した素子

薄いグラフェン(2~4ML 程度のグラフェン層) をチャンネルとした n-SiC-S/D-GFET

次に、グラフェン層数を2~4ML程度と薄く形成した場合の伝達特性についてのべる。図 4.4(a)で示されるように、薄いグラフェンをチャンネル、高濃度の n-SiC をソースドレインとした n-SiC-S/D-GFET 構造についても、金属を S/D とした通常の GFET 構造と同様の両極性動作を示す伝達特性を示している。一方で、(b)に示されるように、薄いグラフェンをチャンネル、低濃度の n-SiC をソース/ドレイン領域とした素子において、ディラック点よりも負側に存在する正孔電流領域において、電流値が抑制されるような現象が見られた。トランジスタのオン/オフ比は依然として極めて低い値ではあるが、n-SiC-S/D-GFET 構造により、両極性動作の抑制効果をわずかではあるが確認したといえる。また、その両極性動作抑制効果の発現には、グラフェンチャンネルの低層数化と、ソース/ドレイン領域のドーピング濃度の低濃度化が重要であったと言える。

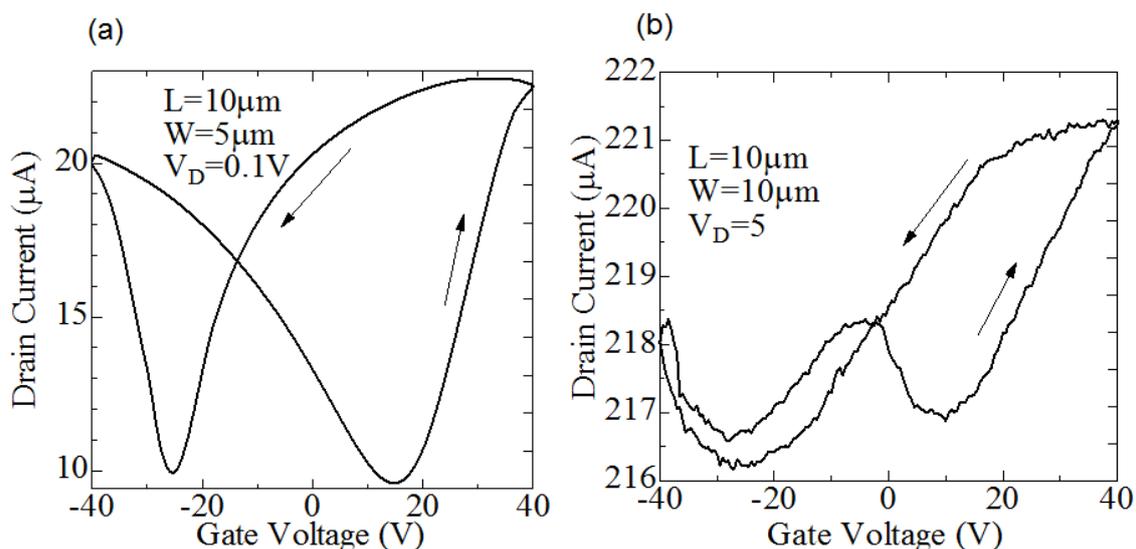


図 4.4 得られた n-SiC-S/D-GFET(グラフェン層数 2~4ML 程度)の伝達特性
(a)n-SiC 領域のドーピング濃度を高く ($4.5 \times 10^{19} \text{cm}^{-3}$)した素子
(b)n-SiC 領域のドーピング濃度を低く ($4.5 \times 10^{18} \text{cm}^{-3}$)した素子

4.2.4. 両極性動作抑制効果を妨げるメカニズム

以上の実験結果を踏まえ、本節において作製した n-SiC-S/D-GFET においてはデバイスの両極性動作を抑制するメカニズムが働いていると考えられる。したがって、本項では n-SiC-S/D-GFET において両極性動作を抑制するメカニズムについて考察を行った。

まず、本節においては GFET 構造が正常に両極性動作を示していることから、グラフェン上のゲート絶縁膜自体は適切に機能していると考えられる。したがって、問題点はグラフェンチャンネル自体か、ソース/ドレイン領域にあると考えられ、実験結果においても、グラフェン層数の低層数化と、ソース/ドレイン領域の低濃度化が有効であった。したがって、この 2 点を説明可能なメカニズムについて考察を行った。

グラフェン層による電界スクリーニング

グラフェン層数の低層数化が、両極性動作抑制効果の発現に有効であった要因として、グラフェンチャンネルによるゲート電界のスクリーニングが低減された可能性が挙げられる。グラフェンは半金属的な性質を持つが、金属と比較すると状態密度は低く、電界効果によりディラック点を上限させ、伝導形を変化させることが可能である。しかしながら、グラフェン層数が厚くなるとキャリアの増大と共に金属的な性質を示すため、電界がそこでスクリーニングされてしまう可能性がある。

図 4.5 はゲート電界がグラフェン層によりスクリーニングされる様子を示した模式図である。このように、ゲートから印加された電界はグラフェン層に印加されるが、グラフェン層数が十分に厚いと、グラフェンチャンネル中でゲートからの電気力線が終端されてしまい、バリア変調を起こすグラフェン/n-SiC コンタクトまでゲート電界の影響が届かない可能性がある。したがって、グラフェン層数はある一定の有限の値以下とすべきである。

Miyazaki らは[48]デュアルゲート型のグラフェンへの電界効果評価素子を用いて、グラフェン層数を変化させ、トップゲート、ボトムゲート間の相互作用の評価を行っており、その結果を踏まえると、グラフェンに対して垂直方向に実効的な電界効果が現れるのはおおよそ 3ML 程度であることを報告している。本検討においても、薄いグラフェン層(2~4ML 程度)を実現することが、両極性動作抑制効果の観察に有効であった。

以上の結果より、グラフェン層数の低減による電界スクリーニングの低減は、両極性動作の抑制効果の発現に有効であったと考えられる。

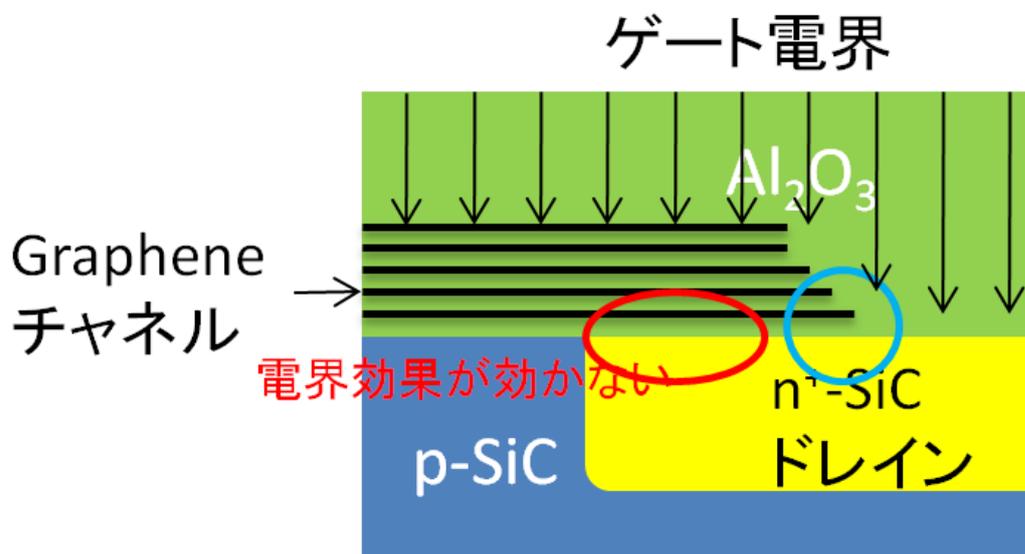


図 4.5 グラフェン層によるゲート電界スクリーニングの様子を示した模式図

低いグラフェン/n-SiC コンタクト抵抗

本節の実験結果において得られた両極性動作の抑制効果は極めて弱いものであった。一方で、n-SiC-S/D-GFET の本来想定していた動作メカニズムを考えると、両極性動作の抑制効果は、チャンネルとドレイン間のコンタクトにおいて最も顕著に表れると考えられる。図 4.6 はソース/ドレインを高濃度にした素子におけるチャンネル・ドレイン間のグラフェン/n-SiC コンタクト領域のバンドダイアグラムである。このように高いドーピング濃度においては、n-SiC 領域は縮退半導体となっており、n-SiC 領域の空乏層幅も 1nm 程度と見積もられる。ゆえに、仮にバリア変調効果が正常に働いていたとしても、高濃度素子においてはトンネル効果により多くのキャリアがチャンネル/ドレイン間を流れてしまう。

したがって、グラフェンチャンネル/n-SiC ドレイン間における微妙なゲート変調効果を確認するためには、コンタクト部分における電圧降下がトランジスタ特性に顕著に効いてこなければならず、その点で、ソース/ドレイン領域の低濃度化によるグラフェン/n-SiC コンタクトの高抵抗化が重要であったと考えられる。

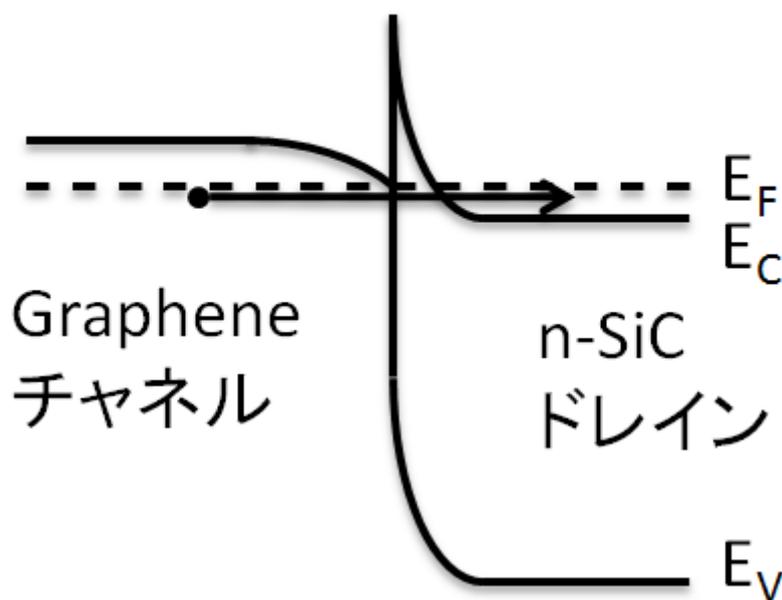


図 4.6 高濃度 n-SiC をソース/ドレインとした素子におけるチャンネル・ドレイン間におけるグラフェン/n-SiC コンタクト領域のバンドダイアグラム

4.2.5. 本節のまとめ

本節では、実際に n-SiC-S/D-GFET 構造を作製し、その特性を評価した。ほとんどの n-SiC-S/D-GFET は当初期待される両極性動作の抑制効果を示さず、両極性動作を示した。一方、グラフェン層数、ソース/ドレイン領域のドーピング濃度を共に低減した素子において、両極性動作のわずかな抑制効果を確認した。

両極性動作の抑制効果の確認を踏まえ、両極性動作の抑制を妨げるメカニズムについて考察を行った。両極性動作の抑制効果を妨げる 1 つのメカニズムとしてゲート電界のグラフェン層によるスクリーニングが考えられる。グラフェン層数の低減はグラフェン層によるゲート電界のスクリーニングを低減するという点で有効であったと考えられる。

また、両極性動作の抑制効果の発現を妨げるメカニズムとして、もう一つはグラフェン/n-SiC コンタクトにおける低いコンタクト抵抗が挙げられる。わずかな両極性動作の抑制効果を検出するためには、トランジスタ特性に占めるコンタクト抵抗の寄与を増大させる必要があるため、ドーピング濃度の低濃度化が有効であったと考えられる。したがって、より詳細にデバイスの動作メカニズムを理解するためには、チャンネルのゲート変調効果と、コンタクト領域のゲート変調効果を切り分けて考える必要がある。

4.3 Cross Bridge Kelvin (CBK)素子によるコンタクト抵抗評価方法

n-SiC-S/D-GFETにて両極性動作の抑制効果をより正確に評価するため、FET特性とコンタクト特性について切り分けて考える必要がある。本節では、コンタクト抵抗の評価素子として Cross Bridge Kelvin 素子を用いるためにその評価方法について説明する。

4.3.1. CBK 測定の原理

まず、CBK 測定の原理について簡単に述べる。以下の図 4.7 に CBK 素子の測定方法の概略を示してある。まず、グラフェン電極、SiC 電極の一对のペアにおいて、グラフェン電極側から、SiC 電極へ電流を流す。これにより電流はグラフェン/n-SiC コンタクト部分を流れるため、コンタクト部分に電圧が生じる。この時、もう一对のグラフェン、SiC 電極ペアを開放状態にしておくと、各電極の電位差はグラフェン/n-SiC コンタクト部分に生じる平均の電位差と等しくなるため、その電位差を電圧で測定することにより、コンタクト部分に生じる電位差を知ることができ、流した電流値と接合部分の面積から、コンタクト抵抗率を導出することができる。ここで、平均の電位差と述べたのは、実際の電流分布は 3 次元的に分布するため、得られる平均電位は一定電流を流す電極対とは別の電圧測定端子対が接している部分のみの情報だからである。したがって、素子構造を正確に作りこむことが重要になってくる。また、最小加工寸法の限界から、実験的な限界値が測定可能なコンタクト抵抗の限界値を決めてくる。

CBK 素子を作製用マスクパターンには FET 構造や TLM パターンなども同時に作製可能であり、様々な情報を得ることが可能である。詳細なマスクパターンについては付録 A を参照されたい。

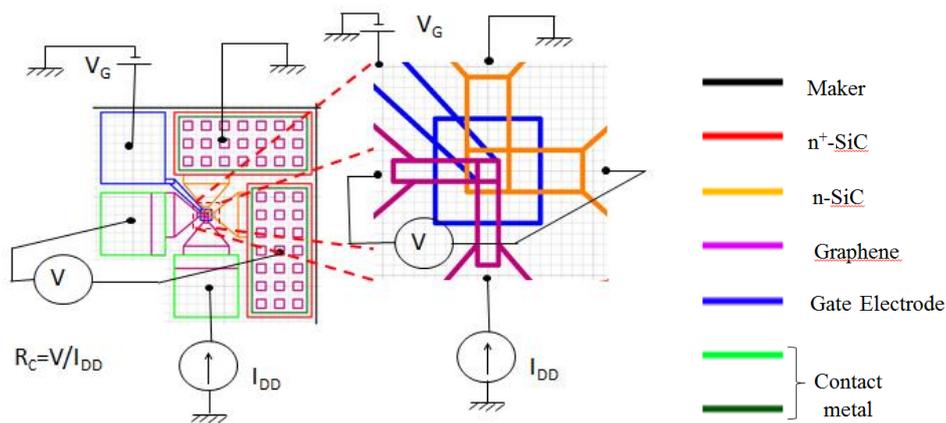


図 4.7 本研究で用いた CBK 素子の構造とその測定方法

4.3.2. 測定可能なコンタクト抵抗率の下限値

実験的に作製可能なパターンの最小加工寸法が決定されている以上、CBK 素子により測定可能なコンタクト抵抗率の下限が決まってくる。本研究においては $1\mu\text{m}$ の加工精度を有するマスクアライナを使用しているため、それに準ずる最小加工寸法が決定される。

マージンによる寄生抵抗

図 4.8 に示されるように、実際に作製される CBK 素子はマスク合わせを考慮するため、下地となる層を上形成される層より大きく作製する。(a) に示される一般的な CBK 素子については Si 基板上に形成された SiO_2 層にコンタクトホールを形成し、デバイスを作製する。したがって、(a) 中の δ で示されるマージンを有する。CBK 測定を行う際に、このマージンが直列抵抗として挿入されるため、実際よりもコンタクト抵抗率を過大評価してしまう。CBK 素子において得られるコンタクト抵抗値は以下の式で示される。

$$R_c' = R_c + R_{geom} \dots \dots (4.1)$$

ここで、 R_c' は CBK 素子の実測値であり、 R_c が材料本来のコンタクト抵抗の値である。 R_{geom} はマージンの存在により現れる寄生抵抗であり、以下の式で表すことができることが知られている [49]。

$$R_{geom} = \frac{4R_{sh}\delta^2}{3W^2} \left[1 + \frac{\delta}{2(W-\delta)} \right] \dots \dots (4.2)$$

この式により計算される R_{geom} が、CBK 素子の設計上の測定下限を与える根拠となる。 W や δ については (a) 中に示される値であり、 R_{sh} は n^+ -Si のシート抵抗である。また、(b) に示されるように SiC 上のグラフェンについてはコンタクト部分が正方形にならず、グラフェン層においてもマージンが存在するため、その点も考慮する必要がある。

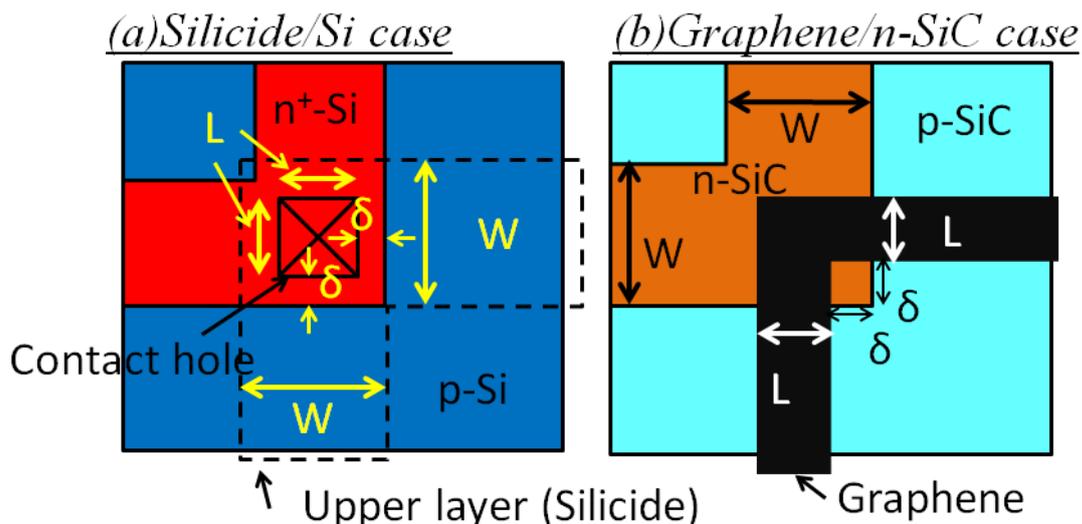


図 4.8 CBK 素子のコンタクト部分におけるマージン領域

(a) 一般的なシリサイド/ n^+ -Si コンタクト抵抗率評価用の CBK 素子

(a) 本研究におけるグラフェン/ n -SiC コンタクト抵抗率評価用 CBK 素子

R_{geom}の計算値と設計における測定下限

式(4.2)に示されるようにR_{geom}の計算の為には、SiCのシート抵抗とデバイスの寸法がわかれば良い。したがって、実測値から高濃度n-SiCのシート抵抗を800Ω/□として、R_{geom}の計算を行った。また、素子寸法としては、コンタクト部分を可能な限り小さくするため2μm×2μmとして計算し、R_{geom}の値と、実際のグラフェン/n-SiCコンタクト抵抗R_cとの比較を行った。

まず、R_{geom}をマージンに対してプロットし、その値と一定のコンタクト抵抗率を仮定した場合におけるグラフェン/n-SiCコンタクトに生じるコンタクト抵抗R_cと比較した。グラフェン/n-SiCコンタクトにおけるコンタクト抵抗R_cがR_{geom}よりも十分大きい領域において、正確な測定ができるはずである。

計算結果を図4.9に示す。マージンの増大によりR_{geom}の増大が確認されるが、マージンを3μm以下に抑えればコンタクト抵抗率ρ_c=1×10⁻⁵Ωcm²程度の値まで評価可能であることがわかる。一方で、グラフェン層におけるマージンについても考慮する必要がある。

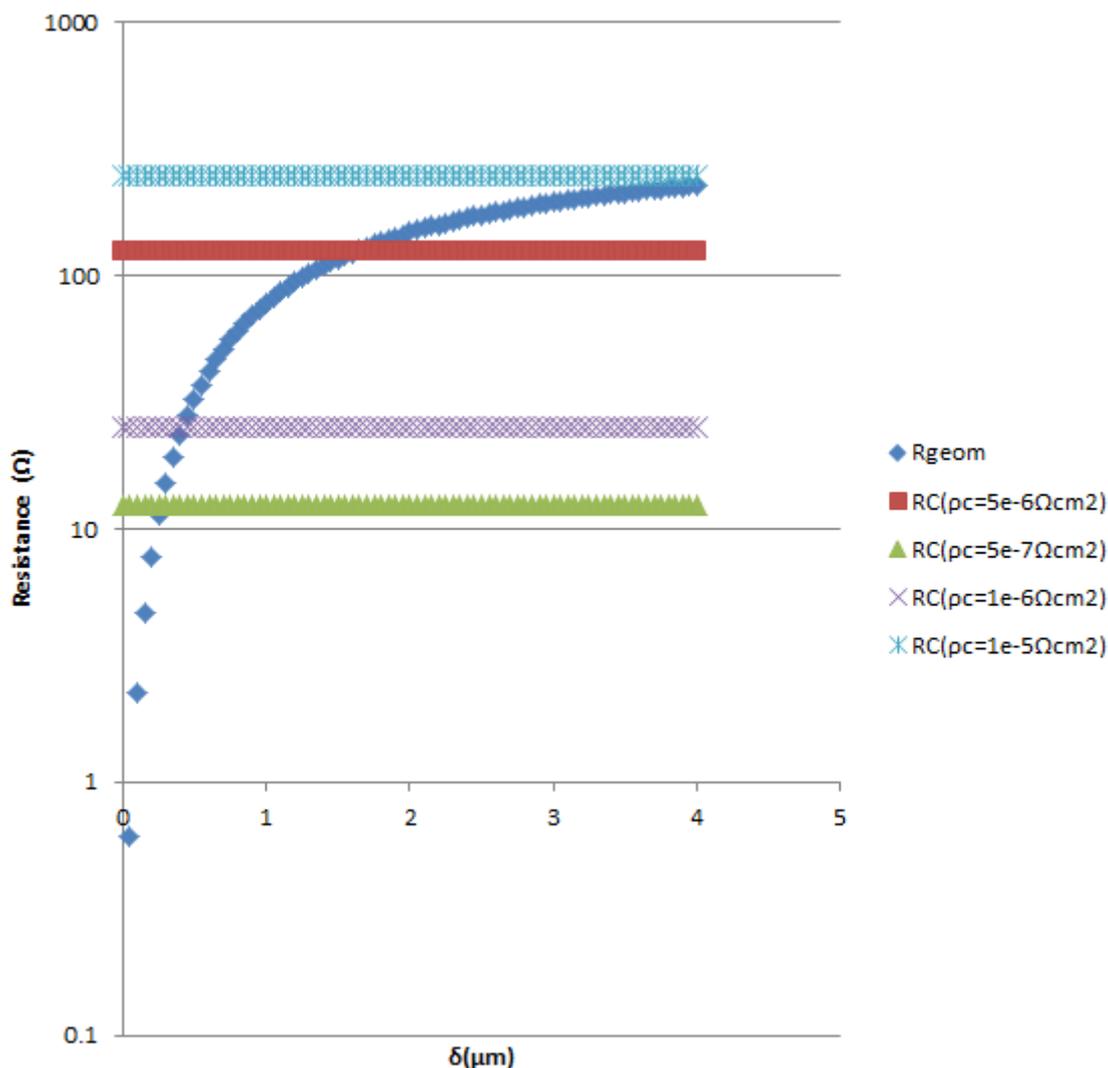


図 4.9 マージンと R_{geom} の関係と R_c との比較

電流パスの変化とグラフェン層におけるマージンの影響

実際のグラフェン/n-SiC コンタクトにおけるコンタクト抵抗 R_c を評価するためには、さらにグラフェン層上のマージンを考慮する必要がある。このマージンは、コンタクト抵抗 R_c が高い場合はあまり問題にならないが、低い場合に大きな問題となってくる。そのことについてまず解説する。

まず、通常の CBK 素子において、シリサイド側は金属と考え、非常に抵抗が低いものとして扱う。一方、本研究で用いるグラフェンのシート抵抗は $500\sim 2000\ \Omega/\square$ 程度と SiC のシート抵抗に近い値を示す。このような状況下においては、コンタクト抵抗率 ρ_c 、グラフェンのシート抵抗 R_G 、n-SiC のシート抵抗 R_{SiC} の大小関係により、電流の流れるパスが大きく変化し、電流集中が起こる領域により測定結果に大きな影響を与える。

図 4.10 にグラフェン/n-SiC コンタクト評価用 CBK 素子における電流集中の模式図を示す。まず、(a)においてはグラフェンのシート抵抗が SiC のシート抵抗より十分小さい、すなわちグラフェンを金属とみなせる場合においては、電流は SiC を流れるよりもグラフェンを流れた方がトータルでみた消費電力が小さくなる。したがってこの場合、緑で示される領域に電流が集中し、電圧降下が起こる。この場合、電流が多く流れる部分において、赤線で示されるグラフェン層における電圧測定領域があるため、この場合、比較的正確にコンタクト抵抗 R_c を見積もることができる。一方で、(b)のようにグラフェンのシート抵抗よりも SiC のシート抵抗が十分に低い場合においては、電流はなるべく長く SiC 層を通過した方が、消費電力が小さくなるため、(b)の緑で示される領域に電流が集中する。この場合、電流が収集する領域が、赤線で示される電流検出領域から外れてしまう。この場合、電圧評価端子にかかる電圧は低くなるため、コンタクト抵抗を実際の値よりも低く見積もってしまう可能性がある。

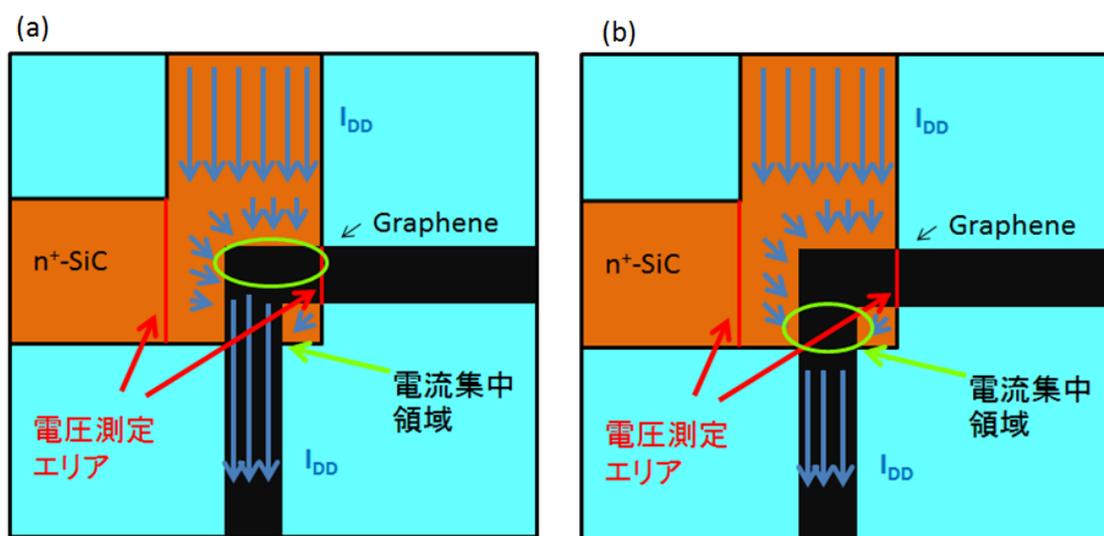


図 4.10 グラフェン/n-SiC-CBK 素子における電流集中を示した模式図

(a) $R_G \ll R_{SiC}$ の時 (b) $R_G \gg R_{SiC}$ の時

分布定数回路によるモデル化

この電流集中領域の電圧検出領域からのズレにより生じるコンタクト抵抗の過小評価について、グラフェンのシート抵抗、SiCのシート抵抗の実測値をもとに分布定数回路による見積もりを行った。以下、**図 4.11** にグラフェンと n-SiC コンタクトにおける分布定数回路モデルを示す。この図において主に3つの状態が考えられる。まず ρ_c が極めて大きい場合、電流はコンタクト部分全体を通じて均一に流れる。一方で、 ρ_c が小さい状態で R_S (SiCのシート抵抗) が十分に小さい場合、電流は主に n-SiC 層を、 R_G (グラフェンのシート抵抗) が十分に小さい場合、電流は主にグラフェン層を流れる。

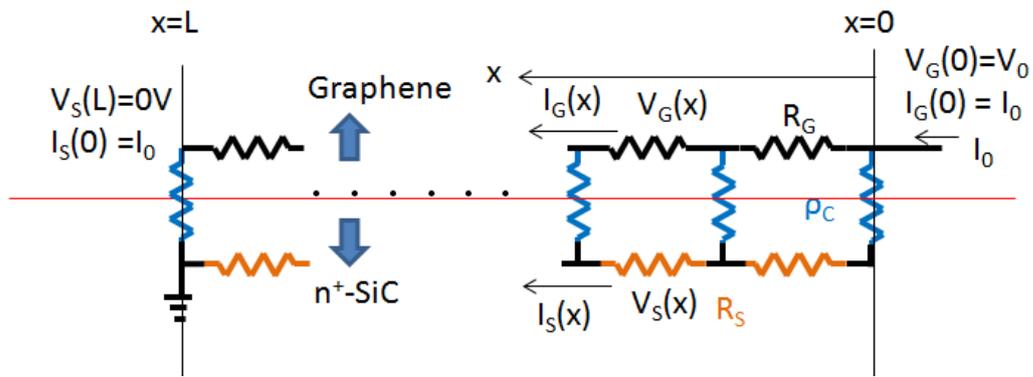


図 4.11 グラフェン/n-SiC コンタクトにおける分布定数回路モデル。

図 4.11 においてコンタクト領域の長さを L 、コンタクト領域の幅 W とすると以下の微分方程式が得られる。

$$dV_G(x) = -\frac{R_G}{W} * I_G(x) dx \dots \dots \dots (4.3)$$

$$dV_S(x) = -\frac{R_S}{W} * I_S(x) dx \dots \dots \dots (4.4)$$

$$dI_G(x) = \frac{W}{\rho_c} * [V_S(x) - V_G(x)] dx \dots \dots \dots (4.5)$$

$$dI_S(x) = \frac{W}{\rho_c} * [V_G(x) - V_S(x)] dx \dots \dots \dots (4.6)$$

これらの式をもとに、コンタクト部分における電位分布を計算した。

計算結果

以上の議論による計算結果を以下の図 4.12 に示す。実際の測定条件においては、グラフェンのシート抵抗が不確か(1~2k Ω 程度)なので、それをカバーするために、グラフェンのシート抵抗をそれぞれ(a)400 Ω /sq、(b)800 Ω /sq、(c)1500 Ω /sq、(d)3000 Ω /sq と定義した場合のグラフェンの電位 V_G と SiC の電位 V_S を示している。なお、今回の計算ではコンタクト幅 $W=2\mu\text{m}$ 、コンタクト長さを $10\mu\text{m}$ 、 $V_0=1\text{V}$ としている。まず、図 4.12 のグラフに共通してみられる特徴はグラフェン層の電位 V_G 、SiC 層の電位 V_S がともにコンタクト領域において大きく変化している事が分かる。これは一般的な伝送線路モデル(TLM)において、金属のシート抵抗を極めて低い値とし、いかなる位置でも一定の電位と仮定している場合と異なる。個別に見ると、グラフェンのシート抵抗が 400 Ω /sq、つまり SiC のシート抵抗 800 Ω /sq よりも小さい場合の電圧の変化を示した図が (a) であり、これを見ると、 V_G の変化量よりも V_S の変化量の方が大きい事が分かる。(b)では、グラフェンのシート抵抗が SiC のシート抵抗と等しいため、左右対称なグラフになっている。また、(c)、(d)とグラフェンのシート抵抗が大きくなっていくにつれてコンタクトの中央部での電位差が小さくなっている事が観察できる。

この計算結果において、 V_G の平均値と V_S の平均の差をコンタクト部分に流れる全電流値で割ったものが、グラフェン/n-SiC コンタクトにおける真のコンタクト抵抗 R_c を与える。一方で、先述したように V_S に関しては、全ての領域の平均値が、測定値に織り込まれるのに対し、 V_G に対しては電圧検出領域がコンタクト部分全域をカバーしていないために電圧値の過小評価を生んでしまうことがわかる。そこで実際どの程度過小評価されるかについての検討を行った。

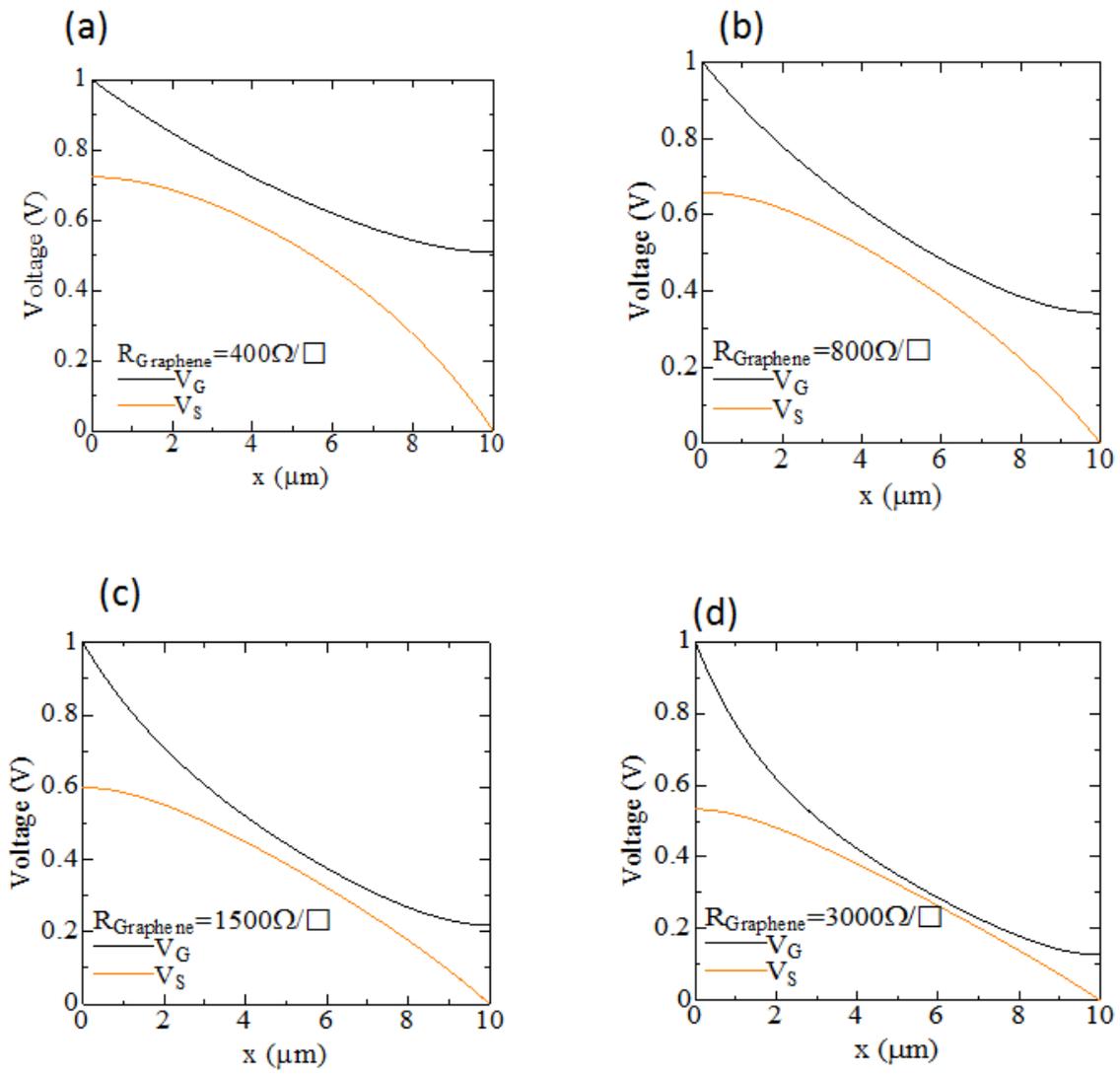


図 4.12 コンタクト部分のグラフェン層、SiC 層の電位分布の計算結果
 (a) $R_G=400 \Omega$ (b) $R_G=800 \Omega$ (c) $R_G=1500 \Omega$ (d) $R_G=3000 \Omega$

電圧検出領域が異なることに起因する測定誤差の見積

SiC の下地層のマージンを無視し、以下の図 4.13 で示されるモデルについて計算を行った。このモデルについてグラフェン層のマージンを δ とし、 δ が大きくなるにつれ電圧検出エリアのミスマッチは大きくなる。

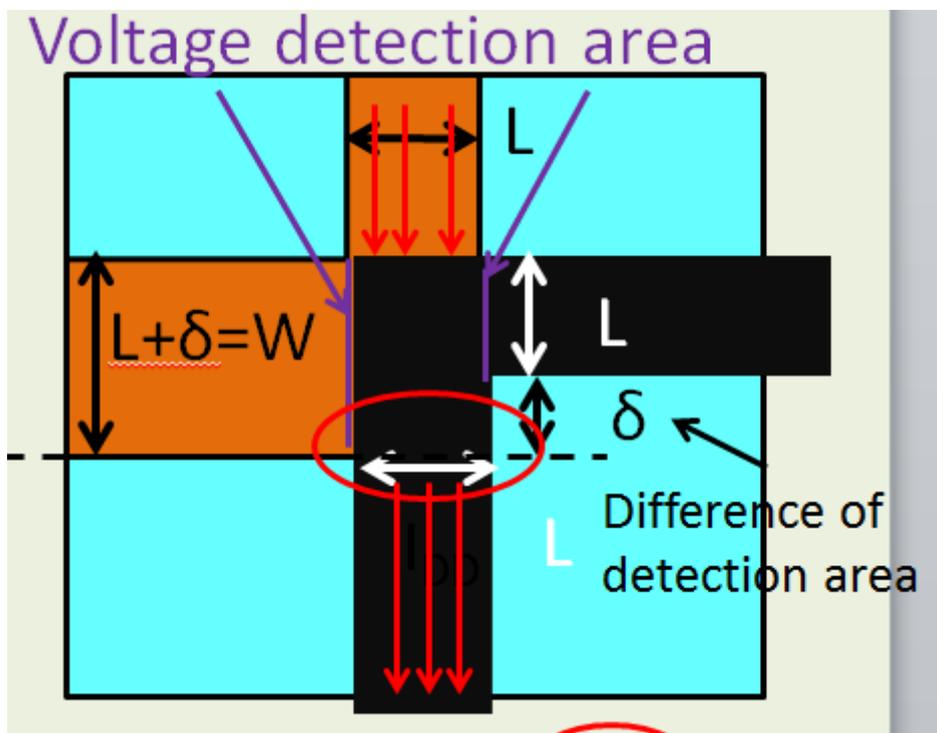


図 4.13 電圧検出領域が異なることによって生じるコンタクト抵抗の過小評価分を分析するため、簡略化したモデル

このモデルにおいて、 $\rho_c = 1 \times 10^{-4} \Omega \text{cm}^2$ 、 $L = \delta = 2 \mu \text{m}$ 、 $W = 4 \mu \text{m}$ として計算した結果が図 4.14 における赤線である。青線は ρ_c の値そのものが求まるのに対し、赤線では仮定するグラフェンのシート抵抗 R_G の増大に伴い、 ρ_c を過小評価していく傾向にある。本研究で得られたグラフェンのシート抵抗の値は $500 \sim 2000 \Omega/\square$ であったため、このケースにおいては最大で ρ_c を 40% 過小評価する可能性が考えられる。

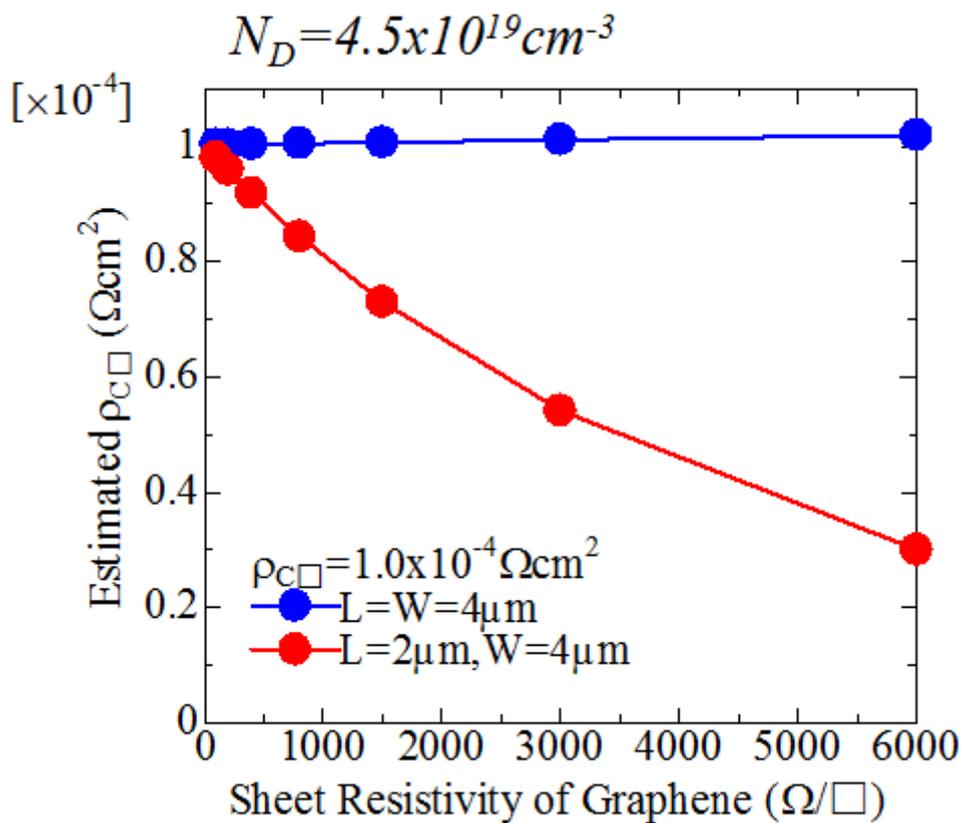


図 4.14 R_G の値と、見積もられるコンタクト抵抗率 ρ_C 値の関係(青線は実際のコンタクト抵抗値、赤線は測定により得られるコンタクト抵抗値)

まとめ

以上の議論を踏まえると、グラフェン/n-SiC コンタクトは下地の SiC 層の-margin が与える影響よりも、グラフェン層における電圧検出領域が、実際のコンタクト部分と異なることによる影響の方が大きいことがわかる。コンタクト抵抗の過小評価の可能性を考慮に入れると、本 CBK 素子においては、 $\rho_c = 1 \times 10^{-4} \Omega\text{cm}^2$ 程度の値が測定下限であると考えられる。

4.4 試作したデバイス構造(第2次試作)

第1次段階における試作の結果を踏まえ、FET特性とグラフェン/n-SiCコンタクト特性を切り分けて考察を行うため、以下図4.15に示す3種類のデバイス構造を作製した。まず(a)のGFET構造によりグラフェンチャネルの特性を評価し、(b)のn-SiC-S/D-GFETによって両極性動作抑制効果の発現を意図した。さらにコンタクト部分のゲート変調を切り分けて評価するため(c)にメストップゲート構造を付加したCBK素子(TG-CBK素子)を作製した。なお、基板はオフ角ゼロの半絶縁性4H-SiC(0001)基板を用いた。

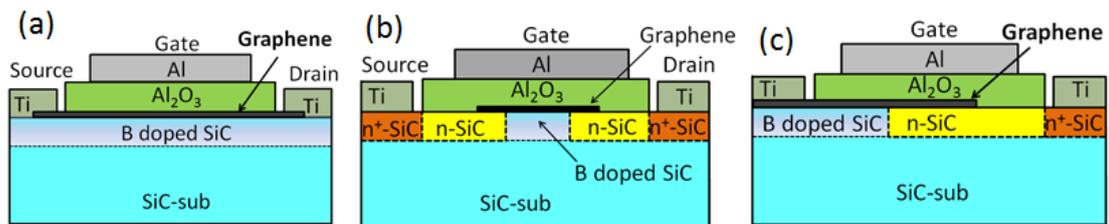


図 4.15 第2次段階において試作したデバイス構造
(a)GFET 構造 (b)n-SiC-S/D-GFET 構造 (c)トップゲート付き CBK 素子

4.5 デバイスの評価と考察

本節においては実際に作製したデバイスについて、その特性の評価と考察を行う。

4.5.1. デバイス作製条件

第 2 章に示したプロセスによりデバイスを作製。詳細なデバイス作製条件は表 4.2 のようになる。ここで、n-SiC-S/D-GFET、TG-CBK 素子についてはドーピング濃度の高い($4.5 \times 10^{19} \text{cm}^{-3}$)もの、ドーピング濃度の低い($4.5 \times 10^{18} \text{cm}^{-3}$)もの、計 2 種類ずつデバイスの作製を行った。

表 4.2 第 2 次段階における試作にて作製したデバイスの作製条件

デバイス名	GFET	n-SiC-S/D -GFET1	n-SiC-S/D -GFET2	TG-CBK 素子 1	TG-CBK 素子 2
デバイスの種類	GFET	n-SiC-S/D-GFET		TG-CBK 素子	
ゲート絶縁膜堆積条件	前駆体 TEA, O ₂ の同時供給による MOCVD 法 堆積温度：330°C 堆積時圧力：1Torr				
ゲート絶縁膜厚(nm)	35nm				
グラフェン形成チャンバー	SR1800				
グラフェン形成条件	1500°C, 30min, 1×10^{-3} Pa				
見積もられるグラフェン層数(ML)	2~4ML 程度				
n-SiC 領域のドーピング濃度(cm^{-3})	金属 S/D	4.5×10^{19}	4.5×10^{18}	4.5×10^{19}	4.5×10^{18}

4.5.2. GFET の伝達特性

得られた GFET の伝達特性を図 4.16 に示す。第 1 次試作と同様に両極性動作を示している。チャネル移動度もピーク値で $100\text{cm}^2/\text{Vs}$ 程度であり、第 1 次試作と同等の値であった。ヒステリシスについても、第 1 次試作と同様にゲート絶縁膜中における荷電不純物の存在を示唆する方向へのヒステリシスが確認された。

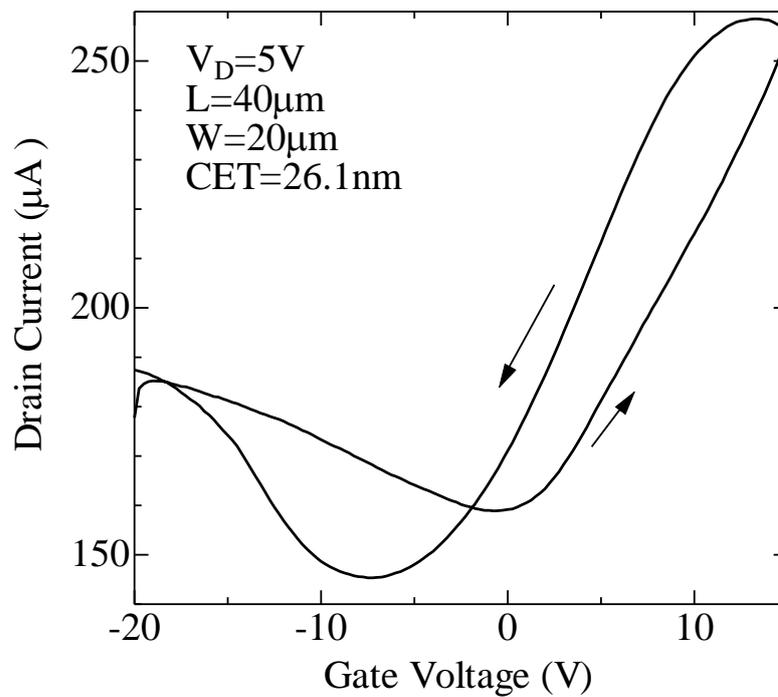


図 4.16 GFET の伝達特性

4.5.3. n-SiC-S/D-GFET の伝達特性

次に、n-SiC-S/C-GFET の測定結果を以下、図 4.17 に示す。ソース/ドレインのドーピング濃度を高くした素子(a)においては、通常の GFET と同様の両極性動作を示した。一方で、ソース/ドレイン領域のドーピング濃度を低くした素子(b)においてはかなりゲート電圧を負に印加しても、p 型伝導は確認できなかった。このことから第 2 次試作においても、第 1 次試作と同様の両極性動作の抑制効果が得られていると考えられる。一方で、(b)においてもオン/オフ比は未だ低く、両極性動作の抑制効果は非常わずかなものであると言える。

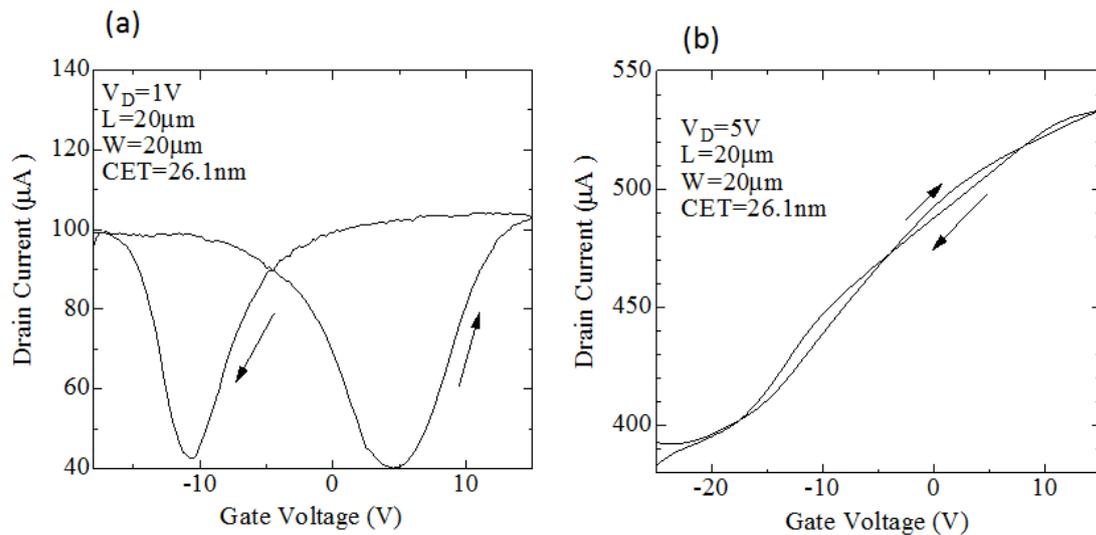


図 4.17 得られた n-SiC-S/D-GFET の伝達特性 (a)n-SiC のドーピング濃度を高く ($4.5 \times 10^{19} \text{cm}^{-3}$)した素子 (b)n-SiC のドーピング濃度を低く ($4.5 \times 10^{18} \text{cm}^{-3}$)した素子

4.5.4. TG-CBK 素子によるコンタクト特性の評価

グラフェン/n-SiC コンタクトにおいて、両極性動作抑制効果に最も有効と考えられる、逆バイアスにおけるコンタクト抵抗のゲート電圧依存性について、TG-CBK 素子により評価を行った。

図 4.18 にグラフェン/n-SiC 接合に一定の逆バイアス電流を流すことで、CBK 素子により測定したコンタクト抵抗率のゲート電圧依存性を示す。まず、(a)の高濃度の n-SiC を用いた素子において両極性動作のようなコンタクト抵抗率の変調が確認できる。このことは実際にコンタクト抵抗率に変調しているのではなく、4.3 節で述べたように、グラフェン層における電圧検出領域と n-SiC の電圧検出領域のミスマッチと、ゲート絶縁膜によるグラフェンのシート抵抗の変調により、電流パスが変化しているためであると考えられる。(a)においてはトランジスタが最小ドレイン電流値を示すゲート電圧付近で、見積もられるコンタクト抵抗値も最小となっていることがその証拠といえる。この場合、グラフェンのシート抵抗が最も低下した場合にコンタクト抵抗率は実際の値に近くなるため、実際のコンタクト抵抗率は $1.5 \times 10^{-4} \Omega \text{cm}^2$ 以上であると考えられる。

一方(b)に示す低濃度の n-SiC の素子については、コンタクト抵抗は殆ど変調していない。したがって、この結果からゲート電圧によるコンタクト抵抗の変調は、現状で得られている両極性動作の抑制メカニズムではないと考えられる。

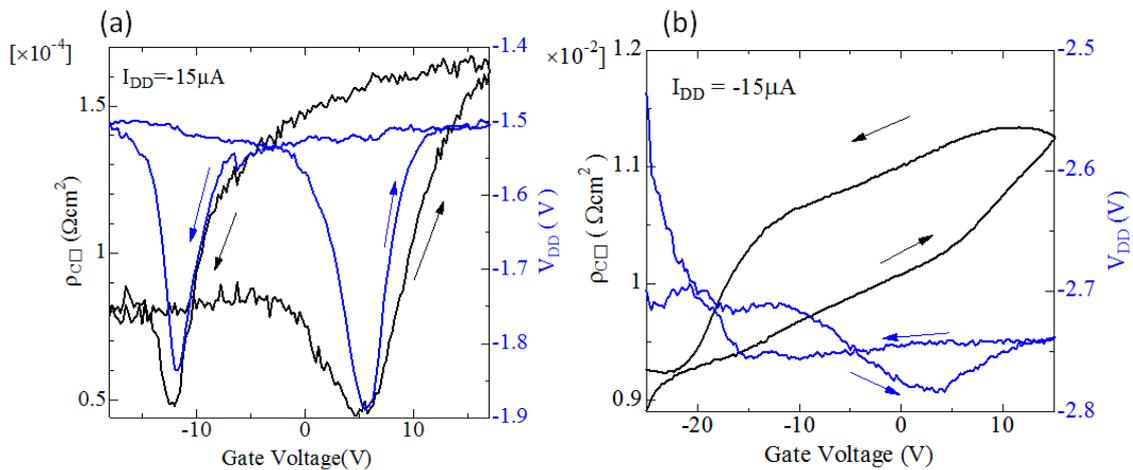


図 4.18 TG-CBK 素子により得られたグラフェン/n-SiC 接合の逆方向電流に対するコンタクト抵抗のゲート電圧依存性 (a)高濃度 n-SiC 素子 (b)低濃度 n-SiC 素子

4.5.5. 第1次、第2次試作 n-SiC-S/D-GFET における両極性動作抑制メカニズム

第1次、第2次段階におけるデバイスの試作結果では、グラフェンチャネルを薄く、ソースドレイン領域のドーピング濃度を低く ($4.5 \times 10^{18} \text{cm}^{-3}$) した n-SiC-S/D-GFET にて、弱い両極性動作の抑制効果が確認された。一方で、第2次段階にて作製した TG-CBK 素子の分析結果によれば、当初予想していたような n-SiC のショットバリアの変調によるコンタクト抵抗率の変調が、弱い両極性動作の抑制効果の主たる原因ではないことが明らかになった。

そこで、コンタクト特性の変調による両極性動作抑制に代わるメカニズムとして、一つのモデルを考案した。両極性動作の抑制効果が見られた素子においては n-SiC のドーピング濃度が薄く、比較的大きなドレイン電圧が印加されていることに注目した。それにより考えられるメカニズムとしては、**図 4.19** に示すようにドレイン電圧の印加によりドレイン側に空乏層が広がり、これが実効的なボトムゲートとして効いてくることにより、ドレイン側のグラフェンチャネル中に電子が誘起される。これにより、グラフェンチャネル内で pn 接合のような状態が生じることにより、弱い両極性動作の抑制効果が働いていると考える。

このモデルであれば、コンタクト抵抗に変調が見られないことや、トランジスタのオン/オフ比が低いままであること、さらに高濃度素子においては同様の現象が見られないことについても説明がつく。一方で、本来期待したようなショットキー障壁高さの変調メカニズムが上手く働かないことは問題であり、本質的な解決策を必要とする。

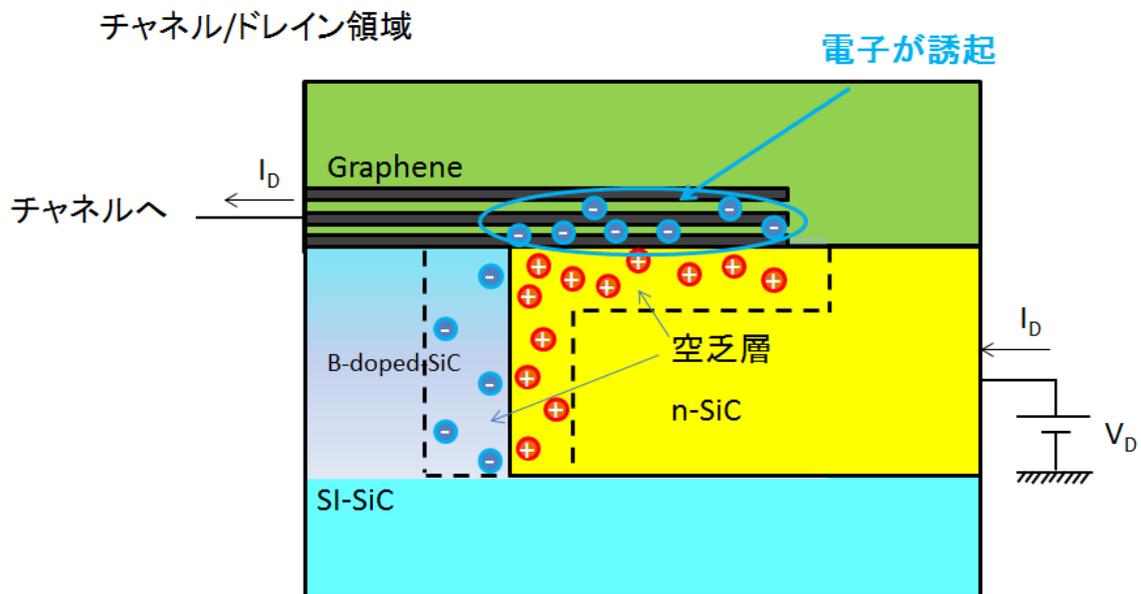


図 4.19 両極性動作の弱い抑制効果のメカニズム(仮説)

4.5.6. 本節のまとめ

- 第2次段階におけるデバイス作製においても、第1次段階同様の両極性動作の弱い抑制効果を確認した。しかしながら、グラフェンのチャネル特性と、グラフェン/n-SiCコンタクト特性を切り分けて検討した結果、コンタクト特性のゲート変調は両極性動作の弱い抑制効果の主たる要因ではなかったと結論付けられた。
- 弱い両極性動作の抑制効果の要因として、ドレイン側の空乏層がボトムゲートとして働いているというモデルが考えられる。
- 高濃度 n-SiC とグラフェンのコンタクトにおいては $1.5 \times 10^4 \Omega \text{cm}^2$ 程度のコンタクト抵抗率という値を得た。
- 本来のメカニズムであるショットキー障壁高さのゲート変調を実現するには、本質的な見直しが必要である。

4.6 両極性動作抑制効果を妨げるメカニズム

以上の議論を踏まえ、両極性動作の抑制効果を妨げるメカニズムについて整理し、3つの項目にまとめ、図 4.20 に模式図を示した。以下、各項目について述べる。

①ゲート絶縁膜/グラフェン界面のトラップについて

ゲート絶縁膜/グラフェン界面が十分な品質が実現できていない場合、グラフェンチャンネル中のキャリアを十分に変調することができず、結果として両極性動作の抑制効果の妨げとなる。一方で、これまでの検討においては、GFET は荷電不純物由来と思われるヒステリシス特性を示すものの、明瞭な両極性動作を示しており、FET に用いるには最低限の品質は満たしていると考えられる。

②グラフェン層数によるスクリーニングについて

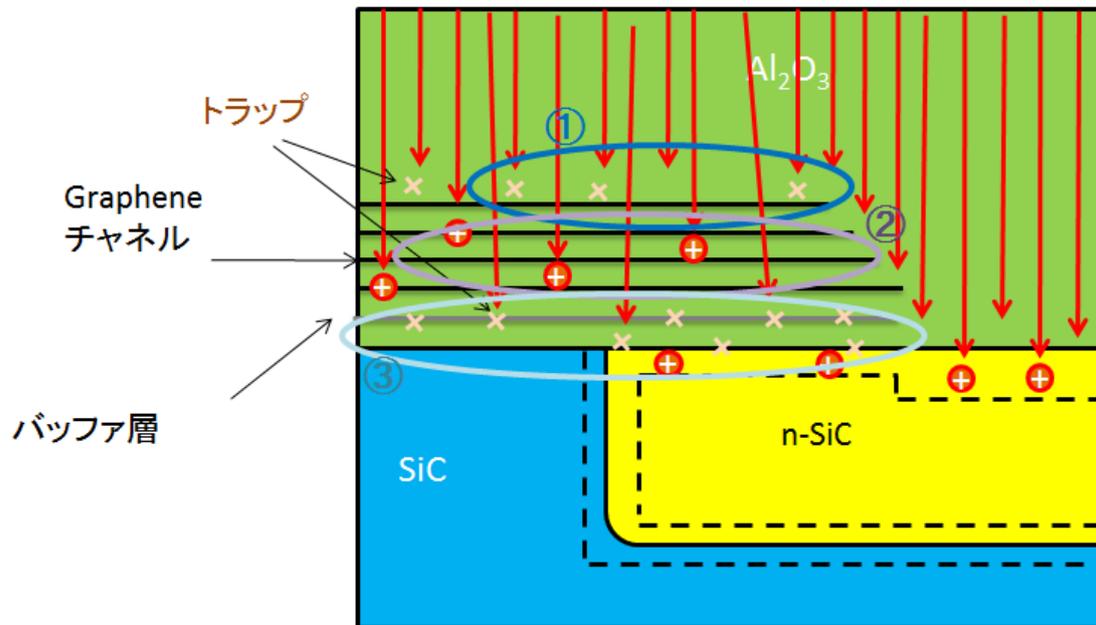
4.2.4 項で述べたように、厚いグラフェンの存在によりゲートからの電界効果が遮蔽されるメカニズム。グラフェンの層数のある程度の低減に成功しており、影響は少ないと考えられる。

③グラフェン/n-SiC 界面のトラップについて

グラフェン/n-SiC 界面において多量のトラップが存在していた場合、電界効果がトラップにより終端される可能性が考えられる。当初、グラフェン/SiC の界面はエピタキシャル成長という成長メカニズムの為、良好であろうと考えていた。しかしながら、近年バッファ層の存在により電界効果が遮蔽され、フェルミレベルピンニングのような現象が[50]確認されており、バッファ層がトランジスタ特性に与える影響については調査が必要である。

以上のように、特にグラフェン/n-SiC 界面特性に問題があるのではと考えられる。

ゲート電界



- ①ゲート絶縁膜/グラフェン界面のトラップ
- ②グラフェン層におけるスクリーニング
- ③グラフェン/n-SiC界面のトラップ

図 4.20 両極性動作の抑制効果を妨げるメカニズムについての模式図

4.7 第4章のまとめ

- GFET および n-SiC-S/D-GFET の試作を行い、動作メカニズムについて考察を行った。
- ドーピング濃度を薄く、グラフェン層数を薄くした素子においてわずかな両極性動作の抑制効果を確認した。
- コンタクト特性と GFET 特性を切り分けて評価した所、両極性動作の抑制効果の主たる原因はコンタクト抵抗変動ではなかった。
- 弱い両極性動作の抑制効果の原因として、ドレイン-チャンネル間の空乏層がボトムゲートとして働いている可能性が考えられる。
- 両極性動作抑制効果を妨げるメカニズムとして、1. 絶縁膜/グラフェン界面のトラップ、2.グラフェン層による電界スクリーニング、3.グラフェン/n-SiC 界面のトラップの3つが考えられる。
- そのうち、特にグラフェン/n-SiC 界面が重要であると考えられ、界面に存在するバッファ層の影響が大きいと結論付けた。

第5章 界面制御したグラフェンをチャンネルに用いることによるグラ フェンチャンネル FET の高性能化

前章までの取り組みにおいて、n-SiC-S/D-GFET の両極性動作抑制を妨げるメカニズムとして、グラフェン/n-SiC 界面に存在するトラップが特に有力なのではないかということが明らかになった。本章では、まず、グラフェン/n-SiC 界面について検討を行い、n-SiC-S/D-GFET における明瞭な単極性動作と高オン/オフ比化の実現を目指した。

なお、本章における検討にはすべて半絶縁性の SiC 基板を用いた。

5.1 水素アニール処理による界面層除去プロセスの検討

SiC(0001)面上に形成されるグラフェン層と SiC 基板との界面にはバッファ層と呼ばれる界面遷移層が存在することが知られている[42,43]。また、それらは水素アニール処理により、グラフェン層に改質可能であることが知られている[44]。

図 5.1 にバッファ層のグラフェン化の様子を示した模式図を示す。本節ではバッファ層上に成長した平均的に 1ML 程度のグラフェン層の形成が期待されるサンプルの水素アニール処理により、バッファ層をグラフェン化し、平均的に 2ML 程度のグラフェンを実現することをめざした。図 5.1 (a)に示されるように、バッファ層は SiC 基板と部分的に共有結合した構造となっている。さらにダングリングボンドも SiC 基板表面に存在していることがわかる。バッファ層自体は半導体的な電気的特性を示すが、このようなダングリングボンドの存在が、ピンニングのような現象を引き起こしている可能性は高い。水素アニール処理を施すことにより(b)に示すようなダングリングボンドのパッシベーションと、バッファ層-基板間結合の切断が生じ、バッファ層はグラフェン化する。

このように、本節では、水素アニール処理によるバッファ層のグラフェン化とダングリングボンドのパッシベーションによりグラフェン/SiC 界面の改質化を目指す。

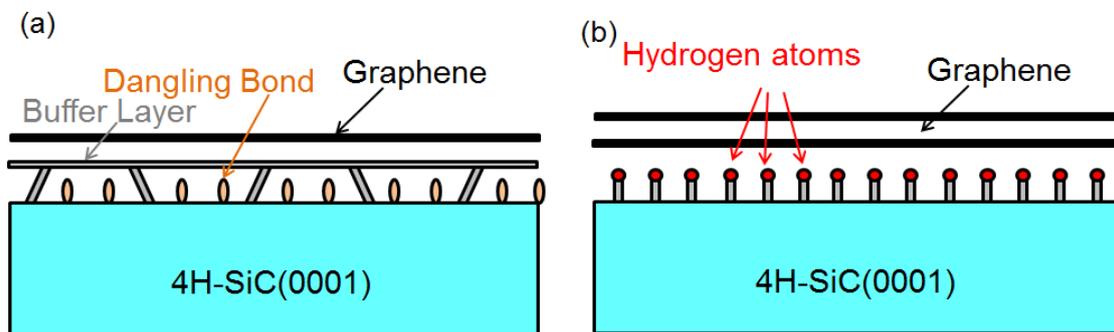


図 5.1 水素アニール処理によるバッファ層の除去の様子を示した模式図
(a)バッファ層上の 1ML グラフェン (b)水素アニール処理を施したグラフェン層

5.1.1. ラマン分光法による評価

1500°C、30min アニール処理(真空度 5×10^{-4} Pa)により、バッファ層上に 1ML 程度のグラフェン層を形成した 2 つのサンプルについて、一方を as-grown のまま測定、もう一方を 1atm 水素雰囲気中で 1000°C、120min 間アニールを行った後に測定し、図 5.2 に示すラマンスペクトルを得た。

まず、水素アニール処理を施していない as-grown のサンプルは図中の黒線で示されるスペクトルを示した。このスペクトルにおいて、欠陥由来の D ピークは小さく、比較的高品質のグラフェンが形成されていると考えられる。一方で、2D の半値全幅(FWHM)は 50cm^{-1} 程度の値であり、このサンプルにおいてはバッファ層上に 1ML のグラフェンが支配的なモフォロジーで成長していると考えられる。

同等の膜厚を持つサンプルについて、1000°C、120min の水素アニール処理を施したサンプルより得られたラマンスペクトルは青線で示されるようになる。ここにおいてグラフェン由来の G バンドピークおよび、2D バンドピークの増大が見られ、さらに 2D バンドの FWHM が 64cm^{-1} 程度と増大していることから、バッファ層のグラフェン化が示唆される。さらに as-grown のスペクトルでは見られていた 1500cm^{-1} 付近のバッファ層由来のピークが水素アニール処理より消失しており、バッファ層の改質を示唆している。一方で欠陥由来の D バンドピークは依然として小さく、水素アニール処理によるグラフェン層の劣化は生じていないと考えられる。

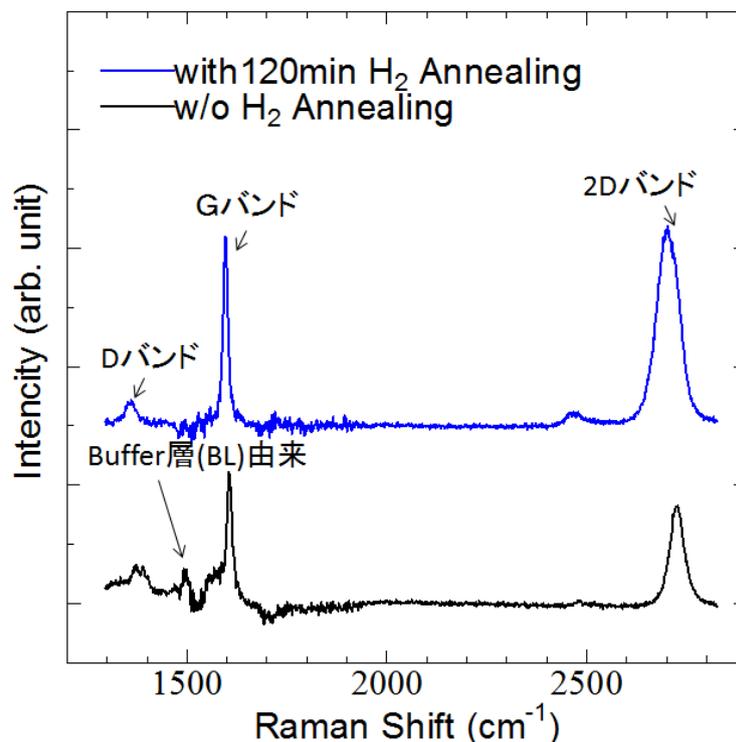


図 5.2 得られたラマンスペクトル(黒線：バッファ層上 1ML 程度のグラフェンを形成したサンプルのラマンスペクトル。青線：同条件でグラフェン形成処理を行い BL 上に 1ML 程度のグラフェンを成長させ、1000°C120min の水素アニール処理を施したサンプルのラマンスペクトル。)

5.1.2. XPS の C1s スペクトルによる評価断面

バッファ層の改質に関する化学的情報を得るため、1500°C30min アニール(真空度 5×10^{-4} Pa)より形成したグラフェンについて、水素アニール前後による XPS の C1s スペクトルの変化を評価した。

図 5.3 は得られた C1s スペクトルを示している。(a)に示される水素アニール前のスペクトルにおいては、第 3 章にて述べたスペクトルと同様のスペクトルを示している。バッファ層由来の S1、S2 ピークが確認でき、その上に 1ML のグラフェンが形成されていると考えられる。一方で、(b)に示される水素アニール後のスペクトルについては、バッファ層由来のピークが消失しており、見積もられる層数が 2ML に増大していることがわかる。これはバッファ層がグラフェン層に改質したことを意味している。また、グラフェン由来ピークの結合エネルギー、および SiC の結合エネルギーが低エネルギー側にシフトしている。この理由としては、バッファ層の消失により、基板表面の相対的なフェルミ準位が低下したためと考えられる。実際に角度分解光電子分光法(ARPES)による報告例ではバッファ層上のグラフェンは n 型にドーピングされており、バッファ層を除去することによって、若干の p 型にシフト、すなわち相対的なフェルミ準位の低下することが報告されている[44]。

以上のように、本項においては XPS の C1s スペクトルにより、バッファ層のグラフェン化に関する化学的裏付けを得た。

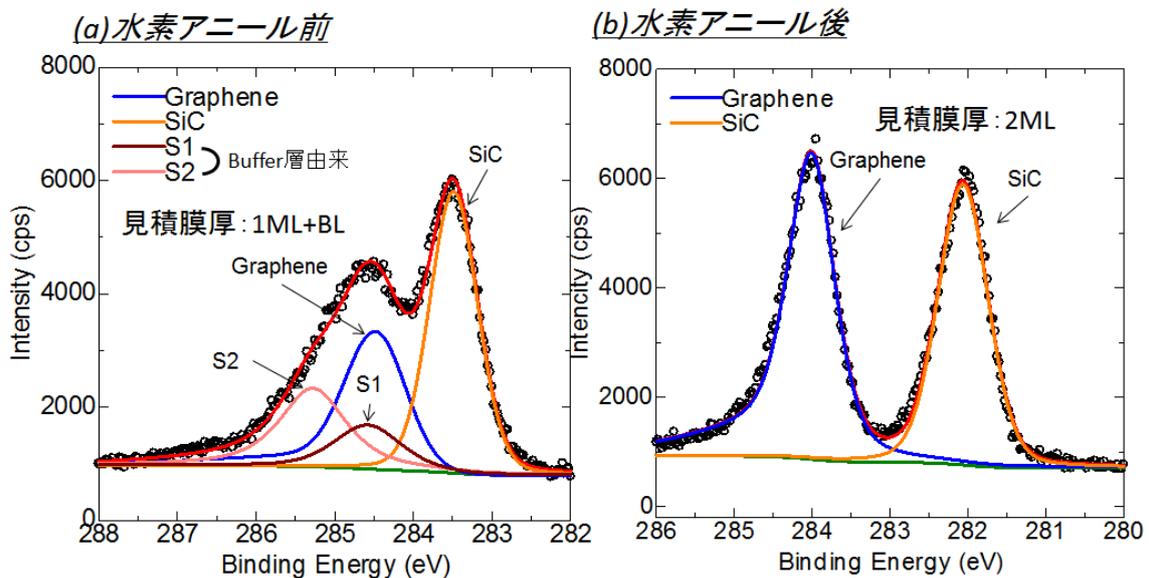


図 5.3 水素アニール前後での C1s スペクトルの比較(検出角 60°C)

(a)水素アニール前 (b)水素アニール後

5.1.3. TEM 像について

断面 TEM 像については 3 章における図 3.9(b)で示した像が得られた。バッファ層の有無を確認するための手法として TEM 像のコントラストの比較はあまり明快な方法とは言い難いが、ラマンスペクトルや C1s スペクトルの裏付けの下、(a)における薄いコントラストで示されるグラフェン層が、水素アニール処理により(b)で示されるようなやや濃いコントラストを有するグラフェン層へ変化していることを確認できる。

また、断面 TEM 像によりバッファ層の無い均一な 2ML グラフェンが成長していることを確認できた。

5.1.4. 本節のまとめ

水素アニール処理より、バッファ層のグラフェン層への改質を試みた。結果、ラマンスペクトルや C1s スペクトルによりバッファ層の改質を確認した。また断面 TEM 像において、バッファ層の無い 2ML グラフェンが均一に形成されていることを確認した。

5.2 デバイス特性の評価

本節では界面制御したグラフェンを用いてデバイスを作製し、評価を行った。

5.2.1. 作製したデバイス構造

作製したデバイス構造を以下の図 5.4 に示す。基本的なデバイス構造は第 4 章における第 2 段階における試作と同じであり、同じマスクパターンにより形成された。GFET 構造により、グラフェンチャネルの特性評価、n-SiC-S/D-GFET 構造において高オン/オフ比と単極性動作の実現、TG-CBK 素子によりコンタクト特性のゲート変調効果の評価を行った。

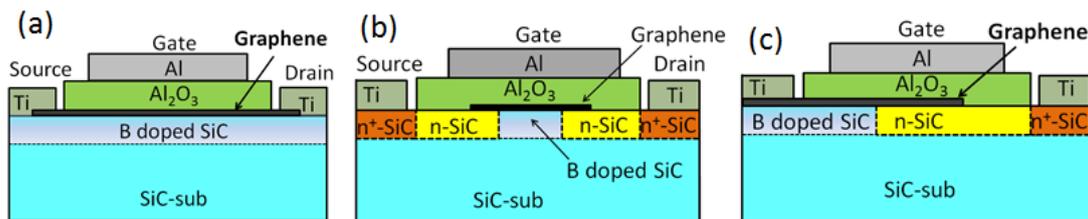


図 5.4 作製したデバイス構造

(a)GFET 構造 (b)n-SiC-S/D-GFET 構造 (c)トップゲート付き CBK 素子(TG-CBK 素子)

デバイスの作製条件については表 5.1 に示されるとおりである。水素アニールを行ってバッファ層を除去したサンプルと除去していないサンプルを作製した。また、n-SiC のソース/ドレイン領域については濃度を高く($4.5 \times 10^{19} \text{cm}^{-3}$)したサンプル、低くしたサンプル($4.5 \times 10^{18} \text{cm}^{-3}$)の 2 種類を作製した。

表 5.1 デバイス作製条件

デバイス名	GFET	n-SiC-S/D-GFET	TG-CBK 素子
ゲート絶縁膜堆積条件	前駆体 TEA, O ₂ の同時供給による MOCVD 法 堆積温度：330°C 堆積時圧力：1Torr		
ゲート絶縁膜厚(nm)	37nm		
グラフェン形成チャンバー	SR1800		
グラフェン形成条件	1500°C, 30min, 1×10^{-3} Pa		
水素アニール条件	水素アニール無し または 1000°C, 1atm, 120min アニール		
見積もられるグラフェン層数(ML)	0~2ML + BL または 1~3ML		
n-SiC 領域のドーピング濃度(cm^{-3})	金属 S/D	4.5×10^{19} または 4.5×10^{18}	

5.3 トランジスタ特性の評価

5.3.1. GFET の特性評価

まず、得られた GFET の伝達特性について述べる。図 5.5 に得られた GFET の伝達特性を示す。まず、水素アニール行っていないサンプル、行っているサンプル双方において、オン/オフ比は

表 5.2 に示されるように双方ともに 2 程度と低い。一方で電界効果移動度では、水素アニール処理を行った素子で $477\text{cm}^2/\text{Vs}$ と大幅に大きな値が示されていることがわかる。また、極性については、水素アニール処理無しのサンプルにおいてはディラック点が負側の領域に存在し、やや n 型に寄ったデバイス特性を示している。

GFET の評価により、GFET におけるチャネル移動度の水素アニール処理による大幅な改善が観察された。このことはバッファ層の無いグラフェンにおいて高い移動度が得られるという報告例と矛盾しない[51]。また、電流最小値を示すディラック点の位置も中性付近シフトしており、グラフェンチャネルの伝導形が n 型から中性に近くなっており、XPS による測定結果や ARPES の報告例[44]と一致している。

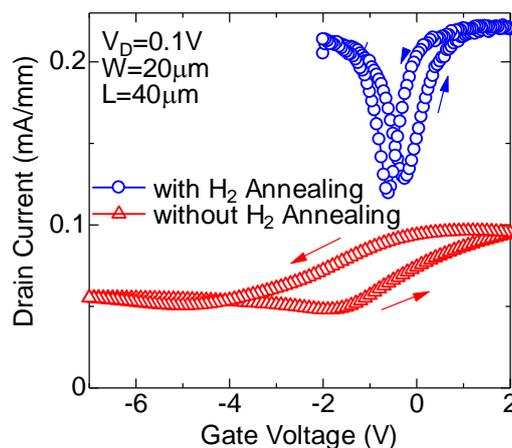


図 5.5 得られた GFET 伝達特性

表 5.2 GFET のオン/オフ比と移動度のまとめ

	電界効果移動度 (cm^2/Vs)	オン/オフ比
w/o H_2	48	2.0
With H_2	477	1.9

5.3.2. 低濃度 n-SiC-S/D-GFET のデバイス特性

伝達特性

得られた n-SiC-S/D-GFET 構造の伝達特性を図 5.6 に示す。まず、水素アニール処理を施していないサンプルについてはやや n 型の両極性動作を示している。一方で水素アニール処理を施したサンプルは明瞭な単極性動作を示している。ドレイン電流をログスケールでプロットしたのを見ると水素アニール処理を施した素子において、大幅に高いオン/オフ比を示していることが確認できる。値としては、表 5.3 に示すように、オン/オフ比が水素アニール無しのサンプルでは 2.5 であるのに対し、水素アニール有のサンプルでは 2.7×10^3 というグラフェントランジスタとしては非常に高い値を得た。また、電界効果移動度に関して、水素アニール処理を施したサンプルでは大きく、グラフェン層のバッファ層除去による移動度向上の影響も見られていると考えられる。

このように、バッファ層が除去された n-SiC-S/D-GFET においてグラフェントランジスタとして非常に高いオン/オフ比が得られている。バッファ層を除去することにより、当初意図したような n-SiC のグラフェン中の電子に対するショットキー障壁高さの変調効果を実現されたと考えられる。

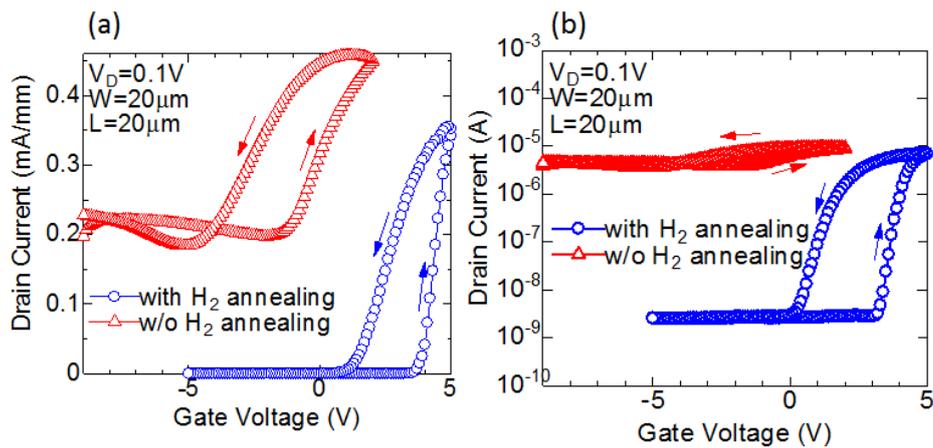


図 5.6 低濃度 n-SiC-S/D-GFET の伝達特性

(a)リニアスケール (b)ログスケール

表 5.3 低濃度 n-SiC-S/D-GFET の電界効果移動度とオン/オフ比

	電界効果移動度 (cm ² /Vs)	オン/オフ比
w/o H ₂	125	2.5
With H ₂	446	2.7×10^3

出力特性について

次に、低濃度 n-SiC-S/D-GFET の出力特性について述べる。図 5.7(a)に示されるように、水素アニール処理を施していないサンプルについては、電流変調幅が小さくオン/オフ比が小さい。一方で(b)の水素アニール処理を施したサンプルについては、オフ電流が抑制されており、オン/オフ比は大きい。デバイスの電流値については、伝達特性の分析からもわかるとおり、水素アニール処理の有無によりトランジスタのしきい値が変化するため、電流値には単純比較はできない。しかしながら、(b)においてはオン状態においてドレイン電流が高ドレイン電圧領域で低下する、もしくはドレイン電流の上昇が停滞する、といった、MISFET における飽和特性のような現象が見られている。一方、オフ状態においては、ドレイン電圧の上昇に伴い、ドレイン電流がわずかながら減少し、オン/オフ比が低下している。

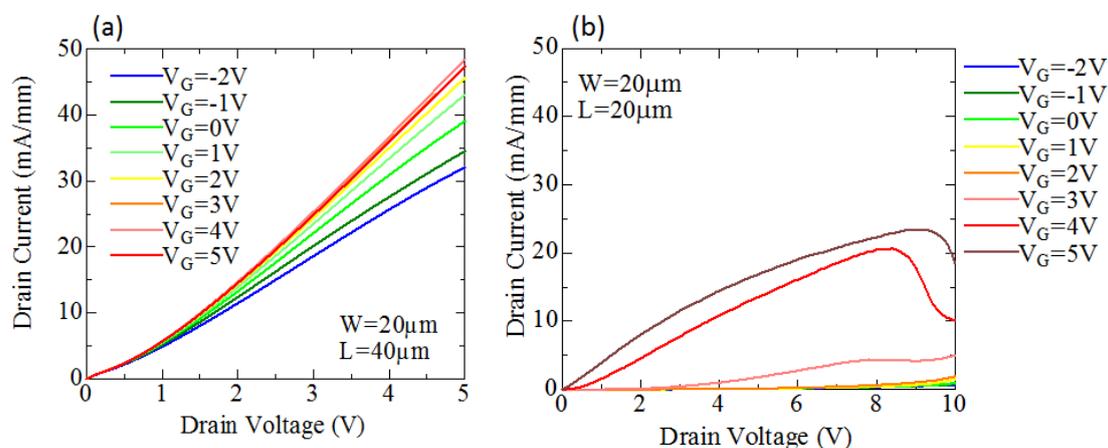


図 5.7 低濃度 n-SiC-S/D-GFET の出力特性

(a)水素アニール処理を施していないサンプル (b)水素アニール処理を行ったサンプル

バッファ層除去低濃度 n-SiC-S/D-GFET オン/オフ比のバラツキ

バッファ層を除去した n-SiC-S/D-GFET については、様々オン/オフ比を有するサンプルを得ている。図 5.8 や表 5.4 に示されるように、得られた FET のオン/オフ比の値はばらついている。見積もられる電界効果移動度がバラついていることから、グラフェンチャンネルや、コンタクト部分のバラツキが効いているのではないかと考えられる。一方で、図 5.8 中の a や b の FET のように、ある電流値でオフ電流の低下が止まっている現象がある。したがって、グラフェン/n-SiC コンタクトにおいて、この付近の準位にトラップが存在し、障壁高さの変調を妨げている可能性がある。

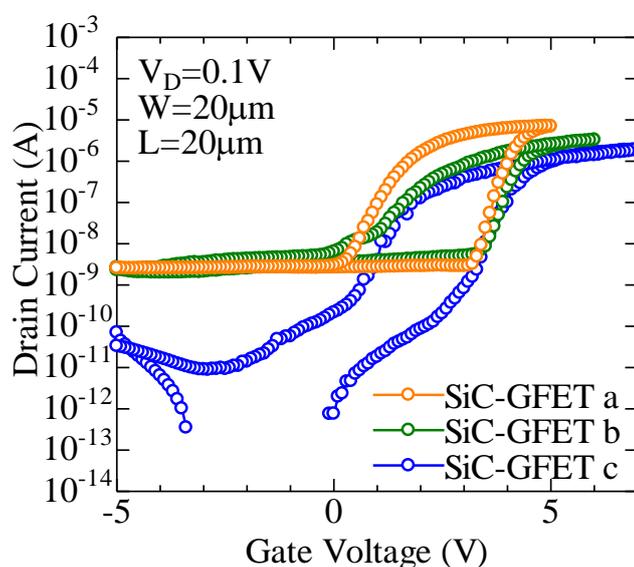


図 5.8 水素アニール処理により高いオン/オフ比を実現した n-SiC-S/D-GFET

表 5.4 n-SiC-S/D-GFET のオン/オフ比と電界効果移動度

	Field effect mobility (cm ² /Vs)	On/off ratio
SiC-GFET a	446	2.7x10 ³
SiC-GFET d	141	1.7x10 ³
SiC-GFET c	57	1.5x10 ⁵

5.3.3. 高濃度 n-SiC-S/D-GFET のデバイス特性

ソースドレインを高濃度 n-SiC($4.5 \times 10^{19} \text{cm}^{-3}$)とした場合の n-SiC-S/D-GFET のデバイス特性について述べる。図 5.9 に低濃度の場合と同様に水素アニール処理を施したサンプルとそうでないサンプルの伝達特性について示す。全体的に水素アニール処理を施したサンプルは単極性動作を示したのに対し、水素アニール処理を施していないサンプルについては、両極性動作を示していることがわかる。水素アニール処理を施したサンプルについてはドレイン電圧が低い領域でオン/オフ比が高く、60 ほどの値を示したが、図中の(a)から(c)にかけて印加するドレイン電圧の増加に伴いオフ電流が増加しており、 $V_D=5\text{V}$ においてはオン/オフ比は 7.3 程度に落ち込んだ。このことは、高いドーピング濃度によりトンネル電流が増加したため、n-SiC のバリアとしての機能が低下したためと考えられる。また、チャンネルの電界効果移動度は、水素アニール処理を施していないサンプルについてはピーク値で $142 \text{cm}^2/\text{Vs}$ であったのに対し、水素アニール処理を施したサンプルではピーク値で $385 \text{cm}^2/\text{Vs}$ と、バッファ層除去によるグラフェン層の移動度の向上を反映して、高い移動度を示している。

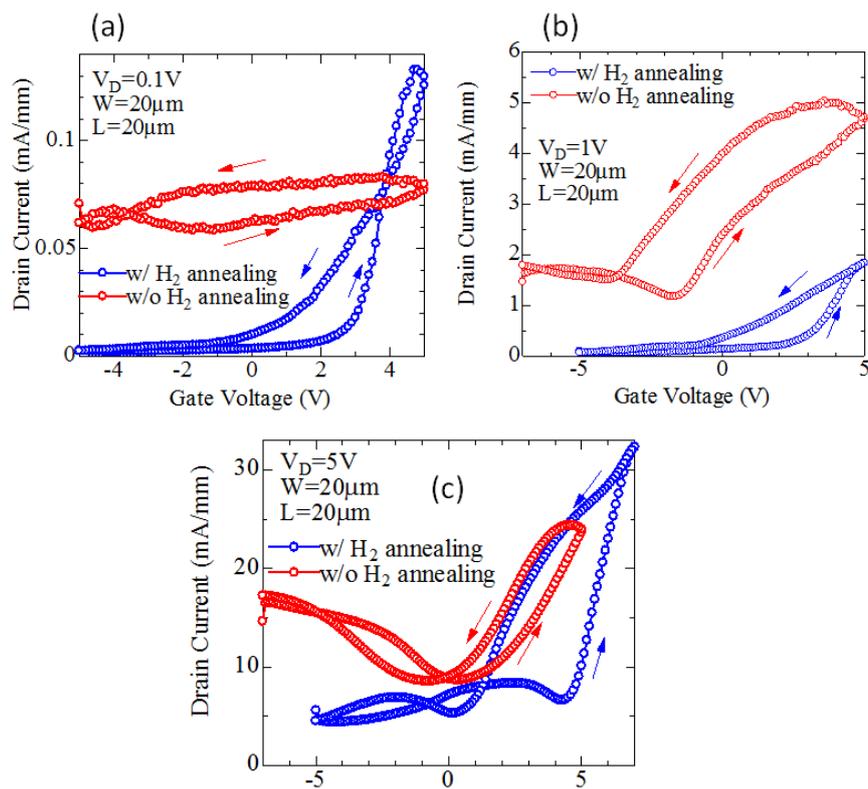


図 5.9 高濃度 n-SiC-S/D-GFET の伝達特性とそのドレイン電圧依存性

(a) $V_D=0.1\text{V}$ (b) $V_D=1\text{V}$ (c) $V_D=5\text{V}$

5.3.4. 本節のまとめ

本節では水素アニール処理によりバッファ層を除去し、界面改質を行ったグラフェンをチャンネルとしたトランジスタ特性の評価を行った。

- GFET 特性については、界面改質を行った素子については行っていない素子と比べ高い移動度を示した。またディラック点も界面改質処理によりゲート電圧負の領域から、0V 付近にシフトしてきている。このことから、界面改質処理によりグラフェン層の移動度が向上し、n 型から中性へ伝導形が変化したと考えられる。
- 低濃度 n-SiC-S/D-GFET においては、界面改質処理を行ったグラフェンをチャンネルとしたトランジスタにおいて、グラフェントランジスタとしては非常に高いオン/オフ比($10^3 \sim 10^5$)を実現した。また、グラフェンチャンネルの移動度向上により、界面改質無しの素子よりも高い移動度が確認された。また、ドレイン電圧の上昇により、オフ電流がわずかに上昇することが確認された。
- 高濃度 n-SiC-S/D-GFET においては、界面改質処理を行ったグラフェンをチャンネルとしたトランジスタにて、60 程度のオン/オフ比を実現した。一方で、ドレイン電圧を高くすると、オフ電流が増加する傾向が強く見られ、5V のドレイン電圧においては、オン/オフ比が 7.3 程度まで低下した。このことは、ドーピング濃度の上昇により、グラフェン/n-SiC コンタクトにおいてトンネル電流等が流れ、n-SiC のバリアとしての機能が低下したために生じていると考えられる。

5.4 CBK 素子によるグラフェン/n-SiC コンタクト特性の評価

本節では CBK 素子によるグラフェン/n-SiC コンタクト特性の評価を行った。

5.4.1. 低濃度 n-SiC におけるグラフェン/n-SiC コンタクト特性について

ダイオード特性の評価

まず、低濃度 n-SiC を用いた TG-CBK 素子について述べる。まず、ダイオード特性について評価を行った。図 5.10(a)に示される、水素アニール処理を行っていない場合のダイオード特性については、ほとんどダイオード特性においてほとんどゲート変調が得られていないことがわかる。一方で図 5.10(b)に示される、水素アニール処理を施した素子においては、ダイオード特性が整流性のある状態から、ほとんど無い状態まで顕著に変調していることが確認できる。

以上より、水素アニール処理によりバッファ層を除去したサンプルにおいて、大きなバリア変調が生じている可能性が示唆された。

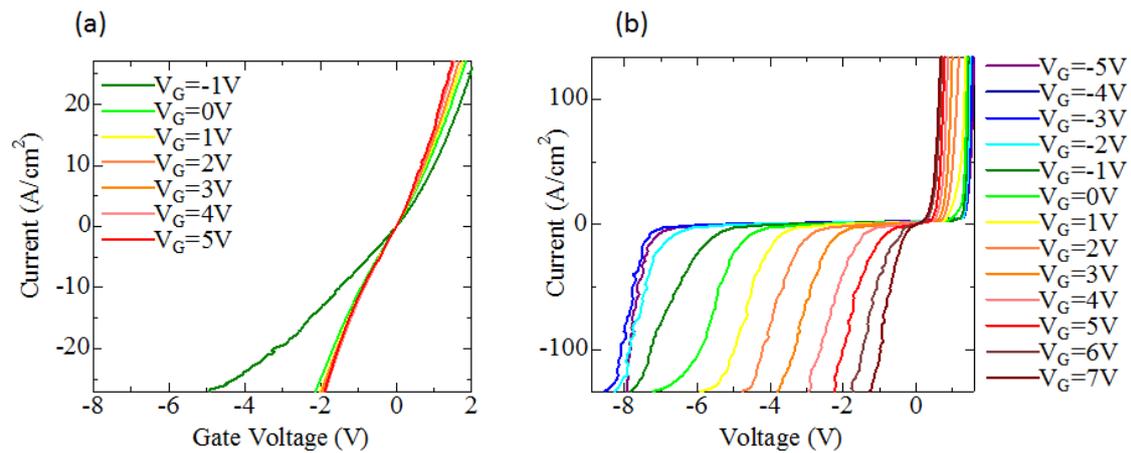


図 5.10 低濃度 n-SiC を用いた TG-CBK 素子により得られたグラフェン/n-SiC ダイオード特性のゲート変調効果 (a)水素アニール処理を行っていないグラフェンを使用した素子 (b)水素アニール処理を行ったグラフェンを使用した素子

逆バイアスダイオード特性とバリアハイトの見積り

次に、ダイオードの逆バイアス特性に注目し、ゲート変調により実際にどの程度バリアハイトが変調されているかの評価を行った。得られたダイオードの逆バイアス特性を図 5.11 に示す。(a)に示される水素アニール処理を行っていない TG-CBK 素子についてはゲート電圧による電流変調効果は殆ど見られなかった。一方で(b)に示す、水素アニール処理を施した TG-CBK 素子においては、顕著な電流変調効果を確認した。この特性において、電流値は、以下の式で示される熱電界放出モデル[52]とよく一致した。

$$J_{TFE} = \frac{A^*T}{k} \sqrt{\pi E_{00}q \left[V_R + \frac{\phi_{Bn}}{\cosh^2\left(\frac{E_{00}}{kT}\right)} \right]} \exp\left(-\frac{q\phi_{Bn}}{E_0}\right) \exp\left(\frac{qV_R}{\varepsilon'}\right) \dots \dots \dots (5.1)$$

この式より期待されるダイオードの電流電圧特性のフィッティングを行いバリアハイトの見積りを行った。結果を図 5.12 に示す。

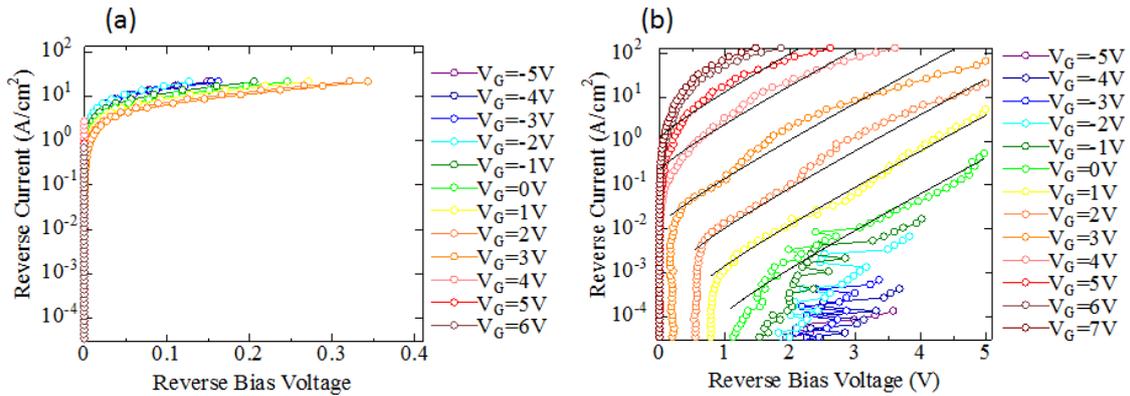


図 5.11 ダイオードの逆バイアス特性のゲート電圧依存性

(a)水素アニールを施していない TG-CBK 素子 (b)水素アニール処理を施した TG-CBK 素子

図 5.12 のように、水素アニールを施していないサンプルでは、見積もられるバリア高さが 0.5eV 程度とほとんど変化していないことがわかる。一方で水素アニール処理を施したサンプルについては、ゲート電圧により、障壁高さが 0.48~0.72eV まで、0.24eV ほど変調している。この値はトランジスタのオン/オフ比の値を説明するのに十分な値である。

したがって、水素アニールによるバッファ層の除去により、n-SiC の障壁高さ変調が有効になったと考えられる。

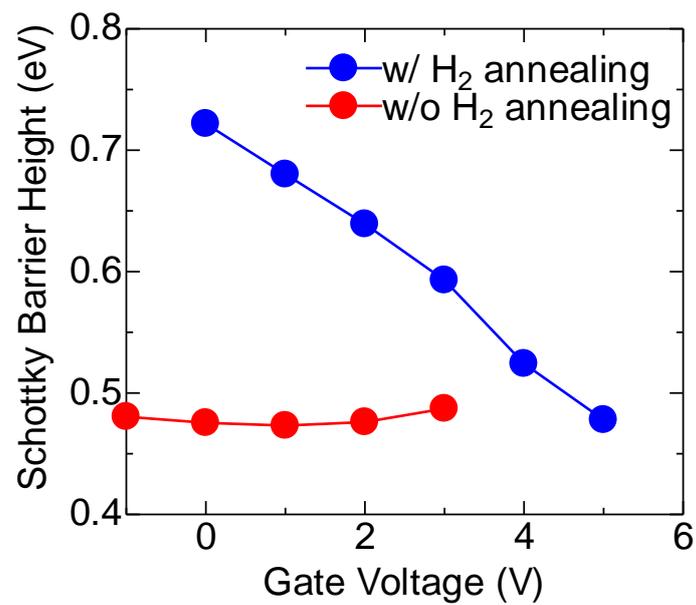


図 5.12 見積もられたバリア高きの値

コンタクト抵抗の変調について

コンタクト抵抗のゲート変調効果についても、バッファ層を除去したサンプルについて検討された。得られたコンタクト抵抗のゲート変調特性について、**図 5.13** に示されるように顕著な変調結果を示した。**(a)**順バイアスおよび**(b)**逆バイアス双方において、ゲート変調効果を確認したが、特に逆バイアスにおいて、変調幅が大きく、 $3 \times 10^{-3} \sim 4 \times 10^{-1} \Omega \text{cm}^2$ の2ケタ超のコンタクト抵抗の変調を確認している。順バイアスと逆バイアスにおいて、変調の特性が異なるため、順バイアスおよび逆バイアスのどちらが、n-SiC-S/D-GFETにおいて支配的なメカニズムとなっているかによって、得られるオン/オフ比やトランジスタ特性に変化が生じていると考えられる。

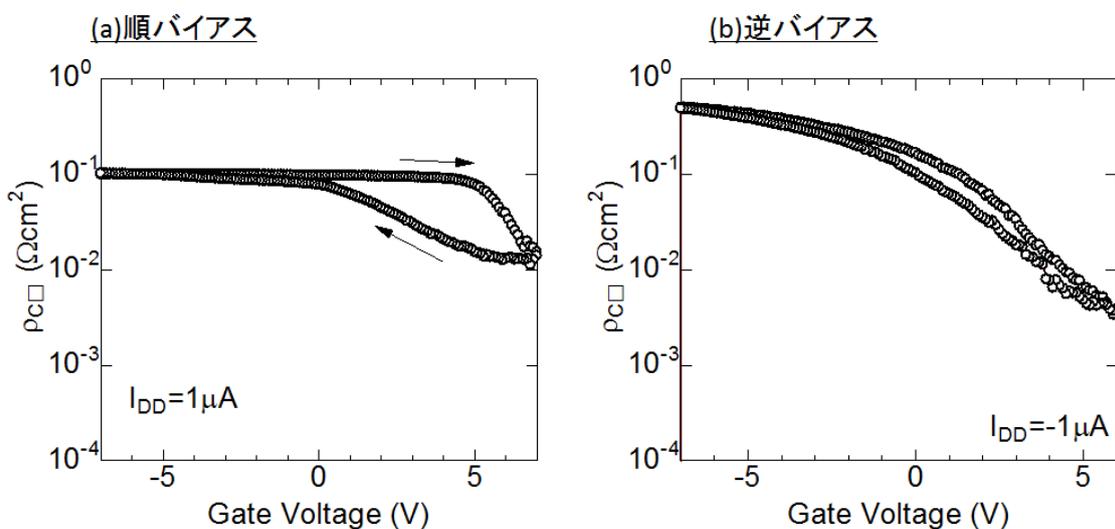


図 5.13 TG-CBK 素子によるコンタクト抵抗のゲート変調結果。(a)順バイアス。(b)逆バイアス。

5.4.2. 高濃度 n-SiC におけるグラフェン/n-SiC コンタクトの評価

高濃度 n-SiC を用いた場合における TG-CBK 素子の特性については、水素アニール処理を施していないサンプルについては、第 4 章で述べたようにコンタクト抵抗の有意な変動を確認できなかった。一方で水素アニール処理によりバッファ層を除去した素子については図 4.20 に示すように若干のダイオード特性およびコンタクト抵抗率変動を確認した。電流機構はドーピング濃度と考えられる障壁高さの値から電界放出と思われるが、実験結果と良く一致しない。参考までに、電流値の値から、電界放出モデルによりおおよそのバリアハイトを見積もると、0.6~0.7eV 程度変動している可能性があることを確認した。また、コンタクト抵抗率については 1 ケタ程度の変調が確認された。

低濃度素子と比較すると、変動幅は十分ではなく、トランジスタ特性の不十分な単極性化の原因となっていると考えられる。

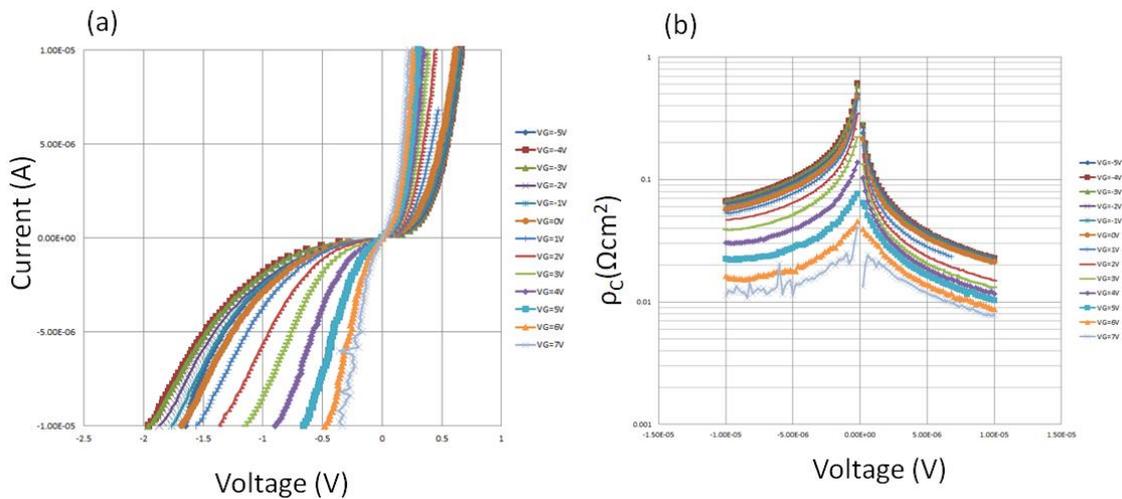


図 5.14 高濃度 n-SiC を用いた TG-CBK 素子(水素アニールを施した素子)の(a)I-V 特性、および(b) ρ_c -V 特性

5.4.3. 本節のまとめ

- TG-CBK 素子を作製し、グラフェン/n-SiC 接合におけるコンタクト特性のゲート電圧依存性を評価した。
- 低濃度 n-SiC を用いた TG-CBK 素子では、水素アニール処理を行うことによりバッファ層を除去したサンプルにおいて、グラフェン/n-SiC ダイオード特性の顕著なゲート変調効果を確認した。
- 低濃度 n-SiC を用いた TG-CBK 素子において、バッファ層を除去したサンプルにて、グラフェン/n-SiC ダイオード特性の逆バイアス特性において、I-V 特性が熱電界放出モデルに良く一致することを確認した。I-V 特性を熱電界放出モデルによりフィッティングすることにより、グラフェン中の電子に対する n-SiC のショットキー障壁高さを見積った。結果としてトップゲート電圧の印加に伴い、障壁高さが 0.48eV~0.72eV と 0.2eV 程度変調していることを確認した。この値はトランジスタ特性におけるオン/オフ比を説明するのに十分な値である。
- 低濃度 n-SiC を用いた TG-CBK 素子において、バッファ層を除去したサンプルにて、グラフェン/n-SiC コンタクトにおけるコンタクト抵抗率のゲート電圧依存性を調査した。結果、 $3 \times 10^{-3} \sim 4 \times 10^{-1} \Omega \text{cm}^2$ のコンタクト抵抗率の変調を確認した。
- 高濃度 n-SiC を用いた TG-CBK 素子において、バッファ層を除去したサンプルにて、ダイオード特性の顕著なゲート変調を確認した。しかしながら、変調の度合いは、低濃度の物と比較して小さかった。
- 高濃度 n-SiC を用いた TG-CBK 素子において、バッファ層を除去したサンプルにおいては $1 \times 10^{-2} \Omega \text{cm}^2 \sim 6 \times 10^{-1} \Omega \text{cm}^2$ と 1 ケタ強のコンタクト抵抗率のゲート変調を示した。

5.5 グラフェン/n-SiC コンタクトを有するデバイスのパフォーマンスの限界について

本章における検討において、n-SiC-S/D-GFET 構造にて、バッファ層を除去したグラフェンをチャンネルとして用いることにより、高いオン/オフ比を得た。また、TG-CBK 素子により、バッファ層の除去により、グラフェン/n-SiC コンタクトにおけるショットキー障壁高さのゲート電圧変調を確認した。これらのデバイス構造では、ショットキー接合における障壁高さのコントロールというメカニズムで動作していることから、オフ状態におけるバリアの有効性を確保するため、SiC 領域に一定の空乏層幅を確保する必要がある。したがって、必然的に SiC 領域のドーピング濃度には上限値が存在する。これは本章における実験結果においても、高濃度 n-SiC の両極性動作抑制能力の低下という形で見えてきている。また、バリアハイトのコントロールについても限界が存在すると考えられる。したがって、本節ではドーピング濃度の限界値および、バリアハイト変調における問題点について述べる。

5.5.1. 本研究で得られたコンタクト抵抗値とバリアハイトの関係

図 5.15 に本研究で得られたコンタクト抵抗とドーピング濃度の関係を報告例と比較した物を示す。黒の実線で示される関係は金属/Si の場合におけるコンタクト抵抗とドーピング濃度の関係を比較的高濃度のドーピング濃度にてシミュレーションを行った報告例[53]である。障壁高さに依存しコンタクト抵抗の値が大きく変わることがわかる。また青の星形で示される値は、グラフェン/n-SiC(6H)の場合の報告例[54]であり、この場合、障壁高さに見合った値が得られていることがわかる。この報告例においては、高濃度($1 \times 10^{19} \text{cm}^{-3}$)におけるコンタクト抵抗率が $6 \times 10^{-6} \Omega \text{cm}^2$ 程度であり、Si のシミュレーション結果では 0.3~0.4eV に相当する。この値は、XPS による報告例による値(0.5eV 程度)[55]に近い値であり、障壁高さに見合った値とコンタクト抵抗率が得られており、またこの値は SiC に対するコンタクト抵抗率という点では非常に低い値である[56]。本研究においては、高濃度($4.5 \times 10^{19} \text{cm}^{-3}$)の n-SiC における測定限界が $1 \times 10^{-4} \Omega \text{cm}^2$ 程度という下限があるため、高濃度の素子についてはコンタクト抵抗率の正確さに問題があるものの、低ドーピング濃度($4.5 \times 10^{18} \text{cm}^{-3}$)の素子についてはおおむね見積もられる障壁高さに見合った値が得られていると言える。したがって、トップゲートによる障壁高さの変調により、障壁高さを十分に変調することができれば、コンタクト抵抗率を大きく低減することが期待できる。

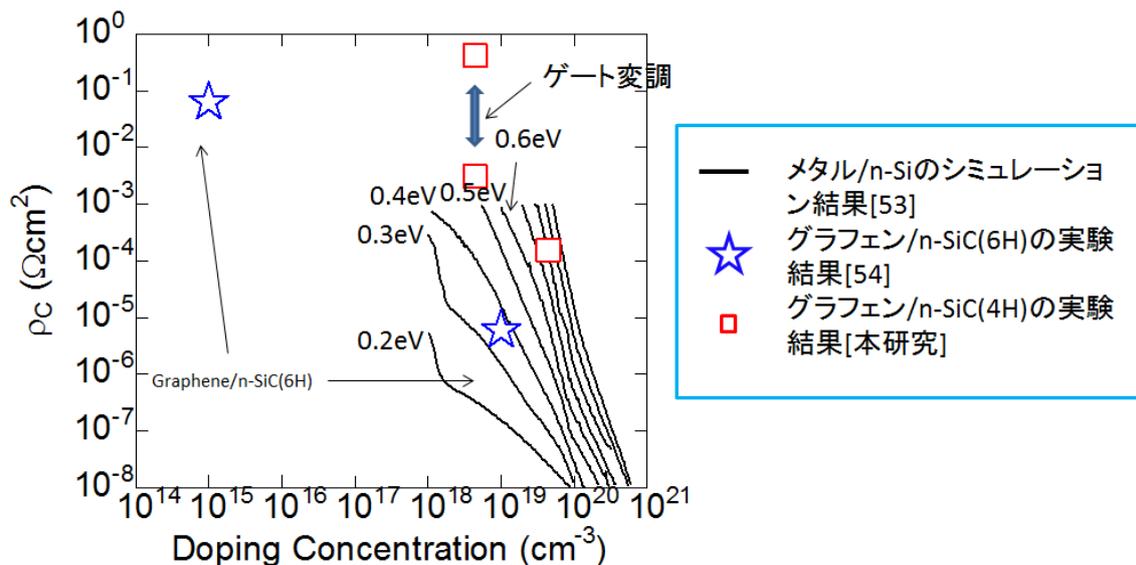


図 5.15 本研究で得られたコンタクト抵抗とドーピング濃度の関係と報告例の比較(黒実線)

5.5.2. ドーピング濃度の限界値

本研究において得られたコンタクト抵抗率が障壁高さに見合った値であることから、障壁高さを変調することによりさらにコンタクト抵抗率を低減できる可能性が示された。一方で、本研究で得られた値はシリコンテクノロジーで要求されるような $2.0 \times 10^{-8} \Omega \text{cm}^2$ (2013 年における要求値) を下回るような値[2]と比較して極めて高い。このことは、本研究におけるデバイスにおいて、微細化によりコンタクト抵抗が無視できない値となってしまう要因となるため、重要な課題となる。したがって、実際にゲート電圧による障壁高さの変調効果により、どの程度コンタクト抵抗率を低減可能かについて検討を行った。

コンタクト抵抗率は式(5.1)で示される単純な熱電界放出モデル、および以下式(5.2)で示す単純な電界放出モデル[57]にて電流値の計算を行い、コンタクト抵抗率のドーピング濃度依存性を導出した。

$$J_{FE} = \frac{\pi A T E_{00} \exp\left(-\frac{2q\phi_B^{\frac{3}{2}}}{3E_{00}\sqrt{\phi_B - V_R}}\right)}{k \sqrt{\phi_B - V_R} \sin\left(\frac{\pi k T \sqrt{\phi_B - V_R}}{E_{00}}\right)} \dots \dots \dots (5.2)$$

計算結果を図 5.16 に示す。まず、高ドーピング濃度の領域において、コンタクト抵抗率のドーピング濃度依存性が增大していることが確認される。一方で、障壁高さの違いによるコンタクト抵抗率の違いは少なくなっていることがわかる。また、低いドーピング濃度においても障壁高さを十分に低減することにより $1.0 \times 10^{-8} \Omega \text{cm}^2$ を下回るような低いコンタクト抵抗率の実現が可能である可能性が示唆されている。

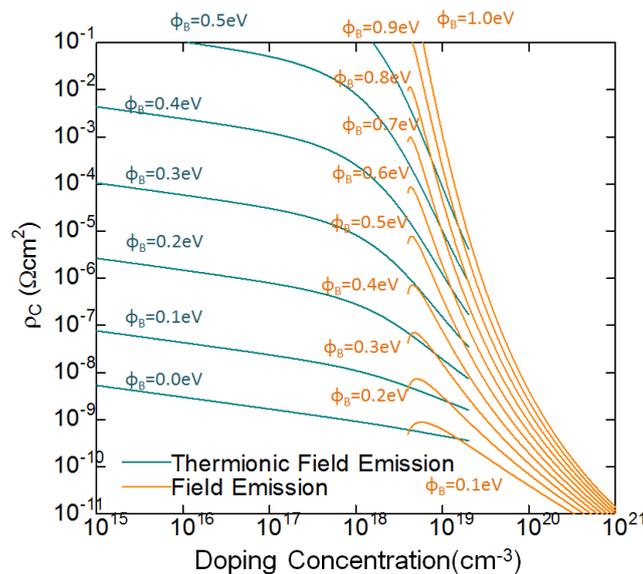


図 5.16 金属/n-SiC 接合におけるコンタクト抵抗の計算値
(青線)熱電界放出モデルによる近似 (橙線)電界放出モデルによる計算値

次に、FET としての特性を考える。集積化に適する FET の一つの条件として優れたサブスレッシュヨルド特性を有していることが挙げられる。通常の MISFET の場合、オフ状態においてはソース/チャンネル間の電位障壁を超えるキャリアの数がサブスレッシュヨルド特性を決定づける。したがって、物理的な限界値は 60mV/dec 程度となる。

本研究の場合、この電位障壁がショットキー障壁高さとなる。したがって、優れたサブスレッシュヨルド特性を実現するためには障壁高さの上昇に見合ったコンタクト抵抗値の増大または電流値の減少が必要とされる。したがって、先ほどの計算結果より、コンタクト抵抗率の障壁高さ依存性を様々なドーピング濃度についてプロットをした結果を図 5.17 に示す。

まず、図 5.17 において、コンタクト抵抗率が $\exp(q\Phi_B/kT)$ に比例するとした場合を黒の破線にてプロットした。この場合、ショットキー障壁が 60meV 程度上昇するにつれ、コンタクト抵抗率が一桁上昇することになり、FET としては理想的なサブスレッシュヨルド特性を有する。図 5.17(b) については電界放出モデルを仮定した場合である。一般に電界放出モデルは高濃度ドーピング領域においてフェルミ準位近傍の電子によるトンネル電流が支配的な電流機構となった場合に有効なモデルである。この場合、黒破線と比較してどのプロットにおいても傾きが全体的に緩やかであり、障壁高さの上昇に見合ったコンタクト抵抗率の上昇が実現できていないことになり、FET として用いたときにサブスレッシュヨルドが劣化してしまう。一方で(a)に示すように、熱電界放出モデルによる計算結果では、ドーピング濃度を低下させると、電流-電圧特性が熱電子放出モデルによる計算結果に近くなるため、黒破線で示した値に近くなる。したがって、このような条件では、良好なサブスレッシュヨルド特性を有するデバイスが期待できる。

もちろん、ショットキー障壁高さは印加したゲート電圧と同程度変調できるわけではないが、理想的な状態を仮定した場合、少なくともドーピング濃度が $4.5 \times 10^{18} \text{ cm}^{-3}$ 以下の値にて、熱電子放出モデルに近い挙動で動作させることにより、優れたサブスレッシュヨルド特性を実現できると考えられる。また、グラフェン自体にバンドギャップを誘起する手法と組み合わせる手法も考えられる。

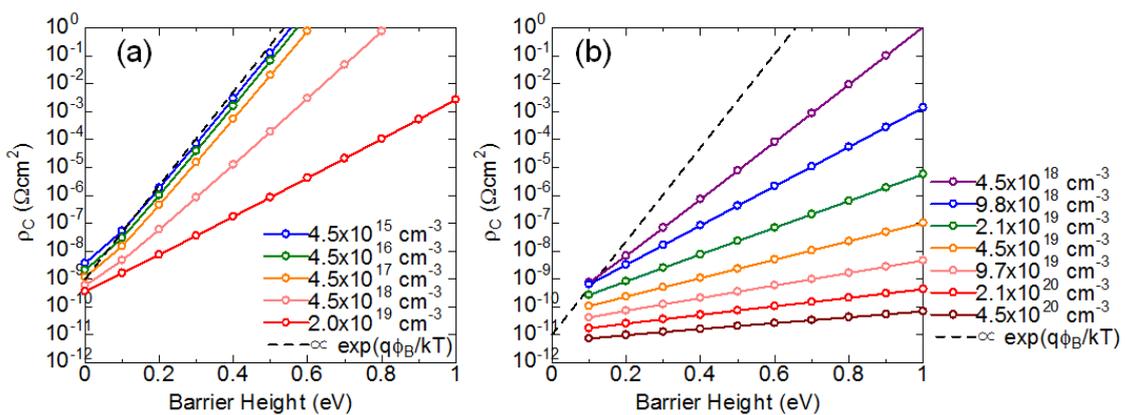


図 5.17 コンタクト抵抗率の障壁高さ依存性 (a)熱電界放出モデル (b)電界放出モデル

5.5.3. バンドギャップを誘起する手法との併用可能性

グラフェン自体にバンドギャップを有する手法と組み合わせることにより、SiC 領域を高濃度ドーピングした場合でも、FET のオフ特性を向上させることは可能である。そのコンセプトはドーピングした SiC をにより、単一のキャリアのみを注入可能であるということである。その模式図を図 5.18 に示す。グラフェンのナノリボン加工等でバンドギャップを誘起した場合、金属をソース/ドレインにした場合だと、オフ状態において電子のみならず、正孔電流も流れるため、オフ状態を実現するための電位障壁 ϕ_B は最大でグラフェンのバンドギャップ程度の値しか使うことができない。これは高濃度 n-SiC-S/D-GFET の場合も同様であり、オフ状態において、バンドギャップ程度の値の ϕ_B となる。一方でソース側においてグラフェン中の正孔に対して SiC は大きな障壁となることがわかる。さらに、オフ状態におけるドレイン側での正孔の注入を大幅に抑制することが可能であり、これらによりデバイスのオン/オフ比、単極性動作の度合いを向上させることが可能である。K. Majumdar らの報告例[33]ではそのような仮定の上で、Si のソース/ドレイン領域を有するデバイス構造においてシミュレーションを行い、現状の Si-MISFET を上回るパフォーマンスの実現可能性を示している。

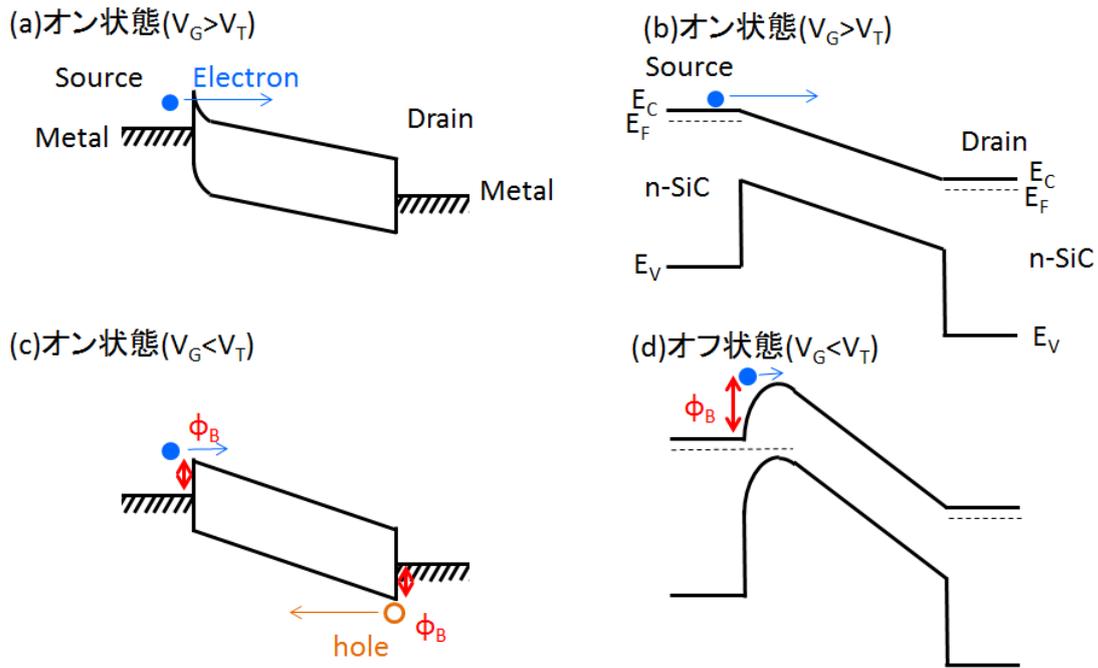


図 5.18 バンドギャップを誘起したグラフェンをチャネルとした場合における、(a),(c)通常の金属 S/D の GFET,と(b),(d)高濃度 n-SiC-S/D-GFET 用いた場合のバンドダイアグラム

5.5.4. 本節のまとめ

本節においては、本章で明らかにした n-SiC-S/D-GFET の動作メカニズムおよび、グラフェン/n-SiC コンタクトのトップゲートによる変調メカニズムをもとに、グラフェン/n-SiC コンタクト構造を有するデバイスのパフォーマンスの限界について検討を行った。以下にそのまとめを示す。

- 本研究で得られたコンタクト抵抗の値は、比較的高い値ではあったが、障壁高さ考えると妥当な値が出ており、障壁高さのゲート変調技術の進展により、より低いコンタクト抵抗を実現することが可能である。
- ドーピング濃度を上昇させるとコンタクト抵抗を減少させることはできるが、一方でコンタクト抵抗の障壁高さ依存性は低下する。このことは FET として用いた際にサブスレッショルド特性の劣化という形で顕著になる。一方で、低いドーピング濃度でも十分に障壁高さを低減することができれば低いコンタクト抵抗が実現可能である。良好なサブスレッショルド特性を有する FET の実現の為には少なくともドーピング濃度を $4.5 \times 10^{18} \text{cm}^{-3}$ 以下にすることが望ましい。
- ドーピング濃度を上昇させた場合でも、グラフェン自体にバンドギャップを誘起する手法と併用し、SiC を単一のキャリアを注入可能な S/D 領域としてを用いることでオン/オフ比の向上やデバイスの単極性の度合いの向上に寄与することが可能である。

5.6 本章のまとめ

本章では水素アニール処理により界面改質を行い、バッファ層の無いグラフェンを用いたデバイスを作製し、その評価を行った。以下のそのまとめを示す。

- 水素アニール処理により形成されたグラフェンの改質を行い、バッファ層のグラフェン化に成功した。それにより、バッファ層の無い、良好な界面特性を有するグラフェン/n-SiC 接合を実現した。
- GFET 特性の評価により、バッファ層を除去することでグラフェンチャネルの移動度の向上と、伝導形の中性化を確認した。
- n-SiC-S/D-GFET 構造において、バッファ層を除去したグラフェンをチャネルとすることにより、グラフェントランジスタとしては非常に高い $10^3\sim 10^5$ 程度のオン/オフ比を有する単極性トランジスタの実現に成功した。
- グラフェン/n-SiC コンタクトの評価用に TG-CBK 素子を作製し、コンタクト特性のゲート変調効果を評価した。低濃度の n-SiC を用いたグラフェン/n-SiC コンタクトにおいて、I-V 特性の顕著な変調を確認し、特に逆バイアス特性において、熱電界放出モデルに良く一致する電流機構での伝導を確認した。これにより障壁高さを見積もった結果、トップゲート電圧により、 $0.48\text{eV}\sim 0.72\text{eV}$ 程度まで障壁高さの変調を確認した。これはトランジスタのオン/オフ比を説明するのに十分な値である。
- 高濃度 n-SiC を用いたデバイスにおいては低濃度 n-SiC に比べて弱い両極性動作の抑制効果を示した。このことは、ドーピング濃度向上による、電流値のバリアハイト依存性の低下が原因であると考えられる。
- グラフェン/n-SiC コンタクトを用いたデバイスのパフォーマンスにおけるポテンシャルについて検討を行った。本研究により得られたコンタクト抵抗率の値はバリアハイトの値を考慮すると妥当であるため、バリアハイトを低減する事で更なるコンタクト抵抗率の向上が期待される。一方で、オフ状態においてはバリアハイトの上昇に見合ったコンタクト抵抗率の上昇を実現する必要があるため、ドーピング濃度は $4.5\times 10^{18}\text{cm}^{-3}$ 以下にすることが望ましい。
- 一方、n-SiC のドーピング濃度を上昇させた場合においても、グラフェン自体にバンドギャップを誘起する方法と併用し、n-SiC を単一のキャリアを注入可能な S/D として用いることによって、n-SiC-S/D-GFET 構造により高いオン/オフ比の実現と単極性化に寄与することができると思われる。

第6章 結論

6.1. 本研究で得られた結論

- 低圧酸素雰囲気における SiC 上グラフェン成長について検討を行った。アニール時の酸素分圧によりグラフェンの品質が顕著に影響を受け、品質としては劣化することがわかった。一方で、事前に SiO₂ 層を形成する前処理を導入し、グラフェン形成を行った場合、酸素分圧による形成されるグラフェン層の品質の劣化が見られなくなった。以上の事から低圧酸素の存在下における SiC 上グラフェンの形成においては、グラフェン形成初期において基板表面を酸素の影響から保護することが重要であることを明らかにした。
- n-SiC-S/D-GFET を作製し検討を行い、n-SiC-S/D-GFET の作製指針として、良好な絶縁膜/グラフェン界面特性、グラフェン層数の低層数化、良好なグラフェン/n-SiC 界面の実現が重要であることを示した。特にグラフェン/n-SiC 界面において、バッファ層および SiC 基板表面ダングリングボンドによるトラップ準位が、トップゲートによるグラフェン/n-SiC コンタクトの障壁高さ変調の妨げになっていることを明らかにした。
- 水素アニール処理による界面改質により、バッファ層を除去したグラフェン/n-SiC 界面を実現した。これにより、n-SiC-S/D-GFET 構造において、グラフェンをチャネルとしてトランジスタとしては極めて高い 10³~10⁵ 程度のオン/オフ比を実現した。このメカニズムが、グラフェン/n-SiC コンタクトにおけるショットキー障壁高さの変調であることを、TG-CBK 素子により確かめ、0.48eV~0.72eV 程度の障壁高さのゲート変調を確認した。

6.2. 本研究の位置づけ

本節では、本研究の結果について、他の様々なオン/オフ比向上手法との比較を行った。その結果を表 6.1 に示す。他のオン/オフ比向上手法としては、第 1 章でも述べたように、グラフェンのナノリボン加工、2 層グラフェンへの高電界印加という手法がある。本研究の成果においては、グラフェンへのダメージを少なくデバイスを作製し、 $10^3 \sim 10^5$ 程度の高いオン/オフ比を実現することができた。また、本研究の手法は他の手法の併用可能性も高い。以上の事から、他の 2 手法と比較しても、優位性を有していると考ええる。

一方で、やはりグラフェン/n-SiC 接合におけるコンタクト抵抗率が課題となるが、十分にバリアハイトを低減することで、解決可能であると考えられる。一方でバリアハイトを低減するメカニズムを積極的に用いるためには、ドーピング濃度を低減する必要がある。その場合、n-SiC 領域の直列抵抗を低減するようなデバイス構造の実現が特に重要となってくる。

表 6.1 本研究の位置づけ

	グラフェンのナノリボン加工	2 層グラフェンへの高電界印加	n-SiC-S/D-GFET 構造 (本研究)
オン/オフ比	10^5 以上	10^3 程度	$10^3 \sim 10^5$
極性制御性	△	×	○
グラフェンへのプロセスダメージ	大	小	小
他の手法との併用可能性	○	△	○
オン電流を下げる要因	<ul style="list-style-type: none"> ➤ エッジ散乱 ➤ プロセスダメージ ➤ 有効質量増大 	<ul style="list-style-type: none"> ➤ 有効質量増大 	<ul style="list-style-type: none"> ➤ グラフェン/n-SiC コンタクトにおける抵抗 ➤ n-SiC の直列抵抗

6.3. 実用化への指針

本研究において得た知見をもとにグラフェンのスイッチング素子応用に向けた指針を示す。

6.3.1. 考えられるデバイス構造

第5章で述べたように、n-SiCのドーピング濃度を上昇させると、バリア高さ変調による電流制御性が低下し、デバイスのサブスレッショルド特性が劣化することを示した。したがって、考えられるデバイス構造には、バンドギャップ誘起手法と併用する方法、ドーピング濃度に上限を設け、バリア変調により電流制御を行う方法の2種類が考えられる。

バンドギャップ誘起手法と併用する方法

バンドギャップを誘起する手法と SiC のソース/ドレインを用いる手法と併用する場合は、n-SiCのドーピング濃度を可能な限り高くすることが可能である。図 6.1 にグラフェンナノリボン(GNR)をチャンネルとしたデバイス構造の一例を示す。この構造により、チャンネル部分は GNR の特性を生かしつつ、チャンネルに供給されるキャリアは電子のみとなり、優れた n 型 FET 特性が期待できる。

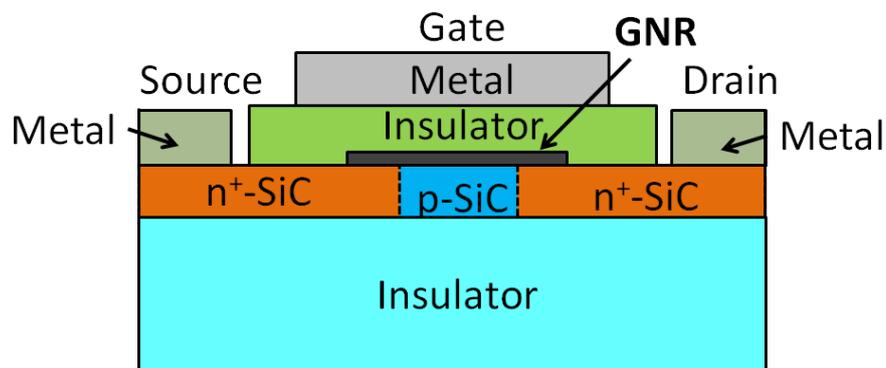


図 6.1 n⁺-SiC をソース/ドレインとしたグラフェンナノリボンチャンネル FET 構造

障壁高さの変調メカニズムをもちいる手法

障壁高さのゲート変調メカニズムを積極的に用いるデバイス構造の例として、**図 5.18** に 3 種類のデバイス構造を示した。グラフェン/半導体接合における障壁高さ変調メカニズムを用いる場合、半導体層のドーピング濃度をある程度低減する必要がある。**(a)** のようなデバイス構造の場合、n-SiC 層におけるドーピング濃度が低くなるため、n-SiC 層由来の寄生抵抗をどの程度減らせるかがカギとなり、それが可能となるならば集積化の可能性も十分出てくる。また、このようなバリスタ構造を用いる場合**(b)** に示されるようなパワーデバイス用の縦型構造においても、優れたパフォーマンスが期待できる。高耐圧用素子であれば、n-SiC 層のドーピング濃度を薄く設計することができ、バリアハイトを十分に低減することができれば、第 1 章で示したように既存の SiC-DMOSFET を上回る特性を示すことが可能である。最後に**(c)** のようにグラフェン層をソース/ドレイン領域として用いることも考えられる。薄く、低抵抗なグラフェン S/D 領域により寄生抵抗の低減が期待される。さらに、グラフェン/半導体接合において半導体層へのキャリアの注入量を障壁高さの変調により制御することで変化させることにより、チャンネル中にスムーズにキャリアを注入することが可能である。

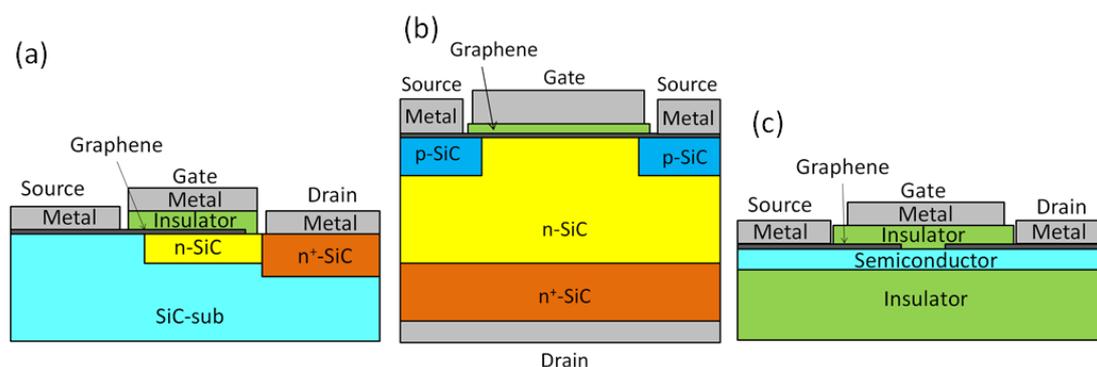


図 6.2 障壁高さの変調メカニズムを用いたデバイス構造の例

(a)Graphene-SiC バリスタ構造 (b)Graphene-SiC 縦型バリスタ構造 (c)グラフェン S/D-FET

6.3.2. 実用化に向けた技術的課題

最後に半導体 S/D を用いることによるデバイスの実用化に向けた解決すべき技術的課題について述べる。

- 大面積かつ均一に半導体基板上へ、「良好な」界面特性と共にグラフェンを形成可能な技術を開発する必要がある。本研究では SiC 上グラフェンにて水素アニール処理にてバッファ層を除去することにより良好な界面特性を実現することができたが、形成したグラフェンを他の Si 等の半導体基板に転写するという手法も考えられる。この場合においても良好な界面特性を維持し、シワのよらない転写技術の開発が必要である。また、可能であれば半導体基板上に基板との界面のダメージ無く直接形成する技術が実現できれば理想的である。
- 十分なバリアハイト変調の実現の為、グラフェン上に良好な界面特性を有する信頼性の高いゲート絶縁膜形成技術の開発が非常に重要である。しかしながら、グラフェンは一般的な半導体と異なり、表面に活性な結合手を有していないという特徴がある。そのため、均一な絶縁膜形成が難しく、現在の所、信頼性の良いゲート絶縁膜得るための確立された手法は存在していない。
- 論理素子として用いる場合、p 型デバイスの開発により相補型回路を実現することが望ましい。本研究においては n 型についての検討を行って来たが、p 型デバイスについての検討が必要である。SiC の場合、グラフェン中の正孔に対する障壁高さは電子に対するそれよりも非常に高い。したがって p 型においては適切な障壁高さを有する異なる半導体を用いる等といった可能性が考えられる。

本研究に関する研究業績一覧

主著論文

1. Yuichi Nagahisa and Eisuke Tokumitsu, “Suppression of Hole Current in Graphene Transistors with n-type Doped SiC Source/Drain Regions” Mat. Sci. Forum, 717–720, 679 (2012).
2. Yuichi Nagahisa, Yuichi Harada and Eisuke Tokumitsu, “Unipolar behavior in graphene-channel field-effect-transistors with n-type doped SiC source/drain regions” Appl. Phys. Lett. 103, 223503 (2013).

国際会議における発表

1. Yuichi Nagahisa and Eisuke Tokumitsu, “FABRICATION OF GRAPHENE CHANNEL TRANSISTOR WITH HEAVILY DOPED SiC SOURCE/DRAIN REGIONS, 2nd International Symposium on Graphene Devices, T4-11 Poster, Sendai, Japan, Oct. 2010.
2. Y. Nagahisa, E. Tokumitsu, “Suppression of Hole Current in Graphene Transistors with n-type Doped SiC Source/Drain Regions”, International Conference on Silicon Carbide and Related Materials(ICSCRM) 2011, Mo-P-46, Cleveland, Ohio, Sep. 2011.
3. Yuichi Nagahisa, Yuichi Harada, and Eisuke Tokumitsu, “Characterization of Electrical Properties of Graphene/n-SiC Contacts” 3rd International Symposium on Graphene Devices 2012 (ISGD2012), PO-15, Soleil, France, Nov. 2012.
4. Yuichi Nagahisa, Yuichi Harada and Eisuke Tokumitsu, “Observation of High on/off Drain Current Ratio in Graphene Transistors with n-type Doped SiC Source/Drain Regions” Graphene Week 2013, Chemnitz, Germany, TuP-24, June 2013.
5. Yuichi Nagahisa, and Eisuke Tokumitsu, “Electrical characterization of gate modulation in graphene/n-SiC contacts” 5th International Conference on Recent Progress in Graphene Research, Tokyo, Japan, 11a-A1-O1, Sep. 2013.
6. Y. Nagahisa, Y. Tsuchiya and E. Tokumitsu, European Conference on Silicon Carbide and Related Materials(ECSCRM) 2014, Grenoble, France, Sep. 2014 (発表予定).
- 7.

国内学会・シンポジウム等における発表

1. 永久 雄一,徳光 永輔, “n 型ドーピングした SiC をソース/ドレインに用いたグラフェンチャンネルトランジスタの作製とその評価” 第 58 回応用物理学会関係連合講演会講演予稿集 26a-KQ-7, 17-133, 神奈川工科大, 2011 年 3 月.
2. 永久 雄一,徳光 永輔, “SiC 上グラフェンチャンネルトランジスタの単極性動作と高オン/オフ比実現に向けた試み” 第 20 回 SiC 研究会講演会, 名古屋, ウィンクあいち, IV-3, 2012 年 12 月(招待講演).

3. 永久 雄一, 徳光 永輔 “SiC 上グラフェンチャネルトランジスタの単極性動作と高オン/オフ比実現に向けた試み(II)” SiC 及び関連半導体研究 第 22 回講演会, 埼玉県 埼玉会館, B-27, 2013 年 12 月.
4. 永久 雄一, 徳光 永輔 “ ” 第 75 回応用物理学会秋季講演会, 札幌, 北海道大, 2014 年 9 月(発表予定).

謝辞

研究というものに心躍らせて研究室に所属してきた筆者を温かく迎え入れてくださり、研究の楽しさをご教授いただいた徳光永輔連携教授に深く感謝いたします。

本研究に不可欠であったレーザーラマン分光器の使用を許可してくださった舟窪浩教授並びに波多野睦子教授に感謝いたします。

本研究を行う上で必要な実験装置や測定機器などを利用させていただき、さらに学内研究発表会などで筆者に的確なご助言をいただきました筒井一生教授、渡辺正裕准教授、大見俊一郎准教授をはじめとする物理電子システム創造専攻の先生方に感謝いたします。

本研究室 SiC 研究グループの OB として、MOCVD 装置等、SiC デバイス関連の研究機器についてご指導いただきました日野史郎氏(三菱電機株式会社)に深く感謝いたします。また、グラフェンに関する知識に乏しい筆者に最先端の研究動向など興味深い知識を与えてくださった原田裕一氏を始めとする NTT 物性科学基礎研究所の方々に深く感謝いたします。

グラフェントランジスタと悪戦苦闘を繰り返している筆者に、学会等にて適切なアドバイスと励ましの言葉を下さいました東北大学電気通信研究所、尾辻泰一教授に感謝いたします。

グラフェンに関して、世界最先端の研究活動で非常に多忙であられる中、筆者の海外研修先として受け入れていただき、また、グラフェンエレクトロニクスにて第一線で活躍する研究者の方々との交流の機会や筆者の研究テーマに関して大変有益なアドバイスを下さいました水田博教授(現北陸先端科学技術大学院大学)、斉藤慎一教授、土屋義重講師をはじめとする英国サウサンプトン大学 Nano グループの方々に感謝いたします。また、初めての海外生活で戸惑う筆者に様々な面でサポートしていただき、筆者の英国生活を大変豊かなものにして下さいました Shuojin Hang 氏をはじめとするサウサンプトン大の友人の皆様に感謝いたします。

赤外線導入加熱装置の導入について設計の段階から親身になって相談に乗って下さった吉野智之氏(株式会社サーモ理工)をはじめとするサーモ理工の方々に深く感謝いたします。

本研究室において筆者と同期の木田憲之助氏(現関西電力株式会社)、清水貴也氏(現三菱重工業株式会社)には研究室の運営管理において多大な助力をいただいたことをこの場を借りて感謝いたします。また、筆者と異なる研究グループでありながら酸化物半導体の物性等、興味深い話で筆者の研究意欲を掻き立てて下さった羽賀健一氏(博士3年)に感謝いたします。また、筆者より1学年下でありながら、研究室でのゼミにおいて数多くの的確な指摘をいただいた山田泰之氏(現日産自動車株式会社)に感謝いたします。その他、研究生活の様々な場面でお世話になりました徳光研究室の皆様に深く感謝いたします。

また、他専攻でありながらお互いの研究分野について議論に花を咲かせ、時には共通の趣味であるジャグリング談議で盛り上がり、筆者に息抜きと刺激を与えてくれた牛丸和乗氏(博士3年)、吉田和輝氏(現株式会社リコー)両名に深く感謝いたします。また、筆者にジャグリングを通して研究に通じる探求心と忍耐力、そして表現することの喜びを教えてくれたジャグリングサークルジャグてっくの仲間たちに深く感謝いたします。

日々の研究生活を手厚くサポートして下さった本研究室の小林久美子秘書に感謝いたします。

最後に、今まで健康的に育ててくれ、研究に没頭する筆者を温かくサポートしてくれた家族に心から感謝いたします。

参考文献

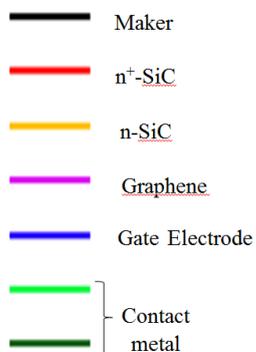
- [1] インテル社 HP(<http://www.intel.com/content/www/us/en/homepage.html>)より
- [2] International Technology Roadmap for Semiconductor 2012 edition.
- [3] 三菱電機技報, Vol. 81, No. 5 (2007).
- [4] C. Berger, Z.M. Song, T.B. Li, X.B. Li, A.Y. Ogbazghi, R. Feng, Z.T. Dai, A.N. Marchenkov, E.H. Conrad, P.N. First, W.A. de Heer, "Ultrathin Epitaxial Graphite: 2D Electron Gas Properties and a Route toward Graphene-based Nanoelectronics" *J. Phys. Chem. B* 108 (52) (2004) 19912–19916.
- [5] R.H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, A. R. LeBlanc, "Design of ion-implanted MOS-FET's with very small physical dimensions" *IEEE Journal Solid-State Circuits*, v9, n5, pp.256-268, 1974.
- [6] H. Sutter, "The Free Lunch Is Over: A Fundamental Turn Toward Concurrency in Software" *Dr. Dobbs Journal*, 30(3), March 2005.
- [7] 小長井誠著 「半導体物性」 培風館
- [8] 松波弘之編著 「半導体 SiC 技術と応用」 日刊工業新聞社
- [9] R. Quay, C. Moglestue, V. Palankovski, S. Selberherr, "A temperature dependent model for the saturation velocity in semiconductor materials" *Mat. Sci. Semicon. Proc.* 3 149 (2000).
- [10] T. Matsuoka, E. Kobayashi, K. Taniguchi, C. Hamaguchi and S. Sasa, "Temperature Dependence of Electron Mobility in InGaAs/InAlAs Heterostructures", *Jap. J. Appl. Phys.*, **29**, no.10, pp.2017-2025(1990).
- [11] J. Novak, M. Kuliffayova, M. Morvic and P. Kordos, "GROW~IH AND PROPERTIES OF LOW-DOPED In_{0.53}Ga_{0.47}As LPE LAYERS USING RARE-EARTH OXIDES" *J. Crystal Growth* 96 645 (1989).
- [12] J. L. Thobel, L. Baudry, A. Cappy, P. Bourel and R. Fauquembergue, "Electron transport properties of strained In_xGa_{1-x}As" *Appl. Phys. Lett.* 56, 346 (1990).
- [13] S. Adachi, "Physical Properties of III-V Semiconductor compounds." John Wiley and Sons. 1992.
- [14] K. H. Goetz, D. Bimberg, H. Jürgensen, J. Selders, A. V. Solomonov, G. F. Glinskii and M. Razegi, "Optical and crystallographic properties and impurity incorporation of Ga_xIn_{1-x}As(0.44<x<0.49)" *J. Appl. Phys.* 54, 4543 (1983).
- [15] Y. W. Tan, Y. Zhang, K. Bolotin, Y. Zhao, S. Adam, E. H. Hwang, S. Das Sarma, H. L. Stormer and P. Kim, "Measurement of Scattering Rate and Minimum Conductivity in Graphene" *Phys. Rev. Lett.* 99, 246803 (2007).
- [16] R. S. Shishir and D. K. Ferry, "Velocity saturation in intrinsic graphene" *J. Phys. Condens. Matter.* 21, 344201 (2009).
- [17] 家近 泰, "グラフェンの高速トランジスタ応用への注目と課題" *科学技術動向研究*, 29 (2010).
- [18] Spring 8 HP(http://www.spring8.or.jp/ja/news_publications/press_release/2008/080731/)より.
- [19] Free Science Image (URL: <http://www.jameshedberg.com/scienceGraphics.php?sort=graphene&id=graphene-onSubstrate-3Dmodel>, CC license: BY-NC-SA).
- [20] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva and A. A. Firsov, "Electric Field Effect in Atomically Thin Carbon Films" *Science* 22, 306, 5696, 666 (2004).
- [21] D. M. Hoffman, G. L. Doll, and P. C. Eklund, "optical properties of pyrolytic boron nitride in the energy range 0.05-10 eV" *Phys. Rev. B*, 30, 10, 6051 (1984).
- [22] F. Xia, D. B. Farmer, Y. M. Lin and P. Avouris, "Graphene Field-Effect Transistors with High On/Off Current Ratio and Large Transport Band Gap at Room Temperature" *Nano Lett.* 10 (2), 715 (2010).
- [23] M. I. Katsnelson: "Graphene: carbon in two dimensions" **Material Today** 10, 20 (2007).
- [24] R. Murali, Y. Yang, K. Brenner, T. Beck and J. D. Meindl, "Breakdown current density of graphene nanoribbons" *Appl. Phys. Lett.* 94, 243114 (2009).
- [25] R. S. Shishir and D. K. Ferry, "Velocity saturation in intrinsic graphene" *J. Phys.: Condens. Matter.* 21, 344201 (2009).
- [26] M. Grundmann, "The Physics of Semiconductors: An Introduction including Nanophysics and Applications" Second Edition, Springer, pp252.

- [27] J. Kedzierski, P. L. Hsu, P. Healey, P. W. Wyatt, C. L. Keast, M. Sprinkle, C. Berger and W. A. de Heer, "Epitaxial Graphene Transistor on SiC Substrate" *IEEE Trans. Elec. Dev.* 55, 8 2078 (2008).
- [28] X. Wang, Y. Ouyang, X. Li, H. Wang, J. Guo and H. Dai, "Room-Temperature All-Semiconducting Sub-10-nm Graphene Nanoribbon Field-Effect Transistors" *Phys. Rev. Lett.* 100, 206803 (2008).
- [29] G. Liang, N. N. Neophytou, D. E. Nikonov and M. S. Lundstrom, "Performance Projections for Ballistic Graphene Nanoribbon Field-Effect Transistors" *IEEE Trans. Elec. Dev.* 54, 4, 677 (2007).
- [30] E. V. Castro, K. S. Novoselov, S. V. Morozov, N. M. R. Peres, J. M. B. Lopes dos Santos, J. Nilsson, F. Guinea, A. K. Geim and A. H. Castro Neto, "Electronic properties of a biased graphene bilayer" *J. Phys.: Condens. Matter*, 22 175503 (2010).
- [31] J. Zhu and J. Woo, "A Novel Graphene Channel Field Effect Transistor with Schottky Tunneling Source and Drain" *ESSDERC- Proceedings of the 37th European Solid-State Device Research Conference*, 243 (2007).
- [32] E. Sano and T. Otsuji, "Source and Drain Structures for Suppressing Ambipolar Characteristics of Graphene Field-Effect Transistors" *Appl. Phys. Express* 2, 061601 (2009).
- [33] K. Majumdar, K. Murali, N. Bhat, F. N. Xia, and Y. M. Lin, "High on-off ratio Bilayer Graphene complementary field effect transistors" in *Proc. IEEE Int. Electron Devices Meeting (IEDM 2010)* (IEEE, 2010), p. 736.
- [34] H. Yang, J. Heo, S. Park, H. J. Song, D. H. Seo, K. E. Byun, P. Kim, I. K. Yoo, H. J. Chung, and K. Kim, "Graphene Barristor, a Triode Device with a Gate-Controlled Schottky Barrier" *Science* 336, 1140 (2012).
- [35] S. Hertel, D. Waldmann, J. Jobst, A. Albert, M. Albrecht, S. Reshanov, A. Schoner, M. Krieger and H. B. Weber, "Tailoring the graphene/silicon carbide interface for monolithic wafer-scale electronics" *Nat. Commun.* 3, 957 (2012).
- [36] 株式会社 サーモ理工HP より (<http://www.kagaku.com/thermo/>)
- [37] J. Röhrl, M. Hundhausen, K. V. Emtsev, Th. Seyller, R. Graupner and L. Ley, "Raman spectra of epitaxial graphene on SiC(0001)" *Appl. Phys. Lett.* 92, 201918 (2008).
- [38] S. Shivaraman, M. V. S. Chandrashekar, J. J. Boeckl, M. G. Spencer, "Thickness Estimation of Epitaxial Graphene on SiC Using Attenuation of Substrate Raman Intensity" *Journal of Elec. Mater.* 38, 6, 725 (2009).
- [39] 永久雄一 学士論文 2009 年度。
- [40] Y. W. Song and F. W. Smith, "Effects of Low-Pressure Oxidation on the Surface Composition of Single Crystal Silicon Carbide" *J. Am. Ceram. Soc.* 88(2005) 1864.
- [41] W. Lu, W. C. Mitchel, J. J. Boeckl, T. R. Crenshaw, W. E. Collins, R. P. H. Chang and L. C. Feldman, "Growth of Graphene-Like Structures on an Oxidized SiC Surface" *Journal of Elec. Mater.* Vol. 38, No. 6, 2009. p731-p736.
- [42] K. V. Emtsev, F. Speck, Th. Seyller and L. Ley, "Interaction, growth, and ordering of epitaxial graphene on SiC{0001} surfaces: A comparative photoelectron spectroscopy study" *Phys. Rev. B* 77, 155303 (2008).
- [43] F. Varchon, R. Feng, J. Hass, X. Li, B. Ngoc Nguyen, C. Naud, P. Mallet, J. Y. Veullen, C. Berger, E. H. Conrad and L. Magaud, "Electronic Structure of Epitaxial Graphene Layers on SiC: Effect of the Substrate" *Phys. Rev. Lett.* 99, 126805 (2007).
- [44] C. Riedl, C. Coletti, T. Iwasaki, A. A. Zakharov and U. Starke, "Quasi-Free-Standing Epitaxial Graphene on SiC Obtained by Hydrogen Intercalation" *Phys. Rev. Lett.* 103, 246804 (2009).
- [45] F. Fromm, M. H. Oliveira Jr, A. M. Sanchez, M. Hundhausen, J. M. J. Lopes, H. Riechert, L. Wirts and T. Seyller, "Contribution of the buffer layer to the Raman spectrum of epitaxial graphene on SiC(0001)" *New Journal of Physics*, 15, 043031 (2013).
- [46] D. S. Lee, C. Riedl, B. Krauss, K. von Klitzing, U. Starke and J. H. Smet, "Raman Spectra of Epitaxial Graphene on SiC and of Epitaxial Graphene Transferred to SiO₂" *Nano Lett.* 8, 12, 4320 (2008).
- [47] H. Hibino, H. Kageshima, and M. Nagase, "Epitaxial few-layer graphene: towards single crystal growth" *J. Phys. D: Appl. Phys.* 43, 374005 (2010).
- [48] H. Miyazaki, S. Odaka, T. Sato, S. Tanaka, H. Goto, A. Kanda, K. Tsukagoshi, Y. Ootuka and Y. Aoyagi, "Inter-Layer Screening Length to Electric Field in Thin Graphite Film" *Appl. Phys. Express* 1, 3, 034007 (2008).

- [49] T. A. Schreyer and K. C. Saraswat, "A Two-Dimensional Analytical Model of the Cross-Bridge Kelvin Resistor" *IEEE Electron Device Lett.*, vol. EDL-7, no. 12, pp. 661–663, Dec. (1986).
- [50] D. Waldmann, J. Jobst, F. Speck, Th. Seyller, M. Krieger and H. B. Weber, "Bottom-gated epitaxial graphene" *Nature Mater.* 10, 357 (2011).
- [51] F. Speck, J. Jobst, F. Fromm, M. Ostler, D. Waldmann, M. Hundhausen, H. B. Weber and Th. Seyller, "The quasi-free-standing nature of graphene on H-saturated SiC(0001)" *Appl. Phys. Lett.* 99, 122106 (2011).
- [52] S. M. Sze and Kwok K. Ng, "Physics of semiconductor devices third edition" Wiley-Interscience.
- [53] K. K. Ng and R. Liu, "On the Calculation of Specific Contact Resistivity on <001> Si" *IEEE Trans. Elec. Dev.*, ED-37, 1535 (1990).
- [54] S. Hertel D. Waldmann, J. Jobst, A. Albert, m. Albrecht, s. Reshanov, A. schooner, M. Krieger and H.B. Weber, "Tailoring the graphene/silicon carbide interface for monolithic wafer-scale electronics" *Nat. Commun.* 3, 957, (2012).
- [55] W. Chen, S. Chen, Z. H. Ni, H. Huang, D. C. Qi, X. Y. Gao, Z. X. Shen and A. T. S. Wee, "Band-Bending at the Graphene–SiC Interfaces: Effect of the Substrate" *Jpn. J. Appl. Phys.* 49, 01AH05 (2010).
- [56] T. V. Blank and Y. A. Gol'dberg, "Mechanisms of current flow in metal-semiconductor ohmic contacts" *Semiconductors* 41, 1263–1292 (2007).
- [57] F. A. Padovani and R. Stratton, "Field and Thermionic-Field Emission in Schottky Barriers" *Solid-State Electronics*, 9, 695 (1966).

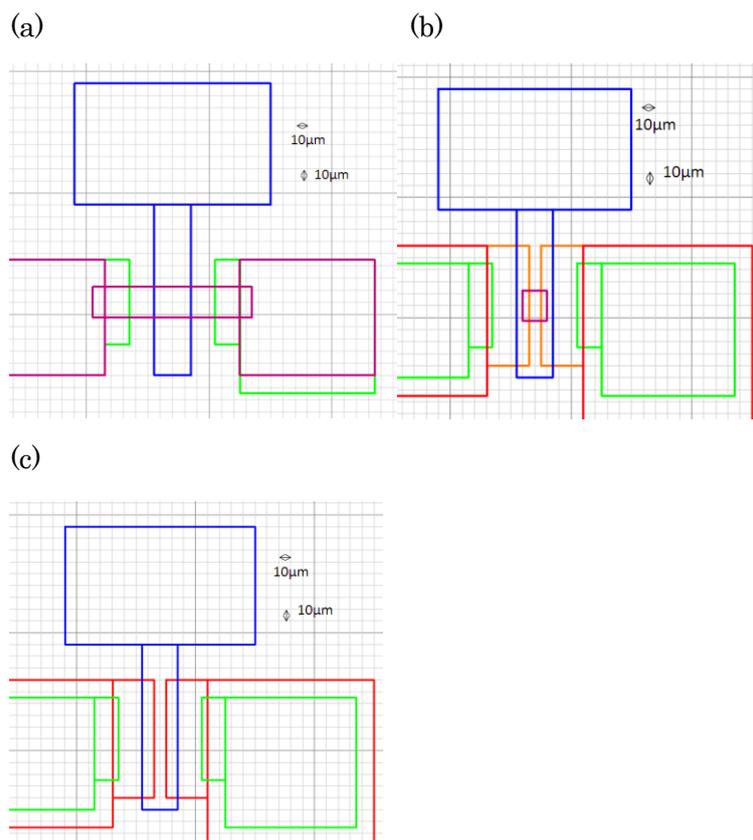
付録 A. 本研究で使用したマスクパターン

本研究で使用したマスクパターンについて述べる。本付録では、全てのマスクパターンを以下の色に従い記述する。



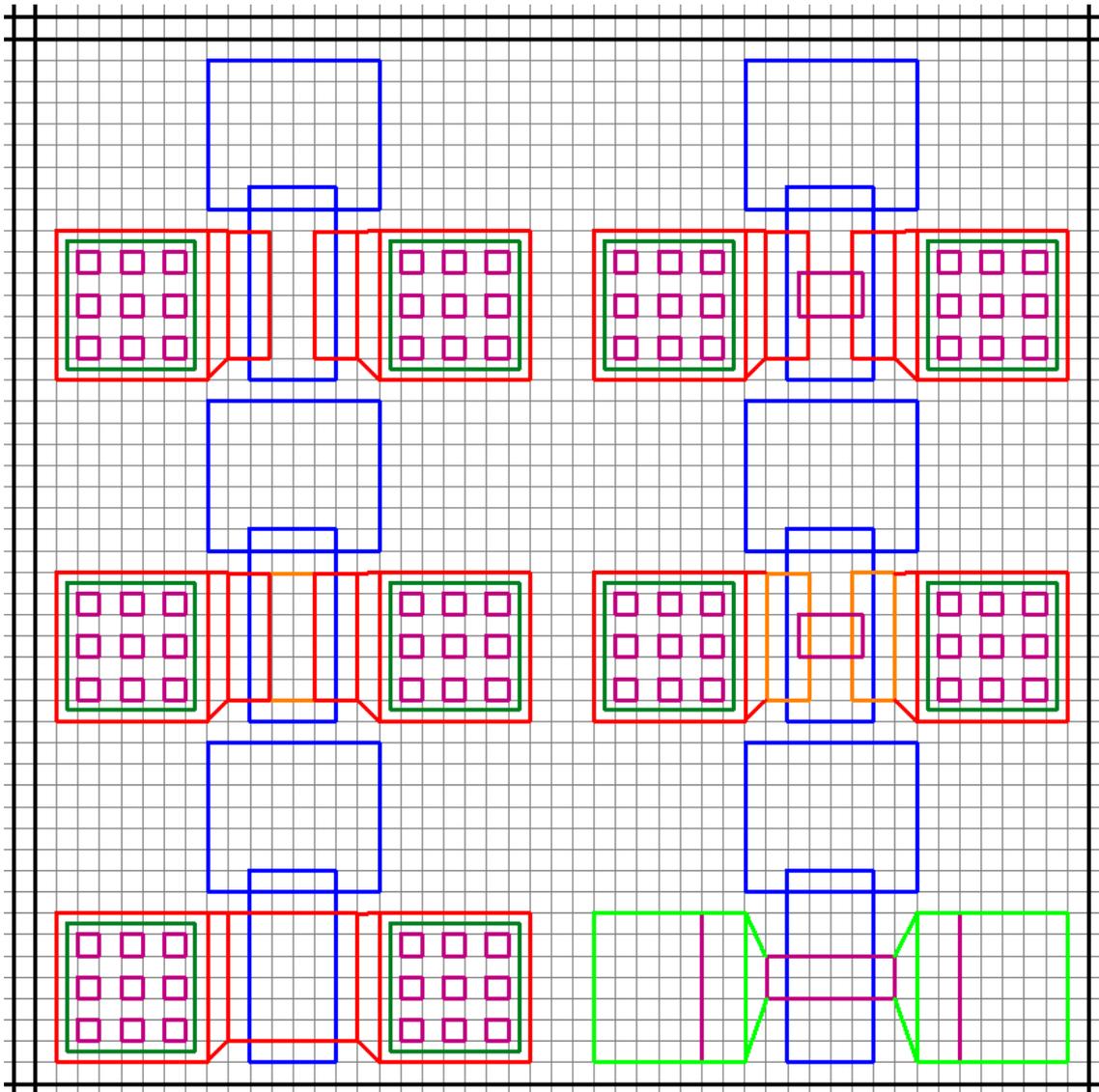
(A.1) オフ角のある基板に作製したトランジスタパターン

細い灰色のグリッドが $10\mu\text{m}$ 、太い灰色のグリッドが $100\mu\text{m}$ を示す。



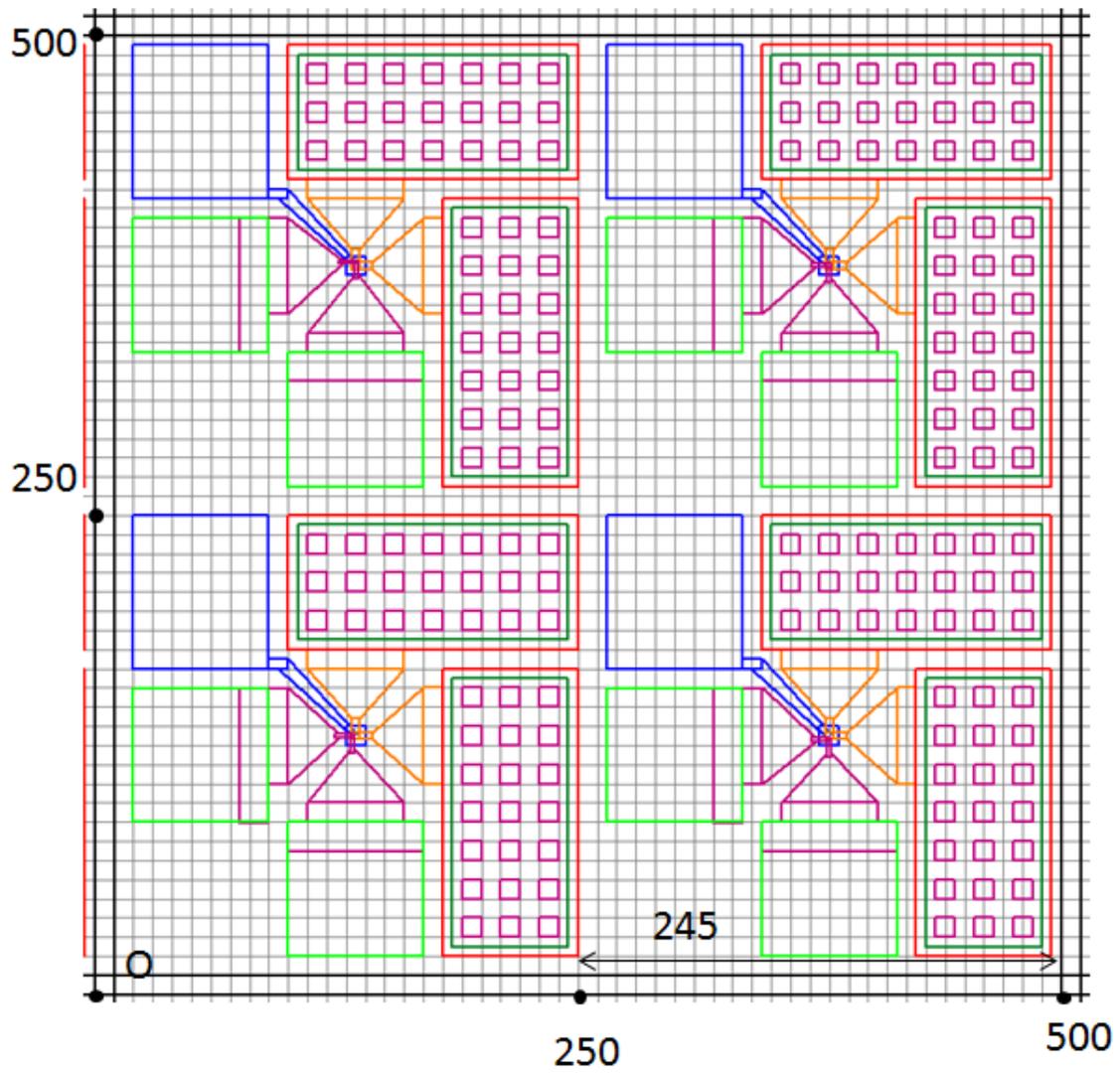
(A.2)半絶縁性基板上に作製したトランジスタのパターン

灰色で示される一つのグリッドは $10\mu\text{m}$ 角。左側の素子は、上から SiC-MOSFET、n-SiC 直列抵抗評価素子、n⁺-SiC 直列抵抗評価素子である。右側の素子は上から高濃度 n-SiC-S/D-GFET、低濃度 n-SiC-S/D-GFET、GFET である。ここで、n⁺-SiC 領域中のグラフェンは、金属と n⁺-SiC 間のコンタクトを低減させるために形成されており、このグラフェンの存在により、金属/n⁺-SiC 間でオーミックコンタクトが実現しやすくなっている。



(A.3)CBK 素子のパターン

グリッドは $10\mu\text{m}$ である。グラフェン/n-SiC コンタクト部分は極めて小さな面積でコンタクトしていることがわかる。



(A.4) CBK 素子のパターン(拡大図)

CBK 素子のコンタクト部分の図を以下、**図 A.1**に示す。グリッドは $1\mu\text{m}$ である。なお、**(a)**や**(b)**等の微細なパターンでは $1\mu\text{m}$ のマスク合わせズレにより、コンタクト面積が大きく変わってくる。本マスクでは、グラフェン層部分のパターンを、 $\pm 1\sim 2\mu\text{m}$ ほど上下左右にずらしたパターンを作製し、実際の測定では、良くコンタクトできている素子を測定した。また、マスク合わせのズレは、平均して上下左右に $1\sim 2\mu\text{m}$ ずれるため、本研究ではグラフェンおよび n-SiC 領域のパターニング過程において、マスク合わせズレを $1\mu\text{m}$ 単位で記録し、それも参考にして実験を行っている。

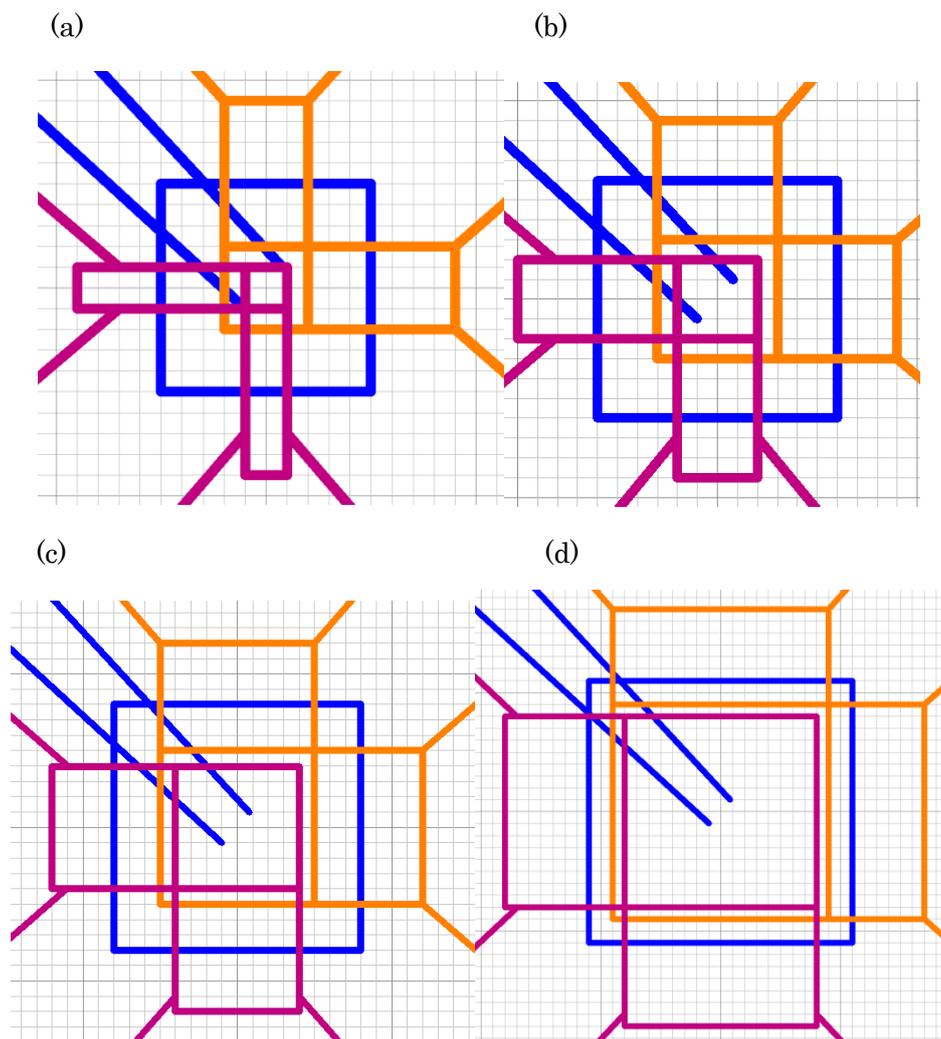
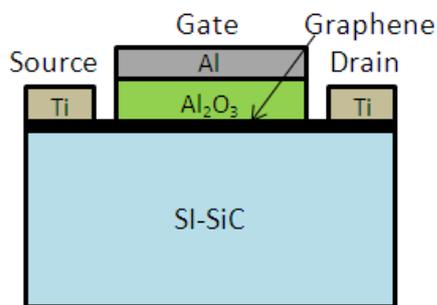


図 A.1. CBK 素子のコンタクト部分のマスクパターン (a) $2\mu\text{m} \times 2\mu\text{m}$ パターン (b) $4\mu\text{m} \times 4\mu\text{m}$ パターン (c) $8\mu\text{m} \times 8\mu\text{m}$ パターン (d) $16\mu\text{m} \times 16\mu\text{m}$ パターン

付録 B.ゲート絶縁膜の検討について



Just-SiC 基板を用い、図 B.1 に示す構造のグラフェンチャネルトランジスタを作製しその電気特性を評価した。また、容量等価膜厚(CET)測定のため n-SiC 基板を用いた SiC-MOS キャパシタも同時に作製した。以下の 3 点について検討した。

図 B.1.作製したトランジスタ構造

①有機金属原料

本研究室にて用いてきた TEA と、成膜後の炭素不純物が少なくなる事が報告されている DMAH の 2 種類の有機金属原料(MO)について検討を行った。

②酸化剤：酸素

MO の酸化剤として酸素を用いた場合について、成膜時の温度を変えた検討を行った。

③酸化剤：H₂O

MO の酸化剤として H₂O を用いた場合について、グラフェン上への MO 供給前に H₂O を供給し、グラフェン表面の化学的活性化を試みた場合とそうでない場合について検討を行った。以下に今回検討を行った条件を示す。

表 B.1.トランジスタ作製条件(同様の条件でキャパシタも作製)

No.	MO	酸化剤	成膜温度 (°C)	MO 供給前 H ₂ O 供給時間(sec)	備考
1	TEA	O ₂	190	0	
2			260		
3			330		
4		H ₂ O	190	0	
5				20	
6				60	
7	DMAH	O ₂	190	0	Lost
8			260		
9			330		
10		H ₂ O	190	0	
11				20	
12				60	

※絶縁膜堆積方法について

第2章で述べた構成のMOCVD装置を用いて行った。酸化剤を O_2 または H_2O 、有機金属をTEAまたはDMAHとして成膜を行った。また、酸化剤 H_2O は反応性が高い為、以下の図B.2(a)で示されるようなALD-likeなパルス供給法を用いている。なお、 O_2 の場合は(b)に示されるように、酸化剤と原料を同時供給する形になる。

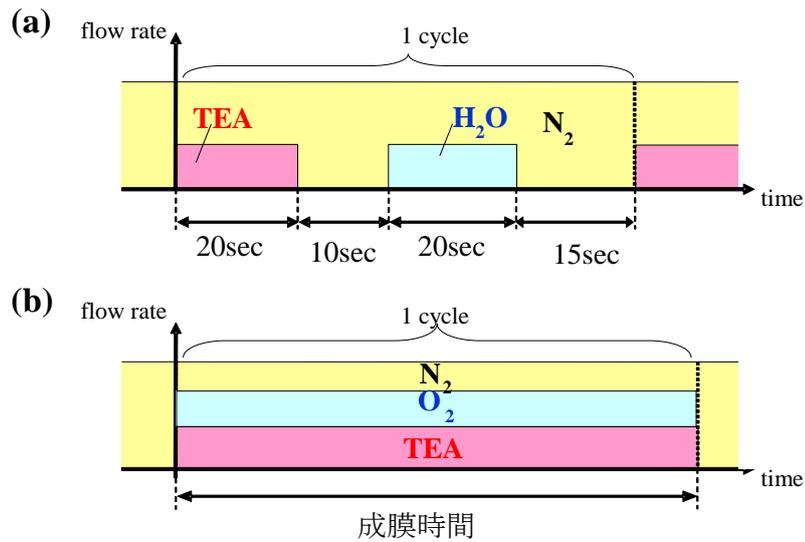


図 B.2. MOCVD のパルス供給シーケンス

B.1MOS キャパシタの C-V 特性

B.1.1 酸化剤 O₂ について

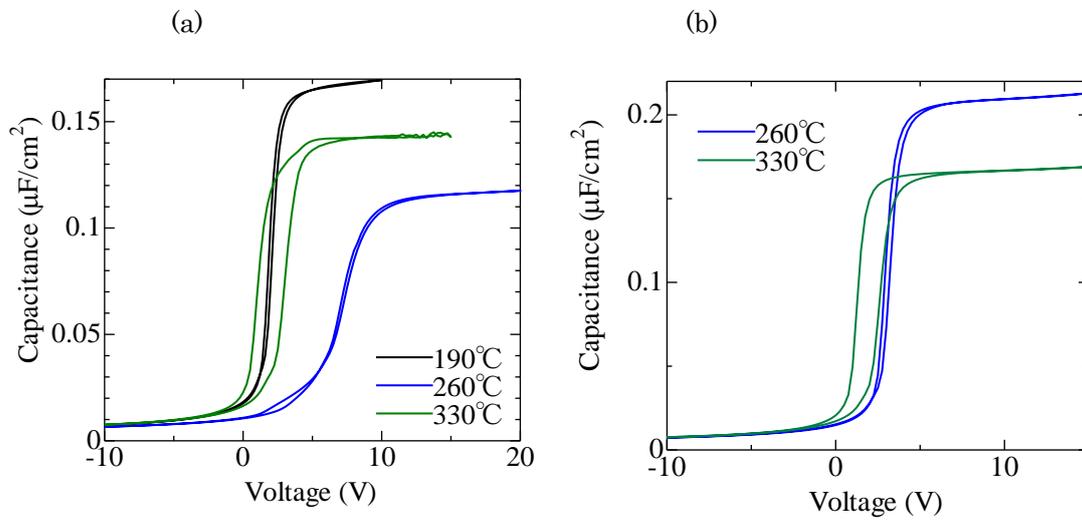


図.B.3. 得られた C-V 特性 (a)TEA を用いたもの (b)DMAH を用いたもの

- どちらも 330°C で成膜したものにおいてドリフト回りのヒステリシスが見られた。
- TEA の場合は 260°C において顕著なしきい値と界面特性の劣化が見られた。
- C-V の立ち上がりは、260°C、330°C の素子において DMAH の方が急峻であった。

B.1.2 酸化剤 H₂O について

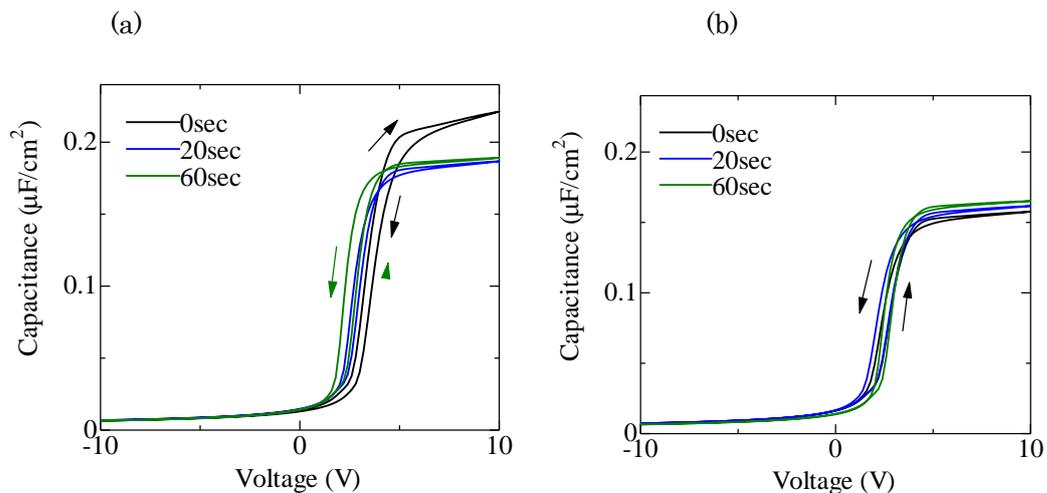


図.B.4.C-V 特性 (a)TEA (b)DMAH

- TEA は事前に H₂O を供給する事により電荷注入回りのヒステリシスが無くなった。
- DMAH については特に変化は見られなかった。

B.2.MOS キャパシタの J-E 特性

B.2.1 酸化剤 O₂ について

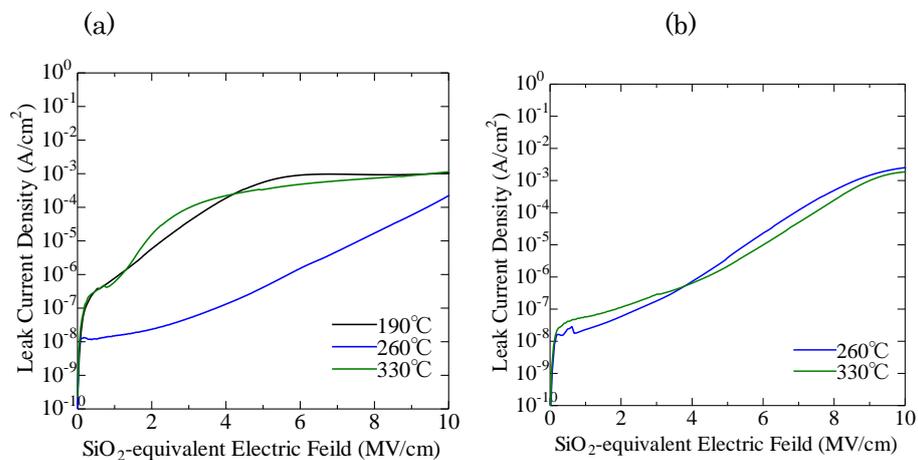


図.B.5. J-E 特性 (a)TEA (b)DMAH

- TEA は 260°C で成膜したものが顕著にリーク電流が少ない
- DMAH は 260°C、330°C においてリーク電流の振る舞いに変化が無い。

B.2.2.酸化剤 H₂O について

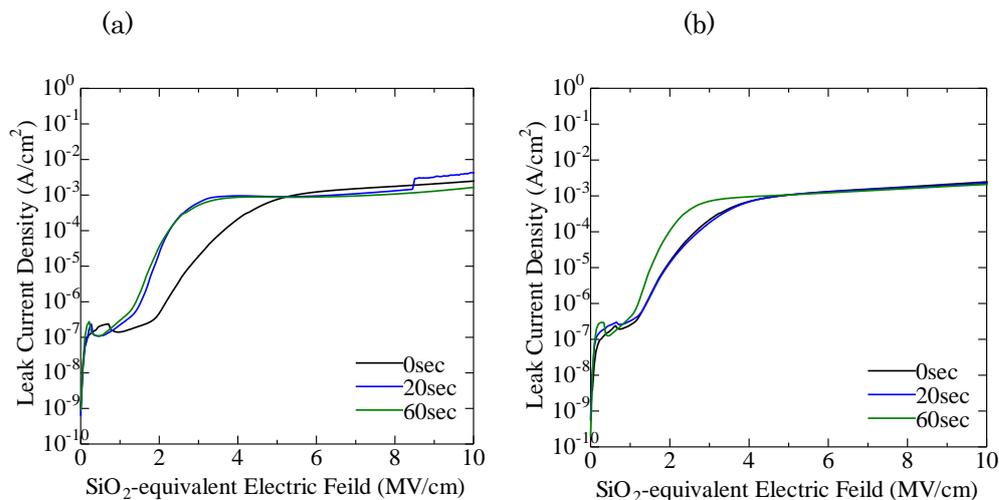


図 B.6. J-E 特性 (a)TEA (b)DMAH

- ・ 成膜前の H₂O 供給により低電界でのリーク電流が増加する傾向がある。
- ・ DMAH は TEA に比べ H₂O 供給の影響を受けにくい。
- ・ 両者ともリーク電流の値に大差はない。

B.3. グラフェントランジスタの J_G-E_G 特性

グラフェントランジスタのゲートとソース間に電界を印加し、リーク電流密度を測定した。

B.3.1.酸化剤 O₂ について

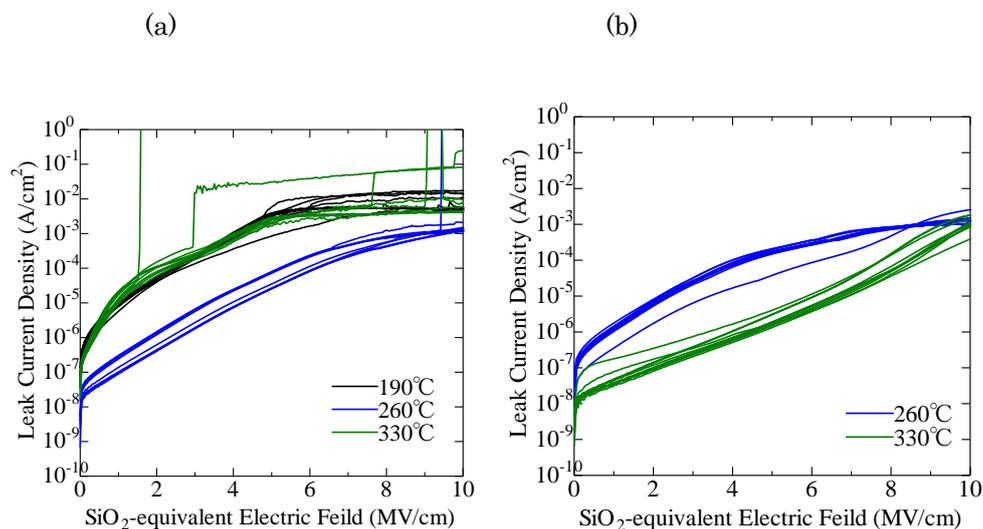


図 B.7. J_G-E_G 特性 (a)TEA (b)DMAH

- ・ TEA の 260°C 成膜は MOS キャパシタと同様リーク電流が小さい。
- ・ DMAH の 330°C 成膜はリーク電流密度が有意に小さい。これは MOS キャパシタの結果と異なる。
- ・ DMAH の方が絶縁破壊する素子が少ない。

B.3.2.酸化剤 H₂O について

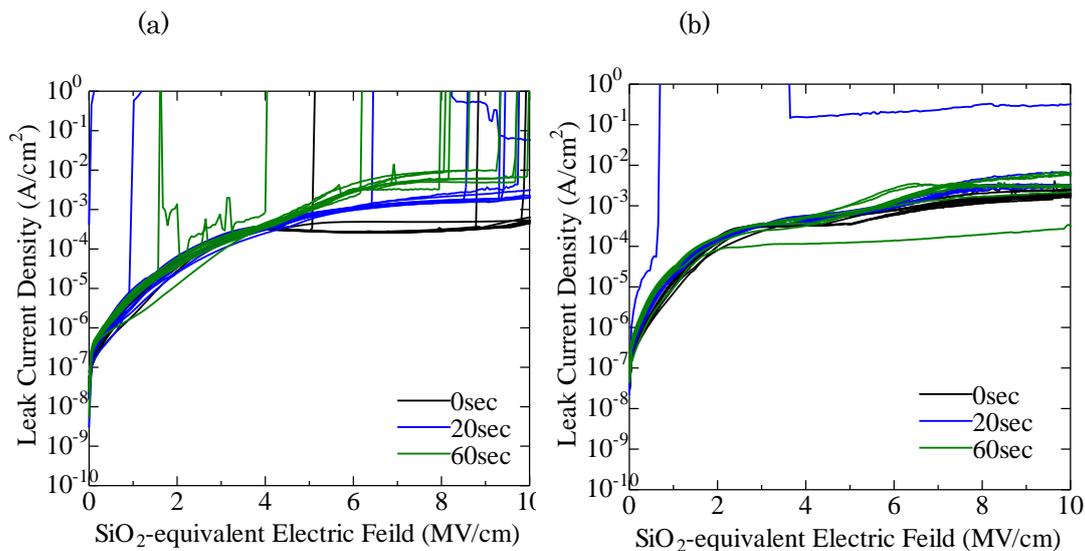


図 B.8. JG-EG 特性 (a)TEA (b)DMAH

- TEA は事前に供給する水が増えると、高電界側でリークが増大する。
- DMAH の方が絶縁破壊の数が少ない。

B.4. グラフェントランジスタの I_D-E_G 特性

B.4.1. 酸化剤 O₂ について

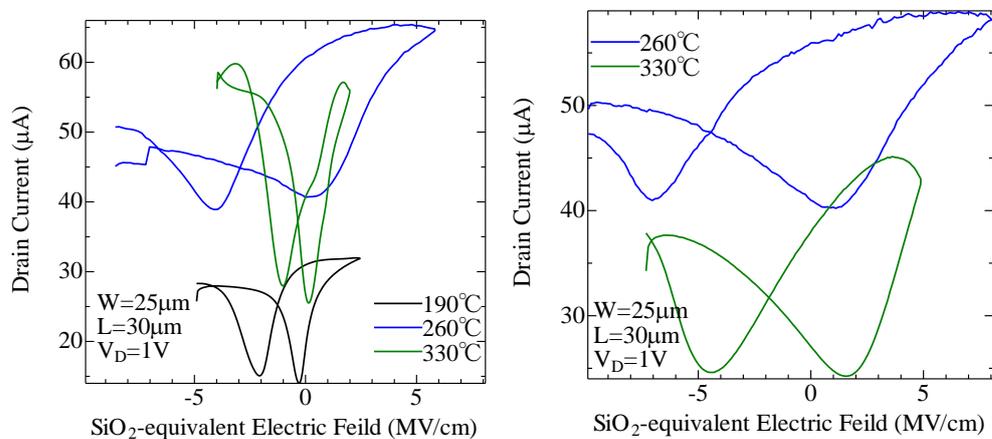


図 B.9. I_D-E_G 特性 (a)TEA (b)DMAH

- ヒスはすべてドリフト回りであった。
- TEA は酸化剤 O₂、330°C がシャープな特性を示している。この特性において最も界面特性が優れていると考えられる。
- 両者とも 260°C は特性が悪い。

B.4.2.酸化剤 H₂O について

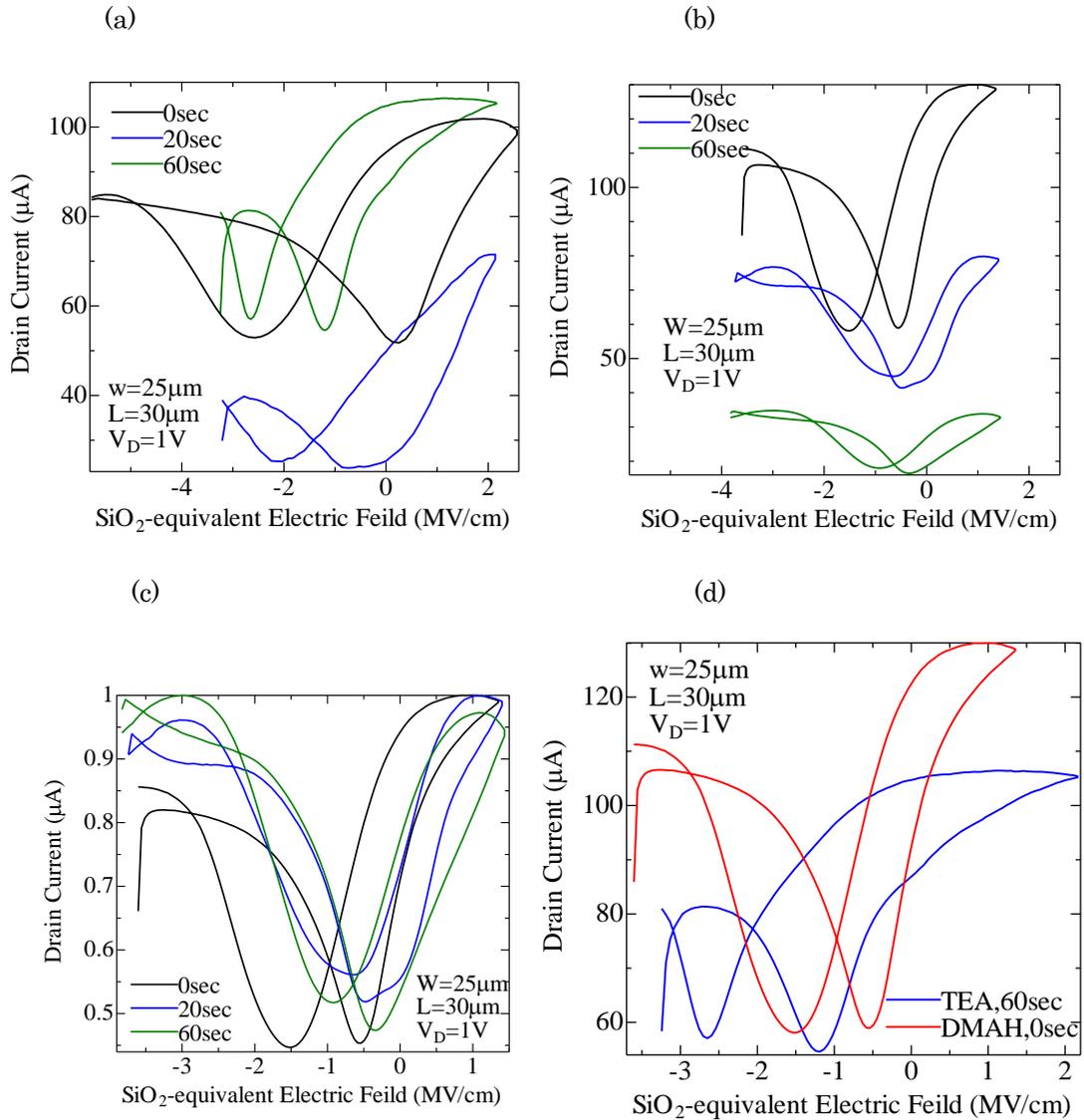


図 B.10. I_D - E_G 特性 (a)TEA (b)DMAH (c)DMAH(最大値で規格化) (d)TEA, DMAH の比較

- ・ TEA については、MO 供給前の H_2O 供給により、 I_D - E_G 特性がシャープになっている事がわかる。
- ・ DMAH についてはディラック点が若干正側にシフトしている以外は、 H_2O の事前供給に関して有意な違いがあるようには見られない。
- ・ TEA については逆に H_2O 供給時間を増やすとディラック点が負側にシフトしていく傾向がある。

B.4.3.酸化剤,MOの違いの比較

酸化剤 O_2, H_2O において優れた特性が得られた、TEA を用い Al_2O_3 を成膜した素子 ($O_2, 330^\circ C, H_2O$ 事前供給 60 sec) 及び、DMAH を用い Al_2O_3 膜を成膜した素子 (H_2O 事前供給 0 sec) を比較した。

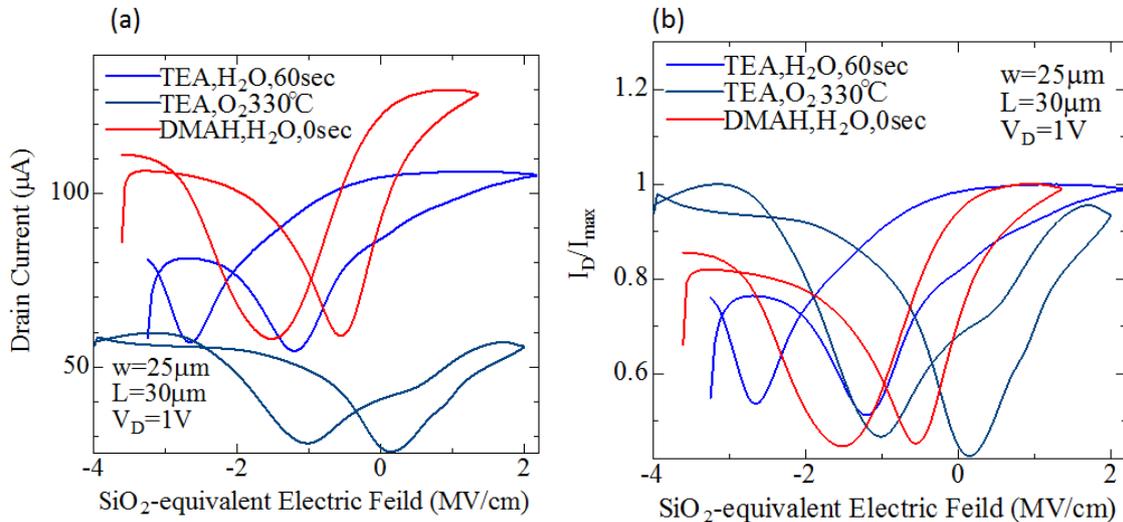


図 B.11. I_D - E_G 特性 (a)各条件を比較 (b)電流の最大値で規格化したもの

- ・ I_D - E_G 特性のシャープさはドレイン電流の最大値で規格化したものではそれほど差が無い。
- ・ O_2 を用い、 $330^\circ C$ で成膜した GFET が一番ディラック点が右側にある(中性に近い)。
- ・ O_2 を用い、 $330^\circ C$ で成膜した GFET はかなりの負電圧を印加してもトランジスタ特性に劣化が見られなかった。

B.5.まとめ

- ・ MOS キャパシタについては、リーク特性、C-V 特性共に若干 DMAH が優れている。
- ・ グラフェントランジスタのリーク特性においても DMAH は絶縁破壊する素子が少ない等の優れた点を示した。
- ・ I_D - E_G 特性については H_2O を用いた成膜では、 I_D - E_G のシャープさについては TEA と DMAH あまり差が無い。
- ・ I_D - E_G 特性については、TEA は事前に H_2O を供給する事によって特性の改善が見られた。
- ・ O_2 を酸化剤としたものでは、TEA を用い、 $330^\circ C$ で成膜したものが最も優れた特性を示した。
- ・ 良好な界面特性を実現した条件の中では、酸化剤 O_2 、 $330^\circ C$ での成膜を行った素子は、比較的高い電界を印加しても、素子特性に劣化が見られなかったため、信頼性の高いゲート絶縁膜が形成されていると考えられる。