

論文 / 著書情報
Article / Book Information

論題(和文)	演算増幅器設計コンテストの現状と今後
Title(English)	Current Status and Future of Operational Amplifier Contest
著者(和文)	高木茂孝
Authors(English)	Shigetaka Takagi
出典(和文)	電子情報通信学会誌, Vol. 97, No. 9, pp. 769-773
Citation(English)	The Journal of the Institute of Electronics, Information and Communication Engineers, Vol. 97, No. 9, pp. 769-773
発行日 / Pub. date	2014, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2014 Institute of Electronics, Information and Communication Engineers.

演算増幅器設計コンテストの現状と今後

Current Status and Future of Operational Amplifier Design Contest

高木茂孝

Abstract

電子回路を構成するにあたり、演算増幅器はその内部構造を意識することなく、手軽に用いられる。一方、演算増幅器の設計には様々なアナログ回路技術が用いられている。このため、演算増幅器の設計は高等教育機関に所属する学生がアナログ回路技術を学ぶ上で非常に良い課題と考えられる。本稿では、学生たちがアナログ回路技術を学び、修得し、社会に巣立ってほしいとの思いで開催した演算増幅器設計コンテストの現状と今後の課題について述べる。

キーワード：演算増幅器，電子回路，アナログ回路技術，設計コンテスト

1. はじめに

演算増幅器設計コンテストとは、様々な電子回路を手軽に構成する上で有用な演算増幅器と呼ばれる回路の設計技術を競うコンテストである。演算増幅器は、抵抗やコンデンサなどと組み合わせることにより、加算回路や減算回路、積分回路、フィルタ、発振回路などを比較的簡単に構成でき、電子回路設計においてとても重要な回路である。その中身は主にトランジスタで構成されているが、演算増幅器を用いる際には回路内部を意識する必要がなく、初心者にも扱いやすいため、電子回路の汎用能動素子と呼ばれている。

演算増幅器は初心者にも扱いやすい一方で、内部の回路構造については、様々な回路設計技術が用いられており、高性能の演算増幅器を設計するためには回路設計技術について深い知識が必要となる。このため、演算増幅器の設計は高等教育機関に所属する学生がアナログ回路技術を学ぶための良い課題と考えられる。

以上の背景の下、演算増幅器設計コンテストは、電子回路の汎用能動素子である演算増幅器の設計、試作、評価を通して、アナログ集積回路技術全般を習得した、実

社会に通じるアナログ回路技術者を高等教育機関から輩出することを目的としている⁽¹⁾。また、演算増幅器設計コンテストは試作の部とシミュレーションの部に分かれている。試作の部は、実際に演算増幅器を集積回路上に実装し、その特性を競うコンテストであり、シミュレーションの部は試作前の設計段階の演算増幅器の特性を計算機シミュレーションから得た結果を基に競うコンテストである。本稿では演算増幅器設計コンテストの運営体制、実施方法、問題点などについて述べる。

2. 演算増幅器設計コンテストの概要

2.1 演算増幅器とは

上述したとおり、演算増幅器はトランジスタを主体として構成されているが、抵抗やコンデンサなどと同様に、部品のように扱うことができる。このため、演算増幅器を一つの部品として扱い、図1に示す記号がしばしば用いられる。一般に電源電圧は正と負の電源が用いられる。図1においては、 V_{DD} が正の電圧源、 $-V_{SS}$ が負の電圧源を表している。これらの電源を接続する必要があることは明らかなので、電源が接続される端子を省略した記号が用いられることが多い。 V_{in+} と V_{in-} が入力電圧であり、 V_{out} が出力電圧である。演算増幅器は V_{in+} と V_{in-} の差を増幅して V_{out} として出力する回路であり、理想的にはその増幅利得は無限大である。実際においても、演算増幅器の直流における増幅利得は通常1万倍以上と極めて高い。このように演算増幅器は非常に大きな

高木茂孝 正員：シニア会員 東京工業大学大学院理工学研究科通信情報工学専攻
E-mail takagi@ec.ce.titech.ac.jp
Shigetaka TAKAGI, Senior Member (Graduate School of Science and Engineering, Tokyo Institute of Technology, Tokyo, 152-8550 Japan).
電子情報通信学会誌 Vol.97 No.9 pp.769-773 2014年9月
©電子情報通信学会 2014

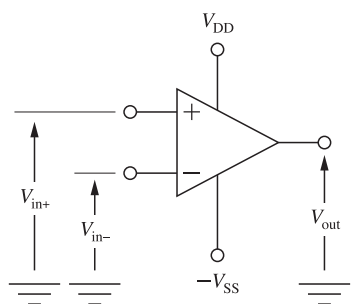


図1 演算増幅器の記号

増幅利得を持つため、大抵の場合はたとえ小さな振幅の信号が入力されても計算上は出力が電源電圧を超え、実際には出力が飽和する。このため一般には出力端子から入力端子に負帰還を掛けて用いられる。

2.2 評価項目と参加要件

演算増幅器を評価する項目は多岐にわたる。このコンテストでは、電源電圧、消費電流、消費電力、直流利得、位相余裕、利得帯域幅積、スルーレート、全高調波ひずみ、同相除去比、電源電圧変動除去比、出力電圧範囲、同相入力範囲、占有面積の13項目について要件を設けている。位相余裕や利得帯域幅積などの専門的な用語については拙著⁽³⁾などを参照して頂ければ幸いである。例えば、電源電圧と直流利得に課せられる要件は2個の電圧源 V_{DD} と $-V_{SS}$ の差が3V以下、直流利得は40dB以上などとなっており、設計した回路がこれら13項目の要件を全て満足しなければコンテストに応募することができない⁽²⁾。

2.3 審査方法

2.3.1 シミュレーションの部

シミュレーションの部は主に四つの部門に分かれている。シミュレーションの部では、設計された演算増幅器の特性を計算機シミュレーションにより評価し、順位付けを行う。部門によって異なる評価式に、シミュレーションにより得られた評価項目の値を代入し、設計された演算増幅器のスコアが算出される。

いずれの部門においても、アナログ集積回路設計においてしばしば遭遇するトレードオフの問題を解決しなければ、良いスコアにならないように工夫されている。例えば、スルーレートとは、安定性を確保するために必要な演算増幅器内部のコンデンサを充電できる最大速度であり、スルーレートを大きくしたい場合はコンデンサを充電するための電流を大きくすればよい。しかし、コンデンサを充電するための電流を大きくすると消費電流が増える。このトレードオフを考慮し、一つの部門では評価式として

$$F = \frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

を用いて評価している。また、ほかの三つの部門では

$$F = \frac{\text{利得帯域幅積} \times \text{位相余裕} \times \text{直流利得}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

$$F = \frac{\text{位相余裕} \times \text{同相除去比} \times \text{直流利得}}{\text{占有面積} \times \text{消費電流} \times \text{電源電圧}}$$

$$F = \text{電源電圧変動除去比} \times \text{出力電圧範囲} \times \text{位相余裕}$$

という式を用いている。これらの値が高い回路が入賞となる。

シミュレーションの部は、これら四つの部門のほかに、トポロジ部門と呼ばれる部門がある。この部門は回路設計手法の新規性や独創性を競う部門である。残念ながら、ここ数年は応募者が少なく、表彰に値する作品が応募されていないのが現状である。

2.3.2 試作の部

試作の部は2006年から開始され、コンテスト参加者が実際に回路設計やレイアウト設計を行い、集積回路上に試作した演算増幅器の特性を競うコンテストである。試作の部では、東京大学の大規模集積システム設計教育センターが提供していた1.2μm ルールのCMOS プロセスを利用して試作を行っていたが、2012年からその提供が中止され、試作の部も中断せざるを得なくなった。2006年から2011年に行われた試作の部では、当初、総合性能を競い合っていたが、総合性能の評価が曖昧であるため、シミュレーションの部と同様に要件を設け、ある一つの評価尺度の下で性能を競い合うことにした。2011年のコンテストでは、「演算増幅器を用いた利得10倍の正相増幅回路をアプリケーションとし低消費電力化を競う」こととした。

試作の部は、コンテスト参加者が試作した演算増幅器をコンテスト事務局に送付し、コンテスト運営委員会が要件を満足するか、どの程度の性能であるかを評価するので、コンテスト参加者が測定する必要はない。しかしながら、演算増幅器設計コンテストは教育目的のコンテストであるため、参加者が測定したデータや計算機シミュレーション結果、回路図などの提出を課していた。また、測定にあたっては有明工業高等専門学校石川洋平准教授のグループの応援を得たこともあった。

なお、試作の部はフェニテックセミコンダクター株式会社⁽⁴⁾が提供する0.6μm CMOS プロセスを使って2014年から再開する予定である。これに伴い、2014年は試みとして、演算増幅器設計コンテスト運営委員会が1

チップ（演算増幅器 8 個分）を買い取り，演算増幅器の無料試作の募集を行った．無料試作への応募は指導教員を介して行うこととし，指導教員 1 名当り 1 回路に制限したところ，7 名の教員から応募があった．

3. コンテストの運営について

3.1 演算増幅器設計コンテストの経緯

演算増幅器設計コンテストは，東京大学に大規模集積システム設計教育センターが 1996 年設立されたことに触発されて始まった．当初は，東京工業大学の藤井・高木研究室内のイベントであったが，2001 年から富士電機総合研究所の協賛を得て，他大学の研究室にも参加を呼び掛けて東京工業大学アナログ回路グループが主催することとなった．2001 年以降，知己の企業の方々に声を掛け，コンテストに協賛して頂ける企業が少しずつ増えていき，2013 年のコンテストでは協賛企業は 12 社であった．当初は，参加学生があらゆる性能において優れた演算増幅器を設計することを目指すことにより，参加学生からの新しい回路技術の提案を期待していた．しかしながら，演算増幅器は応用によって，その目標性能が異なるとの協賛企業からの助言により，少しずつコンテストの評価方法を変更し，トレードオフを考慮した現在の評価形式に至った次第である．また，諸事情により，2012 年からは応用科学学会⁵⁾がコンテストを主催している．

3.2 運営体制

現在では，応用科学学会の下で演算増幅器設計コンテスト運営委員会が組織され，東京理科大学の兵庫明教授が委員長を務めている．更に，演算増幅器設計コンテスト運営委員会は，下記のとおり，審査を担当する審査委員会と実務を担当する実行委員会から構成されている．

- 審査委員会
- 委員長：兵庫 明（東京理科大学）
- 委員：和田和千（明治大学）
- 委員：高井伸和（群馬大学）
- 委員：ニコデムス レディアン（神奈川大学）

- 実行委員会
- 委員長：高木茂孝（東京工業大学）
- 委員（広報）：佐藤隆英（山梨大学）
- 委員（総務）：佐藤広生（東京工業大学）
- 委員（監査）：岡田泰仕（エヌエフ基金）

3.2.1 審査委員会

審査は，基本的に上述した評価式に基づいて算出された点数を基に順位付けして行われる．ただし，点数が高

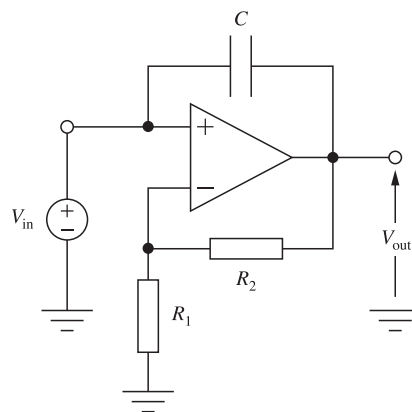


図2 演算増幅器を用いた正相増幅回路

くても演算増幅器として正しく動作していないことがある．このため，設計された演算増幅器の動作確認が必要となる．参加学生は高い点数を出すことに集中するあまり，本質的に重要な回路動作を無視することがある．

例えば，図2のように演算増幅器を構成する回路素子の一つとして，演算増幅器の入力端子と出力端子の間にコンデンサ C が接続されていた．このコンデンサ C を取ると， $1 + R_2/R_1$ 倍の正相増幅回路として動作する．一方， C があると，コンデンサは高い周波数成分を通しやすいため，入力の素早い電圧変化が直接出力に伝わる．この結果，一瞬スルーレートの改善され，その瞬間のスルーレートを評価したため，この回路は高い点数を出していた．しかしながら，このスルーレートの改善は一瞬であり，実際には出力が少し変化した後，入力電圧と抵抗値 R_1 や R_2 で決まる出力電圧になる．このようなことがあるため，審査委員会では，幾つかのシミュレーション結果を基に演算増幅器の動作を審査委員会委員が，協賛企業の方々の応援を得ながら，回路動作を確認している．確認の結果，特に問題がなければ入賞となる．このように，審査委員会では評価式を用いた数値だけでは判断できない問題を確認しながら，正常に動作する回路を選出している．

3.2.2 実行委員会

実行委員会は予算案の立案や執行，審査委員会などのスケジュール調整，会場の確保，広報などを行い，コンテストの事務局の役割を果たしている．審査には直接関わらないものの，各年のコンテストの実施方針や評価式の変更に伴う Web サイトの更新などについて審査委員会と密に連携している．特に，例年 5 月頃に協賛企業を募るために実施している演算増幅器設計コンテストの説明会は実行委員会の重要な業務である．

3.3 協賛企業

演算増幅器設計コンテストでは、上位入賞者のみならず、参加した全学生に図書カードを贈っている。更に、コンテストにおいて最も優秀であると認められた者は、米国サンフランシスコで開催される、集積回路に関する世界最大の国際会議 IEEE International Solid State Circuits Conference への参加を副賞として贈呈している。この国際会議は、他の国際会議にはない独特の雰囲気があり、優秀な学生に良い刺激を与えることを期待した上での企画である。IEEE International Solid State Circuits Conference に参加した学生には報告書を書いてもらい、報告書は演算増幅器設計コンテストの Web サイトに掲載している。

副賞や国際会議への参加費用は全て協賛企業からの協賛金から支出されており、コンテストを運営することができている。また、協賛金の支出だけでなく、上述した審査委員会への協力や、コンテストの運営方法や審査方法についての助言など、コンテストへ多大なる貢献をして頂いている。協賛企業には、大学教員が主体となって運営しているコンテストが実社会とかけ離れないための重要な役割を担って頂いていると考えている。

3.4 コンテストの実施手順

演算増幅器設計コンテストに参加できる者は原則として高等教育機関に在籍する修士課程までの学生である。コンテストに参加を希望する学生は、まず演算増幅器設計コンテストの Web サイトにおいて参加登録を行い、ID を取得する。演算増幅器設計コンテストは、多くの大学が休みとなる 8 月から 9 月にかけて行われる。参加登録を済ませた学生は、Web サイトから各自が設計した演算増幅器のデータをアップロードし、その評価結果が点数として返される。参加者は各部門ごとに一つだけ演算増幅器の設計結果をアップロードすることができる。ただし、設計結果を更新することも可能である。ID と順位も Web サイト上に掲載されているため、学生たちは自分の順位を確認しつつ、回路の改良を進めていく。ただし、コンテスト終了前の 1 週間ほどは、順位の掲載がなくなり、学生たちは自信作の演算増幅器をアップロードし始め、本当の戦いが始まる。

10 月頃に審査委員会が開催され、各部門ごとに応募された演算増幅器の順位付けが行われ、11 月下旬辺りに上位入賞者による発表会が開催される。発表者には旅費の補助を行っており、この費用も協賛企業からの協賛金により賄われている。発表会では、評価式を考慮した設計方針や設計において工夫した点が説明される。発表会には審査委員会委員だけでなく、協賛企業の方々や参加学生の指導教員も参加しており、発表者に対してコメントや助言を与えている。特に、発表会の最後に、審査委員会委員長から発表者に対する講評があり、参加学生



図3 発表会での様子

への良い刺激になっている。発表会の様子を図3に示す。

また、発表会の後には、表彰式を行っている。更に、表彰式終了後に懇親会を開き、演算増幅器設計コンテストに参加した学生はもとより、演算増幅器設計コンテスト運営委員会委員や協賛企業の方々、参加学生の指導教員が出席し、コンテストにおける成果などを話題にして、懇親を深めている。

演算増幅器設計コンテストに参加する学生の数は一時期 100 名を超えたが、2011 年が 92 名、2012 年 69 名、2013 年は 62 名と減少している。また、参加校は 2011 年が 13 校、2012 年が 11 校、2013 年が 12 校となっている。参加学生数の減少については何らかしらの対策が必要と感じている。

4. 今後の演算増幅器設計コンテストについて

演算増幅器設計コンテストを始めた当初から、試作した演算増幅器によるコンテストを目指しており、シミュレーションの部は、試作の部のみに移行するための前段階と位置付けていた。実際に試作の部を始めてみると、演算増幅器を試作するためには、まず設計環境を整備することが難しく、更に試作には人手と時間、費用がかかり、試作の部に参加するためのハードルが高いことを実感した。試作の部に参加した学校数は 2010 年が 6 校と最多で、他の年は 2 校あるいは 3 校であった。この状況を反省し、今年のコンテストでは、無料試作枠を設けた次第である。これをきっかけに試作の部へ参加する学校数が増えることを期待している。

また、第 1 回に当たる 2001 年の演算増幅器設計コンテストに参加した学校は 5 校であり、参加学生数も 28 名であった。このため、今ほどの労力はかからなかった。しかしながら、学校数や参加学生が増えてくると、当然、運営側の労力も増加し、運営の効率化やルールの

透明性が求められ、結果としてシミュレーションの部では現在の評価式に基づく順位付けという審査方法となった。この審査方法では計算機が自動的に順位を付けるが、上述した確認作業が必要なため演算増幅器設計コンテスト運営委員会委員の負担は大きく、一層の効率化が必要だと考えている。演算増幅器設計コンテストの趣旨に御賛同頂き、運営についての協力や助言、あるいは協賛の申し出などの御支援を頂戴できれば誠に幸いである。

謝辞 本コンテストのシミュレーションの部は東京大学大規模集積システム設計教育センターを通し、シノプシス株式会社の協力の下で行われている。また、現在までに協賛して頂いた全企業並びに審査や演算増幅器の特性の測定などにおいて演算増幅器設計コンテストの運営に御協力頂いた関係諸氏に心から感謝申し上げる。

文 献

- (1) 平成 25 年演算増幅器設計コンテスト ホームページ, <http://www.ec.ss.titech.ac.jp/opamp/2013/>
- (2) 高木茂孝, アナログ電子回路 [初めて学ぶ人のために], 培風館, 2008.
- (3) 高木茂孝, “演算増幅器設計コンテストを運営して,” 2013 信学総大 (基礎・境界), no. ACIDI-1-3, SS69-SS70, March 2013.
- (4) フェニテックセミコンダクター株式会社ホームページ, <http://www.phenitec.co.jp/>
- (5) 応用科学学会ホームページ, <http://www.ohyokagaku.org/>

(平成 26 年 3 月 31 日受付 平成 26 年 4 月 22 日最終受付)



高木 茂孝 (正員: シニア会員)

昭 56 東工大・工・電気電子卒, 昭 61 同大学院博士課程了, 工博, 同年同大学・工・助手, 現在, 東工大大学院理工学研究科通信情報工学専攻教授, 昭 63 年度本会篠原記念学術奨励賞, 平 7 年度及び平 12 年度本会論文賞を各受賞, アナログ集積回路の研究に従事, 著書「ディジタル集積回路入門」(共著, 昭晃堂), 「線形回路理論」(昭晃堂), 「アナログ電子回路入門」(数理工学社) など, 電気学会, IEEE, 応用科学学会各会員.