

論文 / 著書情報
Article / Book Information

題目(和文)	バッテリーレス無線通信集積回路システムに関する研究
Title(English)	
著者(和文)	白根篤史
Author(English)	Atsushi Shirane
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第9855号, 授与年月日:2015年3月26日, 学位の種別:課程博士, 審査員:益 一哉,植之原 裕行,若林 整,石原 昇,伊藤 浩之,岡田 健一,横山 道央
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第9855号, Conferred date:2015/3/26, Degree Type:Course doctor, Examiner:,,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

バッテリーレス無線通信集積回路 システムに関する研究

東京工業大学 大学院 総合理工学研究科
物理電子システム創造専攻

白根 篤史

目次

目次	i
第1章 序論	1
1.1 研究背景	1
1.1.1 ムーアの法則とスケーリング則	1
1.1.2 多様化する半導体産業と More than Moore	3
1.1.3 半導体産業のインパクト	6
1.1.4 ネットワークにつながる機器の増加	7
1.1.5 ワイヤレスセンサネットワーク	8
1.2 研究目的・目標	10
1.2.1 目的	10
1.2.2 一兆個センサ時代に向けた課題	10
1.2.3 目標	12
1.3 論文の構成	12
第2章 センサシステム	15
2.1 無線センサ端末を含むセンサシステムの概要	15
2.1.1 センサシステムの構成	15
2.1.2 センサシステムの動作	18
2.2 目標仕様	19
2.3 本研究のアプローチ	20
2.3.1 異種機能集積および階層縦断	20
2.3.2 本研究における三つの提案技術	21

第3章	電源回路	23
3.1	RF エナジーハーベスタ	23
3.1.1	RF エナジーハーベスタの動作原理	23
3.1.2	RF エナジーハーベスタの性能指標	25
3.1.3	ディスクリット部品による RF-EH の試作	26
3.2	電源回路試作 (CMOS 65 nm 全体チップ)	30
3.2.1	電源回路の構成と動作	30
3.2.2	電源回路の目標仕様	31
3.2.3	電源回路の設計 (CMOS 65 nm 全体チップ)	35
3.2.4	電源回路の測定評価結果 (CMOS 65 nm 全体チップ)	41
3.3	電源回路試作 (CMOS 180 nm 電源チップ)	44
3.3.1	電源回路の構成と動作	45
3.3.2	電源回路の設計 (180 nm 電源チップ)	48
3.3.3	電源回路の測定評価結果 (CMOS 180 nm)	51
第4章	無線通信回路	55
4.1	送信回路	55
4.1.1	送信回路の目標仕様	55
4.1.2	低電力送信回路の先行研究	56
4.1.3	キャリア供給型送信回路の構成と動作	58
4.1.4	キャリア供給型送信回路の設計	60
4.1.5	測定評価結果	62
4.1.6	Backscattering 型送信回路の構成と動作	68
4.1.7	Backscattering 型送信回路の設計	69
4.1.8	測定評価結果	79
4.2	受信回路	82
4.2.1	目標仕様	82
4.2.2	受信回路の構成と動作	83
4.2.3	受信回路の設計	83
4.2.4	測定評価結果	84
4.3	チューナブルインピーダンス整合回路	85
4.3.1	インピーダンス整合回路と可変受動素子	85

4.3.2	MEMS プロセス	86
4.3.3	ソレノイド型インダクタ	87
4.3.4	プレーナ型ソレノイドインダクタ	92
4.3.5	チューナブルインピーダンス整合回路の検討	95
第 5 章	無線センサ端末	97
5.1	バッテリーレス無線センサ端末のデモンストレーション	97
5.1.1	デモンストレーションの概要	97
5.1.2	バッテリーレス無線センサ端末の構成と動作	98
5.1.3	デモンストレーション結果	101
5.2	無線センサ端末の試作結果まとめ	103
第 6 章	結論	107
6.1	まとめ	107
6.2	結論	108
6.3	今後の展望	109
6.3.1	電源回路に関する展望	109
6.3.2	無線通信回路に関する展望	111
6.3.3	無線センサ端末に関する展望	115
	謝辞	119
	参考文献	121
	本研究に関する発表	133

第1章 序論

1.1 研究背景

1.1.1 ムーアの法則とスケーリング則

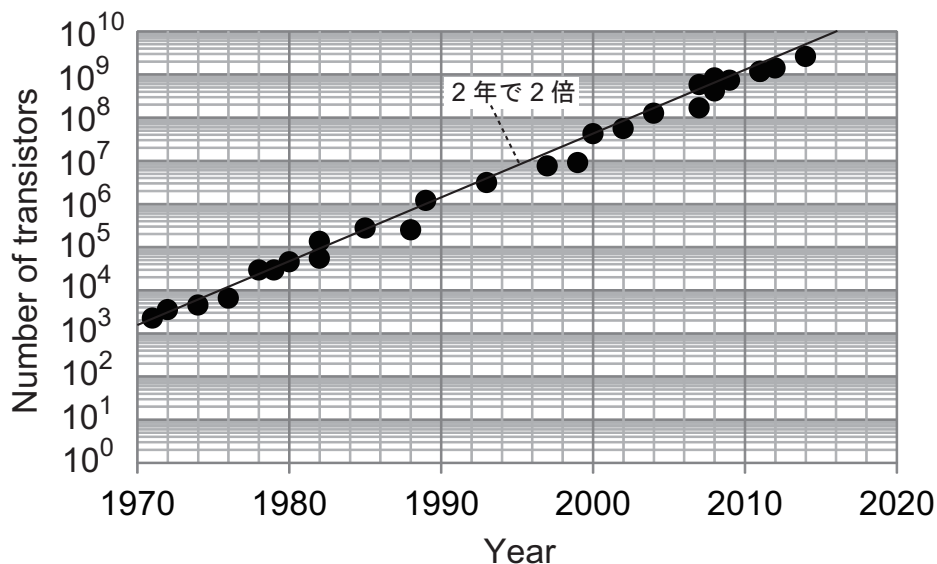


図 1.1: ムーアの法則とマイクロプロセッサ内のトランジスタ数 [1]

2014年9月に発売された iPhone6 のアプリケーションプロセッサ A8 チップは、20 nm Complementary Metal Oxide Semiconductor (CMOS) プロセスで 20 億個のトランジスタで構成されている [2]。また 2014 年 8 月の Intel の発表によれば、2014 年末に 14 nm CMOS プロセスを採用した Broadwell 世代の Micro Processor Unit (MPU) を出荷する [3]。1958 年にジャック・キルビーによる集積回路の発明から、50 年以上にわたって、集積回路は量的にも質的にも飛躍的に成長を遂げてきた。図 1.1 に、インテルが 1971 年に初めて発表してから現在までの MPU 内のトランジスタ数の増加を示す。1965 年にゴードン・ムーアが提言したムーアの法則に従って、トランジスタの集積度は約 2 年で 2 倍になってきた [4]。

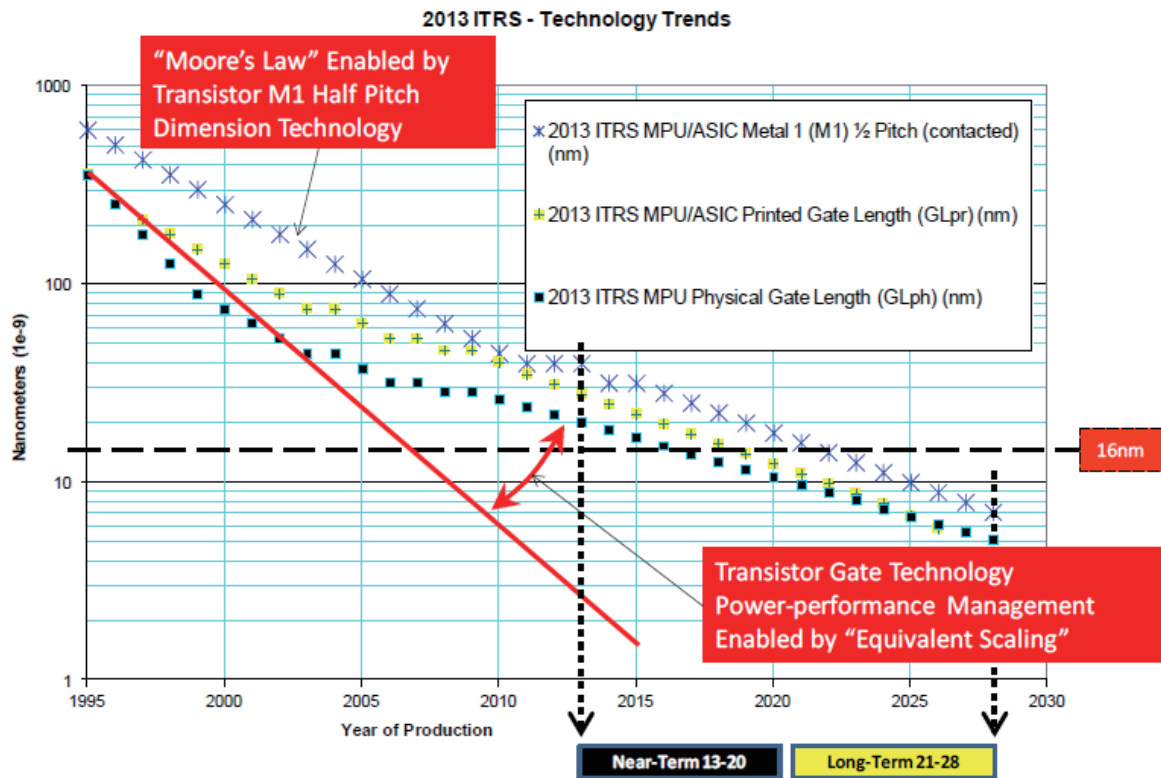


図 1.2: 2013ITRS Technology Trends

その集積度の飛躍的向上を支えてきたのが、CMOSプロセスの微細化技術である。図 1.2 に示すように、Metal Oxide Semiconductor Field Effect Transistor (MOSFET) は、1995 年から 2008 年の 13 年間に、配線の最小ハーフピッチが 10 分の 1 に微細化している。単純に考えると配線間隔が 10 分の 1 になったときに、同じ面積で比べると 100 倍の数のトランジスタを集積することができる。これは、2 年で集積度が 2 倍、すなわち 13 年間で集積度が 91 倍になるというムーアの法則を技術的に支えているのが微細化技術であることの強い関係性を示唆する。この CMOS プロセスの微細化の指導原理となったのが、1974 年に IBM のロバート・デナードによって提案されたスケーリング則である [5]。ムーアの法則が経験則であり経済的色合いが濃いのに対し、スケーリング則は MOSFET の物理的構造を基にした技術的予測である。スケーリング則は、集積度の向上だけではなく、回路の動作速度の向上、消費電力の低減を示唆し、そしてそれらは MOSFET 微細化の進展とともに確実に実現されてきた。MPU はプロセスの微細化とともに、その動作周波数及び演算量を向上させながら、消費電力も低減してきた。同様に、揮発・不

揮発の各種メモリは、MPUよりも急速なトランジスタ数の増加でその容量を増大させ、同時に消費電力を低減してきた。40年以上にわたる性能向上により、メインフレームからPC、そしてモバイル機器へと半導体は市場を拡大してきた。半導体は図1.3に示すように、CMOSプロセスの微細化がコストに対する性能の向上を促し、性能が向上した集積回路が市場を成長・拡大させてきた。さらに、その拡大された利益を使って、新たに開発及び設備に投資することで、次世代のプロセスへ移行するという正のサイクルを構築することで、半導体産業は成長してきた。

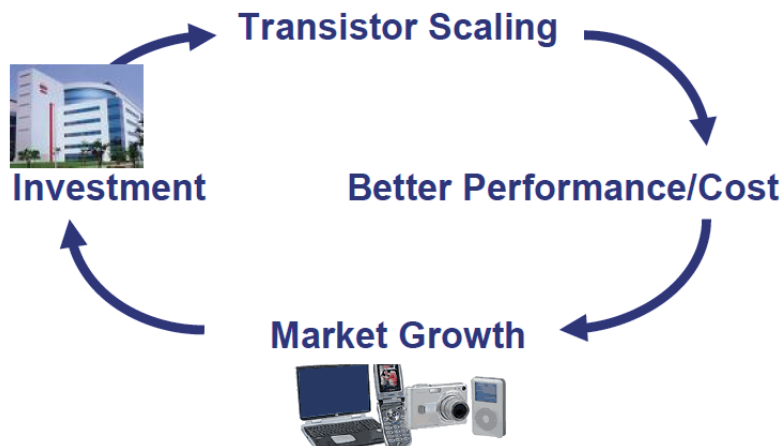


図 1.3: 半導体産業の生産拡大サイクル [6]

1.1.2 多様化する半導体産業と More than Moore

図 1.4 に示すように、微細化 (More Moore) 以外の指導原理として、多様化 (More than Moore) が新たな半導体成長の軸として 2005 年の ITRS ロードマップにおいて提案された。その背景としては、微細化の限界の到来が色濃くなってきたこと、微細化による純粋な性能向上だけではカバーできない範囲が増えてきたことが挙げられる。微細化の物理的限界は、原子の大きさによって律則されるが、近年では経済的限界も看過できない問題となってきている。図 1.5 に CMOS プロセス世代ごとの開発費を示す。プロセス開発費は、微細化にともない 40 パーセントずつ増えてきており、投資対性能向上の効率低下を招いている。これにより、図 1.3 に示した半導体の拡大サイクルが破綻してきている。MPU やメモリのようなデジタル回路においては、微細化することによってその性能向上を期待できたが、System on Chip (SoC) のような市場が立ち上がってくるとともに、演算速度や記憶容量といった単一の指標では評価できないことが増えてきた。MPU

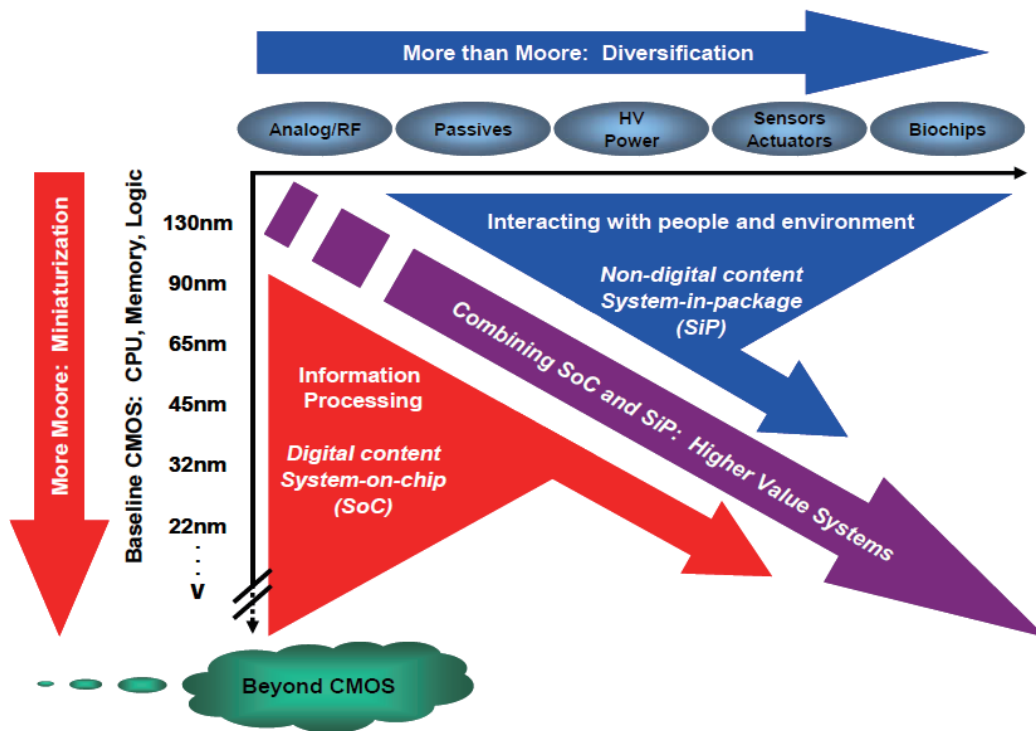


図 1.4: 微細化軸と多様化軸 [6]

やメモリにおいては、演算速度と記憶容量が直接付加価値となってきたが、SoCにおいては、顧客のシステムや製品またはサービスに付加価値を提供することが求められる。それ故、SoCの評価指標は、適用先に大きく依存し、多様化が進んでいく。

More than Moore で定義される多様化とは、図 1.4 に示すように、アナログ/RF や受動素子、電源、センサー/アクチュエータ、バイオチップをチップ上もしくはパッケージ内に集積化し、半導体が実現し得る機能を増やしていくことで、付加価値を高めていくことである。

新たな機能は、半導体の新しい市場を開拓・成長させ、図 1.6 に示すような新たな拡大サイクルを生み出し、半導体産業のさらなる成長を促す。多様化という新たな軸は、従来までの微細化だけでなく、デバイス・回路・システムレベルにおけるイノベーションに投資することにより、新たな機能を生み出し、コストを低下させていく。そして新機能を有する半導体が、市場を拡大させ、その利益が投資に回る。半導体企業は、自社の強みを認識し、デバイス、回路設計、システム設計いずれに投資し、成長を目指すのか決定する必要がある。

多様化の一つの要素として、RF回路の集積化が挙げられる。1990年代の後半に入り、

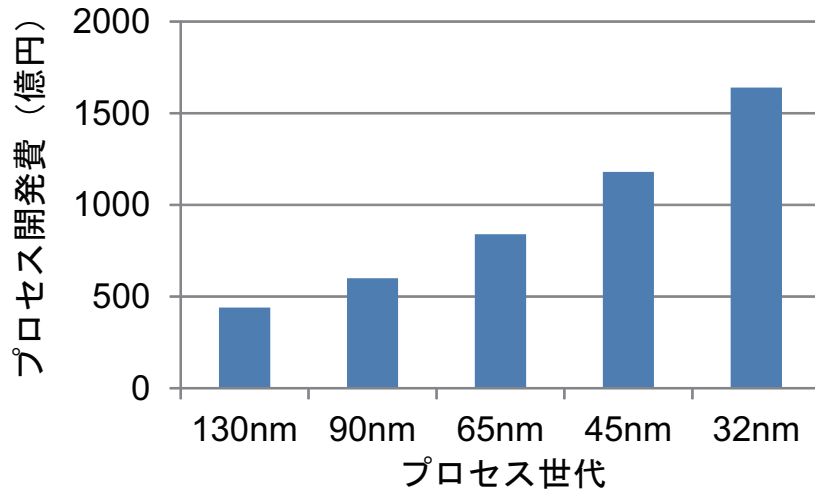


図 1.5: プロセス開発費の増加 ([7] を基に作製)

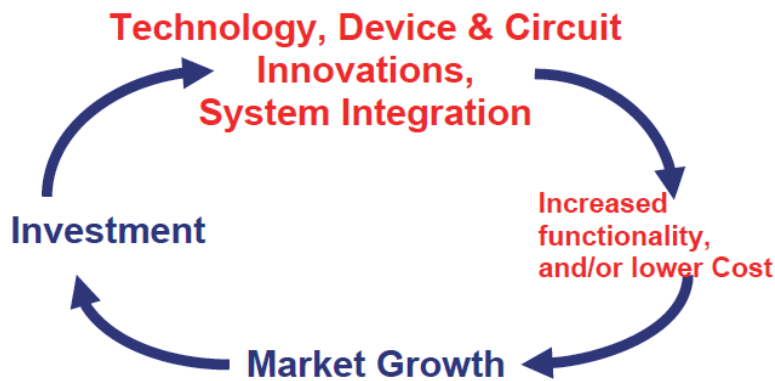


図 1.6: 多様化時代の半導体拡大サイクル [6]

MOSFET のゲート長が $0.5 \mu\text{m}$ を下回ると、MOSFET の遮断周波数 $f_t = v_{\text{sat}}/2\pi L_g$ に示すように f_t もゲート長の微細化に伴い数十 GHz 程度まで向上してきた。こうした MOSFET の高周波動作化及び CMOS プロセスの低コストという二つの特長は、これまで化合物半導体やバイポーラトランジスタで実現されてきた高周波アナログ回路を CMOS プロセスで実現する RF CMOS への強いモチベーションとなり、現在では、パワーアンプ等一部を除き、ほぼすべての RF 回路が CMOS プロセスで実現されている。

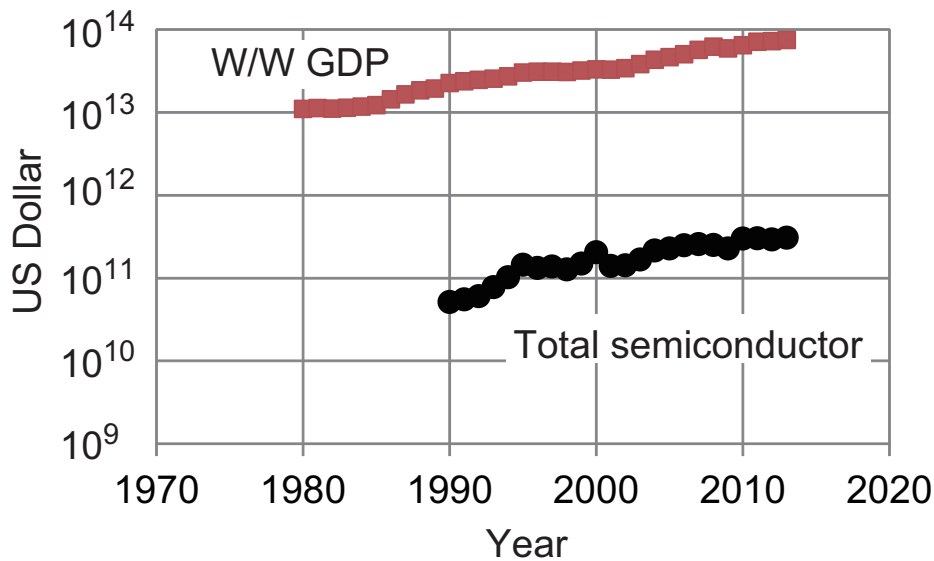


図 1.7: 世界の GDP 及び半導体産業の市場規模

1.1.3 半導体産業のインパクト

半導体産業の重要性について考えたい。図 1.7 に World Semiconductor Trade Statistics (WSTS) による半導体産業の市場規模の実測と近い将来の予測 [8] を示す。2013 年に半導体の市場規模は約 3000 億ドル、日本円で約 30 兆円を超えた（1 ドル 100 円で計算）。世界全体で 30 兆円の市場規模というのは、特別大きな市場規模というわけではない。同じ 30 兆円程度の規模としては、世界の医療機器市場が挙げられる。もちろんどちらがより重要な産業であるということは、単純には言い切ることができないが、半導体産業の重要性はその裾野の広さにあると言える。

150 兆円を超える産業規模をもつエレクトロニクス産業は、その心臓部分が半導体であり、電子機器の進化は、半導体の進化に強く牽引されてきた。さらに、400 兆円に近い規模をもつ IT サービスや通信を含む ICT 産業も、半導体利用の上に成り立っている。ただ利用されるだけではない。半導体が製品やサービスの差別化の鍵になっているのである。スマートフォンを選ぶ際に、メモリ容量、Central Processing Unit (CPU) のクロック速度、あるいは付属カメラの画素数が購買の決め手となることは少なくない。半導体の影響力は、エレクトロニクス産業だけにとどまらず、株式のアルゴリズム取引においては、Field-Programmable Gate Array (FPGA) のようなハードウェアによるミリ秒以下の取引処理時間が利益に直結する [9]。

半導体産業は、2003 年から 2013 年までの年平均成長率 (CAGR) は 6.3 パーセント程

度と、おおよそ全世界の国内総生産 (GDP) と同程度の割合で成長している。1995 年までの 15 パーセントを超えるような急激な成長は見られないものの、まだ十分に成長している産業とすることができる。今後も順調に成長していくためには、半導体を利用する産業の拡大、さらには、半導体の利用範囲の拡大が極めて重要である。

1.1.4 ネットワークにつながる機器の増加

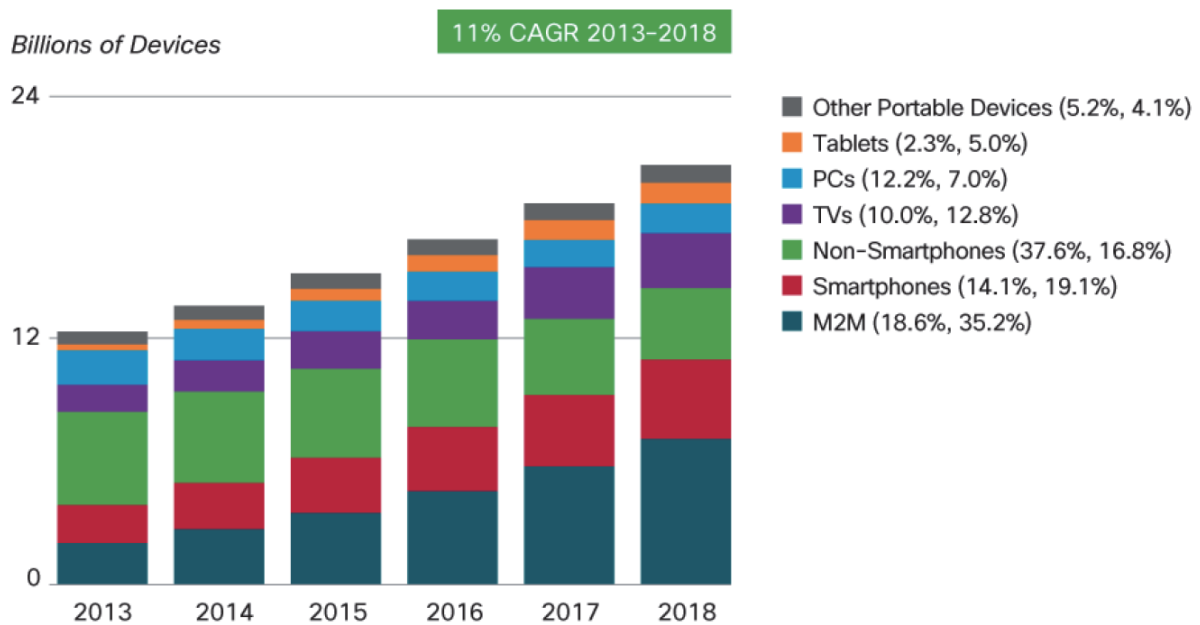


図 1.8: Global Devices and Connections Growth [10]

2014 年現在、全てのものをインターネットに接続する **Internet of Things (IoT)** や機器同士の通信 **Machine to Machine (M2M)** が、半導体の新たな適用先として期待されている。図 1.8 に示すように、今後ネットワークに接続される機器の数は年率 11 パーセントで増加し、2018 年までに 200 億台の機器がネットワークに接続されると予想されており、その増加の鍵となるのが **M2M** であることがわかる。有線、無線にかかわらず通信のあるところに半導体は必要不可欠であり、現在、多くの半導体企業が新たな市場を求めて、**M2M** や **IoT** に向けた製品の研究開発を進めている。

IoT や **M2M** は半導体産業に新たな市場をもたらす故に重要であるという見方ももちろんできるが、本来的にはネットワークに接続される機器の数が飛躍的に増えることで、社会がどのように良くなっていくかが最も重要である。これまでネットワークに接続される

機器の大半は、携帯電話に代表される人と人をつなぐもの、もしくは Personal Computer (PC) やサーバーに代表される人と情報をつなぐものであった。つまりほとんどの場合、ネットワークを流れる情報には人の意志が介在していた。我々は、繋がりたいと思ったときに、どんなに遠くの人とでもつながることができるし、欲しいと思ったときにすぐに所望の情報にアクセスすることができる。現在はまさに過渡期にあると考えられるが、これからは我々の意志が介在しない情報が急速に増加する。それらの情報は、多くの場合、大量の一次情報から社会的に価値ある情報へと処理され、私たちの社会へとフィードバックされる。そのインパクトは様々な分野に及び、生活の質の向上、自然環境への配慮、より安全な社会の実現を可能にする。

1.1.5 ワイヤレスセンサネットワーク

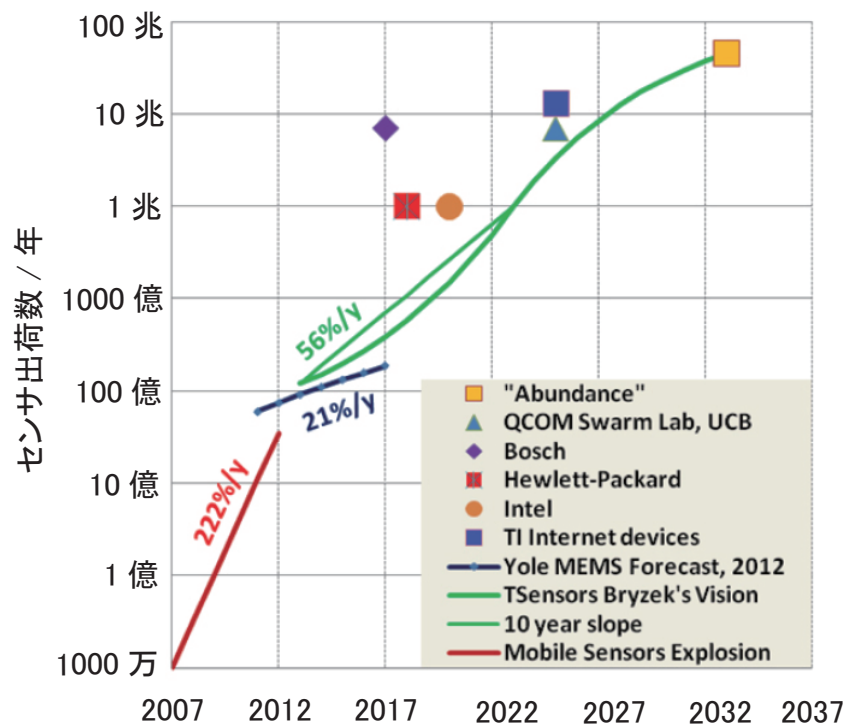


図 1.9: 1年あたりのモバイル用センサデバイス出荷数 [11]

ワイヤレスセンサネットワーク (WSN) は、あらゆる場所にセンサ端末を配置し、無線通信を通して私たちの周りのあらゆる物理情報を収集しネットワークに上げることで、現実世界と情報世界を繋ぐインターフェースであり、IoTの基盤となる技術階層である。

医療や農業・電力といった社会の出口に合わせた情報ネットワークを構築した際に、上位にクラウドやデータセンター、その下に中継機器を中心とする WSN があり、実際に物理情報を収集するのが末端のセンサ端末である。IoT と WSN の関係性で言えば、その範囲は重なり合う。しかし、IoT という文字通りインターネットプロトコル (IP) という条件を考えると、センサネットワークは IP を用いないような、より簡易な通信も許容する点で、IoT に含まれないようなより末端に近い範囲も存在すると考えられる。

2013 年 10 月、Tsensors Summit がスタンフォード大学で開かれ、Tsensors すなわち一兆個のセンサーが使用される時代へのロードマップが示された。図 1.9 に示すように、2007 年から 2012 年の間に出荷されたモバイル向けセンサの数は 1000 万個から 35 億個まで急激に増加した。引き金となったのは、スマートフォンの爆発的な普及であり、同じ期間に 3 パーセントから 20 パーセントにまで普及率が増加し、一つのスマートフォンに 5 つのセンサが搭載されているとすると、数十億個のセンサ数と辻褃が合う。これから 2020 年までに、センサの数は 1 兆個を超えると予想されており、それを牽引するのが WSN におけるセンサ端末である。

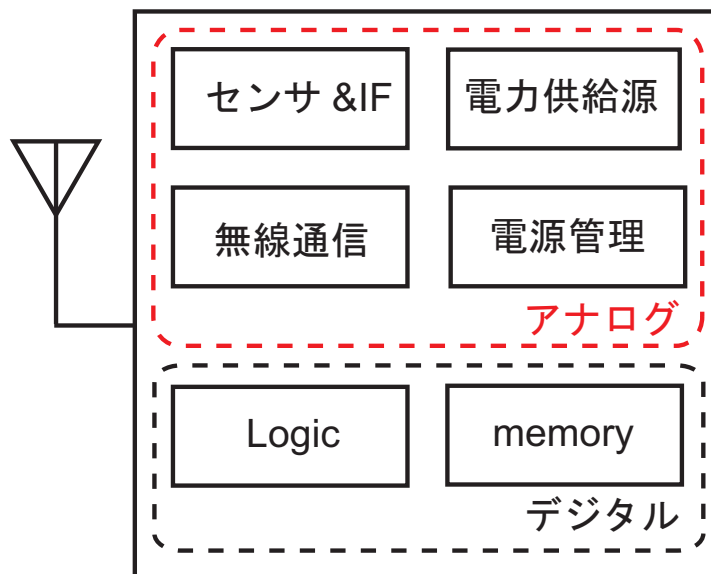


図 1.10: 無線センサ端末の機能ブロック

図 1.10 にセンサ端末の機能ブロックを示す。センサ端末を動作させるための電力供給源は、現在は電池を用いることがほとんどであり、電池の出力電圧を安定化かつ電池のもつエネルギーを効率的に利用するために電源管理回路が用いられる。アプリケーションに応じて、センサが選ばれ、またそのセンサに応じて微小な出力信号を増幅かつアナログ/デジタル変換するインターフェース回路が用いられる。デジタル化されたセンサデー

データを一旦保存しておくためのメモリや、簡易な演算を行う信号処理用の Logic 回路を備える。センサデータを中継器まで無線で送信したり、中継器から制御信号を受信するために無線通信回路を用いる。センサ端末は上述したとおり、現実の物理世界と情報世界を繋ぐインターフェース部分であるために、多くの機能がアナログ回路で実現される。

1.2 研究目的・目標

1.2.1 目的

本研究の目的は、一兆個センサ時代を実現するための無線通信集積回路システムの追求である。背景で述べたように、一兆個を超えるセンサは、多くの社会問題に関して、解決策を生み出す可能性を持っている。その一兆個センサ時代を実現するためには、次項で述べるように数多くの課題が存在する。本研究では、情報を無線でやりとりする際のインターフェースである無線通信回路、環境に存在するエネルギーからセンサ端末の電源を作り出すための電源回路、これらのアナログ回路技術が課題解決の鍵となると考え、研究を進めていく。

1.2.2 一兆個センサ時代に向けた課題

一兆個のセンサというのは大まかな計算では全世界の人間が一人 150 個程度のセンサに支えられて生活するということであり、センサ端末は、現実世界のあらゆる場所で、あらゆる物理情報を収集することが求められる。そのような大量のセンサ端末を設置し WSN を実現するための課題を設置・運用の二つの観点から考え、表 1.1 にまとめる。

表 1.1: 一兆個センサ時代に向けた課題

設置	運用
センサ端末のサイズ・重量	メンテナンスコスト
環境への影響	無線周波数資源の枯渇

大量のセンサ端末を設置する際、課題となるのが端末のサイズと重量及び環境負荷である。様々な分野において利用される WSN において、とりわけ医療・ヘルスケア分野では人の近く、あるいは体表、体内に取り付けられることも考え得る。そのような際に、

センサ端末のサイズ及び重量は、人にストレスを与えないようにするうえで重要な要素となる。あらゆる場所に大量に配置することを考えると、使用済みのセンサ端末を回収できないケースも多々出てくると考えられる。それゆえ、センサ端末が環境に残ってしまった場合でも、環境を汚さないようなセンサ端末が望まれる。

大量のセンサ端末を運用する際の課題として、センサ端末のメンテナンスコスト、無線周波数資源の枯渇が挙げられる。膨大な数のセンサ端末を管理維持することは、膨大なメンテナンスコストがかかることを意味する。現在のセンサ端末は、そのほとんどがバッテリーを搭載することで電力を供給する。180 mWh の電池を使い、平均消費電力が $10 \mu\text{W}$ とき、電池の自然放電を考えないとおよそ二年間に一回の電池交換が必要となる。一兆個のセンサ端末の電池を交換するとなると、毎年数兆円から十数兆円の規模のメンテナンスコストが必要となってしまう。

大量の無線端末が無線通信を行うと、無線通信の衝突が起きる可能性が増えてくる。そのため無線通信が始まって以来、如何に限られた周波数の中で多くの情報量の無線通信を成立させるかが常に大きな課題であり、その解決のために数多くの無線通信技術が生み出されてきた。2014年3月時点において、移動体通信の加入者数は1.5億人程度であり、一人当りの平均トラフィックは上下合わせて4.4 kbps 程度であり、一カ月の上下合わせたトラフィックの合計は200ペタバイト程度である。移動体通信が使用している周波数帯域は800 MHz から2.2 GHz のうちの350 MHz 分の帯域幅であり、これだけの周波数帯域を使用して、200ペタバイトのトラフィックを支えている。

一兆個センサ時代においては、日本において全体で200億個の無線センサ端末が、センサ端末一個あたり移動体通信の十分の一程度である平均440 bps のを行ったとすると、一カ月あたり合計2900ペタバイトのトラフィックが生じる。この現在の移動体通信の15倍程度のトラフィックを可能にするために、限られた周波数の中から携帯電話以上の帯域幅を割り当てるのは非常に困難である。さらに、携帯電話に関しては、Orthogonal Frequency Division Multiplexing (OFDM) や多値変調といった数多くの無線通信技術の適用によって、現在の無線通信を支えているが、現在の技術を無線センサ端末にそのまま適用しようとした際には、アクティブ時の消費電力の増加やハードウェアコストの増加を招いてしまう。このように大量のセンサ端末が生み出すトラフィックの急増が、電波資源に関する問題をより厳しいものにするのが予想される。

1.2.3 目標

前項で述べた課題解決に向けて、バッテリーレス化及び、周波数利用効率の高い変調の適用は有効な手段である。バッテリーレス化は、現在主に電池に使われている環境負荷の大きいリチウムやニッケルといった金属をセンサ端末から取り除くことができ、環境負荷低減に大きく貢献する。また、センサ端末を小型化しようとした際のボトルネックの一つが電池の体積であり、その電池をセンサ端末から取り除くことができる。さらにバッテリーレス化を実現することにより、電池交換の必要が無くなり、膨大な額のメンテナンスコストを削減することが出来る。

周波数利用効率の高い高次の変調は、同じデータ量を送る際に必要となる帯域幅を減らすことができる。例えば、2ビットのデータを一つのシンボルとして送信する Quadrature Phase Shift Keying (QPSK) 変調では、1ビットのデータをそのまま送信する Binary Phase Shift Keying (BPSK) 変調に比べて、理想的には半分の帯域幅で同じ通信速度を実現することができる。すなわち、多値化を高めていけばいくほど、必要となる帯域幅を減らすことができ、周波数利用効率を高めることができる。

本研究では目標として、無線センサ端末のバッテリーレス化、及び周波数利用の高効率化を目指す。まず、バッテリー動作を可能にするため、電力供給機能と電源管理機能を有する電源回路の実現を目指す。そして、その電源回路を使用して動作するような、低消費電力および高スペクトラル効率の RF トランシーバを実現し、最終的に周波数利用効率の高いバッテリーレス無線センサ端末を実現することを目指す。これら具体的な目標を通して、本研究の目的である一兆個センサ時代を切り拓く無線通信集積回路システムを追究していく。

1.3 論文の構成

図 1.11 に、本論文の章構成を示す。第一章においては、研究背景、研究目的及びその達成に向けた目標を述べた。第二章では、本研究の基礎的なアプローチとなる異種機能集積および階層縦断的アプローチについて述べる。それらアプローチのもと、一兆個センサ時代に向けて本研究が目指す無線センサ端末及びその端末が構成する無線センサシステムを示す。第三章においては、電力供給及び電源管理の二つの機能に注目し、それら機能を実現する電源回路について述べる。第四章では、無線通信と可変受動素子の二つの機能に注目し、無線送受信回路及び MEMS インダクタについて述べる。第五章で

第一章 序論

目的：一兆個センサ時代を切り拓く
アナログインターフェース回路技術の追求

第二章 センサシステム

本研究におけるセンサシステム及びセンサ端末の概要
アプローチ：異種機能集積・階層縦断

第三章 電源回路

Discrete 部品
RF-EH

65nm 全体チップ
RF-EH & 電源管理

180nm 電源チップ
RF-EH & 電源管理

第四章 無線通信回路

65nm 単体チップ
キャリア供給型 TX

65nm 全体チップ
TX & RX

MEMS 試作
Z 整合回路

第五章 無線センサ端末

65nm 全体チップ
無線センサ端末

第六章 結論

結論および今後の展望

図 1.11: 章構成

は、これまでに述べた機能を集積して試作した無線センサ端末について述べ、デモンストラレーションの結果を示す。最後に第六章において、本論文の結論を示す。

第2章 センサシステム

2.1 無線センサ端末を含むセンサシステムの概要

2.1.1 センサシステムの構成

表 2.1: EH の比較

	Thermal [13]	PV [12]	RF-EH [17]
条件	970 μW	50 nW	1.2 μW
面積	6.25 mm ²	1.62 mm ²	1.35 mm ²
電力/面積	155 $\mu\text{W}/\text{mm}^2$	31 $\mu\text{W}/\text{mm}^2$	890 $\mu\text{W}/\text{mm}^2$
出力電圧	Low	Low	調整可能
集積化	×	○	○

まずバッテリーレス化を実現するために、バッテリーの代わりとなる電力供給源が必要である。本研究では、様々な種類のエネルギーハーベスタ (EH) がある中でも、集積化の観点から RF-EH を選択した。EH は、電池に比べると、出力できる電力が小さく、その出力も不安定であることが多い。それでも、エネルギーを環境から半永久的に採取することができ、電池の交換を不要にするという利点は非常に魅力的である。これまで、太陽光 [12]、熱 [13]、振動 [14–16] などをエネルギー源として、電力を作り出す EH が提案されてきた。これらの EH と RF-EH を比較したのが表 2.1 である。RF-EH は数マイクロワット程度の電力を出力し、またその出力電圧を回路構成によって柔軟に設定することができる。そして、RF-EH の一番の利点は、無線送受信回路や電源管理回路と同じチップ上に集積化できる点にある。表 2.1 の太陽電池 [12] は、無線通信とは別のチップであり、また出力電力も非常に小さい。RF-EH を集積化することにより、オフチップの部品を減らすことができ、センサ端末のサイズの縮小、さらにはコストの低下につながる

る。さらに、電力供給機能と他機能を融合することで、無線センサ端末の性能向上を実現することができると考え、RF-EH を選択した。

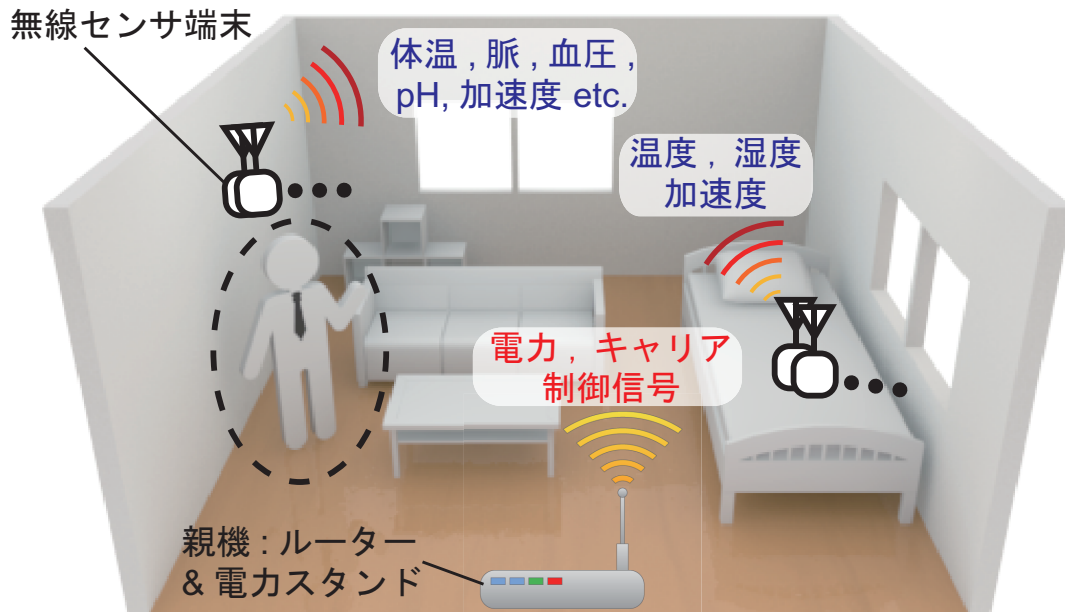


図 2.1: 本研究の無線センサ端末使用イメージ

RF-EH を利用したバッテリーレス無線センサ端末の使用イメージを図 2.1 に示す。現在、小型の電子機器の充電は、ケーブル接続から徐々に Qi のような電磁誘導タイプの無線給電による充電に移り変わってきている。しかし、充電においてケーブルからは開放されたものの、まだ決まった場所に機器を置かなければならないという制約がある。近い将来にそのような電磁誘導タイプの制約を取り払う電波で無線給電する日がやってくると考えており、そのような際には、図 2.1 に示すように、部屋に一台電力スタンドとなる親機が置かれ、その親機が同時に現在の無線 LAN ルーターのような役割を果たすと考えている。現在、実際に電波を使って 10 m 弱離れた電子機器を充電する技術が OSSIA 社によって開発されている。

このような使い方から、親機 1 台に対して無線センサ端末 N 台がつながる 1 対 N のスター型のネットワークトポロジを想定する。下り方向では、電力、センサ端末の認証及び制御信号、そしてキャリア信号をセンサ端末に送り、上り方向では、センサ端末が採取したセンサデータを親機に送信するようなシステムを考える。さらに親機が採取したデータをクラウドに上げることで、センサ端末のデータを保管、処理でき、一次データから価値あるデータへの変換を可能にする。スター型の利点として、全ての無線センサ端末が親機と無線通信を行うので、比較的電力やサイズに余裕のある親機に技術的負担

を課することができる。

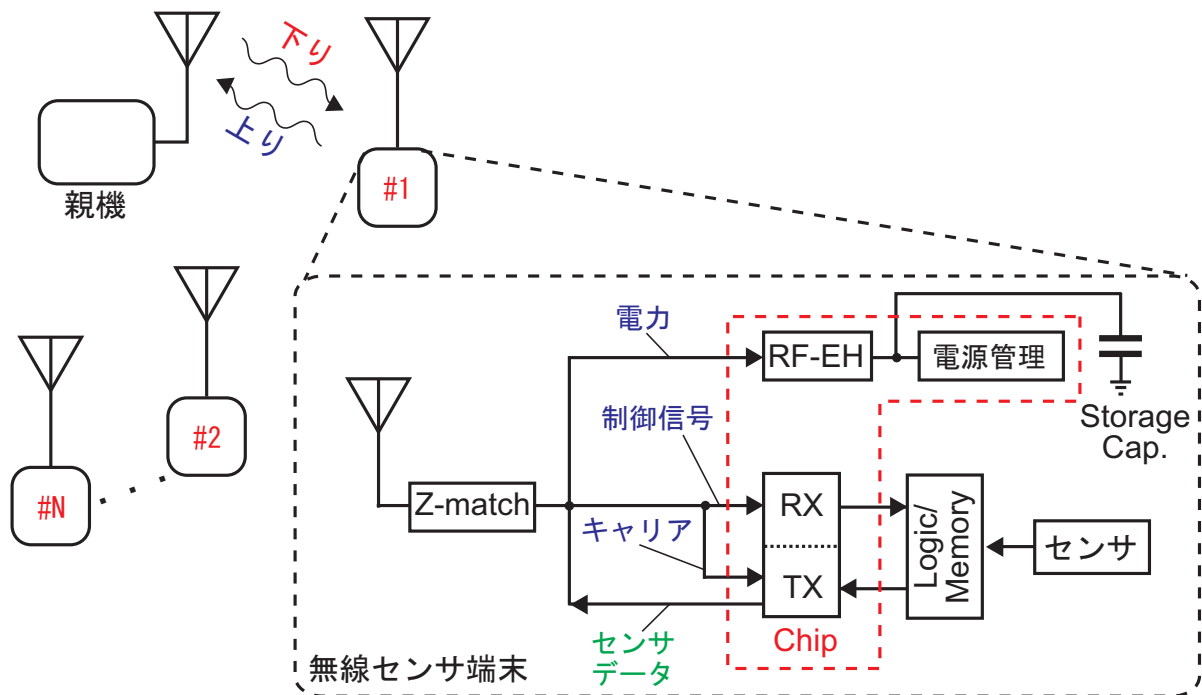


図 2.2: 本研究における無線センサシステムのブロックダイアグラム

図 2.2 に、無線センサ端末の構成ブロックを示す。本研究ではバッテリーレス化を実現するために、電池の代わりに RF-EH を利用しており、RF-EH からの電力を一旦ストレージ用キャパシタに蓄え、ある一定以上のエネルギーが充電された後に、そのエネルギーを使用して、センシング、無線通信を行う。電源管理回路は、充放電の制御および無線送受信回路への安定な電源の供給を行う。センサで取得したデータは、デジタル信号に変換した後、デジタル信号処理をし、無線送受信回路へベースバンド信号として出力される。センサデータを一時的に保存するための、メモリも用途によっては必要となる。

本研究においてストレージ用キャパシタは、積層セラミックコンデンサを利用する。積層セラミックコンデンサの寿命は定格の範囲内で利用する限り非常に長い。ストレージ用キャパシタとして利用する際、印加電圧は 2 V 以内、充放電の電流も 1 mA 以内であり、温度条件を 40 度したときでも、約 5 万 6 千年程度という計算結果が経験式 (2.1) から得られる [18]。

$$L_N = L_A \left(\frac{V_A}{V_N} \right)^N 2^{(T_A - T_N)/\theta} \quad (2.1)$$

ここで L_N は標準時の寿命、 L_A は加速時の寿命で 1000 時間、 V_N は標準時の印加電圧で

2 V、 V_A は加速時の印加電圧で 20 V、 T_N は標準時の温度で 40 度、 T_A は加速時の温度で 85 度、 N は電圧加速定数で 4、 θ は温度加速定数で 8 とした。また、充放電を繰り返し交流電流が流れることでコンデンサの温度が上昇すると、寿命に関係してくるが、1 mA 程度の電流ではほとんど温度は上昇しないため、寿命には影響を及ぼさないと考えられる。

2.1.2 センサシステムの動作

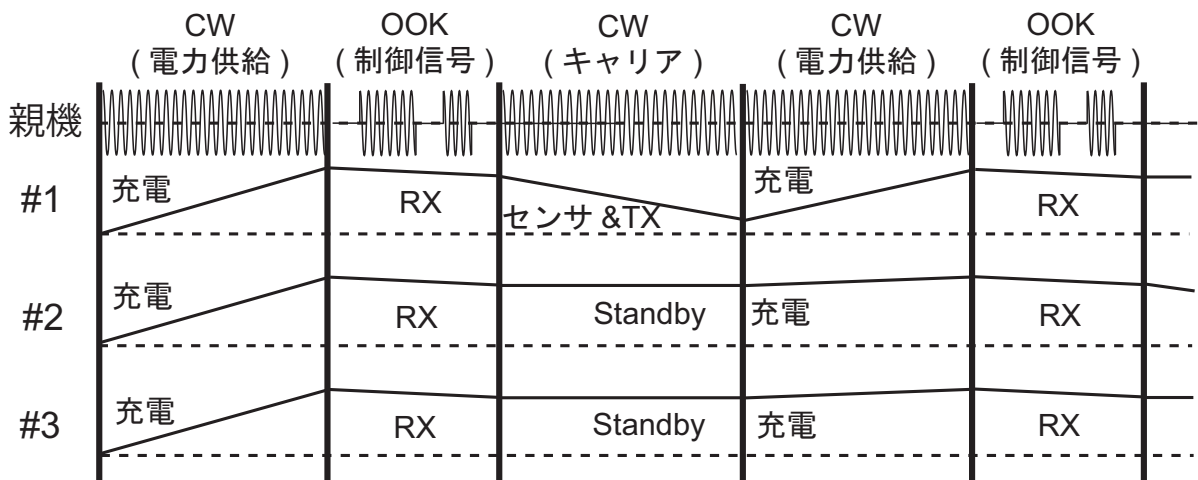


図 2.3: 無線センサシステムのタイミングチャート

図 2.3 に、無線センサシステムのタイミングチャートを示す。上から親機、3つのセンサ端末の状態を示している。親機は、出力している信号の状態、センサ端末は、蓄えられているエネルギーの状態をそれぞれ示している。センサ端末は、充電、受信 (RX)、センシングかつ送信 (センサ & TX) の大きく三つの状態に分けることができる。充電時には、親機は Continuous Wave (CW) 信号を送信し、各センサ端末の充電を行う。次に、センサ端末は、親機から送信される ID 認証データ及び制御信号を受信、復調することで、動かす端末及び端末の設定が決定される。図 2.3 では、#1 の端末が最初に動作し、センシングを行い、取得したデータを順次親機に送信していく。

2.2 目標仕様

表 2.2 に、本研究の無線センサシステムの目標仕様を示す。本研究の目標は、バッテリーレスかつスペクトラル効率の高い無線センサ端末の実現であることを第一章において述べた。その目標から、詳細な仕様に落とし込んだものが表 2.2 である。ただし、無線センサ端末を使用する用途が決まらなると決定できない項目も存在する。本研究においては、様々な用途に対応できるよう柔軟性をもつ仕様に設定する。

無線通信に関する目標仕様は以下のとおりである。下り方向は、制御データや ID 認証データ等なので、比較的低速でも問題ない。一方で上り方向は、様々な種類のセンサデータを扱うことを考慮し、最大で 10 Mb/s と設定する。最大通信距離は、最大で 7 m 程度とする。バッテリーレス無線センサ端末においては、低消費電力化の要求が厳しい。さらにバッテリーレス化の促進する小型化およびメンテナンスフリー化は、人の周囲の情報をセンシングする際に、より有効であると考えられる。それゆえ本研究では、ボディエリアやパーソナルエリアといった通信距離の短いところから研究を始める。動作周波数帯は、端末のサイズと通信距離によって柔軟に対応することを目指す。アンテナサイズは端末サイズを決定するうえで支配的な要因であり、周波数が高いほど波長が短くなり小型化が可能である。一方で、通信距離は周波数が低いほど伝搬損失が小さくなるため、長距離の通信を実現することができる。変調方式は、下り方向は比較的低速であるため、スペクトラル効率が低くても、占有する周波数帯域はそれほど大きくならない。そのため、センサ端末側での復調が容易な On Off Keying (OOK) 変調を用いる。上り方向は、最大で 10 Mb/s と高速であるため、スペクトラル効率の高い変調が必要である。

表 2.2: 無線センサシステムの目標仕様

最大伝送速度	下り:100 kb/s, 上り:10 Mb/s
最大通信距離 (最大動作可能距離)	7 m
動作周波数帯	5.8 GHz, 2.4 GHz, 900 MHz 帯
変調方式	下り: OOK, 上り: n-PSK, n-QAM
最大スペクトラル効率	下り: 0.5 b/s/Hz, 上り: 4.0 b/s/Hz
最大ストレージ容量	100 μ F
最小センサ端末サイズ	0.1 cm ³

本研究では、上り方向の変調方式を BPSK から 64-QAM まで対応することで、スペクトラル効率を高めると同時に、通信経路の状態による Signal Noise Ratio (SNR) の変化に柔軟に対処できるようにする。下りおよび上り方向の変調方式から、それぞれ最大のスペクトラル効率は 0.5 b/s/Hz および 4.0 b/s/Hz となる。

利用可能エネルギーは、ストレージ用キャパシタに蓄えられるエネルギーによって決まるので、キャパシタンス (C_{storage}) を大きくすればするだけ、増やすことができる。本研究では、端末サイズを考慮し、 $2.0 \text{ mm} \times 1.2 \text{ mm} \times 1.2 \text{ mm}$ のチップキャパシタの $100 \mu\text{F}$ を上限とする。例えば、このキャパシタを 1.2 V まで充電した後、 0.65 V に電圧が下がるまで放電するとき、約 $51 \mu\text{J}$ のエネルギーを使用することができる。 $51 \mu\text{J}$ のエネルギーは、 5 mW の消費電力で 10 ms 無線センサ端末を動作させることができるエネルギーである。本研究においては、無線センサ端末の消費電力のうち多くを占める無線送受信回路の消費電力を、従来の回路よりも飛躍的に小さくすることができるので、 $100 \mu\text{F}$ は十分な静電容量であると言える。さらに用途によって、ストレージ用キャパシタの大きさを適切に選ぶことも可能である。センサ端末サイズは、あらゆる場所に設置できるということを考慮し、最小で 0.1 cm^3 を目指す。

2.3 本研究のアプローチ

2.3.1 異種機能集積および階層縦断

目標である無線センサ端末のバッテリーレス化および周波数利用効率の向上を目指し、異種機能集積および階層縦断的アプローチを、課題解決に向けた基本的なアプローチとする。異種機能集積では、多様な機能が集積化されることで、機能同士の融合を促し、相乗的な性能向上を実現することで課題解決を図る。またシステム、アーキテクチャ、トランジスタ回路、デバイスと階層縦断的にアプローチすることで、本研究の中心となる回路階層だけでは解決困難な課題やトレードオフに対して、有効な解決策を講じることができる。

様々な機能のデジタル回路を集積することは、これまで多くの SoC で行われてきたことであり、モジュラー型の集積回路開発になりがちである [19]。モジュラー型は機能同士のインターフェースが決まっており、機能を効率的に増やしていくには最適であるが、機能同士は独立しており相乗効果を生み出さない。それゆえ本研究においては、ロジック、メモリ、センサとそのインターフェースといった機能については、集積回路の試作

は行わず、現在ある製品を利用する。センサ及びインターフェースは、アナログ回路を含むが、どのようなセンサを使用するかはアプリケーション次第であり、センサを決定すると用途が限られてしまう。

本研究では、特定のアプリケーションに絞り込まず、無線センサ端末の共通の基盤となる機能に注目する。無線通信、インピーダンス整合、電力供給および電源管理は、様々なアプリケーションに対して共通の基盤となる機能である。本研究ではこれらの機能を集積化し、融合することで、無線センサ端末の性能向上、新たな付加価値の実現を目指す。

2.3.2 本研究における三つの提案技術

機能 階層	電力供給 &無線通信	電力供給 &電源管理	Z整合& 可変受動素子
System	B, F キャリア供給 変調技術	B 通信開始検知 電源管理技術	
Architecture			
Circuit			F チューナブル Z整合技術
Device			

B:バッテリーレス化、 F:周波数利用効率向上

図 2.4: 各提案技術における機能の組み合わせとアプローチを行う階層

図 2.4 に、本研究において提案する三つの技術について、その機能の組み合わせおよびアプローチを行う階層を示す。本研究の中心的な技術であるキャリア供給変調技術は、低消費電力化および高スペクトラル効率化を実現することで、バッテリーレス化および周波数利用効率の向上に貢献する。通信開始検知電源管理技術は、充電効率の向上および充電されたエネルギーの利用効率を向上させることで、バッテリーレス化に貢献する。チューナブルインピーダンス整合回路技術は、動作周波数帯域を拡大することで、幅広い周波数の中から最も有効活用できる周波数を選ぶことを可能にし、周波数利用効率の向上を狙う。

キャリア供給変調技術では、電力供給と無線通信機能を融合し、システムからトランジスタ回路レベルまで縦断的に取り扱うことでバッテリーレス化および周波数利用効率の向上を図る。無線通信機能と電力供給機能を集積化する一番の利点は、電力源を本来の目的である電力供給以外にも再利用できる点にある。本研究では、RF-EH が電力供給の機能を担っており、その電力源は電磁波である。この電磁波を無線通信に再利用する

ことで、無線送受信回路の低消費電力化を実現したのが、Radio Frequency Identification (RFID) で用いられるバックスキタリング技術である。リーダーデバイスから出力される RF 信号の反射の有無によって、情報をリーダーデバイスに送信する技術であり、RF 信号を無線通信用のキャリア信号として再利用していると考えられることができる。しかし、従来のバックスキタリング技術では、OOK 変調と同等の 0.5 b/s/Hz 程度のスペクトラル効率となってしまう。キャリア供給変調技術では、システムレベルにおいて給電用 RF 信号をキャリア信号として利用し、さらにアーキテクチャレベルにおいて、PLL-less 構成および中間周波数帯における直交変調を行う構成をとる。そしてトランジスタ回路レベルにおいて、低電源電圧動作、高周波で動作する回路を最小限にし、極力パッシブ型回路を利用する。以上の異種機能集積および階層縦断的アプローチにより、低消費電力化を実現しつつ、さらに高スペクトラル効率を達成する送信回路を実現する。

通信開始検知電源管理技術では、電力供給機能と電源管理機能を融合し、システムからトランジスタ回路レベルまで縦断的に取り扱うことでエネルギー利用効率および充電効率の向上を図る。システムレベルにおいて、給電用 RF 信号の停止を通信開始の合図として利用することで、無線センサ端末と親機の間で、非常に簡易ではあるが情報のやりとりを可能にし、無線センサ端末で閉じた電源管理だけでなく、親機とのタイミングを考慮した電源管理を実現する。アーキテクチャレベルにおいては、充電電圧を検知する回路と RF シグナルディテクタ (RF-SD) の双方を搭載することで、上記の動作を可能にする。トランジスタ回路レベルにおいては、RF-EH を RF-SD の整流回路として再利用し、また充電電圧を検知する回路を用いて RF-SD を起動する。以上により、RF-EH による充電効率および充電されたエネルギーの利用効率を向上することができる。

チューナブルインピーダンス整合技術では、インピーダンス整合と可変受動素子を融合し、回路とデバイスの階層を縦断的に取り扱うことで、動作周波数帯域の拡大を図る。CMOS プロセスだけでなく MEMS プロセスを用いることで、低損失な可変受動素子の実現が可能であり、それを利用してインピーダンス整合回路を構成することで動作周波数を可変できるチューナブルインピーダンス整合回路が実現できる。

第3章 電源回路

第三章では、電源回路すなわち電力供給機能および電源管理機能を実現する回路部分について設計、試作評価結果を述べる。まず、バッテリーレス化の鍵となる RF エネルギーハーベスタについて、その動作原理、性能指標を述べたのち、チップ試作にさきがけて動作確認のためにディスクリート部品で試作した RF-EH について述べる。次に、65 nm Si CMOS プロセスで試作を行った電源回路について、全体構成、目標仕様、各回路の設計、試作評価結果を示す。最後に、180 nm Si CMOS プロセスで試作を行った電源回路について、異種機能集積の視点から、設計、試作評価結果について述べる。

3.1 RF エネルギーハーベスタ

3.1.1 RF エネルギーハーベスタの動作原理

RF エネルギーハーベスティングとは、空間中の電磁波から直流電力を作り出す技術を目指す。本研究では、リーダーデバイスが出力する RF 信号から直流電力を取り出す RF エネルギーハーベスタ (RF-EH) を用いることで、バッテリーレス化を実現する。RF-EH はアンテナ、インピーダンス整合回路、整流回路で構成される。それゆえ、アンテナとインピーダンス整合回路を無線通信回路と共用することができ、整流回路をチップ上に加えて集積するだけで RF-EH を実現できる。

図 3.1 に、RF-EH で用いられる整流回路の基礎的なトポロジーとなっているディクソン型チャージポンプ (CP) 回路 [20] を用いた RF-EH の回路図を示す。本来ディクソン型 CP 回路はフラッシュメモリ等の書き込み用の高電圧を作り出すための昇圧回路として提案、研究されてきた。昇圧動作においては入力するクロック信号はグランド電位から電源までフルスイングの矩形波信号を用いる。その代わりにアンテナで受信する RF 信号を入力クロックとすることにより、整流動作および昇圧動作を実現し、RF 信号から直流電力を取り出すことができる。

図 3.1 に示すように、CP 回路はキャパシタとダイオード接続されたトランジスタから

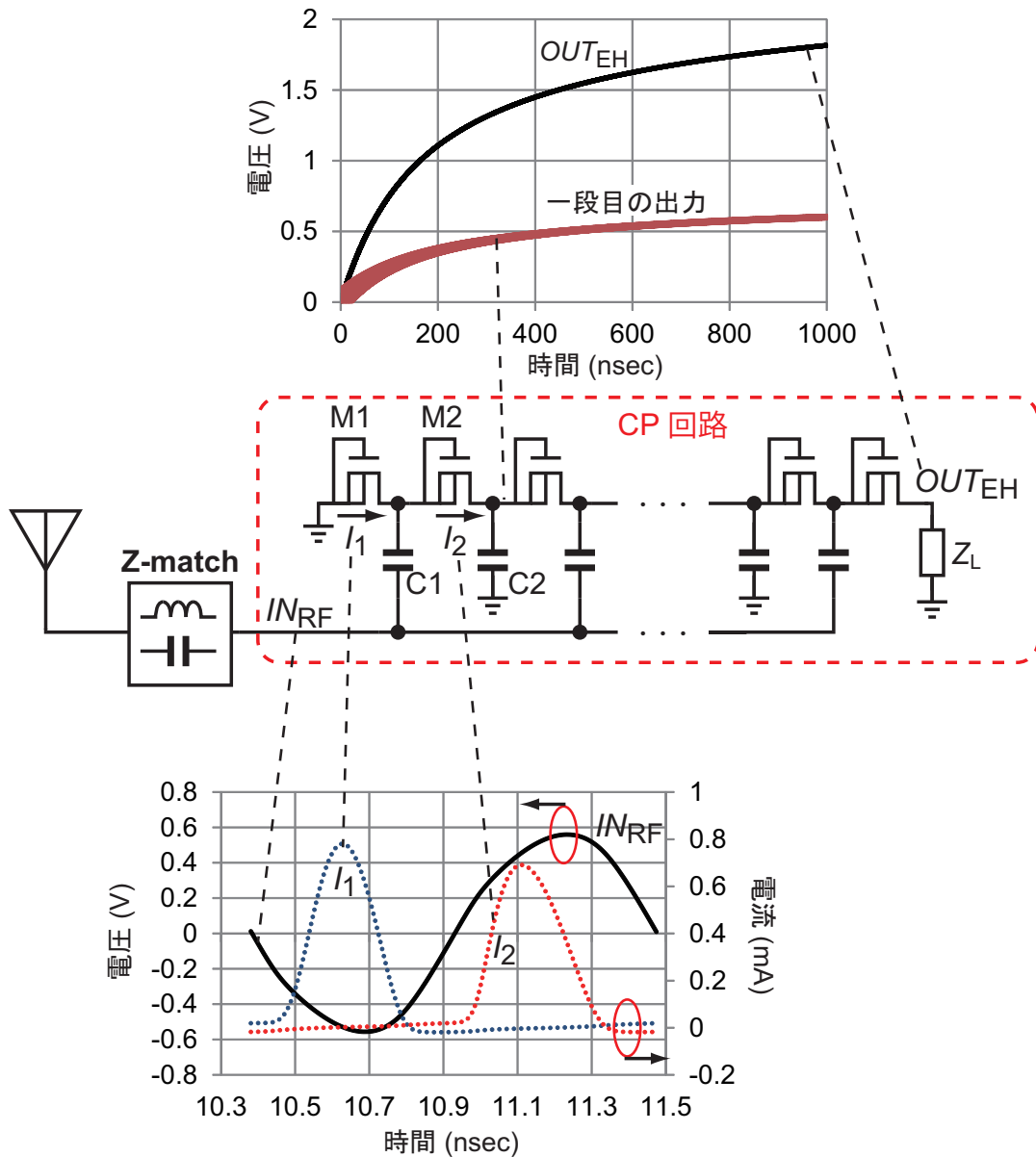


図 3.1: RF-EH の動作原理

構成される。図 3.1 の CP 回路はシングルエンド型の回路であり、二つのトランジスタ (M1 と M2) と二つのキャパシタ (C1 と C2) で、1 段のステージを構成する。そして、そのステージを N 段つなげることにより、出力電圧を高めることができる。

図 3.1 に示すように、アンテナから入力された RF 信号はインピーダンス整合回路 (Z-match) を通り、CP 回路にクロック信号 (IN_{RF}) として入力される。一段目に注目すると、 IN_{RF} が下側に振れているときに、M1 のダイオードがオンになり、電流 I_1 が C1 を充電

する。次に、 IN_{RF} が上側に振れると、 $C1$ に充電された電荷が、 IN_{RF} の電圧上昇に伴い、 $M2$ のダイオード電流 I_2 として $C2$ へと移される。一段目の出力は、 $C2$ に充電された電圧であり、図 3.1 に示すように直流電圧となる。このようにして RF 信号から直流電力を取り出すことができる。さらに二段目のステージは、この直流電圧を始点として、上記の動作を繰り返す。それゆえ一段目は始点がグランドであったが、二段目は前段の出力する直流電圧に上乗せした出力電圧を得ることができる。これを N 段繰り返すことにより、直流電圧を適切な電圧まで昇圧することができる。

3.1.2 RF エナジーハーベスタの性能指標

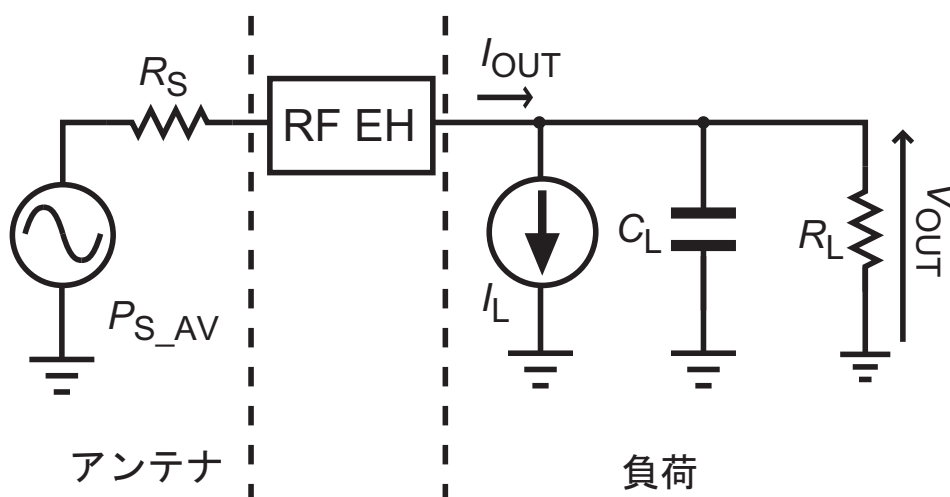


図 3.2: RF-EH の電力変換効率

RF-EH の性能指標は、究極的には RF 電力から DC 電力への電力変換効率に集約される。電力変換効率 (Σ) は式 (3.1) のように表せる。

$$\Sigma = \frac{V_{OUT} I_{OUT}}{P_{S,AV}} \quad (3.1)$$

ここで V_{OUT} は RF-EH の出力電圧、 I_{OUT} は出力電流、 $P_{S,AV}$ はアンテナ出力における有能電力である。電力変換効率の各パラメータを図示したものが、図 3.2 である。電力変換効率とは、負荷で消費される電力をアンテナから取り出し得る最大電力で割ったものである。

最小受信感度 ($P_{S,MIN}$) は、負荷と出力電圧の条件で規定した入力電力を規定した際の電力変換効率である。本研究では、RF-EH を使用して一旦ストレージキャパシタを充電

する。その際に、充電電圧をモニターする回路やリーク電流などが、RF-EHの負荷となる。さらに、十分なエネルギーを確保するために、ある一定以上の電圧まで充電する必要がある。このように、負荷条件と所望充電電圧が決まっている際には、その条件を満たす最小の受信電力すなわち最小受信感度が存在する。最小受信感度が小さければ小さいほど、伝搬損失を大きくできるので、RF-EHの動作可能距離を拡大することができる。

3.1.3 ディスクリート部品によるRF-EHの試作

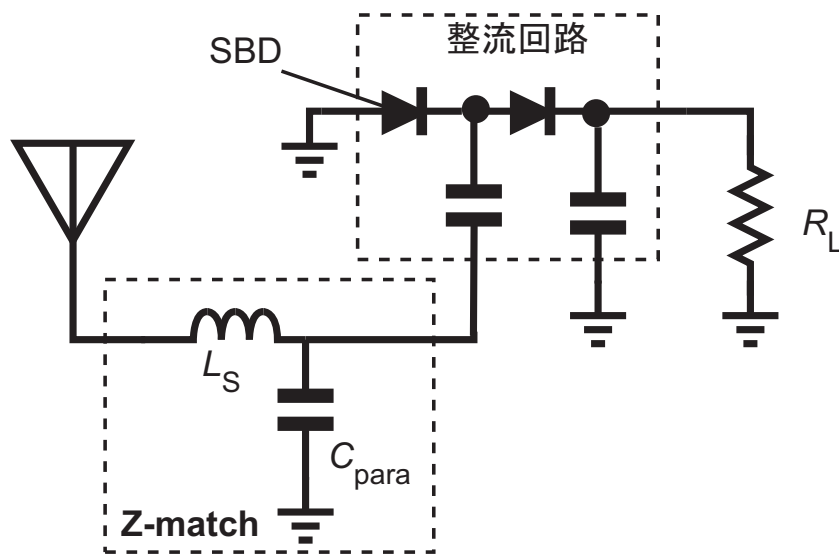


図 3.3: ディスクリート部品で構成した RF-EH の回路図

RF-EH をチップ試作する前に、ディスクリートの部品を用いて RF-EH の試作を行い、その動作及び性能の確認を行った。図 3.3 に試作した RF-EH の回路図を示す。ディスクリート部品で RF-EH を構成する際には、整流回路にトランジスタではなく、ショットキーバリアダイオード (SBD) を利用する。その他は 1005 サイズのチップ部品を、ポンプ用のキャパシタ、インピーダンス整合用のインダクタとして用いる。図 3.4 に、試作した RF-EH の写真を示す。SBD は、二つのダイオードを直列に接続したものを一つのパッケージに入れたものを使用しており、一段構成の RF-EH であれば、比較的小面積で作ることができる。

SBD は、他のダイオードに比べて閾値電圧が低く高周波特性も良好であることから、RF-EH を構成する整流素子として利用されてきた。図 3.5 に、試作において使用する SBD の直流特性を示す。閾値電圧は約 0.25 V 程度である。シミュレーションは、提供されて

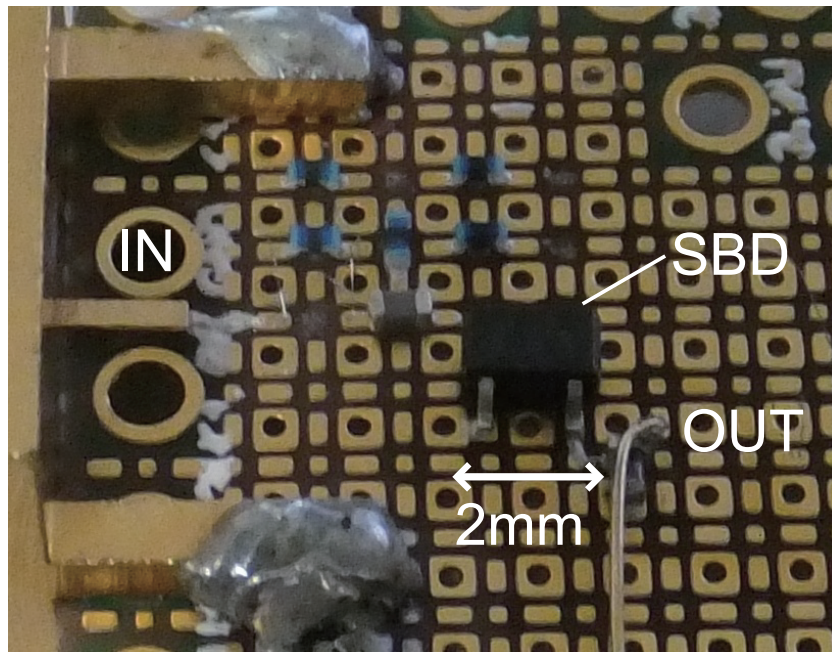


図 3.4: 試作したディスクリート RF-EH

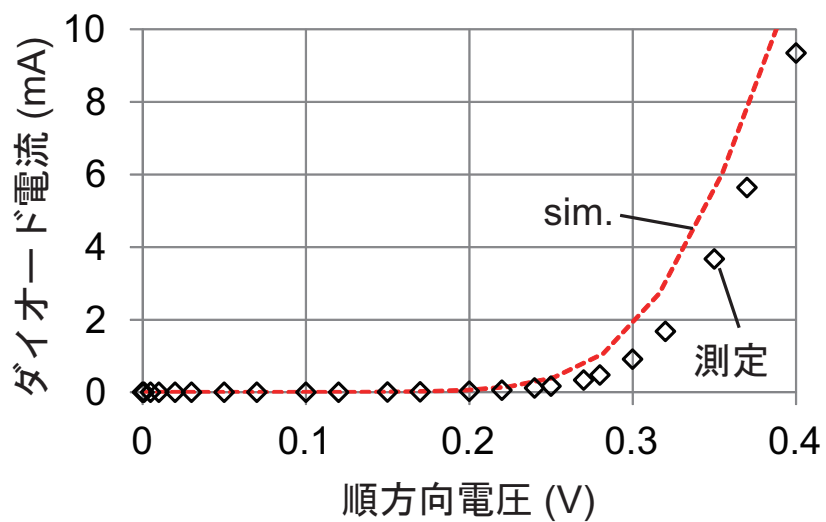


図 3.5: ショットキーバリアダイオードの直流特性

いるダイオードモデルパラメータを用いて行い、比較的測定結果と一致していることがわかる。今回使用する SBD は約 6 GHz の周波数まで利用可能である。

ディスクリートで RF-EH を構成する際、調整できる素子パラメータが少ない。図 3.3 において、インピーダンス整合回路の L_s のみパラメータを変えることによって、RF-EH の電力変換効率を向上させることができる。ポンプ用のキャパシタンスも変えることは

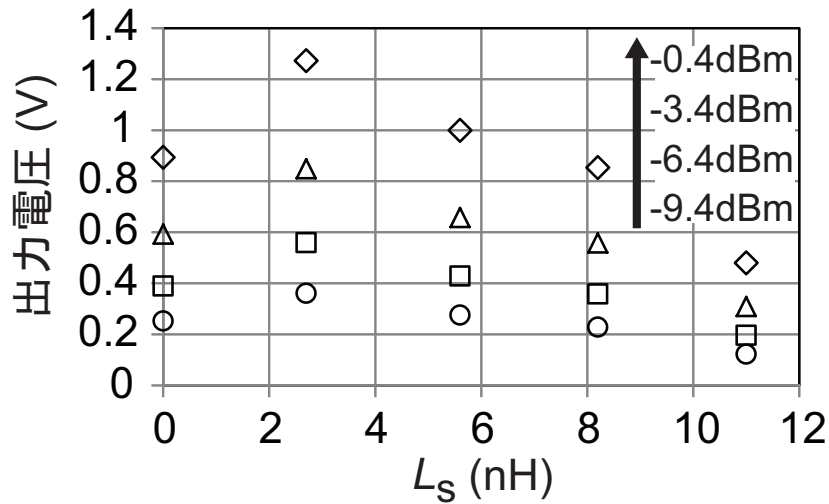


図 3.6: RF-EH の出力電圧対インピーダンス整合回路の L_s

できるが、ある一定以上のキャパシタンスの値を選んでいけば、RF-EH の性能に影響を及ぼさない。図 3.6 に、 L_s を変化させたときの出力電圧の測定結果を示す。このときの負荷は $10\text{ M}\Omega$ で、 2.4 GHz の RF 信号の入力電力を -9.4 dBm から -0.4 dBm まで 3 dB ずつ変えたものである。ローパス L 型のインピーダンス整合回路において、 L_s が 2.7 nH のときに最も出力電圧が高くなる。負荷は一定であるので、電力変換効率においてもこのときが最大である。

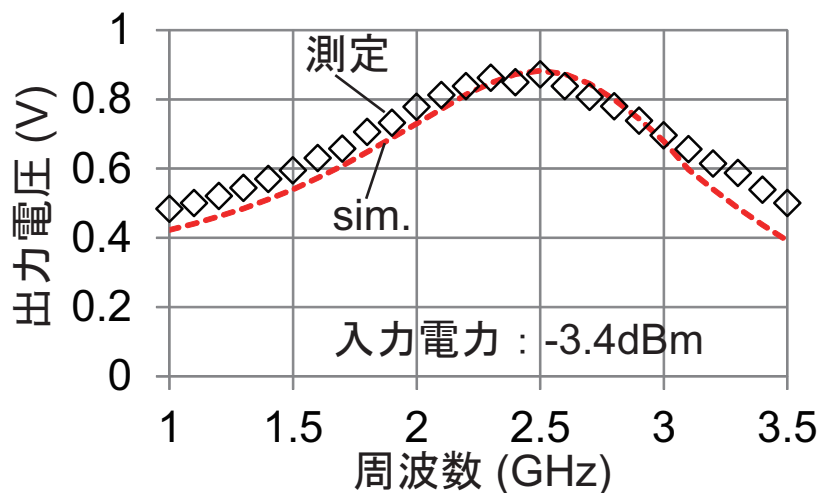


図 3.7: ディスクリート RF-EH の周波数特性

図 3.7 にディスクリート RF-EH の周波数特性の測定結果を示す。上記の L_s の測定結

果を踏まえ 2.7 nH のインダクタンスを用い、入力電力を -3.4 dBm 、負荷を $10\text{ M}\Omega$ として、測定を行った。試作した RF-EH は 2.4 GHz 帯を狙って設計したものであり、狙い通りの周波数帯でピークを持っていることがわかる。シミュレーションは、 $L_s = 5.1\text{ nH}$, $C_{\text{para}} = 0.4\text{ pF}$ としたときのものであり、比較的よく一致している。測定の際の実際のインダクタンスはワイヤーボンディングの寄生インダクタンスがついて 2.7 nH よりは大きくなるはずなので、シミュレーション値とのずれは妥当である。

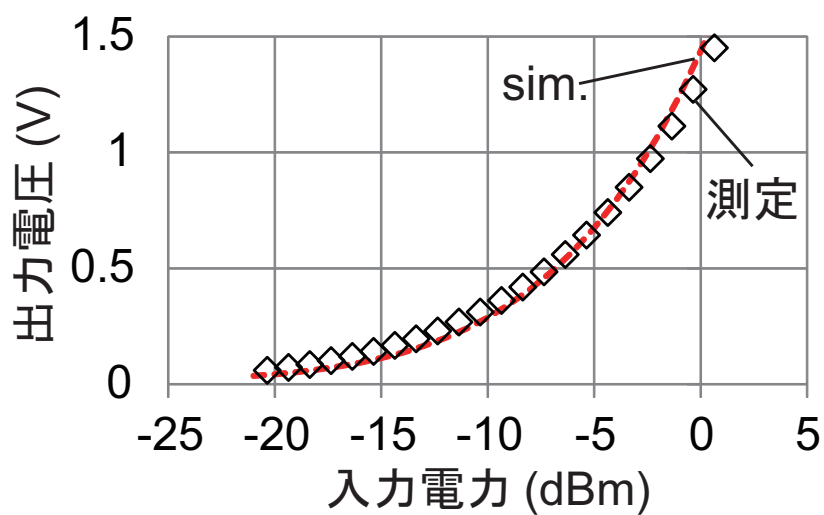


図 3.8: ディスクリート RF-EH の出力電圧対入力電力

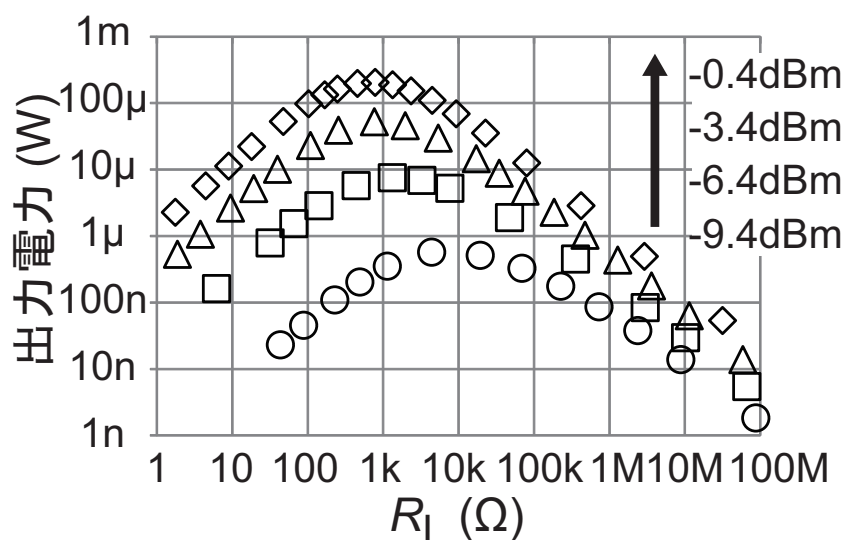


図 3.9: ディスクリート RF-EH の出力電力対負荷抵抗 R_L

図 3.8 に出力電圧対入力電力の測定結果を示す。測定は、RF 信号の周波数を 2.4 GHz、負荷を $10\text{ M}\Omega$ として行った。入力電力の増加に従い出力電圧は大きくなり、 -6.4 dBm の入力電力のとき、出力電圧が 0.56 V 程度であった。図 3.9 に、出力電力対負荷抵抗 R_L を示す。負荷抵抗がどのような値を取った時に、出力電力が最大になるか、すなわち電力変換効率が最大になるかを示しものである。入力電力を -9.4 dBm から -0.4 dBm まで 3 dB ずつ変えてプロットしたものであり、測定周波数は 2.4 GHz である。入力電力によってピークの負荷抵抗は異なり、おおよそ数キロ Ω から数十キロ Ω にピークを持つ。ピーク電力変換効率は入力電力の小さい方からそれぞれ、 0.5% 、 3% 、 11% 、 20% である。入力電力が小さくなると整流回路に入力される電圧振幅も小さくなり、それゆえ SBD の閾値による損失が相対的に大きくなるため、電力変換効率が悪くなると考えられる。

ディスクリット部品で RF-EH を構成し、その基本動作を確認することができた。ただし、ディスクリット部品では、調整できるパラメータが少なく、RF-EH のステージ数も増やしづらい。集積回路上で RF-EH を構成することにより、ディスクリットでは調整することができなかったダイオードのサイズ、ステージ数さらには回路構成等を変化させることができるようになる。また第二章で述べたように、電源管理回路と RF-EH を集積化することで、機能同士の融合を促進し、性能向上を実現することができる。次節より、集積回路で試作する RF-EH および電源管理回路について述べる。

3.2 電源回路試作 (CMOS 65 nm 全体チップ)

3.2.1 電源回路の構成と動作

図 3.10 に電源回路の全体構成を示す。電源回路は、RF-EH、ストレージ用キャパシタ、電源管理回路の構成ブロックであるヒステリシスコンパレータ (H-CMP)、リーク電流抑制スイッチ (SW)、low dropout regulator (LDO) で構成する。RF-EH にはインピーダンス整合回路は必要不可欠であるが、インピーダンス整合回路は送信回路、受信回路とも共用するために、電源回路には含めない。

電源回路は、図 3.10 の上部に示すデューティサイクル動作 [21–23] を実現する。動作としては、RF-EH がストレージ用キャパシタを充電し、充電された電圧を H-CMP で常にモニターしている。充電時には SW はオフ状態であり、LDO のパストランジスタを流れるリーク電流を抑制する。充電された電圧が、H-CMP の上昇方向のしきい値電圧 (V_{CMP_U}) を超えると、SW および LDO がオンとなり、受信回路 (RX) や送信回路 (TX) に

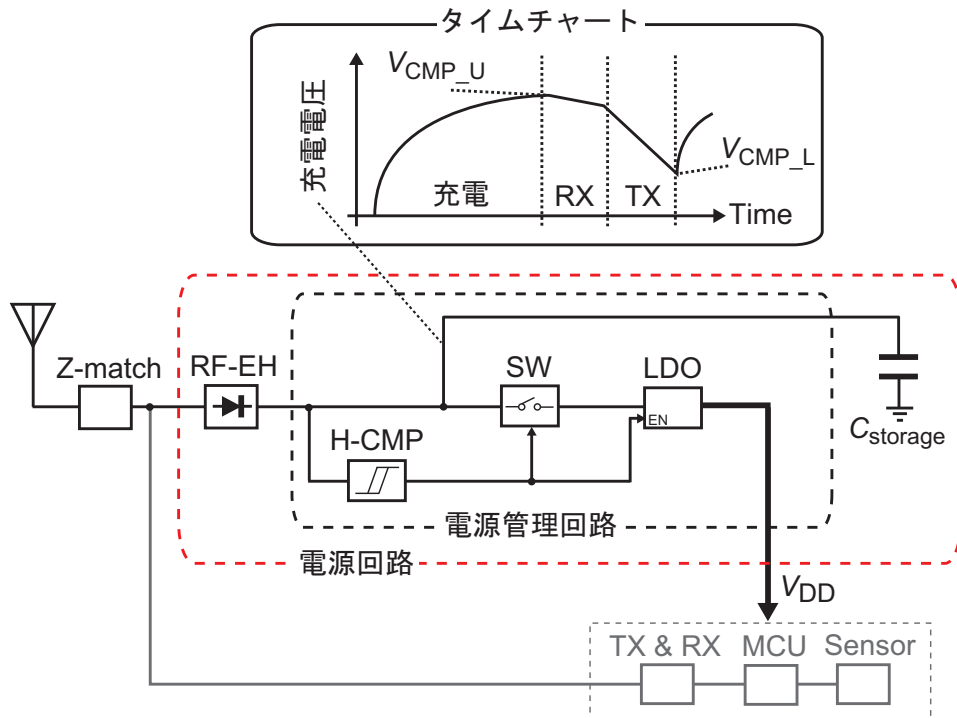


図 3.10: 電源回路の全体構成 (65 nm 全体チップ)

安定した電源電圧 (V_{DD}) を供給する。ストレージ用キャパシタのエネルギーを使用して、充電電圧が下がっていき、H-CMP の下降方向のしきい値電圧 (V_{CMP_L}) を下回ると、SW と LDO の双方がオフとなり、強制的に RX や TX をオフ状態にする。

本電源回路は、これまでに発表された RF-EH を含む電源回路 [21–23] を基に構成した。構成自体は従来と同様であるが、次項で述べるように LDO の入出力電圧や H-CMP のしきい値といった各種仕様を、従来のものよりもさらに低消費電力化およびエネルギー利用効率向上を実現できるように設定し、それを各コンポーネント回路レベルで実現する。

3.2.2 電源回路の目標仕様

表 3.1 に電源回路の目標仕様を示す。RX および TX の低消費電力化を実現するために、本来 Si CMOS 65 nm プロセスのトランジスタの電源電圧は 1.2 V であるが、半分の 0.6 V を RX と TX の電源電圧として設定する。すなわち LDO の出力電圧は安定した 0.6 V の出力を目指す。LDO 動作時の消費電流は $10 \mu\text{A}$ 以下とし、RX および TX の消費電力と比べて十分小さくすることを目指す。

式 (3.2) と (3.3) に示すように、LDO の最小入力電圧である $V_{LDO_MIN_IN}$ および上昇方

表 3.1: 電源回路の目標仕様

LDO 出力電圧 (OUT_{LDO})	0.6 V
LDO 消費電流	10 μA
LDO 動作最小入力電圧 ($V_{LDO_MIN_IN}$)	0.65 V
LDO 動作最大入力電圧 ($V_{LDO_MAX_IN}$)	1.8 V
H-CMP 上昇方向しきい値電圧 (V_{CMP_U})	1.2 V
H-CMP 下降方向しきい値電圧 (V_{CMP_L})	0.5 V
最小受信感度における RF-EH 出力電圧	1.2 V
充電時消費電流 (RF-EH の負荷電流)	100 nA
RF-EH 最小受信感度	-12 dBm
親機の送信電力	36 dBm EIRP

向の H-CMP のしきい値である V_{CMP_U} は、利用可能エネルギー (E_{AV}) とそのエネルギーの利用効率 (ξ_E) を決定する要素である。

$$E_{AV} = \frac{1}{2} C_{storage} (V_{CMP_U}^2 - V_{LDO_MIN_IN}^2) \quad (3.2)$$

$$\xi_E = \frac{2 OUT_{LDO}}{V_{CMP_U} + V_{LDO_MIN_IN}} \quad (3.3)$$

まず $V_{LDO_MIN_IN}$ に関して、 $V_{LDO_MIN_IN}$ はできるだけ小さくすることで E_{AV} 、 ξ_E 双方ともに向上させることができる。それゆえ LDO の出力電圧 0.6 V に極力近づけ、 $V_{LDO_MIN_IN}$ を 0.65 V と設定する。最小のドロップアウト電圧が 50 mV となるが、本研究では RX、TX ともに消費電力が小さいので比較的小さいパストランジスタのサイズが許容される。次に V_{CMP_U} に関して、 V_{CMP_U} を高く設定することにより、 E_{AV} を大きくすることができる一方、二つのデメリットが生じる。一つは、 V_{CMP_U} を高くすることは、すなわち RF-EH の出力電圧も高くしなければならないことに繋がり、RF-EH の充電効率の低下を招く。もう一つは、式 (3.3) に示すように、 V_{CMP_U} を高くすると、エネルギーの利用効率が低下してしまう。これは、LDO におけるドロップアウト電圧の平均が V_{CMP_U} とともに高くなってしまい、LDO のパストランジスタで消費される電力が増えてしまうことに起因するものである。それゆえ、 V_{CMP_U} は E_{AV} と ξ_E 双方のバランスを取り、1.2 V と設定する。 V_{CMP_U} が 1.2 V、100 μF の $C_{storage}$ を用いたとき、 E_{AV} は 51 μJ であり、そ

のとき ξ_E は 65 % 程度である。LDO の最大入力電圧 ($V_{LDO_MAX_IN}$) は、 V_{CMP_U} の値から余裕をとり 1.8 V と設定する。LDO が動作できる間は LDO をオフ状態にしたくないので、下降方向のしきい値電圧 (V_{CMP_L}) は、 $V_{LDO_MIN_IN}$ の値から余裕をとり 0.5 V と設定する。

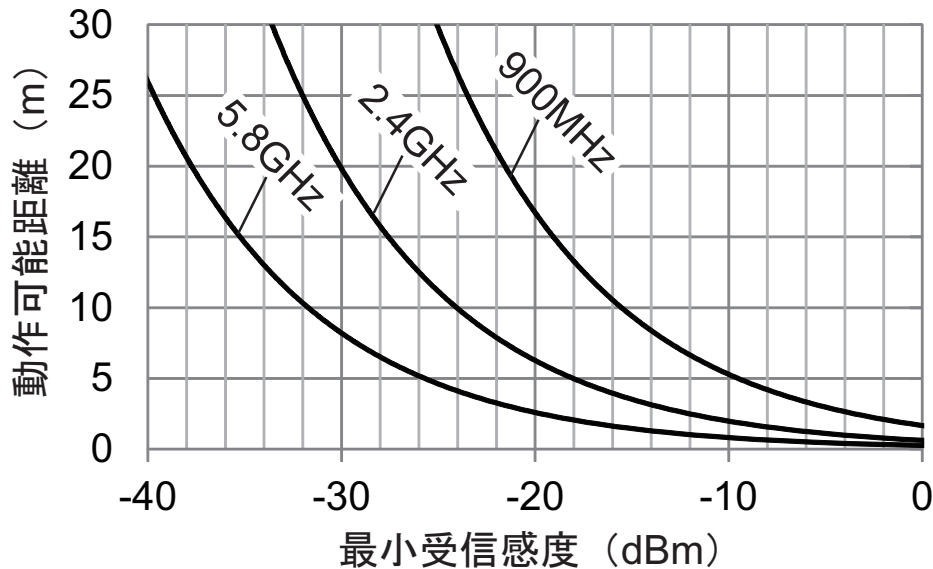


図 3.11: RF-EH 最小受信感度に対する動作可能距離 (親機の送信電力 36 dBm EIRP)

RF-EH は、最小受信感度の -12 dBm のときに、負荷電流 100 nA を駆動し、 1.2 V 以上を出力することを目指す。RF-EH の最小受信感度は、ある出力電圧と負荷電流を満たす最小の入力電力である。ここで、ある出力電圧とは、しきい値電圧 V_{CMP_U} であり、RF-EH は、ストレージ用キャパシタの電圧が 1.2 V を越えるように充電しなければならない。また RF-EH の負荷電流とは、充電時の消費電流であり、H-CMP の消費電流および SW を流れる LDO のリーク電流の合計である。RF-EH の出力電力は、非常に小さいために、充電時の消費電流を非常に小さくする必要があり、消費電流 100 nA 以下を目指す。最小受信感度の -12 dBm は、第二章で述べた目標仕様である通信距離から決まる。図 3.11 に示すように、 900 MHz 帯において親機の送信電力が 36 dBm EIRP のとき、伝搬距離 7 m の損失から RF-EH の入力電力を求めることができる。このときの入力電力が、 7 m の動作可能距離を満たす最小受信感度となる。動作可能距離は、 900 MHz のときが最も長い。 5.8 GHz を利用する際は同じ最小受信感度でも、その距離は約 1 m 程度になる。

RF-EH のシステム全体の各種効率を図 3.12 に示す。親機送信効率は、親機が 1 W (4 W

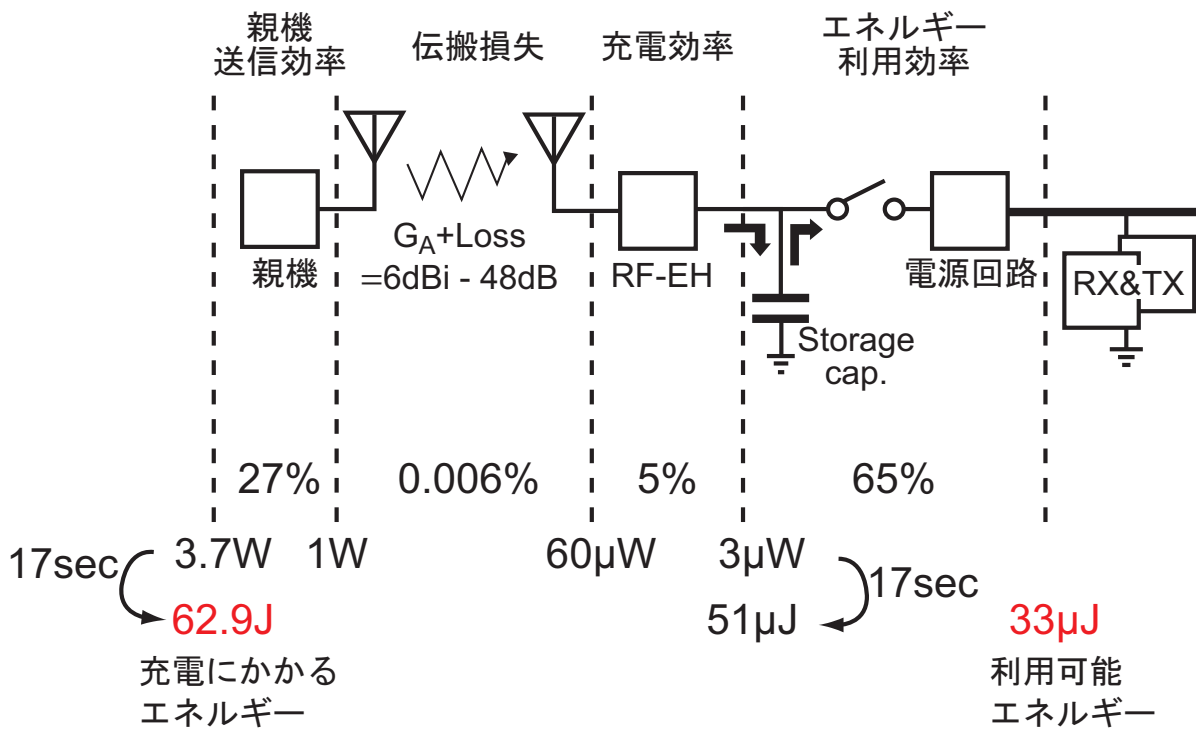


図 3.12: RF-EH システムの各種効率

EIRP) 出力するために消費する電力であり、研究レベル [24] では 27% 程度、製品レベルでは 10% 程度である。伝搬損失により、効率は著しく低下するが、センサ数が N 個になれば効率も N 倍になり、さらにアンテナ利得分だけ効率は上昇する。RF-EH の充電効率は、RF-EH の回路構成によって決まり、文献 [22] では 5% 程度の充電効率を実現している。電源回路の目標仕様で述べたように、ストレージ用キャパシタに蓄えられたエネルギーの利用効率は、LDO のパストランジスタにおいてドロップアウト電圧分損失が生じるため、65% となる。センサ端末で利用可能なエネルギー $33\mu\text{J}$ のために、 3.7W の電力で 17 秒間すなわち 62.9J のエネルギーを使用し親機は充電を行う。もし、親機一台に対してセンサ端末が一つしか存在しなかったとすると、 $33\mu\text{J}$ を 62.9J で割り、RF-EH システム全体の効率は 200 万分の 1 程度となる。

RF-EH システム全体の効率は低く、一兆個センサ時代において RF-EH システム全体の電力消費量が問題となる可能性がある。一兆個センサ時代、日本全体で 180 億個程度のセンサ端末が存在し、仮にそれらをすべて RF-EH のシステムで動作させようとしたとき、一台の親機が対応するセンサ端末数によって、システム全体の電力消費量が計算できる。図 3.13 に、センサ端末数を 180 億個で固定し、一台の親機が対応するセンサ端

末の個数を変えた時に RF-EH システムの電力消費量がどの程度の規模になるかを示す。親機の消費電力は 10 W とした。仮に一台の親機で 10 個程度のセンサ端末しか対応しないときには、RF-EH システムの総電力消費量は現在の日本全世帯の電力消費量と同程度となる。また、親機の対応するセンサ端末数が 300 個程度となったときには、10 W 程度の消費電力をもつ無線 LAN 親機の日本全体の電力消費量と同程度となる。一世帯に無線 LAN の親機が一つあるように、本研究の親機も一世帯に一台から一人一台程度の割合で多数のセンサ端末をカバーすることで、RF-EH システム全体で見てもリーズナブルな電力消費量となる。

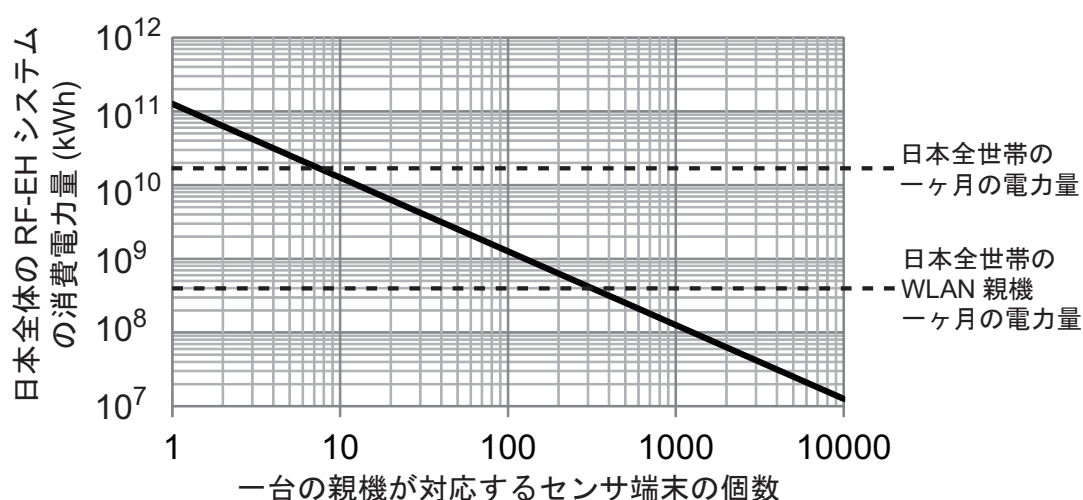


図 3.13: 一兆個センサ時代における日本全体の RF-EH システムの電力消費量と一台の親機が対応するセンサ端末数の関係

3.2.3 電源回路の設計 (CMOS 65 nm 全体チップ)

RF エネルギーハーベスタの回路設計

図 3.14 に、RF-EH の回路図を示す。RF-EH は、シングルエンドのディクソン型チャージポンプを採用し、ステージ数は四段である。各段はそれぞれ二つのダイオード接続した N-MOSFET と、二つの Metal Insulator Metal (MIM) キャパシタから構成する。N-MOSFET はトリプルウェル構成のもので、後段になるにつれてボディバイアス効果でしきい値が上昇しないようにバックゲートをそれぞれドレイン端子に接続する。RF-EH の入力、インピーダンス整合回路 (Z-match) に接続し、出力はストレージ用キャパシタ、H-CMP および SW に接続する。

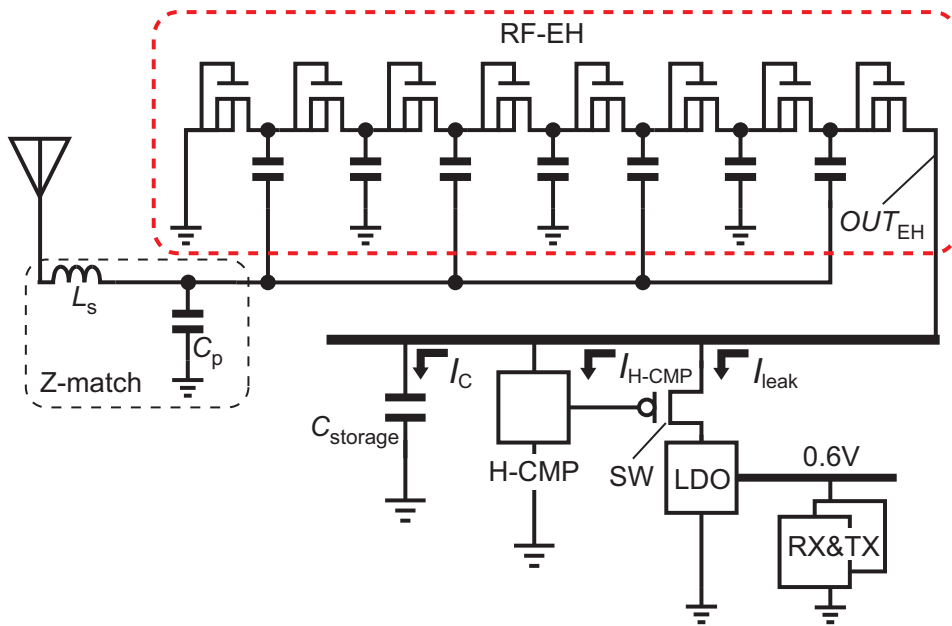


図 3.14: RF-EH 回路図

インピーダンス整合回路は、インダクタとキャパシター一つずつで構成できるL型を採用した。インダクタ (L_S) はオフチップで、キャパシタ (C_P) は寄生容量を用いて構成する。インピーダンス整合回路は、RF-EHだけでなく、RXおよびTXと共用する。本研究において、RF-EH、RXそしてTXともにアンテナからみた入力もしくは出力インピーダンスが数十 $k\Omega$ と非常に高い。50 Ω からそのような高いインピーダンスに変換するのは、困難であるため、本研究のインピーダンス変換においては50 Ω から極力高いインピーダンス変換率をL型の整合回路で実現することを目指す。また、インピーダンス整合回路は要求仕様がもっとも厳しいRF-EHに合わせる。RF-EHに最適化した際も、RXおよびTXの入力および出力インピーダンスがRF-EHのインピーダンスと同じオーダー程度に高いため、RXおよびTXの性能が著しく劣化することはない。

RF-EHの設計では、インピーダンス整合回路、トランジスタのサイズおよびステージ数を最適化することで、最小受信感度の向上を目指す。設計は、まずインピーダンス整合回路のインダクタンス (L_S) を、入力電力が一定のときにもっとも出力電圧が大きくなるように設定する。次に設定した L_S のもと、ゲート幅を、入力電力が一定のときにもっとも出力電圧が大きくなるように設定する。以上の L_S およびゲート幅の最適化を各ステージ数において行う。

各ステージ数における L_S およびゲート幅の最適値および出力電圧のプリレイアウトシミュレーション結果を表3.2に示す。シミュレーション条件は、目標とする最小受信感度

表 3.2: RF-EH の設計パラメータ

ステージ数 (段)	L_S (nH)	ゲート幅 (μm)	出力電圧 (V)
3	5.5	4.0	1.39
4	5.0	4.0	1.57
5	5.0	2.4	1.72
6	4.5	3.2	1.75
7	4.5	2.4	1.76
8	4.0	3.2	1.68

から 3 dB マージンを取り -15 dBm の入力電力、負荷電流 150 nA、100 fF と MIM キャパシタの寄生容量を C_P とした。最大 5.8 GHz での高速動作および寄生容量低減を考慮し、ゲート長はプロセスの最小のゲート長である 65 nm とした。表 3.2 に示すように、出力電圧は、どのステージ数においても H-CMP のしきい値である 1.2 V を超えている。出力電圧のピークはステージ数が 7 段のときであるが、ポストレイアウトシミュレーションにおいて C_P の値が増え、実際の L_S の値は小さくなり、入力電圧振幅が下がり、表 3.2 よりも出力電圧も小さくなると考えられる。それゆえ、ステージ数は、寄生容量である C_P が増加しにくく、比較的大きい出力電圧が得られている 4 段とし、表 3.2 に示す L_S およびゲート幅に決定した。

ヒステリシスコンパレータの回路設計

図 3.15 に、H-CMP の回路図を示す。H-CMP は、Voltage Divider、Start-up、Reference、Comparator、Compensation、Output Stage の六つの部分に分けることができる。H-CMP の電源が、入力すなわち充電電圧のモニタ端子であり、上昇方向で 1.2 V、下降方向で 0.5 V の充電電圧を検知し、出力の OUT_{CMP} をそれぞれ 0 から 1 へ、1 から 0 へ変化させる。H-CMP の消費電流は、ストレージ用キャパシタを充電する際の損失となるので、数十ナノアンペアの消費電流に抑えながら、動作させる必要がある。それゆえ H-CMP の回路設計全体において、トランジスタをサブスレッショルド領域で動作させている。

H-CMP の基本的な動作は、電源電圧を分圧した OUT_{VDIV} と電源電圧に対して安定な参照電圧 (REF) を差動増幅回路の Comparator で比較することである。 OUT_{VDIV} は

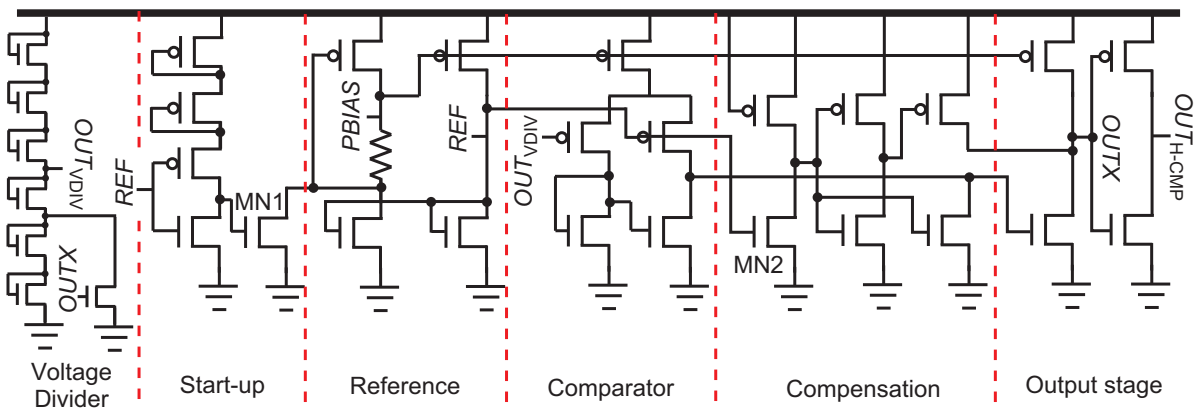


図 3.15: ヒステリシスコンパレータの回路図

Voltage Divider の出力であり、Comparator の出力状態によって分圧比が変化する。これが上昇方向、下降方向のしきい値電圧の違いを作り出す。Reference 部分において、二つの N-MOSFET のサイズを同じにして、流れる電流が等しくなるようにする。二つの P-MOSFET のサイズと抵抗値を調整することにより、抵抗を流れる電流によって生じる二つの P-MOSFET の V_{GS} の差が、あるひとつの決まった電流値以外許容しなくなる。これによって、二つの N-MOSFET に同じ決まった電流が流れることになり、電流値は P-MOSFET のサイズと抵抗値にのみ依存するので、REF は電源電圧によらず常に一定の電圧値をとる。また Reference 部分は、Comparator および Output stage の P-MOSFET 電流源のバイアス電圧も作り出す。

Start-up 部分は、Reference のもう一つの安定状態である $REF = 0\text{V}$, $PBIAS =$ 電源電圧の状態で張り付いてしまうのを防ぐために、備えられている。 $REF = 0\text{V}$ のときに、Start-up 部分の N-MOSFET の MN1 がオン状態になり、PBIAS の電圧を電源電圧から 0V 方向に引きおろす。このことによって、Reference 部分が所望していない安定状態に陥ることを防いでいる。

Compensation 部分においては、電源電圧が低く、H-CMP が正常に動作しない電源電圧範囲での動作の補償を行う。充電は 0V から始まるので、低い電源電圧の範囲では、H-CMP が正常に動作しない範囲も出てくる。特に電源電圧が所望の REF 電圧よりも低いような領域において、正常動作が難しい。Compensation 部分では、REF の電圧を MN2 でモニタし、REF の電圧が所望の値になるまでは、H-CMP の出力を強制的に 0 となるようにする。REF の電圧が所望の値にならない低い電源電圧範囲は、H-CMP の出力も 0 の範囲である。

Output stage 部分では、Comparator の出力を増幅し、より急峻な比較出力を得られるようにしている。Comparator の出力を直接インバータに接続してしまうと、出力が緩やかであるために、過剰な電流が流れてしまう恐れがある。一旦ソース接地の電流源負荷の増幅回路で増幅し、その後段に反転および駆動能力を稼ぐインバータを接続して、H-CMP の出力とする。

リーク電流抑制スイッチの回路設計

図 3.14 に示したように、P-MOSFET を用いて RF-EH と LDO の間にリーク電流抑制スイッチ (SW) を構成する。SW は、充電時にオフ状態になり、LDO のパストランジスタを流れるリーク電流を抑制する。H-CMP は、十分な充電電圧を検知すると、SW と LDO の双方をオン状態にして、RX や TX に安定な電源電圧を供給する。そのために、SW は、オフ状態では低いリーク電流特性、オン状態では低いオン抵抗を実現する必要がある。

上記の二つの特性は、トレードオフ関係にあり、本研究では、SW のリーク電流が、H-CMP の消費電流よりも小さくなるよう、P-MOSFET のサイズ決定した。この P-MOSFET には、1.8 V 程度までの電圧がかかる可能性があるため、1.2 V の標準のトランジスタではなく、電源電圧 1.8 V 用のトランジスタを使用する。ゲート長は 190 nm、ゲート幅はトータルで 200 μm とする。そのときリーク電流は 20 nA 以下、オン抵抗は 20 Ω 以下である。オン抵抗は、1 mA の電流が流れたときに 20 mV の電圧降下が LDO の入力で発生する大きさである。しかし RX、TX ともに消費電力は 1 mW を下回るため、動作に問題が出るほどの電圧降下は SW のオン抵抗によっては生じない。

LDO の回路設計

図 3.16 に LDO の回路図を示す。LDO は、Voltage Reference、Start-up、Current Reference、Error Amplifier、Output stage の六つの部分に分けることができる。LDO の電源は、図 3.14 に示すように、SW の P-MOSFET のドレイン端子に接続する。SW がオン状態のときは、ストレージ用キャパシタのエネルギーを利用しながら、安定した出力電圧 OUT_{LDO} を実現する。電源回路の目標仕様で述べたように、 OUT_{LDO} は 0.6 V、消費電流は 10 μA 以下の低電圧・低電力で LDO を動作させることを目指す。

LDO の基本動作は、出力 OUT_{LDO} を抵抗分圧した電圧 FB を Error Amplifier 部分にフィードバックし、電源電圧に依存しない参照電圧 ref との差分を増幅する。ネガティブフィードバックループにより、 FB と ref の差分を小さくしていくことで OUT_{LDO} の電圧

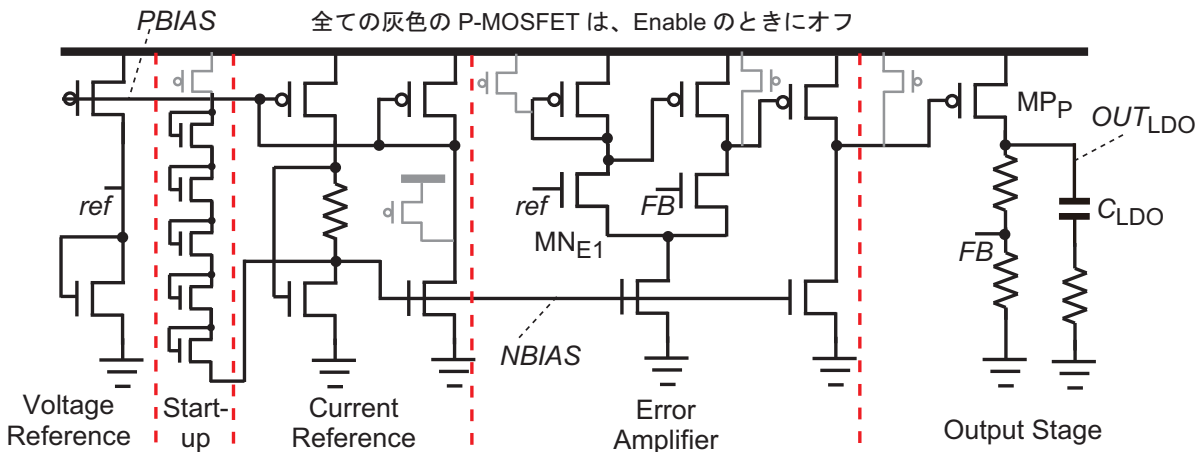


図 3.16: LDO の回路図

を一定に保つ。 ref は Voltage Reference 部分において、ダイオード接続した N-MOSFET に一定の決まった電流を流すことで作り出す。Voltage Reference の電流源である P-MOSFET のバイアスは、Current Reference 部分が作り出すものを利用する。それによって、電源電圧が変動しても、N-MOSFET を流れる電流が変わらず ref の電圧が変化することはない。

Current Reference 部分では、H-CMP と同様のトポロジーの Reference 回路を用いて、電源電圧に依存しない電流源用のバイアス電圧を作り出す。N-MOSFET のバイアス電圧は Error Amplifier のテール電流源用に、P-MOSFET のバイアス電圧は Voltage Reference の電流源用に利用する。Start-up 部分は、Current Reference がディスネーブル状態のときの NBIAS を 0V よりも少し高い電圧にしておくことで、H-CMP のときに述べたもう一つの安定状態に陥ることを避ける。

Output Stage では、出力 OUT_{LDO} の電圧を所望の 0.6V に安定させるために、パストラランジスタのサイズおよび抵抗の分圧によるフィードバックの調整を行う。パストラランジスタ MN_P の大きさは、1 mA 程度の負荷電流が流れたときに最小のドロップアウト電圧 50 mV を実現できるように、ゲート長 190 nm, トータルゲート幅 2.4 mm とする。ドロップアウト電圧 50 mV のとき、Error Amplifier は最小で 0.65 V の電源電圧で動作する必要があるため、Error Amplifier 一段目の各トランジスタの V_{DS} はそれぞれ約 200 mV 程度となる。そこから MN_{E1} の V_{GS} が 200 mV 程度取れるように、 ref の値を 400 mV と設定する。 OUT_{LDO} は 0.6V, ref は 0.4V であるから、抵抗分圧によるフィードバック量を 2/3 とする。デカップリングキャパシタ C_{LDO} は、1 μ F とし、 $C_{storage}$ よりも十分に小さ

い値とする。

LDOは、充電時にシャットダウンしている必要があり、図3.16の灰色で示すP-MOSFETのゲート電圧を0Vとして、LDOをシャットダウンさせる。反対にLDO動作時には、それらP-MOSFETのゲート電圧を電源電圧にし、P-MOSFETをオフとする。

3.2.4 電源回路の測定評価結果 (CMOS 65 nm 全体チップ)

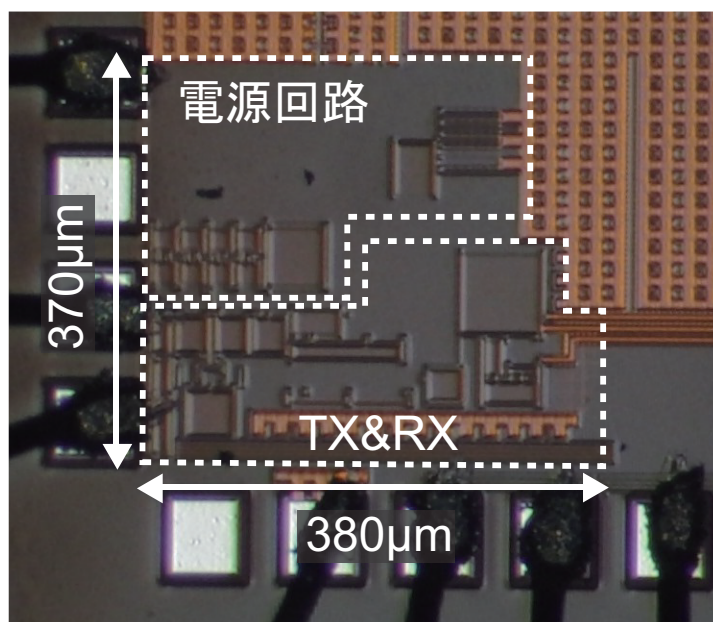


図 3.17: 電源回路のチップ写真 (CMOS 65 nm 全体チップ)

設計した電源回路の有効性を確認するために、Si CMOS 65 nm プロセスを用いて、プロトタイプの電源回路を試作した。図 3.17 に、試作した電源回路のチップ写真を示す。試作したチップは電源回路だけでなく、第四章で述べる TX と RX を含んでいる。試作したチップは、インピーダンス整合回路とともにテストボードに実装して測定を行った。

図 3.18 に、試作した RF-EH の入力電力に対する出力電圧特性を示す。測定は、5.8 GHz の RF 信号をシグナルジェネレータから RF-EH に直接入力することによって行った。負荷は、H-CMP の消費電流および SW のリーク電流に加え、10 M Ω のプローブのインピーダンスである。

測定結果の on chip および on board で測定したものを比較する。on chip の測定では、インピーダンス整合回路の L_S が付いていないために、RF-EH の整流回路の入力電圧振幅が on board の測定よりも小さくなる。それゆえ、同じ出力電圧で比べた時に、4 dB 程

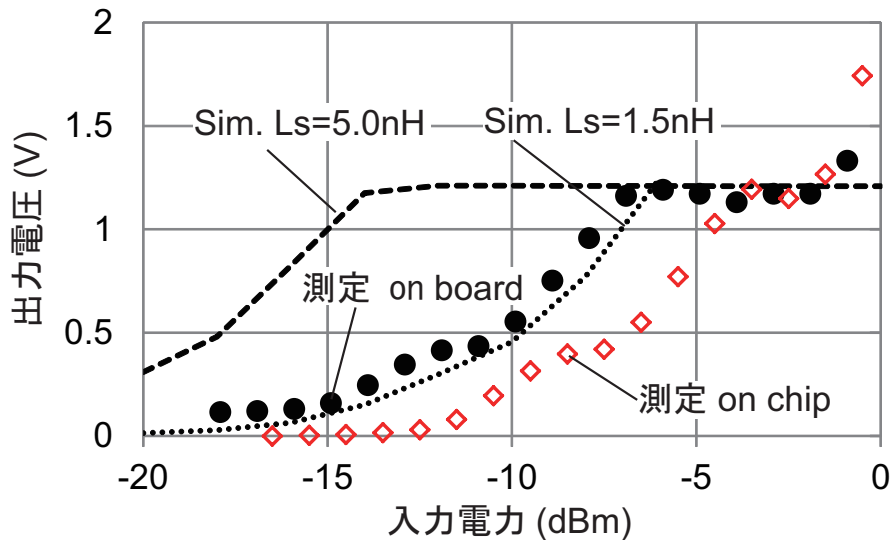


図 3.18: RF-EH の出力電圧対入力電力

度大きい入力電力が必要となる。on board の測定では、1.5 nH の L_S を使用しており、入力電力 -5.9 dBm のときにしきい値である 1.2 V の出力電圧を実現できる。すなわち最小受信感度は -5.9 dBm である。

しかし、本来の設計およびシミュレーションでは、 L_S の値として 5 nH を使用しており、設計結果における最小受信感度は、 -14 dBm であった。設計結果と測定結果の違いは、基板実装時の寄生容量が原因である。図 3.14 の C_P は、チップのパッドおよびチャージポンプ回路の入りに付く寄生容量成分で 150 fF 程度を見込んでいた。しかしテストボード上の L_S までの配線とテストボード上のパッドの寄生容量が大きく、等価的に C_P として 510 fF 程度の寄生容量がついていると考えられる。それゆえ、測定では L_S の値として 1.5 nH が最適値であり、5 nH にくらべてインピーダンス変換による電圧振幅が設計通りにとれず、最小受信感度の劣化を招いている。

図 3.19 に充電電圧に対する充電時の消費電流特性を示す。充電時の消費電流は、H-CMP の消費電流および SW を流れるリーク電流の合計である。充電電圧として測定器からの DC 電圧を変化させながら入力し、そのときの消費電流を測定した。充電電圧 1.1 V までで、消費電流は 100 nA 以下であり、目標仕様を満たしていることがわかる。測定から、H-CMP の上昇方向のしきい値電圧 1.2 V で充電完了となり、SW と LDO を立ちあげることを確認した。また下降方向のしきい値電圧 0.5 V において、SW と LDO がオフとなり、再び充電モードとなることを確認した。

消費電流が 0.4 V 近辺で上昇するのは、このあたりから H-CMP が動作をはじめするため

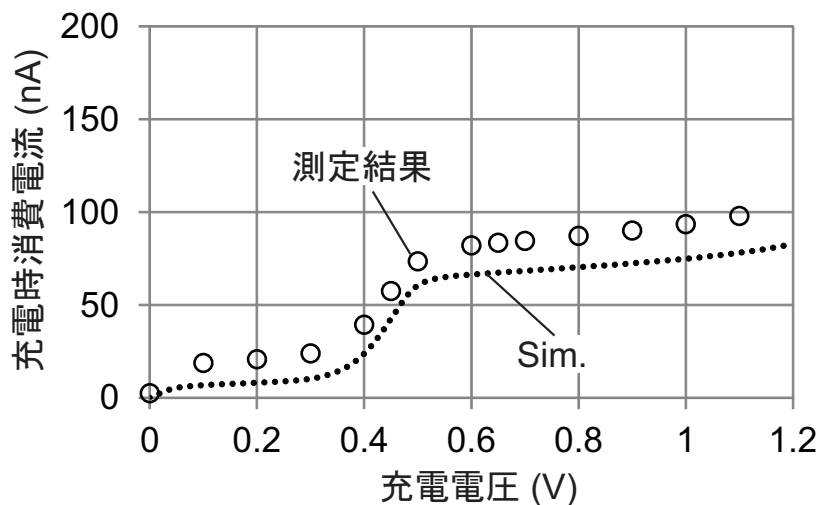


図 3.19: 充電時の消費電流対充電電圧

である。また、測定結果とシミュレーション結果は充電電圧の変化にかかわらず、15 nA 程度差が存在する。SW の P-MOSFET において、温度やプロセスばらつきなどの影響で、シミュレーションと測定時でリーク電流の特性が変化したことが原因ではないかと考えられる。

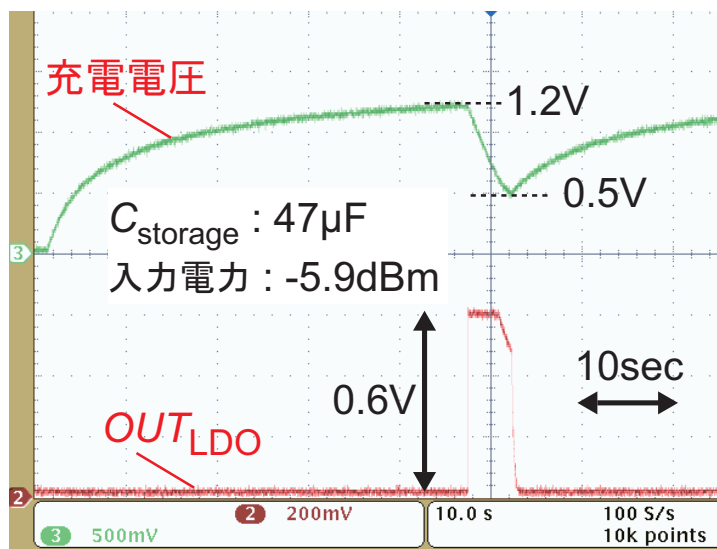


図 3.20: 電源回路動作の時間波形

図 3.20 に、充電電圧および OUT_{LDO} のオシロスコープによる測定波形を示す。測定は、5.8 GHz の RF 信号をシグナルジェネレータで RF-EH に入力し、充電電圧の端子および LDO の出力にオシロスコープのプロブを接続し行った。ストレージ容量は $47 \mu\text{F}$ 、

入力電力は最小受信感度である -5.9 dBm とした。

図 3.20 では、充電およびその後に充電したエネルギーを使用しながら LDO が安定した 0.6 V の電圧を出力しており、電源回路の基本動作を確認できる。RF-EH が、RF 信号を使用して、45 秒間程度ストレージ用キャパシタを充電する。H-CMP は、充電電圧が 1.2 V に達するのを検知し、SW と LDO を立ち上げる。充電電圧の降下がエネルギーの使用を示しており、LDO はストレージ用キャパシタに蓄えられたエネルギーを使用しながら、 0.6 V の安定した電圧を出力する。H-CMP が下降方向のしきい値 0.5 V を下回るのを検知すると、再び充電モードとなることが確認できる。

表 3.3 に、試作した電源回路の測定結果のまとめを示す。

表 3.3: 電源回路の試作結果まとめ (Si CMOS 65 nm)

	目標仕様	試作結果
LDO 出力電圧 (OUT_{LDO})	0.6 V	0.6 V
LDO 消費電流	$10 \mu\text{A}$	$4.4 \mu\text{A}$
LDO 動作最小入力電圧 ($V_{LDO_MIN_IN}$)	0.65 V	0.65 V
LDO 動作最大入力電圧 ($V_{LDO_MAX_IN}$)	1.8 V	1.8 V
H-CMP 上昇方向しきい値電圧 (V_{CMP_U})	1.2 V	1.2 V
H-CMP 下降方向しきい値電圧 (V_{CMP_L})	0.5 V	0.5 V
最小受信感度における RF-EH 出力電圧	1.2 V	1.2 V
充電時消費電流 (RF-EH の負荷電流)	100 nA	96 nA 以下
RF-EH 最小受信感度	-12 dBm	-5.9 dBm
親機の送信電力	36 dBm EIRP	(ケーブルで測定)

3.3 電源回路試作 (CMOS 180 nm 電源チップ)

本節では、新たに提案する通信開始検知電源管理技術をもちいた電源回路の試作 (180 nm 電源チップ) について述べる。本技術は、電力供給機能と電源管理機能の融合のもと、以下の階層縦断アプローチから成り立つ。

- システム階層において、電源管理回路が、電力供給用の RF 信号の停止を通信開始の合図として利用
- アーキテクチャ階層において、H-CMP による充電電圧検出だけでなく、RF シグナルディテクタ (RF-SD) を搭載することで RF 信号の停止を検出
- 回路階層において、RF-EH を RF-SD のための整流回路として利用。H-CMP のイネーブル信号を利用することで、RF-SD を起動。

前節の電源回路 (CMOS 65 nm 全体チップ) は、充電電圧の検出のみであった。本技術を用いて親機の通信開始を検知できるようになることで、不必要な通信待機時間を削減することができ、エネルギー利用効率および充電効率の向上を実現することができる。

3.3.1 電源回路の構成と動作

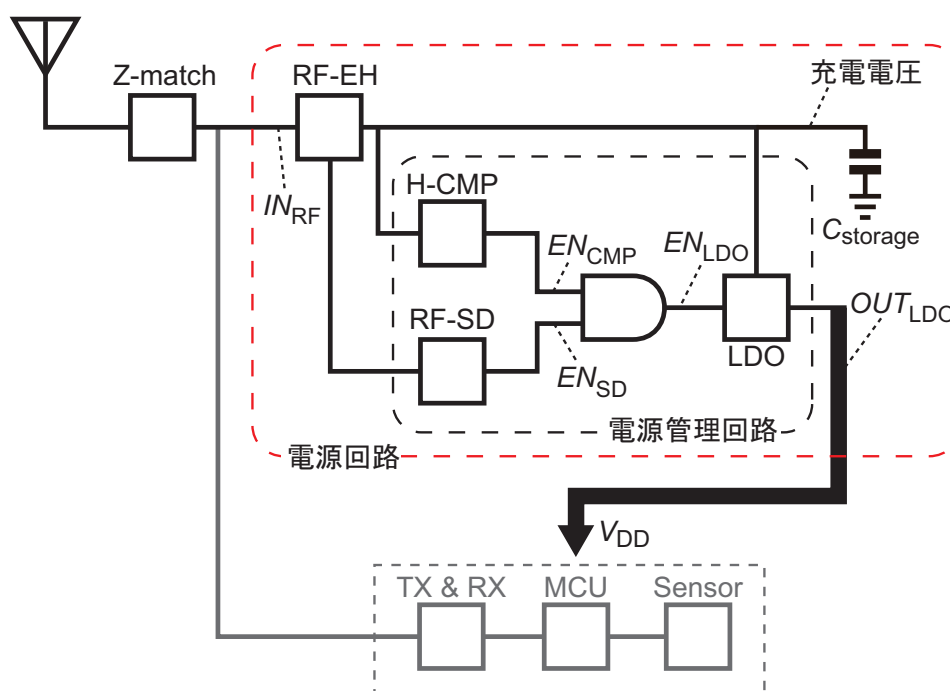


図 3.21: 電源回路の全体構成 (180 nm 電源チップ)

図 3.21 に電源回路の全体構成を示す。本試作の電源回路は、RF-EH、ストレージ用キャパシタ、電源管理回路の構成ブロックである H-CMP、RF-SD、AND 回路および LDO で構成される。前節の電源回路 (65 nm 全体チップ) との大きな違いは、新たに RF-SD を

加えることで、充電電圧の検出に加え RF 信号の検出という二つの検出により、充電モードからアクティブモードの切り替えのタイミングを検出するところにある。ここでアクティブモードとは、LDO がオン状態のとき、すなわち RX や TX に電力を供給している状態を指す。AND 回路は、二つの検出回路のイネーブル信号 (EN_{CMP} , EN_{SD}) を入力とし、両方の論理積をとることで LDO を立ち上げるイネーブル信号 EN_{LDO} を作る。本試作では、無線送受信回路は集積化せず、電源回路のみの試作であるために、LDO のリーク電流を抑制する SW は搭載していない。

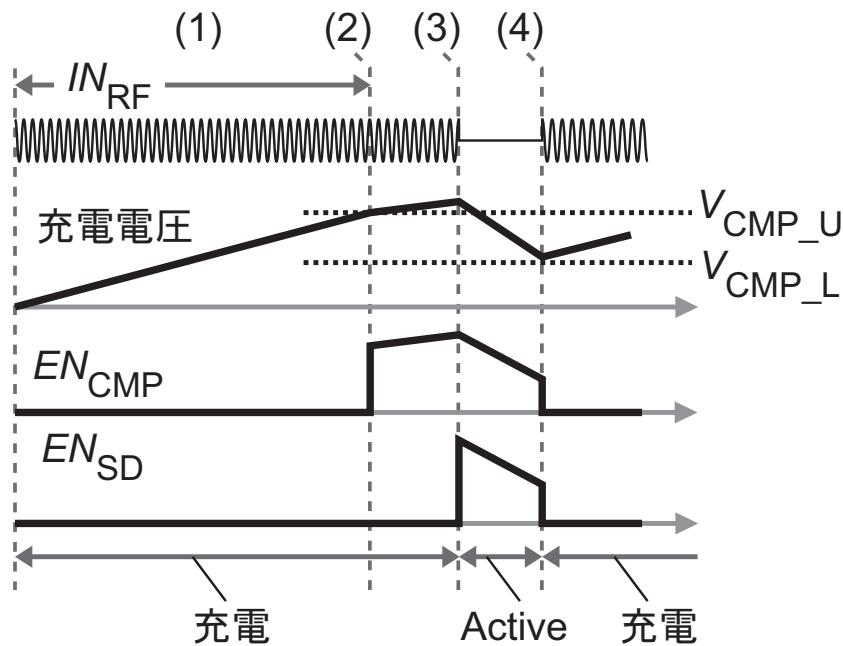


図 3.22: 電源回路動作のタイムチャート

図 3.22 に、H-CMP だけでなく RF-SD を利用した本電源回路の動作のタイムチャートを示す。図 3.22 の上方の数字は、以下の動作の流れに対応している。

1. RF-EH がストレージ用キャパシタを充電。
2. H-CMP が上昇方向のしきい値 V_{CMP_U} を超えた充電電圧を検出すると、H-CMP の出力である EN_{CMP} が High 状態となる。
3. RF-SD が親機から送信される RF 信号が止まったことを検出すると、RF-SD の出力である EN_{SD} が High 状態となる。 EN_{CMP} と EN_{SD} の双方が High 状態になると、LDO を立ち上げ、充電モードからアクティブモードへ切り替わる。
4. ストレージ用キャパシタに蓄えられたエネルギーを使用していく、その充電電圧が下降方向のしきい値 V_{CMP_L} を下回ると、LDO をシャットダウンし、充電モードに

切り替わる。

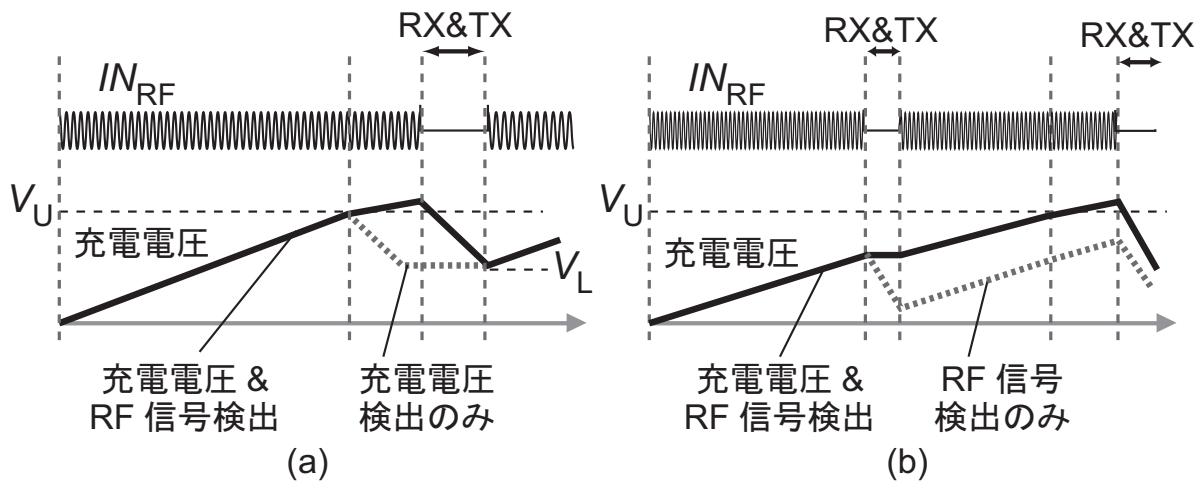


図 3.23: 提案電源回路と従来研究の違い

充電電圧と RF 信号の二つの検出により、充電とアクティブモードの切り替えを行うことで、前節の電源回路やこれまで発表されてきた電源回路 [21–23, 25] に比べて、エネルギーをより効率的に利用できる。図 3.23 (a) に示すように、充電電圧のみ検出する電源回路 [21–23] では親機の無線通信のタイミングにかかわらず、充電電圧が $V_{CMP,U}$ を超えた時点でアクティブモードになってしまう。消費電力が大きいアクティブモードで、無線通信が始まるのを待機しなければならないので、蓄えたエネルギーを余分に使用してしまうことになる。一方で、充電電圧および RF 信号の二つを検出する本電源回路では、充電電圧が $V_{CMP,U}$ を超えても、親機から RF 信号が送信され続けている限り、充電モードは続き、親機が無線通信開始の合図として、一旦 RF 信号を停止したの検出し、アクティブモードに切り替える。それゆえ前述の電源回路と比べて、アクティブモードで無線通信を待機する時間を省くことができるので、より効率よく蓄えられたエネルギーを利用することができる。

図 3.23 (b) に、RF 信号検出のみの電源回路 [25] と本電源回路のちがいを示す。受信電力が弱く充電が二周期以上にわたる際に、RF 信号検出のみの場合、所望のエネルギーが蓄えられていないにもかかわらず、アクティブモードになってしまい、動作が不安定になる恐れがある。一方で、充電電圧も検知することにより、RF 信号が停止しても充電電圧が不十分であればアクティブモードにならず、充電を二周期以上にわたって続け、弱い受信電力でも動作が可能である。

3.3.2 電源回路の設計 (180 nm 電源チップ)

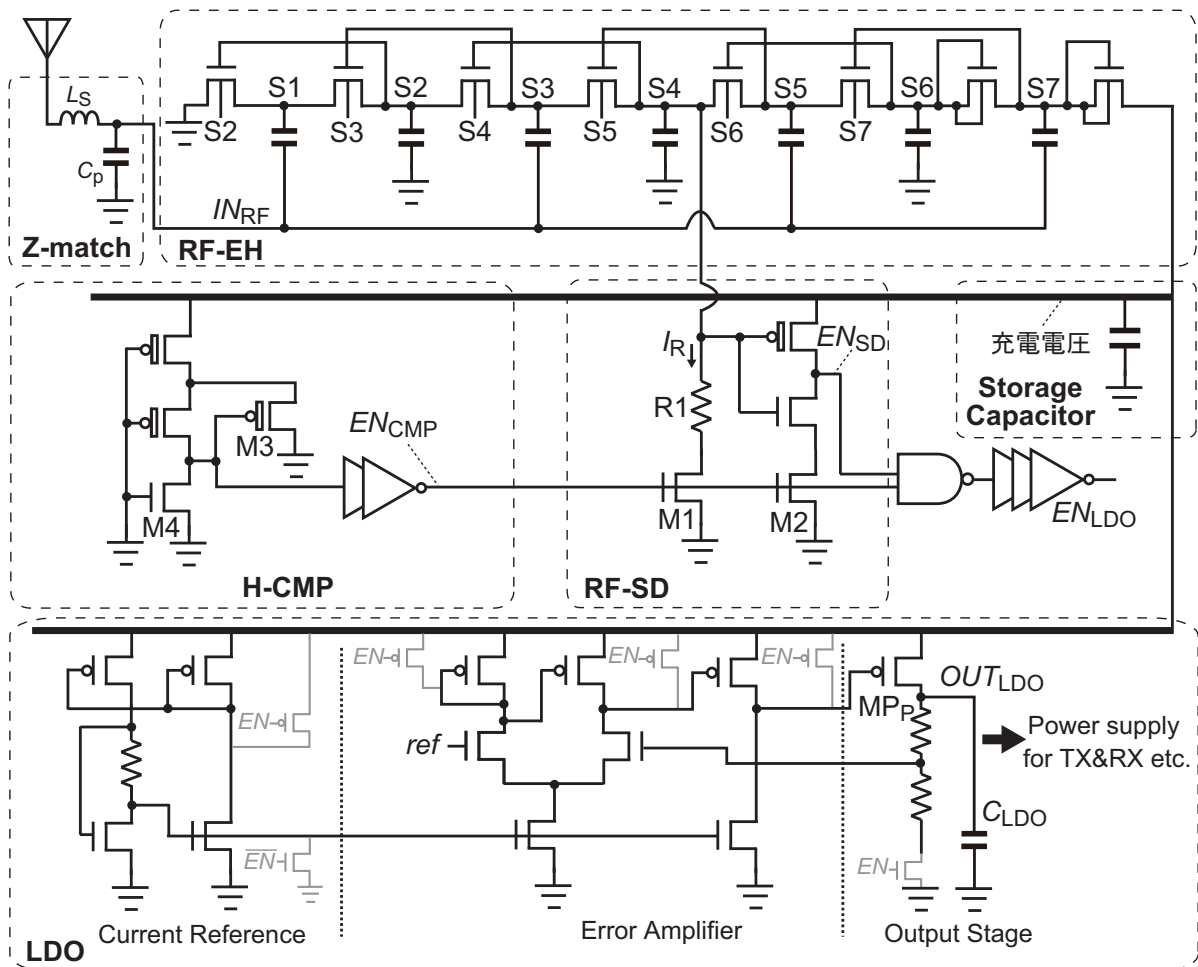


図 3.24: 二つの検出回路をもつ電源回路の回路図

図 3.24 に提案する二種類の検出回路を持つ本電源回路の回路図を示す。電源回路を構成するコンポーネント回路は以下の3つの種類に分けることができる。

- 充電時のみ動作する回路
- アクティブ時のみ動作する回路
- 充電時およびアクティブ時の両方とも動作する回路

3つの種類に応じて、求められる性能が変わってくる。RF-SDとRF-EHは、充電時のみ利用する回路であり、それゆえ回路設計において消費電力および充電時の損失を低減す

ることが強く求められる。LDO は、アクティブ時のみ動作するため、その消費電力特性は比較的緩和される。アクティブ時には、LDO よりも消費電力が大きい受信回路や送信回路が動作するので、LDO の消費電力特性の影響は相対的に小さくなる。H-CMP は充電時、アクティブ時双方において、充電電圧を検知する必要がある。それゆえ、H-CMP の消費電力は、100 nA 以下に低減する必要がある。

RF シグナルディテクタの回路設計

提案する RF-SD は、RF-EH と H-CMP を再利用することで充電時の効率を低下させることなく、RF 信号の停止を検出する。図 3.24 に示すように、RF-SD は、RF-EH の四段目の出力である S4 をモニタ用の端子として利用する。RF-EH を再利用することで、新たに整流回路を付け加える必要がなくなり、余分な回路面積および RF 信号の電力損失の増加を防ぐことができる。さらに、 EN_{CMP} の信号を使用し、S4 から RF-SD を流れる電流 I_R を充電電圧が $V_{CMP,U}$ を超えるまでカットし、RF-SD の消費電流を抑える。

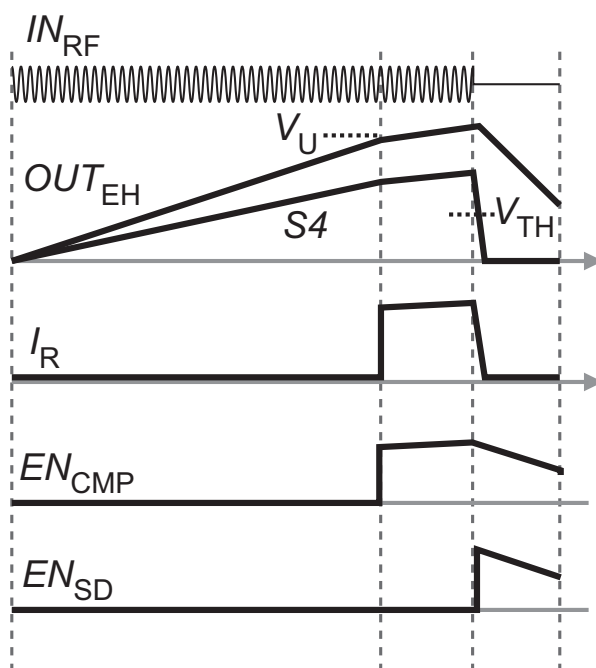


図 3.25: RF-SD の動作タイムチャート

図 3.25 に、RF-SD の動作タイムチャートを示す。充電電圧が $V_{CMP,U}$ を超えるまで、 EN_{CMP} は Low 状態であり、 EN_{CMP} をゲートに入力する M1 と M2 は、RF-SD の消費電流をサブ nA レベルまでカットする。充電電圧が $V_{CMP,U}$ を超え、十分なエネルギーが

蓄えられると、 EN_{CMP} が High 状態となり、M1 と M2 がオン状態となる。RF 信号を受けている状態では、抵抗 R_1 に電流 I_R が流れることで、S4 の電圧がインバータのしきい値を下回らないよう動作する。電流 I_R は、RF-EH が RF 信号を整流することにより作られ、S4 から出力する。RF 信号が停止すると、RF-EH は電流を出力することができなくなるので、S4 の電圧はインバータのしきい値を下回り、 EN_{SD} が High 状態となる。 EN_{SD} と EN_{CMP} 両方が High 状態となり、アクティブモードに切り替わる。

RF エナジーハーベスタの回路設計

図 3.24 に示すように、RF-EH は、四段のディクソン型 CP 回路を基に構成し、入力はいмпीडанс整合回路に接続する。RF-EH は、最小受信感度を向上させるべく、トランジスタのしきい値電圧を補償する回路技術 [17] を用いて設計を行う。初段から六つの N-MOSFET は、ゲートおよびバックゲートをそれぞれの後段の出力に接続し、適切なバイアス電圧がかかるようにする。N-MOSFET はトリプルウェル構成のものを利用し、上記の接続により、フォワードボディバイアスがかかり、しきい値の低下を図る。RF-EH の出力から二つの N-MOSFET は、ダイオード接続とし、RF-EH の出力から R_1 へのリーク電流を防ぐ。インピーダンス整合回路は、インダクタとキャパシタを 1 つずつ使用する L 型とし、寄生容量 C_P とオフチップインダクタ L_S で構成する。

LDO およびヒステリシスコンパレータの回路設計

LDO は、Current reference、Error Amplifier、Output Stage の 3 つの部分に分けることができる。また充電時に LDO はシャットダウンし、アクティブ時にオン状態にする必要がある。図 3.24 の灰色トランジスタを用いて enable/disable を切り替える。LDO の基本構成は、前節の図 3.16 と同じであるが、本 LDO では出力電圧 OUT_{LDO} を 0.5 V、最小入力電圧 $V_{LDO\text{MIN}}$ を 0.55 V と設定し、さらなる低電圧かつ低消費電力化を目指す。Current Reference および Error Amplifier はトランジスタのサブスレッショルド領域で動作させることで、低電圧下でも動作させることができる。

H-CMP は、4 つのトランジスタと出力バッファ用の二つのインバータで構成する。電源電圧が H-CMP の入力電圧であり、電源電圧が $V_{CMP,U}$ である 1.2 V を超えると出力が High 状態となる。反対に、出力状態が High 状態から Low 状態となる際には、P-MOSFET の M3 がオフ状態であり、より低い電源電圧で出力の状態が反転する。M3 のトランジスタサイズを変えることにより、 $V_{CMP,U}$ と $V_{CMP,L}$ を調整する。

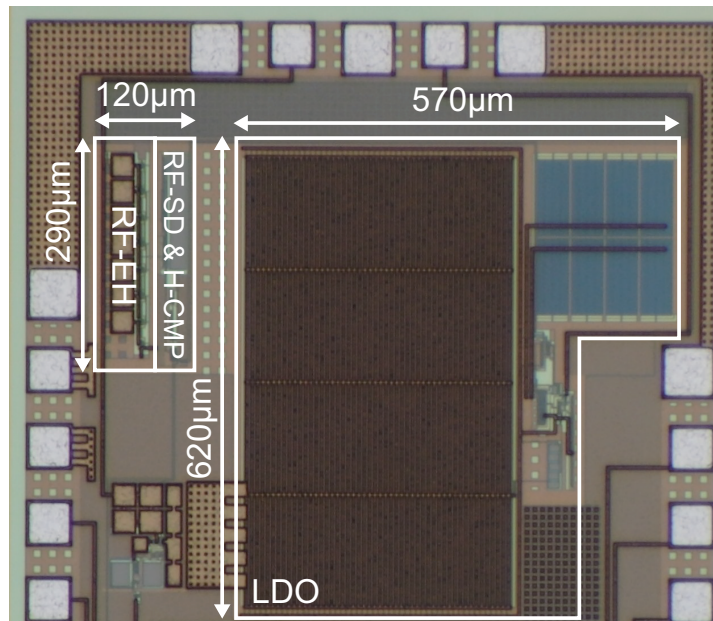


図 3.26: 電源回路のチップ写真 (CMOS 180 nm 電源チップ)

3.3.3 電源回路の測定評価結果 (CMOS 180 nm)

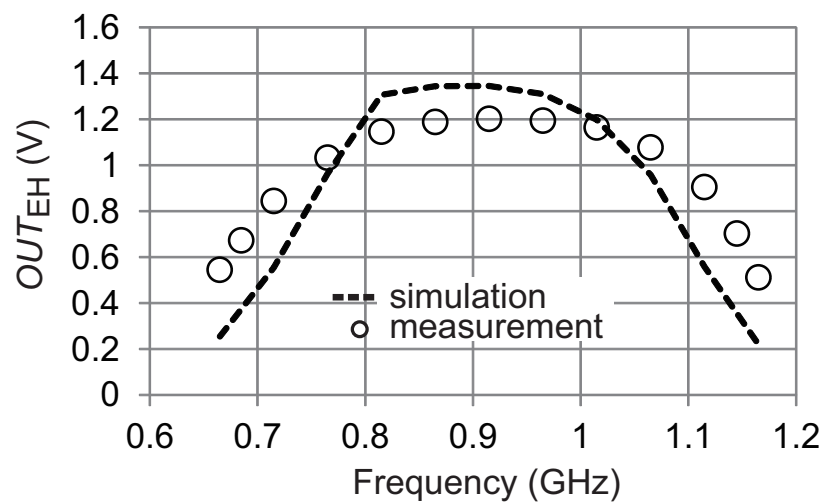


図 3.27: RF-EH 出力電圧の周波数特性

二種類の検出回路をもつ電源回路の有効性を確認するために、180 nm Si CMOS プロセスを用いてプロトタイプを試作を行った。図 3.26 に試作したチップ写真を示す。試作したチップをテストボードにワイヤーボンディングし、インピーダンス整合回路を実装した。オフチップのインダクタは 30 nH とし、ワイヤーボンディングの寄生インダク

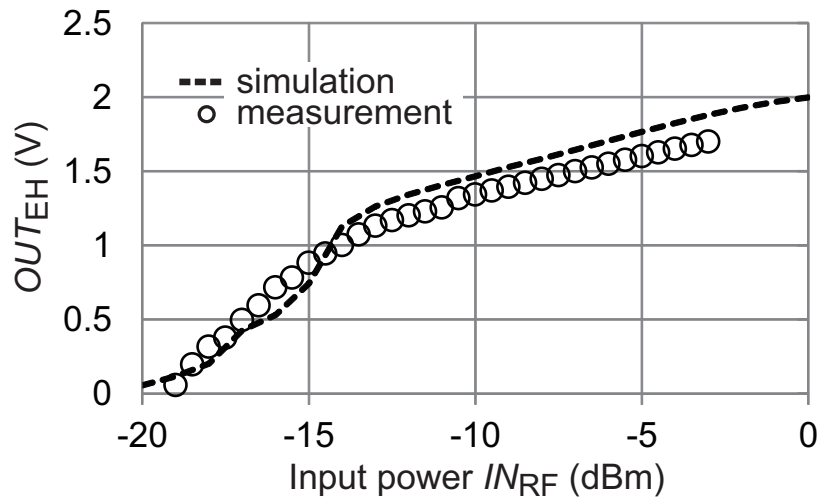


図 3.28: RF-EH 出力電圧対入力電力

ダンスとチップおよびテストボードの寄生容量を考慮し、915 MHz で共振するように、Z-match を構成した。

まず RF-EH の測定結果を示す。図 3.27 に、入力電力 -12 dBm 時の RF-EH 出力電圧の周波数特性を示す。本試作の所望の周波数である 915 MHz において、出力電圧は最大値を取り、 $V_{\text{CMP,U}}$ である 1.2 V となる。図 3.28 に、915 MHz の RF 信号を用いたときの RF-EH の出力電圧対入力電力を示す。

図 3.29 に、充電時における電源回路の消費電流を示す。測定は、充電電圧を測定器で変化させ、そのときの消費電流を示す。また充電電圧に対応する入力電力も併記する。消費電流は、試作結果の $V_{\text{CMP,U}}$ である 1.25 V のときに最大となり、112 nA である。図 3.30 に、LDO の入力電圧対出力電圧を示す。測定において、負荷電流 $100 \mu\text{A}$ 、LDO の参照電圧 0.4 V、 C_{LDO} を $1.0 \mu\text{F}$ とした。試作した LDO は、入力電圧 0.55 V において、0.5 V の安定な電圧を出力する。LDO の消費電流は、入力電圧が 1.3 V のときに $5.1 \mu\text{A}$ である。

図 3.29 に、測定した電源回路の時間波形：入力した RF 信号、充電電圧および LDO 出力電圧を示す。測定は、入力電力 -9.0 dBm、 $47 \mu\text{F}$ のストレージ用キャパシタを用いて行った。RF-EH は、RF 信号を使用しながらストレージ用キャパシタを充電し、充電電圧が $V_{\text{CMP,U}}$ を超え、さらに RF 信号が停止したときにアクティブモードに切り替わり、LDO が 0.5 V を出力する。蓄えられたエネルギーを使用していく、充電電圧が $V_{\text{CMP,L}}$ の 0.5 V を下回ると、再び充電モードとなり、充電が始まることがわかる。このことから、二つの検出回路 H-CMP および RF-SD の基本動作を確認することができる。また $V_{\text{CMP,U}}$

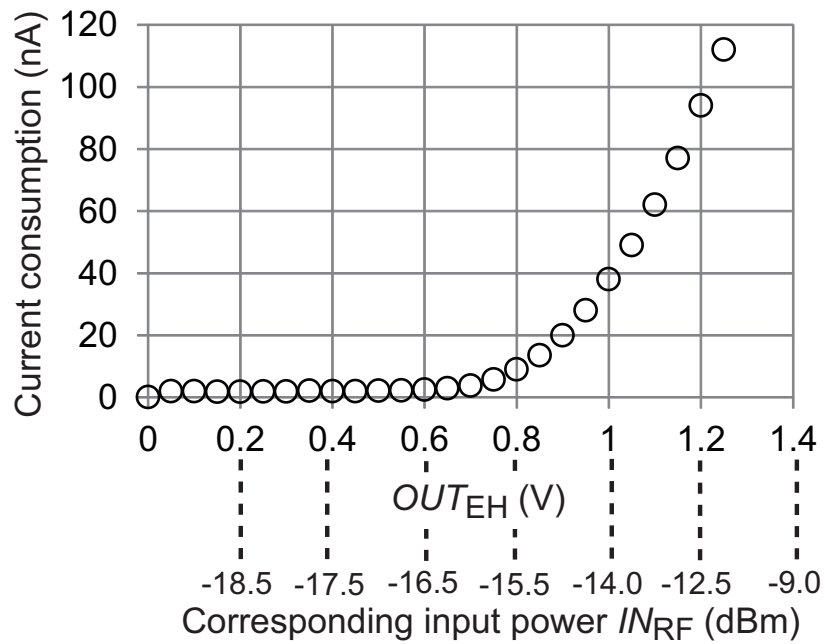


図 3.29: 充電時における電源回路の消費電流

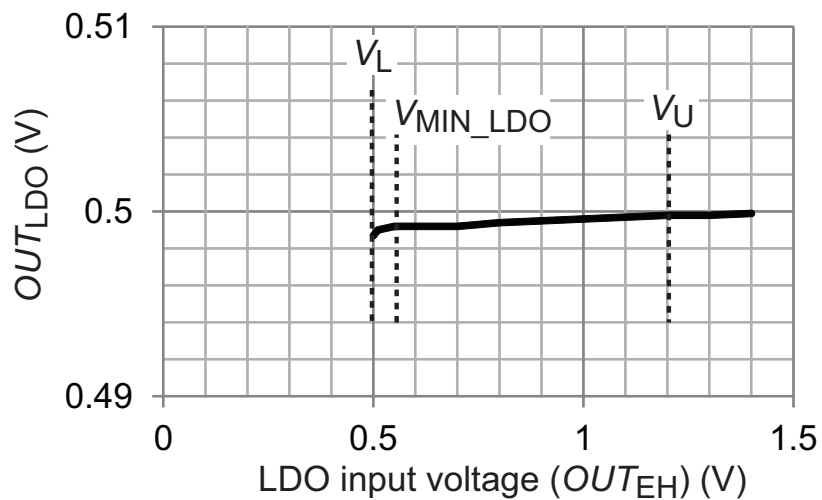


図 3.30: LDO 入力電圧に対する出力電圧

に達していない段階で、RF 信号を停止させても、アクティブモードに切り替わらず、所望の電源回路動作を実現していることが確認できる。

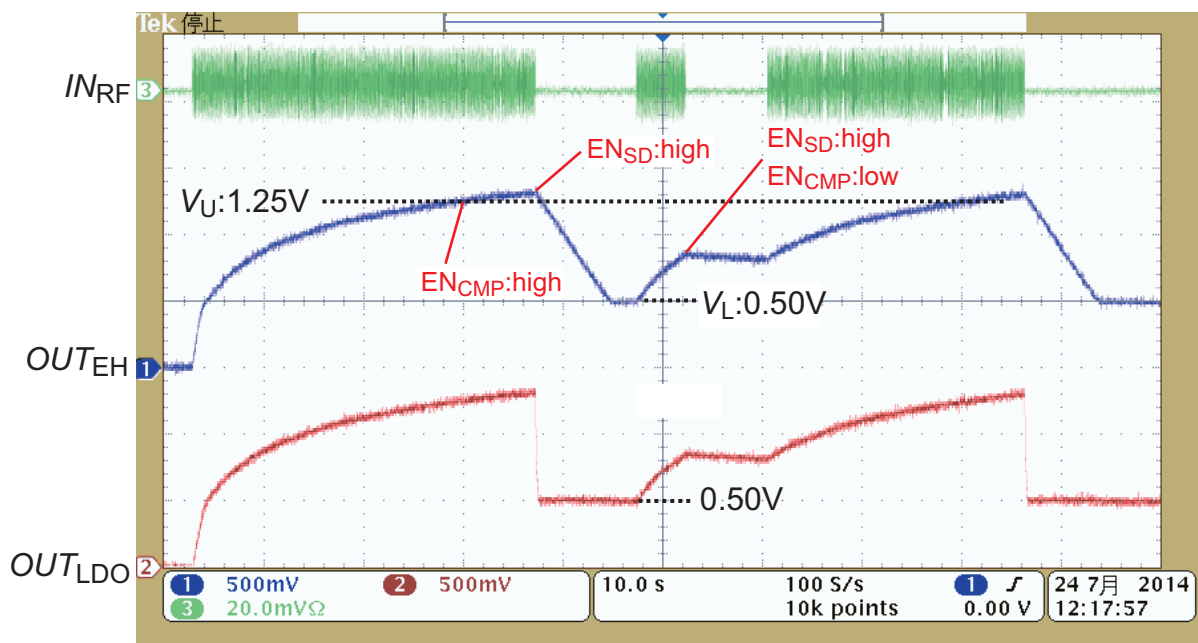


図 3.31: 二種類の検出回路をもつ電源回路の時間波形

第4章 無線通信回路

第四章では、無線通信回路の設計試作、測定結果について述べる。まず送信回路について、目標仕様および先行研究について述べた後、提案する二種類の送信回路、キャリア供給型送信回路および Backscattering 型送信回路の設計試作、測定結果を示す。二つの送信回路において、キャリア供給変調技術をもとに、低消費電力化および高スペクトラル効率化を実現する。Backscattering 送信回路においては、さらに IF-based Quadrature Backscattering 技術を提案、採用することで、キャリア供給型送信回路からさらに低消費電力化を実現する。次に、受信回路について、目標仕様を述べた後に、設計試作、測定結果について述べる。最後に、MEMS プロセスを利用した可変インダクタについて述べ、それを利用することで、動作周波数帯域の拡大を目指したチューナブル整合回路技術について述べる。

4.1 送信回路

4.1.1 送信回路の目標仕様

表 4.1 に送信回路の目標仕様を示す。出力電力に関して、図 4.1 に示すように、64QAM 変調時の親機の最小受信感度を -82 dBm、親機のアンテナ利得を 6 dBi、伝搬損失を 48 dB、センサ端末のアンテナ利得を 0 dBi としたときに必要となる最小出力電力 -40 dBm から 10 dB のマージンを取り、出力電力の目標値を -30 dBm とした。このとき親機の受信回路の NF として 5 dB、解析帯域幅 2.5 MHz、64QAM 時の必要 SNR を 23 dB として親機の最小受信感度を算出した。EVM の劣化要因である Local Leakage と Image Rejection は -40 dBc 程度まで抑えることで、双方による EVM 劣化を 2% 以下にすることを目指す。低電源電圧動作で線形性は犠牲になりがちであるが、OIP3 は出力電力から 15 dB 大きい -15 dBm を目指す。EVM は、64QAM 変調時に 5% 以下の変調精度を目指す。消費電力は、 200 μ W と抑えたまま 64QAM 変調時に 4.0 b/s/Hz を目指す。また通信路の状態変化に柔軟に対応できるよう、BPSK から 64QAM まで SNR が低くても通信できる変調にも

表 4.1: 送信回路の目標仕様

出力電力 P_{OUT}	-30 dBm
Local Leakage	-40 dBc
Image Rejection	-40 dBc
OIP3	-15 dBm
EVM	5% (64QAM のとき)
消費電力	200 μ W
最大データレート	10 Mb/s
変調方式	n-PSK, n-QAM
最大スペクトラル効率	4.0 b/s/Hz

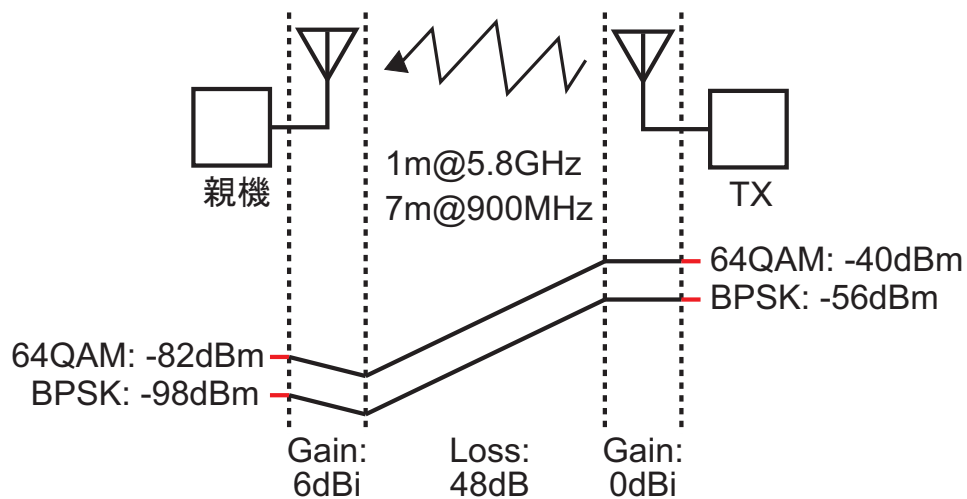


図 4.1: 上り方向通信のリンクバジェット

対応する。

4.1.2 低電力送信回路の先行研究

図 4.2 に、一般的な送信回路のアーキテクチャであるダイレクトコンバージョン方式の送信回路の構成を示す。ダイレクトコンバージョン方式の送信回路は、簡易な構成で直交変調を実現することができるが、消費電力を削減することが難しい。その理由とし

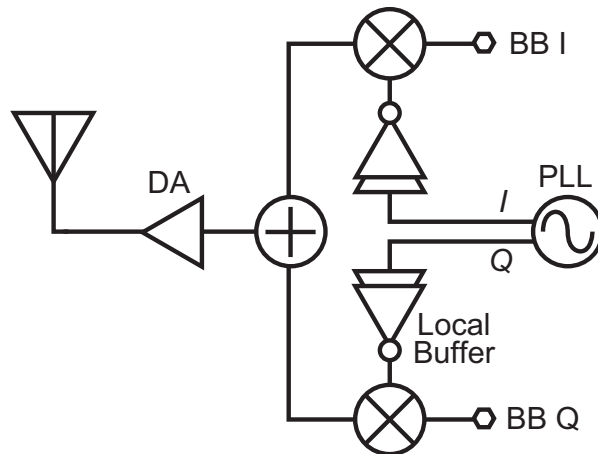


図 4.2: ダイレクトコンバージョンアーキテクチャの送信回路構成

て、以下の二点が挙げられる。一点目として、高周波のキャリア信号を作り出すための Phase Locked Loop (PLL) の消費電力を下げるのが難しいことが挙げられる。PLL 回路は、位相雑音と消費電力の間にトレードオフ関係を持っており、位相雑音の劣化は、変調精度の劣化を招く。それゆえ、本研究の目標である n-QAM のような高次変調を実現しながら、PLL の低消費電力特性を維持するのは、非常に困難である。低電力送信回路 [26] において、2.4 GHz の PLL 回路の消費電力が 1.1 mW と非常に低いレベルまで下げられているが、それでも本研究で目指す 200 μ W の送信回路に向けては、消費電力が高い。

二点目として、ダイレクトコンバージョン方式の送信回路では、直交変調のためのローカル信号の生成および分配の消費電力が大きくなってしまふ。ローカル信号は、キャリア信号と同じ周波数であり、周波数が高ければ高いほど、ローカル信号の生成および分配の消費電力は大きくなる。さらに消費電力とローカル信号の振幅誤差および位相誤差の間にはトレードオフ関係が存在し、このことも高次変調と低消費電力化の両立を難しくする。

図 4.3 に、高周波 PLL やローカル信号の生成・分配を必要としない、パッシブ RFID タグの構成を示す。RFID タグは、内部でキャリア信号を生成しない代わりに、リーダーデバイスから送られてくる RF 信号を利用する。RF 信号に対して、内部の負荷の値を変化させることで、RF 信号の反射の有無を変化させる Backscattering 技術によって無線通信を行う。それゆえ RFID タグは、消費電力の大きい PLL やローカル生成・分配のための回路を搭載する必要がなく、発表されたパッシブ RFID タグ [62] では、3.1 μ W の低消費電力で上り方向の無線通信が可能である。しかし、Backscattering 型の無線通信

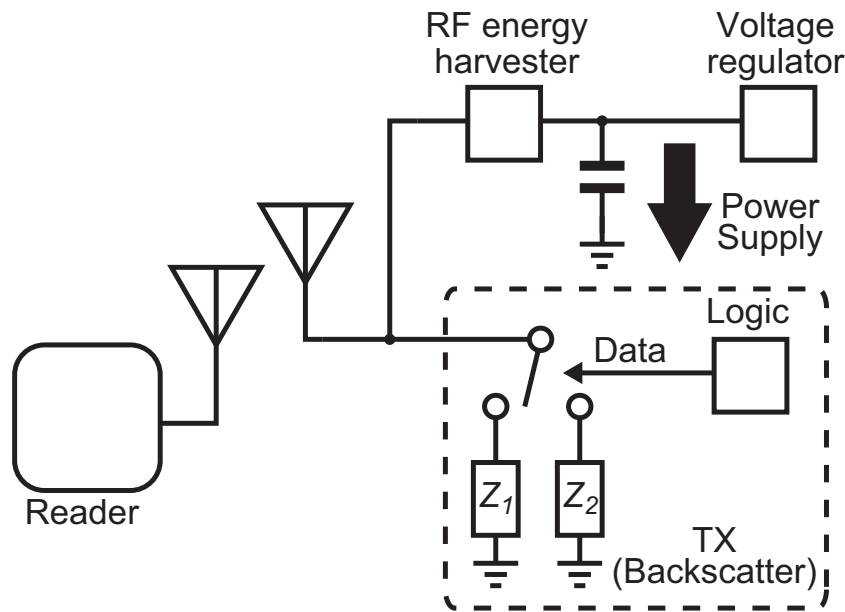


図 4.3: パッシブ型 RFID タグの構成

は、**Self-jamming** と呼ばれる所望の周波数帯に自身が利用したキャリア信号が妨害波として入ってきてしまう問題がある。同じ周波数帯域に妨害波が存在するので、フィルタで取り除くことが困難である。さらに、一般的な **Backscattering** 技術では、反射の有無のみで無線通信を行うために、周波数効率の高い高次の変調を使用することができない。近年の研究において、バックスキタリング技術で高次変調を実現したものも存在するが [27, 28]、変調のコンスタレーションのポイントの数だけ負荷となる受動素子が必要で、受動素子のばらつきおよび実装面積の点から課題が残る。

4.1.3 キャリア供給型送信回路の構成と動作

従来の送信回路における課題を解決するために、図 4.4 に示すようなキャリア供給型送信回路を提案する。キャリア供給型送信回路は、二つの特長をもつ。一つは、高周波 PLL を搭載しないこと、もう一つは、IF 帯において直交変調を行うことである。提案の送信回路は、パッシブ型の RFID タグと同様に、PLL や高周波ローカルバッファを必要としない。RFID タグは、リーダーデバイスから来る RF 信号を反射することで通信を行う。一方で、キャリア供給型送信回路は、受信した RF 信号をキャリア周波数帯へのアップコンバージョンを行うローカル信号として利用する。受信した RF 信号を利用することで、送信回路は、キャリア周波数帯のローカル信号を生成せずすみ、その分の消費

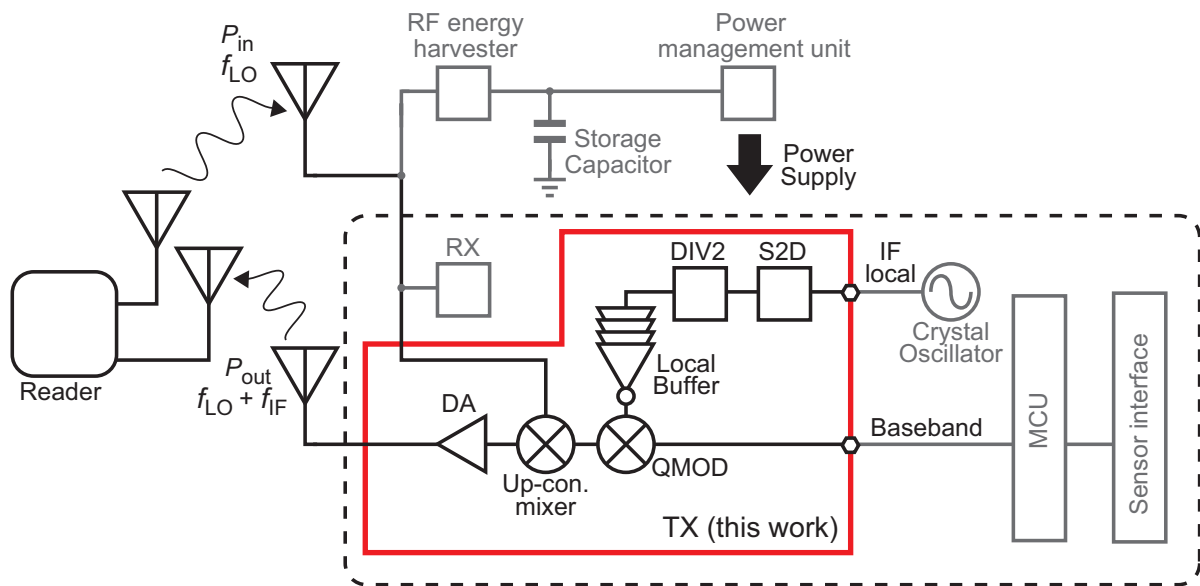


図 4.4: キャリア供給型送信回路の構成

電力を低減することができる。

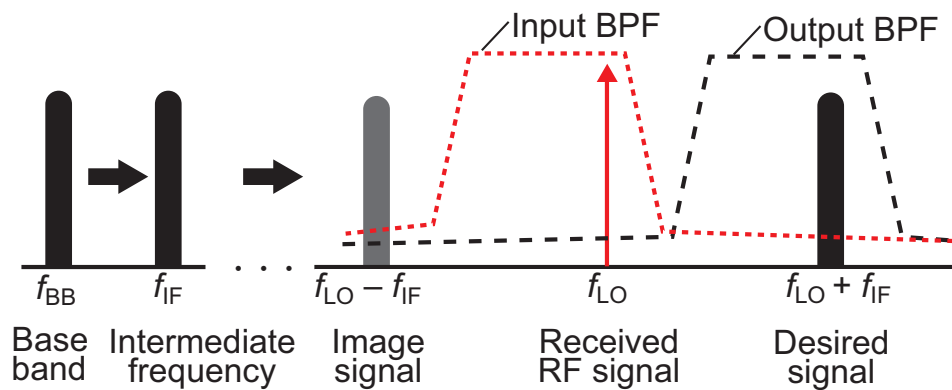


図 4.5: キャリア供給型送信回路の周波数プラン

二つ目に、IF帯において直交変調を行った後に周波数アップコンバージョンすることで、送信回路は、所望信号の周波数帯域を親機から来るRF信号の周波数から図4.5に示すようにずらすことができる。このことによって、Backscattering技術の課題であったSelf-jammingを解決することができる。加えて、IF帯における直交変調は、その比較的

低い回路の動作周波数により、低消費電力化および高精度化を図ることができる。直交変調では、位相が90度ずれたローカル信号が必要となるが、低い動作周波数はその生成を低消費電力かつ高精度にすることができる。

キャリア供給型送信回路は、直交変調、周波数アップコンバージョンおよび増幅の三つの動作に分けることができる。Quadratur Modulator (QMOD)は、差動のIQベースバンド信号と差動のIF直交ローカル信号をミキシングすることにより、IF直交変調を実現する。IF直交ローカル信号は、周波数ディバイダ(DIV2)およびシングル差動変換(S2D)によって作り出される。本送信回路では、搭載していないが、低消費電力の水晶発振回路を搭載することでIF信号生成を行う。アップコンバージョンミキサは、IFから所望のキャリア周波数帯まで周波数変換を行う。その際に、上述したように、親機からのRF信号をローカル信号として使用する。ドライバンプにおいて、キャリア周波数帯の直交変調信号を増幅し、出力する。

4.1.4 キャリア供給型送信回路の設計

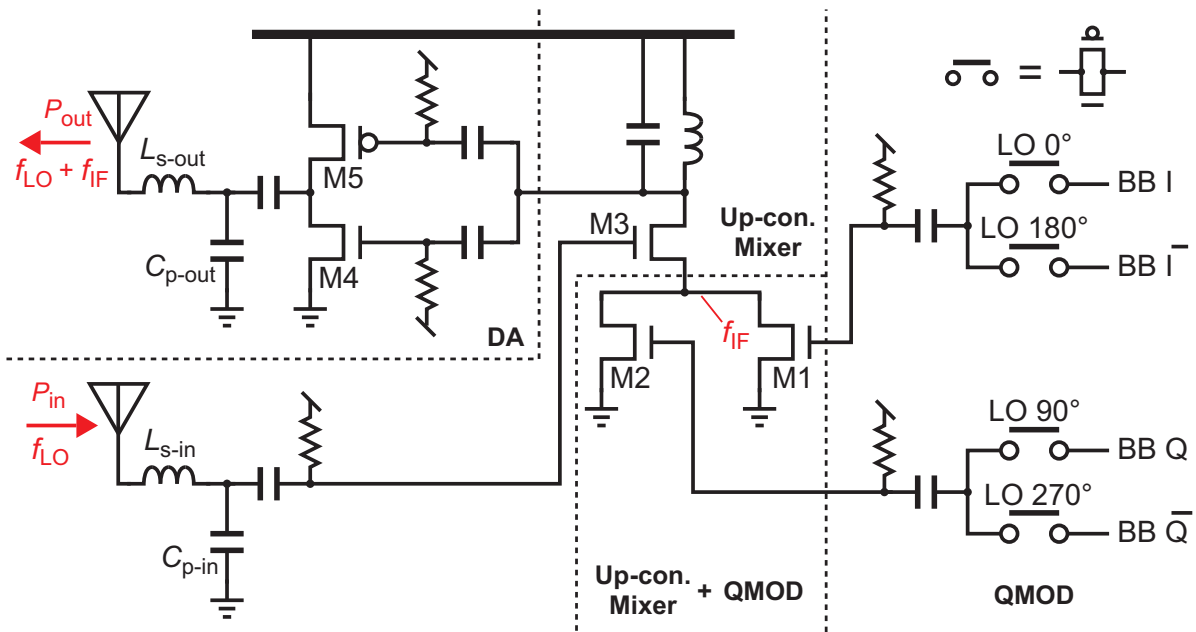


図 4.6: キャリア供給型送信回路の回路図

図 4.6 にキャリア供給型送信回路の回路図を示す。全ての回路は0.6Vの電源電圧で動作することで、低消費電力化をめざす。加えてキャリア周波数で動作する回路ブロック

を極力少なくすることで、不必要な電力消費を削減する。

QMOD の回路設計

QMOD はダブルバランス型のパッシブミキサで構成し、ミキサのスイッチとして P-MOSFET と N-MOSFET の両方を使用する CMOS 構成とすることで、0.6 V の低電源電圧下でも動作可能とする。パッシブミキサは、従来 N-MOSFET のみで構成されてきた [29,30]。しかし、電源電圧の低下はローカル信号の振幅低下を招き N-MOSFET のオン抵抗とオフ抵抗の比を小さくしてしまう。特に、ベースバンド信号の入力が大きく電源電圧あたりまでに達すると、N-MOSFET はしきい値を超えることができない。提案の QMOD においては、CMOS スイッチを用いることで、0.6 V の低電源電圧下でも、電源電圧あたりまでの大信号に対応することができる。ベースバンドの IQ 信号と IF ローカル信号をミキシングした後、図 4.6 の M1 および M2 の N-MOSFET において電流モードで Inphase 信号と Quadrature 信号を足し合わせる。QMOD は、M1 と M2 をアップコンバージョンミキサと共用し、加算動作を行うことで余分な消費電力を削減する。

アップコンバージョンミキサの回路設計

アップコンバージョンミキサは、シングルエンドのデュアルゲート構成を基本とし、インダクタとキャパシタの共振負荷を用いて構成している。カスコード接続された N-MOSFET が、親機から来る RF 信号によってドライブされ、QMOD 出力の IF 信号とかけあわされる。そして、キャリア周波数帯の変調信号が作り出される。共振負荷において、N-MOSFET の M3 のドレインノードに付くすべての寄生容量と 5.8 GHz で共振するようにインダクタンスを選択する。DA の入力に付くキャパシタンスは比較的大きいが、上記の共振負荷でキャンセルすることができる。シミュレーション結果より、共振負荷のインピーダンスは $1.8\text{k} + \text{j}0\ \Omega$ 程度であり、負荷インピーダンスを高くすることで、M1 と M2 のバイアス電流を小さくすることができる。さらに、共振負荷は出力ダイナミックレンジを拡大し、0.6 V の電源電圧下の動作を可能にする。

DA の回路設計

アップコンバージョンミキサの出力は、目標仕様から -30 dBm まで増幅する必要がある。増幅する信号は所望波信号成分 $f_{\text{LO}} + f_{\text{IF}}$ のほかに親機から送られてくる RF 信号の

周波数成分 f_{LO} も含む。ローカル信号電力は所望波信号電力よりも大きいので、DAの入力ダイナミックレンジを大きくとる必要がある。ダブルバランス型ミキサであれば、ローカル信号をキャンセルアウトできるが、そのためには差動のローカル信号が必要であり、余分な電力を消費してしまう。

DAは、プッシュプル型のクラスAB級のアンプであり、インバータベーストポロジを採用している。N-MOSFETおよびP-MOSFETの双方を利用することで、入力ダイナミックレンジをN-MOSFETのみの場合に比べて大きくとることができる。N-MOSFETのM4およびP-MOSFETのM5のゲートバイアス電圧をクラスAB級となるよう設定し、M4とM5のトランジスタサイズを所望の出力電力となるように決定した。DAの出力インピーダンスはアンテナのインピーダンス 50Ω よりも高い値となる。DAとアンテナ間にL型インピーダンス整合回路を、寄生容量と 5.8GHz で共振するインダクタンスの値を設定し構成した。

4.1.5 測定評価結果

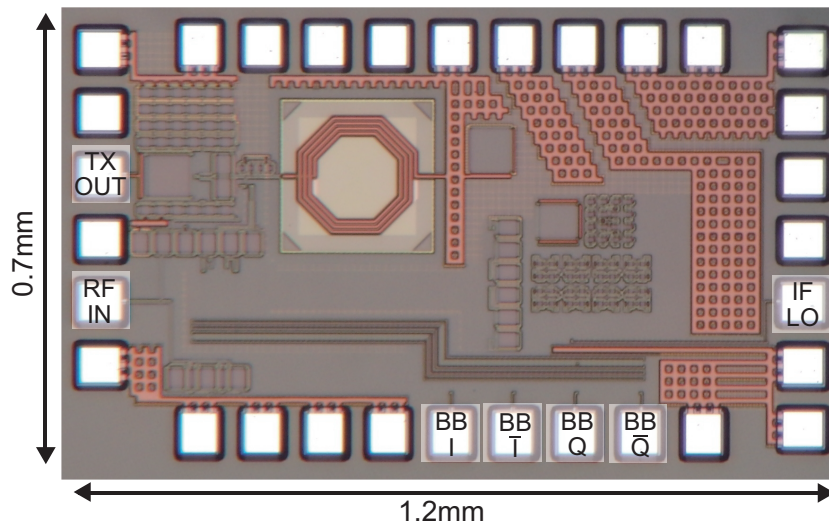


図 4.7: キャリア供給型送信回路の試作チップ写真

キャリア供給型送信回路の有効性を確認するために、Si CMOS 65 nm プロセスを用いて試作を行った。図 4.7 に試作したチップ写真を示す。チップはテストボードにインピーダンス整合用のパーツとともに実装した。測定は、図 4.8 に示すように三種類の測定を行った。まず、基本動作の確認のために図 4.8 (a) に示すようにすべてケーブルで接続し測定を行った。二番目に、キャリア供給型送信回路の鍵となる RF 信号を親機から送っ

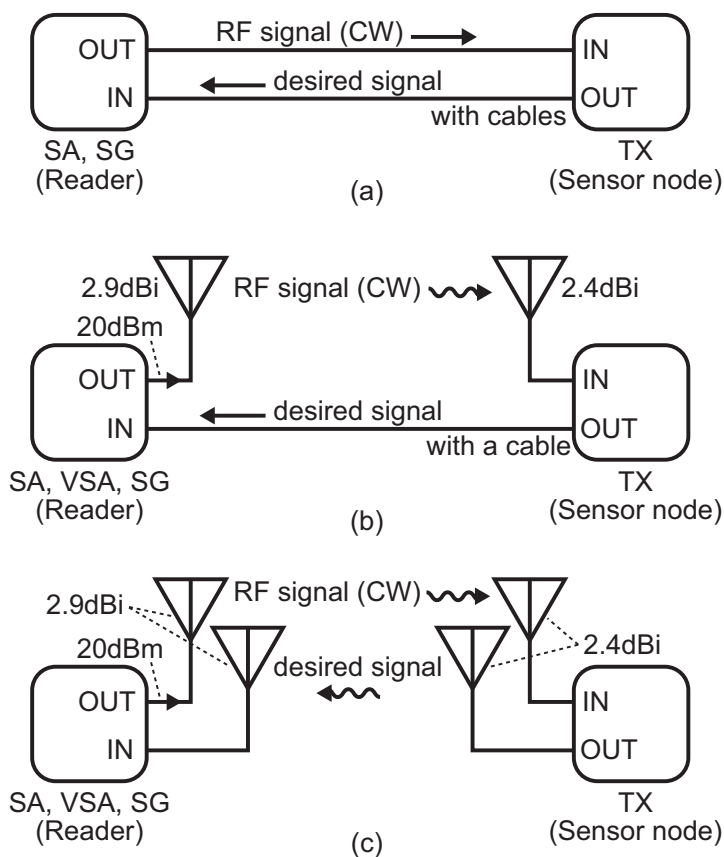


図 4.8: (a) ケーブルのみ使用時の測定系, (b) RF 信号受信のみアンテナの測定系, (c) 入出力双方ともアンテナ使用時の測定系

てもらいながら変調信号を作成することができるのかを図 4.8 (b) のセッティングで確かめた。最後に、RF 信号の受信および送信ともにアンテナを利用する所望の無線通信を図 4.8 (c) のセッティングで確かめた。

送信回路の基本動作を確かめるために、1-tone, 2tone テストを行った。試作した送信回路の出力をスペクトラムアナライザ (SA) に、入力をシグナルジェネレータ (SG) にケーブルで接続して、測定を行った。図 4.9 に、供給されるキャリアの入力電力に対する、出力電力特性の測定結果およびシミュレーション結果を示す。入力する RF 信号の周波数 f_{LO} を 5.76 GHz に設定し、IF ローカル信号の周波数を 100 MHz に設定した。IF ローカル信号は DIV2 によって、周波数が半分になっているので、外部から入力した信号は 200 MHz である。所望波信号は、入力した RF 信号から IF 信号分だけシフトし、5.86 GHz となる。入力電力が -12 dBm のときに、出力電力は -35.5 dBm であった。測定結果は、設計値よりも低い値となっているが、これはテストボードにおけるインピーダンス変換比が設

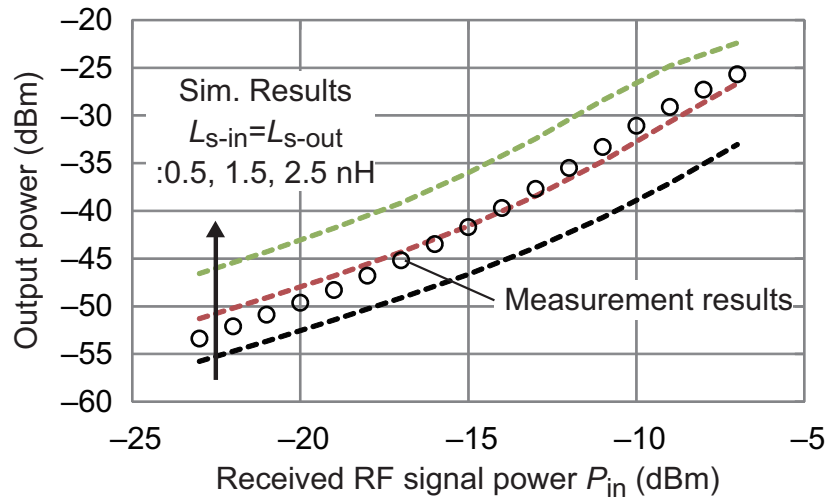


図 4.9: 入力電力に対する出力電力特性

計よりも低くなり、電圧振幅が小さくなったためであると考えられる。アップコンバージョンミキサのローカル信号の電圧振幅は、入力電力の二乗で大きくなるため、出力電力は入力電力に対して二乗で増加することが図 4.9 よりわかる。

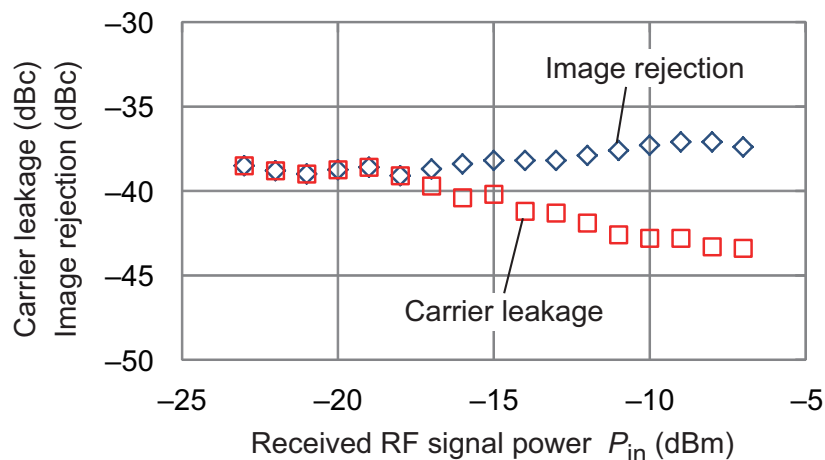


図 4.10: 入力電力に対するキャリアリークおよびイメージリジェクション特性

図 4.10 に入力電力に対するイメージリジェクションおよびキャリアリークの特徴を示す。変調精度にかかわる指標であるイメージリジェクションおよびキャリアリークはともに、入力電力 -23 dBm から -7 dBm において -37 dBc 以下であった。図 4.11 に、入力電力に対する OIP3 の測定結果を示す。線形性の指標である OIP3 は 2-tone テストによって測定され、 24 kHz と 124 kHz の 2-tone のベースバンド信号を使用して、測定を行った。

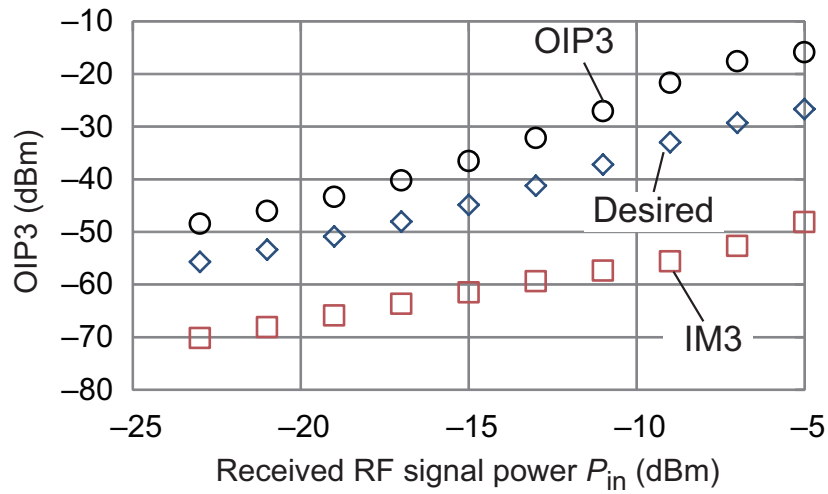


図 4.11: 入力電力に対する OIP3

OIP3 は出力電力が -37.2 dBm のときに、 -27.1 dBm であった。

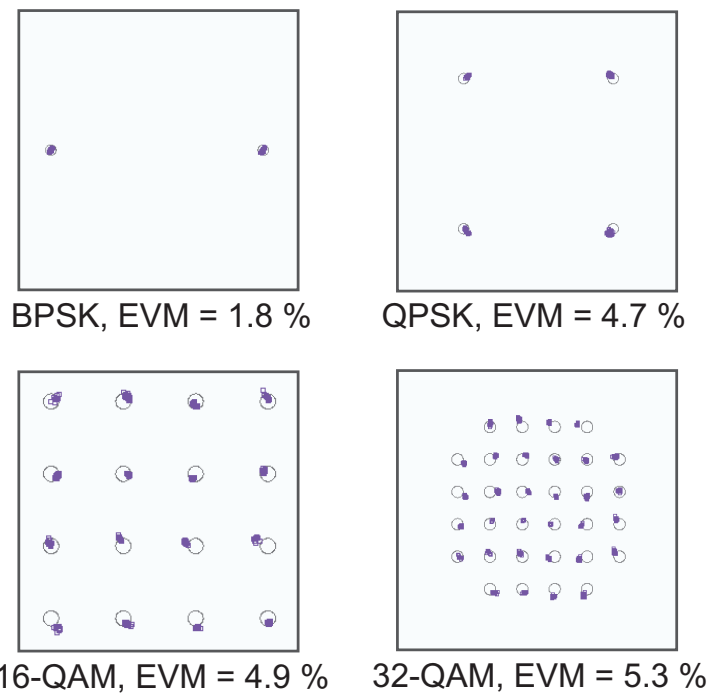


図 4.12: RF キャリア信号をアンテナで供給時のコンスタレーションおよび EVM。すべてのシンボルレートは 500 kb/s

次に、図 4.8 (b) に示すように、RF 信号をアンテナから供給し、送信回路の出力をケーブルでベクトルシグナルアナライザ (VSA) に接続し変調信号を測定した。図 4.12 に、

BPSK, QPSK, 16-QAM, 32-QAM のそれぞれのコンスタレーションおよび Error Vector Magnitude (EVM) を示す。試作した送信回路は、供給されたキャリア信号を利用しながら、16-QAM 変調において 4.9% の EVM を実現した。測定において、送信回路のアンテナは 2.4 dBi のピークゲインを 5.9 GHz でもつ。SG は 20 dBm の RF 信号を 2.9 dBi のアンテナで出力し、双方のアンテナを 10 cm 離し、電波暗箱の中で測定を行った。すべての変調において、シンボルレートを 500 kb/s とした。

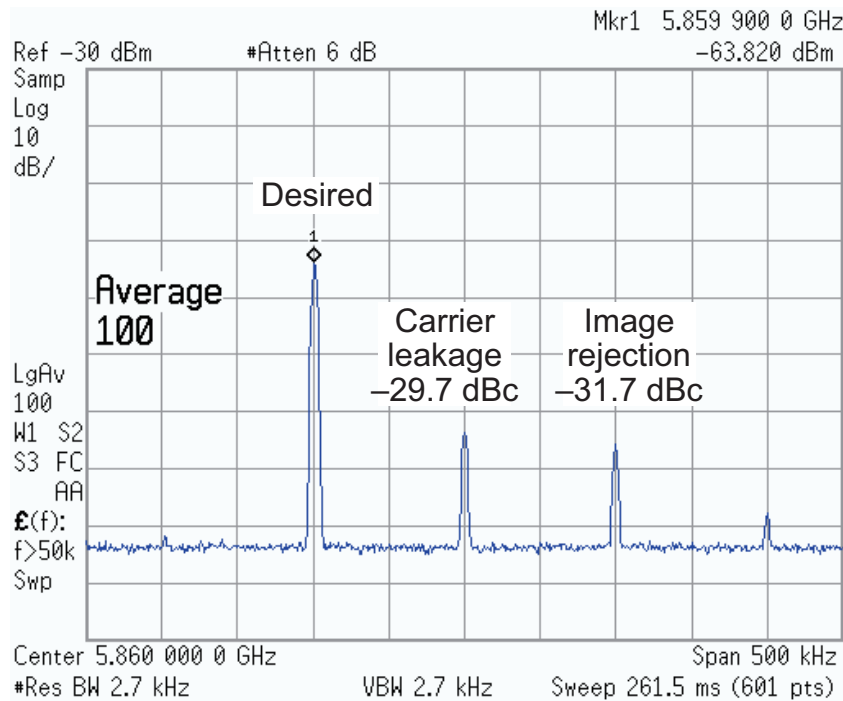


図 4.13: キャリア入力および送信出力ともにアンテナ使用時の 1tone テストのスペクトラム

図 4.8(c) に示すように、キャリア入力、送信出力の双方をアンテナに接続する構成で測定を行った。測定は、親機のアンテナと送信回路のアンテナを 10 cm 離し、電波暗箱の中で行った。図 4.13 に 1-tone テスト時のスペクトラムを示す。イメージリジェクションおよびキャリアリークはそれぞれ、 -31.7 dBc および -29.7 dBc であり、図 4.10 と比較すると劣化していることがわかる。これは、親機からの RF 信号が送信回路の出力にも入力することが原因だと考えられる。将来的に、送信回路の入出力部分に、図 4.5 で示したような帯域をもつフィルタを搭載し、不要な信号の入力をカットする。

図 4.14 に、通信距離に対する EVM および消費電力の特性を示す。ここで通信距離とは、親機のアンテナと送信回路のアンテナ間の距離を指す。キャリア供給型送信回路にお

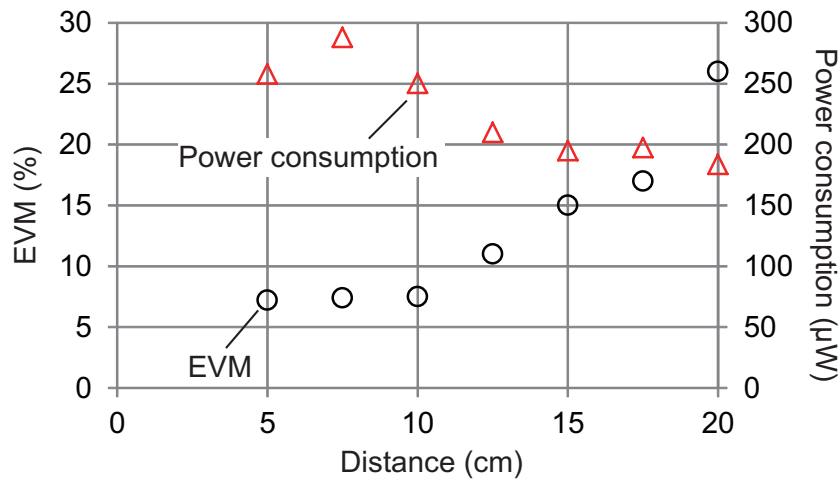


図 4.14: 500 ks/s QPSK 変調時の EVM および消費電力対通信距離

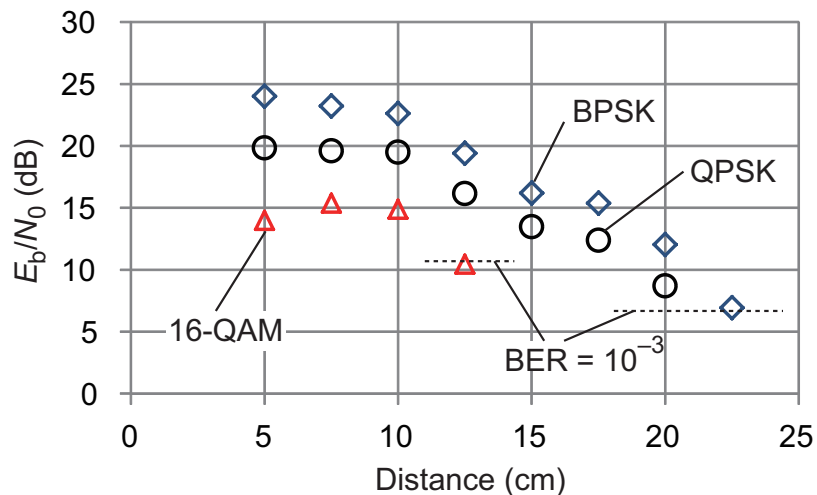


図 4.15: BPSK, QPSK, 16-QAM 変調における通信距離に対する E_b/N_0 (全て 500 ks/s)

いて、 $250\mu\text{W}$ の消費電力で 7.5% の EVM を、通信距離 10 cm、500 ks/s の QPSK 変調適用時に得られた。消費電力は、通信距離を短くするとキャリアの入力電力の上昇とともに大きくなる。通信距離が長くなると、親機側の受信電力が下がることにより、EVM は劣化していく。図 4.15 に各変調方式における通信距離に対する E_b/N_0 を示す。異なる変調方式を適切に比較するために、EVM を E_b/N_0 に変換した。ビットエラーレート (BER) の限界を 10^{-3} とすると、16-QAM では 12.5 cm まで、BPSK 変調では 22.5 cm まで通信可能であると言える。送信回路の測定結果のまとめと近年の送信回路研究を比較したものを表 4.2 にまとめる。

表 4.2: Performance summary and comparison

	[31]	[32]	[22]	This study
Technology	90 nm	180 nm	90 nm	65 nm
Supply voltage	0.7 V	0.7 V	1.0 V	0.6 V
Frequency band	400 MHz	920 MHz	2.4 GHz	5.8 GHz
Modulation	MSK	FSK	OOK	n-PSK, n-QAM
Data rate	120 kbps	5 Mbps	5 Mbps	BPSK: 500 kbps, 16-QAM: 2M bps
Output power	-54 dBm*	-10 dBm	-12.5 dBm	-61.3 dBm**
Power consumption	350 μ W	700 μ W	380 μ W	250 μ W
Energy/bit	2.9 nJ/bit	140 pJ/bit	76 pJ/bit	125 pJ/bit@16-QAM
Bit/Hz	0.67 bit/Hz	0.28 bit/Hz	0.53 bit/Hz	2.0 bit/Hz@16-QAM

* Power received at an antenna placed 20 cm from the transmitter

** Power received at an antenna placed 10 cm from the transmitter

4.1.6 Backscattering 型送信回路の構成と動作

前項で試作評価を行ったキャリア供給型送信回路は、250 μ W の低消費電力で、32-QAM までの高次変調を実現可能であった。しかし、キャリア供給型送信回路では、キャリア信号を受信するためのアンテナと所望波信号を出力するためのアンテナの二つのアンテナを使用せねばならず、無線センサ端末を小型化するという点で、アンテナサイズがボトルネックになりかねない。さらに、測定結果にあったように供給されるキャリア信号の電力が大きくなると、それとともに消費電力も大きくなってしまいう問題があった。以上の二点の問題を解決すべく、本項では Backscattering 型送信回路を提案する。

図4.16に Backscattering 型送信回路の構成を示す。本送信回路では、IF-based Quadrature Backscattering 技術 (IFQB) を提案し、アンテナ一つで親機からの RF 信号をキャリア信号として使用しながら、同時に直交変調を実現する。さらに、キャリア周波数帯で動作する回路は、パッシブタイプの回路のみとなるため、電力を消費するのは IF 帯の回路のみとなり、消費電力をキャリア供給型送信回路よりもさらに低減することができると同

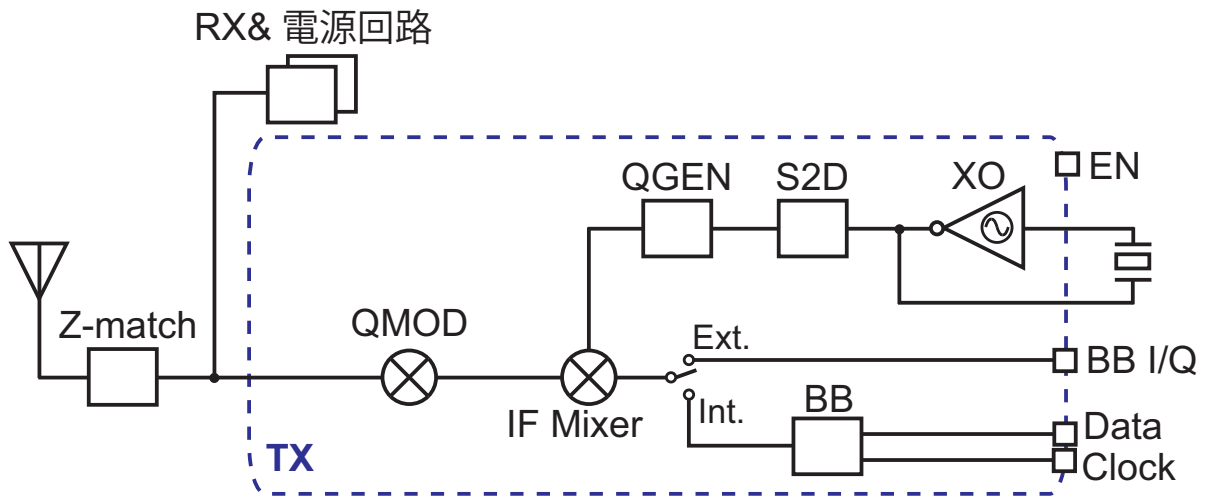


図 4.16: Backscattering 型送信回路の構成

時に、RF 入力電力による消費電力の増大が起こらない。

IFQB は、IF Mixer で作り出した I 信号および Q 信号を QMOD において親機から送信される RF 信号と乗算し足し合わせることで、キャリア周波数帯へ周波数変換し直交変調を実現する。IF Mixer で使用する IF 直交ローカル信号は低消費電力の水晶発振回路 (XO) をシグナルソースとし、それを S2D で差動に変換し、差動信号をオープンループ直交信号生成回路 [33] (QGEN) に入力することで、差動の直交ローカル信号を生成する。ベースバンド信号は、送信回路の測定のために外部から IQ 差動信号入力するか、マイコンを使ったデモンストレーション用にデータとクロック信号を入力して内部でベースバンド信号を生成するモードを選ぶことができる。

4.1.7 Backscattering 型送信回路の設計

Backscattering 型送信回路の設計において、以下の技術により低消費電力かつ高スペクトラル効率を実現する。

- 電源電圧を 0.6V に設定
- キャリア周波数帯で動作する回路を極力減らす
- IF-based Quadrature Backscattering 技術の提案

- 周波数分周を用いない直交ローカル信号の生成
- 3rd オーバートーンを利用した低消費電力水晶発振回路

QMOD および IF Mixer の設計

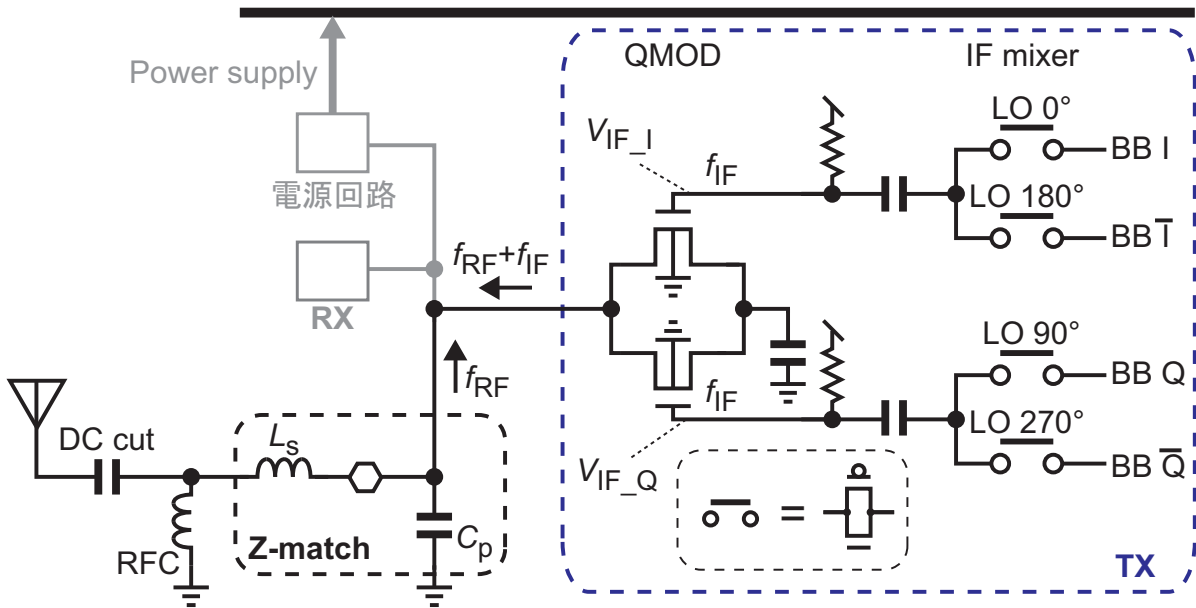


図 4.17: Backscatterer 型送信回路 QMOD および IF Mixer 部分の回路図

QMOD は、IF 帯の I 信号と Q 信号をゲートに接続する二つの N-MOSFET と交流グラウンドとなるキャパシタで構成される。QMOD の出力は直流信号から見ると、RFC で接地されており、二つの N-MOSFET のソースおよびドレイン電圧は、グラウンドを中心に变化する。IF Mixer は、パッシュアップタイプのダブルバランスミキサで構成され、スイッチには N-MOSFET と P-MOSFET 双方を用いる CMOS スイッチを採用する。キャリア供給型送信回路で用いたパッシュアップタイプのダブルバランスミキサ同様に、0.6 V の低電源電圧下で動作させるため、CMOS スイッチを用いている。

図 4.18 に、QMOD の動作原理を示す。QMOD においては、I 信号および Q 信号の足し合わせ、および親機からの RF 信号を利用して IF 帯からキャリア周波数帯まで周波数変換を行う。

QMOD における二つの N-MOSFET のドレインとソース電圧は、グラウンドを中心に变化しており、ゲート電圧は 0.35 V を中心に 0.6 V_{p-p} の振幅で $V_{IF,I}$ および $V_{IF,Q}$ が入力さ

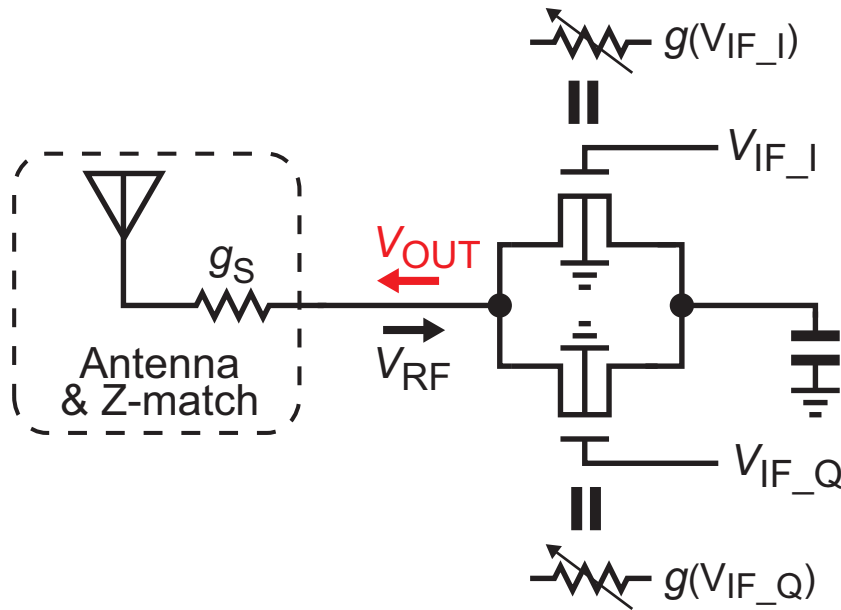


図 4.18: QMOD の動作原理

れる。ここで V_{IF_I} および V_{IF_Q} を直行したすなわち 90 度ずれた正弦波としたときの、二つの N-MOSFET のコンダクタンス変化を図 4.19 に示す。図 4.19 のコンダクタンスは、シミュレーションにおいて、N-MOSFET のゲート電圧を変化させた際の最大信号 S パラメータ (LSSP) からコンダクタンスを算出したものである。LSSP において、入力電力は -6dBm とした。N-MOSFET は、 V_{IF_I} および V_{IF_Q} の電圧に従って、線形領域からサブスレッショルド領域にわたり動作し、コンダクタンスの値が時間的に変化する。コンダクタンスはそれぞれゲート電圧の関数 $g(V_{IF_I})$ および $g(V_{IF_Q})$ と表せる。

QMOD の出力反射波 V_{OUT} は、式 (4.1) に示すように、反射係数 Γ と入射波である親機からの RF 信号 V_{RF} で表せる。

$$V_{OUT} = \Gamma V_{RF} \quad (4.1)$$

Γ は、アンテナとインピーダンス整合回路を示す g_S と、 V_{IF_I} および V_{IF_Q} の関数である二つのコンダクタンス $g(V_{IF_I})$ および $g(V_{IF_Q})$ を使って式 (4.2) のように表すことができる。

$$\Gamma = \frac{g_S - \{g(V_{IF_Q}) + g(V_{IF_I})\}}{g_S + \{g(V_{IF_Q}) + g(V_{IF_I})\}} \quad (4.2)$$

図 4.19 に、図の中段の $g(V_{IF_I})$ および $g(V_{IF_Q})$ 変化に対する反射係数 Γ の変化を示す。反射係数 Γ は式 (4.2) を用いて、各コンダクタンスの値から算出したものである。 g_S は、 $50\ \Omega$ のアンテナインピーダンスがインピーダンス整合回路によって、5.8 倍の $290\ \Omega$ になることから、 $g_S = 1/290\ \text{S}$ として、計算を行った。

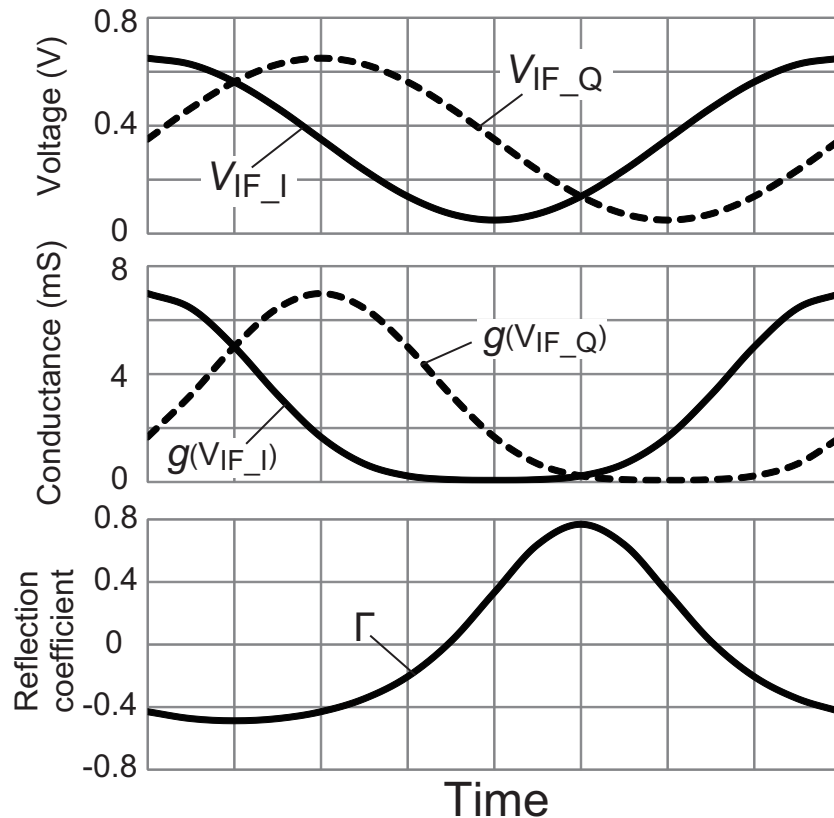


図 4.19: V_{IF_I} および V_{IF_Q} の電圧変化による、コンダクタンスおよび反射係数の変化

定性的には、図 4.19 から QMOD の動作は、以下のように説明することができる。まず、しきい値以上においては、二つの N-MOSFET は線形領域で動作し、 V_{IF_I} および V_{IF_Q} に追従するような形で $g(V_{IF_I})$ および $g(V_{IF_Q})$ が変化する。一方で、しきい値以下においては、指数関数的に $g(V_{IF_I})$ および $g(V_{IF_Q})$ が変化するため、正弦波の下側がつぶれるような波形となる。波形より、 $g(V_{IF_I})$ および $g(V_{IF_Q})$ は、高次の成分も含んでいるが、IF の基本周波数成分を高い割合で含んでいることがわかる。

反射係数 Γ は、 $g(V_{IF_I})$ および $g(V_{IF_Q})$ に応じて変化し、並列加算されたコンダクタンスが小さくなると反射係数は上昇し、逆に大きくなると下降することがわかる。この並列加算によって、IF 帯の I 信号の $\cos(\omega_{IF}t)$ 成分と Q 信号の $\sin(\omega_{IF}t)$ 成分が加算される。反射係数 Γ の位相に注目すると、 V_{IF_I} から位相が 135 度ずれていることから I および Q の加算が確認できる。そして反射係数 Γ においても、高次の成分も含んでいるが、その周期特性から IF の基本周波数成分を高い割合で含んでいることがわかる。それゆえ QMOD 出力反射波は、IF の基本周波数成分を含む反射係数 Γ と入射波である親機からの RF 信号を乗算することで周波数変換を実現することができる。

実際に各周波数成分をどの程度含んでいるのか調べるために、図4.19の Γ をフーリエ級数展開する。式(4.3)に、 Γ を級数展開したものを示す。

$$\Gamma = \Gamma_0 + \Gamma_1 \cos\left(\omega_{\text{IF}}t + \frac{3\pi}{4}\right) + \Gamma_2 \cos\left(2\omega_{\text{IF}}t - \frac{\pi}{2}\right) + \dots \quad (4.3)$$

このとき振幅を表す Γ_n は、図4.20に示すような値を取り、基本波成分の振幅 Γ_1 が実際に高い割合を占めていることがわかる。基本波成分の項に加法定理を用いると、式(4.4)のように表すことができ、I信号の $\cos(\omega_{\text{IF}}t)$ 成分とQ信号の $\sin(\omega_{\text{IF}}t)$ 成分が加算されていることがわかる。

$$\Gamma_1 \cos\left(\omega_{\text{IF}}t + \frac{3\pi}{4}\right) = -\frac{1}{\sqrt{2}}\Gamma_1(\cos\omega_{\text{IF}}t + \sin\omega_{\text{IF}}t) \quad (4.4)$$

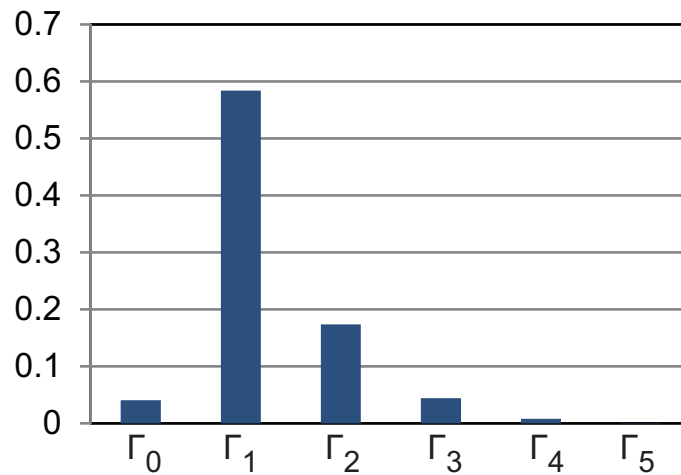


図 4.20: 反射係数 Γ のフーリエ級数展開(式(4.3))の振幅成分

級数展開した Γ を用いて、式(4.1)を書き直すと式(4.5)のようになる。

$$V_{\text{OUT}} = \left(\Gamma_0 + \Gamma_1 \cos\left(\omega_{\text{IF}}t + \frac{3\pi}{4}\right) + \dots \right) A_{\text{RF}} \cos(\omega_{\text{RF}}t) \quad (4.5)$$

ここで A_{RF} を、入射波 V_{RF} の振幅とする。ここから加算されたIFのIおよびQ信号とRF信号を乗算することにより、式(4.6)に示すように、 ω_{IF} から $\omega_{\text{RF}} + \omega_{\text{IF}}$ への周波数変換を実現することがわかる。

$$V_{\text{OUT}} = A_{\text{RF}}\Gamma_0 \cos(\omega_{\text{RF}}t) + \frac{A_{\text{RF}}\Gamma_1}{2} \cos\left((\omega_{\text{RF}} + \omega_{\text{IF}})t + \frac{3\pi}{4}\right) + \frac{A_{\text{RF}}\Gamma_1}{2} \cos\left((\omega_{\text{RF}} - \omega_{\text{IF}})t + \frac{3\pi}{4}\right) + \dots \quad (4.6)$$

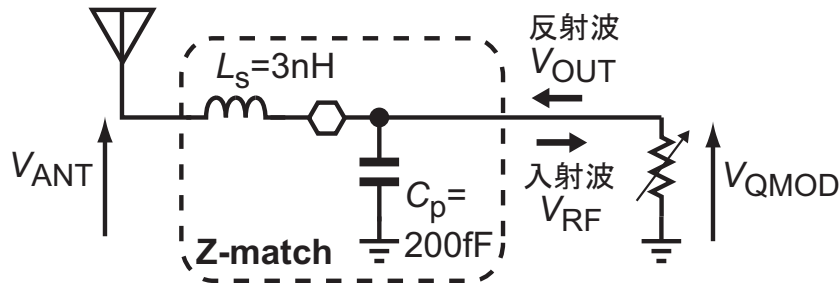


図 4.21: アンテナから QMOD までの等価回路

次にこの反射波 V_{OUT} から、アンテナ端における電圧 V_{ANT} を求める。アンテナ端における電圧 V_{ANT} は、図 4.21 に示すように、QMOD の出力端における電圧 V_{QMOD} がインピーダンス整合回路を経たものである。ここで QMOD の出力端の電圧 V_{QMOD} は入射波と反射波の和として、式 (4.7) のように表せる。

$$V_{QMOD} = V_{OUT} + V_{RF} \quad (4.7)$$

アンテナ端の電圧 V_{ANT} は、 V_{QMOD} からインピーダンス変換を経由することで、式 (4.8) に示すように表せる。

$$V_{ANT} = \frac{V_{QMOD}}{\sqrt{1 + Q^2}} \quad (4.8)$$

ここで $Q = \omega_0 L_S / R_{ANT}$ であり、インピーダンス整合回路において $L_S = 3.0 \text{ nH}$, $C_P = 200 \text{ fF}$ とし、アンテナインピーダンス R_{ANT} は 50Ω とした。これは、上述のインピーダンス変換率 5.8 に対応する。式 (4.6), (4.7), (4.8) からアンテナ端の電圧 V_{ANT} は、最終的に式 (4.9) のようにあらわすことができ、各項の係数より実際の周波数スペクトラムの大きさがわかる。

$$V_{ANT} = \frac{A_{RF}}{\sqrt{1 + Q^2}} \left((1 + \Gamma_0) \cos(\omega_{RF} t) + \frac{\Gamma_1}{2} \cos \left((\omega_{RF} + \omega_{IF}) t + \frac{3\pi}{4} \right) + \frac{\Gamma_1}{2} \cos \left((\omega_{RF} - \omega_{IF}) t + \frac{3\pi}{4} \right) + \dots \right) \quad (4.9)$$

ここまでの数式の有効性を確かめるために、図 4.22 に、式 (4.9) の振幅係数とシミュレーションで求めたスペクトラムの比較結果を示す。シミュレーションは、図 4.18 の回路に RF 信号として 5.8 GHz の入力電力 -12 dBm を入力し、IF 信号として 100 MHz で 600 mVp-p の 90 度位相が異なる正弦波を入力して行った。シミュレーションで得られた V_{ANT} の時間波形をフーリエ変換し、周波数スペクトラムを求めた。図 4.22 における計算結果においても、 $g(V_{IF,I})$ および $g(V_{IF,Q})$ を求めるためにシミュレーション (LSSP) を

用いているが、それ以外では、数式をもとに計算したものである。また $g(V_{IF,I})$ および $g(V_{IF,Q})$ を求めるための LSSP では入力電力を -6 dBm としていたが、インピーダンス変換の電圧利得を考慮に入れて、図 4.22 のシミュレーションでは入力電力を -12 dBm とした。数式から求めた振幅とシミュレーション結果は、比較的一致しており、数式の有効性が確認できる。

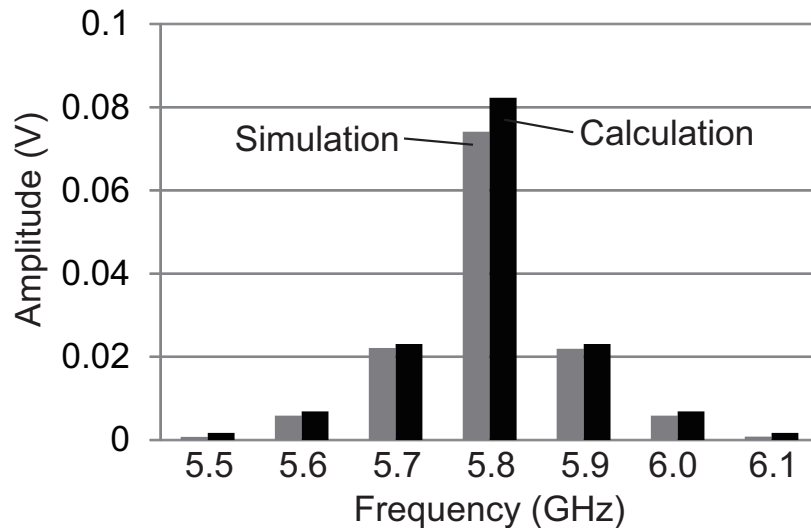


図 4.22: 式 (4.9) の振幅係数とシミュレーション結果の比較

ここまでは QMOD に関して、I および Q 信号の加算、そして周波数変換という二つの機能について述べてきた。実際に直交変調を行う際には、 $V_{IF,I}$ および $V_{IF,Q}$ の二つの振幅成分を変化させることで、IQ 平面上にコンスタレーションを描いていく。それゆえ、 Γ に含まれる基本周波数成分は、 $V_{IF,I}$ および $V_{IF,Q}$ の振幅に対して線形に変化する必要がある。

図 4.19 の Γ について述べたときに、その波形の様子から高次の周波数成分も含んでいることを述べた。これはすなわち、 Γ は、 $V_{IF,I}$ および $V_{IF,Q}$ に対して非線形性を持つことを示している。この非線形性が、 $V_{IF,I}$ および $V_{IF,Q}$ の振幅変化に対してどの程度影響を及ぼすかを調べたのが、図 4.23 である。図 4.23 において、シミュレーションは、図 4.18 の回路に入力電力 -12 dBm を入力し、QMOD 出力端の所望波電圧振幅と IF 信号の入力振幅から変換利得を求めた。IF の I および Q 信号の電圧振幅を大きくしていったとき、変換利得が 1 dB 利得が落ちるのは、入力電圧振幅が 0.62 Vp-p 程度の時であり、これは今回入力する最大振幅の 0.6 Vp-p よりも大きい。少しマージンは少ないが、アンプ等の 1 dB コンプレッションポイントからのバックオフとは異なり、IF Mixer の出力であ

る V_{IF_I} および V_{IF_Q} は、電源電圧の $0.6V$ を超えた振幅を出力することは、通常動作では考えられない。それゆえ、非線形性による利得抑圧は、 1 dB 以内に収まり、 Γ に含まれる基本周波数成分は V_{IF_I} および V_{IF_Q} に対してほぼ線形に変化していると言える。

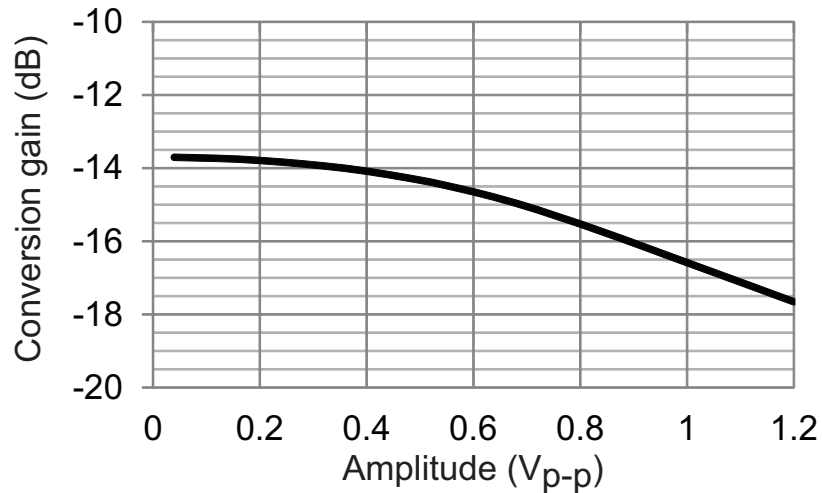


図 4.23: IF 信号の入力電圧振幅に対する QMOD の周波数変換利得のシミュレーション結果

低電力水晶発振回路 (XO) の設計

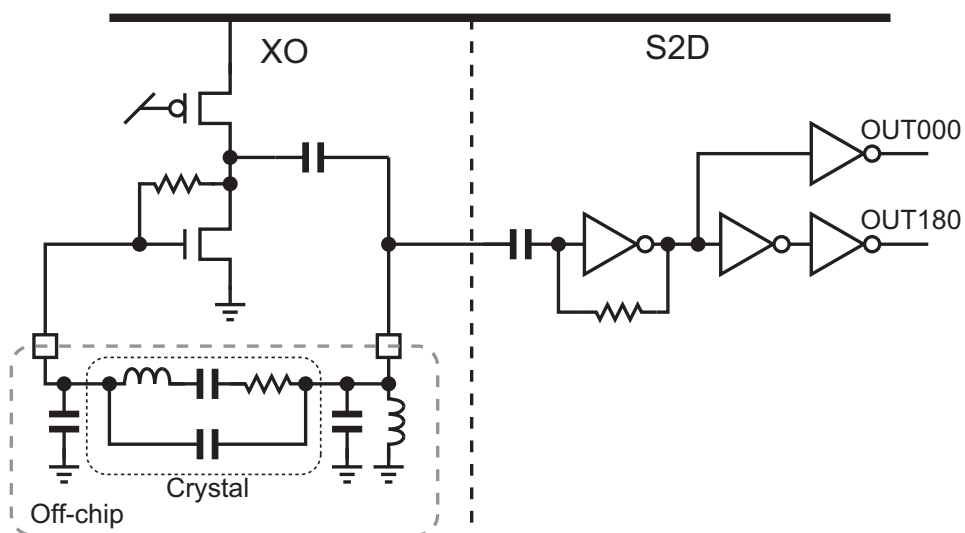


図 4.24: 水晶発振回路およびシングル差動変換回路の回路図

図 4.24 に、IF ローカル信号の信号源となる水晶発振回路 (XO) と S2D の回路図を示

す。XOは、ネガティブコンダクタンスを作るソース接地増幅部、三次のオーバートーンを利用するためのフィルタ部分、水晶振動子(等価回路)で構成される。本研究では、IF帯として、96MHzを選択した。IF帯は、高すぎると消費電力の増大および、IF直交ローカル信号の精度の低下を招く一方で、低すぎると親機からのRF信号の周波数 f_{RF} と周波数間隔が取れず $f_{RF} + f_{IF}$ の所望波周波数帯のみ取り出すことが困難になる。S2Dは初段に出力の直流レベルを定めるためのインバータ型アンプを採用し、奇数段と偶数段のインバータのパスを設けることで180度位相の異なる信号を作り出す。

XOにおいては、32MHzの基本トーンを持つ水晶振動子を用いて、三次のオーバートーンで発振させることにより96MHzの発振周波数を得た。低消費電力化を実現するために、0.6Vの電源電圧のもと、より低いバイアス電流でネガティブコンダクタンスを稼ぐためにN-MOSFETをサブスレッショルド領域で動作させた。三次のオーバートーンで動作させるために、オフチップインダクタを用いて基本トーンと三次のオーバートーンの間で共振するようにフィルタを構成している。

QGENの設計

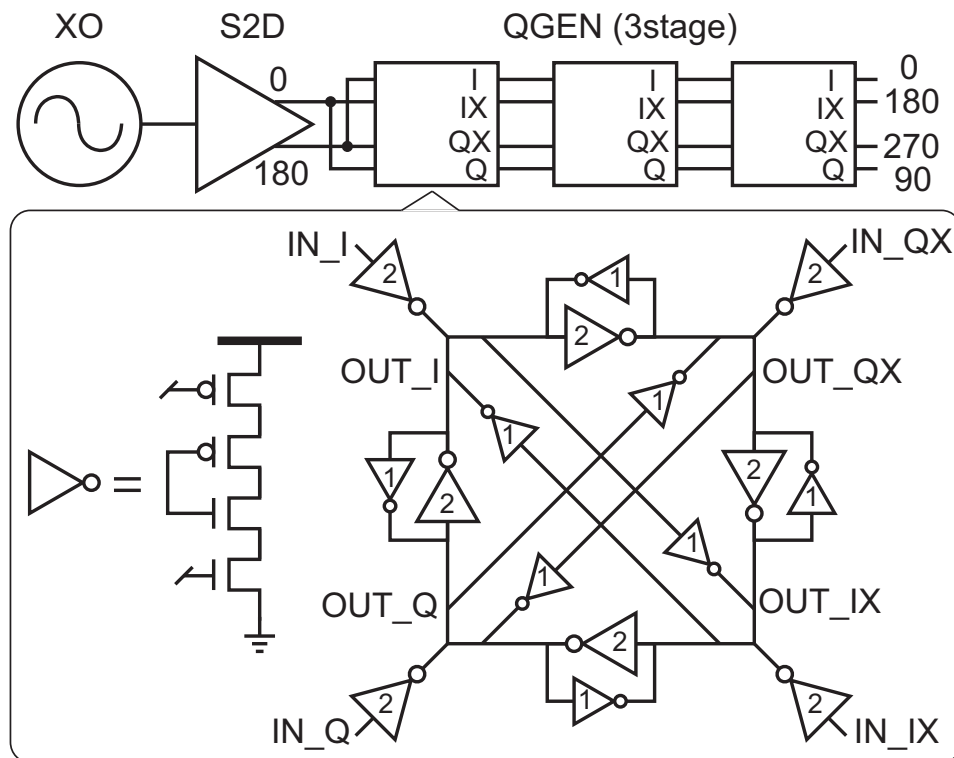


図 4.25: IF 直交ローカル信号生成回路 (QGEN) の回路図

図 4.25 に、IF 直交ローカル信号生成回路 (QGEN) の回路図を示す [33]。QGEN は、S2D の差動 IF ローカル信号を利用し、はじめ 180 度の位相差を三段のステージを経るごとに位相差を 90 度に補正していく。QGEN の各ステージでは、四段のリング発振回路をベースとして、リング発振回路のそれぞれ四つの出力部分 (OUT_I, OUT_IX, OUT_Q, OUT_QX) において、当該出力以外の三つの出力の位相およびひとつ前のステージの出力の位相の合わせて四つの位相を用いて、当該出力の位相を補間する。この位相補間を三ステージ同様に繰り返すことによって、出力における位相差が 90 度に近づいていく。そのために各ステージは、基本となる四段のリング発振回路があり、その逆方向を向く四段リング発振回路、さらに図 4.25 において対角線上に配置されるインバータ、そして前ステージの出力を入力するためのインバータで構成する。

インバータは、リング発振回路のもつ固有の発振周波数を調整できるようにカレントスターブ型のインバータを用いている。また図 4.25 に示すように、ドライブ用のインバータおよびリング発振回路の基本ループを構成するインバータのサイズを、ほかのインバータの二倍のトランジスタサイズを用いて構成する。

内部ベースバンド回路の設計

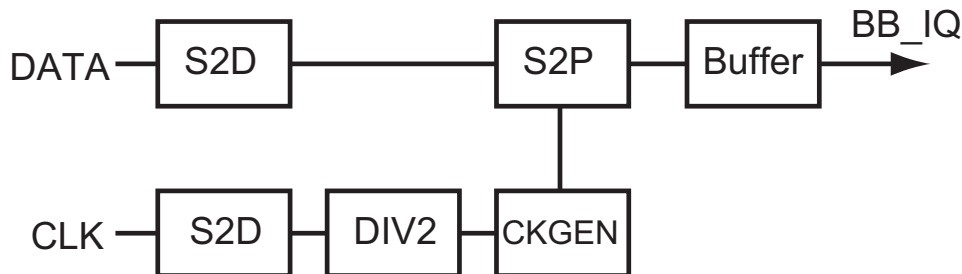


図 4.26: 内部ベースバンド回路のブロック図

図 4.26 に、内部ベースバンド回路のブロック図を示す。内部ベースバンド回路は、デジタル回路で構成し、目標仕様を踏まえ最大で 10 Mb/s のデータレートで動作させる。また外部のマイコンから入力するデータ信号とクロック信号を利用して、QPSK 変調のための IQ 差動のベースバンド信号を出力する。データ信号は、まず S2D で差動データに変換し、その後シリアルパラレル変換回路 (S2P) を経て 2 bit のシリアルデータを 1 シンボルに変換する。その出力を多段接続したインバータでバッファリングすることにより、IF Mixer の内部ベースバンド信号とする。S2P のクロック信号は、クロック生成回路 (CKGEN) によって作られる。マイコンから入力されるクロック信号を差動に変換し、

CKGENにおいて、差動のクロックを二分周し、分周前のクロック信号と論理積をとることにより Duty 比を 25% にすることにより、クロックの遅延による誤作動を防ぐ。内部ベースバンド回路も、その他の回路同様に 0.6 V の電源電圧で動作しており、消費電力の削減に寄与する。

4.1.8 測定評価結果

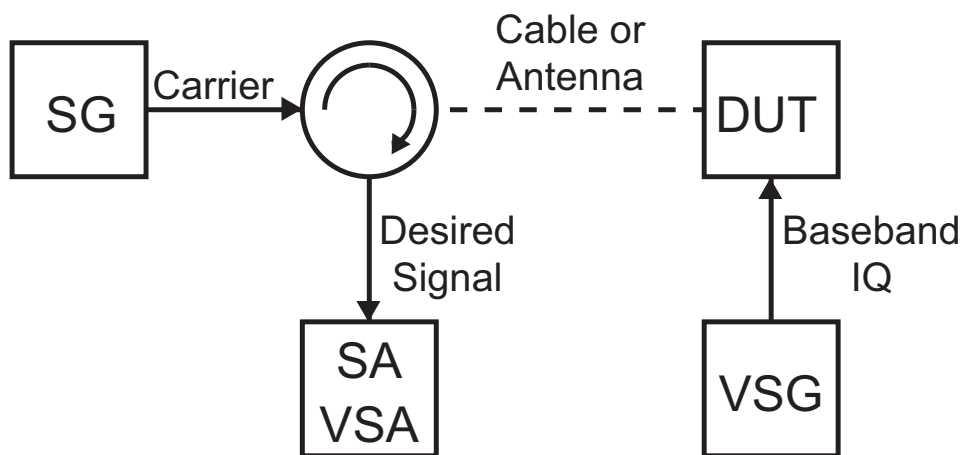


図 4.27: Backscattering 型送信回路の測定系

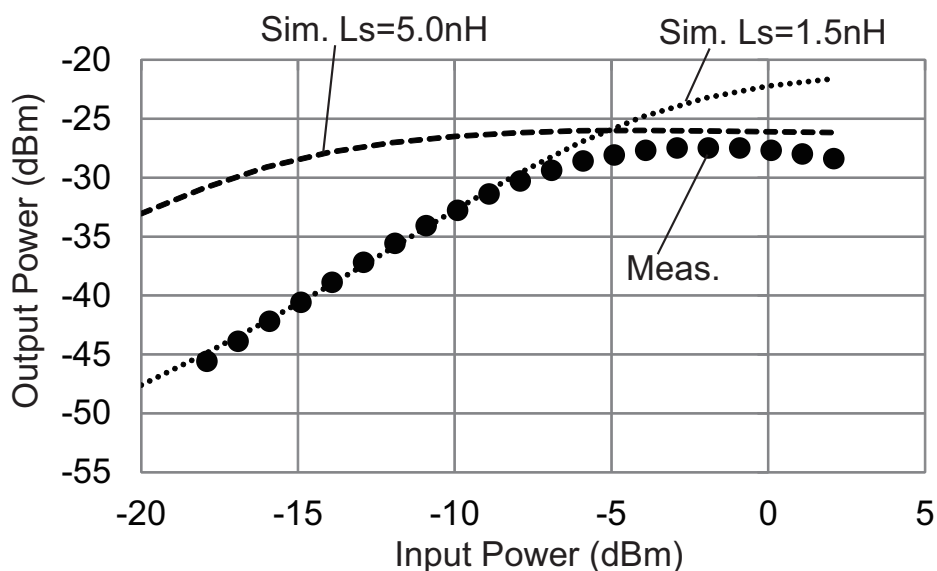


図 4.28: Backscattering 型送信回路の入力電力に対する出力電力特性

設計した Backscattering 型送信回路の有効性を確認するために、Si CMOS 65 nm プロセスを用いてプロトタイプを試作を行った。第三章の電源回路と同じチップ上にあるため、チップ写真は図 3.17 と同じものである。試作したチップは、インピーダンス整合回路、RFC、水晶振動子と三次オーバートーン用のインダクタとキャパシタとともにテストボード上に実装し、測定を行った。図 4.27 に、本送信回路の測定系を示す。送信回路の基本特性を測定するために、まずは DUT と測定機器の間をケーブルで接続して測定を行い、その後にアンテナを用いて測定を行った。親機の機能を実現するために、SG と SA もしくは VSA をサーキュレータを介して接続し、DUT に SG から RF 信号を送信しながら、DUT からの出力信号を SA または VSA を用いて測定した。また送信回路測定においては VSG を用いて外部からベースバンドの IQ 信号を入力して、測定を行った。

図 4.28 に、入力電力に対する出力電力特性の測定結果を示す。測定は、5.8 GHz の RF 信号を送信回路に入力し、その入力電力を変化させながら出力電力の変化を測定した。入力電力 -5.9 dBm のときに、出力電力は -28.6 dBm であり、中心周波数は IF の 96 MHz 分離れた 5.896 GHz となっていることを確認した。シミュレーションにおいてインピーダンス整合回路の L_S を 1.5 nH としたときのもの、測定結果の入力電力が低い状態のときは一致していることが確認できる。 L_S を 5.0 nH とすると、さらに低い入力電力でも、大きな出力電力を得ることができ、ボードにおける寄生容量を削減し、 L_S の値を 1.5 nH より大きくすることにより、改良ができると考えられる。

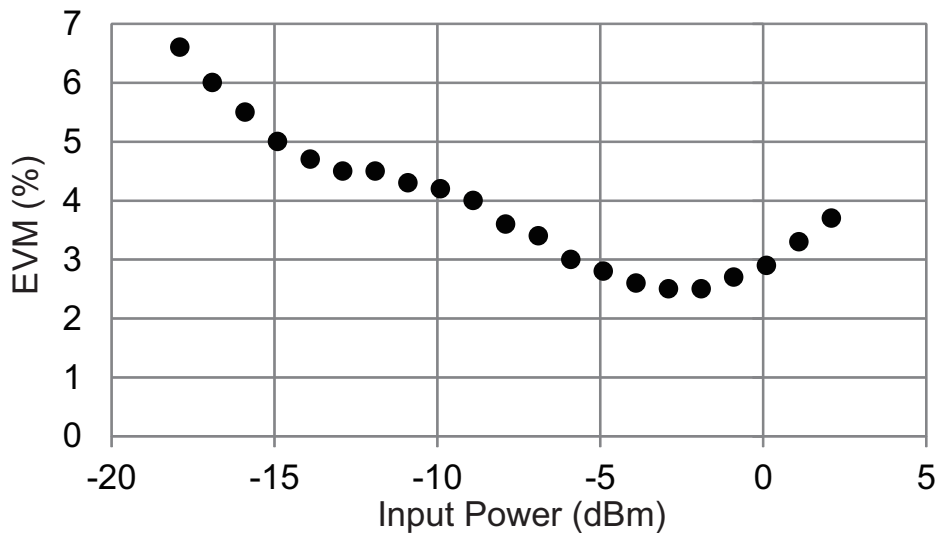


図 4.29: 500 ks/s QPSK 変調時の入力電力に対する EVM 特性

図 4.29 に、本送信回路における入力電力に対する EVM 特性の測定結果を示す。測定

は、PN11 段の疑似ランダムデータ、シンボルレート 500 ks/s、 $\alpha = 0.5$ のルートレイズドコサインフィルタを用いて QPSK 変調のベースバンド信号を用いて行った。送信回路は、 -18 dBm から 2 dBm の入力電力にわたり、 7% 以下の EVM を実現することを確認した。

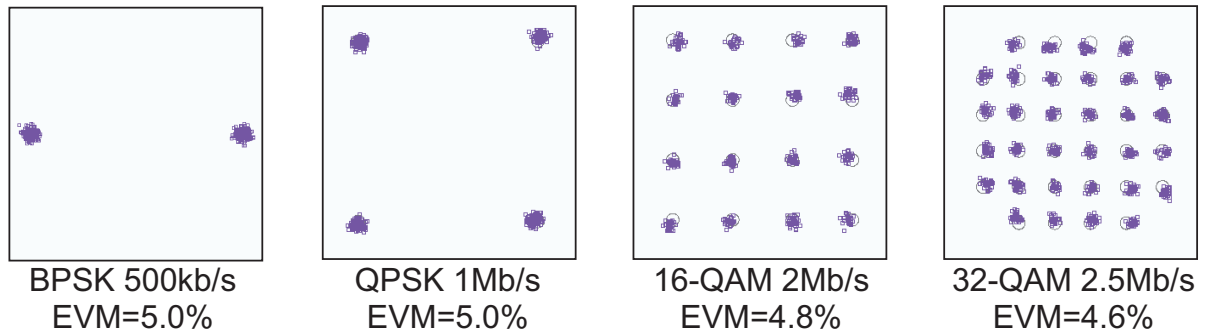


図 4.30: 各変調方式におけるコンスタレーションの測定結果 (全て 500 ks/s、アンテナ間隔 10 cm)

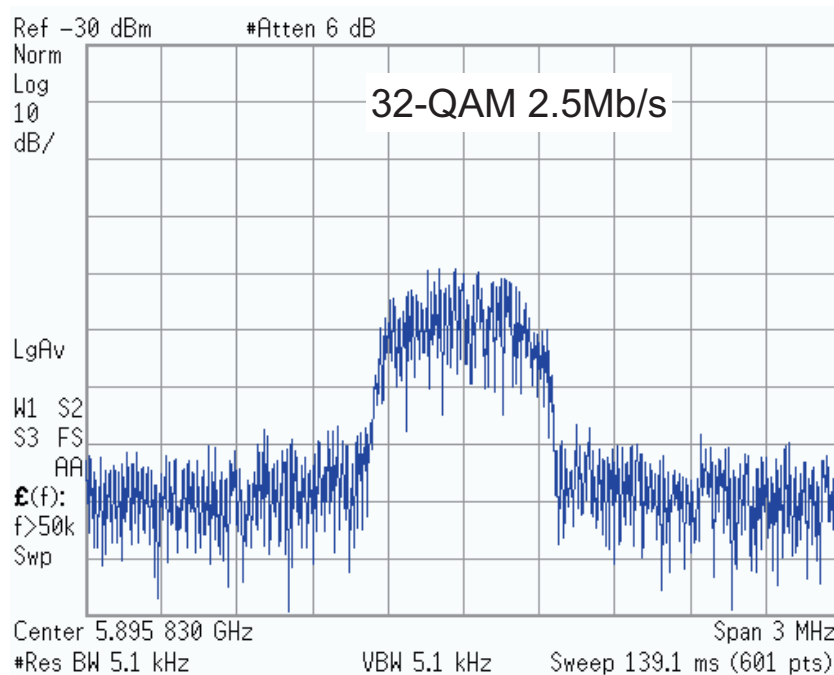


図 4.31: 32QAM 2.5 Mb/s 時の変調スペクトラムの測定結果

図 4.30 に、BPSK から 32QAM までの各変調方式におけるコンスタレーションの測定結果を示す。測定は、親機用のアンテナと本送信回路用のアンテナの間隔を 10 cm とった

状態で、PN11 段の疑似ランダムデータ、シンボルレート 500 ks/s、 $\alpha = 0.5$ のルートレイズドコサインフィルタの条件で行った。測定結果より、どの変調方式においても 5% 程度の EVM を実現しており、IFQB の有効性を確認することができる。32QAM 変調時には 2.5 Mb/s の速度で、EVM は 4.6% であり、またそのときのスペクトラムを図 4.31 に示す。測定した占有帯域幅はおよそ 0.75 MHz であり、この結果は 32QAM, 2.5 Mb/s, ベースバンドフィルタの $\alpha = 0.5$ から求められる計算結果と一致しており、このとき周波数利用効率は 3.3 b/s/Hz である。

4.2 受信回路

4.2.1 目標仕様

表 4.3: 受信回路の目標仕様

変調方式	OOK
データレート	100 kb/s
ダイナミックレンジ	-25 dBm ~ 5.0 dBm
出力電圧 10 k Ω 負荷時	100 mV _{P-P}
消費電力	50 μ W

表 4.3 に受信回路の目標仕様を示す。受信回路は、親機からの送信出力電力が比較的大きい点、扱うデータが制御信号や ID といった比較的小さいデータを想定しているため、目標仕様は緩和することができる。受信回路が復調する信号は、親機から送信される OOK 信号であり、データレートは 100 kb/s 程度とする。また受信回路で復調する際のダイナミックレンジは、RF-EH の最小受信感度から余裕を取り、最小で -25 dBm、最大で 5 dBm の 30 dB のダイナミックレンジとする。出力電圧は、負荷となる外部のマイコンの ADC もしくはコンパレータの入力インピーダンスを考慮し、10 k Ω の負荷時に最小で 100 mV_{P-P} とする。受信回路の消費電力は、送信回路よりも動作時間が短いこと、および動作も簡易なものとなるため、50 μ W 以下を目指す。

4.2.2 受信回路の構成と動作

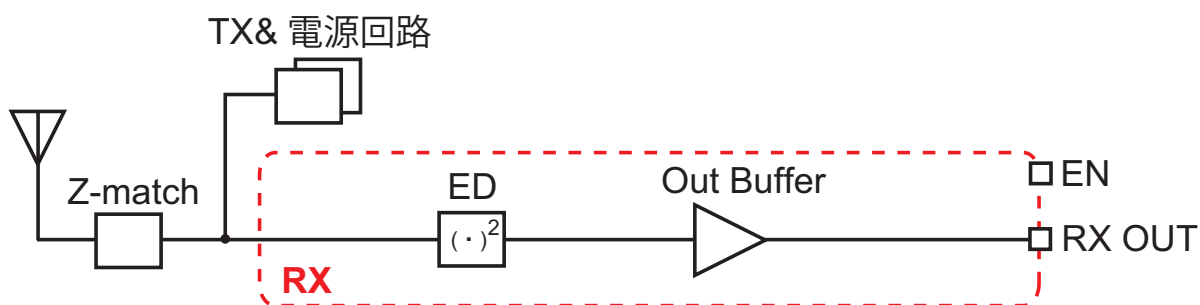


図 4.32: 受信回路の構成ブロック

図 4.32 に、受信回路を構成するブロック図を示す。受信回路は、送信回路および電源回路と同じインピーダンス整合回路を経て、初段において OOK 信号を包絡線検波回路 (ED) で復調し、出力バッファ回路 (Out Buffer) で出力負荷となるマイコンの ADC またはコンパレータをドライブする。一般的に、受信回路において、初段には低雑音増幅器 (LNA) を配置したり、初段でダウンコンバージョンした後に利得の高いアンプで増幅するといった構成が取られる。しかし、本受信回路においては、比較的大きな受信電力が保障されているために、初段で復調および増幅をしまい、出力バッファでは、電圧利得をとるのではなく、出力インピーダンスを下げてドライバビリティを上げるような構成とした。このことにより、キャリア周波数帯で動作する回路を ED のみとし、回路面積を増大させるインダクタの使用や消費電力の増大を避けることができる。

4.2.3 受信回路の設計

図 4.33 に、受信回路の回路図を示す。包絡線検波回路 (ED) は、ゲート接地型の回路の負荷を P-MOSFET の電流源と寄生容量で、入力部分を送信回路の RFC を共用することで構成する。受信回路は、受信感度や消費電力の要求が緩い代わりに、受信回路がオフ状態のときに、送信回路や RF-EH の性能を落とさないよう、オフ時の受信回路の入力インピーダンスを高めるように設計した。受信回路のオフ時の回路は、送信回路のオフ時の回路とほぼ同じものと考えることができる。受信回路の N-MOSFET MN1 のサイズは、QMOD の 2 つの N-MOSFET の合計サイズの七分の一であるので、送信回路のオフ時のインピーダンスは 100 kΩ 程度であったが、受信回路のオフ時のインピーダンスはそ

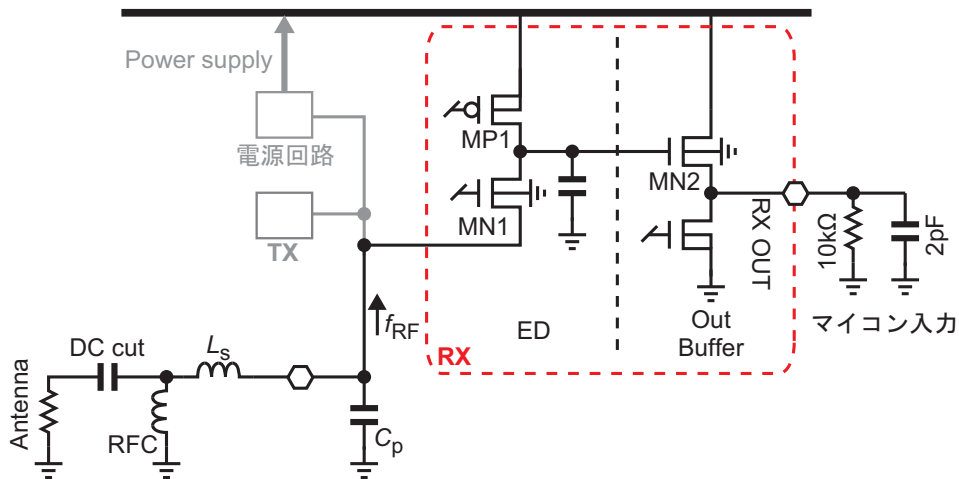


図 4.33: 受信回路の回路図

れよりも大きくなる。

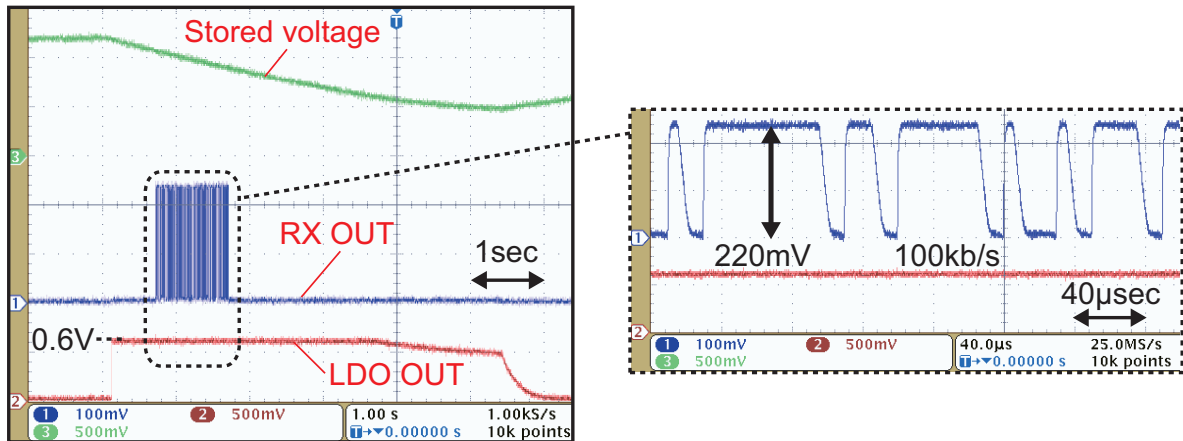
MN1 のソース端子に、RFC を用いてグランド中心で受信信号を入力し、所望のベースバンド帯の信号のみを増幅することで、復調および増幅動作を実現する。そのために、ゲート接地回路の負荷インピーダンスを、キャリア周波数帯では低く、ベースバンド帯では高くなるよう P-MOSFET MP1 のバイアス電圧と寄生容量でカットオフ周波数を調整する。

出力バッファ回路は、ドレイン接地回路の負荷を N-MOSFET の電流源として構成した。10kΩ の負荷において 100mV 以上の出力電圧が出せるように、出力電圧を引き上げるときに動作する N-MOSFET MN2 のサイズを選択した。また出力を引き下げるときに動作する負荷電流源は、100kb/s 程度の速度で動作するように電流値を決定した。

4.2.4 測定評価結果

受信回路の有効性を確認するために、Si CMOS 65 nm プロセスで試作を行い、プロトタイプでの測定評価を行った。受信回路は、Backscattering 型送信回路および電源回路と同じチップ上に作成しており、チップ写真は図 3.17 に示したものと同一のものであり、テストボードも送信回路と同様のものを使用して、測定を行った。

図 4.34 に、受信回路の出力波形の測定結果を示す。測定は、-5.9 dBm, 100 kb/s の OOK 信号を入力し、電源電圧を内部の LDO から供給することで行った。負荷は、測定器の入力インピーダンス 1 MΩ//11.5 pF で行い、出力電圧は 220 mV_{P-P} であった。また入力電力 -22.9 dBm のとき、出力電圧は 150 mV_{P-P}、2.1 dBm のときに 200 mV_{P-P} であった。

図 4.34: 受信回路の出力波形 (-5.9 dBm 入力、 100 kb/s)

4.3 チューナブルインピーダンス整合回路

本節では、インピーダンス整合と可変受動素子の融合による、インピーダンス整合回路のチューナブル化について述べる。可変受動素子として、本研究では RF MEMS 可変インダクタに注目し、メタルが Au である MEMS プロセスを用いて MEMS インダクタの試作を行った。試作した MEMS インダクタの測定データをもとに、インピーダンス整合回路を含む RF-EH のシミュレーションを行い、チューナブルインピーダンス整合回路について検討を行った。

4.3.1 インピーダンス整合回路と可変受動素子

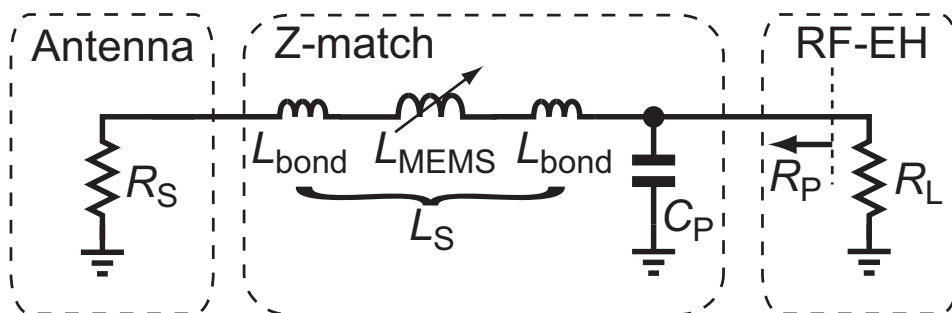


図 4.35: 可変受動素子を含むインピーダンス整合回路図

図 4.35 に可変受動素子を含むインピーダンス整合回路 (Z-match) の回路図を示す。こ

れまで述べてきた Z-match と同様に、L 型の整合回路を採用し、インダクタ L_S の値を変化させることができるようにする。式 4.10 に示すように、 L_S を大きく、 C_P を小さくすることで、RF-EH から見たアンテナのインピーダンス R_P を大きくすることができる。これは、RF-EH においては、Z-match におけるパッシブゲインを大きくとることができ、入力電圧振幅を大きくすることができる。

$$R_P \approx \frac{1}{R_S} \frac{L_S}{C_P} \quad (4.10)$$

4.3.2 MEMS プロセス

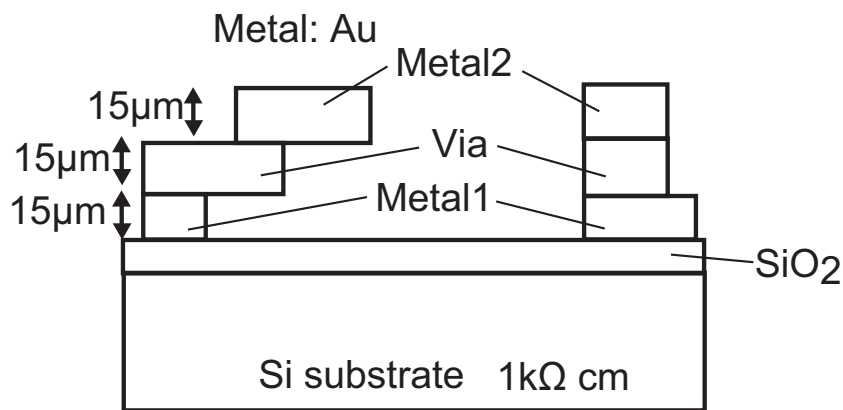


図 4.36: 使用した MEMS プロセス

図 4.36 にインダクタの設計試作に用いた MEMS プロセスの断面図を示す。本 MEMS プロセスの特徴として、各層の厚さが $15\mu\text{m}$ と厚く、メタルには Al や Cu ではなく Au を使用している点が挙げられる。また基板には、CMOS 等で使用されるものよりも抵抗率が高い $1\text{k}\Omega \cdot \text{cm}$ の Si 基板を用いている。厚膜の配線は、基板との間に寄生容量を生じることなく、配線抵抗を下げることができ、広帯域かつ高 Q の受動素子には不可欠である。また、高周波のインダクタにおいて、基板との磁氣的結合による Q 値の劣化は深刻な問題であり、高い基板抵抗率は、基板での損失を小さくすることができる [34, 35]。

4.3.3 ソレノイド型インダクタ

インダクタの設計

可変インダクタには大きく分けて、インダクタンス変化が連続的なもの、離散的なものがある。連続変化タイプのインダクタは、所望のインダクタンス値を正確に実現できるが、構造や使用するプロセスが複雑になってしまうこと、大きな可変範囲をとることが難しいというデメリットがある [36–42]。スイッチタイプのインダクタは、連続可変タイプのものに比べて、構成がシンプルにできること、大きな可変範囲を取りやすいというメリットがある反面、離散的な変化であるために、細かい調整がとれないというデメリットが存在する [43–47]。本研究では、離散変化でありながら高い分解能を達成するようなスイッチ型可変インダクタについて研究を行った。

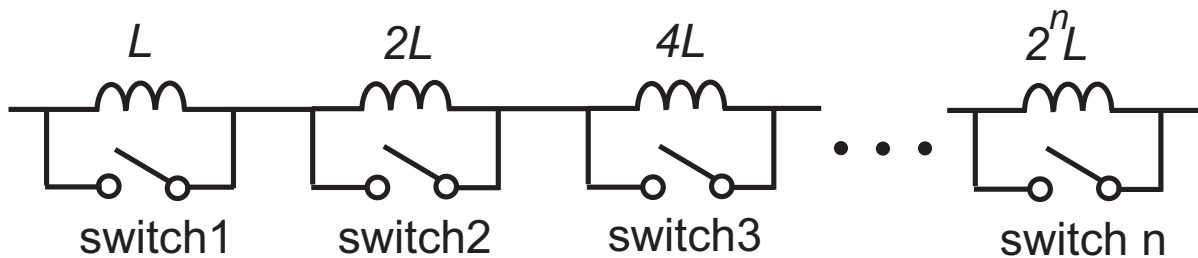


図 4.37: 提案する可変インダクタのコンセプト

図 4.37 に、提案する可変インダクタのコンセプトを示す。2 の n 乗に重み付けをしたインダクタに、それぞれ並列にスイッチをつけ、そのオンオフによりインダクタンスを変化させる。このような構成にすることで、少ないスイッチで、高い分解能を得ることができる。この考え方をを用いて、実際に 2 bit、すなわちスイッチが二つの可変インダクタの設計を行った。図 4.38 に設計したインダクタの全体図を示す。インダクタはソレノイドタイプを用いて、全部で 17 ターンで、それぞれ 3 ターン、6 ターン分にスイッチをつけることにより、図 4.37 の L , $2L$ を実現する。また表 4.4 にスイッチの状態と実際の巻き数の関係を示す。ソレノイドタイプのインダクタを用いることにより、スパイラルタイプのインダクタに比べて、容易にスイッチをつけることが可能で、巻き数に応じて所望のインダクタンス変化を選ぶことができる。図 4.39 に詳細なソレノイドインダクタの図を示す。前節の通り、今回は Au 二層の MEMS プロセスをもちいており、二層全てを利用し、ソレノイドインダクタのコイルを実現した。各配線の幅は $20\ \mu\text{m}$ 、各コイル

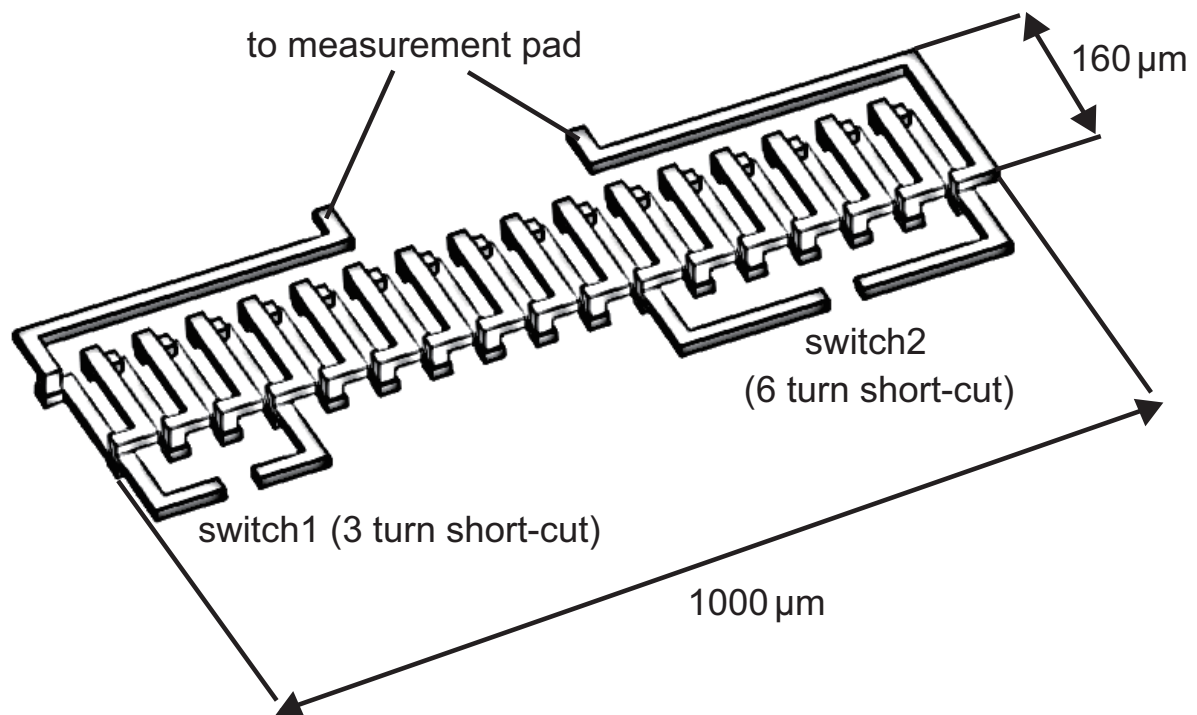


図 4.38: インダクタ全体図

同士が近接しインダクタンス値が上がるように配線間の距離はプロセスの最小ルール値とした。

表 4.4: スイッチの状態と実際の巻数

Switch1	Switch2	Status	巻き数
0	0	00	17
1	0	01	14
0	1	10	11
1	1	11	8

試作評価結果

図 4.40 に、実際に試作したインダクタのチップ写真を示す。今回は MEMS スイッチは搭載せずに、スイッチの部分のオンオフ状態四種類をそれぞれ再現したインダクタを

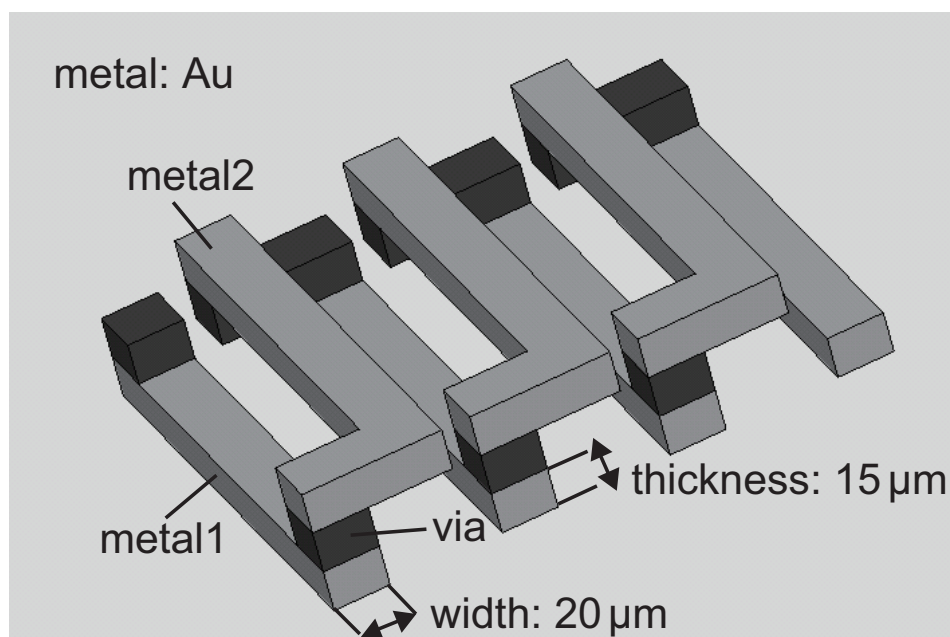


図 4.39: ソレノイドインダクタ詳細

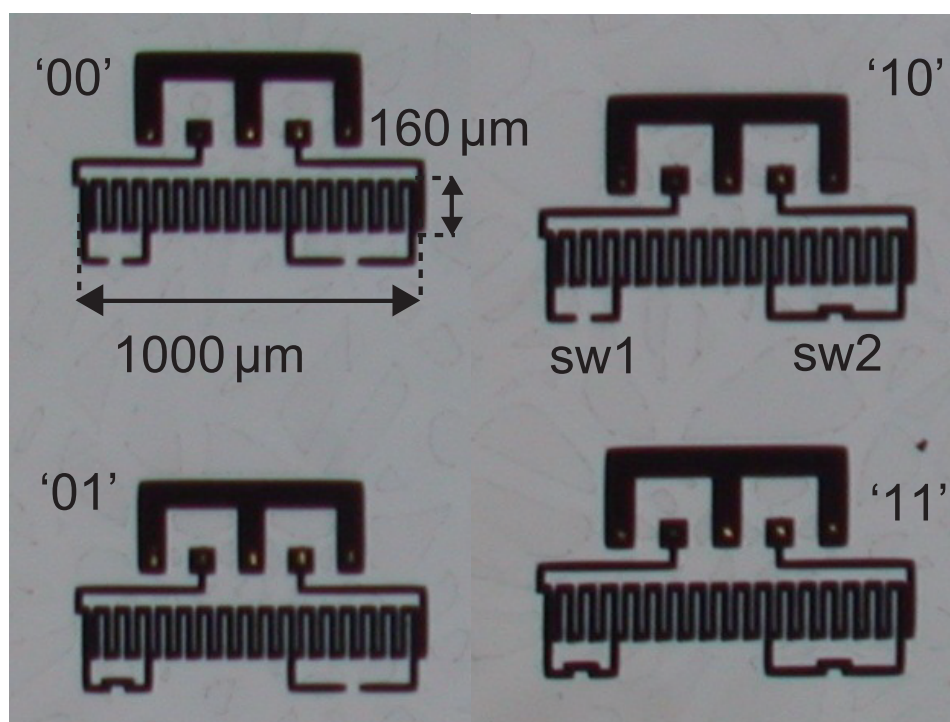


図 4.40: 試作したインダクタ写真

作り (例えば図 4.40 の '01' は sw1 がオン、sw2 がオフの状態を表す)、インダクタンス変化、Q 値の測定を行った。インダクタンスと Q 値の測定は、インダクタの S パラメータ

を測定後、Yパラメータに変換し、以下の式より算出した。

$$L = \frac{1}{2\pi f} \operatorname{Im} \left(\frac{1}{Y_{11}} \right) \quad (4.11)$$

$$Q = -\frac{\operatorname{Im} \left(\frac{1}{Y_{11}} \right)}{\operatorname{Re} \left(\frac{1}{Y_{11}} \right)} \quad (4.12)$$

図4.41に4つのインダクタのインダクタンス値を示す。自己共振周波数は10 GHz 以上であり、6 GHz 程度までフラットなインダクタンス特性が得られている。図4.42に2 GHz、5 GHz のときのインダクタンスの可変範囲を示す。2 GHz のとき、1.7 nH から 2.2 nH の線形なインダクタンス変化が得られていることがわかる。5 GHz では、若干の線形でない変化が見られる、これはスイッチ端子間の寄生容量の影響であると考えられる。図4.43にQ値の測定結果を示す。最大のQ値はスイッチが両方オンになった際、5 GHz のときに22のQ値が得られていることがわかる。また1.2 GHz から7.4 GHz の広帯域にわたり10以上のQ値が得られた。

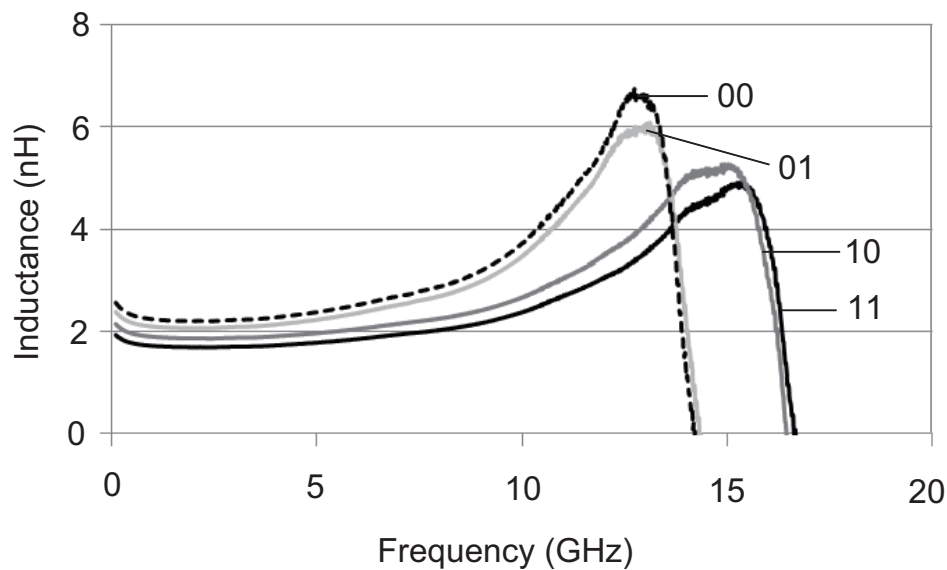


図 4.41: インダクタンス測定結果

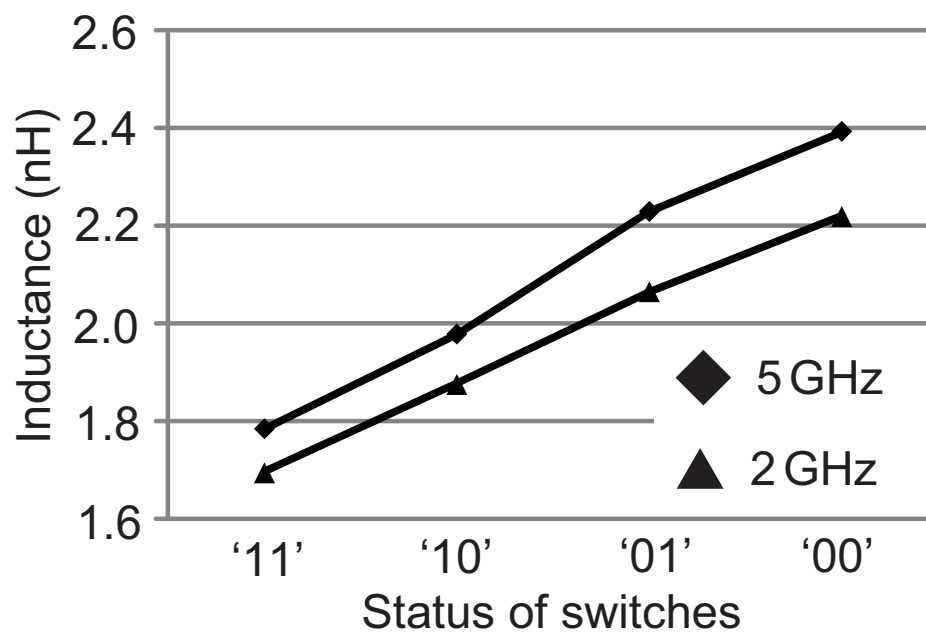


図 4.42: インダクタンス可変範囲

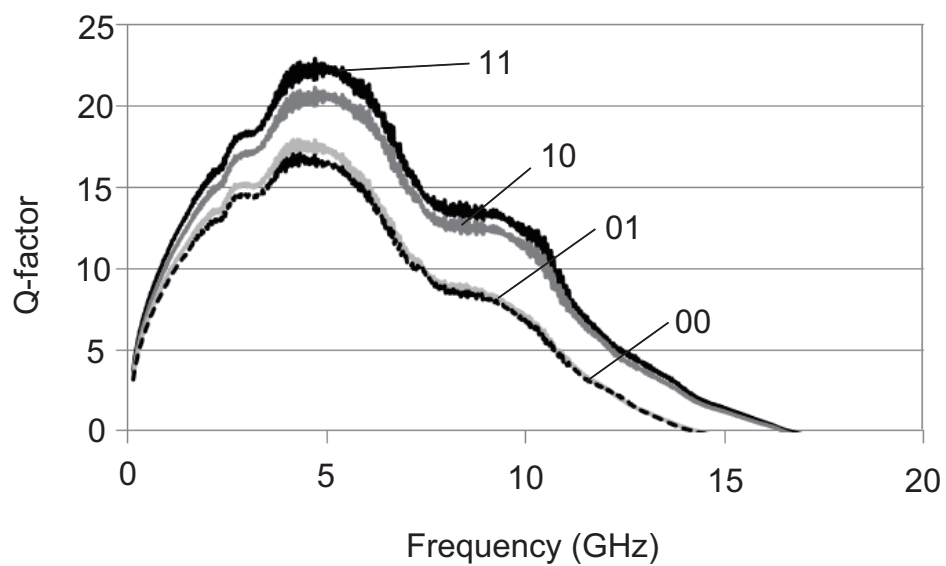


図 4.43: Q 値 測定結果

4.3.4 プレーナ型ソレノイドインダクタ

インダクタの設計

図4.44に新たに提案するインダクタの形状を示す。ここで、前項のインダクタをソレノイドインダクタ、今回提案するインダクタをプレーナ型ソレノイドインダクタと呼ぶ。前節のソレノイドインダクタにおける、インダクタのスイッチを巻き数に応じて付けていくことができ、スイッチの付けやすさに優れているという特性はそのままに、同じインダクタンスで比べた際にQ値の向上を図ることができる。

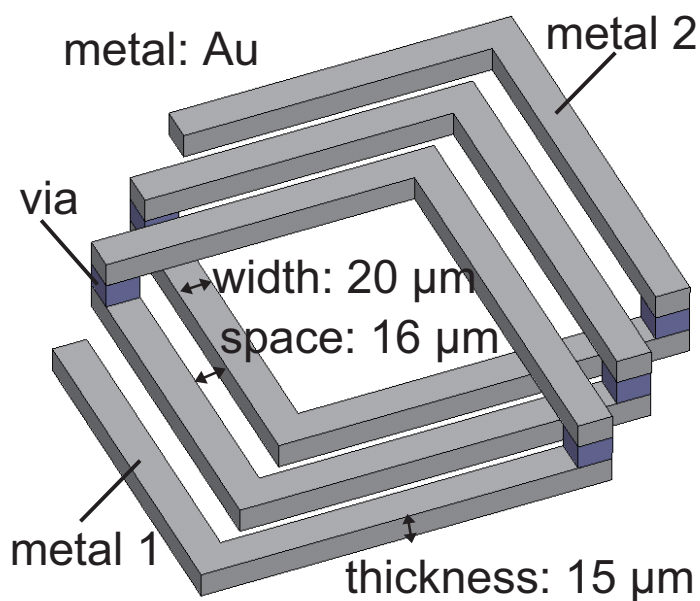


図 4.44: プレーナ型ソレノイドインダクタ

インダクタのインダクタンスは以下の式のように表せる [48]。

$$L_{\text{total}} = L_{\text{self}} + M_{+} - M_{-} \quad (4.13)$$

ここで、 L_{total} はインダクタ全体のインダクタンス、 L_{self} は各配線がもつ自己インダクタンス、 M_{+} は各配線間に生じる正の相互インダクタンス、 M_{-} は負の相互インダクタンスである。Q値は以下の式で表される。

$$Q = \frac{\omega L_{\text{total}}}{R} \quad (4.14)$$

R はインダクタにおける損失である。 L_{total} は、 L_{self} を増加させることにより大きくできるが、その場合 L_{self} とともに R の損失も増えてしまう。そのため、Q値を高く保つたま

ま L_{total} を大きくするには、 L_{self} を増やすのではなく、 M_+ を増やし、 M_- を減らすようなインダクタ形状である必要がある。提案するインダクタでは、同じ方向に電流が流れる配線を近接させ、逆方向に流れるような配線を遠くに配置することにより、 M_+ の増加、 M_- の減少を図っている。それと同時に、前節のソレノイドインダクタ同様に、巻き数に応じてスイッチを付加できる構成とすることにより、スイッチの付けやすさを実現している。提案するインダクタ形状の有効性を確認するため、前節で説明したものと同様の MEMS プロセスを用いて、インダクタを設計した。インダクタは Au 二層メタルを用いて、図 4.44 に示すように、ソレノイドインダクタを平面上に展開するような形でコイルを作った。配線の幅は $20\ \mu\text{m}$ 、配線の間隔はプロセスの最小線間隔である $16\ \mu\text{m}$ とした。線幅は細すぎると、配線抵抗が大きくなるが、太くしすぎても寄生容量による基板とカップリングによる基板での損失が大きくなるために、バランスのとれた線幅が必要である。線間隔は、配線同士のインダクティブカップリングを増やすために、最小線間隔とした。

試作評価結果

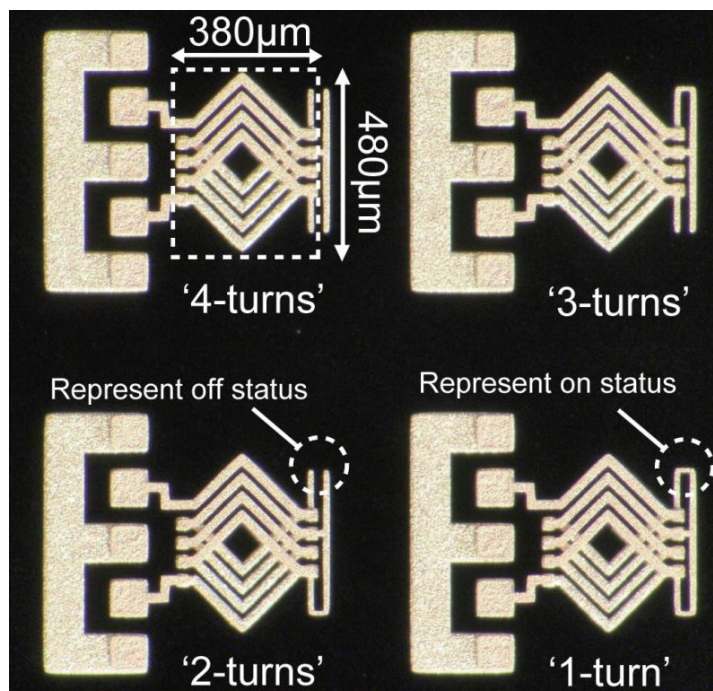


図 4.45: 試作したプレーナ型ソレノイドインダクタ写真

図 4.45 に試作したプレーナ型ソレノイドインダクタのチップ写真を示す。前節のイン

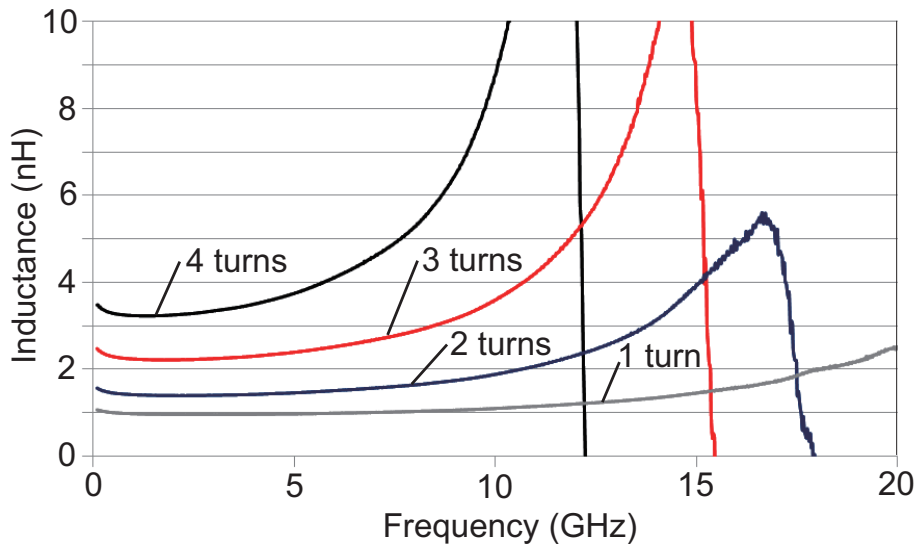


図 4.46: インダクタンス測定結果

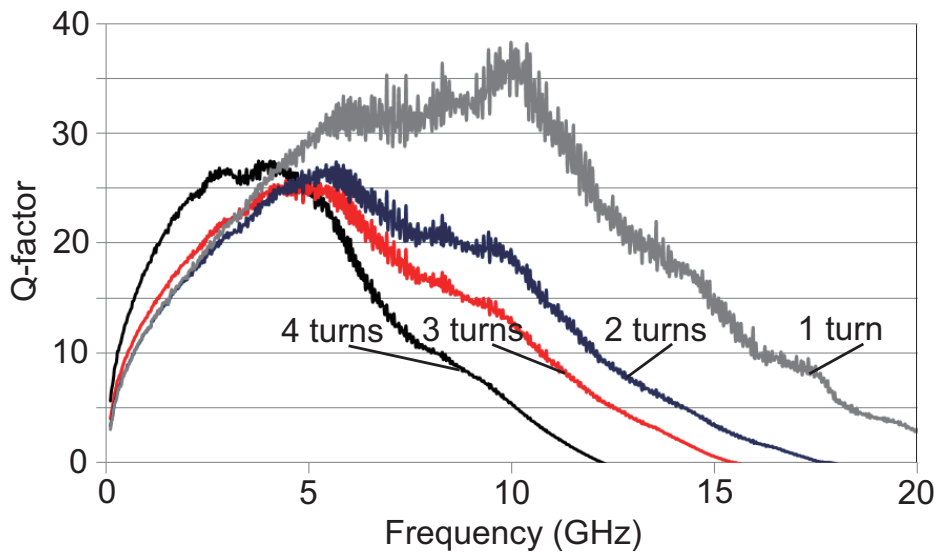


図 4.47: Q 値測定結果

ダクタと同様に、スイッチは付けず、スイッチのオンオフを表した四種類のインダクタを試作した。図 4.46 にインダクタンスの測定結果を示す。スイッチのオンオフ状態に応じて、2 GHz において 1.0 nH から 3.3 nH まで変化することがわかる。ここで Tunability を以下の式で定義する。

$$\text{Tunability} = 100 \times \frac{L_{\max} - L_{\min}}{L_{\min}}. \quad (4.15)$$

測定結果より Tunability は 230% であることがわかる。また四種類の状態の中での最小自己共振周波数 10 GHz であり、十分広帯域な特性が得られていることがわかる。図 4.47 に Q 値の測定結果を示す。どの状態のインダクタにおいても、Q 値は 2.5 GHz から 6 GHz において、20 以上と高い値を達成した。

4.3.5 チューナブルインピーダンス整合回路の検討

前項のプレーナ型ソレノイドインダクタの測定結果を用いて、チューナブルインピーダンス整合回路の検討を行った。このインダクタは 1 巻から 4 巻のインダクタンス変化を実現することにより、図 4.35 に示す L_S を変化させ、インピーダンス整合回路の動作周波数を変化させる。シミュレーションは 65 nm 全体チップの RF-EH を接続して行い、ボンディングワイヤの L_{bond} を 1.0 nH、Q 値を 50、PAD 等の寄生容量で構成される C_P を 100 fF と設定した。図 4.48 にインダクタの巻き数を変化させた時の RF-EH の出力電圧のシミュレーション結果を示す。RF 入力電力は -10 dBm、RF-EH の負荷は 10 M Ω である。インダクタの巻き数が変化するとインピーダンス整合回路の共振周波数も 4.6 GHz から 5.9 GHz まで変化し、インピーダンス整合回路の動作周波数をチューナブルに調整できることを示している。

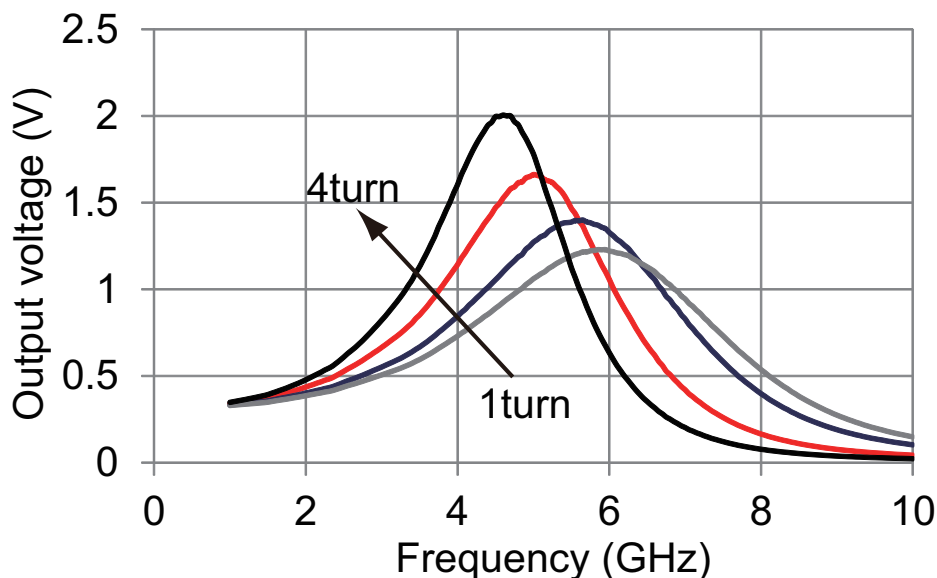


図 4.48: シミュレーション結果 プレーナ型ソレノイドインダクタを用いたチューナブル整合回路

第5章 無線センサ端末

第五章では、これまでに試作した 65 nm 全体チップと市販の部品を用いて作成した無線センサ端末、およびそのセンサ端末を用いた無線センサシステムのデモンストレーションについて述べる。センサ端末は、市販の小型マイコンで制御を行い、ID を識別し、マイコン内部の温度センサデータを採取する。そのデータを 65 nm 全体チップを用いてバッテリーレスで無線通信を行い、親機に採取データを送信する。

5.1 バッテリーレス無線センサ端末のデモンストレーション

5.1.1 デモンストレーションの概要

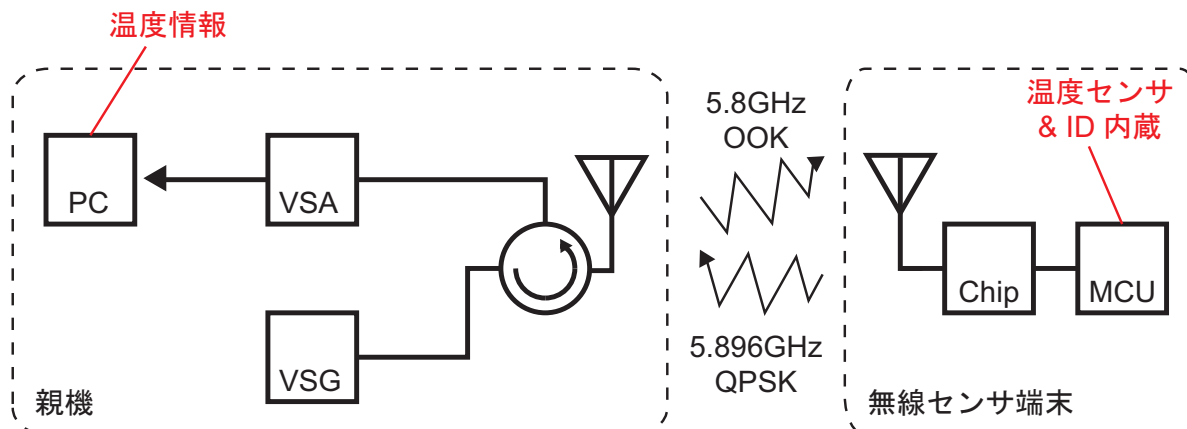


図 5.1: バッテリーレス無線センサ端末を用いたデモンストレーションの概要

図 5.1 に、バッテリーレスセンサ端末を用いた無線センサシステムのデモンストレーションの概要を示す。本デモンストレーションでは、温度をセンシング対象とする。第二章で示したタイムチャートの通り、デモンストレーションは以下の順で行う。

1. 親機が RF 信号を送信し、無線センサ端末を充電する。

2. 親機が 8 bit の ID データを OOK 信号に乗せて送信し、対応する無線センサ端末を選択。
3. 対応するセンサ端末で、温度データを採取し、QPSK 信号に乗せて親機へデータを送信する。
4. VSA でセンサ端末からの信号を復調し、PC 上に温度情報を表示する。

5.1.2 バッテリーレス無線センサ端末の構成と動作

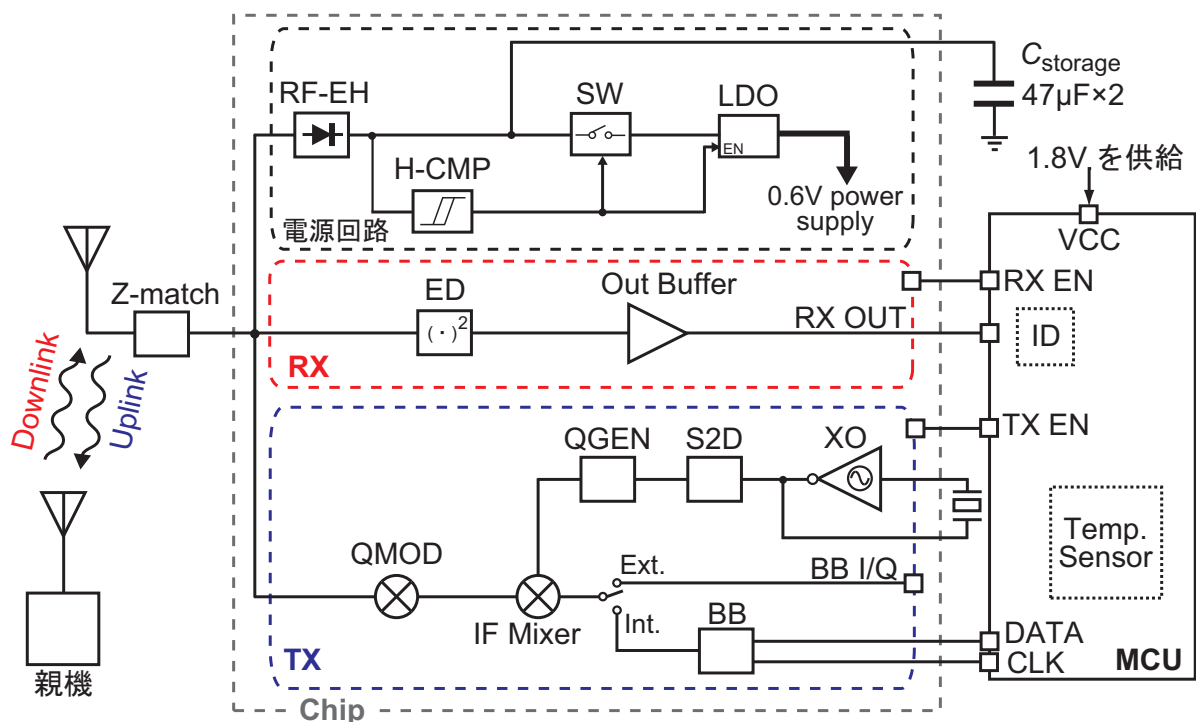


図 5.2: 無線センサ端末の構成図

図 5.2 に無線センサ端末の構成ブロック図を示す。無線センサ端末は、本章までに述べてきた 65 nm 全体チップを中心に、小型 8 bit マイコン、5.8 GHz 帯チップアンテナ、ストレージ用キャパシタ、水晶振動子、その他外付けインダクタおよびキャパシタで構成した。またこれら部品を含む、センサ端末の回路図を図 5.3 に示す。

マイコンは Atmel 社の Attiny シリーズを用いた。65 nm 全体チップの電源電圧である 0.6V で動作するマイコンは、市販品では見当たらなかったため、マイコンの中では低電圧動作である 1.8V の電源電圧のマイコンを選択した。本センサ端末を完全にバッテ

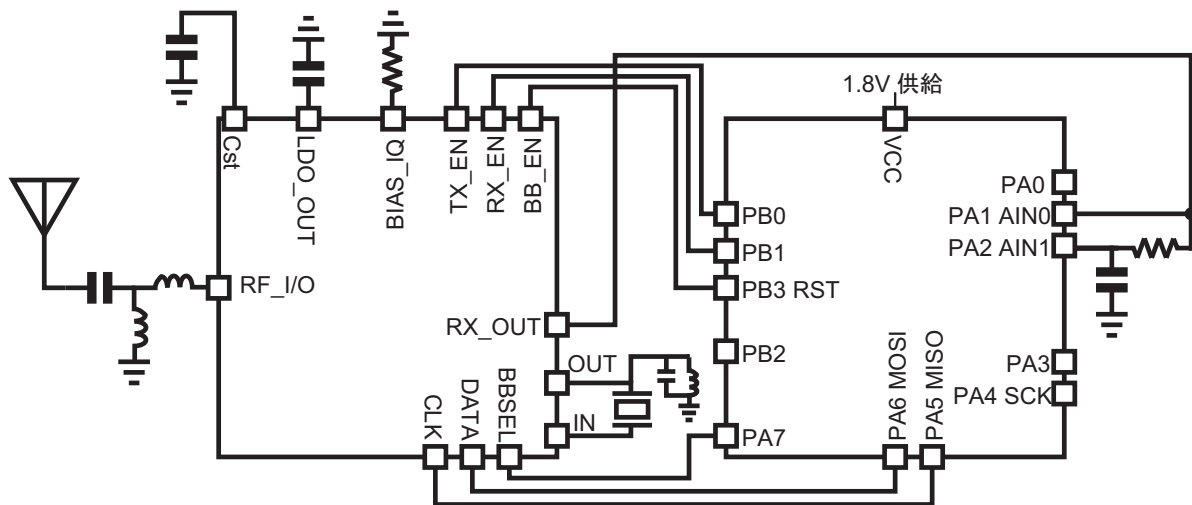


図 5.3: 無線センサ端末の回路図

リーレスで動作させるには、ストレージ用キャパシタのエネルギーを利用して、昇圧回路を動作させ、1.8Vの電源電圧を作り出す必要があるが、本デモンストレーションでは、マイコンには1.8Vの電源電圧を外部から供給する。Attiny84Aは、温度センサを内蔵している点、また消費電流が1MHz動作時に $210\mu\text{A}$ と低消費電力用途に向いている点、パッケージが $3.0\text{mm}\times 3.0\text{mm}\times 0.8\text{mm}$ と小型である点において本デモンストレーションに適していると判断した。

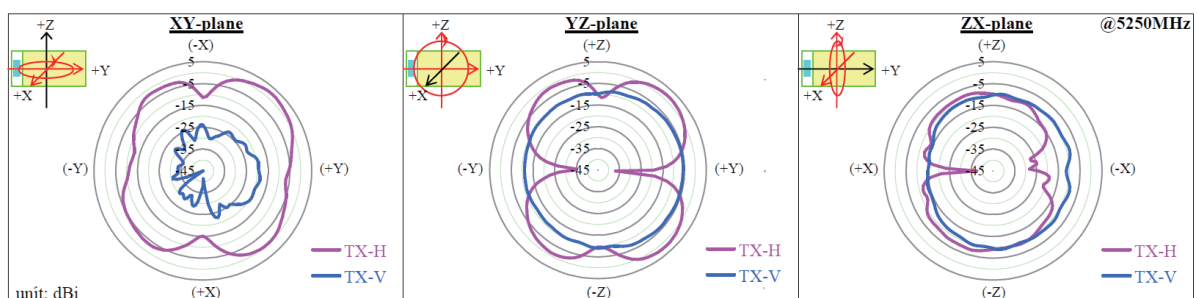


図 5.4: チップアンテナの指向性 [49]

チップアンテナは、太陽誘電社のWLAN用のものを用いた。サイズは、 $10\text{mm}\times 4\text{mm}\times 1\text{mm}$ と若干大きいですが、4.9GHzから5.9GHzまでVSWRが2以下と広帯域であり、5.9GHzにおいてピークゲインが2.4dBiと良好な特性を持つ。図5.4に本チップアンテナの指向性を示す[49]。アンテナのサイズは、センサ端末のサイズを決め

る大きな要因であり、プリント基板上にアンテナを作製するなど、さらなるアンテナの小型化が今後の課題である。

無線センサ端末の充電に関しては、第三章の電源回路で述べたとおり、チップ内の RF-EH が、親機から来る RF 信号を使ってストレージ用キャパシタを充電する。本センサ端末では、ストレージ用キャパシタとして、2012 サイズの $47\mu\text{F}$ のキャパシタを二つ用いた。現在、2012 サイズで $100\mu\text{F}$ のものまで存在するが、今回は入手できなかったため上述のキャパシタで代用した。

ID の照合は、まず親機から来る OOK 信号をチップ内の受信回路で復調し、それをマイコン内のアナログコンパレータでデジタルデータとしてマイコンに取り込み、マイコンに書き込んでおいた ID と照合する。図 5.3 に示すように、チップの受信回路出力 (RX_OUT) は、マイコンのアナログ入力 (AIN0) に接続する。またアナログコンパレータのしきい値を与えるために、RX_OUT を一次の RC ローパスフィルタを通し直流成分を取り出し、その出力をもう一つのアナログ入力である AIN1 に接続する。アナログコンパレータが出力するデータを 8 bit 分ためて、あらかじめマイコンに書き込んでおいたセンサ端末の 8 bit の ID と比較し、ID が合致した場合のみセンシングおよび送信モードに移行する。

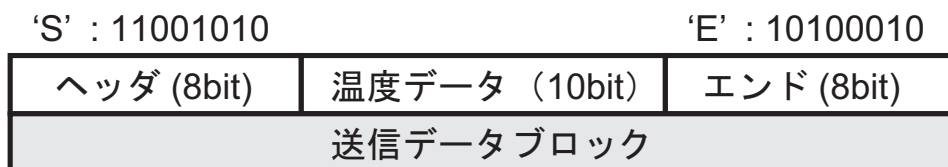


図 5.5: 送信データブロック

温度センシングでは、ID が合致した端末において、マイコン内蔵の温度センサの出力を内蔵の 10 bit 逐次比較型 ADC を用いて、温度情報を 10 bit のデジタルデータとして出力する。

取得した温度データの前後に、通信の開始を示すヘッダと通信の終了を示すエンドシーケンスを付け一つのデータブロックとして送信する。今回はエラー訂正符号は用いずに、図 5.5 に示すような簡易な送信データブロックを作成し無線通信を行う。またデータ信号に同期したクロック信号をマイコンで作成し、データ信号とともにチップ内の送信回路に供給する。

親機において、VSA を使用してセンサ端末から送られてきたデータブロックのヘッダ部分をトリガとして温度データ部分を取り出し、VSA と接続された PC 画面上に表示

する。

5.1.3 デモンストレーション結果

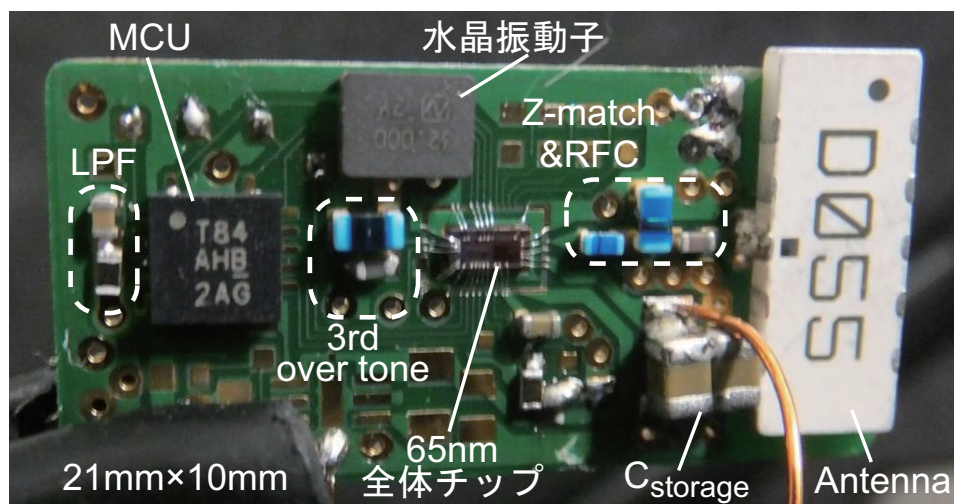


図 5.6: 作成した無線センサ端末の写真

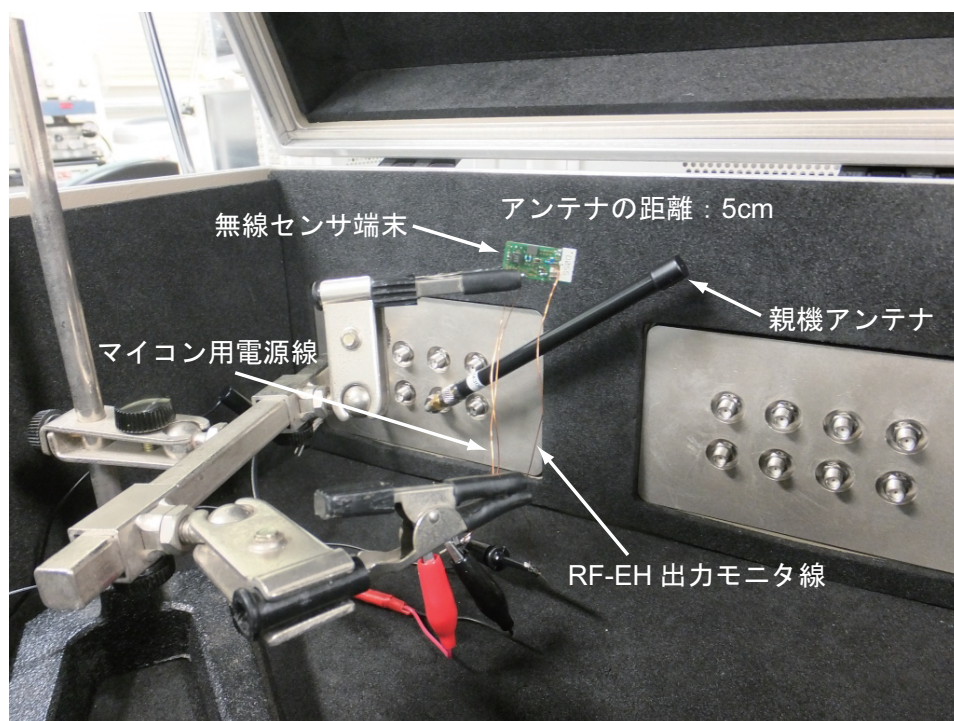


図 5.7: デモンストレーションのセッティング写真

無線センサシステムにおいて、本研究の有効性を確認するために、図 5.6 に示す無線センサ端末を作成し、バッテリーレス無線通信のデモンストレーションを行った。センサ端末のサイズは $21\text{ mm} \times 10\text{ mm} \times 2\text{ mm}$ の 0.42 cm^3 である。

図 5.7 にデモンストレーションのセッティング写真を示す。上記のセンサ端末を用いて、シールドボックスの中で親機のアンテナから 5 cm 程度離れたところに設置し、デモンストレーションを行った。親機の出力は 5.8 GHz 、 16.5 dBm と設定し、図 5.1 に示した親機を構成する VSG から、充電およびセンサ端末のキャリア用の CW 信号、そしてセンサ端末に ID データを送信する OOK 信号を交互に出力する。今回、 65 nm 全体チップはバッテリーレスで動作するが、マイコンには外部から 1.8 V 電源を供給する。また RF-EH による充電電圧を観測するために、モニタ用の線を出している。

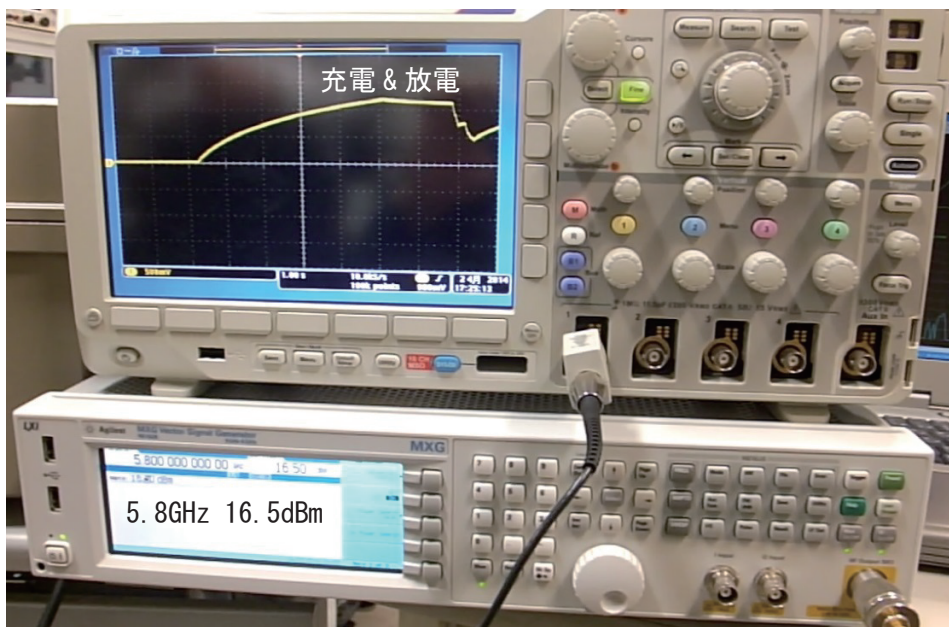


図 5.8: RF-EH によるストレージ用キャパシタ充電の様子

図 5.8 に、実際に RF 信号を親機側のアンテナから出力し、無線センサ端末のストレージ用キャパシタを充電した際の充電電圧の波形を示す。充電は一定の充電電圧となると終了し、RX モードとなり、図 5.8 の電圧の減りの傾きが小さい部分に相当する。RX モードにおいてセンサ端末で ID を認証すると、すぐに TX モードに移る。TX モードの方が RX モードよりも消費電力が大きいため、図 5.8 に示すように充電電圧の減りの傾きが急になる。

図 5.9 がセンサ端末の送信信号を VSA で測定した結果であり、データブロックおよび親機の受信機における変調精度を示している。変調精度は 4.3% 程度で、良好な SNR 特

D: Ch1 QPSK Syms/Errs					
EVM	= 4.2992	%rms	5.8753	%pk at sym	0
Mag Err	= 3.6239	%rms	-5.7905	%pk at sym	0
Phase Err	= 1.3307	deg	2.6159	deg pk at sym	3
Freq Err	= -7.8614	Hz	SNR(MER)	= 27.332	dB
IQ Offset	= -36.904	dB	Rho	= 0.99803	
Quad Err	= 12.628	deg	Gain lmb	= -0.029	dB

0	11001010	00000100	10101000	10
	ヘッダ (8bit)	温度センサデータ (10bit)	エンド (8bit)	

図 5.9: センサ端末の送信信号の VSA 測定結果



図 5.10: センサ端末から送られた温度データを親機の PC 上で確認する様子

性を示しており、データブロックも図 5.5 に示したように 10 bit の温度データがヘッダとエンドシーケンスに挟まれて送信されていることが確認できる。さらにバイナリの温度データを PC 内で処理し、実際の温度を表示したものが図 5.10 である。本研究で試作した 65 nm 全体チップを搭載した無線センサ端末を用いて、実際に温度センシングをデモンストレーションすることに成功した。

5.2 無線センサ端末の試作結果まとめ

表 5.1 に無線センサ端末の試作結果をまとめる。上り伝送速度は、目標の 10 Mb/s に達していないが、測定時に通信距離を短くとればさらなる高速通信も可能であると考え

られる。通信距離が、目標性能よりも著しく小さいのは、動作周波数帯、RF-EHの受信感度、親機の送信電力の三点が理由である。7mは、動作周波数が900MHz帯のものであり、本研究では5.8GHz帯のものまでしか試作できていない。またRF-EHの感度が目標の-12dBmより劣化し、-6dBm程度になってしまったことも原因の一つである。さらに親機の送信電力を36dBm EIRPを想定していたが、測定器の限界で19dBm EIRP程度までしか出力電力を上げられなかったことが、通信距離を小さくした要因である。最大スペクトラル効率目標としていた64QAMまでは届かず、32QAMまでだったために3.3b/s/Hzまでだが、今後親機の送信電力を上げることにより、TXに入力されるRF信号の振幅が大きくなり、64QAMまで対応できる可能性がある。最後にセンサ端末のサイズは0.4cm³と目標の四倍程度になったが、ボードレイアウトを改善、具体的には片面だけでなく両面に部品を実装することでさらなる小型化を図ることができると考えている。

図5.11にBackscattering型送信回路の消費電力とスペクトラル効率をISSCCで発表された低消費電力送信回路と比較した結果を示す。提案したBackscattering型送信回路は、低消費電力でありながら、他の論文と比較しても非常に高いスペクトラル効率を実現していることがわかる。

表 5.1: 無線センサ端末の試作結果まとめ

	目標	試作結果
最大伝送速度	下り: 100 kb/s, 上り: 10 Mb/s	下り: 100 kb/s, 上り: 2.5 Mb/s
最大通信距離	7 m	5 cm
動作周波数帯	5.8 GHz, 2.4 GHz, 900 MHz 帯	5.8 GHz
変調方式	下り: OOK, 上り: n-PSK, n-QAM	下り: OOK, 上り: n-PSK, n-QAM
最大スペクトラル効率	下り: 0.5 b/s/Hz, 上り: 4.0 b/s/Hz	下り: 0.5 b/s/Hz, 上り: 3.3 b/s/Hz
最大ストレージ容量	100 μ F	94 μ F
センサ端末サイズ	0.1 cm ³	0.4 cm ³

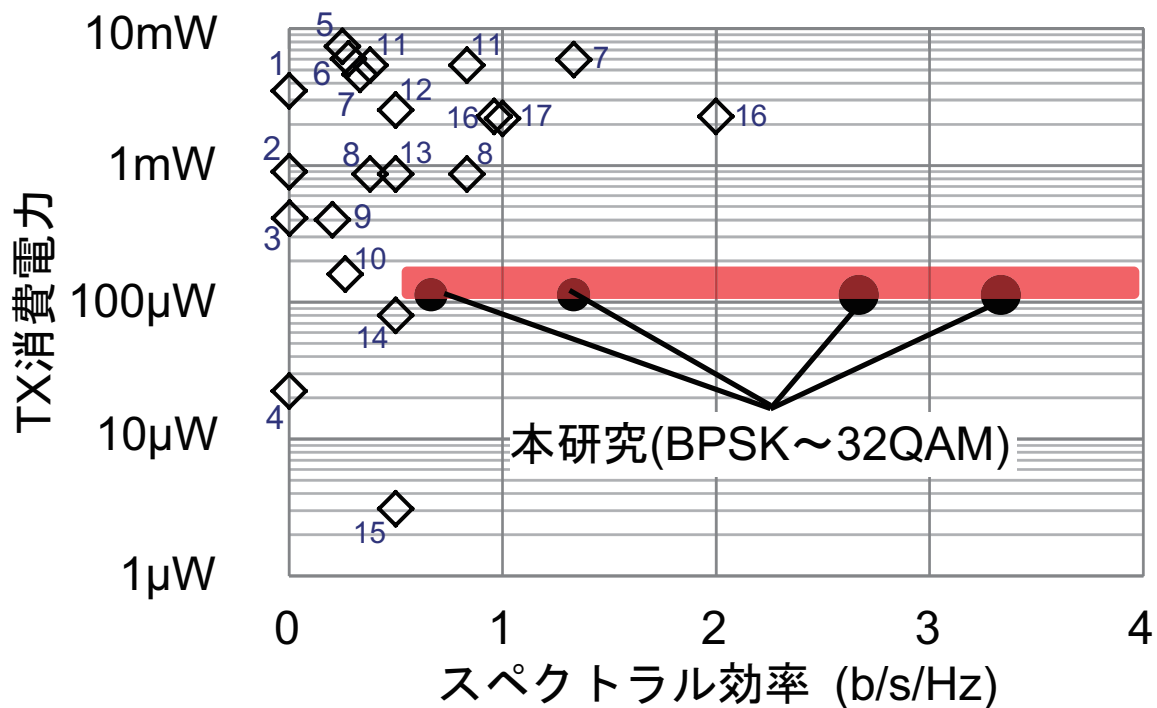


図 5.11: 本研究と ISSCC における低消費電力送信回路の比較 1: X. Wang, et al., ISSCC 2012 [57], 2: X. Huang, et al., ISSCC 2012 [59], 3: F. Chen, et al., ISSCC 2014 [51], 4: J. K. Brown, et al., ISSCC 2013 [54], 5: S. Geng, et al., ISSCC 2014 [50], 6: M. Flatscher, et al., ISSCC 2009 [64], 7: A. Wong, et al., ISSCC 2012 [61], 8: V. K. Chillara, et al., ISSCC 2014 [53], 9: S. Rai, et al., ISSCC 2009 [65], 10: F. Zhang, et al., ISSCC 2012 [60], 11: Y.-H. Liu, et al., ISSCC 2013 [55], 12: M. Vidojkovic, et al., ISSCC 2011 [63], 13: G. Papotto, et al., ISSCC 2012 [58], 14: H. Nakamoto, et al., ISSCC 2006 [66], 15: H. Reinisch, et al., ISSCC 2011 [62], 16: M. Vidojkovic, et al., ISSCC 2014 [52], 17: S.-J. Cheng, et al., ISSCC 2013 [56].

第6章 結論

6.1 まとめ

第一章においては、研究背景、目的について述べた。これまでの半導体産業の成長を振り返り、半導体産業の重要性について述べたのち、半導体の新たな適用先、そして社会課題解決の手段としてIoT、M2M、ワイヤレスセンサネットワークへの期待が高まっていることを述べた。2020年頃には、あらゆる場所にセンサ端末が存在し、ネットワークに接続されるセンサの数は一兆個を超えると予想されており、その際の課題として、大量のセンサ端末のメンテナンスコスト、および大量のデータ通信による電波資源の枯渇が挙げられる。本研究の目的を、一兆個センサ時代を切り拓く無線通信集積回路システムの追究と設定し、具体的な達成目標として、周波数利用効率の高いバッテリーレスセンサ端末の実現を目指すことを述べた。

第二章においては、無線センサ端末を含むシステムについて概要および目標仕様を示し、そのセンサシステム実現に向けた基礎となるアプローチについて述べた。バッテリーの代わりとなる電力源として、RF-EHを利用する。一つの親機からN個のセンサ端末にRF信号を用いて給電を行い、無線通信においては1対Nのスター型のトポロジーとする。センサデータを扱う上り方向では、最大で10 Mb/s、4.0 b/s/Hzの無線通信を目指す。目標達成にむけた基礎的なアプローチとなる異種機能集積および階層縦断アプローチのもと、三つの具体的な技術、キャリア供給変調技術、通信開始検知電源管理技術、チューナブルインピーダンス整合技術を提案した。

第三章においては、電力供給および電源管理を担う電源回路の設計、試作結果を示した。はじめに、RF-EHの原理確認のため試作した、ディスクリート部品で構成したRF-EHについて述べた。次に本研究の中心的な試作となるCMOS 65 nm全体チップにおける電源回路について述べた。65 nm全体チップの電源回路は、5.8 GHzのRF信号を利用して充電し、蓄えたエネルギーを利用して、安定な0.6 Vの電源電圧を生成することを試作結果より確認した。最後に、さらなる性能向上を目指したCMOS 180 nm電源チップの試作について述べた。180 nm電源チップでは、通信開始検知電源管理技術を適用し、充

電圧検知に加えて新たにRF-SDを搭載することで、通信の開始を考慮したセンサ端末の起動を可能にし、さらなるエネルギー利用効率および充電効率の向上を実現した。

第四章においては、インピーダンス整合回路を含む無線通信回路の設計、試作結果を示した。はじめに、低消費電力かつ高速・高スペクトラル効率を目指したキャリア供給型送信回路を提案し、試作結果を示した。キャリア供給型送信回路においては、キャリア供給変調技術に基づき、親機から来る電力供給用のRF信号をキャリア信号として再利用することで、高周波PLLを不要にし低消費電力化を図った。加えて、IF帯において、直交変調を実現することで、高精度かつ低消費電力でスペクトラル効率の高い高次の変調を実現することができた。次に、キャリア供給型送信回路の問題点を改善するBackscattering型送信回路の設計、および65 nm全体チップにおける試作結果を示した。Backscattering型送信回路では、新たにIF-based Quadrature Backscattering技術を提案することで、キャリア供給型送信回路の問題点であったアンテナ数および消費電力の増大を解決している。IF-based Quadrature Backscattering技術を利用することで、電力を消費するのがIF帯の回路のみとなり、113 μW の低消費電力で2.5 Mb/s, 32-QAMの高次変調を実現した。また、センサ端末の動作周波数拡大を目指し、MEMSプロセスを用いたチューナブルインピーダンス整合技術について述べ、新たに提案したプレーナ型ソレノイド形状をもつ可変インダクタを使用することで、動作周波数帯域の拡大の見込みが得られた。

第五章においては、第三章、第四章で述べた65 nm全体チップを用いて構成した無線センサ端末について述べた。無線センサ端末は、市販のマイコンで制御し、マイコン内部の温度センサで温度データを取得する。マイコンと65 nm全体チップの電源回路および無線通信回路を利用して、温度センサデータを採取するデモンストレーションを行い、試作したチップが無線センサ端末においてバッテリーレスで無線通信できることを確認した。また、無線センサ端末の試作結果をまとめ、目標仕様および先行研究に対する位置付けを述べた。

6.2 結論

本研究の目的は、一兆個センサ時代を切り拓く無線通信集積回路システムの追求である。異種機能集積および階層縦断的アプローチのもと生まれたキャリア供給変調技術、通信開始検知電源管理技術、チューナブル整合技術は、無線通信のバッテリーレス化および周波数利用効率の高い無線通信を実現することで、一兆個センサ時代の技術課題解決に大きく貢献する。

6.3 今後の展望

6.3.1 電源回路に関する展望

まず、第三章において述べた電源回路について、課題も含めた今後の展望について述べたい。

65 nm 全体チップにおける RF-EH は、5.8 GHz 帯で動作し、 -5.9 dBm の最小受信感度を測定結果より得たが、目標性能である -12 dBm から劣化してしまった。原因として、L 型のインピーダンス整合回路を構成するキャパシタが、ボード実装時に寄生容量により増加してしまったことを挙げた。今後、5.8 GHz 帯の RF-EH の最小受信感度を向上させ、通信距離を伸ばすために、インピーダンス整合回路の改良を行う必要がある。インピーダンス整合回路については、現在の L 型からさらに素子数を増やした Π 型にする等考えられるが、実装がさらに難しくなる。そこで、現在のローパス L 型からハイパス L 型に変更することで、寄生容量の影響を減らすことができると考えている。図 6.1 (a) にローパス L 型、(b) にハイパス L 型の整合回路を示す。図に示す通り、ローパス L 型では、寄生容量成分が直接インピーダンス変換比を決定するため、寄生容量の増加が変換比の低下を招き、そのことが電圧利得の低下につながり、最終的に RF-EH の最小受信感度を劣化させる。一方で、ハイパス L 型を利用することで、寄生容量成分をインダクタでキャンセルしながら、インピーダンス整合回路を構成できるため、寄生容量の増加に対して影響を受けにくいと言える。

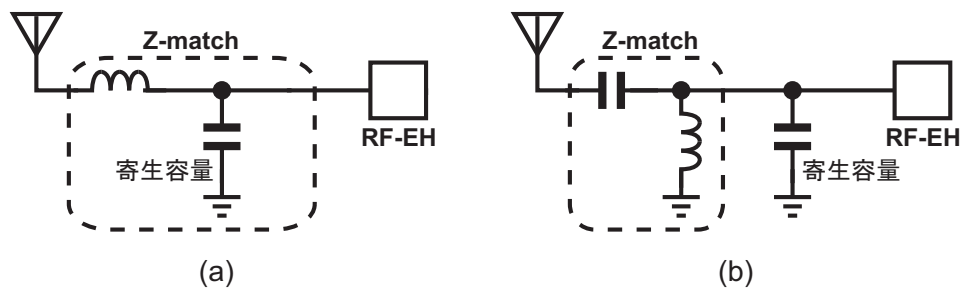


図 6.1: L 型インピーダンス整合回路 (a) ローパス L 型、(b) ハイパス L 型

図 6.2 に、これまでに発表された RF-EH および本研究の RF-EH の測定結果の入力電力に対する出力電力をプロットしたものを示す。RF-EH の発表はほとんどが 900 MHz 帯のものであるので、915 MHz で測定を行った 180 nm 電源チップの RF-EH と比較する。本研究は、目標仕様が最小受信感度が -12 dBm、そのときの負荷電力が約 120 nW と設定していたので、先行研究と比べて性能が優れているわけではない。しかし、本研究で

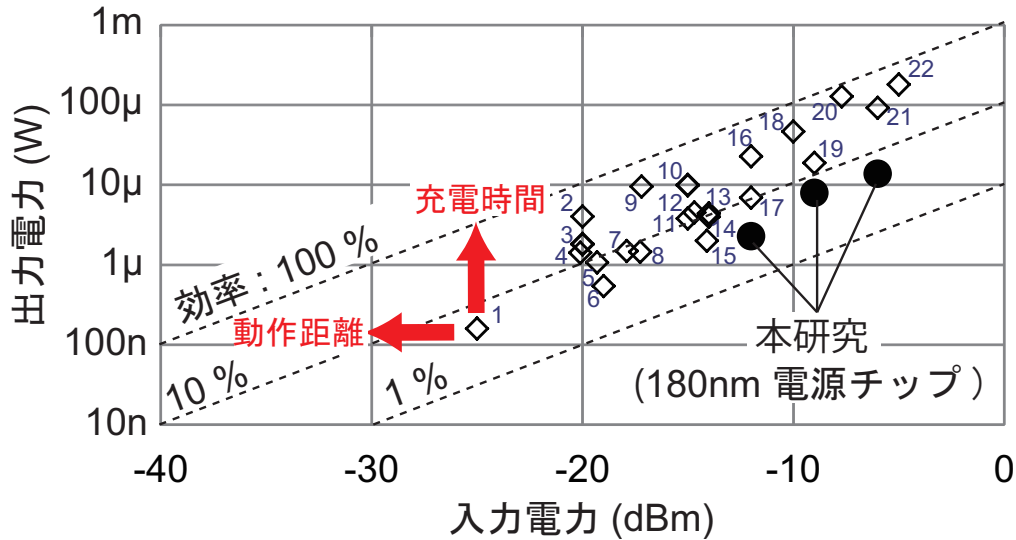


図 6.2: これまでに発表された RF-EH および本研究の RF-EH における、入力電力に対する出力電力 1, 10: [76], 2, 9, 20: [67], 3: [79], 4: [78], 5: [75], 6, 8, 13: [17], 7: [72], 11, 16, 22: [74], 12: [70], 14: [77], 15: [69], 17: [68], 18: [71], 19, 21: [73].

は、RF-EH だけでなく、無線通信回路を備え、アンテナ一つのみで給電から高次変調信号の送信まで行える点に優位性がある。

図 6.2 から、現在最も受信感度の良い RF-EH [76] では、 -25 dBm の受信電力から $160 \mu\text{W}$ 程度の電力を作り出すことができる。[76] において報告されている RF-EH では、差動の整流回路を利用し、さらにインピーダンス整合を自動でキャリブレーションする回路が含まれている。ただし、アンテナも含めた RF-EH の設計がなされており、アンテナのインピーダンスは標準の 50Ω ではない。

今後、本研究における RF-EH としては、二つの方向性があると考えている。図 6.2 の左方向に進展し、最小受信感度を向上させることで、動作可能距離を伸ばしていく方向である。もう一つは、図 6.2 の上方向に進展し、出力電力を増やすことで、ストレージ用キャパシタの充電時間を短くしていく方向である。もちろん、どちらかを上げれば、もう片方も向上はするはずである。しかし、設計において、ある最小受信感度における出力電力を向上させるように最適化していくのと、ある最小出力電力を達成する入力電力をより小さくするように最適化するのでは結果は異なるはずである。

本研究の今後の方向性としては、最小受信感度を向上させて、通信距離を伸ばす方向がより重要であると考えている。センサ端末の充電時間が長かったとしても、ある端末が充電している間に、他の端末が通信を行ったりと有効に充電時間を利用する方法はあ

る。一方で、通信距離に関しては、親機の最大の送信電力は基本的には法律で制限されており、通信距離を伸ばしていくには、最小受信感度の向上が最も有効である。さらに、将来的に最小受信感度が -40 dBm 程度まで小さくなれば、意図的に出力された RF 信号だけでなく、様々な無線機器が出力している意図的でないアンビエントな RF 信号を利用して給電できる可能性も見えてくる。ただしその際には、送信回路の性能が通信距離の律則要因となるので、送信回路の性能向上も必要である。

6.3.2 無線通信回路に関する展望

第四章において述べた、無線通信回路について課題も含めた今後の展望を述べたい。

まず、本研究で提案している無線通信と既存の無線通信の標準規格の対応関係について述べたい。表 6.1 に下り方向、表 6.2 に上り方向の標準規格との比較を示す。まず、下り方向の無線通信においては、900 MHz 帯においては一般社団法人 電波産業界 (ARIB) が定めている STD-T106 [80] が、5.8 GHz 帯においては Dedicated Short Range Communication (DSRC) として知られる STD-T75 [81] の規格が本研究に近い。本研究では、下り方向では、電力を供給するために 36 dBm 程度の親機の出力電力が必要であるが、STD-T106 においては、同電力の出力が可能で、STD-T75 では、アンテナゲインを 20 dBi としたときに 45 dBm EIRP の出力が可能である。変調方式に関しては、電力を供給する際には CW が望ましいが STD-T106 では対応可能であるが、STD-T75 においては、ASK もしくは $\pi/4$ QPSK 変調以外は対応していない。帯域幅に関しては双方の規格とも、十分な帯域幅が確保できる。

次に、上り方向の通信では、900 MHz 帯においては STD-T108 [82] が、5.8 GHz 帯においては下り同様 STD-T75 の規格が本研究に近い。送信電力に関しては、本研究の出力電力は -25 dBm 程度であるため、双方の規格に対して十分小さい。変調方式は、本研究では BPSK から 64QAM まで幅広い変調方式を所望しているが、STD-T108 においては変調方式の規定がないので問題ないが、STD-T75 では下り同様、ASK もしくは $\pi/4$ QPSK 変調以外は対応していない。帯域幅に関して、本研究は 64QAM 時に 10 Mb/s を実現するために、2.5 MHz の帯域幅が必要となるが、STD-T108 では 5 チャンネル分を連結しても 1 MHz の帯域幅しか確保できない。一方で、STD-T75 においては、4.4 MHz の帯域幅を確保できる。

本研究では、5.8 GHz 帯を中心に試作を進めてきた。これは、ひとつには、5.8 GHz から 900 MHz 帯へと開発した技術を応用するのは、周波数が下がるため、容易であろうと

考えたからである。また、表 6.2 に示すように、より幅広い帯域が確保でき、高速通信を実現することが可能であるためである。

表 6.1 と表 6.2 で示したように、現在の規格においては、本研究の無線通信に対応していない部分もある。しかし、無線規格は発展の途上であり、今後 STD-T108 の帯域幅が拡大したり、STD-T75 の変調方式の規定がさらなる高次の変調に対応したりするような変化は十分考え得る。本研究は、特定の無線通信の標準規格を目指して行ったものではないが、今後、無線規格の発展や、本研究を自体を発展させることにより、十分に規格に対応できると考えている。

表 6.1: 本研究と類似無線規格の比較 (下り方向: 親機からセンサ端末へ)

	周波数帯	送信出力	変調方式	帯域幅
本研究	0.9, 2.4, 5.8 GHz	36 dBm EIRP	CW, ASK	200 kHz
STD-T106	915–920 MHz	36 dBm EIRP	CW, ASK 他	600 kHz (3ch 結合)
STD-T75	5.775–5.805 GHz	45 dBm EIRP	ASK, $\pi/4$ QPSK	4.4 MHz

表 6.2: 本研究と類似無線規格の比較 (上り方向: センサ端末から親機へ)

	周波数帯	送信出力	変調方式	帯域幅
本研究	0.9, 2.4, 5.8 GHz	-25 dBm EIRP	64QAM 他	2.5 MHz
STD-T108	922–930 MHz	16 dBm EIRP	規定なし	1 MHz (5ch 結合)
STD-T75	5.815–5.845 GHz	15 dBm EIRP	ASK, $\pi/4$ QPSK	4.4 MHz

次に、本研究の中心とも言える送信回路について、本研究では、定めた目標仕様より、送信回路の出力電力が通信距離を律則することはなかった。しかし、前項の電源回路でも述べたようにこれから、RF-EH の最小受信感度が向上した際には、送信回路の出力電力が通信距離を決めることになる可能性もある。

送信回路の出力電力は、Backscattering 型送信回路では増幅することができないが、キャリア供給型では、出力部分のアンプで増幅することができる。しかし、キャリア周波数帯で増幅するのは、消費電力増大を招いてしまう。Backscattering 型送信回路の測定結果では、IF 入力電圧が 600 mVp-p、入力電力が -6 dBm のときに、出力電力が -28.6 dBm

であり、コンバージョンゲイン向上の余地は十分にあると考えられる。まず、RF-EHの部分でも述べたが、Backscattering型送信回路も同様に、インピーダンス整合回路における電圧利得が重要である。このことは、第四章の出力電力の測定結果とシミュレーション結果を比較した際にも述べており、整合回路をローパスL型からハイパスL型に変えることにより、QMODへの入力電圧振幅が増大し、出力電力も向上すると考えられる。

次に、本研究において、センサ端末の受信回路は、制御信号やIDを扱うため、OOK信号を復調し、データレート100 kb/sと仕様を決定した。ただ、本研究の1対Nのスター型の無線通信だけでなく、N対Nのメッシュ型の無線通信の要求があることも確かである。例えば脳波の計測のように比較的狭い範囲で多チャンネルの計測を行う際に、近接するセンサ端末同士がデータのやりとりをできることで、センサ端末同士が自身のデータだけでなく周りのデータも考慮し動作を決定することができる。このことにより、親機からの命令を待つだけでなく、自律的な動作をセンサ端末群で閉じた系において行うことができるようになる。

メッシュ型のネットワークを考えると、受信回路においても、消費電力、スペクトラル効率が重要になってくる。図6.3にこれまでに発表された低消費電力の受信回路のスペクトラル効率を示す。受信回路においても、送信回路と同様に、消費電力とスペクトラル効率の間にトレードオフ関係がある。

親機においては、低消費電力への要求が緩和されるため、図6.4に示すような一般的なダイレクトコンバージョン構成を利用できる。初段にLNAを搭載し、キャリア周波数帯からベースバンドまでダウンコンバートし、復調を行う。ただし、親機の受信回路においては、送信回路が30 dBmを出力しながら、復調動作を行う。それゆえデュプレクサを経由し50 dB程度送信出力が弱まったとしても-20 dBm程度の信号が存在し、LNAにおいては、それよりも余裕をとった1 dBコンプレッションポイントが必要である。さらに、LNA後段にBPFを挿入し、送信帯域の信号を弱めることで、ミキサの線形性の要求を緩和する必要がある。

メッシュネットワークのようなセンサ端末同士で無線通信を行う際には、受信回路を低消費電力で、高スペクトラル効率な無線通信を実現できるよう構成する必要がある。図6.4に示すように、本研究のBackscattering型送信回路と同様に、本来であれば妨害波になる親機からのRF信号 f_{RF} をローカル信号として利用し、送信信号 $f_{RF} + f_{IF}$ をIF周波数帯に落としてから、IF帯で復調を行うような構成が考えられる。もちろん、親機ほどのNFは得られず、イメージ等の対策が加えて必要であるが、初段のミキサはパッシブタイプで構成するので、キャリア周波数帯で動作するアクティブ回路を無くし、飛

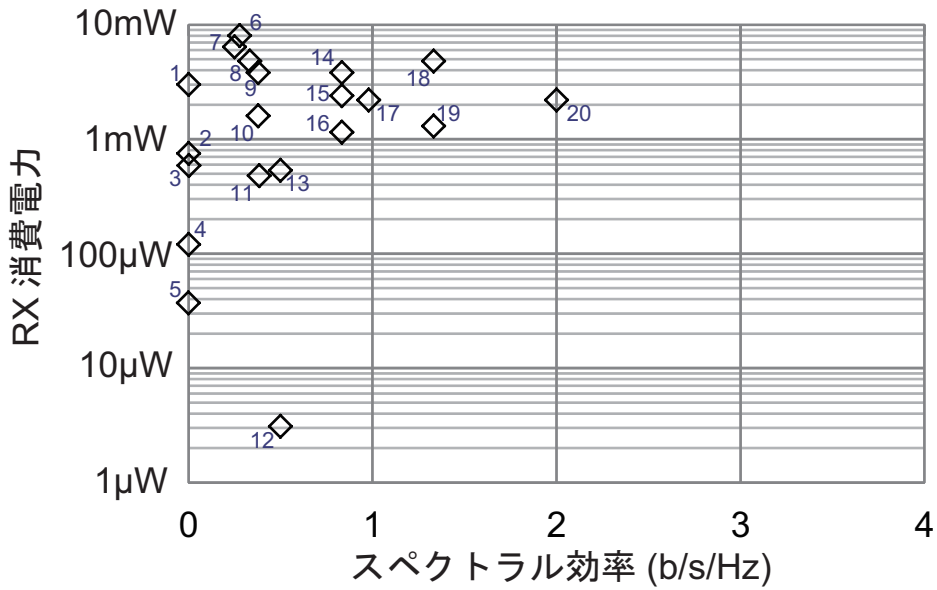


図 6.3: これまでに発表された受信回路の消費電力対スペクトラル効率 1: [90], 2: [88], 3: [83], 4: [91], 5: [54], 6: [64], 7: [50], 8, 18: [61], 9, 14: [55], 10: [89], 11: [58], 12: [62], 13: [63], 15: [85], 16: [84], 17, 20: [87], 19: [86].

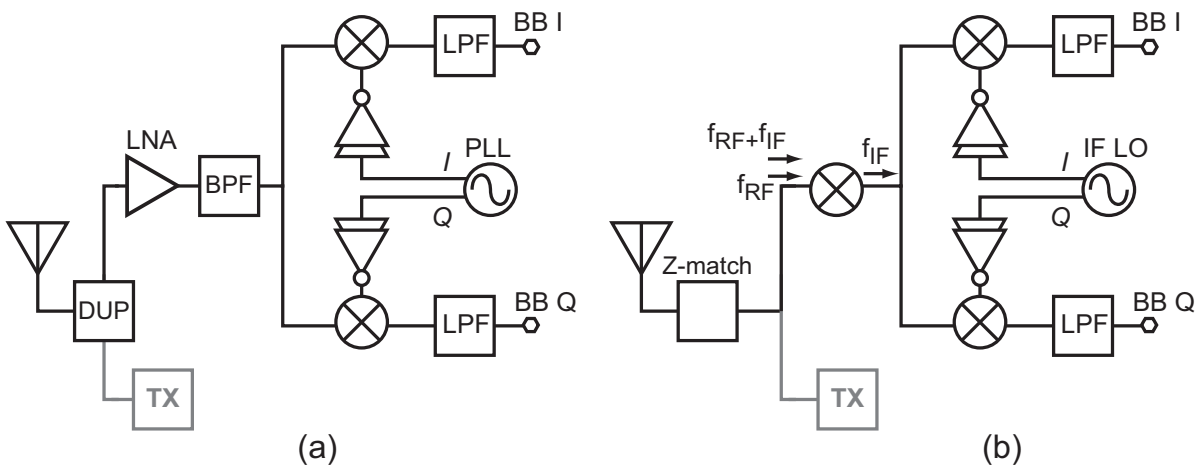


図 6.4: 受信回路構成 (a) 親機 (b) センサ端末同士で無線通信を行う際の低消費電力および高スペクトラル効率受信回路の構成

躍的な低消費電力化を実現できると考えられる。

6.3.3 無線センサ端末に関する展望

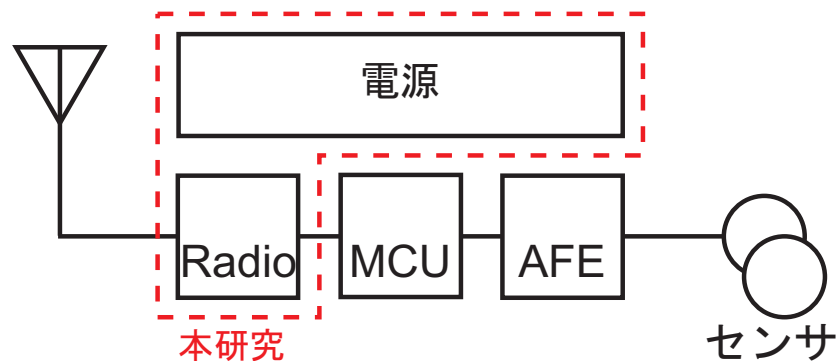


図 6.5: 無線センサ端末の構成ブロック

無線センサ端末は、図 6.5 に示すように、電源回路、無線通信回路、マイコン、アナログフロントエンド (AFE)、センサで構成することができる。本研究では、電源および無線通信に重点を置いて研究を行ってきた。

まず無線センサ端末全体の消費電力について考えたい。従来の無線センサ端末においては、RF トランシーバの電力がセンサ端末全体の消費電力の多くを占めていた。本研究において、RF トランシーバの送受ともに $100\ \mu\text{W}$ 程度の消費電力となり、従来の RF トランシーバよりも二桁程度の消費電力削減を実現した。またマイコンに関しては、論文発表レベルでは、Adaptive Voltage Scaling (AVS) やクロックゲーティング技術を用いることで、動作周波数 25 MHz、電源電圧 0.4 V で $7\ \mu\text{W}/\text{MHz}$ 、 $175\ \mu\text{W}$ のセンサ端末向け MCU が発表されている [92]。またセンサ回路に関しては、図 6.6 に示すように数十 μW のものが多く発表されている。センサ回路は、センサ自身も含め、アナログフロントエンド、ADC まで含まれており、マイコンに接続すれば使用できると考えられる。以上より、センサ端末を構成する各ブロックに関しては、論文レベルではミリワットを切るものが存在し、あるブロックが電力のボトルネックになるということはないと考えられる。

ただし、現状では、低電力マイコン [92] においてもコアの電圧は 0.4 V であるが、SRAM 等メモリの電圧は 1.2 V と低電源電圧化するのが困難であり、またアナログフロントエンドの電源電圧もまだ 1 V 程度の電源電圧のものが多い。しかし、本研究で提案した RF-EH を利用し、キャパシタに充電するようなシステムでは、電源電圧の低下は RF-EH の出力電圧の要求を緩和し、より低い電圧までストレージキャパシタの放電を行うことができる。そして、電源電圧を下げることは、回路の消費電力を下げる最も基本的なアプロー

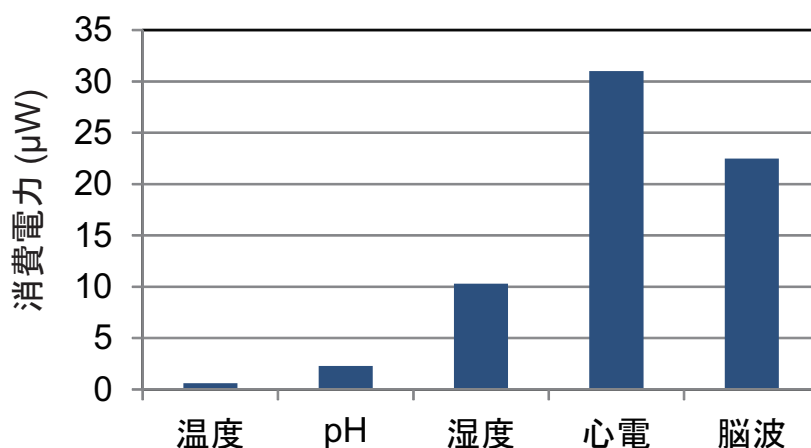


図 6.6: 各種センサ回路の消費電力 温度 [93], pH [94], 湿度 [95], 心電 [96], 脳波 [97]

チであり、消費電力の要求が厳しいセンサ端末用の回路においては、低電源電圧化は必要であり、今後進展していくと考えている。

次に、消費エネルギーについて、心電を 10 秒間計測することを例に考える。心電センサ [96] において、13bit の分解能、2 ミリ秒に一回計測することを考えると、10 秒間で 65 kbit のデータを取得する。データの取得は 20 マイクロ秒で行い、1 対 100 の間欠動作を行う。その 65 kbit のデータを 10 Mb/s で親機に送信すると理想的には 6.5 ミリ秒の送信時間となる。このときのエネルギー消費比率を図 6.7 に示す。図に示す通り、全体のエネルギー消費は 5.7 μJ 程度となり、本研究のストレージ用キャパシタが蓄えることのできる 33 μJ 以下で計測できる見込みが得られる。間欠動作は、長時間データを取得する際に、非常に重要な低消費エネルギー化の技術であるが、データを取得していないときでも、取得したデータを保持するための不揮発性メモリが必要となる。多くのマイコンはフラッシュメモリを混載しているが、低電圧化、低消費電力化に対して不利である。現在、様々な種類の次世代不揮発性メモリの研究が行われているが、書き換え回数および容量が犠牲になっても、低電圧動作、高速書き込み、低消費電力動作に特化するような不揮発性メモリがセンサ端末に求められている。

図 6.7 からわかるように、センサ回路およびマイコンのエネルギー消費の比率が、無線通信に比べ現状では大きくなりがちである。マイコンにおいて、さらにエネルギーを消費しないためにも、センサ端末ではデータ処理は行わず取得したままのデータをすぐに送信し、サーバー等でデータ処理を行うほうが良いと考えられる。また、センサ端末における演算は、演算時間および利用するエネルギーの質という点で不利である。図 6.8

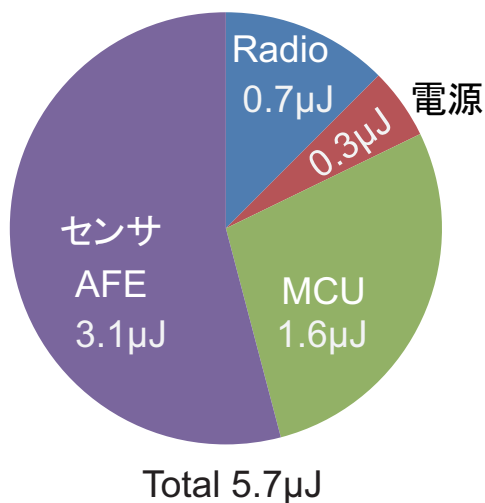


図 6.7: 心電計測のエネルギー消費比率

に示すように、演算処理チップの消費電力に対する演算能力は低電力マイコンやモバイルプロセッサ、サーバにおいても大きな違いはない。それゆえ、同じ量の演算をするのであれば、使用するエネルギーの量は変わらず、当然サーバ側で演算したほうが処理時間は短く、またセンサ端末における非常に限られた量のエネルギーで演算するより、安定してエネルギーを得られるサーバ側で演算するほうが良いと考えられる。

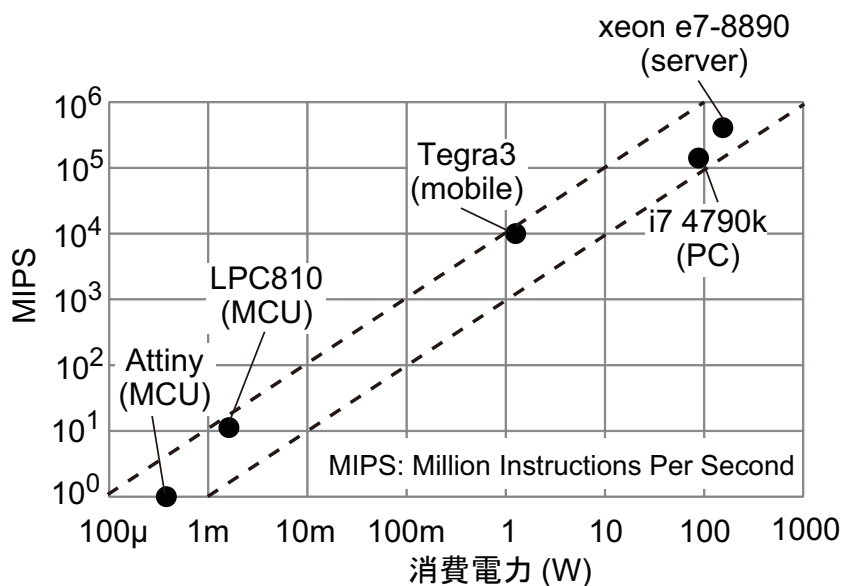


図 6.8: 消費電力に対する演算性能 (MIPS), Attiny [98], LPC810 [99], Tegra3 [100], i7 4790k [101], xeon e7-8890 [102].

最後に、今後の無線センサ端末用集積回路について考える。現在の無線センサ端末は、電源チップ、無線通信チップ、センサチップ、マイコンチップとそれぞれ個別のチップがボード上に実装されている。本研究においては、無線通信回路と電源回路を集積化し、一つのチップで実現した。本研究の基本的なアプローチの一つである異種機能集積アプローチは、無線通信回路と電源回路の集積化から生まれ、様々な機能を融合することで、バッテリーレス化や低消費電力化、高スペクトラル効率化を実現した。

今後さらに、マイコンおよびセンサ用アナログフロントエンドまでも集積化した SoC や SiP の開発が進んでいくことで、センサ端末は一つのチップと各種センサを接続するだけで構成可能となり、端末の小型化、低コスト化を推し進めていくと考えている。そして、より多くの機能が集積され、それら機能同士が融合することで、相乗的な性能向上および新たな価値の実現が図られ、一兆個以上のセンサ端末が我々の生活に溶け込む世界がやってくると考えている。

謝辞

本研究は、東京工業大学大学院総合理工学研究科物理電子システム創造専攻博士課程において益一哉教授のご指導とご鞭撻の下に行われたものであり、本研究を遂行するにあたり終始有益なご助言、数多くの研究発表の機会、なに不自由のない研究環境を頂けたことに心より感謝の意を示し、厚く御礼申し上げます。学部四年時より六年間にわたり、研究だけでなく、様々なものの見方、考え方を直接および間接的に学ぶことができたことは、非常に貴重な財産となりました。

石原昇教授には、研究に対する姿勢はもちろんのこと、アナログ回路の奥深さ、面白さを教えて頂きました。また研究ミーティングだけでなく、いつ相談に伺っても、常に親身になって相談に乗っていただきました。私の研究が、何度も行き詰まったときに、常に励まし支えてくださったことに心より感謝申し上げます。

伊藤浩之准教授には、大学と企業双方で培ってきた設計技術をはじめ、研究への取り組み方、論文の書き方など幅広く、深く教えて頂きました。また私の研究を深く理解していただき、議論させていただくことで、研究をより深めることができました。最後になりますが、伊藤先生が学会投稿を強く勧めてくださらなければ、荣誉ある学会において本研究を発表することができませんでした。心より感謝申し上げます。

本論文を作成するにあたり、有意義なご助言、ご指導をいただきました、植之原裕行教授、若林整教授、岡田健一准教授、横山道央准教授(山形大学)に感謝いたします。

後藤邦彦特任教授、町田克之連携教授、菅沼隆史研究員、道正志郎研究員、山根大輔助教には、ミーティングや節目節目の研究室の集まりにおいて、様々な興味深いお話をしていただき、視野を広めることができました。今後、増々のご活躍を祈願いたします。

STARC との共同研究を通して、有益なご助言をいただきました佐藤久恭客員研究員(ルネサス)、池田浩一客員研究員(ソニー)、松村宗明客員研究員(富士通)、伊藤謹司客員研究員(NEC)、桑原純夫上級研究員(STARC)、宇野雅弘客員研究員(ソニー)、山崎秀樹客員研究員(東芝)、池永佳史客員研究員(ルネサス)、岡本淳客員研究員(富士通セ

ミコンダクタ)、郡 俊平上級研究員 (STARC) に心より感謝致します。

大場 隆之教授には、学会や節目節目の集まりにおいて、大変お世話になりました。大場先生のお話は、常に興味深く、お話させていただくたび、非常に刺激を受けました。ここに感謝を申し上げるとともに、今後のさらなるご躍進を心より祈願いたします。

池田 翔氏 (本研究室博士課程 1 年) には、本研究を進め、考えをまとめるうえで非常に有益な議論をさせていただきました。蔣 浩氏 (現 DeNA)、方 一鳴氏、譚 昊イ氏 (現 Schlumberger)、伊部 泰貴氏 (本研究室修士課程 2 年) には、本研究の回路試作において大変助けていただきました。濱田 泰輔氏 (本研究室修士課程 2 年) には、本論文執筆において大変助けていただきました。本研究室の全てのメンバーに感謝を申し上げるとともに、今後の活躍を祈願いたします。

事務補助に限らずあらゆる面で親切なお心遣いをいただきました益子 智恵女史、本田 まり女史、長谷川 典子女史に心より感謝致します。

現在に至るまで何不自由なく育てていただき、大学卒業まで経済的に支えてくれた父 義和、母 晴美、姉 瞳、祖父 俊雄、祖母 ハマ子、祖母 藤田 ミチエに心より感謝いたします。

最後に、益研究室の更なるご跳躍とご発展を祈願致します。

参考文献

- [1] Intel HP, <http://www.intel.com/content/www/us/en/homepage.html>.
- [2] “iPhone 6 Technology,” Apple HP, <https://www.apple.com/iphone-6/technology/>.
- [3] “Technology Insight: Intel’s Next Generation 14nm Microarchitecture for Client and Server,” Intel HP IDF14 San Fransisco, https://intel.activeevents.com/sf14/connect/fileDownload/session/5710DFDCA6F6352FA512AF9CC26B9993/SF14_SPCS002_104f.pdf.
- [4] Gordon E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, no. 8, pp. 229–243, 1965.
- [5] R. H. Dennard, F. H. Gaensslen, H. Yu, V. L. Rideout, E. Bassous, and A. R. Leblanc, “Design of Ion-Implanted MOSFET ’ s with Very Small Physical Dimensions,” *IEEE J. Solid-State Circuits*, vol. 9, no. 5, pp. 256–267, 1965.
- [6] “More-than-Moore White Paper,” IRC, <http://www.itrs.net/Links/2010ITRS/IRC-ITRS-MtM-v2%203.pdf>.
- [7] 佐野昌, “岐路に立つ半導体産業—激変する海外メーカーの戦略と日本メーカーの取るべき選択,” 日刊工業新聞社, 2009.
- [8] “2014年秋季半導体市場予測について,” JEITA, <http://semicon.jeita.or.jp/statistics/docs/20141202WSTS.pdf>.
- [9] “NEC、ビッグデータ処理の高速化を実現するハードウェアを従来比 1/50 の期間で設計できる技術を開発～システムを停止せずに処理内容を変更可能～,” NEC グリーンプラットフォーム研究所, 2012, <http://jpn.nec.com/press/201208/images/3101-01-01.pdf>.

- [10] “Cisco VNI Service Adoption Forecast, 2013–2018,” *Cisco*, 2014, http://www.cisco.com/c/en/us/solutions/collateral/service-provider/vni-service-adoption-forecast/Cisco_VNI_SA_Forecast_WP.pdf.
- [11] “A trillion sensors is the equivalent of 150 sensors per human on earth,” <http://spb-global.com/uncategorized/trillion-sensors-equivalent-150-sensors-per-human-earth/>.
- [12] Y. Lee, S. Bang, I. Lee, Y. Kim, G. Kim, M. H. Ghaed, P. Pannuto, P. Dutta, D. Sylvester, and D. Blaauw, “A Modular 1 mm³ Die-Stacked Sensing Platform With Low Power I²C Inter-Die Communication and Multi-Modal Energy Harvesting,” *IEEE J. Solid-State Circuits*, vol. 48, no. 1, pp. 229–243, 2013.
- [13] R. Venkatasubramanian, C. Watkins, D. Stokes, J. Posthill, and C. Caylor, “Energy Harvesting for Electronics with Thermoelectric Devices using Nanoscale,” *Dig. Int. Electron Devices Meeting*, pp. 367–370, 2007.
- [14] T. Ogawa, R. Sugisawa, Y. Sakurada, H. Aoshima, M. Hikida, and H. Akaishi, “Energy Harvesting Devices Utilizing Resonance Vibration of Piezoelectric Buzzer,” *Jpn. J. Appl. Phys.*, vol. 52, pp. 09KD14-1–3, 2013.
- [15] H. Wu, L. Tang, Y. Yang, and C. K. Soh, “A Compact 2 Degree-of-Freedom Energy Harvester with Cut-Out Cantilever Beam,” *Jpn. J. Appl. Phys.*, vol. 51, pp. 040211-1–3, 2012.
- [16] Z. Cao, J. Zhang, and H. Kuwano, “Vibration Energy Harvesting Characterization of 1 cm² Poly(vinylidene fluoride) Generators in Vacuum,” *Jpn. J. Appl. Phys.*, vol. 50, pp. 09ND15-1–4, 2011.
- [17] G. Papotto, F. Carrara, and G. Palmisano, “A 90-nm CMOS Threshold-Compensated RF Energy Harvester,” *IEEE J. Solid-State Circuits*, vol. 46, no. 9, 2011.
- [18] “電子部品の信頼性,” 村田製作所, 2012, http://www.murata.co.jp/products/emicon_fun/2012/03/special_14.html?page=2.
- [19] 佐野昌, “半導体衰退の原因と生き残りの鍵,” 日刊工業新聞社, 2012.

- [20] J. F. Dickson, "On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique," *IEEE J. Solid-State Circuits*, vol. 11, no. 3, pp. 374–378, 1976.
- [21] S. Radiom, M. Beghaei-Nejad, K. Mohammadpour-Aghdam, G. A. E. Vandenbosch, L. - R. Zheng, and G. G. E. Gielen, "Far-Field On-Chip Antennas Monolithically Integrated in a Wireless-Powered 5.8-GHz Downlink/UWB Uplink RFID Tag in 0.18- μm Standard CMOS," *IEEE J. Solid-State Circuits*, vol. 45, no. 9, pp. 1746–1758, 2010.
- [22] G. Papotto, F. Carrara, A. Finocchiaro, and G. Palmisano, "A 90nm CMOS 5Mb/s crystal-less RF transceiver for RF-powered WSN nodes," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 452–454, Feb. 2012.
- [23] M. H. Ouda, M. Arsalan, L. Marnat, A. Shamim, and K. N. Salama, "5.2-GHz RF Power Harvester in 0.18- μm CMOS for Implantable Intraocular Pressure Monitoring," *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 5, pp. 2177–2184, 2013.
- [24] A. Ghahremani, V. D. Rezaei, and M. S. Bakhtiar, "A UHF-RFID Transceiver With a Blocker-Canceller Feedback and 30 dBm Output Power," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 11, pp. 3043–3054, Nov. 2013.
- [25] U. Kaiser, and W. Steinhagen, "A low-power transponder IC for high-performance identification systems," *IEEE J. Solid-State Circuits*, vol. 30, no. 3, pp. 306–310, 1995.
- [26] Y.-H. Liu, X. Huang, M. Vidojkovic, K. Imamura, P. Harpe, G. Dolmans, and H.D. Groot, "A 2.7 nJ/b multi-standard 2.3/2.4 GHz polar transmitter for wireless sensor networks," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 448–450, Feb. 2012.
- [27] S. J. Thomas, E. Wheeler, J. Teizer, and M. S. Reynolds, "Quadrature Amplitude Modulated Backscatter in Passive and Semipassive UHF RFID Systems," *IEEE Trans. Microw. Theory Tech.*, vol. 60, no. 4, pp. 1175–1182, 2012.
- [28] S. J. Thomas, and M. S. Reynolds, "A 96 Mbit/sec, 15.5 pJ/bit 16-QAM modulator for UHF backscatter communication," *IEEE International Conference on RFID*, pp. 185–190, 2012.

- [29] X. He, and J. van Sinderen, "A Low-Power, Low-EVM, SAW-Less WCDMA Transmitter Using Direct Quadrature Voltage Modulation," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3448–3458, 2009.
- [30] T. K. Nguyen, V. Krizhanovskii, J. Lee, S. K. Han, S. G. Lee, N. S. Kim, and C. S. Pyo, "Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- μm CMOS Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4062–4071, 2006.
- [31] J. L. Bohorquez, A. P. Chandrakasan, and J. L. Dawson, "A 350 μW CMOS MSK Transmitter and 400 μW OOK Super-Regenerative Receiver for Medical Implant Communications," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1248–1259, 2009.
- [32] J. Bae, L. Yan, and H.-J. Yoo, "A Low Energy Injection-Locked FSK Transceiver With Frequency-to-Amplitude Conversion for Body Sensor Applications," *IEEE J. Solid-State Circuits*, vol. 46, no. 4, pp. 928–937, 2011.
- [33] K. Kim, P. W. Coteus, D. Dreps, S. Kim, S. V. Rylov, and D. J. Friedman, "A 2.6 mW 370 MHz-to-2.5 GHz Open-Loop Quadrature Clock Generator," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, p. 458, 2008.
- [34] V. K. Varadan, K. J. Vinoy, and K. A. Jose, "RF MEMS and Their Applications," *RF MEMS and Their Applications*, Wiley, p. 183, 2003.
- [35] K. Nishikawa, K. Shintani, and S. Yamakawa, "Effects of Eddy Current on Characteristics of Spiral Inductors on Silicon," *Jpn. J. Appl. Phys.*, vol. 48, pp. 106502-1–106502-9, 2009.
- [36] Y. Yokoyama, T. Fukushige, S. Hata, K. Masu, and A. Shimokohbe, "On-Chip Variable Inductor Using Microelectromechanical Systems Technology," *Jpn. J. Appl. Phys.*, vol. 42, pp. 2190–2192, 2003.
- [37] V. M. Lubecke, B. Barder, E. Chan, D. Lopez, M. E. Cross, and P. Gammel, "Self-assembling MEMS variable and fixed RF inductors," *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 11, pp. 2093–2098, 2001.

- [38] I. Zine-El-Abidine, M. Okoniewski, and J. G. McRory, "A new class of tunable RF MEMS inductors," *Proc. Int. Conf. MEMS, NANO and Smart Systems*, pp. 114–115, 2003.
- [39] H. Sugawara, Y. Yoshihara, H. Ito, K. Okada, and K. Masu, "Wide-Range RF Variable Inductor on Si CMOS Chip with MEMS Actuator," *Proc. 34th European Microwave Conf.*, pp. 701–704, 2004.
- [40] Y. Mizuochi, S. Amakawa, N. Ishihara, and K. Masu, "Radio Frequency Micro Electro Mechanical Systems Inductor Configurations for Achieving Large Inductance Variations and High Q-factors," *Jpn. J. Appl. Phys.*, vol. 49, pp. 05FG02-1–3, 2010.
- [41] J. Kim and D. Peroulis, "Tunable MEMS Spiral Inductors With Optimized RF Performance and Integrated Large-Displacement Electrothermal Actuators," *IEEE Trans. Microwave Theory Tech.*, vol. 57, no. 9, pp. 2276–2283, 2009.
- [42] S. Chang, and S. Sivonththaman, "A Tunable RF MEMS Inductor on Silicon Incorporating an Amorphous Silicon Bimorph in a Low-Temperature Process," *IEEE Electron Device Lett.*, vol. 27, no. 11, pp. 905–907, 2006.
- [43] A. Shirane, Y. Mizuochi, S. Amakawa, N. Ishihara, and K. Masu, "A Study of Digitally Controllable Radio Frequency Micro Electro Mechanical Systems Inductor," *Jpn. J. Appl. Phys.*, vol. 50, pp. 05EE01-1–3, 2011.
- [44] P. Park, C. S. Kim, M. Y. Park, S. D. Kim, and H. K. Yu, "Variable inductance multi-layer inductor with MOSFET switch control," *IEEE Electron Device Lett.*, vol. 25, no. 3, pp. 144–146, 2004.
- [45] M. Rais-Zadeh, P. A. Kohl, and F. Ayazi, "MEMS Switched Tunable Inductors," *IEEE J. Microelectromech. Syst.*, vol. 17, no. 1, pp. 78–84, 2008.
- [46] D. Choi, H. S. Lee, and J. Yoon, "Linearly variable inductor with RF MEMS switches to enlarge a continuous tuning range," *Int. Solid-State Sensors, Actuators and Microsystems Conf.*, pp. 573–576, 2009.

- [47] J. E. Zekry, G. N. Daoud, H. A. Ghali, and H. F. Ragai, "Design and Simulation of Digitally Tunable High-Q On-chip Inductor," *Dig. Int. Conf. on Microelectronics*, pp. 239–242, 2007.
- [48] S. Jenei, B. K. J. C. Nauwelaers, and S. Decoutere, "Physics-Based Closed-Form Inductance Expression for Compact Modeling of Integrated Spiral Inductors," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 1, pp. 77–80, Jan. 2002.
- [49] "チップアンテナ 太陽誘電株式会社," Taiyo Yuden HP, <https://www.yuden.co.jp/jp/product/category/highfrequency/AH%20104N2450D1.html>.
- [50] S. Geng, D. Liu, Y. Li, H. Zhuo, W. Rhee, and Z. Wang, "A 13.3mW 500Mb/s IR-UWB transceiver with link-margin enhancement technique for meter-range communications," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 160–161, 2014.
- [51] F. Chen, Y. Li, D. Liu, W. Rhee, J. Kim, D. Kim, and Z. Wang, "A 1mW 1Mb/s 7.75-to-8.25GHz chirp-UWB transceiver with low peak-power transmission and fast synchronization capability," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 162–163, 2014.
- [52] M. Vidojkovic, X. Huang, X. Wang, C. Zhou, Ao Ba, M. Lont, Y.-H. Liu, P. Harpe, M. Ding, B. Busze, N. Kiyani, K. Kanda, S. Masui, K. Philips, and H. de Groot, "A 0.33nJ/b IEEE802.15.6/proprietary-MICS/ISM-band transceiver with scalable data-rate from 11kb/s to 4.5Mb/s for medical applications," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 170–171, 2014.
- [53] V. K. Chillara, Y.-H. Liu, B. Wang, Ao Ba, M. Vidojkovic, K. Philips, H. de Groot, and R. B. Staszewski, "An 860 μ W 2.1-to-2.7GHz all-digital PLL-based frequency modulator with a DTC-assisted snapshot TDC for WPAN (Bluetooth Smart and ZigBee) applications," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 172–173, 2014.
- [54] J. K. Brown, K.-K. Huang, E. Ansari, R. R. Rogel, Y. Lee, and D. D. Wentzloff, "An ultra-low-power 9.8GHz crystal-less UWB transceiver with digital baseband integrated in 0.18 μ m BiCMOS," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 442–443, 2013.

- [55] Y.-H. Liu, X. Huang, M. Vidojkovic, Ao Ba, P. Harpe, G. Dolmans, and H. de Groot, "A 1.9nJ/b 2.4GHz multistandard (Bluetooth Low Energy/Zigbee/IEEE802.15.6) transceiver for personal/body-area networks," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 446–447, 2013.
- [56] S.-J. Cheng, Y. Gao, W.-D. Toh, Y. Zheng, M. Je, and C.-H. Heng, "A 110pJ/b multichannel FSK/GMSK/QPSK/p/4-DQPSK transmitter with phase-interpolated dual-injection DLL-based synthesizer employing hybrid FIR," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 450–451, 2013.
- [57] X. Wang, Y. Yu, B. Busze, H. Pflug, A. Young, X. Huang, C. Zhou, M. Konijnenburg, K. Philips, and H. de Groot, "A meter-range UWB transceiver chipset for around-the-head audio streaming," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 450–452, 2012.
- [58] G. Papotto, F. Carrara, A. Finocchiaro, and G. Palmisano, "A 90nm CMOS 5Mb/s crystal-less RF transceiver for RF-powered WSN nodes," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 452–454, 2012.
- [59] X. Huang, Ao Ba, P. Harpe, G. Dolmans, H. de Groot, and J. Long, "A 915MHz 120 μ W-RX/900 μ W-TX envelope-detection transceiver with 20dB in-band interference tolerance," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 454–456, 2012.
- [60] F. Zhang, Y. Zhang, J. Silver, Y. Shakhsher, M. Nagaraju, A. Klinefelter, J. Pandey, J. Boley, E. Carlson, A. Shrivastava, B. Otis, and B. Calhoun, "A batteryless 19 μ W MICS/ISM-band energy harvesting body area sensor node SoC," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 298–300, 2012.
- [61] A. Wong, M. Dawkins, G. Devita, N. Kasparidis, A. Katsiamis, O. King, F. Lauria, J. Schiff, and A. Burdett, "A 1V 5mA multimode IEEE 802.15.6/bluetooth low-energy WBAN transceiver for biotelemetry applications," *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 300–302, 2012.
- [62] H. Reinisch, M. Wiessflecker, S. Gruber, H. Unterassinger, G. Hofer, M. Klamming, W. Pribyl, and G. Holweg, "A 7.9 μ W remotely powered addressed sensor node using

- EPC HF and UHF RFID technology with -10.3dBm sensitivity,” *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 454–456, 2011.
- [63] M. Vidojkovic, X. Huang, P. Harpe, S. Rampu, C. Zhou, Li Huang, K. Imamura, B. Busze, F. Bouwens, M. Konijnenburg, J. Santana, A. Breeschoten, J. Huisken, G. Dolmans, and H. de Groot, “A 2.4GHz ULP OOK single-chip transceiver for healthcare applications,” *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 458–460, 2011.
- [64] M. Flatscher, M. Dielacher, T. Herndl, T. Lentsch, R. Matischek, J. Prainsack, W. Pribyl, H. Theuss, and W. Weber, “A robust wireless sensor node for in-tire-pressure monitoring,” *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 286–287, 2009.
- [65] S. Rai, J. Holleman, J. N. Pandey, F. Zhang, and B. Otis, “A $500\mu\text{W}$ neural tag with $2\mu\text{V}_{\text{rms}}$ AFE and frequency-multiplying MICS/ISM FSK transmitter,” *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 212–213, 2009.
- [66] H. Nakamoto, D. Yamazaki, T. Yamamoto, H. Kurata, S. Yamada, K. Mukaida, T. Ninomiya, T. Ohkawa, S. Masui, and K. Gotoh, “A Passive UHF RFID Tag LSI with 36.6% Efficiency CMOS-Only Rectifier and Current-Mode Demodulator in $0.35\mu\text{m}$ FeRAM Technology,” *IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers (ISSCC)*, pp. 1201–1210, 2006.
- [67] H. Sun, Y.-X. Guo, M. He, and Z. Zhong, “Design of a High-Efficiency 2.45-GHz Rectenna for Low-Input-Power Energy Harvesting,” *IEEE Antennas and Wireless Propagation Letters*, vol. 11, pp. 929–932, Aug. 2012.
- [68] F. Kocer, M.P. Flynn, “A New Transponder Architecture With On-Chip ADC for Long-Range Telemetry Applications,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 5, pp. 1142–1148, May. 2006.
- [69] A. Shamel, A. Safarian, A. Rofougaran, M. Rofougaran, and F. De Flaviis, “Power Harvester Design for Passive UHF RFID Tag Using a Voltage Boosting Technique,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 6, pp. 1089–1097, Jun. 2007.

- [70] Y. Yao, J. Wu, Y. Shi, and F. F. Dai, "A Fully Integrated 900-MHz Passive RFID Transponder Front End With Novel Zero-Threshold RF-DC Rectifier," *IEEE Transactions on Industrial Electronics*, vol. 56, no. 7, pp. 2317–2325, Jul. 2009.
- [71] G.-C. Lin, M.-W. Lee, and Y.-C. Hsu, "An AC-DC Rectifier for RF Energy Harvesting System," *Asia-Pacific Microwave Conference Proceedings*, pp. 1052–1054, Dec. 2012.
- [72] T. Le, K. Mayaram, T. Fiez, "Efficient Far-Field Radio Frequency Energy Harvesting for Passively Powered Sensor Networks," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 5, pp. 1287–1302, May. 2008.
- [73] H. Nakamoto, D. Yamazaki, T. Yamamoto, H. Kurata, S. Yamada, K. Mukaida, T. Ni-nomiya, T. Ohkawa, S. Masui, and K. Gotoh, "A Passive UHF RF Identification CMOS Tag IC Using Ferroelectric RAM in 0.35- μm Technology," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 1, pp. 101–110, Jan. 2007.
- [74] S. Scorcioni, A. Bertacchini, and L. Larcher, "A 868MHz CMOS RF-DC Power Converter With -17dBm Input Power Sensitivity and Efficiency Higher Than 40% Over 14dB Input Power Range," *Proceedings of European Solid-State Circuits Conference*, pp. 109–112, Sep. 2012.
- [75] B. Li, X. Shao, N. Shahshahan, N. Goldsman, T. Salter, G. M. Metze, "An Antenna Co-Design Dual Band RF Energy Harvester," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 12, pp. 3256–3266, Dec. 2013.
- [76] M. Stoopman, S. Keyrouz, H. J. Visser, K. Philips, and W. A. Serdijn, "A Self-Calibrating RF Energy Harvester generating 1V at -26.3 dBm ," *Symposium on VLSI Circuits*, pp. C226–C227, Jun. 2013.
- [77] S. Scorcioni, L. Larcher, and A. Bertacchini, "Optimized CMOS RF-DC converters for remote wireless powering of RFID applications," *IEEE International Conference on RFID*, pp. 47–53, Apr. 2012.
- [78] U. Karthaus, and M. Fischer, "Fully Integrated Passive UHF RFID Transponder IC With 16.7- μW Minimum RF Input Power," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, pp. 1602–1608, Oct. 2003.

- [79] C. Mikeka, H. Arai, A. Georgiadis, and A. Collado, "DTV Band Micropower RF Energy-Harvesting Circuit Architecture and Performance Analysis," *IEEE International Conference on RFID-Technologies and Applications*, pp. 561–567, Sep. 2011.
- [80] 一般社団法人電波産業会, "構内無線局 920MHz 帯移動体識別用無線設備標準規格 ARIB STD-T106 1.0 版," http://www.arib.or.jp/english/html/overview/doc/1-STD-T106v1_0.pdf, 2012年2月14日.
- [81] 一般社団法人電波産業会, "狭域通信 (DSRC) システム 標準規格 ARIB STD-T75 1.5 版," http://www.arib.or.jp/english/html/overview/doc/1-STD-T75v1_5.pdf, 2008年12月12日.
- [82] 一般社団法人電波産業会, "920MHz 帯テレメータ用、テレコントロール用及びデータ伝送用無線設備標準規格 ARIB STD-T108 1.0 版," http://www.arib.or.jp/english/html/overview/doc/1-STD-T108v1_0.pdf, 2012年2月14日.
- [83] F. Chen, Y. Li, D. Liu, W. Rhee, J. Kim, D. Kim, and Z. Wang, "A 1mW 1Mb/s 7.75-to-8.25GHz Chirp-UWB Transceiver with Low Peak-Power Transmission and Fast Synchronization Capability," *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 162–163, Feb. 2014.
- [84] Z. Lin, P.-I. Mak, and R. Martins, "A 0.5V 1.15mW 0.2mm² Sub-GHz ZigBee Receiver Supporting 433/860/915/960MHz ISM Bands with Zero External Components," *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 164–165, Feb. 2014.
- [85] Y.-H. Liu, A. Ba, J.H.C. van den Heuvel, K. Philips, G. Dolmans, and H. de Groot, "A 1.2nJ/b 2.4GHz Receiver with a Sliding-IF Phaseto-Digital Converter for Wireless Personal/Body-Area Networks," *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 166–167, Feb. 2014.
- [86] J. Cheng, N. Qi, P.Y. Chiang, and A. Natarajan, "A 1.3mW 0.6V WBANCompatible Sub-Sampling PSK Receiver in 65nm CMOS," *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 168–169, Feb. 2014.
- [87] M. Vidojkovic, X. Huang, X. Wang, C. Zhou, A. Ba, M. Lont, Y.-H. Liu, P. Harpe, M. Ding, B. Busze, N. Kiyani, K. Kanda, S. Masui, K. Philips, H. de Groot, "A 0.33nJ/b

- IEEE802.15.6/Proprietary-MICS/ISMBand Transceiver with Scalable Data-Rate from 11kb/s to 4.5Mb/s for Medical Applications,” *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 170–171, Feb. 2014.
- [88] B. Vigraham, and P. Kinget, “A Self-Duty-Cycled and Synchronized UWB Receiver SoC Consuming 375pJ/b for -76.5 dBm Sensitivity at 2Mb/s,” *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 444–445, Feb. 2013.
- [89] F. Zhang, K. Wang, J. Koo, Y. Miyahara, and B. Otis, “A 1.6mW 300mV-Supply 2.4GHz Receiver with -94 dBm Sensitivity for Energy-Harvesting Applications,” *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 456–457, Feb. 2013.
- [90] X. Wang, Y. Yu, B. Busze, H. Pflug, A. Young, X. Huang, C. Zhou, M. Konijnenburg, K. Philips, and H. De Groot,, “A Meter-Range UWB Transceiver Chipset for Aroundthe-Head Audio Streaming,” *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 450–452, Feb. 2012.
- [91] X. Huang, A. Ba, P. Harpe, G. Dolmans, H. De Groot, and J. Long, “A 915MHz 120 μ W-RX/900 μ W-TX Envelope-Detection Transceiver with 20dB In-Band Interference Tolerance,” *IEEE International Solid-State Circuits Digest of Technical Papers*, pp. 454–456, Feb. 2012.
- [92] D. Bol, J. D. Vos, C. Hocquet, F. Botman, F. Durvaux, S. Boyd, D. Flandre, J. Legat, “SleepWalker: A 25-MHz 0.4-V Sub-mm² 7- μ W/MHz Microcontroller in 65-nm LP/GP CMOS for Low-Carbon Wireless Sensor Nodes,” *IEEE J. Solid-State Circuits*, vol. 48, no. 1, pp. 20–32, 2013.
- [93] K. Souri, Y. Chae, F. Thus, and K. Makinwa, “A 0.85V 600nW All-CMOS Temperature Sensor with an Inaccuracy of $\pm 0.4^{\circ}\text{C}$ (3σ) from -40 to 125°C ,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 222–223, Feb. 2014.
- [94] Y.-J. Huang, T.-H. Tzeng, T.-W. Lin, C.-W. Huang, P.-W. Yen, P.-H. Kuo, C.-T. Lin, and S.-S. Lu, “A Self-Powered CMOS Reconfigurable Multi-Sensor SoC for Biomedical Applications,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 4, pp. 851–866, Apl. 2014.

- [95] Z. Tan, R. Daamen, A. Humbert, Y.V. Ponomarev, Y. Chae, and M.A.P. Pertijs, “A 1.2-V 8.3-nJ CMOS Humidity Sensor for RFID Applications,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 10, pp. 2469–2477, Oct. 2013.
- [96] N.V. Helleputte, M. Konijnenburg, H. Kim, J. Pettine, D.-W. Jee, A. Breeschoten, A. Morgado, T. Torfs, H. de Groot, C.V. Hoof, and R.F. Yazicioglu, “A Multi-Parameter Signal-Acquisition SoC for Connected Personal Health Applications,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 314–315, Feb. 2014.
- [97] J. Xu, B. Busze, H. Kim, K. Makinwa, C.V. Hoof, and R.F. Yazicioglu, “A 60nV/ $\sqrt{\text{Hz}}$ 15-Channel Digital Active Electrode System for Portable Biopotential Signal Acquisition,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 424–425, Feb. 2014.
- [98] Atmel, “8-bit Microcontroller with 2K/4K/8K Bytes In-System Programmable Flash,” <http://www.atmel.com/Images/8183S.pdf>, 2012.
- [99] NXP Semiconductors, “32-bit ARM Cortex-M0+ microcontroller; up to 16 kB flash and 4 kB SRAM,” http://www.nxp.com/documents/data_sheet/LPC81XM.pdf, 22 Apr. 2014.
- [100] NVIDIA, “Tegra MOBILE PROCESSORS,” <http://www.nvidia.com/object/tegra-3-processor.html>.
- [101] intel, “Intel Core i7-4790K Processor (8M Cache, up to 4.40 GHz),” http://ark.intel.com/products/80807/Intel-Core-i7-4790K-Processor-8M-Cache-up-to-4_40-GHz.
- [102] intel, “Intel Xeon Processor E7-8890 v2 (37.5M Cache, 2.80 GHz),” http://ark.intel.com/products/75258/Intel-Xeon-Processor-E7-8890-v2-37_5M-Cache-2_80-GHz.

本研究に関する発表

学術論文誌

- [1] Atsushi Shirane, Yutaka Mizuochi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "A Study of Digitally Controllable Radio Frequency Micro Electro Mechanical Systems Inductor," *Japanese Journal of Applied Physics*, vol. 50, 05EE01 pp. 1–3, May 2011.
- [2] Atsushi Shirane, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "Planar Solenoidal Inductor in Radio Frequency Micro Electro Mechanical Systems Technology for Variable Inductor with Wide Tunable Range and High Q-factor," *Japanese Journal of Applied Physics*, vol. 51, 05EE02 pp. 1–4, May 2012.
- [3] Atsushi Shirane, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "An RF Energy Harvesting Power Management Circuit for Appropriate Duty-Cycled Operation," *Japanese Journal of Applied Physics* (to be published).

国際学会

- [1] Atsushi Shirane, Yutaka Mizuochi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "Digitally Controllable RF MEMS Inductor," *27th Annual Advanced Metallization Conference 2010 (AMC2010)*, 22shirane.pdf, Albany, NY, USA, Oct. 2010.
- [2] Atsushi Shirane, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "High Voltage Charge Pump Circuit in 0.18 μm CMOS Process for MEMS Electrostatic Actuators Controlling," *Integrated Circuits and Devices in Vietnam (ICDV) 2010*, pp. 17–19, Ho Chi Minh City, Vietnam, July. 2010.

- [3] Atsushi Shirane, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "RF MEMS Planar Solenoidal Inductor with Wide Tunability," *28th Annual Advanced Metallization Conference 2011 (AMC2011)*, 47shirane.pdf, San Diego, California, USA, Oct. 2011.
- [4] Atsushi Shirane, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A 21 V Output Charge Pump Circuit with Appropriate Well-Bias Supply Technique in 0.18 μm Si CMOS," *International SoC Design Conference 2011 (ISOCC 2011)*, pp. 28–31, Jeju, Korea, Nov. 2011.
- [5] Atsushi Shirane, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "RF MEMS Planar Solenoidal Inductor with Wide Tunability," *ADMETA plus 2011*, pp. 74–75, Tokyo, Japan, Sep. 2011.
- [6] Atsushi Shirane, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A Study on Integration of MEMS and CMOS with Applying Flip-chip Assembly in Wireless Applications," *Materials Research Society Spring Meeting*, San Francisco, USA, Apr. 2012.
- [7] Atsushi Shirane, Mototada Otsuru, Sang_yeop Lee, Shin Yonezawa, Satoru Tanoi, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A Process-Scalable RF Transceiver for Short Range Communication in 90 nm Si CMOS," *Radio Frequency Integrated Circuits (RFIC) Symposium*, Montreal, Canada, Jun. 2012.
- [8] Atsushi Shirane, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A Process-Scalable RF Transmitter Using 90nm and 65nm Si CMOS," *IEEE VLSI Design, Automation and Test (VLSI-DAT)*, Hsinchu, Taiwan, Apr. 2013.
- [9] Atsushi Shirane, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "An RF Energy Harvesting Power Management Circuit with Timing Detection," in *Proc. Int. Conf. on Solid-State Devices and Materials (SSDM 2014)*, Tsukuba International Congress Center, Sep. 2014.
- [10] Atsushi Shirane, Haowei Tan, Yiming Fang, Taiki Ibe, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A 5.8GHz RF-Powered Transceiver with a 113 μW 32-QAM Transmitter Employing the IF-based Quadrature Backscattering Technique," *IEEE International Solid-State Circuits Conference (ISSCC2015)*, San Francisco, USA, Feb. 2015.

口頭発表

- [1] 白根 篤史, 中野 和雄, 水落 裕, 天川 修平, 石原 昇, 益 一哉, "スケーラブル広帯域 RF QPSK 変調回路の検討", 電子情報通信学会 ソサイエティ大会, C-12-23, 新潟大学, Sep. 2009.
- [2] 白根 篤史, 天川 修平, 石原 昇, 益 一哉, "デジタルベーススケーラブル QPSK RF 変調回路", 電子情報通信学会総合大会, C-12-2, 東北大学, Mar. 2010.
- [3] 白根 篤史, 水落 裕, 天川 修平, 石原 昇, 益 一哉, "MEMS 円形アクチュエータを用いた RF 可変インダクタの検討", 第 57 回応用物理学関係連合講演会, 17p-B-13, 東海大学, Mar. 2010.
- [4] 白根 篤史, 石原 昇, 益 一哉, "四相差動リング発振回路を用いたスケーラブル RF QPSK 変調回路", LSI とシステムのワークショップ 2010, pp. 279-284, 北九州国際会議場, May 2010.
- [5] 白根 篤史, 水落 裕, 天川 修平, 石原 昇, 益 一哉, "RF MEMS N-bit 可変インダクタの実現に向けた構成の検討", 第 71 回応用物理学学会学術講演会, p. 13-241, 長崎大学, Sep. 2010.
- [6] 白根 篤史, 水落 裕, 天川 修平, 石原 昇, 益 一哉, "RF 可変受動素子実現に向けた All Metal MEMS 静電アクチュエータ," 電気学会センサ・マイクロマシン部門主催 第 27 回「センサ・マイクロマシンと応用システム」シンポジウム, pp. 1-4, くにびきメッセ, 島根, Oct. 2010.
- [7] 白根 篤史, 天川 修平, 石原 昇, 益 一哉, "MEMS 静電アクチュエータに向けた高電圧 CMOS チャージポンプ回路" 電子情報通信学会総合大会, p. 108, 東京都市大学, Mar. 2011.
- [8] 白根 篤史, 伊藤 浩之, 石原 昇, 益 一哉, "RF MEMS 高可変率インダクタの形状に関する検討", 第 72 回応用物理学学会学術講演会, p. 22-013, 山形大学, Aug. 2011.
- [9] 白根 篤史, 伊藤 浩之, 石原 昇, 益 一哉, "微細 CMOS プロセスを用いた MEMS 駆動用 26V 出力チャージポンプ回路", 第 2 種研究会・LSI とシステムのワークショップ 2012, 北九州国際会議場, Jun. 2012.

- [10] 白根 篤史, 伊藤 浩之, 石原 昇, 益 一哉, ”RF MEMS 回路と CMOS 集積回路のフリップチップ実装”, 第 59 回応用物理学関係連合講演会, p. 22-060, 早稲田大学, Mar. 2012.
- [11] 白根 篤史, 米澤 慎, 石原 昇, ”近距離通信用 65nm RF CMOS トランシーバ”, STARC シンポジウム 2013, 新横浜国際ホテル, Jan. 2013.
- [12] 白根 篤史, 伊藤 浩之, 石原 昇, 益 一哉, ”RF エナジーハーベスタにおけるインピーダンス変換回路に関する考察”, RF 研究会, 東京工業大学, Nov. 2013.

共著・論文

- [1] Sang yeop Lee, Tatsuya Kamimura, Shin Yonezawa, Atsushi Shirane, Sho Ikeda, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, ”A Multi-Band Quadrature Clock Generator With High-Pass-Filtered Pulse Injection Technique,” *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, vol. 23, no. 2, pp. 96–98, Feb. 2013.
- [2] Motohiro Takayasu, Atsushi Shirane, Sangyeop Lee, Daisuke Yamane, Hiroyuki Ito, Xiaoyu Mi, Hiroaki Inoue, Fumihiko Nakazawa, Satoshi Ueda, Noboru Ishihara, and Kazuya Masu, ”An 8-ch, 20-V Output CMOS Switching Driver with 3.3-V Power Supply for Integrated MEMS Devices Controlling,” *Japanese Journal of Applied Physics*, vol. 53, pp. 04EE13-1–8, 2014.

共著・口頭発表

- [1] 中野 和雄, 白根 篤史, 天川 修平, 石原 昇, 益 一哉, ”インジェクションロックを用いた CMOS QPSK RF 信号発生回路の検討”, 電子情報通信学会総合大会, 東北大学, Mar. 2010.
- [2] 米澤 慎, 金丸 法史, 白根 篤史, 李 尚曄, 大鶴 基格, 田野井 聡, 伊藤 浩之, 石原 昇, 益 一哉, ”スケーラブルトランシーバの研究”, STARC シンポジウム, p. 76, 新横浜国際ホテル, Feb. 2012.
- [3] 米澤 慎, 白根 篤史, 大鶴 基格, 李 尚曄, 田野井 聡, 伊藤 浩之, 石原 昇, 益一哉, ”近距離通信用 90nm Si CMOS プロセススケーラブル RF トランシーバ”, 電子情報通信学会エレクトロニクスソサイエティ大会, 富山大学, Nov. 2012.

- [4] 高安 基大, 白根 篤史, 李 尚曄, 山根 大輔, 伊藤 浩之, ミイ シャオユウ, 井上 広章, 中澤 文彦, 石原 昇, 益 一哉, "CMOS 技術による 8-ch 20-V 出力 MEMS ドライバ回路," 第 34 回アナログ RF 研究会, 東京工業大学, Nov. 2013.
- [5] 高安 基大, 白根 篤史, 李 尚曄, 山根 大輔, 伊藤 浩之, ミイ シャオユウ, 井上 広章, 中澤 文彦, 上田 知史, 石原 昇, 益 一哉, "MEMS 制御用高電圧 CMOS スイッチングドライバ回路," 第 5 回集積化 MEMS シンポジウム, 仙台国際センター, Nov. 2013.
- [6] 高安 基大, 白根 篤史, 李 尚曄, 伊藤 浩之, 石原 昇, 益 一哉, "MEMS スイッチ制御用昇降圧回路に関する研究," LSI とシステムのワークショップ, 北九州国際会議場, May. 2013.
- [7] Motohiro Takayasu, Atsushi Shirane, Sangyeop Lee, Daisuke Yamane, Hiroyuki Ito, Mi Xiaoyu, Hiroaki Inoue, Fumihiko Nakazawa, Satoshi Ueda, Noboru Ishihara, and Kazuya Masu, "An 8-ch, 20-V Output CMOS Switching Driver with 3.3-V Power Supply for Integrated MEMS Devices Controlling," *Proc. 2013 Int. Conf. on Solid State Devices and Materials (SSDM 2013)*, pp. 116-117, Hilton Fukuoka Sea Hawk, Fukuoka, Japan, Sep. 2013.
- [8] Hiroyuki Ito, Shoichi Masui, Youichi Momiyama, Atsushi Shirane, Motohiro Takayasu, Yoshihiro Yoneda, Taiki Ibe, Taisuke Hamada, Sho Ikeda, Daisuke Yamane, Noboru Ishihara, and Kazuya Masu, "2.3 pJ/bit Frequency-Stable Impulse OOK Transmitter Powered Directly by an RF Energy Harvesting Circuit with -19.5 dBm Sensitivity," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 13-15, Tampa Convention Center, USA, Jun. 2014.

受賞

- [1] 平成 23 年 物理電子システム創造専攻 中間発表 学生研究賞

