

論文 / 著書情報
Article / Book Information

題目(和文)	バックグラウンド補正付きフラッシュ型A/D変換器に関する研究
Title(English)	Study of Flash Analog-to-Digital Converters with Background Calibration
著者(和文)	塚本三六
Author(English)	Sanroku Tsukamoto
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第9935号, 授与年月日:2015年6月30日, 学位の種別:課程博士, 審査員:松澤 昭,益 一哉,高木 茂孝,岡田 健一,伊藤 浩之
Citation(English)	Degree:., Conferring organization: Tokyo Institute of Technology, Report number:甲第9935号, Conferred date:2015/6/30, Degree Type:Course doctor, Examiner:,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	論文要旨
Type(English)	Summary

論文要旨

THESIS SUMMARY

専攻： Department of	電子物理工学	専攻	申請学位（専攻分野）： 博士 Academic Degree Requested	（ 工学 ） Doctor of
学生氏名： Student's Name	塚本 三六		指導教員（主）： Academic Advisor(main)	松澤 昭 教授
			指導教員（副）： Academic Advisor(sub)	岡田健一 准教授

要旨（和文 2000 字程度）

Thesis Summary (approx.2000 Japanese Characters)

本論文は 1996 年から 2014 年にかけて発表された論文の内容を元に英文六章から構成される。

第一章「序論」では本研究の背景と動機について述べる。最初の論文が発表された頃の 1997 年から 2005 年、最近の研究結果が発表された 2006 年から 2014 年の二つの期間に分けて A/D 変換器の方式毎の性能分布を示し、フラッシュ型 A/D 変換器の技術トレンドを示すと共に、実アプリケーション側からの本研究の対象となった A/D 変換器に対する要求について述べる。その要求に対して A/D 変換の分解能、変換速度を向上とアナログ信号及び比較基準電圧への負荷軽減を同時に実現することを、本研究の主題としたことを述べている。

第二章「高速 ADC」は三節にて構成され、本研究の背景となる従来の高速 A/D 変換器の一般的な回路技術を解説する。第一節では A/D 変換器の性能指標について静特性、動特性に分けて述べる。第二節ではフラッシュ型 A/D 変換器の性能領域をカバーする可能性のある A/D 変換器の方式全般について、本研究で解決すべき課題として上げたアナログ信号、比較基準電圧、レイテンシーの観点から特徴と課題を示す。第三節ではフラッシュ型 A/D 変換器に使われる比較器に使われる手法として、比較器再分配、オフセット補償、アベレージング、補間回路技術について示す。他にフラッシュ型 A/D 変換器に絞り、バックエンドを構成するエンコーディング方式とキャリブレーション方法について、従来技術とその課題について研究背景を明確化した。

第三章「バックグラウンド補正付きフラッシュ ADC」は提案した各回路技術について四節に分けて述べ、本論文の中心となる。第一節では基本となる比較器の動作、特性と素子定数の関係、および問題点等を示し、アナログ信号及び比較基準電圧への負荷軽減のために比較器の動作モードを従来方式と逆の設定にする本研究の根幹となる設定の効果と課題を示す。第二節では本研究にて提案したフラッシュ ADC 中の各比較器のオフセット補償のためのバックグラウンドキャリブレーションについて述べる。第一節で示した比較器の動作モードを逆転させることによる発生する二つの課題、1) キャリブレーションのために A/D 変換を中断する必要があること、2) トラックアンドホールド (T/H) の機能が失われること、に対しての解決策を提案している。1) については比較器を必要数より一つ多く配置して冗長性を持たせ、その冗長性を利用してバックグラウンドで順次キャリブレーションを実行する。2) は増幅段の段間に双方向ダイオード接続の NMOS を挿入することにより、キャリブレーションのための利得を損なうことなく、出力振幅を制限することによって大入力信号からのリカバリ特性を改善している。さらに 1) を適用する場合の比較器の切り替えシーケンスについて 1996 年発表の設定の問題点を示し、その解決策としてキャリブレーションから通常動作に復帰する際に 2 クロックのアイドル期間を設定し解決している。第三節では第二節のバックグラウンドキャリブレーションの基本的な設定を元にさらに 1 ビット分解能を高めつつアナログ信号への負荷を 1/4 に軽減することを同時に実現するための比較器の回路構成、2 ビットの補間技術、プリアンプ段、ラッチ段、オフセット補償を述べる。特に本方式はサンプルアンドホールド機能がなく比較器の動特性が性能に影響するため、インパルス応答を用いた解析結果を示す。

第四章ではフラッシュ型 A/D 変換器のバックエンドとなるエンコーダ部のエラー検出と訂正機能について述べる。バイナリコードとグレーコードを組み合わせたコード形式と最下位ビットのグレーコードを分解して上位ビットとの論理処理によって比較器出力中のパルスエラーを検出し、更に訂正する機能を示す。これにより比較器に 2LSB 相当の誤判定が発生しても最も確からしい値に訂正が可能となることを示している。

第五章は本研究に関する試作チップの概要と測定結果を示す。バックグラウンドキャリブレーション制御クロックの周波数成分がスプリアスとして出現し、これを将来的な課題として提起している。一解決策としてバックグラウンドキャリブレーションを固定期間とせず、キャリブレーションが収束次第、次のステートに移る非同期のバックグラウンドキャリブレーション設定を Appendix3 に示した。

第六章「結論」では以上を総括するとともに、目的であったアナログ信号及び比較基準電圧への負荷が其々約 1/16、1/500 に軽減されることを示すと共に、本研究によって明らかになった課題と高速 A/D 変換器の今後の進化予測について述べる。

本論文は高速化実現のためのアナログ信号、比較基準電圧への負荷低減手法としてバックグラウンドキャリブレーションを採用した一解決手法を与えているが、フラッシュ型 A/D 変換器の回路技術、システム構成、キャリブレーション手法、サンプルアンドホールドの今後の技術動向について述べる。

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1 copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).

(博士課程)
Doctoral Program

論文要旨

THESIS SUMMARY

専攻 : Department of	電子物理工学	専攻	申請学位 (専攻分野) : Academic Degree Requested	博士 Doctor of	(工学)
学生氏名 : Student's Name	塚本 三六		指導教員 (主) : Academic Advisor(main)	松澤 昭	教授
			指導教員 (副) : Academic Advisor(sub)	岡田健一	准教授

要旨 (英文 300 語程度)

Thesis Summary (approx.300 English Words)

This thesis is configured with six chapters, on the bases of papers published from 1996 to 2014.

Chapter 1 explains the motivation of this work and background of the reason why relatively high resolution of few advantages for flash ADC is investigated, by showing requirements of HDD and DVD applications. The ADC performance mapping based on resolution versus input bandwidth and resolution versus power efficiency from 1997 to 2005 and 2006 to 2015 reveals the technical trend in high speed ADC region. The fundamental concept to reduce the loads, which swaps the operation mode between comparison and reset, is shown in this chapter. The outline as well as contribution of this thesis is also addressed.

Chapter 2 covers a general review of ADC architectures for high speed A/D conversion, focusing on analog input signal load, reference voltage load and latency. Fundamental technical terms for ADC which correspond to following chapters are also explained. A performance mapping in the latest technological trend based on ADC architecture, which corresponds to chapter 1, is shown to make the issues of flash ADC clear. Offset source, comparator offset canceling techniques and principles are analyzed by classifying each technique.

The design concept of the flash ADCs is explained and discussed in Chapter 3. In particular, the progress of background-calibration schemes based on auto-zeroing for cancelling a comparator's offset is described. Another offset-cancellation scheme incorporating with interpolation for background calibration is proposed. The following encoder block that incorporates error detection and correction is also described in chapter 4. The results of evaluation of a flash ADC test chip using the proposed scheme are presented in chapter 5. Finally, the thesis is concluded with a comparison of the proposed ADC design with performance benchmarks (namely, other state-of-the-art ADCs) and prospects for further research in Chapter 6.

備考 : 論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意 : 論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).