

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	A Software-Hardware Integration Framework for Multiprocessor System-On-Chip Based on Tightly-Coupled Thread Model
著者(和文)	KHANULLAH
Author(English)	ARIF ULLAH KHAN
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第9697号, 授与年月日:2014年12月31日, 学位の種別:課程博士, 審査員:一色 剛,國枝 博昭,西原 明法,上野 修一,高木 茂孝,伊藤 和人
Citation(English)	Degree; Conferring organization: Tokyo Institute of Technology, Report number:甲第9697号, Conferred date:2014/12/31, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

(2000字程度)

報告番号	乙 第 号	学位申請者	Khan, Arif Ullah	
論文審査員	氏 名	職 名	氏 名	職 名
	主査 一色 剛	准教授	西原 明法	教授
	國枝 博昭	教授	伊藤 和人 (埼玉大学)	准教授
	上野 修一	教授		
	高木 茂孝	教授		

本論文は、A Software-Hardware Integration Framework for Multiprocessor System-On-Chip Based on Tightly-Coupled Thread Model (マルチプロセッサシステム・オン・チップにおける密結合スレッドモデルに基づいたソフトウェア・ハードウェア集積化設計フレームワーク) と題し、英文6章から構成されている。

第1章 Introduction (緒言) では、回路規模の増大が年々顕著になっているシステム・オン・チップ (SoC) において、複数のプロセッサコアを搭載したマルチプロセッサSoCアーキテクチャ (MPSoC) が普及する中、演算処理能力、消費電力、プログラマビリティ (システム柔軟性) の要件を同時に満たすために、ソフトウェア実行部のマルチプロセッサ構成にハードウェアの専用演算ユニットを混載したハイブリッドMPSoCアーキテクチャへの拡張が進んでいることに着目し、その開発のための技術課題について述べている。ソフトウェア・ハードウェア混載プログラミングモデルの確立、プロセッサとハードウェアとの通信・同期方式、ハードウェア設計手法とシステム集積化手法、アーキテクチャ性能評価手法、アーキテクチャ探索手法、等の効率的設計手法の確立が必須であると指摘している。このような背景の下で、本論文はハイブリッドMPSoC開発のための「ソフトウェア・ハードウェア集積化設計フレームワーク」を提案し、その中で必要となる上述の設計手法の具体的実現方法を示すことで、プロセッサ群とハードウェア群を同一の計算・通信モデルとして設計検証する設計メソドロジーを確立し、提案する設計フレームワークの優位性を実証することが本論文の目的であると述べている。

第2章 Hybrid MPSoC Design Framework Based on Tightly Coupled Thread Model (密結合スレッドモデルに基づいたハイブリッドMPSoC設計フレームワーク) では、本論文で提案するハイブリッドMPSoCの設計手法の核となる密結合スレッドモデル (TCTモデル) について論じている。特にこのスレッドモデルが提供する、C言語をベースとした簡易な並列プログラミングモデルと並列処理における通信同期モデルは、ハイブリッドマルチプロセッサに拡張した場合でも極めて有効に機能し、ハードウェア (専用演算ユニット) とソフトウェア (プロセッサ) が混載したシステムにおいて、その動作の切り分けが明示的に記述できる点が特徴的であり、また、ソフトウェア・ハードウェアの実装手段に依存しない処理アルゴリズム記述法は、ハイブリッドMPSoCのアーキテクチャ探索・設計最適化を行う上で必要不可欠であることを述べている。

第3章 Hardware Accelerator Generation and Integration (ハードウェアアクセラレータ自動生成と自動集積化手法) では、ハイブリッドMPSoCの一種として、TCTモデルフレームワークが生成する分割された並列処理プログラム群の一部をアクセラレータと呼ばれるハードウェア演算回路で実現するSoC設計手法について述べている。スレッド単位に分割された処理プログラムから高位合成CADツールによってアクセラレータを自動生成し、生成されたアクセラレータ回路に通信同期回路を結合させることで、プロセッサと同一の通信インターフェースを持ち、ハイブリッドMPSoCの構成要素としての自律的なハードウェア専用演算ユニットを生成する回路合成手法を提案している。

第4章 Unified Performance Estimation Method for SW/HW Components (ソフトウェア・ハードウェア・コンポーネントの統一的な性能見積り手法) では、ハードウェアとソフトウェアが混載したシステムの実行性能 (演算処理時間) を極めて短期間でなおかつ高精度に行うための新たな手法について述べている。プログラム実行履歴情報を非常にコンパクトかつ簡素に記録するトレース方式である分岐履歴ビットストリームと、既知のプロセッサにおけるプログラムのワークロードモデル (実行サイクル情報) であるプログラムトレースグラフを特徴としたトレース駆動型ワークロードシミュレーション手法について説明し、この手法をハードウェア専用演算回路のモデリングに拡張するための状態マシン記述からプログラムトレースグラフへの変換手法や、TCTモデルにおける通信同期命令の状態遷移パターンの抽出方法等について述べている。この提案手法により、従来では長時間のRTLシミュレーションが必要とされていた実行性能見積りを極めて短時間で実行でき、様々なハードウェア・ソフトウェア割当の組合せからなるハイブリッドマルチプロセッサSoCアーキテクチャの効率的な性能評価が可能となるとし

ている。

第5章 Efficient Design Exploration Framework of SW/HW Systems Based on Tightly-Coupled Thread Model (密結合スレッドモデルに基づいたソフトウェア・ハードウェアシステムの効率的設計探索フレームワーク) では、第2章～第4章において提案したプログラミング手法、ハードウェア設計手法及び実行性能見積り手法を統合設計環境として組み込み、さらに、様々なシステム分割方法やハードウェア合成パラメータによって生成される膨大な設計空間を効率的に絞り込む手法を新たに提案することで、最適なシステム構成を短時間で生成できる設計探索手法を提案している。分割スレッドのハードウェア合成では、高位合成CADツールに与える合成パラメータを自動生成し、異なる回路規模・処理性能特性を持つハードウェアモジュールを複数生成することでシステムレベルでの広い設計空間を生成した後、システム全体の回路規模・処理性能特性の最適トレードオフ曲線を効率的に導出する手法について述べている。実験結果では、従来のRTLシミュレーションによる設計空間探索に比べ、約5000分の1の計算時間で実行性能を評価し、平均2.8%の性能見積り誤差精度を達成した設計例を示している。

第6章 Conclusions (結言)では、本論文で得られた成果をまとめ、ハイブリッドマルチプロセッサSoC設計集積化に向けて残された課題について述べている。

以上を要するに、本論文はマルチプロセッサ構成とハードウェア専用演算回路を混載したハイブリッドMPSoCアーキテクチャの設計最適化手法を対象として、ソフトウェア・ハードウェア混載プログラミングモデルの確立、ハードウェア設計手法とシステム集積化手法、高速なアーキテクチャ評価手法、並びに効率的なアーキテクチャ探索手法をそれぞれ考案し、従来手法に比べ極めて短い計算時間で高い精度のアーキテクチャ性能見積りを達成することで極めて実用的なシステム設計メソドロジーを構築したものであり、工学上および学術上貢献することが大きい。よって、我々は本論文が博士(学術)の学位論文として十分価値があるものと認める。