

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	Design of Ultra-Low-Voltage High-Speed Analog-to-Digital Converters
著者(和文)	Lin, James Tzu-Chin
Author(English)	James Lin
出典(和文)	学位:博士（学術）, 学位授与機関:東京工業大学, 報告番号:甲第9669号, 授与年月日:2014年9月25日, 学位の種別:課程博士, 審査員:松澤 昭,益 一哉,高木 茂孝,岡田 健一,伊藤 浩之,大畠 賢一
Citation(English)	Degree:, Conferring organization: Tokyo Institute of Technology, Report number:甲第9669号, Conferred date:2014/9/25, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

論文審査の要旨及び審査員

報告番号	甲第		号	学位申請者氏名		LIN James Tzu-Chin	
論文審査 審査員		氏 名		職 名		氏 名	職 名
	主査	松澤 昭		教授		伊藤 浩之	准教授
	審査員	益 一哉		教授	審査員	大畠 賢一	鹿児島大学 准教授
		高木 茂孝		教授			
		岡田 健一		准教授			

論文審査の要旨（2000 字程度）

本論文は“Design of Ultra-Low-Voltage High-Speed Analog-To-Digital Converters（超低電圧・高速 A/D 変換器設計）”と題し、英文 7 章からなっている。

第 1 章“Introduction to Ultra-Low-Voltage Analog Circuit Design（序論：超低電圧アナログ回路設計）”では、本研究の背景と目的および本論文の構成が述べられている。CMOS プロセスの微細化に伴い電源電圧が低下し、2025 年前後では 0.55V まで電源電圧が下がること、これに伴いアナログ回路の設計が極めて困難になることを論じている。

第 2 章“Ultra-Low-Voltage High-Speed Design Strategy（超低電圧・高速回路設計指針）”では、低電圧の A/D 変換器の性能指標をこれまで使用されてきた変換エネルギーに代り変換エネルギーと変換速度を考慮した FD 積を用いることを提案している。更にこれまでのアナログ回路の基本構成である電流型の増幅回路から電荷型のダイナミック型増幅回路に転換する必要があることや、時間領域信号処理技術やデジタル補償技術の活用の有効性について論じている。

第 3 章“Discrete-Time Charge-Steering Dynamic Amplifier（離散時間電荷型ダイナミック増幅器）”では、提案する電荷型のダイナミック型増幅器について、その構成と動作原理、得られた性能について詳細に論じている。従来の電流型の増幅器に比べ 0.5V 程度の超低電圧動作においてより広い信号振幅を実現できるほか、消費電力がクロック周波数に比例するため、低いクロック周波数において消費電力をより低減できることを示している。

第 4 章“High-Speed Flash ADC Using All-Digital Time-Domain Delay Interpolation（完全デジタル時間領域遅延時間補間を用いた高速フラッシュ A/D 変換器）”では、従来の電流型に代えて電荷型のダイナミック型比較器、これまでのバクタに代えて広い可変容量範囲を実現した MOM 容量、ダイナミック増幅器とフリップフロップを用いた時間領域遅延時間補間技術、フォワードボディバイアス技術などを用いたフラッシュ A/D 変換器を設計試作している。シングルチャネルで、それまでの 60MSps に比べ 3 倍以上高速の 210MSps の高速変換を実現し、FD 積を約 1/19 に低減させうることを実証している。

第 5 章“Interpolated Pipeline ADC Using Dynamic Amplifiers（ダイナミック型増幅器を用いた補間パイプライン型 A/D 変換器）”では、高利得で広帯域な演算増幅器が必要なパイプライン型 A/D 変換器は低電圧化に伴い演算増幅器の性能が劣化し、十分な性能が得られないという課題があることを示している。そこで対策として従来の演算増幅器に代え低電圧動作に適したダイナミック型増幅器を用い、精度劣化に対しては絶対精度が不要な補間パイプライン技術を用いた A/D 変換器を提案している。分解能 7 ビットで変換速度 160MSps と高速な低電圧 A/D 変換器を実現している。変換速度は従来の 16 倍に向上させ、FD 積を 1/2 に低減している。

第 6 章“Digitally Interpolated Pipelined-SAR ADC Using Dynamic Amplifier（ダイナミック型増幅器を用いたデジタル補間 SAR パイプライン型 A/D 変換器）”では、低電力特性に優れた SAR 型 A/D 変換器を用いたパイプライン型 A/D 変換器とダイナミック増幅器で構成し、更に補間を新規なデジタル技術により実現することで、分解能 9 ビットで低い FD 積の A/D 変換器を設計試作している。

第 7 章“Conclusion and Future Works（結論と今後の課題）”では、本論文のまとめ、低電圧化のための設計指針と、それにより 0.5V 程度の低電圧動作において変換速度を向上させ、FD 積を大幅に低減させたことが述べられている。以上を要するに本論文は 0.5V 程度の低電圧動作の A/D 変換器の性能向上と消費エネルギーの低減を図るための設計技術について論じたもので、工学上、学術上貢献するところが大きい。よって我々は本論文が博士(学術)の学位論文として十分に価値があるものと認める。

注意：「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。