

論文 / 著書情報
Article / Book Information

題目(和文)	高周波アナログ回路の低ノイズ化に関する研究
Title(English)	
著者(和文)	荒井知之
Author(English)	Tomoyuki Arai
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10002号, 授与年月日:2015年9月25日, 学位の種別:課程博士, 審査員:益 一哉,植之原 裕行,若林 整,石原 昇,岡田 健一,伊藤 浩之
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10002号, Conferred date:2015/9/25, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

博士学位論文

高周波アナログ回路の
低ノイズ化に関する研究

東京工業大学大学院総合理工学研究科

物理電子システム創造専攻

指導教員 益 一哉 教授

荒井 知之

2015 年 9 月

目次

1	序論.....	1
1.1	無線通信システム.....	1
1.2	無線通信用端末	4
1.3	本研究の目的	12
1.4	本論文の構成	13
	参考文献	15
2	デバイス低ノイズ化のための低抵抗電極形成技術	17
2.1	はじめに.....	17
2.2	オーム性接触形成法.....	19
2.3	信頼性	21
2.4	p 型 GaN への電極材.....	22
2.4.1	酸素中熱処理.....	22
2.4.2	金属原子による水素原子除去.....	23
2.4.3	電極材料の信頼性	26
2.4.4	考察.....	36
2.5	n 型 InAlAs への電極材	41
2.5.1	実験方法.....	43
2.5.2	実験結果.....	44
2.5.3	考察.....	48
2.5.4	現在の電極材との比較.....	50

2.6	まとめ	51
	参考文献	54
3	高周波デバイスの低ノイズ化技術	59
3.1	はじめに.....	59
3.2	デバイスの高周波特性	60
3.3	デバイスのノイズ特性.....	61
3.4	プレーナ型 InP HEMT デバイス	63
3.5	ドレインコンダクタンスの周波数分散	64
3.5.1	デバイス作成方法	64
3.5.2	評価結果.....	65
3.5.3	周波数分散モデル	68
3.6	ノイズ特性	72
3.6.1	デバイス作成方法	72
3.6.2	評価結果.....	74
3.6.3	ノイズ生成モデル	77
3.7	まとめ	80
	参考文献	82
4	高周波アナログ回路の低ノイズ化回路設計技術	87
4.1	はじめに.....	87
4.2	高周波送信回路	92
4.2.1	可変増幅器.....	93
4.2.2	ミキサ.....	101

4.2.3	ドライバースンプ	102
4.2.4	WiMAX 送信回路	112
4.3	位相誤差補正発振回路	116
4.3.1	IQ 信号生成法	116
4.3.2	自己補正 Quadrature VCO の回路構成	118
4.3.3	差動 LC VCO	118
4.3.4	位相誤差補正ループ	121
4.3.5	レイアウト	127
4.3.6	評価結果	127
4.4	まとめ	131
	参考文献	133
5	結論	135
5.1	研究の総括と結論	135
5.2	将来展望	139
	参考文献	143
	謝辞	149
	研究業績	150
	Appendix	154
A.1	雑音	154
A.1.1	熱雑音	154
A.1.2	ショット雑音	155
A.1.3	ドレインコンダクタンス周波数分散起因雑音	156

A.1.4	フリッカ(1/f)雑音	156
A.1.5	生成再結合雑音	157
A.2	接触抵抗値	158
A.2.1	比接触抵抗値 ρ_c	158
A.2.2	Four-terminal (Kelvin) resistor 法	159
A.2.3	TLM(Transmission Line Model)法	159
A.2.4	抵抗率 ρ_c^*	164
A.3	半導体デバイスの遮断周波数	165
A.4	2000 年代の CMOS, III-V 半導体の NF_{min}	166
A.5	トランジスタ 1 ゲート当たりのコスト	167
A.6	集積度	168
A.7	NF_{min}	169
	参考文献	170

1 序論

1.1 無線通信システム

様々な無線通信システムの中で、個人が日常生活の中で用いている方式には次の二つがあげられる。図 1-1 の無線通信システムの通信速度の変遷とその二つの分類に示すように、一つは、携帯電話に代表される回線交換網を用いた無線通信方式である。1980 年代から始まったアナログ通信方式の第一世代移動通信システム、90 年代からはデジタル通信方式を用いた第二世代のシステムが登場した。2000 年に入ると IMT-2000 規格 [1-1] に準拠した第三世代がはじまり、近年では 3 GPP [1-2] が策定した LTE 方式の通信方式も始まり、日本では、最高通信速度は 75 Mbps に到達している。今後さらに LTE 方式を改良した LTE Advanced では、MIMO 技術、異なるキャリア周波数を同時に使う carrier aggregation により、理論上の最大通信速度 3 Gbps に到達する予定である。特に、LTE からは全世界で使えることを目標に仕様が策定されている。もう一つの通信方式である WiFi などの IP 網を利用した無線通信は、2000 年ごろから普及し始め、近年では LTE 方式に先駆けて IEEE802.16 [1-3] が策定した WiMAX 方式により、2011 年から 40 Mbps に到達している。WiFi も 4G と同様の技術により 1 Gbps を超える速度を実現する予定である。

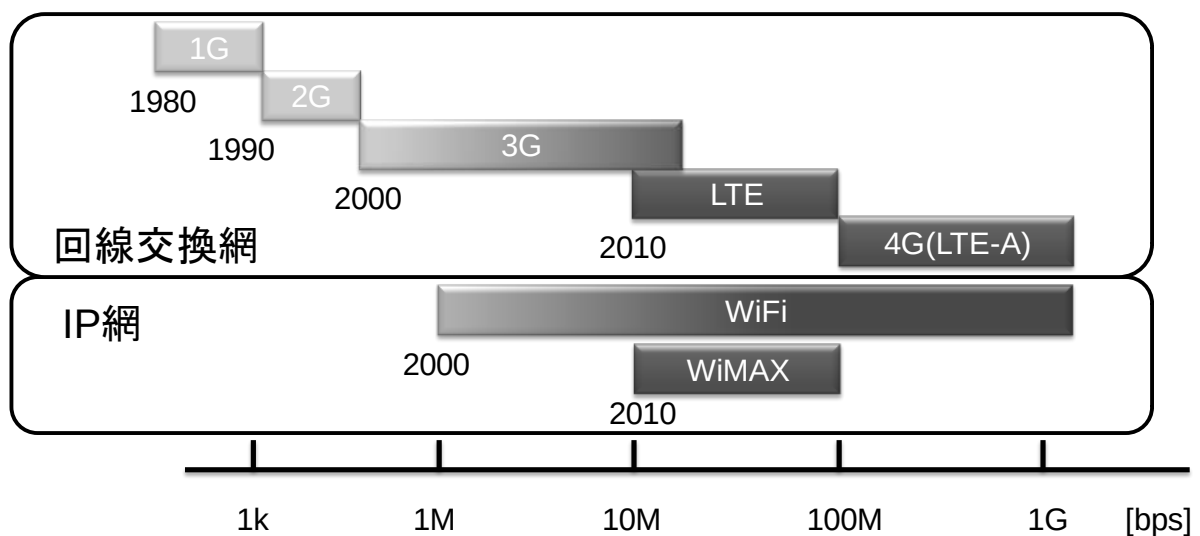


図 1-1 無線通信システム

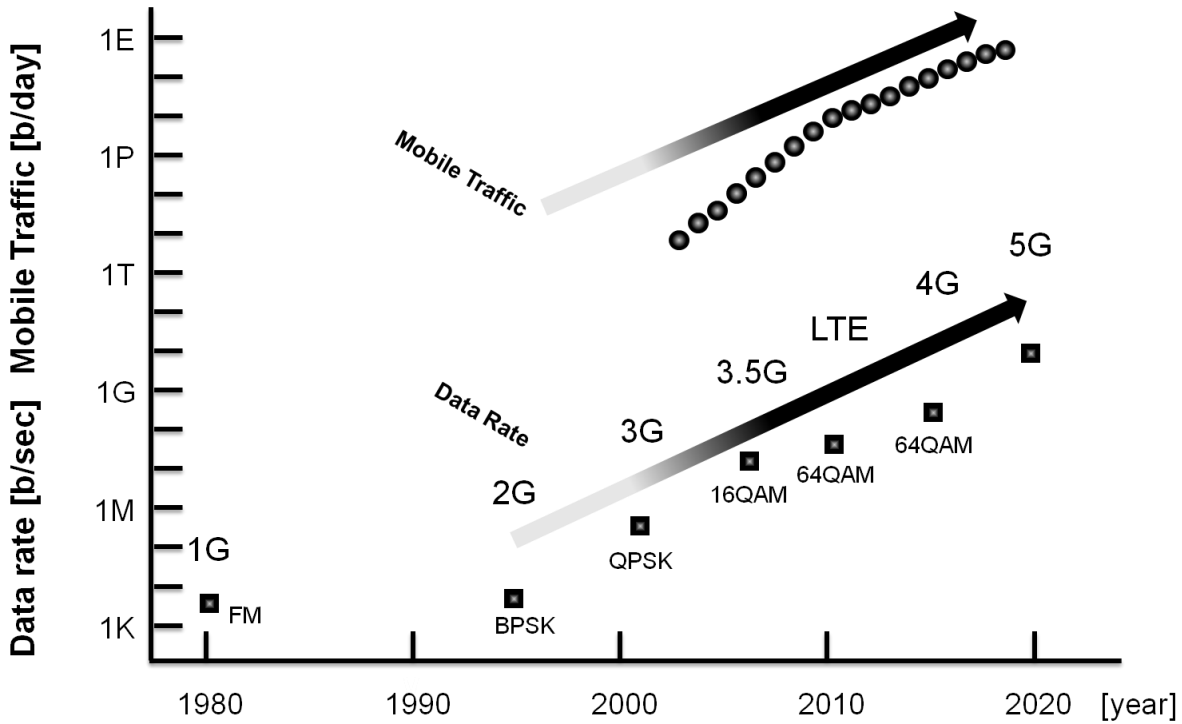


図 1-2 無線通信のトラフィック、伝送速度及び必要 SNR

また、無線通信に求められるトラフィック量も年々増大しており、このトラフィック増大 [1-4] [1-5]に対応するため、前述のように伝送速度が高速化 [1-6] [1-7] [1-8]している。この高速化実現のための手法として、変調方式の多値化があげられる。図 1-2 に示すように通信システムの世代が変わるにつれて、通信速度を向上させるために変調方式の多値化が行われてきた。ここに示した変調方式のエラーレート(Bit Error Rate, BER)と信号対雑音比(Signal to noise ratio, SNR)の関係を以下に示す。BPSK、QPSK 変調方式の BER は次のように表すことができる [1-9]。

$$BER \cong \frac{1}{2} \operatorname{erfc} \left(\sqrt{\frac{E_b}{N_0}} \right) \quad (1-1)$$

ここで、 E_b は 1bit あたりのエネルギー[J/bit]、 N_0 ノイズ電力スペクトル密度[W]を表す。また、SNR は次の式で表すことができる [1-9]。

$$SNR = \frac{E_b}{N_0} + \log_2 M \quad (1-2)$$

ここで M は、進数を表し、BPSK では $M=2$ となる。同様に QPSK、16QAM、64QAM、256QAM ではそれぞれ 4, 16, 64, 256 となる。但し、ここでは符号化率、オーバーサンプリング比は考慮していない。この式 1-1

と 1-2 から BPSK、QPSK の BER と SNR の関係を求めることができる。同様に、QAM の BER は次のように表すことができる [1-9]。

$$BER \cong \frac{1}{\log_2 M} \operatorname{erfc} \left(\sqrt{\frac{3 \log_2 M E_b}{2(M-1) N_0}} \right) - \left(1 - \frac{2}{\sqrt{M}} + \frac{1}{M} \right) \operatorname{erfc}^2 \left(\sqrt{\frac{3 \log_2 M E_b}{2(M-1) N_0}} \right) \quad (1-3)$$

但し、第二項は値が小さいため無視することができる。この式 1-1 から 1-3 を用いて、図 1-3 に変調方式とその変調方式におけるエラーレート(BER)が 10^{-3} 、 10^{-5} を満たすために必要な SNR を示す。このように、変調方式の多値化が進むにつれて、BER が小さくなるにつれ必要な SNR が増加することが分かる。つまり、変調方式の多値化が進むと無線通信端末の受信器回路の低ノイズ化が必要になる。本研究では、5 GHz 以下の通信方式を対象として、今後の無線通信端末における受信器の低ノイズ化を目的とする。

このような無線通信を実現するための端末のブロック図を図 1-4 示す。端末は、ベースバンド信号が生成されるベースバンド部、RF 信号を処理する RF トランシーバチップ、主にパワーアンプ、アンテナから構成される RF フロントエンドモジュールから構成されている。ベースバンド部はベースバンドチップとマルチメディア処理を行うアプリケーションプロセッサから構成され高速処理が求められる。ともに低消費電力化、マルチモード化、

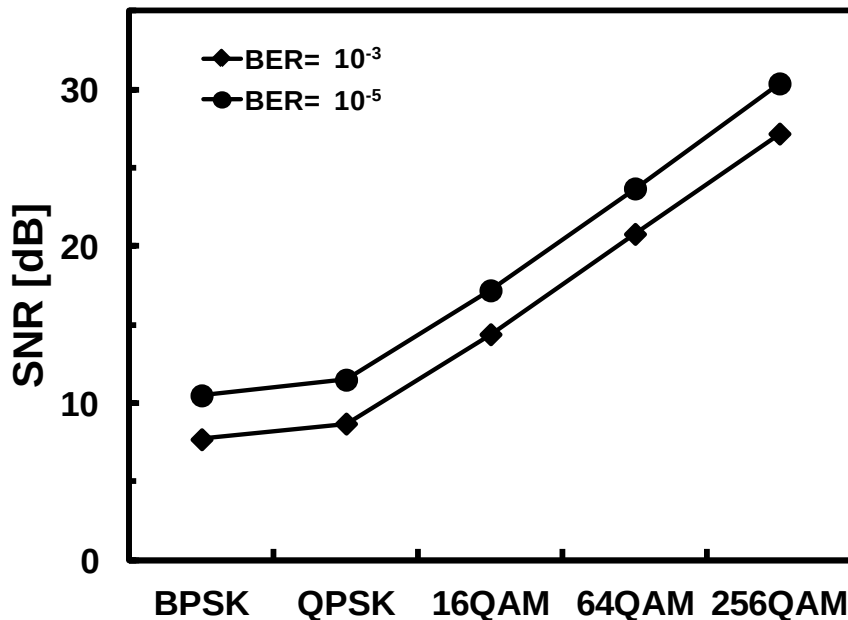


図 1-3 変調方式と所要 SNR

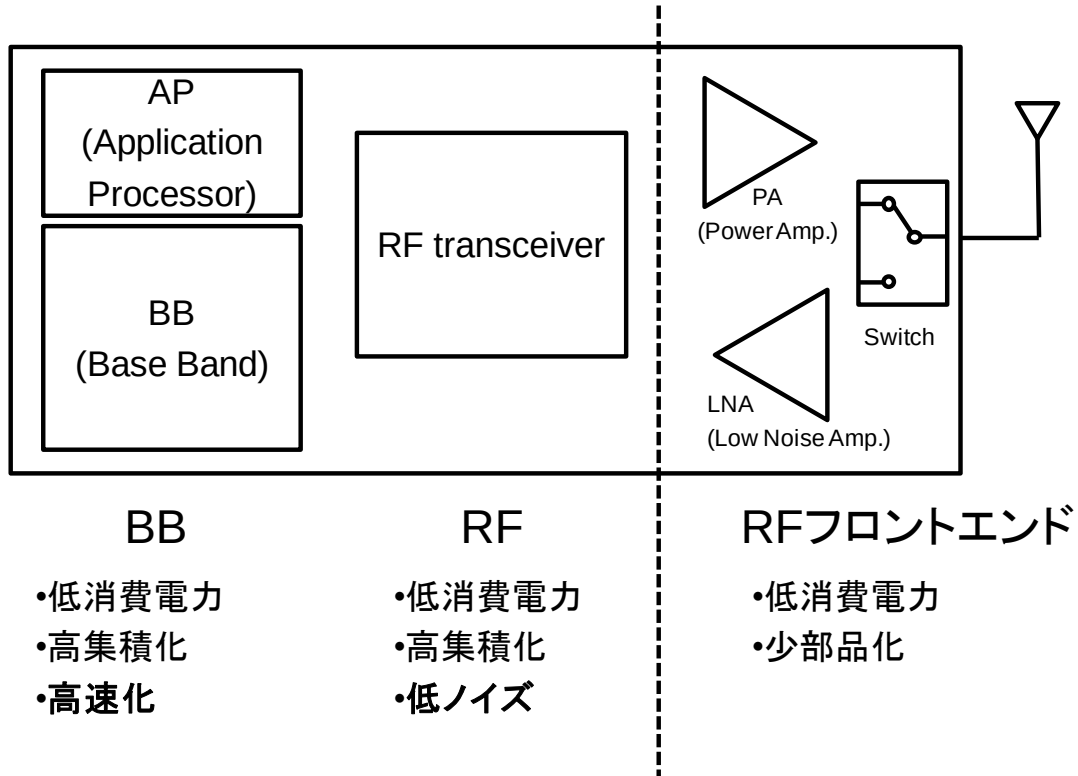
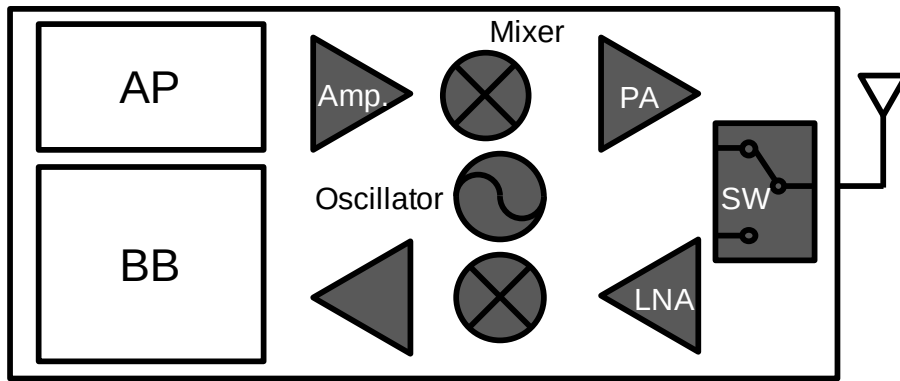


図 1-4 無線通信端末のブロック図と求められる特性

及び小面積化に向けた開発が行われている。RF 部は低消費電力化、マルチバンド、マルチモードへの対応、小面積化、高集積化が進められている。一般に消費電力と回路が生成するノイズはトレードオフの関係にある。つまり、同じ回路トポロジを用いても消費電力を上げるとノイズを減らすことができる。従って、求められるノイズ特性が通信システムによって決まっている以上、低ノイズな新規回路を実現することは RF 部の低消費電力化のためにも重要である。RF フロントエンド部については、無線通信端末の消費電力の大部分を占めるパワーアンプの高効率化及び低消費電力化、また端末のサイズ、コスト低減のための少部品化が重要である。全てのブロックに求められるのは、低消費電力化と高集積化である。

1.2 無線通信用端末

前述した無線通信端末がこれまでどのように開発がすすめられたのかを以下に述べる。1990 年代の無線通信端末のブロック図の一例を図 1-5 に示す。これはダイレクトコンバージョン方式の一例であるが、ヘテロダイン方式など様々な方式が用いられていた。5 GHz 程度の周波数の無線通信端末には、デバイスの高速特性の指標である遮断周波数 f_T が 40 GHz 程度は必要とされており、90 年代にその特性を満たすデ



黒色: III-V半導体

白色: CMOS

図 1-5 1990 年代の無線通信端末

バースバンドチップ(Base Band, BB)及びアプリケーションプロセッサチップ(Application Processor, AP)は、III-V 族化合物半導体であった(図 1-6) [1-10] [1-11] [1-12] [1-13] [1-14] [1-15] [1-16] [1-17] [1-18] [1-19] [1-20]。また、デバイスのノイズ特性の指標である NF_{min} が図 1-7 に示すように、CMOS は高く高周波回路に用いることができなかった。

このため、ベースバンドチップ(Base Band, BB)及びアプリケーションプロセッサチップ(Application Processor, AP)は CMOS によりつくられたが、高周波信号を扱う回路であるミキサ、発振器、パワーアンプ(Power Amplifier, PA)、ローノイズアンプ (Low Noise Amplifier, LNA) 、スイッチ (Switch, SW) は III-V 族半導体である高電子移動度トランジスタ(High Electron Mobility Transistor, HEMT)、あるいは、ヘテロ接合バイポーラトランジスタ (Heterojunction Bipolar Transistor, HBT) のディスクリートデバイスを用いてつくられた。

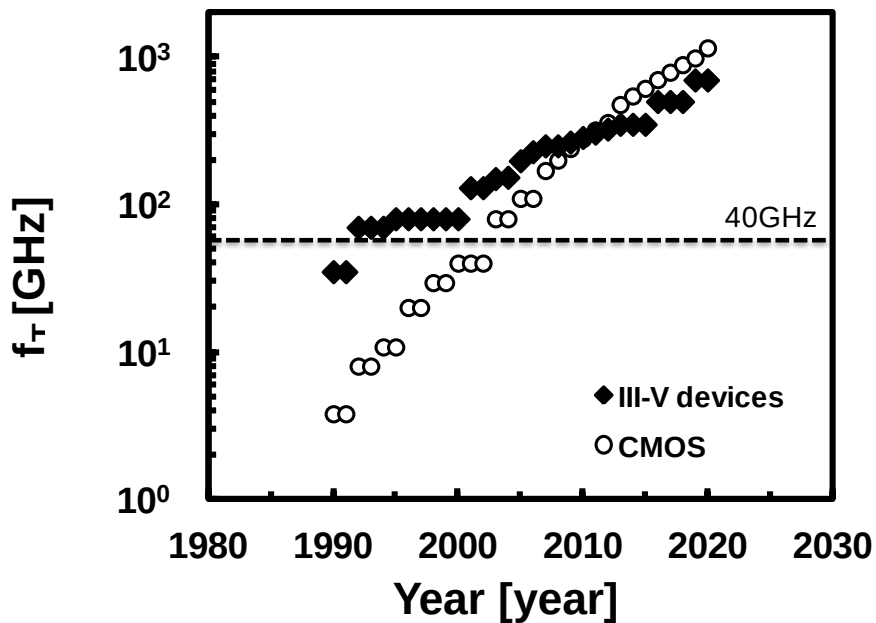


図 1-6 半導体デバイスの遮断周波数 f_T

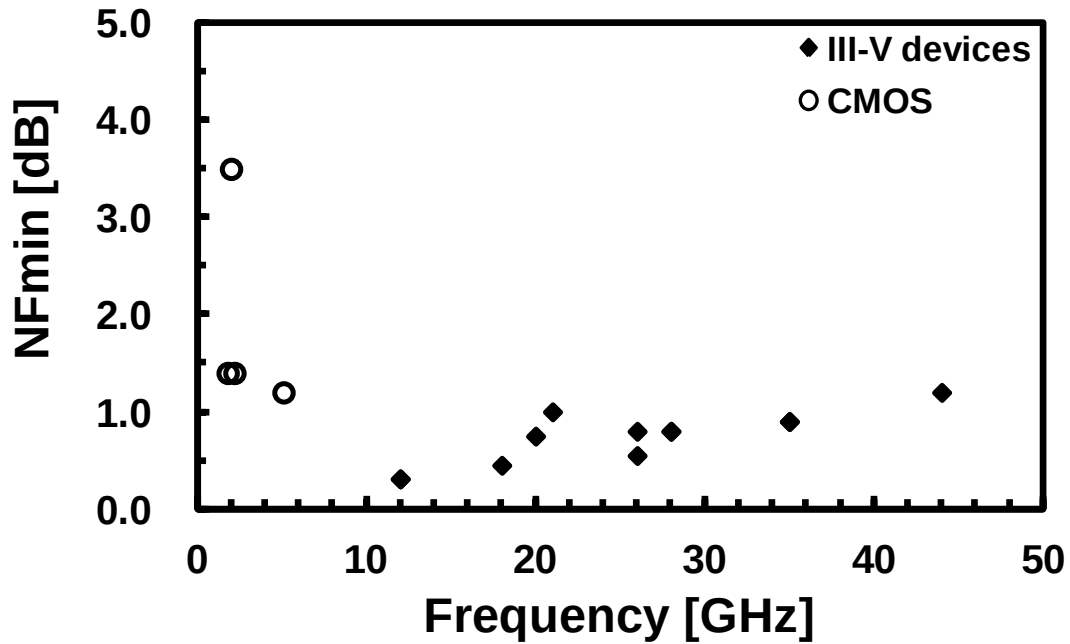


図 1-7 1990 年代の CMOS, III-V 半導体の NF_{min}

このように 90 年代において、無線通信端末の受信器のノイズ特性はデバイスの高周波特性に大きな影響を受けたためデバイスの高速特性ノイズ特性を向上させることが重要だった。ここでデバイスのノイズ源について図 1-8 に示す。特にここでは、CMOS などの FET デバイスのノイズ源について示す。ノイズ源には、デバイスの抵抗成分から生成される熱ノイズ、雑音電力のスペクトラムが周波数にほぼ反比例する特性を示す $1/f$ (フリッカ)雑音、荷電粒子が不規則に注入、放出されることに伴うショット雑音、電子正孔の生成、再結合により生じる生成再結合雑音、ドレインコンダクタンスの周波数分散に起因する雑音などがあげられる。

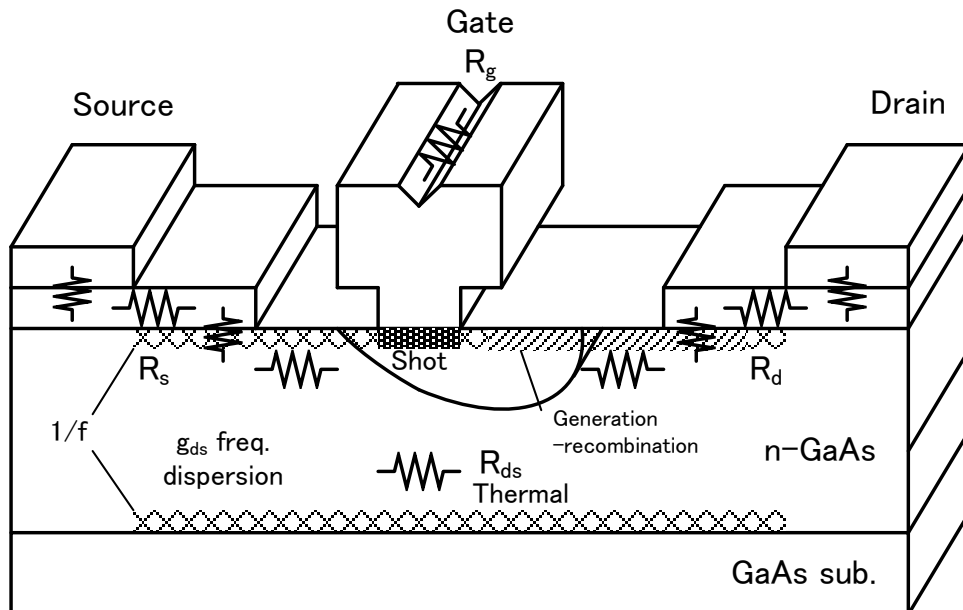


図 1-8 デバイスのノイズ源

2000 年になると、図 1-6 に示すように CMOS も遮断周波数が 40 GHz を実現できるようになる。また、ノイズ特性も微細化に伴い、図 1-9 に示すように 20 GHz 程度までであれば受信器の特性に大きな影響を及ぼさない NF_{min} 特性を実現できるようになる。このため、集積化に優れる CMOS を用いた RF トランシーバチップが開発されるようになる。図 1-10 にブロック図を示す。CMOS による集積化によりパワーアンプ、スイッチなど化合物半導体デバイスでなければ、デバイスの耐圧の面から実現が困難なブロックを除く高周波回路が 1 チップ化される。ローノイズアンプもトランシーバチップに内蔵され、集積化が進む。図 1-11 に 2000 年の CMOS のトランジスタ 1 ゲート当たりのコストで規格化した III-V 族化合物半導体と CMOS のトランジスタ 1 ゲート当たりのコストを示す。この図が示すようにトランジスタ 1 ゲート当たりのコストが CMOS は 2000 年以降さらに低下し、CMOS による集積化が加速する。これにより、2000 年頃の RF トランシーバと AP、BB などのチップの集積化における課題点であったデジタル、アナログ混載によるノイズ特性の劣化、SOC 全体での機能検証などのコスト、開発期間等の製品化における課題が解決される。その結果、図 1-12 の無線端末のブロック図に示すように、化合物半導体でなければ実現が困難なパワーアンプ、スイッチを除くすべてのブロックの 1 チップ化(System On Chip, SOC)、1 パッケージ化(System In Package, SIP)が進む。このように 2000 年以降、高集積化技術が重要になった。

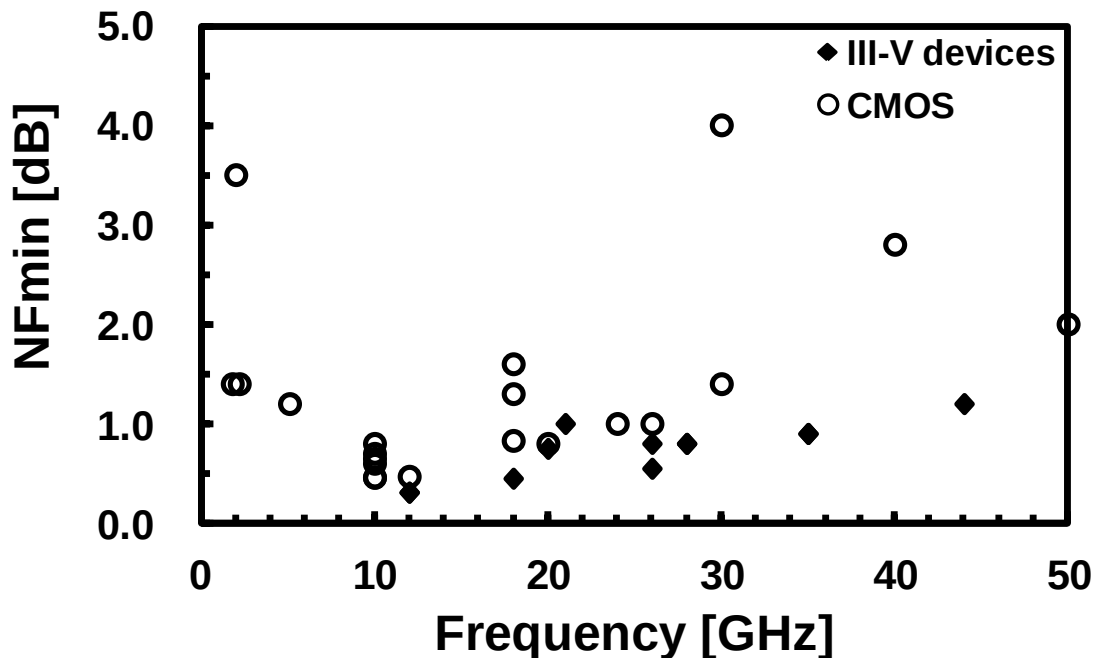


図 1-9 2000 年代の CMOS, III-V 半導体の NF_{min}

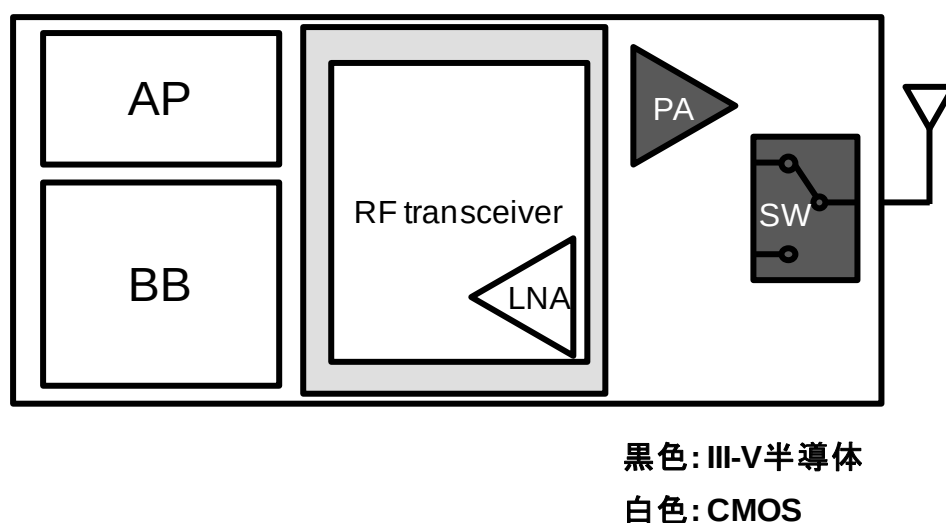


図 1-10 2000 年代の無線通信端末

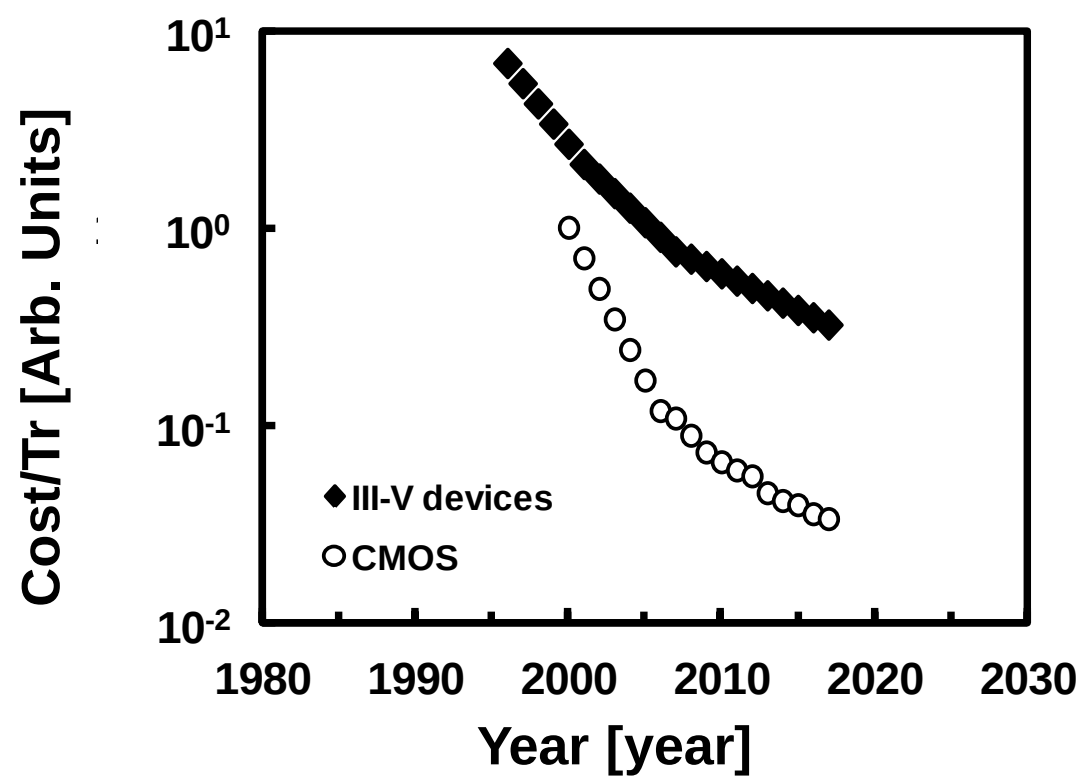


図 1-11 トランジスタ1ゲート当たりのコスト

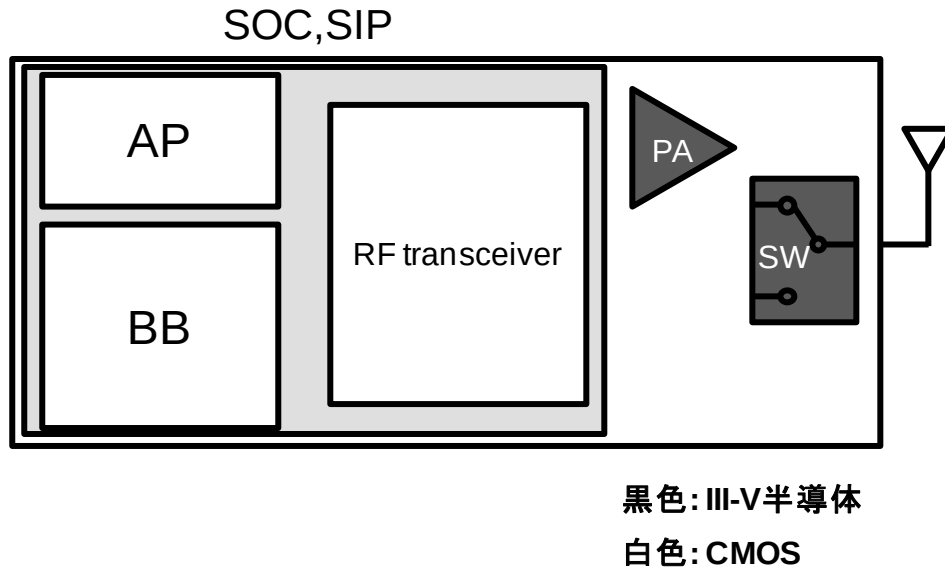


図 1-12 2010 年代の無線通信端末

近年では、2.5、3D パッケージなどのパッケージ技術の進歩により、図 1-13 に示すように、この全てのブロックが一つのパッケージに集積化され始めている。今後は、デバイスの種類によらず、無線通信の機能自体の集積化が必要な技術が重要になると考えられる。

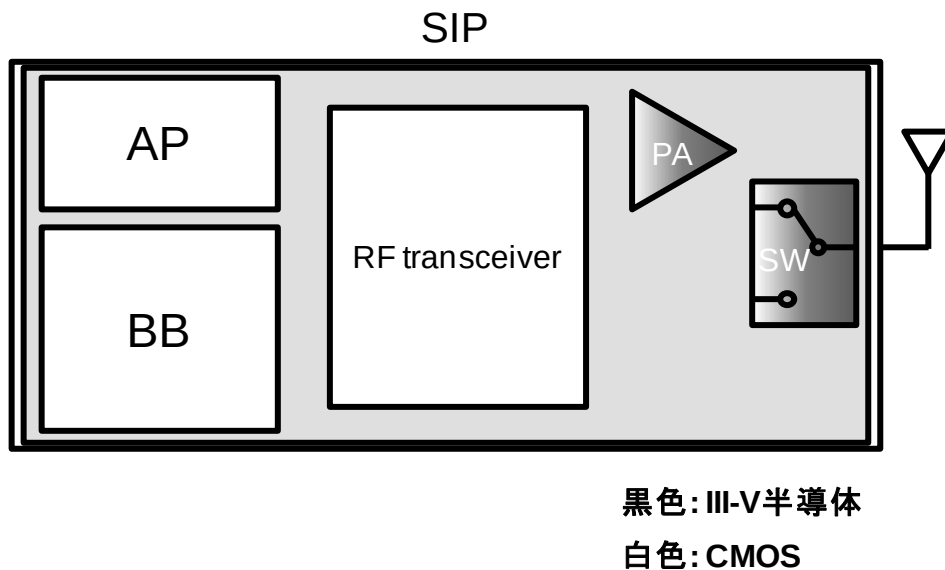


図 1-13 2015 年以降の無線通信端末

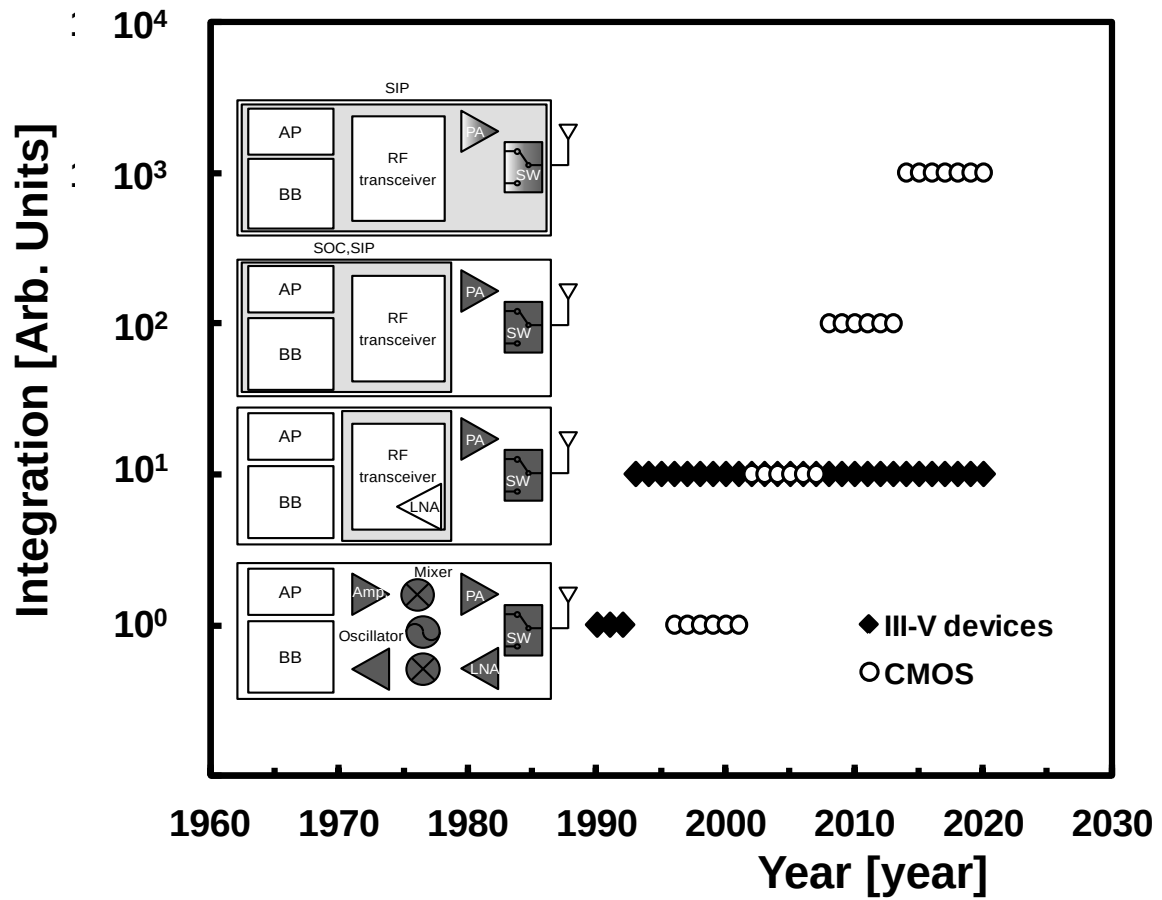


図 1-14 集積度

図 1-14 に集積度をディスクリートデバイス、RF トランシーバ、RF トランシーバと BB が一つに集積化された SOC、PA やスイッチなど全ての部品が集積された SIP というように集積度が上がると FOM が一桁上がると定義する。

図 1-15 最下段に示すのがデバイスの高速特性、集積度、及びコストを考慮して III-V 族化合物半導体と CMOS を比較した結果である。この図に示す FOM は次の式 1-4 で定義した。

$$FOM = \frac{f_T \cdot Integration}{Cost} \quad (1-4)$$

ここで Cost はトランジスタ 1 ゲート当たりのコスト、Integration は、図 1-14 に示す集積度と定義する。この図に示されるように、CMOS は集積化、低コスト化に優れるため、CMOS 化が進んでいる。

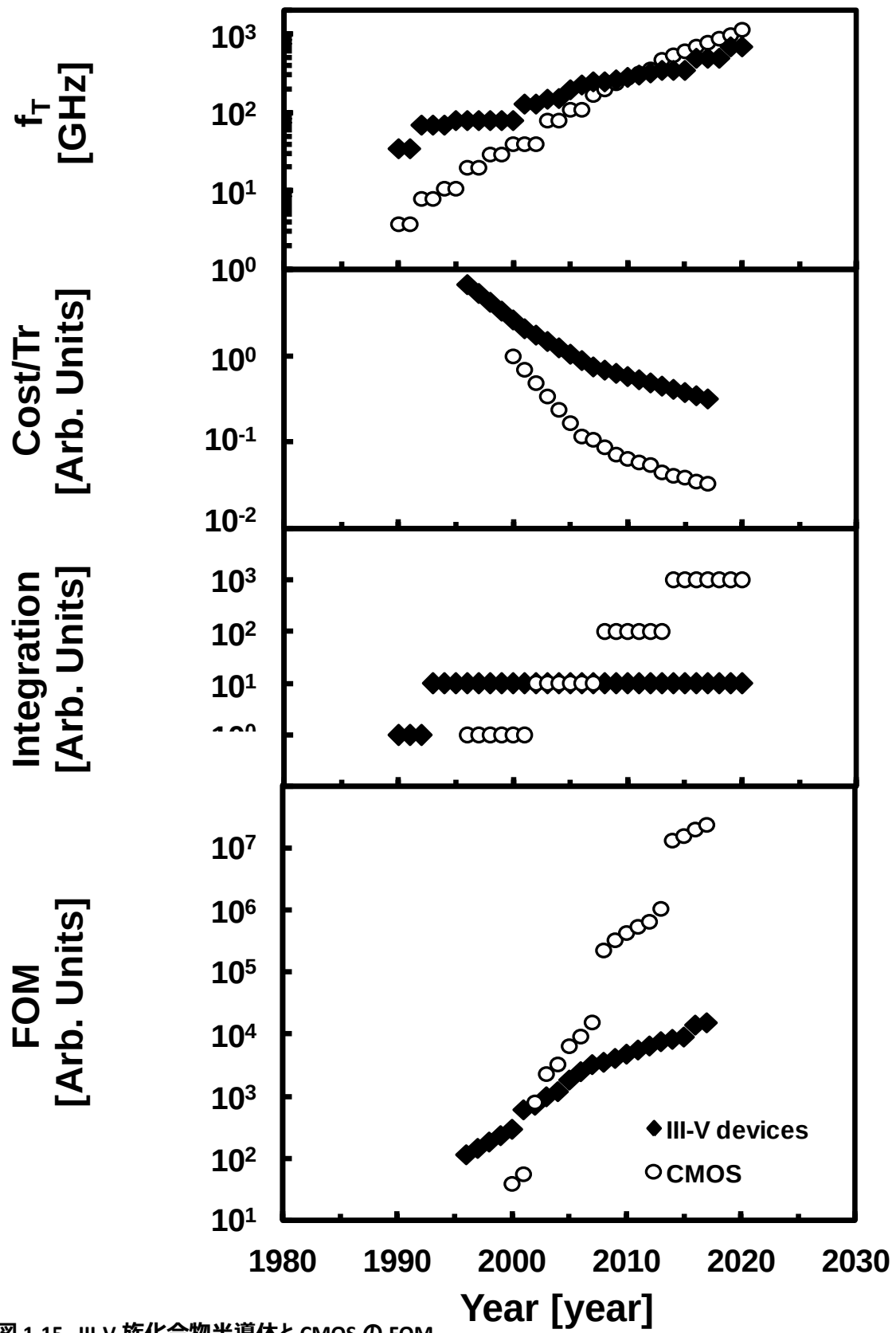


図 1-15 III-V 族化合物半導体と CMOS の FOM

このように、CMOS による高集積化技術は、無線通信端末開発において重要技術である。特に CMOS デバイスはそのデバイス特性を高周波回路に合わせて変更することができないため、受信器の低ノイズ化を行うためには、RF CMOS 回路の回路技術による受信器の SNR 向上技術が重要になる。受信器の受信端におけるノイズは次の式で表される。

$$N_{total} = 10 \cdot \log \left(10^{N_{th}/10} + 10^{N_a/10} + 10^{N_{rpmix}/10} + 10^{N_{tx}/10} + 10^{N_{imd2}/10} \right) \quad (1-5)$$

ここで N_{th} は熱雑音 kTB、 N_a は LNA、ミキサ、フィルタ、ADC 量子化雑音などの受信回路による雑音、 N_{rpmix} は TX 信号とローカル信号の reciprocal mixing により生じる雑音、 N_{tx} は送信器の非線形性から生じる高調波成分、ローカル信号の位相雑音など送信回路による受信帯域への雑音、 N_{imd2} は受信回路の 2 次相互変調歪成分による雑音を表す。従って、図 1-2 で述べたように、今後受信器の低ノイズ化と高 SNR 化を実現するためには、デバイスの低ノイズ化及び CMOS デバイスによる高集積化を実現する必要がある。つまり、式 1-5 で示すような雑音源を回路技術によって低減することが重要になる。

1.3 本研究の目的

これまでの無線通信端末の集積化を図 1-16 に示す。前述のように、無線通信端末開発初期の 1990 年頃は、端末の特性はデバイス的高速動作特性、ノイズ特性に左右され、高周波ノイズ特性に優れる HEMT、HBT などの高速デバイスが用いられ、デバイスによる低ノイズ化技術が重要な位置を占めていた。2000 年になると CMOS も必要な高速特性を満たすようになり、集積化、低コスト化に優れる CMOS が使われるようになる。CMOS により集積化が進み RF トランシーバ LSI が開発される。その後、さらなる低コスト化、高集積化が進み soc 化が行われた。また、パッケージ技術の進歩により異なるチップを 1 パッケージ化することで soc では開発期間を要する大規模回路の検証などを省き、開発期間の短縮、歩留まり向上、低コスト化を進めている。この技術により、デバイスの種類によらずパワーアンプ、スイッチなど化合物半導体部品と COMS チップの同一パッケージ化により、短 TAT での集積化が可能になった。

このように、今後の無線通信端末の高集積化においては、デバイスの種類などによらず無線通信という機能自体の集積化が重要になってくると考えられる。このような無線通信端末の集積化の流れにおいて、デバイスを高周波回路に合わせて特性を変更できない CMOS は、高周波受信器回路の低ノイズ化技術が重要になる。

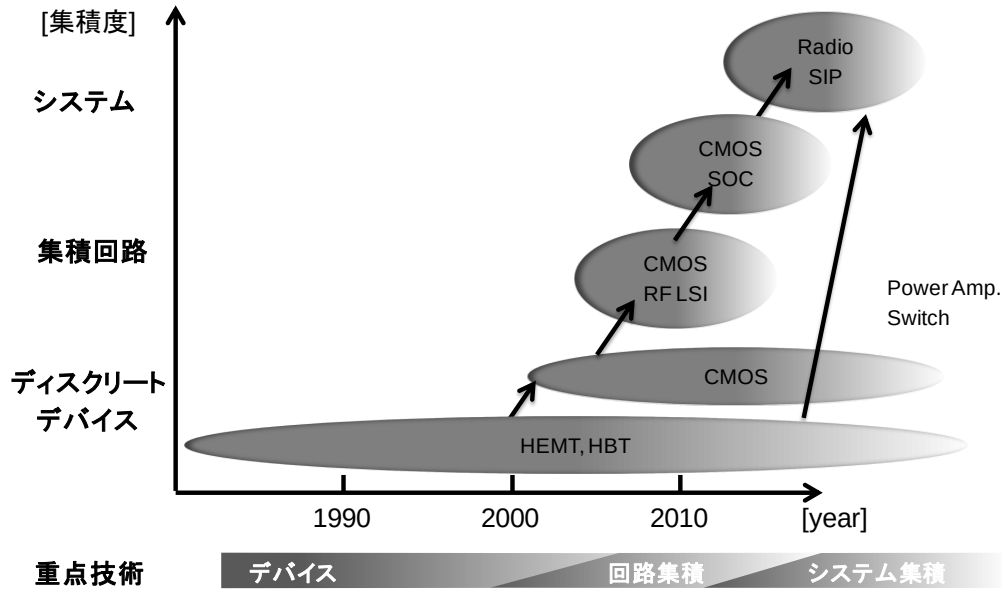


図 1-16 無線通信端末の高集積化

本研究の目的は、高周波回路の低ノイズ化に関する研究である。前述の無線通信端末の集積化の流れの中で、(1)デバイス特性向上技術として電極材、(2)高速デバイスについて低ノイズ化技術に関する研究を行い、(3)回路集積技術として CMOS 高周波受信器回路の低ノイズ化、高 SNR 化技術の研究を行う。

1.4 本論文の構成

本論文の章構成を図 1-17 に示す。第 1 章では、序論として研究背景である 5 GHz 以下の周波数における無線通信システムとその無線通信端末受信器の低ノイズ化の重要性について述べる。第 2 章では、デバイスの熱雑音低減による低ノイズ化のために重要なデバイス特性向上技術の一つであるオーム性電極材について述べる。ここでは、p 型、n 型両方の半導体に対する電極材のオーム性接触形成の指針について述べ、本研究成果と 2014 年時点での研究成果との比較を行う。また、本研究成果であるオーム性接触形成の指針の妥当性の検証と今後の設計指針について述べる。第 3 章では、高周波デバイスの低ノイズ化技術についての研究を示す。ここでは、デバイスのノイズ源として熱雑音、ドレインコンダクタンスの周波数分散に起因する雑音の抑制を行う。デバイスにおけるこれらの雑音生成のメカニズムを明らかにし、

回路設計に必要なデバイスの高精度ノイズモデルを提案する。また、このメカニズムに則ったデバイスのノイズ低減手法とその指針を示す。第4章では、回路集積技術として CMOS による受信器回路の低ノイズ

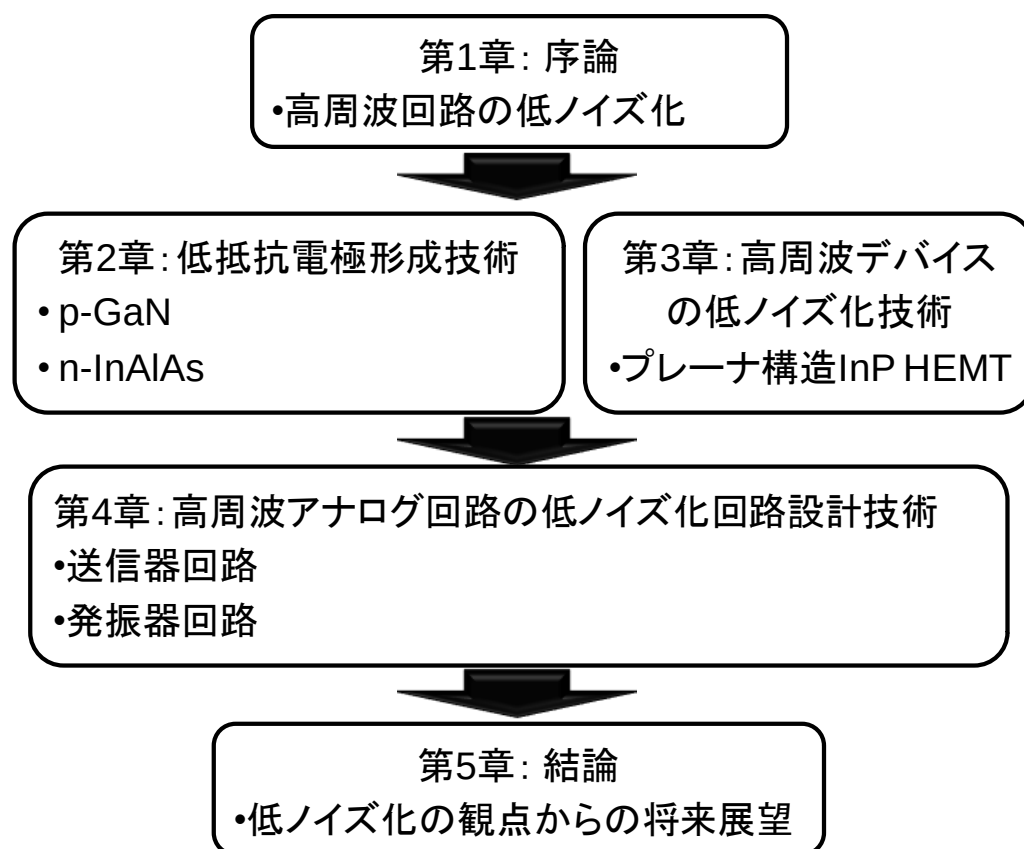


図 1-17 論文の構成

化、高 SNR 化に必要な技術について述べる。特に、高周波送信回路と発振器回路による受信器回路の低ノイズ化の手法について示す。第5章で、本論文の成果をまとめ結論を述べる。

参考文献

- [1-1] <http://www.itu.int>.
- [1-2] <http://www.3gpp.org/>.
- [1-3] <http://www.ieee802.org/16/>.
- [1-4] <http://www.ericsson.com> Ericson Mobility Report.
- [1-5] <http://www.cisco.com/> Cisco White paper Global Mobile Forecast Update.
- [1-6] NTT DOCOMO テクニカル・ジャーナル Vol.16 No.2.
- [1-7] NTT DOCOMO テクニカル・ジャーナル Vol.23 No.1.
- [1-8] NTT DOCOMO テクニカル・ジャーナル Vol.23 No.2.
- [1-9] J. G. Proakis, M. Salehi, Communication systems engineering, 2nd ed. New Jersey: Prentice Hall, Inc. 2002.
- [1-10] U. K. Mishra, A. S. Brown, L. M. Jelloian, M. Thompson, L. D. Nguyen, and S. E. Rosenbaum, "Novel high performance self-aligned 0.1- μ m long T-gate AlInAs-GaInAs HEMTs," in IEDM Tech. Dig., 1989, pp. 101-104.
- [1-11] L. D. Nguyen, A. S. Brown, M. A. Thompson, and L. M. Jelloian, "50-nm self-aligned-gate pseudomorphic AlInAs/GaInAs high electron mobility transistors", IEEE Trans. Electron Devices, vol. 39, pp.2007 -2014, 1992.
- [1-12] T. Suemitsu, T. Ishii, H. Yokoyama, T. Enoki, Y. Ishii, and T. Tamamura, "30-nm-gate InP-based lattice-matched high electron mobility transistors with 350 GHz cutoff frequency", Jpn. J. Appl. Phys., vol. 38, pp.L154 -L156, 1999.
- [1-13] K. Shinohara, Y. Yamashita, A. Endoh, K. Hikosaka, T. Matsui, and S. Hiyamizu, "Ultrahigh-speed pseudomorphic InGaAs/InAlAs HEMTs with 400-GHz cutoff frequency", IEEE Electron Device Lett., vol. 22, no. 7, pp.507 -509, 2001.
- [1-14] Y. Yamashita, A. Endoh, K. Shinohara, K. Hikosaka, T. Matsui, S. Hiyamizu, and T. Mimura, "Pseudomorphic In_{0.52}Al_{0.48}As/In_{0.7}Ga_{0.3}As HEMTs with an ultra high f_T of 562 GHz," IEEE Electron Device Lett., vol. 23, no. 8, pp. 573-575, 2008.
- [1-15] W. Hafez, W. Snodgrass, and M. Feng, "12.5 nm base pseudomorphic heterojunction bipolar transistors achieving f_T =710 GHz and f_{MAX} = 340 GHz," Applied Physics Letters, vol.87, pp. 252109-3, 2005.

- [1-16] W. Snodgrass, W. Hafez, N. Harff, and M. Feng, "Pseudomorphic InP/InGaAs heterojunction bipolar transistors (PHBTs) experimentally demonstrating $f_T = 765$ GHz at 25°C increasing to $f_T = 845$ GHz at -55°C ," in IEDM Tech. Dig., Dec. 11-13, 2006, pp. 1-4.
- [1-17] I. Post, M. Akbar, G. Curello, S. Gannavaram, W. Hafez, U. Jalan, K. Komeyli, and C.-H. Jan "A 65 nm CMOS SOC technology featuring strained silicon transistors for RF applications", IEDM Tech. Dig., 2006, pp.1 -3.
- [1-18] C. H. Jan, P. Bai, S. Biswas, M. Buehler, Z.-P. Chen, G. Curello, and K. Mistry "A 45 nm low power system-on-chip technology with dual gate (logic and I/O) high-k/metal gate strained silicon transistors", IEDM Tech. Dig., 2008, pp.637 -640.
- [1-19] P. VanDerVoorn, M. Agostinelli, S.-J. Choi, G. Curello, H. Deshpande, M. A. El-Tanani, and C.-H. Jan "A 32 nm low power RF CMOS SOC technology featuring high-k/metal gate", Proc. VLSI Technol. Symp., pp.137 -138 2010.
- [1-20] C.-H. Jan, M. Agostinelli, H. Deshpande, M. A. El-Tantani, W. Hafez, U. Jalan, L. Janbay, and P. Bai, "RF CMOS technology scaling in high-k/metal gate era for RF SOC (system-on-chip) applications," in Proc. IEDM Tech. Dig., 2010, pp.27.2.1-27.2.4.

2 デバイス低ノイズ化のための低抵抗電極形成技術

2.1 はじめに

無線通信端末に用いられるデバイスは、無線通信システムの高速化、広帯域化に伴い、さらなる高速化、低ノイズ化が求められている。本章では、図 1-8 で示した高周波デバイスのノイズ源の中で、熱雑音低減に着目し、デバイスの寄生抵抗の中でも大きな割合を占める電極材の接触抵抗値低減について述べる。

高周波デバイスの一例として図 2-1 に III-V 族化合物半導体の一つである GaAs による高電子移動度トランジスタ(High Electron Mobility Transistor)の断面構造とそのデバイスに生じる寄生素子を示す。

また、このような高周波デバイスの高周波特性の指標としては、電流利得遮断周波数 f_T がある。

$$f_T \propto \frac{g_m}{(C_{gs} + C_{gd})} = \frac{g_m}{C_g} \quad (2-1)$$

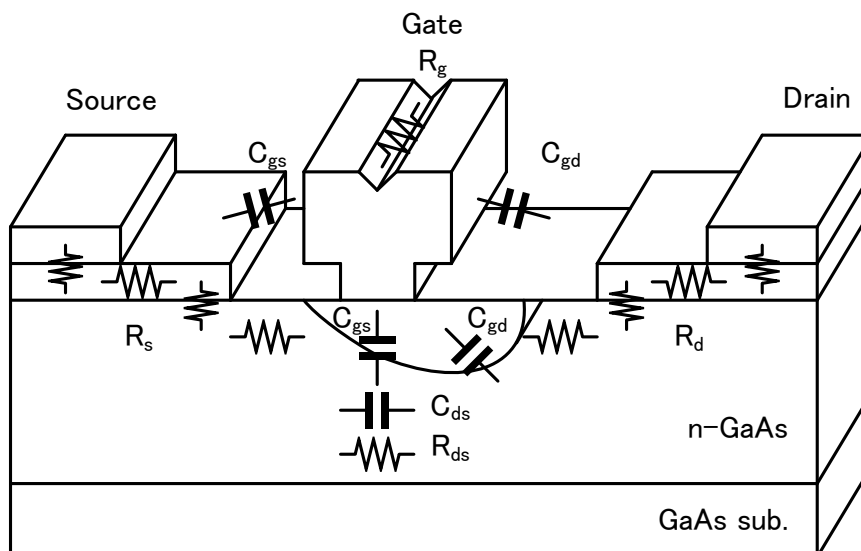


図 2-1 GaAs HEMT の断面構造と寄生素子

ここで g_m はトランジスタのトランスコンダクタンス、 c_g はトランジスタのゲート容量を表す。また、図 2-1 に示したように、 c_{gs} はゲート、ソース間容量、 c_{gd} はゲート、ドレイン間容量を表す。この f_T は式 2-1 で表されるようにゲート容量 c_g が小さいほど高周波特性が向上することが分かる。これは、トランジスタのゲート容量だけではなく、ゲートとの寄生容量も含まれる。つまり、ゲートとソース、ドレインの電極間に生じる容量すべてがデバイスの高周波特性を劣化させると言える。

また、この式 2-1 に含まれるトランジスタのトランスコンダクタンス g_m を向上させることが求められる。この g_m はデバイスのソース抵抗により実効的な g_{me} の値は変化する。このソース抵抗は、図 2-1 に示したように、ソース電極材と半導体層の接触抵抗による R_{s1} とゲート、ソース間の半導体層の抵抗による R_{s2} とから構成されている。このデバイスの g_m はチャネル電流とそれを変調するゲート、ソース間電圧の比で決まるため、空乏層にかかる実効的な電圧 v_{gse} は次の式で表される。

$$v_{gse} = v_{gs} - v_{gse} g_m R_s \quad (2-2)$$

ここで v_{gs} はゲート、ソース間電圧、 R_s はソース抵抗を表す。 $i_d = v_{gse} g_m$ とすると実効的なトランジスタのトランスコンダクタンス g_{me} は

$$g_{me} = \frac{i_d}{v_{gs}} = \frac{g_m}{(1 + g_m R_s)} \quad (2-3)$$

と表され、 R_s を低減することで実効的なトランスコンダクタンスを大きくすることができる。先述した R_{s1} は電極材の接触抵抗値で決まる値であり、 R_{s2} はゲート、ソース間の半導体層の膜抵抗値で決まる値である。 R_{s2} はこの半導体層の長さ、つまりゲート、ソース間距離に比例し、半導体層の厚さに反比例する。実効的なトランスコンダクタンスを向上させると、電流利得遮断周波数 f_T が向上し、デバイスの高周波特性が向上する。

また、R. A. Pucel らが提案した PRC モデルとして知られる three-parameter noise [2-1] から NF_{min} は次の式で表されることが知られている。

$$NF_{min} = 1 + 2 \cdot \frac{T_a}{T_0} \frac{f}{f_T} \sqrt{PR} \cdot \sqrt{1 - C^2} \quad (2-4)$$

ここで、 T_a は室温、 T_0 は 290 K、 R はゲート電流、 P はドレイン電流との係数、 C はドレイン電流とゲート電流の相関係数を表す。この式 2-4 からデバイスの電流利得遮断周波数を向上させることでデバイスのノイズ特性が向上することが分かる。

本章では、デバイスの高周波特性を向上させる手法としてのソース抵抗の低減を実現する電極材の接触抵抗値の低減について検討を行う。

2.2 オーム性接触形成法

電極材を流れる電流が、ショットキー障壁のトンネル電流で決まると仮定すると次の式で、電極の接触抵抗値 ρ_c は次の式で与えられる [2-2]。

$$\rho_c \propto \exp\left(\frac{4\pi}{qh\sqrt{m^*}\varepsilon_s}\frac{\Phi_B}{\sqrt{N_B}}\right) \quad (2-5)$$

ここで、 Φ_B 、 q 、 h 、 m^* 、 ε 及び N_B はそれぞれ、ショットキー障壁高さ、素電荷、プランク定数、半導体におけるキャリアの有効質量、誘電率、イオン化不純物濃度である。式 2-5 から、ショットキー障壁高さを低減させ、イオン化不純物濃度を向上させることが接触抵抗値を低減させるのに必要であることが分かる。これら二つを実現させる低接触抵抗な電極材の設計指針を図 2-2 に示す。これは、n 型 GaAs 半導体に対する電極材へのオーム性電極材研究において明らかになった設計指針である [2-3]。

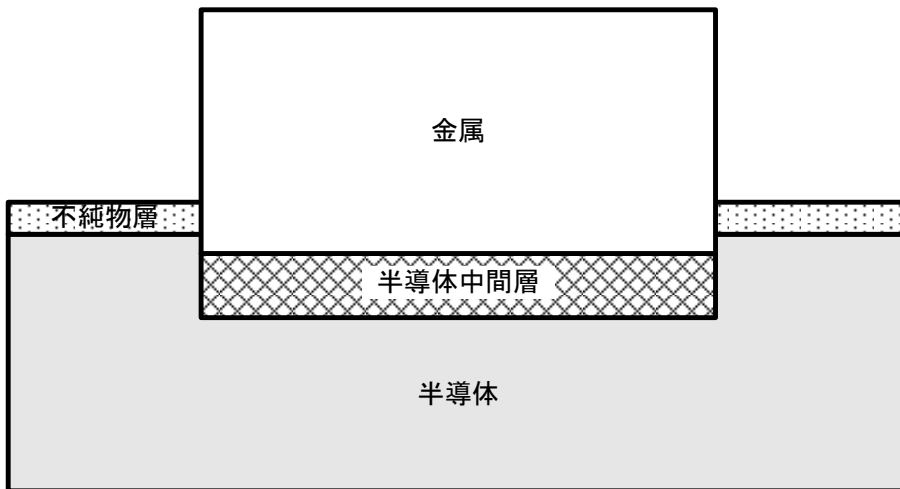


図 2-2 低接触抵抗電極材の設計指針

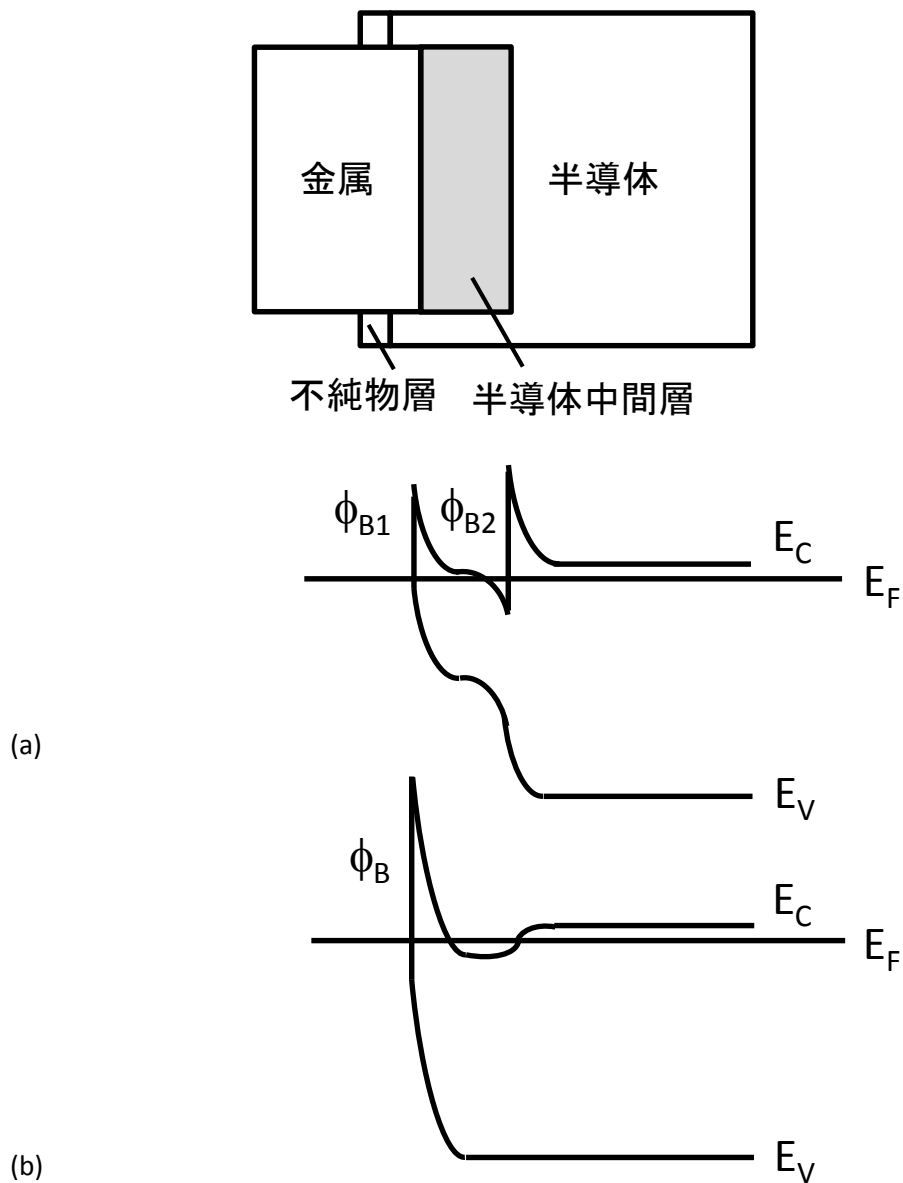


図 2-3 半導体中間層形成時のエネルギーバンド図 (a)ヘテロ構造中間層 (b)ホモ構造中間層

これは、オーム性電極が形成される場合には、このように電極材料成膜直後には半導体と電極材料の間に存在していた不純物層が除去され、半導体と電極材料の界面に半導体中間層が形成されることで接触抵抗値が低減されることを示す概念図である。この設計指針において重要になるのが、半導体中間層の形成である。この半導体中間層について以下に示す。

半導体中間層はヘテロ構造中間層とホモ構造中間層の二つに大別することができる。これら二つの半導体中間層のエネルギーバンド図を図 2-3 に示す。

オーム性電極が形成時のヘテロ構造中間層の役割は、図 2-3(a)に示されるようなショットキー障壁高さ ϕ_b を低減させることである。このためには、この中間層はオーム性接触をさせる半導体とヘテロ接合構造を持ち、格子不整合が小さく、そのショットキー障壁の高さが低く、かつ電極材料、半導体界面におけるエネルギーバンドの不連続量が小さいことが必要である。このような半導体中間層を半導体、電極材料界面に形成することができるとショットキー障壁の高さを低減することになり、接触抵抗値を低減することができる[2-3]。

一方、ホモ構造中間層の役割は、図 2-3(b)に示されるように、半導体、電極材料界面に高濃度のイオン化不純物層を形成させることである。この高濃度不純物層を界面に形成させることで、ショットキー障壁のトンネル確率をあげ、接触抵抗値を低減させる。この中間層は半導体層とホモ接合し、活性化されたドナーあるいはアクセプタを高濃度で含むことが必要である[2-3]。

このような電極材の作成方法として、中間層を直接半導体上に成膜する方法と半導体上に成膜した電極材料を熱処理により形成させる方法の二つがある。前者は半導体上に MBE や MOVPE 法により半導体中間層を直接成膜し、その後電極材料を蒸着させることで電極を形成させる。この方法は再現性に乏しく、大量生産には適さない。後者は電極材を生成する際、一般的に用いられる手法であり、DA (Deposition & Annealing) 法と呼ばれている[2-3]。この手法では、半導体上に電極材を成膜し、熱処理を行うことで半導体中間層を形成させる。この方法は、再現性に優れ、プロセスコストが安価で大量生産に適している。本研究では、この DA 法により電極を作成する。

本研究では、ホモ構造中間層による p 型 n 型の半導体へのオーム性接触を実現した電極材について述べる。また、それぞれの構造において、オーム性接触を得るための、系統的な材料探索に必要な指針を得ることを目的とする。

2.3 信頼性

高周波デバイスの研究において、電極材に求められる指標は接触抵抗値だけではなく、電極材の信頼性も重要な項目である。電極材に求められる信頼性として、接触抵抗値が長期にわたり安定していることが求められる。また、その表面形状が平坦かつ安定しており、半導体との付着力が良好であることも求められる。これは電極材にビア、配線が接続されていくが、表面に凹凸があると、それらとの接触が不十分になり、等価的には抵抗が存在することになり、不要な電圧降下が生じることになる。これは、デバイスのソース抵

抗の増大を引き起こし、電極材との接触抵抗値を低減させても、ソース抵抗が減少しないことになる。また、電極と配線層の接触不良が生じる要因となるため、電極表面は平坦であることが求められる。

高周波デバイスに必要な電極材に対する信頼性の評価項目は、接触抵抗値の経時変化、表面形状、半導体との付着力とする。

2.4 p 型 GaN への電極材

ホモ構造中間層の形成による p 型半導体へのオーム性接触の実現の例として、オーム性接触の実現が困難な GaN 半導体について述べる。III-V 族半導体である GaN は、バンドギャップが大きい材料(3.4eV)であるため、その高耐圧特性を利用した高出力増幅器や高耐圧高周波スイッチ、また、青色の波長の光を放出することができる特性を利用して、青色レーザーダイオードなどに用いられている。このように GaN はバンドギャップが大きく、電子親和力が 4.1eV と大きい材料のため、それよりも仕事関数が大きい材料に限られているが p 型半導体に対してオーム性接触が得られにくいことの要因の一つである [2-4]。また、p 型 GaN のアクセプタである Mg の活性化エネルギーは、170meV と大きい H 原子と結合し不活性化しやすいため、 10^{18} cm^{-3} 程度の高濃度のキャリアを含む GaN エピ層を作成することが困難であることが最大の要因である [2-5]。

この高出力増幅器、レーザーダイオードに必要な接触抵抗値は、電流密度 1 kA/cm^2 における電極部の電圧降下量が 0.1 V 程度に抑えたいという要求から、 $10^{-4} \Omega\text{cm}^2$ 以下 [2-21]である。これまでの p 型 GaN への電極材料の接触抵抗値は $10^{-2} \Omega\text{cm}^2$ 程度であり [2-7]、さらなる接触抵抗値の低減が求められている。

これまでの研究から GaN のエピ層の表面の酸化膜などの不純物層を電極材成膜前に除去することが重要であることが分かっている [2-7]。この酸化膜などの不純物層の除去は、Ni、Ta などの金属をエピ層に成膜し 500℃で熱処理することで可能である。

2.4.1 酸素中熱処理

さらなる接触抵抗値の低減のため、酸素と窒素の混合気体雰囲気中で 500 から 600℃の熱処理を行ったところ接触抵抗値が約 3 分の 1 に低減することが分かった [2-8]。電極材料としては、Co/Au, Ni/Au, Pt/Au, Pd/Au, and Cu/Au を用いた。(この"/"を用いた表記は、成膜した材料の順序を示している) このように接触抵抗値が低減した理由としては、イオン化不純物濃度の高い図 2-3(b)に示されるような、ホモ

構造中間層が電極材と半導体の間に形成されたためと考えている。p 型 GaN のドーパントである Mg は H 原子や N 原子と結合して不活性化し、ホール濃度が低下していることが分かっている [2-4]。この Mg を不活性化している H 原子を O 原子が取り除くことでホール濃度が向上したと考えられる。この酸素中熱処理の効果を確認するため前田らが、酸素中で熱処理を行ったところ、Ni/Au 電極の NiO が形成されていることが分かった [2-8]。この NiO がヘテロ構造中間層として、ショットキー障壁を低減する効果があるかどうか確認するため、NiO/Au の電極材を作成したが低接触抵抗値を示さなかったため、Ni/Au 電極を酸素中で熱処理を行うことによる接触抵抗値低減のメカニズムを図 2-4 に示す。アクセプタである Mg が酸素中で熱処理されることで活性化され、半導体と電極材の界面に高濃度不純物濃度を有する、ホモ構造中間層が形成されたことにより、オーム性接触が得られると結論づけられた [2-9]。

この結果から、オーム性電極材の設計指針として、不活性化している Mg を酸素中で熱処理を行うことで、ホール濃度を向上させたホモ構造中間層を形成させるという指針が得られた。

2.4.2 金属原子による水素原子除去

鈴木らによる Ta/Ti 電極の 800℃窒素雰囲気における熱処理の結果から、接触抵抗値が $3 \times 10^{-5} \Omega \text{cm}^2$ になることが明らかになった [2-10]。この接触抵抗値低減のメカニズムは、アクセプタである Mg と結合して、Mg を不活性化させている H 原子が、GaN エピ層から電極側に拡散するのを Ta, Ti が促進させているためであると考えている [2-11]。この拡散により、半導体と電極材の界面の半導体中間層のドーピング濃度が向上し接触抵抗値が低減していると考えられる。つまり、高濃度不純物を含む、ホモ構造中間層が形成されたためである。しかし、Ta, Ti 単体の電極材を用いるよりも Ta/Ti の 2 相による電極材を用いると接触抵抗値がより低いなど、不明な点もある。そこで、川上らがこの電極材のショットキー障壁高さを直接測定したところ、障壁高さには変化がないことが分かった。このことから、図 2-5 に示すように、Mg の電極側への拡散によりホール濃度の向上し、接触抵抗値が低減したと考えられる。

この結果から、オーム性接触を得るための設計指針として、Mg を不活性化させている H 原子を除去するという指針が得られた。

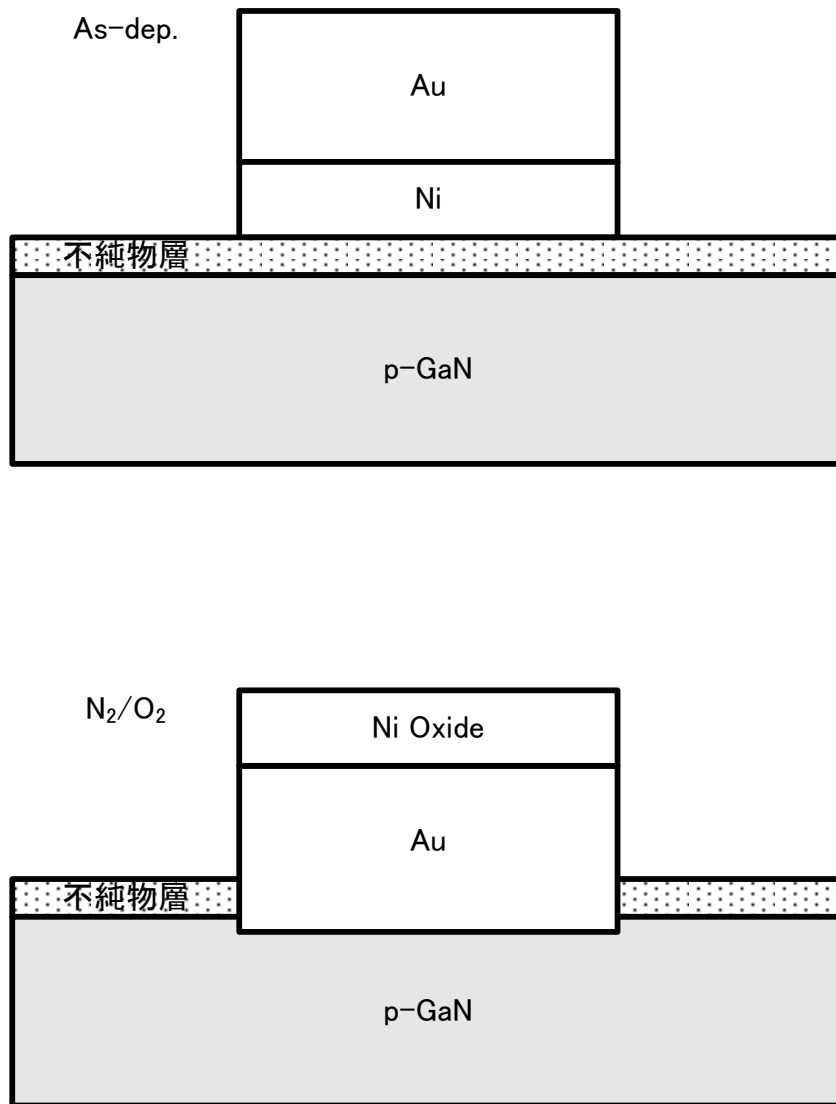


図 2-4 Ni/Au 電極のオーム性接触形成メカニズム

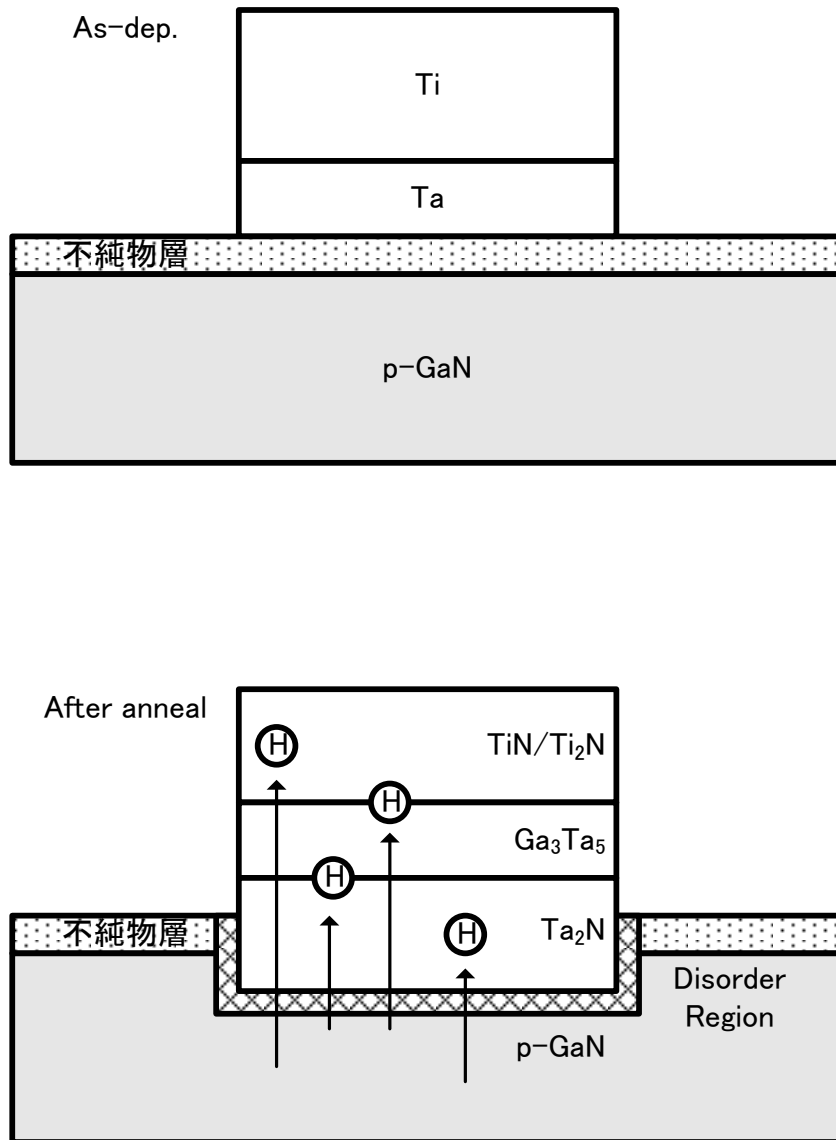


図 2-5 Ta/Ti 電極のオーム性接触形成メカニズム

2.4.3 電極材料の信頼性

Ta/Ti 電極は、接触抵抗値が $3 \times 10^{-5} \Omega \text{cm}^2$ という、接触抵抗値の目標値 $10^{-4} \Omega \text{cm}^2$ 以下を満たす値が得られたが、常温で保存したあと、あるいは、電流が注入されると接触抵抗値が劣化することが分かった [2-11]。このため、これまで検討を行ってきた接触抵抗値が低く、GaN によるレーザーダイオードに実用化するための電極材を選択する目的で、Pt, Pt/Au, Ni/Au 及び Ta/Ti 電極の信頼性の検討を行った。

信頼性の検討項目として、接触抵抗値の安定性、表面形状の常温保存時、電流注入時の安定性の検討を行った。

(1) 実験方法

(11 $\bar{2}$ 0) α -Al₂O₃ 基板上に AlN バッファ層をもち、アンドープの(0001) GaN と Mg が注入された GaN のエピ層を MOVPE 法により連続して成長されたものを用いた。アンドープとドープされた層の厚みはそれぞれ 4.0 と 1.2 μm である。p-GaN 層のホール濃度は、6 から $7 \times 10^{17} \text{cm}^{-3}$ 、p-GaN エピ層の膜抵抗(ρ_s)は 5 から 30 Ωcm である。まず、同心円状の電極パターンを p-GaN エピ層の上にフォトリソグラフィにより作成する。電極材作成前には、緩衝 HF に 5 分、超純水に 1 分つけてリンスした。電極材料である Ta、Ti、Ni、Pt は EB 蒸着、Au は抵抗加熱により成膜した。成膜中のチャンバー内は $2.7 \times 10^{-5} \text{Pa}$ に保たれている。Pt 電極の膜厚は 50 nm、Ta/Ti 電極の膜厚はそれぞれ 40、60 nm とした。Ni/Au、Pt/Au 電極の膜厚はともにそれぞれ 10、40 nm とした。リフトオフを行った後、Ta/Ti 電極は 500 から 800°C において $4.0 \times 10^{-4} \text{Pa}$ 以下のチャンバー内で 5 から 20 分の熱処理を行った。Pt、Pt/Au、Ni/Au 電極については、300 から 600°C において酸素と窒素の混合気体中において熱処理を行った。この混合気体における酸素の比率は 3 から 100%である。

電極材の電気的特性は熱処理前後で評価を行い、評価方法は I-V 法と TLM (Transmission Line Method) 法 [2-12] [2-13] [2-14]を用いて室温で行った。I-V 法では中心に直径 200 μm の円形パターンがあり、それと 8 μm の間隔で存在する同心円パターンを用いて測定を行った。この 8 μm 間隔の電極間の I-V 測定における $\pm 0.1 \text{V}$ での微分抵抗値 R_0 と定義し、接触抵抗値の評価に用いた。これは、接触抵抗値(ρ_c)が $\rho_c = 10^{-1} \Omega \text{cm}^2$ を超えると現状の TLM パターンでは評価することができないためである。この $R_0 = 2000 \Omega$ は TLM 法により測定された $\rho_c = 10^{-2} \Omega \text{cm}^2$ に対応しており、 R_0 値はコンタクト抵抗をほぼ反映したものとみなすことができる。TLM 法では、4、8、16、24、32 μm の間隔の環状パターンを用いて接触抵抗値と膜抵抗値(ρ_s)の測定を行った。

室温保存時の電気的特性の変化は、接触抵抗値の変化を I-V 法を用いて評価を行った。また電流注入時の電気的特性の変化は、カーブトレーサにより 60 Hz で電流注入を行った。表面形状は SEM (Scanning Electron Microscope)により Ga+イオンビームを用いて観察を行った。

(2) 実験結果

Pt (50 nm)、Ni (10 nm)/Au (40 nm)電極の試料は、500℃において 5 から 15 分、600℃で 5 分、酸素と窒素の混合気体中で熱処理を行って作成した。今後、酸素中で熱処理を行った Pt、Ni/Au 電極材を Pt(O₂)、Ni/Au(O₂)、窒素中で熱処理を行った場合 Pt(N₂)、Ni/Au(N₂)と表記する。図 2-6(a), (b)及び(c)にそれぞれ Pt(O₂)、Ni/Au(O₂)、Ni/Au(N₂)室温保存時の I-V 特性の変化を示す。この結果から 750 日以上の保存においても I-V 特性にほとんど変化がないことが確認できる。図 2-7 に 800℃で熱処理を行った直後、10、35 日室温保存した後の I-V 特性を示す。熱処理直後は線形で接触抵抗値が低いことを示す、良好な特性を示すが、室温保存後急速な劣化を示す。この I-V 特性において 2 V 付近における微分値はほぼ同じである。印加電圧が高い領域では、p-GaN のエピ層の膜抵抗の影響が加わるため接触抵抗

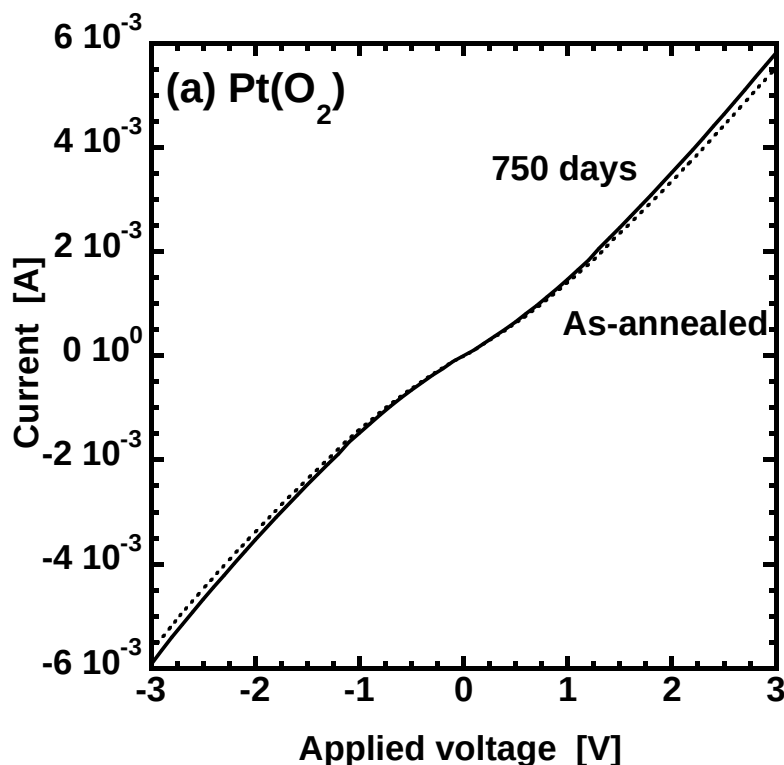


図 2-16 室温保存時の I-V 特性変化(a)Pt(O₂)

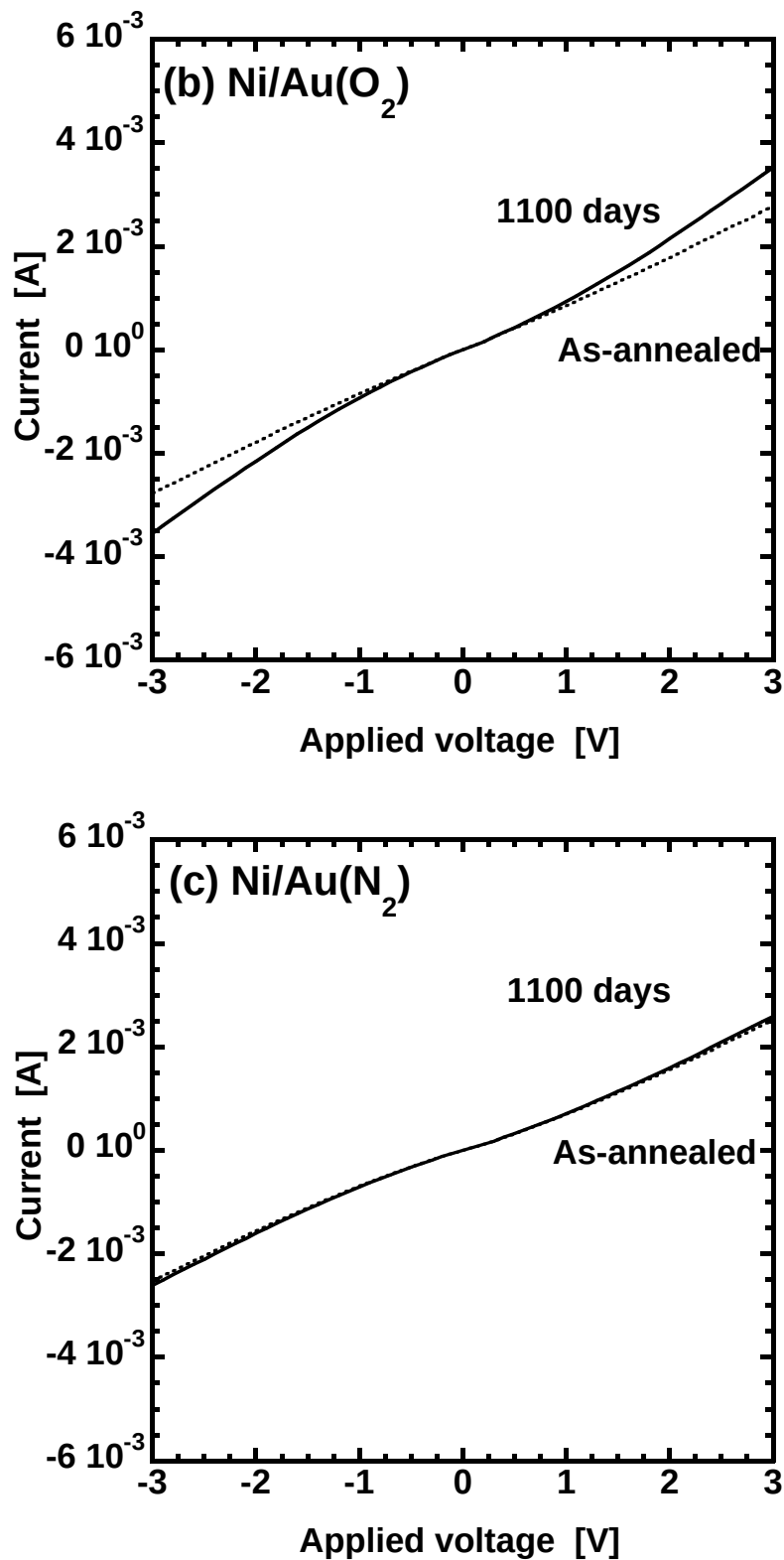


図 2-6 室温保存時の I-V 特性変化(a)Pt(O₂)、(b)Ni/Au(O₂)、(c)Ni/Au(N₂)

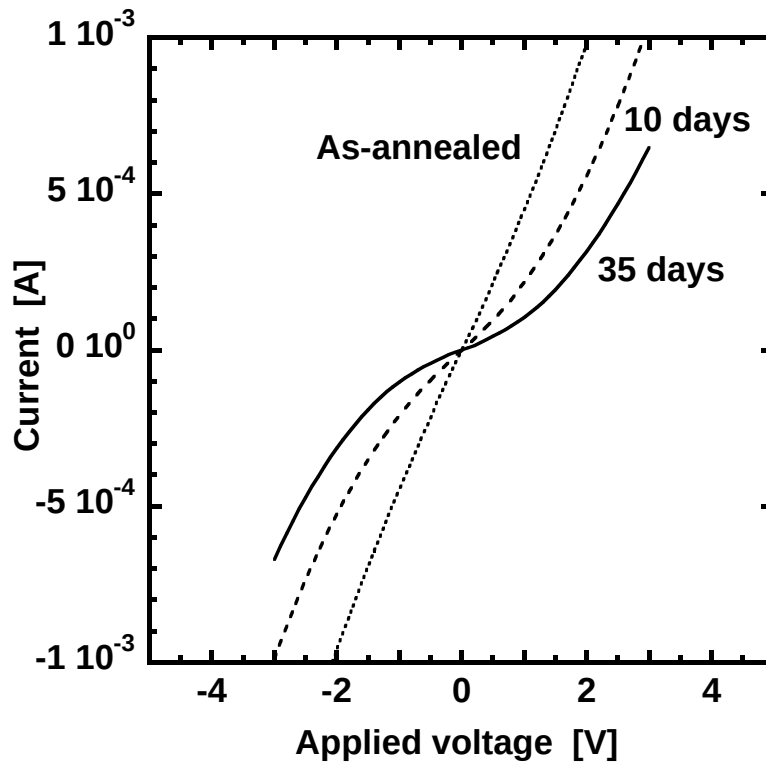


図 2-7 室温保存時の Ta/Ti I-V 特性変化

値のみを反映していない。印加電圧の低い領域での値、つまり、接触抵抗値の目安となる R_0 を定義する ± 0.1 V では、保存時間が増えるに従い、微分値が減少していることが分かる。従って、この I-V 特性の結果から接触抵抗値は劣化していると言える。

図 2-8 に室温保存時の Pt(O₂)、Ni/Au(O₂)、Ni/Au(N₂)及び Ta/Ti の R_0 値の変化を示す。ここでは Ta/Ti の接触抵抗値が室温保存により、 $\rho_c=10^{-1} \Omega\text{cm}^2$ 程度にまで劣化するため、経時劣化を TLM 法によって評価し続けることができないため R_0 値を評価に用いた。この結果から 750 日以上室温保存後も Pt(O₂)、Ni/Au(O₂)及び Ni/Au(N₂)は R_0 値が変化しないことが分かる。一方 Ta/Ti については、急速に R_0 値が劣化していることが分かる。また、この図には示していないが、Pt/Au(O₂)についても 1100 日の保存後も Ni/Au(O₂)と同様に値に変化は見られなかった。

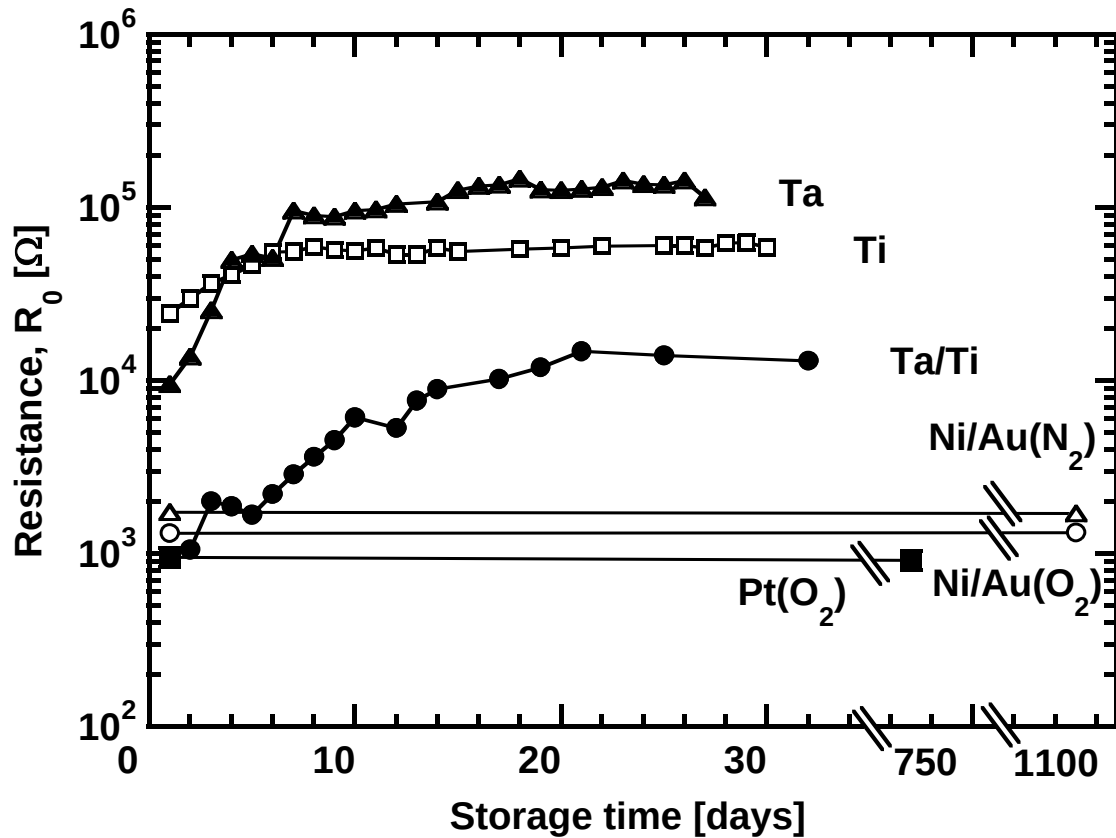


図 2-8 Pt(O₂)、Ni/Au(O₂)、Ni/Au(N₂)及び Ta/Ti 室温保存時の R₀ 値の変化

図 2-9 に 800℃の熱処理により形成された Ta 電極を室温保存して劣化した後、800℃の再熱処理を行い、さらに 40 日の室温保存を行ったときの R₀ 値の変化を示している。R₀ 値は再熱処理後低下し、さらに室温保存を行うと増加することが分かる。このことから Ta/Ti の接触抵抗値は可逆的なプロセスであると言える。

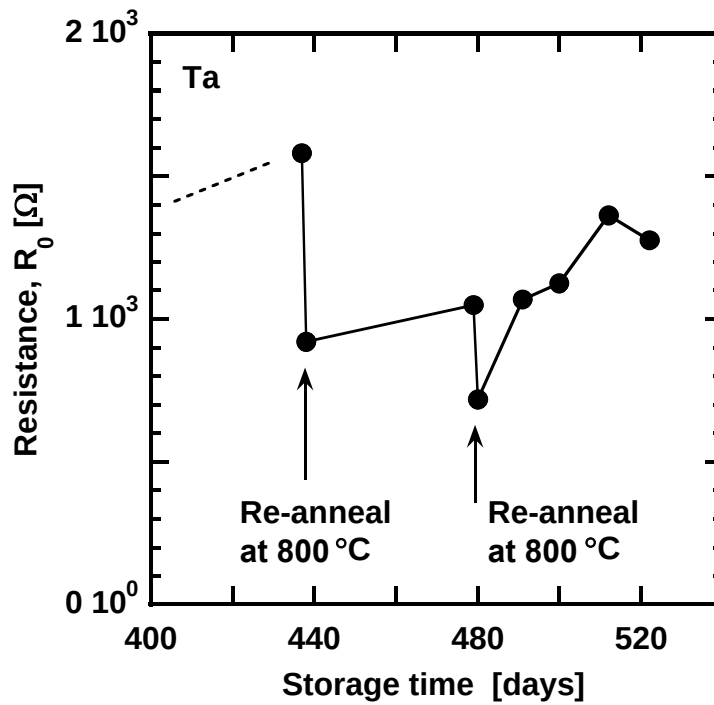


図 2-9 室温保存後 Ta の再熱処理後の R_0 値の変化

図 2-10 に 85 A/cm^2 の DC 電流を連続的に注入した時の $\text{Pt(O}_2\text{)}$ 、 $\text{Ni/Au(O}_2\text{)}$ 、 $\text{Ni/Au(N}_2\text{)}$ 及び Ta/Ti の R_0 値の変化を示す。評価には $8 \mu\text{m}$ 間隔の環状パターンが用いられ、中心の円形パターンに正電圧を印加した。 $\text{Pt(O}_2\text{)}$ 、 $\text{Ni/Au(O}_2\text{)}$ 及び $\text{Ni/Au(N}_2\text{)}$ は R_0 値に変化が見られなかった。 Ta/Ti については電流注入時間の増加に伴い R_0 値の増加がみられた。注入開始 10 分程度の中に急速に値が増加し、その後飽和する。この値の増加率と飽和値は、 850 A/cm^2 以下の注入量では変化が見られなかった。

図 2-11 に 800°C 、10 分の熱処理により作成した Ta/Ti に 85 A/cm^2 の DC 電流を 50 分注入した時の R_0 値の変化を点線で、その後 800°C 、15 分再熱処理をしてから、再度同量の電流を 100 分注入した時の結果を実線で示した。このように再熱処理により R_0 値は回復するが、再度の電流注入と室温保存で R_0 値が劣化することが分かる。

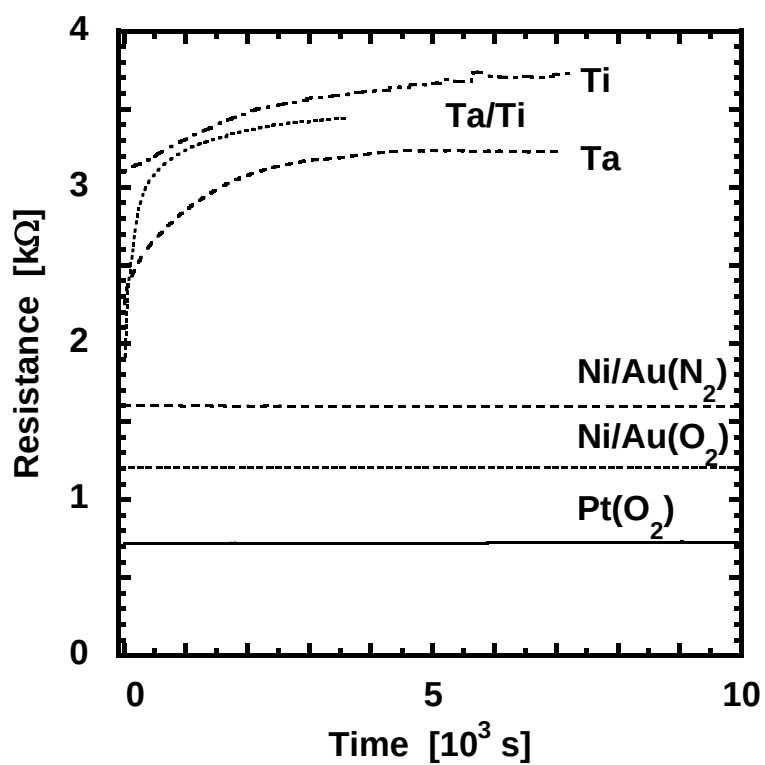


図 2-10 DC 電流注入時の $\text{Pt}(\text{O}_2)$ 、 $\text{Ni}/\text{Au}(\text{O}_2)$ 、 $\text{Ni}/\text{Au}(\text{N}_2)$ 及び Ta/Ti の R_0 値の変化

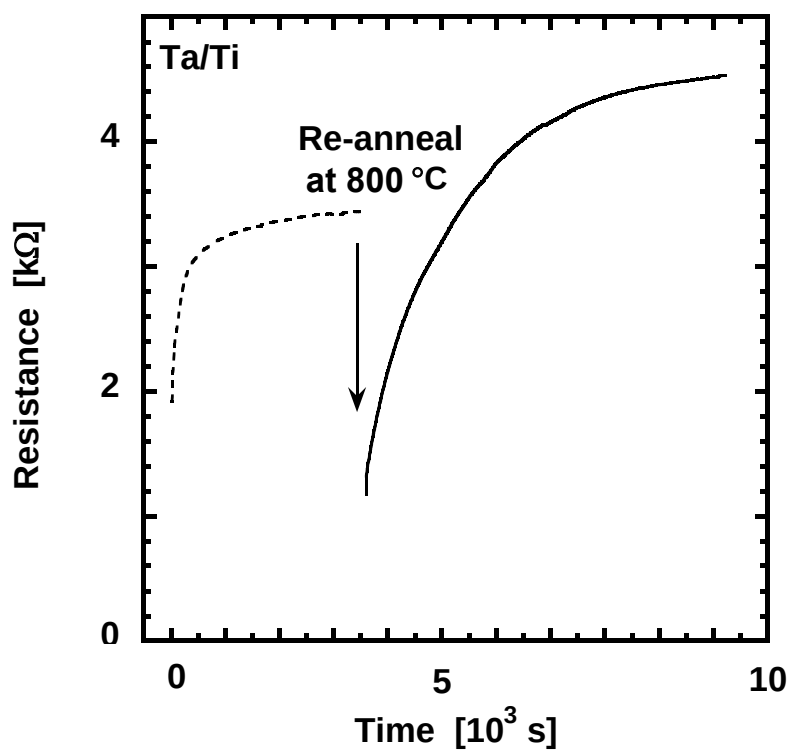


図 2-11 800 °C の再熱処理前後の DC 電流注入時の Ta/Ti の R_0 値の変化

図 2-12 に 60 Hz、8.5 kA/cm² の AC 大電流注入時の Pt(O₂)、Ni/Au(O₂)及び Ni/Au(N₂)の I-V 特性の変化を示す。熱処理直後の I-V 特性を点線で、室温で 26 時間、電流注入後の I-V 特性を実線で示す。この注入電流量は、レーザーダイオードの製品の動作時と同等である。この結果、Pt(O₂)、Ni/Au(O₂)及び Ni/Au(N₂)は、I-V 特性に変化が見られなかった。

図 2-13 に Ta/Ti に同様の電流を注入した場合の I-V 特性の変化を示す。60 Hz、4.3 kA/cm² の電流を室温で注入したところ、R₀ 値が注入時間とともに急速に劣化した。図 2-14 に 24 時間電流を注入した後の Ta/Ti の環状電極端の断面 SEM 画像を示す。電極材表面にはカーボン薄膜で覆うことで SEM の電子ビームによる影響を抑えた。この電流注入において、同心円状の電極が用いられているが中心の円形電極に正電圧が、8 μm 間隔をもつ環状電極に負電圧を印加した。この画像は中心の円形電極の端の断面を示しており、幅 0.6 μm のボイドが生じていることが分かる。これは円形電極に正電圧を印加した時の結果であり、逆に外側の環状電極に正電圧を印加した場合には、環状電極の内側端に同様のボイドが見られた。

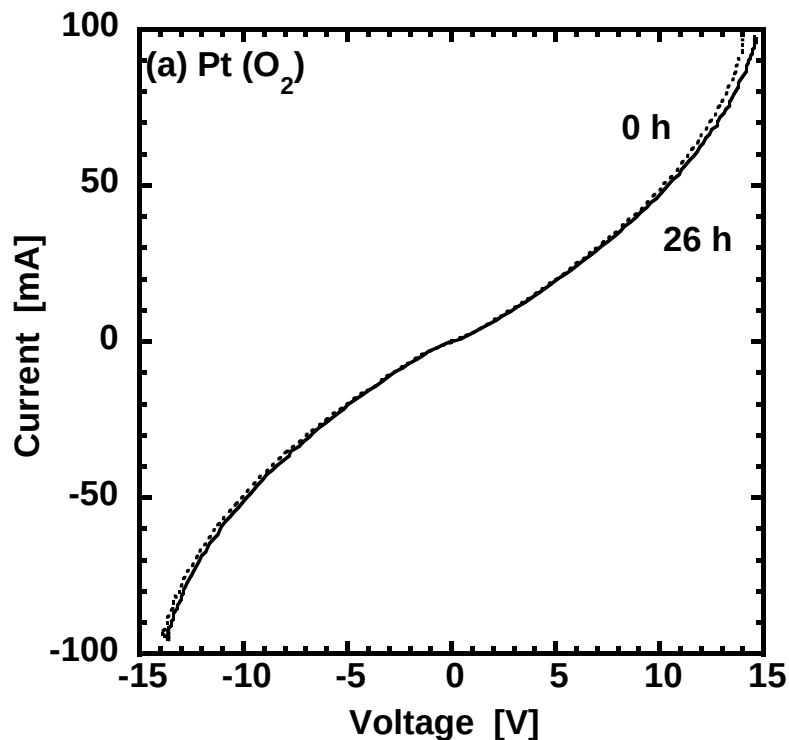


図 2-12 AC 大電流注入時の(a)Pt(O₂)

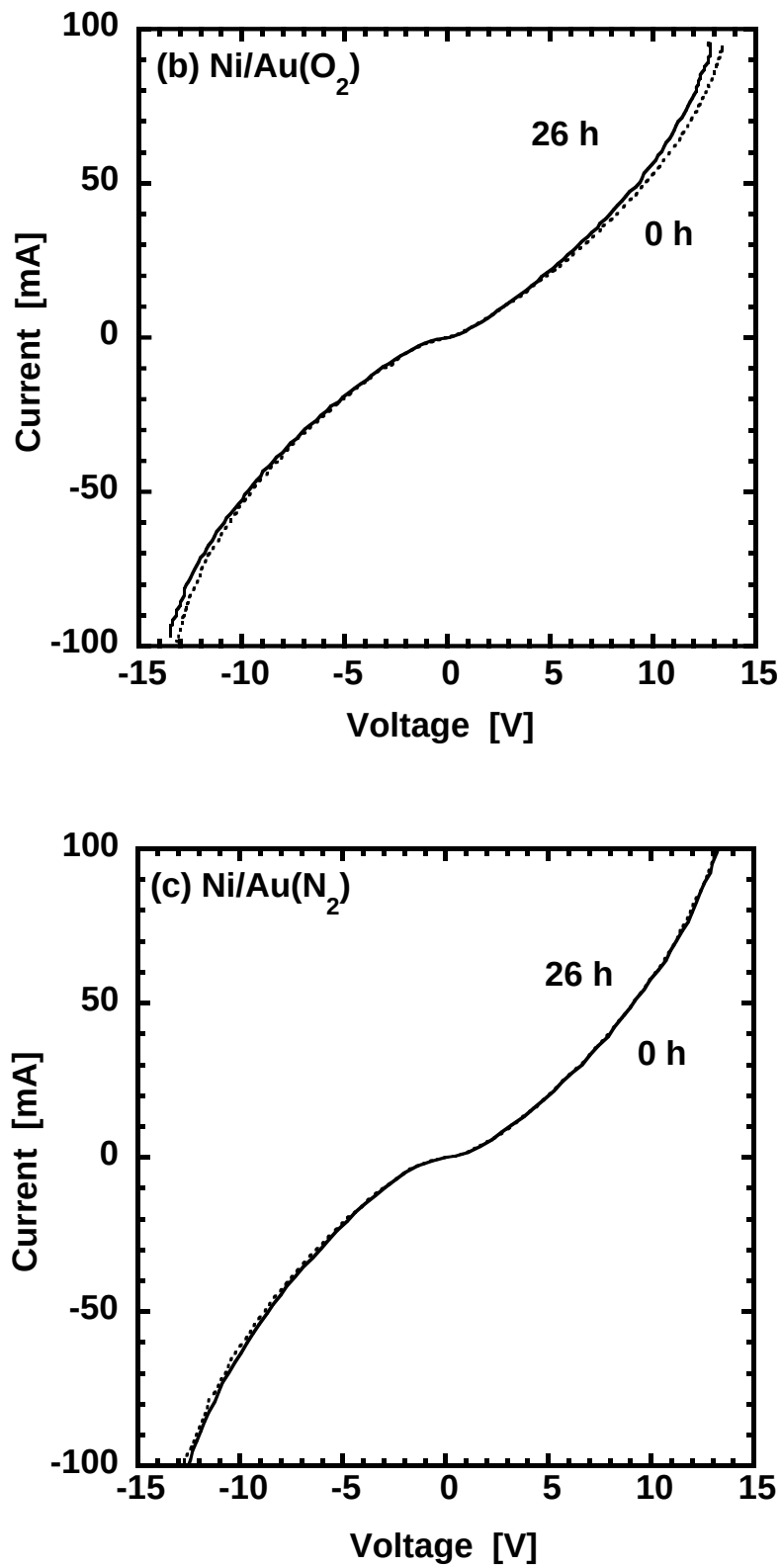


図 2-12 AC 大電流注入時の(a)Pt(O₂)、(b)Ni/Au(O₂)、(c)Ni/Au(N₂)及び(d)Ta/Ti の I-V 特性の変化

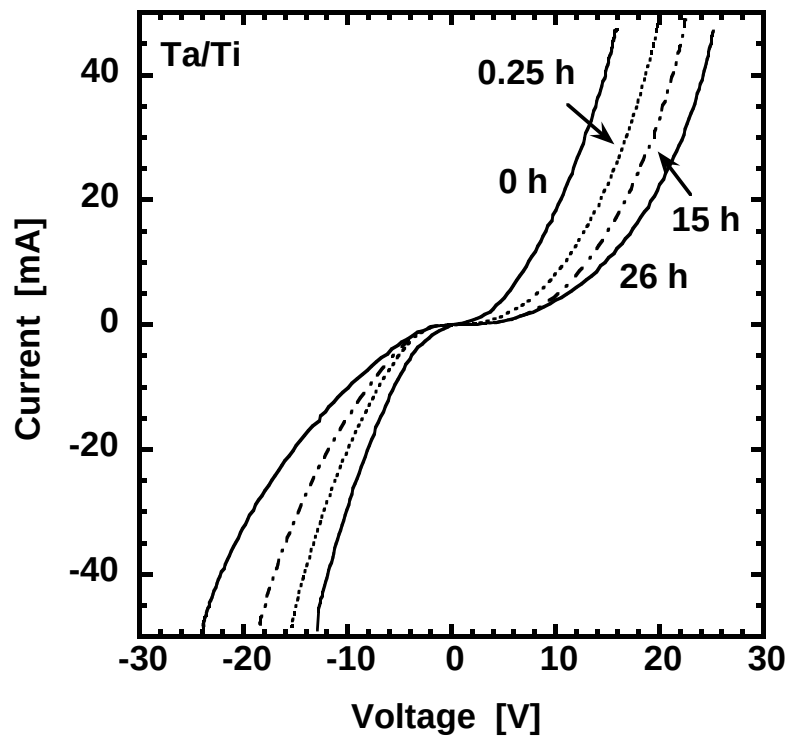


図 2-13 AC 大電流注入時の Ta/Ti の I-V 特性の変化

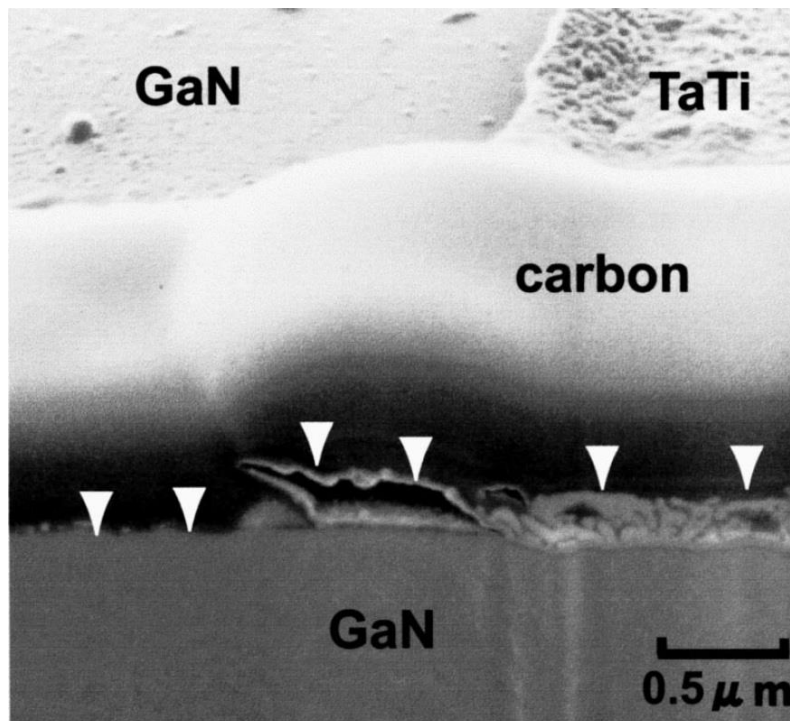


図 2-14 4.3 kA/cm² の電流を 26 時間注入した後の Ta/Ti の断面 SEM 画像

2.4.4 考察

これまでの結果から Pt(O₂)、Pt/Au(O₂)、Ni/Au(O₂)、Ni/Au(N₂)及び Ta/Ti の信頼性、電気的特性の比較を行う。表 2-1 にこれらの電極材の特性を理想的な電極材に求められる特性と比較した結果を記す。+ は理想的な特性を満足しており、- は満たしていないことを示す。Ta/Ti は接触抵抗値が $10^{-4} \Omega\text{cm}^2$ を満たしている [2-10] [2-11]、しかし、Pt(O₂)、Pt/Au(O₂)、Ni/Au(O₂)、Ni/Au(N₂)は $10^{-3} \Omega\text{cm}^2$ 台の接触抵抗値であり、レーザーダイオード実用化に実用な条件を満たしていない。Pt(O₂)、Pt/Au(O₂)、Ni/Au(O₂)、Ni/Au(N₂)は室温保存時、電流注入時に電気的特性及び形状の劣化が見られない。一方、Ta/Ti は室温保存時の接触抵抗値の劣化、電流注入時の接触抵抗値の劣化及び形状の変化が見られる。また、Pt(O₂)、Pt/Au(O₂)の p-GaN 層への付着力は良好であるが Ni/Au(O₂)は付着力が弱い。この比較の結果から Pt(O₂)、Pt/Au(O₂)が p-GaN に対する電極材として優れていると結論付けた。

これらの結果から、今後の p-GaN に対する高信頼性のオーム性電極材の開発の方向として次の 2 つがあげられる。

一つ目は、p 型の GaN のドーピング濃度を上げる技術を向上させることである。方法としては、MOPVE による GaN 膜の成膜時のホール濃度を向上させるという方法。電極材から注入させる、あるいは Ta/Ti が行っていると考えられるように、不活性化している Mg を活性化させることでホール濃度を向上させるといった方法が考えられる。ホール濃度が $3 \times 10^{18} \text{cm}^{-3}$ 程度に向上すれば、 $10^{-4} \Omega\text{cm}^2$ より低い接触抵抗値を Pt(O₂)、Pt/Au(O₂)で実現することができる [2-8]。このホール濃度は現実的な値であり、現状の Mg でドーピングした場合の 4 から 5 倍程度の濃度である。今後ドーピング濃度を向上させる技術を進めていく必要がある。

表 2-1 p-GaN に対する電極材の電気的特性、信頼性の比較

		Ideal	Pt(O ₂) and Pt/Au(O ₂)	Ni/Au(O ₂)	Ni/Au(N ₂)	Ta/Ti
Formation	ρ_c	$<10^{-4} \Omega\text{-cm}^2$	-	-	-	+
	Adhesion	strong	+	-	-	+
Deterioration	Storage	no	+	+	+	-
	Current-induced	no	+	+	+	-
	Failure	no	+	+	+	-

二つ目は、Ta/Ti の劣化メカニズムを解明することである。Ta/Ti は室温保存時と電流注入時に接触抵抗値が劣化する。図 2-9、図 2-11 に見られるように、接触抵抗値劣化後、800℃の再熱処理により接触抵抗値が再度低減することからもドーパントである Mg を不活性化している H 原子の拡散に関係があるとこれまでの結果から考えられる [2-11]。そこで、電流注入時の接触抵抗値の劣化が電極材から GaN のエピ層への H 原子の拡散によると仮定して、エレクトロマイグレーション [2-15]と拡散の理論に基づき、電極、エピ層界面の H 原子の濃度変化を見積もった。しかし、2.4.3-(2)で示したように、電流注入量と R_0 の依存性が小さいことが H 原子の拡散モデルでは説明できない。

また、図 2-14 に示したように、電流注入によるこのような電極の急速な変形は従来の拡散理論 [2-16]では説明ができず、現時点では原因は不明である。

これまで p 型 GaN に対する電極材として接触抵抗値が低い Pt(O₂)、Pt/Au(O₂)、Ni/Au(O₂)、Ni/Au(N₂) 及び Ta/Ti の信頼性、電気的特性の検討を行った。Pt、Pt/Au、Ni/Au は室温保存、電流注入条件において、良好で安定した電気的、機械的特性を示した。しかし、Ta/Ti は電流注入時に電気的、機械的な特性が急速な劣化を示した。また、Pt(O₂)、Pt/Au(O₂)は良好なエピ層への付着力を示したが、Ni/Au(O₂)は、エピ層への付着力が弱く不安定であった。以上の結果から、Pt 系の電極材によりホモ構造中間層を形成させ、半導体、電極間に高濃度不純物層を形成させることが、p 型 GaN に対する電極材の設計指針といえる。

(1) 1999 年研究当時の他の電極材との比較

1999 年研究当時における p 型 GaN 電極材の接触抵抗値とその年代を図 2-15 に示す。1999 年に p 型 GaN に対する電極材の設計指針として、ホモ構造中間層を形成させることが必要であることを示した。その方法として次の二つの指針を提案した。一つ目は、酸素中で熱処理を行うことで、ドーパントである Mg を活性化させることで、中間層のホール濃度を向上させる手法。二つ目は、ドーパントである Mg を不活性化させている H 原子を電極材で取り除くという手法である。一つ目の手法は、Pt 系電極材、Ni 系電極材といった仕事関数が高い材料のうち、p 型 GaN と相性が良い金属を電極材に用いて酸素中で熱処理を行うことでその有効性を示した。二つ目の手法は、Ta/Ti といった H 原子と結合しやすい金属を用いて Mg と結合している H 原子を、半導体と電極材の界面から取り除く手法である。これにより目標値である $10^{-4} \Omega \text{cm}^2$ より低い接触抵抗値を得ることができる可能性を示すことはできたが、その信頼性に課題があることが明らかになったが、電極材料の設計指針を示した。

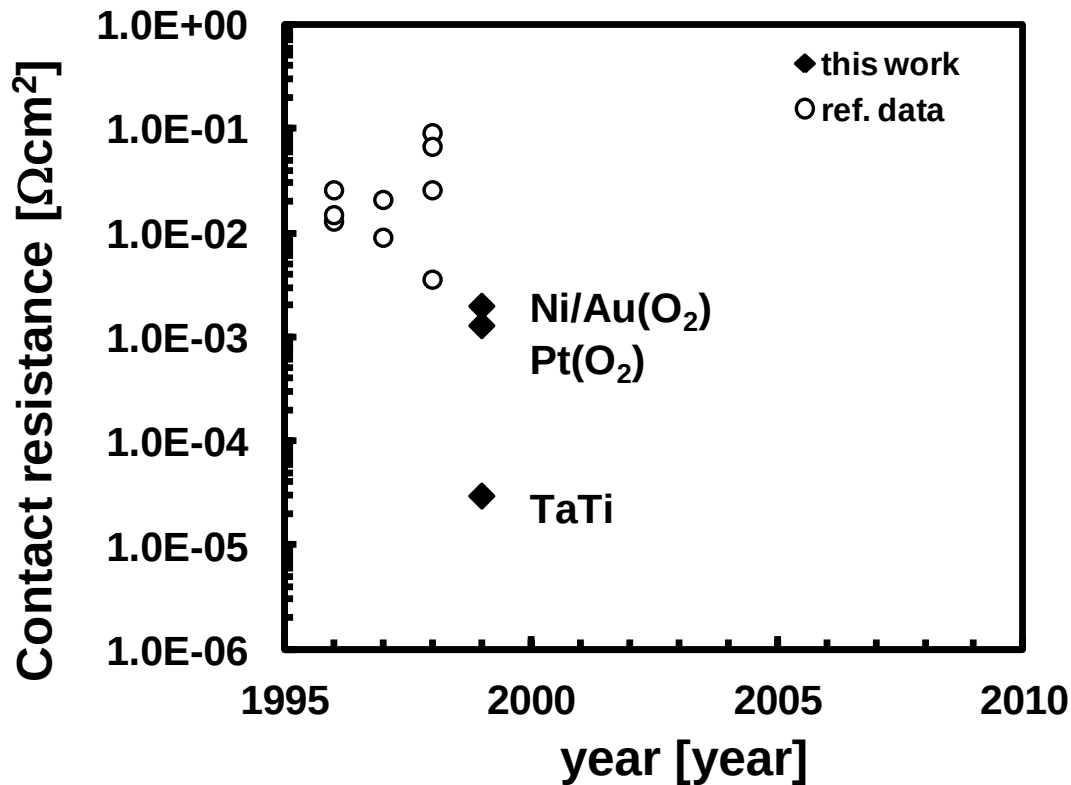


図 2-15 1999 年における他の電極材との比較

また、p 型 GaN のホール濃度を現状の 4 から 5 倍である、 $3 \times 10^{18} \text{ cm}^{-3}$ 程度に増加させれば Pt(O₂)、Pt/Au(O₂)を用いて、 $10^{-4} \Omega\text{cm}^2$ より低い接触抵抗値が得られるため、エピ層のホール濃度を向上させることが必要であるとした。

(2) 現在の電極材との比較

1999 年の研究当時から 15 年を経た 2014 年時点における p 型 GaN への電極材の研究成果との比較を図 2-16 に示す。この結果から 1999 年以降の研究における、電極材料設計指針は以下の 6 指針に大別することができる。

電極材料による H 原子の除去、酸素中熱処理による不純物濃度の高い半導体中間層の形成、仕事関数が高い材料の選択、Ni 系電極材、Transparent Conducting Oxide(TCO)系の仕事関数が高い材料の選択、表面処理による接触抵抗値の低減の 6 指針である。

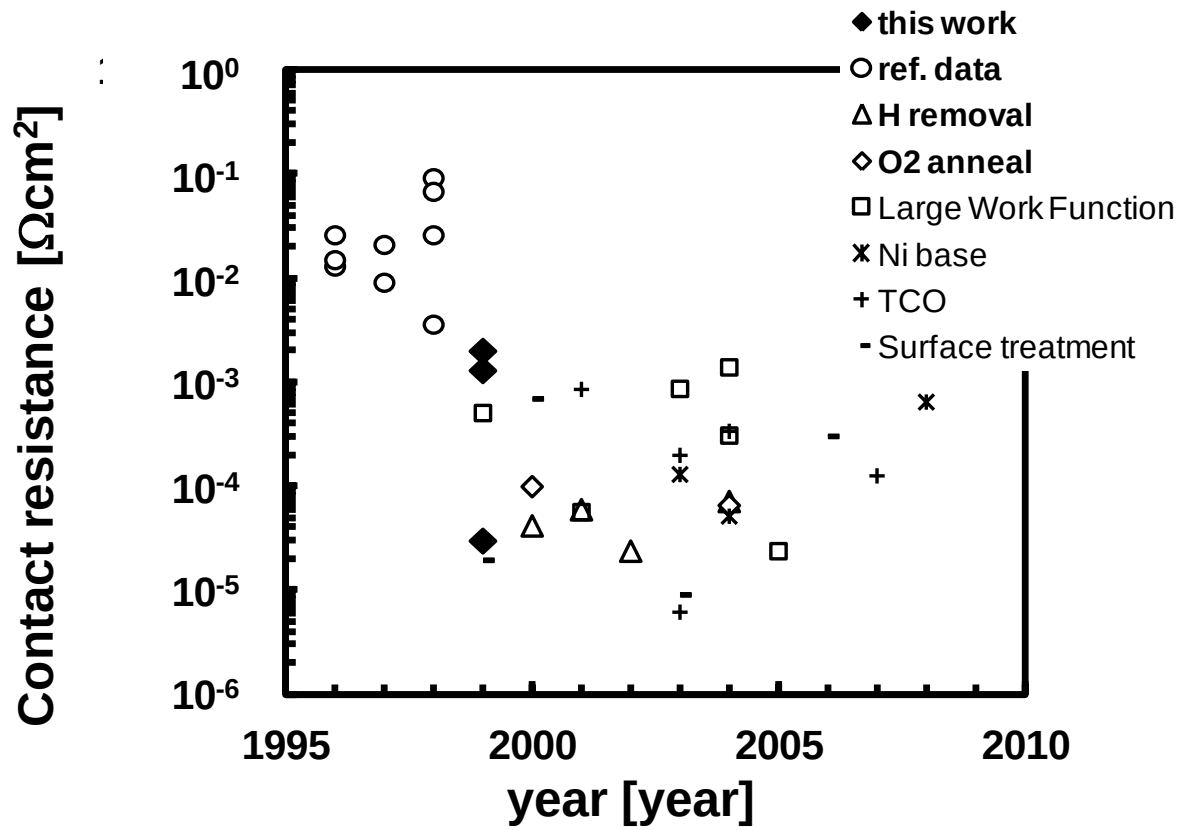


図 2-16 2014 年における電極材との比較

表 2-2 p-GaN に対する電極材

Scheme	Year	Material [nm]	Contact resistance [cm ²]	Hole concentratio n [m ⁻³]	Ref. no.
ref. data	1996	Au	1.30E-02	-	[2-29]
	1996	Ni	1.50E-02	-	[2-29]
	1996	Pt	2.60E-02	-	[2-29]
	1998	WSi	2.60E-02	1.00E+17	[2-30]
	1998	Ni/Au	9.20E-02	1.00E+17	[2-30]
	1998	W	6.80E-02	1.00E+17	[2-30]
	1998	Au-Zn/Ni	3.60E-03	4.40E+17	[2-31]
	1997	Pd/Au	9.10E-03	9.00E+16	[2-32]
	1997	Ni(20)/Pt(30)/Au(80)	2.10E-02	9.40E+16	[2-33]
O ₂ anneal	1999	Ni/Au	2.00E-03	3.40E+17	[2-34]
	2000	Ni/Pd/Au	1.00E-04	4.10E+17	[2-35]
	2004	Ni(5)/Ag(120)	6.60E-05	3.00E+17	[2-36]
H removal	1999	Ta(60)/Ti(40)	3.00E-05	7.00E+17	[2-37]
	2000	Ti (15)/Pt (50)/Au (80)	4.20E-05	3.00E+17	[2-38]
	2002	Pd/Ru	2.40E-05	3.00E+17	[2-39]
	2004	Ni-La(8)/Au(8)	7.20E-05	5.00E+17	[2-40]
	2001	ZrN/ZrB ₂	6.00E-05	1.00E+18	[2-41]
Ni base	2004	ZnNi(8)/Au(8)	5.20E-05	5.00E+17	[2-42]
	2003	Ni(20)/Cu(20)	1.31E-04	6.00E+17	[2-43]
	2008	Ni-Co(5)/Au(5)	6.50E-04	5.00E+17	[2-44]
Large Work Function	2001	Pd/Ni	5.70E-05	3.30E+17	[2-45]
	2003	Pd(20)/Re(25)	8.70E-04	1.10E+17	[2-46]
	2005	Pd/Ni/Au	2.40E-05	2.00E+17	[2-47]
	1999	Pt(20)/Ni(30)/Au(80)	5.10E-04	3.00E+17	[2-48]
	2004	Pt(20)/Re(30)/Au(80)	1.40E-03	1.13E+17	[2-49]
	2004	Pt/Pd/Au	3.10E-04	1.50E+17	[2-50]
Surface treatment	2000	Pt	7.10E-04	1.00E+17	[2-51]
	2003	Rh/Ni	9.30E-06	4.00E+17	[2-52]
	1999	Pt	2.00E-05	1.80E+17	[2-53]
	2006	Ni/Au	3.10E-04	1.00E+17	[2-54]
TCO	2001	Ni(10)/ITO(250)	8.60E-04	2.00E+17	[2-55]
	2003	Ni(10)/Au(30)/ITO(600)	2.00E-04	2.00E+17	[2-56]
	2003	Ni (5)/Al-doped ZnO (AZO) (450)	6.23E-06	5.00E+17	[2-57]
	2007	ZnNi(5)/ITO(380)	1.27E-04	3.00E+17	[2-58]
	2004	indium-oxide-doped ZnO (IZO)	3.40E-04	3.00E+17	[2-59]

表 2-2 に図 2-15、図 2-16 に記されている電極材料の接触抵抗値、ホール濃度をまとめる。1999 年には、Pt を用いて、表面洗浄により $2 \times 10^{-5} \Omega \text{cm}^2$ に到達している。これは、酸素中で熱処理を行った Pt に比べて 2 桁の低下である [2-17]。煮沸した BOE と $(\text{NH}_4)_2\text{S}_x$ を用いた表面処理により、GaN 表面の酸化膜除去とフェルミ準位が価電子帯の端に近づいたためとしている。これは、2.2 で述べたヘテロ構造中間層を生成してショットキー障壁を低減するのと同様に、半導体中間層を利用するのではなく、表面処理により GaN の表面準位を変えることで、実効的なショットキー障壁を低減する方法である。

2003 年には Ni と仕事関数大きい Al がドーピングされた ZnO(AZO)を組み合わせることで $6.2 \times 10^{-6} \Omega \text{cm}^2$ を実現している。AZO だけでは接触抵抗値はオーム性接触を示さないが、Ni を組み合わせることで接触抵抗値が低減される。これは、伝導性の高い NiO [2-18] が生成されたため、あるいは GaN と電極材界面に生成されていると思われる Ga 系化合物の生成により Ga 空孔が生成され、アクセプタとして機能 [2-19] するためと考えられている。

本研究での電極材の設計指針は、H 原子除去、酸素中熱処理という分類に反映されており、この指針により $10^{-4} \Omega \text{cm}^2$ 以下の接触抵抗値が実現されている。また、この分類のうち仕事関数大きい材料に分類されているものには Pt 系材料を用いた Pt/Au に Ni、Re、Pd を加えた電極材料を用い、さらに表面処理技術を合わせて接触抵抗値を低減されたものが含まれる。このように本研究での電極材の設計指針は、その後の研究に生かされていると言える。

2.5 n 型 InAlAs への電極材

ホモ構造中間層の形成による n 型半導体である InAlAs へのオーム性電極材について述べる。2000 年において高周波デバイスとして最も遮断周波数が高いデバイスの一つである InP HEMT の高周波特性向上を実現するため、アロイオーム性電極の研究を行った。

InP HEMT の課題として、チャネル内でインパクトイオン化により発生するホールが、キンク [2-20] [2-22] [2-23] [2-24] [2-25] や、ドレインコンダクタンスの周波数分散を引き起こす [2-25] [2-26] [2-27] といった点がある。これらの現象が高速特性の劣化、ノイズ特性の劣化を引き起こすと考えられる。従来の InP HEMT は、バリア層の上に高濃度にドーピングされたキャップ層を用いて、熱処理を行わないノンアロイオーム性電極材が用いられていた。従来構造の InP HEMT に用いられる構造の断面を図 2-17 に示す。このノンアロイオーム性電極は、温度に対して安定で低接触抵抗値を示す ($\sim 0.05 \Omega \text{mm}$)。しかし、このノンア

ロイオーム性電極は、供給層とチャネル層の界面にチャネル内部でのホール蓄積の一因となるホール障壁を形成する。従って、このホール障壁を除去することで従来構造の InP HEMT の高周波特性を劣化させるホール蓄積を抑圧できると考えられる。このホール障壁除去を実現のため、チャネル層にソース、ドレイン電極が直接接触させることができる DA 法を用いたアロイオーム性電極が必要である。

AuGe/Au アロイオーム性電極は GaAs HEMT に一般的に用いられている。しかし、AuGe/Au は InP HEMT の n 型 InGaAs キャップ層上に形成させると、InP HEMT の層構造に多く含まれる In と Au との反応により表面形状が粗くなる。表面形状が粗くなると、電極材と接触する配線層の付着力が弱くなり信頼性が低下する。そのため、図 2-17 に示す従来構造の HEMT 構造から、InGaAs キャップ層を除去し、InP エッチングストッパー層上に電極材を作成し、DA 法により、InGaAs チャネル層に直接接触できる電極材の研究を行う。接触抵抗値の目標値としては、従来構造の HEMT がソース電極からチャネル層までのソース抵抗が $0.5 \Omega\text{mm}$ 程度あることから高周波特性を向上させるために $0.25 \Omega\text{mm}$ とした。

n ⁺ -InGaAs (Si, $1\text{e}19 \text{ cm}^{-3}$)	50 nm
i-InP	6 nm
i-InAlAs Barrier	8 nm
n-InAlAs (Si, $5\text{e}18 \text{ cm}^{-3}$)	7 nm
i-InAlAs Spacer	3 nm
i-InGaAs Channel	25 nm
i-InAlAs Buffer	200 nm
InP Substrate	

図 2-17 従来構造の InP HEMT の断面構造

2.5.1 実験方法

InP HEMT 構造のエピ層を、MOVPE 法により 3 インチの InP 反絶縁基板上に成膜した。図 2-18 に示されるような基板に格子整合した InAlAs/ InGaAs HEMT 構造のエピ層は 200 nm 厚のドーピングされていない InAlAs バッファ層、25 nm のアンドープ $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (bandgap energy 0.50 eV) チャンネル層、3 nm アンドープ InAlAs スペース層、7 nm Si ドープ n 型 InAlAs ($n=5 \times 10^{18} \text{cm}^{-3}$) 供給層、8 nm アンドープ InAlAs バリア層、そして 6 nm アンドープ InP 層から構成されている。

電気的特性及び表面形状の比較を行うため Ni/AuGe/Au 及び AuGe/Au を InP 層の上に成膜した試料を作成した。膜構造は Ni (1 nm)/AuGe (50 nm)/Au (99 nm) (1)、Ni (5 nm)/AuGe (50 nm)/Au (95 nm) (2)、Ni (20 nm)/AuGe (50 nm)/Au (80 nm) (3) 及び AuGe (50 nm)/Au (100 nm) (4) の 4 種類である。試料 1、2 と 3 は 250、300、350 及び 400℃において分間窒素中で熱処理を行った。また、試料 1、3 及び 4 は 350℃において 1 時間窒素中で熱処理を行った。接触抵抗値の評価には TLM 法を用いて、電極材とチャンネル層の接触抵抗値の評価を行った。構造解析は $\text{CuK}\alpha$ による X 線解析及び Auger electron spectroscopy (AES) により行った。電極材の信頼性評価として、光学顕微鏡による表面形状の確認及び付着力の確認を行った。

i-InP	6 nm
i-InAlAs Barrier	8 nm
n-InAlAs (Si, $5 \times 10^{18} \text{cm}^{-3}$)	7 nm
i-InAlAs Spacer	3 nm
i-InGaAs Channel	25 nm
i-InAlAs Buffer	200 nm
InP Substrate	

図 2-18 InAlAs/InGaAs HEMT 構造

2.5.2 実験結果

(1) 電気的特性

試料 1、2 及び 3 を窒素雰囲気中で 250 から 400℃において 5 分間熱処理した結果を図 2-19 に示す。この結果から接触抵抗値が Ni の膜厚に大きく依存することが分かる。Ni 膜厚が 1 から 5 nm の時に低接触抵抗値が得られた。試料 1 においては、300℃ 5 分間の窒素雰囲気での熱処理で 0.19 Ωmm の接触抵抗値が得られた。

(2) 構造解析

オーム性接触形成メカニズムを調べるために AES により深さ方向の元素の濃度分布の解析を行った。用いた AES の元素分析の分解能は 10 nm で、Ar+によるスパッタリングによりエッチングを行いながら元素分析を行う。図 2-20 に試料 1 と 3 を 300℃において 5 分間窒素雰囲気中で熱処理を行った後の AES による元素の深さ方向濃度分布を示す。点線は電極材と半導体の界面を示す。これは、試料 1、3 を熱処理する前に求められた。この図 2-20(a)結果より、試料 1 において熱処理後 Ge 原子が電極、半導体の界面に

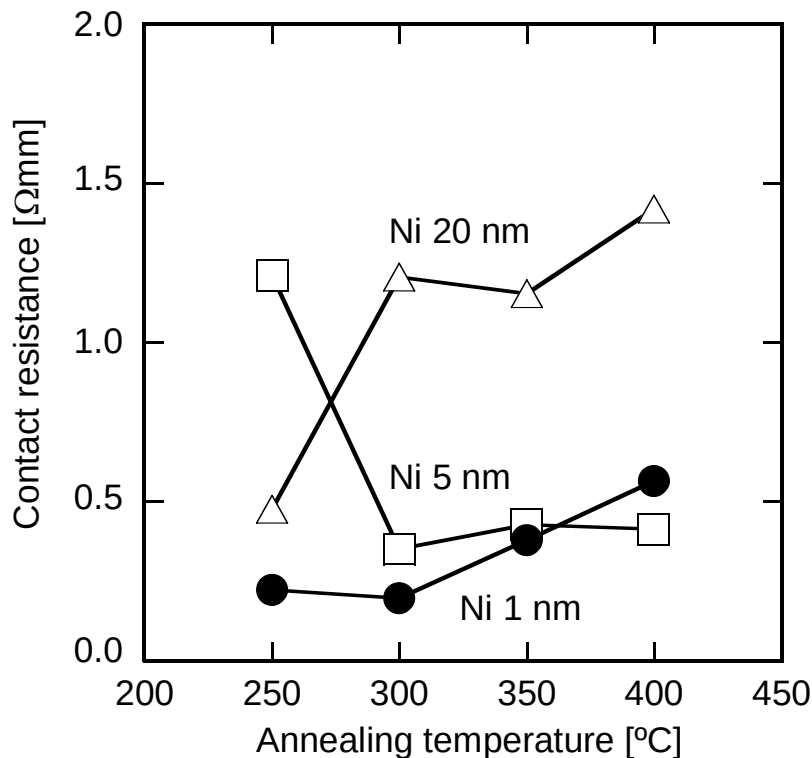


図 2-19 接触抵抗値の窒素雰囲気熱処理温度依存性

拡散していることが分かる。また、Al が電極材表面に拡散していることも分かる。試料 3 でも熱処理後、試料 1 と同様に Ge 原子の電極、半導体界面への拡散が見られる。Al 原子についても電極表面に拡散し Al_2O_3 を形成していることが分かる。さらに、Au 原子が半導体側へ拡散し、In 原子が電極表面に拡散している。この結果、Ni 原子が半導体層の中に完全に拡散していることが分かる。

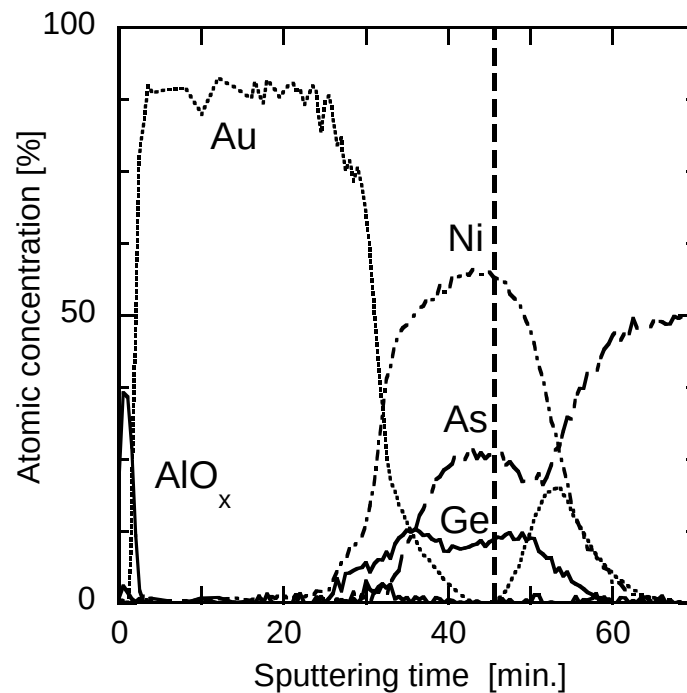
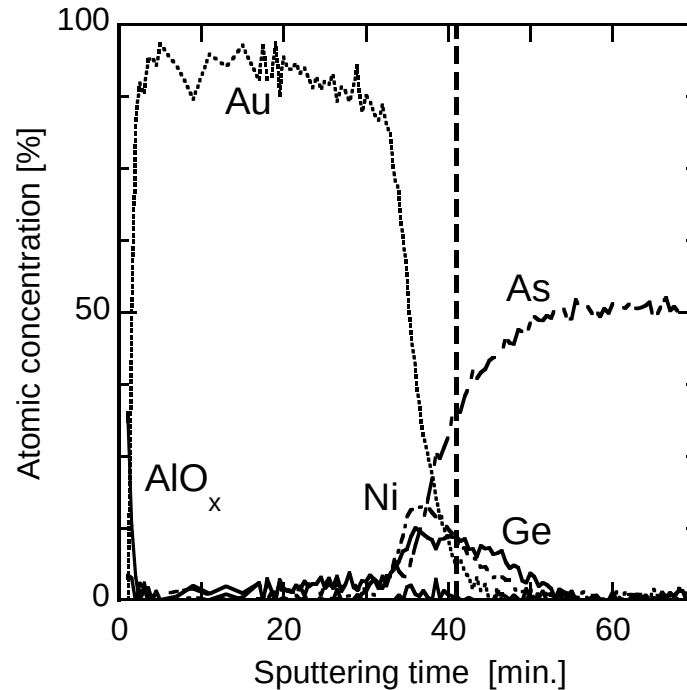


図 2-20 Ni/AuGe/Au の AES による各元素の濃度分布(300℃ 5 分間窒素雰囲気熱処理後) (a)試料 1
(b)試料 3

この Ni/AuGe/Au について X 線解析からも構造解析を行った結果を図 2-21(a)、(b)及び(c)に示す。熱処理前は、Au と InP に対応する回折パターンのみが見られた。このことから、成膜後、室温では電極材料による化合物の生成が起こらないことが分かる。つまり、電極材料の相互拡散は室温では起こっていないと言える。300℃の窒素雰囲気での熱処理後、試料 1 及び 2 で NiGe(040)、(322)の回折パターンが見られた。試料 3 では、Au のピークが熱処理後大幅に小さくなった。このことから Au 原子が InAlAs 層中の In、Al と反応し、AlAu₂、Au₃In 化合物が生成したと考えられる。試料 1 及び 2 では Ge 原子は Ni 原子と反応し、NiGe 化合物を生成した。Ge 原子と化合物を生成できなかった余剰 Ni 原子は InAlAs 層の As と結合して NiAs 化合物を生成する。InAlAs 層の Al は熱処理後、Al₂O₃ を形成する。

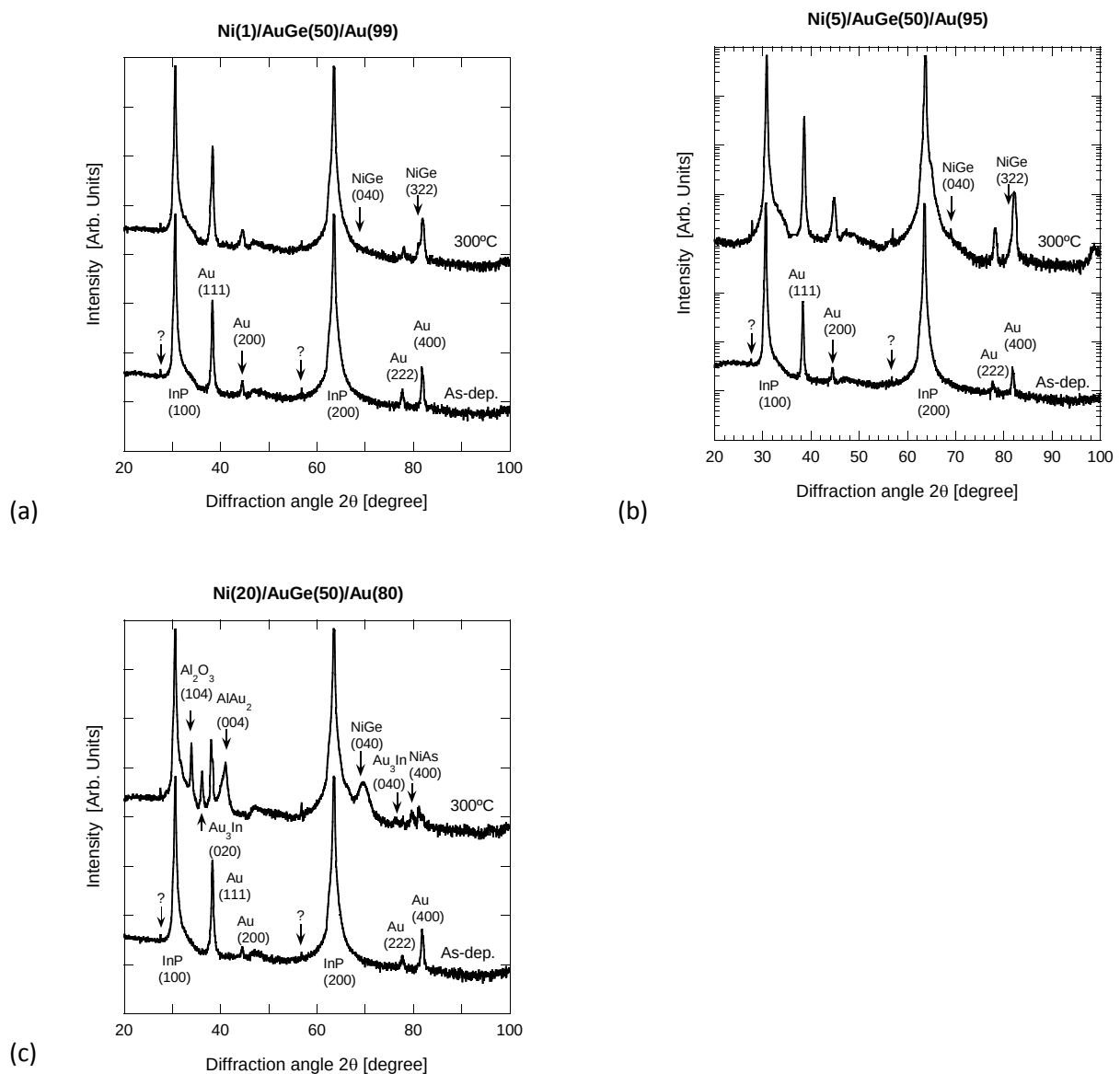


図 2-21 Ni/AuGe/Au の X 線解析による構造解析(300℃ 5 分間窒素雰囲気熱処理後) (a)試料 1 (b)試料 2 (c)試料 3

(3) 信頼性

この電極材の信頼性の評価として、表面形状と付着力について評価を行った。Ni/AuGe/Au と AuGe/Au のオーム性電極の試料 1、2 及び 4 がオーム性接触を形成してから 350℃1 時間熱処理を行った後の表面形状を光学顕微鏡で評価した。試料 1 の表面写真を図 2-22(a)に示す。この結果から試料 1 の表面は滑らかで電極の端面形状も保たれていることが確認できる。図 2-22(b)から試料 3 は、熱処理後表面が粗くなっていることが分かる。図 2-22(c)から AuGe/Au は、表面形状が劣化していることが分かる。30 分の熱処理後には表面形状の劣化が始まり、1 時間後には表面に凹凸が見られるようになる。表面の色も不均一になっていることが観察され、電極と半導体の反応が不均一であることが分かる。

表面形状によらず電極材と半導体の付着力は良好であることが確認された。

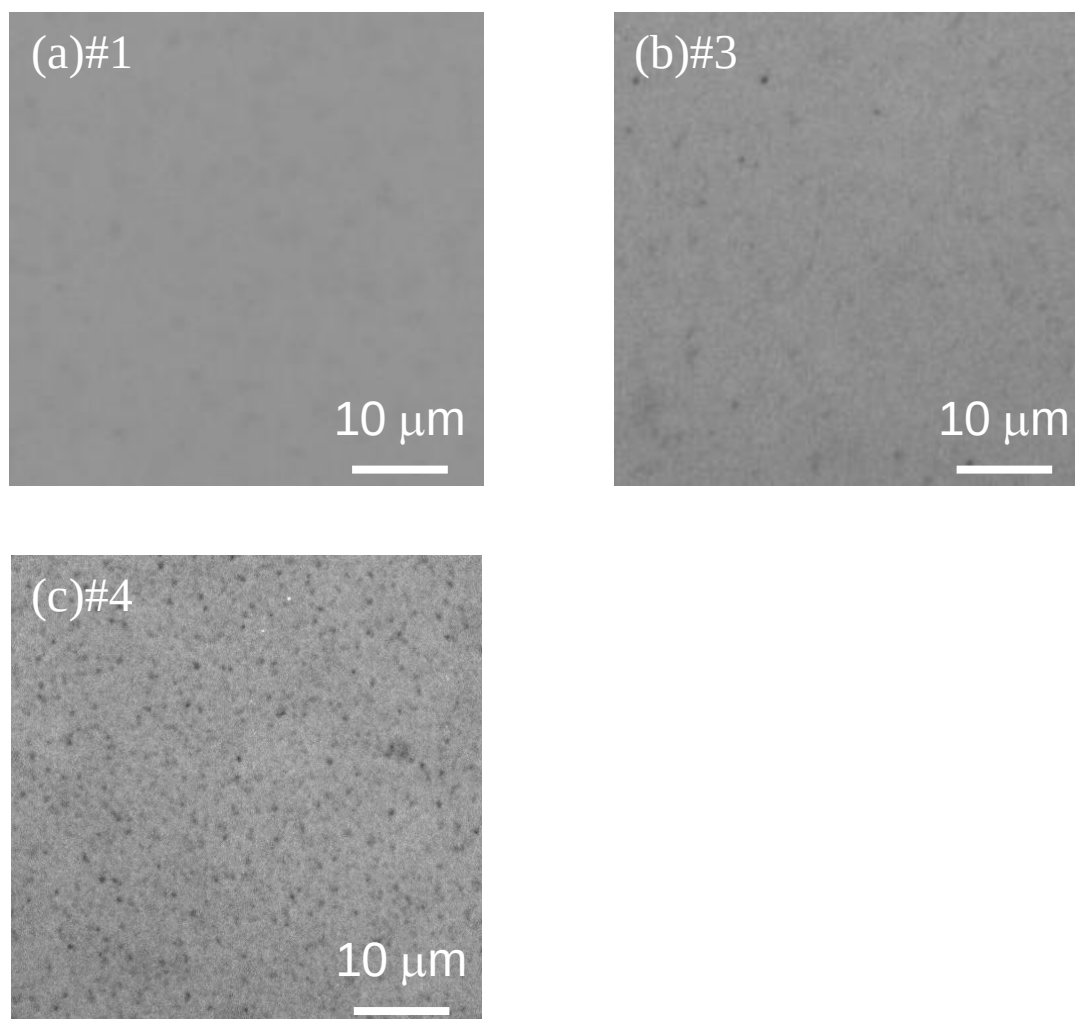


図 2-22 350℃、1 時間熱処理を行った後の光学顕微鏡による電極表面写真 (a) 試料 1 (b)試料 3 及び (c)試料 4

2.5.3 考察

InP HEMT の高周波特性を向上させるため必要な電極材の特性として低い接触抵抗値と温度変化に対して安定した表面形状があげられる。本研究で InP/InAlAs/InGaAs に対する電極材として Ni/AuGe/Au が必要な特性を満たすことが示された。ここでこの電極の電気的特性、電極の微細構造及び表面形状の関係について考察する。

X 線解析及び AES の結果から明らかになった熱処理前と熱処理後の電極と半導体の断面構造を図 2-23 に示す。図 2-23(a)に試料 1 Ni (1 nm)/AuGe (50 nm)/Au (99 nm) 、(b)に試料 3 Ni (20 nm)/AuGe (50 nm)/Au (80 nm) の断面図を示す。

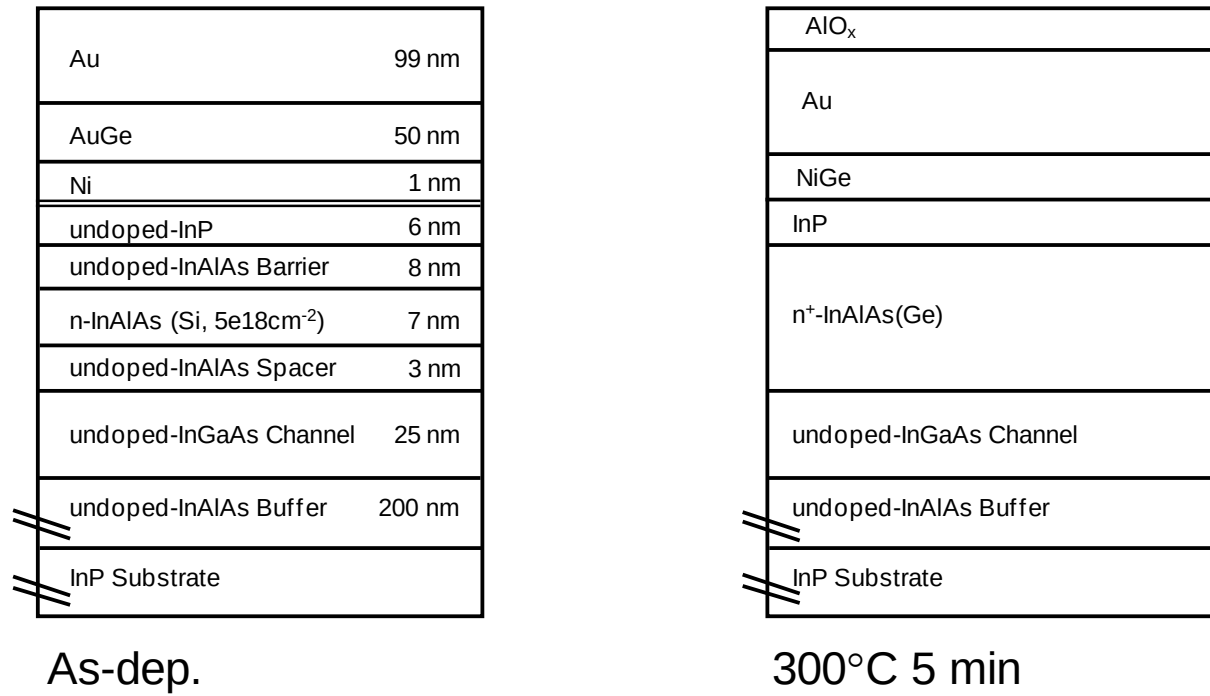
試料 1 については、Ni は電極材と半導体の反応を促進させ InAlAs 供給層中の Al が電極の表面に拡散して Al の酸化物を形成する。少量の Ge は反応せずに電極中に残る。InAlAs 中の Al が電極表面に拡散した結果、Ge が InAlAs 層に拡散し、Al サイトを Ge が置換することで高濃度の n 型 InAlAs になり接触抵抗値が低減されと考えられる。

試料 3 は、試料 1 と同様に、Al が電極表面へ拡散し、Al の酸化物、 Al_2O_3 を形成する。Ni は Ge と反応し NiGe を形成する。過剰な Ni は As と反応し NiAs 化合物を形成する。InAlAs 供給層の Al は電極材から半導体へ拡散してくる Au と反応して AlAu_2 を生成する。InAlAs 供給層中の In は、電極表面へ拡散し、Au と反応し Au_3In 化合物を生成する。Au と In の反応が電極材表面の形状を凹凸にする。表面が滑らかでないと配線層との接触が不十分になり、接触部分の抵抗値が上昇して電圧降下を引き起こす。また、電極材と半導体の反応が過度に進行することで半導体と電極材の界面に高濃度なホールの存在する半導体中間層が形成されなくなる。このため、半導体と電極材の接触抵抗値が上昇する。

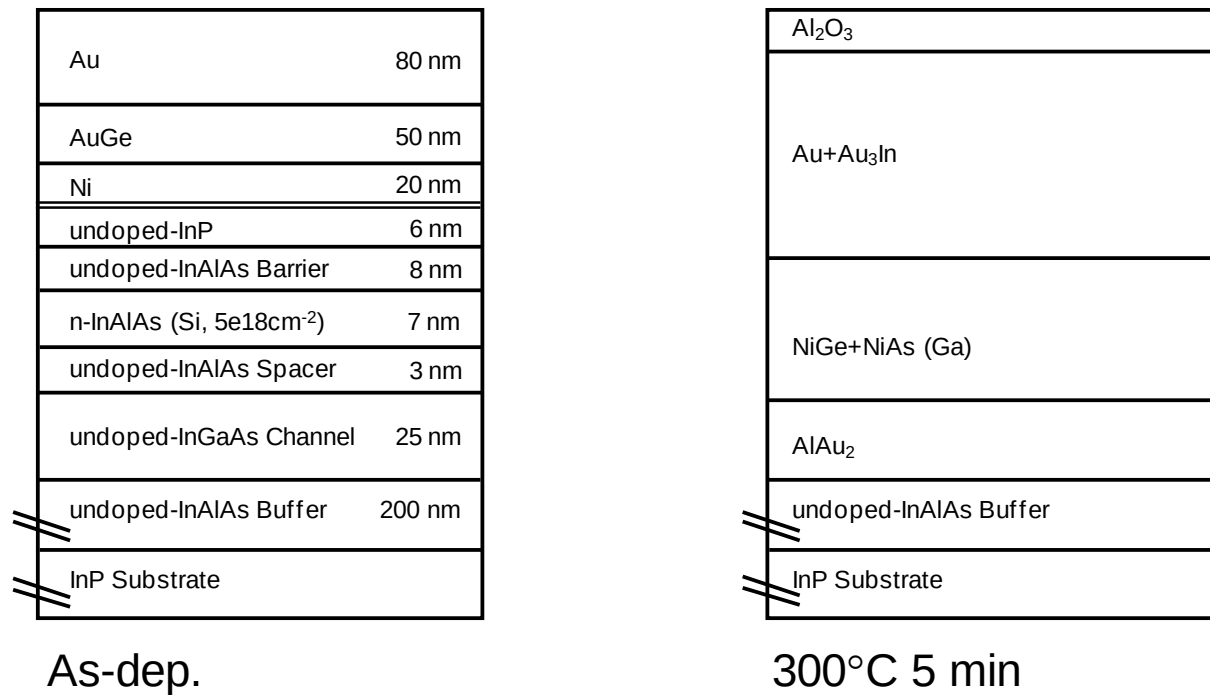
図 2-22 に示したように試料 1 の表面はオーム性接触形成後に 350°C の窒素雰囲気中で 1 時間熱処理を行った後も表面は滑らかであった。一方、試料 3 は同じ条件の熱処理後に表面に凹凸が生じた。このことから過剰な Ni は、In と Au の電極表面での反応を促進することになるといえる。

熱処理後の試料 1 と Ni を含まない試料 4 の結果の比較から、Ni を加えることで表面形状の熱安定性が向上したことが分かる。これは、電極、半導体界面における NiGe 化合物の生成により、半導体中の In の電極側への拡散が抑制されることで In と Au の反応が抑制され、表面形状が安定すると考えられる。

以上より、AuGe/Au 電極に Ni を電極、半導体間に適切な量を挿入することで接触抵抗値の低減と安定した電極と半導体の接触が得られ、表面形状の熱安定性が向上することが分かった。



(a)



(b)

図 2-23 熱処理前後での電極、半導体界面の微細構造 (a)試料 1、(b)試料 3

ホール蓄積は、InP HEMT の課題であるドレイン電流とドレイン電圧特性におけるキンクとドレインコンダクタンスの周波数分散を引き起こす一因となる。このホール蓄積を抑制するために必要な InAlAs/InGaAs HEMT 構造のチャネルに直接オーム性接触する電極材の検討を行った。その結果、Ni/AuGe/Au 電極の接触抵抗値は Ni 膜厚に依存し、1 から 5 nm において低接触抵抗値と表面形状の熱安定性が良好であることが分かった。接触抵抗値は窒素雰囲気中で 300℃の熱処理において 0.19 Ωmm が得られ、目標の接触抵抗値 0.25 Ωmm 以下の値を得ることができた。従来の 0.5 Ωmm のソース抵抗に比べて 0.19 Ωmm に低減することで、実効的なトランスコンダクタンスの値が 25%増加する。つまり、ノイズ指数(Noise Figure、NF)0.5 dB 程度の改善に相当する効果が得られた。

また、この電極がオーム性接触を得るメカニズムは以下に述べるとおりである。電極中の Ge の一部が Ni と反応し、Ni とは反応しない Ge が半導体側に拡散する。InAlAs 供給層中の Al が電極表面に拡散し、 Al_2O_3 の酸化物を形成することで供給層中の Al サイトを半導体側に拡散してきた Ge が置換しドナーとなる。これにより電極、半導体界面に高濃度のドーピング層が形成されることで接触抵抗値が低下する。

この電極材の表面形状は、オーム性接触形成後の 350℃の窒素雰囲気での 1 時間の熱処理後も安定していることが確認された。これは、電極、半導体界面に形成された NiGe が InAlAs 供給層中の In が電極側に拡散するのを抑制し In と Au の反応を抑制しているためである。

このように、n 型半導体である、InAlAs/InGaAs HEMT 構造へのオーム性電極材は、高濃度な自由電子濃度のホモ構造半導体中間層を形成させることで低接触抵抗値を得た。電極材の設計指針として、オーム性接触を得るためには n 型半導体のドナーとなりうる元素を電極材に用いること。また、置換させる対象の元素が電極材側に拡散するように、化合物を形成しやすい元素、つまり対象の元素を電極側に引き抜く元素を電極材に用いること。また、この結果電極材側で生成される化合物が表面形状を劣化させない化合物であることが望ましい。表面形状の劣化を引き起こす可能性がある場合は反応が極端に進まないように電極材に用いる引き抜きを行う元素の量を制御するか、半導体側からの過剰な電極材側への拡散が起こらないようなバリア層の役割を果たす材料を電極材に用いることが必要である。

2.5.4 現在の電極材との比較

Ge/Ag/Ni を用いて InAlAs/InGaAs HEMT 構造にオーム性接触をとる手法が 2006 年に行われた [2-28]。これは、Au を用いないことで熱安定性を向上させている。また、Ag を用いることで Ge が電極、半導体界面から離れて拡散していくことを抑制する効果があると考えられる。これにより接触抵抗値 0.1 Ωmm 以下、

熱安定性の向上を実現した。電極材の設計指針としては、従来の Au, Ge, Ni を用いた指針と同様である。Ag を使い電極、半導体界面での高濃度ドーピング層の構造を良好に保たせ、Au を除くことで熱安定性を向上させた。

2.6 まとめ

無線通信端末の集積化において 2000 年前後において重要であった高周波デバイス低ノイズ化技術の中で、熱雑音低減に必要なデバイス寄生抵抗低減技術であるオーム性電極材の接触抵抗値低減手法について述べた。

特に、2000 年前後において無線通信端末に用いられる高周波デバイスであった高電子移動度トランジスタや主に III-V 族半導体によるバイポーラトランジスタにおいて、デバイスの高周波特性の向上に必要なのはゲート長の微細化だけではなくゲート抵抗の低減など寄生素子を低減させることであった。この中で、本章では遮断周波数だけでなくデバイス熱雑音特性にも大きな影響を与えるソース抵抗低減方法について、電極材の接触抵抗値低減の観点からの研究について述べた。

このソース抵抗の大きな割合を占めるのがオーム性電極材における接触抵抗値である。本研究では、p、n 型両方の半導体に対して DA 法を用いてオーム性接触を得るための電極材の設計指針を得ることを目的として行った。p 型半導体の研究対象としてはバンドギャップが大きく、高耐圧特性に優れる GaN を選択した。この材料は高出力増幅器、高周波高耐圧スイッチに用いられるデバイスとして着目されており、バンドギャップが大きくホール濃度の高いエピ層の作成が難しいため、p 型半導体に対する電極材を実現することが困難であった。

本研究により、p 型 GaN に対する接触抵抗値は従来の $10^{-2} \Omega\text{cm}^2$ から $1.3 \times 10^{-3} \Omega\text{cm}^2$ に低減することができた。また、n 型 InAlAs への接触抵抗値は、 $0.19 \Omega\text{mm}$ が得られた。つまり、従来デバイスのソース抵抗値が $0.5 \Omega\text{mm}$ から $0.25 \Omega\text{mm}$ に低減することができた。これらの接触抵抗値低減によりどの程度受信器の SNR 向上に影響があるかを以下に見積もる。

n 型 InAlAs 電極材の受信器 SNR 向上効果は以下のように求められる。式 2-3 において、InP HEMT デバイスの g_{me} を 0.9 S/mm 、 R_s を $0.5 \Omega\text{mm}$ とするとトランスコンダクタンス g_m は 1.57 S/mm となる。ここで R_s が $0.25 \Omega\text{mm}$ に低減されると実効的なトランスコンダクタンス g_{me} は 1.13 S/mm となり、

g_{me} は約 25% 増加する。つまり、受信器初段の増幅器の NF 2.5 dB、ゲイン増加 25% としてフリスの公式から NF が 0.4 dB 低減されることが分かる。

同様に p 型 GaN に対する電極材についても求めることができる。まず、膜抵抗 R_s を $100 \Omega/\square$ とすると $10^{-2} \Omega\text{cm}^2$ と $1.3 \times 10^{-3} \Omega\text{cm}^2$ はそれぞれ $1 \Omega\text{mm}$ 、 $0.36 \Omega\text{mm}$ 。また、ゲート長 $0.1 \mu\text{m}$ のデバイスサイズを考慮すると R_s は大きくても $0.2 \Omega\text{mm}$ 程度である。従来電極のデバイスでの実効的なトランスコンダクタンス g_{me} を 0.3 S/mm を仮定すると、トランスコンダクタンス g_m は 0.468 S/mm となる。Pt 系電極材を用いることで接触抵抗値が低減すると g_{me} は 0.40 S/mm となり、 g_{me} は約 33% 増加する。ここで、受信器初段の増幅器の NF が 2.5 dB、ゲイン増加 25% としてフリスの公式から NF が 0.5 dB 低減されることが分かる。

本章では、この p 型 GaN に対するオーム性電極の研究から p 型半導体に対する電極材の設計指針として次の指針を明らかにした。低接触抵抗値を得るためには、仕事関数の大きい材料を電極に用いて電極、半導体界面において、ホモ構造中間層を形成させアクセプタを活性化させるという指針である。

p 型 GaN においては、酸素中で熱処理を行うことでアクセプタである Mg を活性化させられることを明らかにした。また、Mg は H 原子と結合して不活性化していることが分かっており、その H 原子と結合しやすい元素を電極材に用いることで、Mg と H の結合を切断し Mg を活性化させるということも有効であることを明らかにした。

この設計指針の妥当性は、本研究の後の報告からも明らかにされており接触抵抗値の低減が実現されている。また、本研究の後で明らかになったのは、電極材を成膜する前の表面処理方法をさらに検討することで、接触抵抗値が下げられる可能性があるという点である。これは半導体表面のフェルミ準位が変化し、ショットキー障壁の高さを低減させる可能性があるため有効である。

n 型半導体の研究対象としては、高周波動作に優れる InP HEMT のキンク抑制、ノイズ特性改善などを目的として n-InAlAs/InGaAs を選択した。この n 型半導体に対するオーム性電極の研究から、n 型半導体に対する電極材の設計指針として次の指針を明らかにした。

p 型半導体に対するのと同様に、ホモ構造中間層を形成させて、電極材にアクセプタとなる元素とその元素と置換させたい半導体中の元素と化合物を生成させる元素を電極材に用いることで、ホール濃度を向上させるという指針である。但し、この指針は電極材と半導体の反応を前提としているため反応が過度に進行して表面形状が劣化するのを防ぐ対策も必要である。

n 型 InAsAs/InGaAs においては、電極材中に InAlAs のドーパントとなりうる Ge を用いて、Ge と置換させたい In や Al と化合物を生成しやすい元素を電極材に用いることで電極、半導体界面の自由電子濃度を向上させた。この場合、電極材に含まれる Au と In の反応が過度に進行すると表面形状が劣化するため、電極材中の元素の比率を制御、あるいは、バリア層となる元素を添加する必要がある。この指針についてもその後の研究によりその妥当性が確認されている。

参考文献

- [2-1] H. Statz, H. A. Haus, and R. A. Pucel, "Noise characteristics of galliumarsenide field-effect transistor," IEEE Trans. Electron Devices, vol. 21, no. 9, pp. 549-562, Sept. 1974.
- [2-2] A. Y. C. Yu, "Electron tunneling and contact resistance of metal-silicon contact barriers." Solid-State Electron., 13, pp.239-247, 1970.
- [2-3] M. Murakami, Materials Science Reports, 5, 275, 1990.
- [2-4] J. T. Trexler, S. J. Pearton, P. H. Holloway, M. G. Mier, K. R. Evans, and R. F. Karlicek, "Comparison of Ni/Au, Pd/Au, Cr/Au metallizations for ohmic contacts to p-GaN," in Proc. Mater. Res. Symp., 1997, vol. 449, pp.1091-1094.
- [2-5] W. Gotz, N. M. Johnson, J. Walker, D. P. Bour, and R. A. Street, "Activation of acceptors in Mg-doped GaN grown by metalorganic chemical vapor deposition," Appl. Phys. Lett., vol. 68, no. 5, pp.667-669, Jan. 1996.
- [2-6] M. Murakami and Y. Koide, "Ohmic contacts for compound semiconductors." Crit. Rev. Solid State Mater. Sci. 23, 1, pp.1-60, 1998.
- [2-7] H. Ishikawa, S. Kobayashi, Y. Koide, S. Yamasaki, S. Nagai, J. Umezaki, M. Koike and M. Murakami, "Effects of surface treatments and metal work functions on electrical properties at p-GaN/metal interfaces," J. Appl. Phys., 81, pp.1315-1322, 1997.
- [2-8] Y. Koide, T. Maeda, T. Kawakami, S. Fujita, T. Uemura, N. Shibata, and M. Murakami, "Effects of annealing in an oxygen ambient on electrical properties of ohmic contacts to p-type GaN," J. Electron. Mater. 28, pp.341-346, 1999.
- [2-9] T. Maeda, Y. Koide, and M. Murakami, "Effects of NiO on electrical properties of NiAu-based ohmic contacts for p-type GaN." Appl. Phys. Lett. 75, pp.4145-4147, 1999.
- [2-10] M. Suzuki, T. Kawakami, T. Arai, S. Kobayashi, Y. Koide, T. Uemura, N. Shibata, and M. Murakami, "Low-resistance Ta/Ti Ohmic contacts for p-type GaN." Appl. Phys. Lett. 74, pp.275-277, 1999.
- [2-11] M. Suzuki, T. Arai, T. Kawakami, S. Kobayashi, S. Fujita, Y. Koide, Y. Taga, and M. Murakami, "Formation and deterioration mechanisms of low-resistance TaTi ohmic contacts for p-GaN." J. Appl. Phys., 86, pp.5079-5084, 1999.
- [2-12] H. H. Berger, "Models for contacts to planar devices." Solid-State Electron., 15, pp.145-158, 1972.

- [2-13] G. K. Reeves, "Specific contact resistance using a circular transmission line model." *Solid-State Electron.*, 23, pp.487-490, 1980.
- [2-14] G. S. Marlow and M. B. Das, "The effects of contact size and non-zero metal resistance on the determination of specific contact resistance." *Solid-State Electron.*, 25, pp.91-94, 1982.
- [2-15] H. B. Huntington and A. R. Grone, "Current-induced marker motion in gold wires." *J. Phys. Chem. Solids* 20, pp.76-87, 1961.
- [2-16] J. S. Huang, K. N. Tu, S. W. Bedell, W. A. Lanford, S. L. Cheng, J. B. Lai, and L. J. Chen, "Polarity effect on failure of Ni and Ni₂Si contacts on Si." *J. Appl. Phys.* 82, pp.2370-2377, 1997.
- [2-17] J.-S. Jang, S.-J. Park, and T.-Y. Seong, "Formation of low resistance Pt ohmic contacts to p-type GaN using two-step surface treatment," *J. Vac. Sci. Technol. B, Microelectron.*, vol. 17, no. 6, pp.2667-2670, Nov. 1999.
- [2-18] R. H. Horng, D.-S. Wu, Y.-C. Lien, and W.-H. Lan, "Low-resistance and high-transparency Ni/indium tin oxide ohmic contacts to p-type GaN." *Appl. Phys. Lett.* 79, pp.2925-2927, 2001.
- [2-19] J. Sun, K. A. Rickert, J. M. Redwing, A. B. Ellis, F. J. Himpsel, and T. F. Kuech, "p-GaN surface treatments for metal contacts." *Appl. Phys. Lett.* 76, pp.415-417, 2000.
- [2-20] N. Shigekawa, T. Enoki, T. Furuta, and H. Ito, "Electroluminescence of InAlAs/InGaAs HEMTs lattice-matched to InP substrates," *IEEE Electron Device Lett.*, vol. 16, pp.515-517, 1995.
- [2-21] M. Murakami and Y. Koide, "Ohmic contacts for compound semiconductors." *Crit. Rev. Solid State Mater. Sci.* 23, 1, pp.1-60, 1998.
- [2-22] T. Suemitsu, T. Enoki, N. Sano, M. Tomizawa, and Y. Ishii, "An analysis of the kink phenomena in InAlAs/InGaAs HEMT's using two-dimensional device simulation." *IEEE Trans. Electron Devices* 45, pp.2390-2399, 1998.
- [2-23] M. H. Somerville, A. Ernst, and J. A. del Alamo, "A physical model for the kink effect in InAlAs/InGaAs HEMTs." *IEEE Trans. Electron Devices* 47, pp.922-930, 2000.
- [2-24] K. Sawada, T. Arai, T. Takahashi, and N. Hara, *Ext. Abst. SSDM*, 66, 2001.
- [2-25] T. Arai, K. Sawada, N. Okamoto, K. Makiyama, T. Takahashi, and N. Hara, "Suppression of drain conductance frequency dispersion in InP-based HEMTs by eliminating hole accumulation," *Device Res. Conf. Conf. Dig.* pp.167-168, 2002.
- [2-26] N. Okamoto, T. Takahashi, K. Imanishi, K. Sawada, and N. Hara, "Suppression of drain conductance dispersion in InP-based HEMTs for broadband optical communication systems," *Tech. Dig. - Int. Electron Devices Meet.* pp.189-192, 2001.

- [2-27] T. Kosugi, Y. Umeda, T. Suemitsu, T. Enoki, and Y. Yamane, "Frequency Dispersion in Drain Conductance of InAlAs/InGaAs Hight-Electron Mobility Transisters (HEMTs) and Its Relationship with Impact Ionization." Jpn. J. Appl.Phys., Part 1 40, pp.2725-2727, 2001.
- [2-28] W. Zhao, FM. Mohammed, and I. Adesida. "Application of the ag-based ohmic contact to the realization of thermally-stable InAlAs/InGaAs/InP high electron mobility transistors," J. J. Appl. Phy. 45.10R 7632, 2006.
- [2-29] T. Mori, T. Kozawa, T. Ohwaki, Y. Taga, S. Nagai, S. Yamasaki, S. Asami, N. Shibata, and M. Koike, "Schottky barriers and contact resistances on p-type GaN," Appl. Phys. Lett. 69, pp.3537-3539, 1996.
- [2-30] X. A. Cao, S. J. Pearton, F. Ren, and J. R. Lothian, "Thermal stability of W and WSi x contacts on p-GaN," Appl. Phys. Lett. 73, pp.942-944, 1998.
- [2-31] D.-H. Youn, M. Hao, H. Sato, T. Sugahara, Y. Naoi, and S. Sakai, "Ohmic contact to p-type GaN," Jpn. J. Appl. Phys., Part 1 37, pp.1768-1771, 1998.
- [2-32] T. Kim, J. Khim, S. Chae and T. Kim (1997). Low Resistance Contacts to P-Type GaN. MRS Proceedings, 468, 427 doi:10.1557/PROC-468-427.
- [2-33] J.-S. Jang, H.-G. Kim, K.-H. Park, C.-S. Um, I.-K. Han, S.-H. Kim, H.-K. Jang and S.-J. Park (1997). Formation of Ni/Pt/Au Ohmic Contacts to p-GaN. MRS Proceedings, 482, 1053 doi:10.1557/PROC-482-1053.
- [2-34] Y. Koide, T. Maeda, T. Kawakami, S. Fujita, T. Uemura, N. Shibata, and M. Murakami, "Effects of annealing in an oxygen ambient on electrical properties of ohmic contacts to p-type GaN," J. Electron. Mater., vol. 28, no. 3, pp.341-346, Dec. 1999.
- [2-35] C.-F. Chu, C. C. Yu, Y. K. Wang, J. Y. Tsai, F. I. Lai, and S. C. Wang, "Low-resistance ohmic contacts on p-type GaN using Ni/Pd/Au metallization," Appl. Phys. Lett., vol. 77, no. 21, pp.3423-3425, Nov. 2000.
- [2-36] H. W. Jang and J.-L. Lee, "Mechanism for ohmic contact of Ni/Ag contacts on p-type GaN," Appl. Phys. Lett., vol. 85, pp.5920-5922, 2004.
- [2-37] M. Suzuki, T. Arai, T. Kawakami, S. Kobayashi, S. Fujita, Y. Koide, Y. Taga, and M. Murakami, "Formation and deterioration mechanisms of low-resistance TaTi ohmic contacts for p-GaN," J. Appl. Phys., vol. 86, no. 9, pp.5079-5084, Nov. 1999.
- [2-38] L. Zhou, W. Lanford, A. T. Ping, I. Adesida, J. W. Yang, and A. Khan, "Low resistance Ti/Pt/Au ohmic contacts to p-type GaN," Appl. Phys. Lett., vol. 76, pp.3451-3453, June 2000.

- [2-39] J.-S. Jang, C.-W. Lee, S.-J. Park, T.-Y. Seong, and I. T. Ferguson, "Lowresistance and thermally stable Pd/Ru ohmic contacts to p-type GaN," J. Electron. Mater., vol. 31, no. 9, pp.903-906, Feb. 2002.
- [2-40] J.-O. Song, D.-S. Leem, J. S. Kwak, O. H. Nam, Y. Park, and T.-Y. Seong, "Low resistance and transparent Ni/La solid solution/Au ohmic contacts to p-type GaN," Appl. Phys. Lett., vol. 84, no. 9, pp.1504-1506, Mar. 2004.
- [2-41] E. Kaminska, A. Piotrowska, A. Barcz, D. Bour, M. Zielinski, and J. Jasinski, "Formation of ohmic contacts to MOCVD grown p-GaN by controlled activation of Mg," Mater. Sci. Eng. B, vol. 82, no. 1-3, pp.265-267, May 2001.
- [2-42] J.-O. Song, D.-S. Leem, and T.-Y. Seong, "Low-resistance and transparent ohmic contacts to p-type GaN using Zn-Ni solid solution/Au scheme," Appl. Phys. Lett., vol. 84, no. 23, pp.4663-4665, May 2004.
- [2-43] S. H. Liu, J. M. Hwang, Z. H. Hwang, W. H. Hung, and H. L. Hwang, "Ohmic contact to p-type GaN using a novel Ni/Cu scheme," Appl. Surf. Sci., vol. 212/213, pp.907-911, May 2003.
- [2-44] K.-W. Kim, H.-G. Hong, J.-O. Song, J.-H. Oh, and T.-Y. Seong, "Lowresistance and transparent Ni/Co solid solution/Au ohmic contacts to p-type GaN for green GaN-based LEDs," Superlattices Microstruct., vol. 44, no. 6, pp.735-741, Dec. 2008.
- [2-45] H. W. Jang, K. H. Kim, J. K. Kim, S.-W. Hwang, J. J. Yang, K. J. Lee, S.-J. Son, and J.-L. Lee, "Low-resistance and thermally stable ohmic contact on p-type GaN using Pd/Ni metallization," Appl. Phys. Lett., vol. 79, no. 12, pp.1822-1824, Sep. 2001.
- [2-46] V. Rajagopal Reddy, S.-H. Kim, J. O. Song, and T.-Y. Seong, "Lowresistance and thermally stable Pd/Re ohmic contacts to p-type GaN," Semicond. Sci. Technol., vol. 18, no. 6, pp.541-544, Jun. 2003.
- [2-47] H. Cho, T. Hossain, J. Bae, and I. Adesida, "Characterization of Pd/Ni/Au ohmic contacts on p-GaN," Solid State Electron., vol. 49, no. 5, pp.774-778, May 2005.
- [2-48] J.-S. Jang, I.-S. Chang, H.-K. Kim, T.-Y. Seong, S. Lee, and S.-J. Park, "Low-resistance Pt/Ni/Au ohmic contacts to p-type GaN," Appl. Phys. Lett., vol. 74, no. 1, pp.70-72, Jan. 1999.
- [2-49] V. Rajagopal Reddy, S.-H. Kim, J.-O. Song, and T.-Y. Seong, "Electrical properties of thermally stable Pt/Re/Au ohmic contacts to p-type GaN," Solid State Electron., vol. 48, no. 9, pp.1563-1568, Sep. 2004.

- [2-50] H.-K. Kim, T.-Y. Seong, I. Adesida, C. W. Tang, and K. M. Lau, "Lowresistance Pt/Pd/Au ohmic contacts to p-type AlGaIn," Appl. Phys. Lett., vol. 84, no. 10, pp.1710-1712, Mar. 2004.
- [2-51] J.-S. Jang and T.-Y. Seong, "Electronic transport mechanisms of nonalloyed Pt ohmic contacts to p-GaN," Appl. Phys. Lett., vol. 76, no. 19, pp.2743-2745, May 2000.
- [2-52] J. O. Song, D.-S. Leem, J. S. Kwak, O. H. Nam, Y. Park, and T.-Y. Seong, "High-quality nonalloyed rhodium-based ohmic contacts to p-type GaN," Appl. Phys. Lett., vol. 83, no. 12, pp.2372-2374, Sep. 2003.
- [2-53] J.-S. Jang, S.-J. Park, and T.-Y. Seong, "Formation of low resistance Pt ohmic contacts to p-type GaN using two-step surface treatment," J. Vac. Sci. Technol. B, Microelectron., vol. 17, no. 6, pp.2667-2670, Nov. 1999.
- [2-54] Y. Tang, D. You, J. Xu, X. Li, X. Li, and H. Gong, "Reduction of ohmic contact resistivity on p-GaN using N₂ plasma surface treatment at room temperature," Semicond. Sci. Technol., vol. 21, no. 12, pp.1597-1599, Oct. 2006.
- [2-55] R.-H. Horng, D.-S. Wu, Y.-C. Lien, and W.-H. Lan, "Low-resistance and high-transparency Ni/ITO ohmic contacts to p-type GaN," Appl. Phys. Lett., vol. 79, no. 18, pp.2925-2927, Oct. 2001.
- [2-56] S. Y. Kim, H. W. Jang, and J.-L. Lee, "Effect of an indium-tin-oxide overlayer on transparent Ni/Au ohmic contact on p-type GaN," Appl. Phys. Lett., vol. 82, no. 1, pp.61-63, Jan. 2003.
- [2-57] J. O. Song, K. K. Kim, S. J. Park, and T. Y. Seong, "Highly low resistance and transparent NiOZnO ohmic contacts to p-type GaN," Appl. Phys. Lett., vol. 83, no. 3, pp.479-481, Jul. 2003.
- [2-58] S. W. Chae, K. C. Kim, D. H. Kim, T. G. Kim, S. K. Yoon, B. W. Oh, D. S. Kim, H. K. Kim, and Y. M. Sung, "Highly transparent and lowresistant ZnNi/indium tin oxide ohmic contact on p-type GaN," Appl. Phys. Lett., vol. 90, no. 18, pp.181 101, Apr. 2007.
- [2-59] J. H. Lim, D. K. Hwang, H. S. Kim, J. Y. Oh, J. H. Yang, R. Navamathavan, and S. J. Park, "Low-resistivity and transparent indiumoxide-doped ZnO ohmic contact to p-type GaN," Appl. Phys. Lett., vol. 85, no. 25, pp.6191-6193, Dec. 2004.

3 高周波デバイスの低ノイズ化技術

3.1 はじめに

無線通信端末に用いられる高周波デバイスは、高速動作に優れノイズが小さいことが求められる。図 3-1 に示すように、1950 年代にラジオ等に用いられたバイポーラトランジスタに始まり、主にヘテロ接合バイポーラトランジスタ(Heterojunction Bipolar Transistor, HBT)が用いられていた。1980 年代には FET デバイスである HEMT が用いられるようになり、2000 年を過ぎてからは CMOS の微細化が進み高周波特性が改善し、無線通信システムに用いられるようになった。

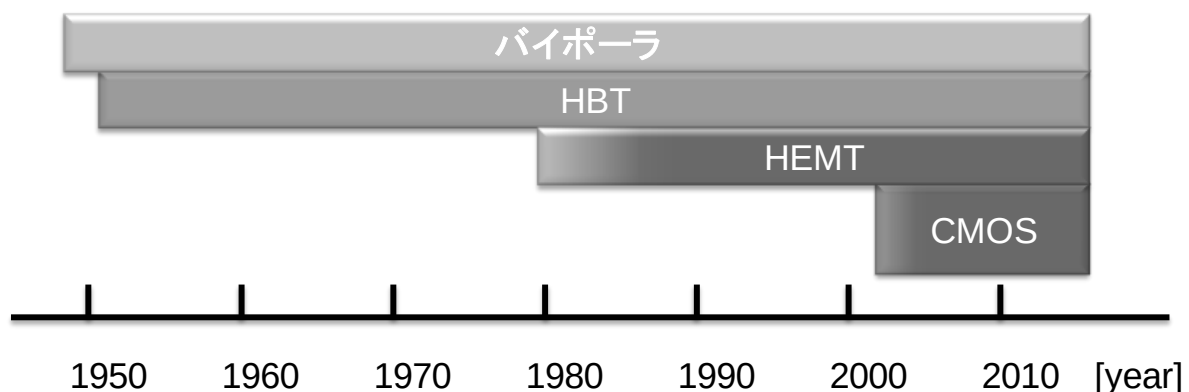


図 3-1 無線通信システムに用いられる高周波デバイス

無線通信端末の開発において、CMOS が高周波デバイスとして用いられるようになる 2000 年ごろまでは、端末はディスクリート部品で構成されていた。このため、デバイスの高周波特性を向上させる技術が端末開発において大きな位置を占めていた。デバイス技術として重要であった、III-V 族化合物デバイスのうち高速動作とノイズ特性に優れる HEMT の高周波特性向上技術について述べる。従って、本章では無線通信端末受信器低ノイズ化のための高周波デバイスの低ノイズ化技術について述べる。特に、第 1 章で示したデバイスのノイズ源の内、熱雑音、ドレインコンダクタンスの周波数分散に起因する雑音の抑制について述べる。

3.2 デバイスの高周波特性

高周波デバイス的高速動作の指標としては、2.1 で述べたように、式 2-1 で示した遮断周波数(f_T)及び最大発振周波数(f_{max})があげられる。

$$f_T \propto \frac{g_m}{(C_{gs} + C_{gd})} = \frac{g_m}{C_g} \quad (2-1)$$

$$f_{max} \propto \frac{f_T}{2\sqrt{R_g G_d}} \quad (3-1)$$

ここで R_g はトランジスタのゲート抵抗、 G_d はドレインコンダクタンスとする。

この式から、トランスコンダクタンスの増大、ゲート容量の低減が遮断周波数の向上に必要であることが分かる。また、トランスコンダクタンスは、式 2-3 で示したようにソース抵抗の低減も必要である。

最大発振周波数は、素子の入出力のインピーダンス整合が取れた条件における利得の周波数特性である、最大有能電力利得が 1 になる周波数を表す。この周波数は増幅器、発振器の周波数特性を決める重要な指標であるが、これを向上させるためにはゲート抵抗とドレインコンダクタンスの低減が必要であることが分かる。

HEMT において、このドレインコンダクタンスが周波数分散特性を示すことが分かっており [3-1]、この周波数分散特性を抑制する必要がある。これは、ドレインコンダクタンスが、高周波数になるに従いドレインコンダクタンスが低減する特性を示す。デバイスがこのような周波数特性を示すとノイズの原因となるため、ドレインコンダクタンスの周波数による変化量を抑える必要がある。この周波数分散特性は、HEMT のチャネル内部でのインパクトイオン化により生じるホールに関係があると考えられている [3-2] [3-3] [3-4] [3-5] [3-6] [3-7]。これは、ドレイン電流とドレイン電圧の関係におけるキंकの発生にも関連があると考えられている。従って、ドレインコンダクタンスの周波数分散及びキंकの抑制を行うためには、ホールの生成とそのチャネル内での蓄積を抑制する必要がある。

高周波数におけるノイズ特性も高周波デバイスに求められる重要な特性である。ノイズ特性の指標としてはノイズ指数(NF)があげられる。NF は次の式で表すことができる。

$$NF = 1 + \frac{S_{Nt}}{S_{Ni}} \quad (3-2)$$

ここで S_{Nt} はトランジスタによって加えられる入力換算電流スペクトル密度、 S_{Ni} は信号源のノイズ電流スペクトル密度である。 S_{Ni} はナイキストの定理より

$$S_{Ni} = 4kTRe(Y_s) \quad (3-3)$$

と表すことができる。ここで、 k はボルツマン定数、 T は絶対温度、 Y_s は信号源のアドミッタンスとする。

S_{Nt} はデバイスによって生じる熱雑音、ショットノイズ、フリッカ雑音などから構成されるが、HEMT においては、支配的なノイズはゲート電流とドレイン電流が引き起こしており、どちらの電流経路もショットキー障壁を持つ。ショットキー障壁はショットノイズを引き起こし、現状の無線通信端末で使用する周波数帯域では熱ノイズに比べて影響が大きいことが分かっている [3-8]。従って、 S_{Nt} はショットノイズで表すことができる。

HEMT は高速特性に優れるが、1 GHz 以下の周波数においてインパクトイオン化により生成されたホールやゲートに流れるホール電流によりノイズが発生することが分かっている [3-9] [3-10]。従って、ドレインコンダクタンスの周波数分散、キंकを抑制するためにホールの生成と蓄積を抑制することができれば、ノイズ特性も向上する可能性があると言える。

3.3 デバイスのノイズ特性

LNA MMIC の NF の値を図 3-2 に示す。これは、10 GHz までの周波数における NF の値を示しており、周波数が高くなるほど NF の値は大きくなる。化合物半導体を用いた 1 GHz 程度の LNA は、近年研究が盛んではなく報告データが少ないため NF の値は、1 GHz 近傍では CMOS の方が小さく見えるが、10 GHz での結果をみると NF の値は化合物半導体の方が小さいことが分かる。また、CMOS を用いた LNA についても、近年では広帯域な LNA の研究が行われているため 10 GHz 周辺では比較的 NF の値が大きくなっている。

この結果から、10 GHz 以上の周波数が高いところでは化合物半導体を用いる方が低ノイズ LNA を作るのに有利であるが、本研究で対象とする 5 GHz までの周波数では、近年では CMOS も無線通信端末に必要とされる仕様を満たす LNA を作成することができるようになってきていることが分かる。

表 3-1 に図 3-2 に示した LNA MMIC のデバイスの種類、そのゲート長、周波数、NF、ゲインをまとめる。

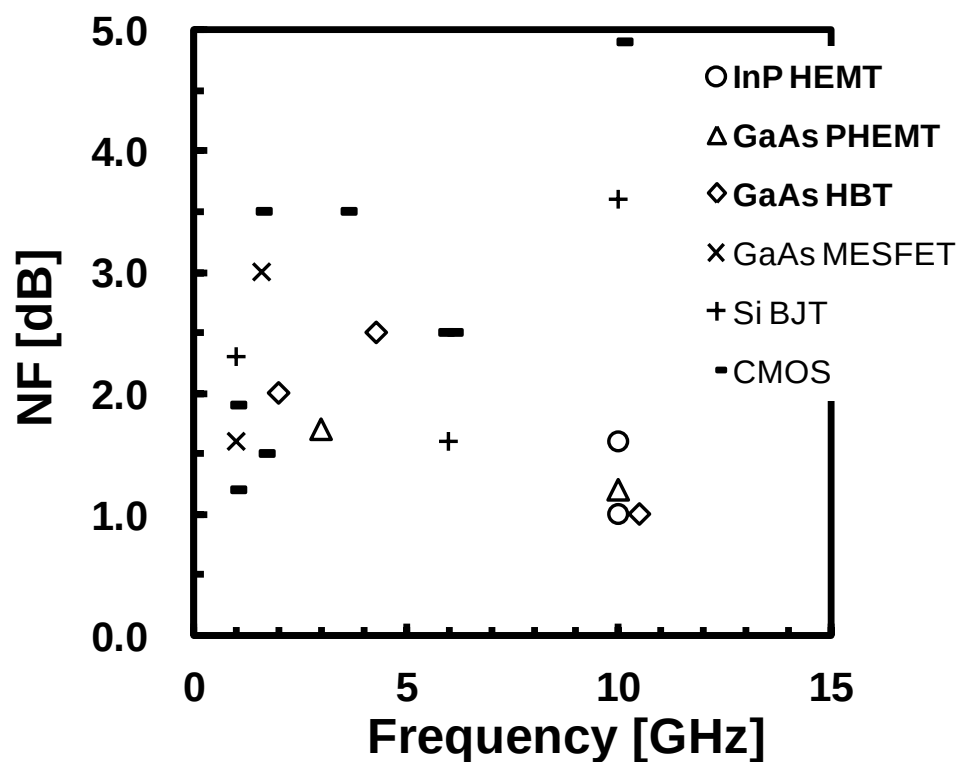


図 3-2 LNA MMIC の NF

表 3-1 LNA MMIC

Device	Year	Lg [μm]	Freq. [GHz]	NF [dB]	Gain [dB]	Ref. No.
InP HEMT	1993	0.15	10.0	1.0	21.0	[3-14]
	2012	0.10	10.0	1.6	8.7	[3-15]
GaAs PHEMT	1988	0.25	10.0	1.2	15.0	[3-16]
	1992	0.2	3.0	1.7	15.0	[3-17]
GaAs HBT	1994	2.0	4.3	2.5	33.0	[3-18]
	1995	2.0	2.0	2.0	8.9	[3-19]
GaAs MESFET	1992	1.0	1.0	1.6	10.3	[3-20]
	1993	0.6	1.6	3.0	14.0	[3-21]
	2010	0.15	10.5	1.0	26.0	[3-22]
GaAs JFET	1993	0.5	1.9	2.8	18.1	[3-23]
Si BJT	1989	0.6	6.0	1.6	8.0	[3-24]
	1991	0.6	1.0	2.3	10.8	[3-25]
	2005	0.25	10.0	3.8	15.4	[3-26]
	2007	0.18	10.0	3.6	10.0	[3-27]

CMOS	1996	0.6	1.5	3.5	22.0	[3-28]
	1996	0.5	0.9	1.9	15.6	[3-29]
	1999	0.8	0.9	1.2	14.5	[3-30]
	2002	0.25	1.6	1.5	15.5	[3-31]
	2005	0.18	5.8	2.5	9.4	[3-32]
	2006	0.13	3.5	3.5	9.5	[3-33]
	2008	0.13	6.0	2.5	16.5	[3-34]
	2011	0.13	10.0	4.9	10.0	[3-35]

3.4 プレーナ型 InP HEMT デバイス

3.2 で述べたように、ドレインコンダクタンスの周波数分散、キンクの原因は、インパクトイオン化によって生じるホールが、ホール障壁によりソース部に蓄積する [3-3] [3-11]ことが原因と考えられている。また、このホールはノイズ特性にも影響があると考えられている。これまでに、次のような手法でホール蓄積の抑圧が試みられている。一つは、デバイスに body 電極を加えることでソース部に蓄積するホールを引き抜くという手法である [3-12] [3-13]。次は、デバイス内部でのインパクトイオン化自体を抑圧するという手法である [3-5]。これは、チャンネルをコンポジット構造にしたり、ダブルドープ構造にしたりしてインパクトイオン化を抑制する。しかし、この手法はチャンネル内での電子の飽和速度を下げるため高周波特性が劣化してしまうという課題があった。別の手法としては、アロイオーム性電極を用いてソース、ドレイン電極によりチャンネルに直接接触をとる手法がある [3-6]。

本章では、プレーナ型の InP HEMT によりホール蓄積を低減させることでドレインコンダクタンスの周波数分散、キンク及びノイズ特性の劣化を抑制する。このデバイス構造によりドレインコンダクタンスの周波数分散に起因する雑音の抑制と、チャンネルにソース、ドレイン電極を直接接触させることでソース抵抗、ドレイン抵抗を抑制し熱雑音低減を行う。図 3-3 にプレーナ構造と従来構造のデバイスの断面図を示す。このプレーナ型のデバイスは、従来のリセス型デバイスのキャップ層を除去し、InP 層上に 2.5 で示したアロイオーム性電極をソース、ドレイン電極として用いる。

以下に、このプレーナ構造デバイスの特性及び従来構造のデバイスとの特性の比較から、ドレインコンダクタンスの周波数分散とキンクのメカニズムについて 3.5.3 で考察し、ドレインコンダクタンスの周波数分散モデルを提案する。また、デバイスノイズについては 3.6 において考察しノイズ生成モデルを提案する。

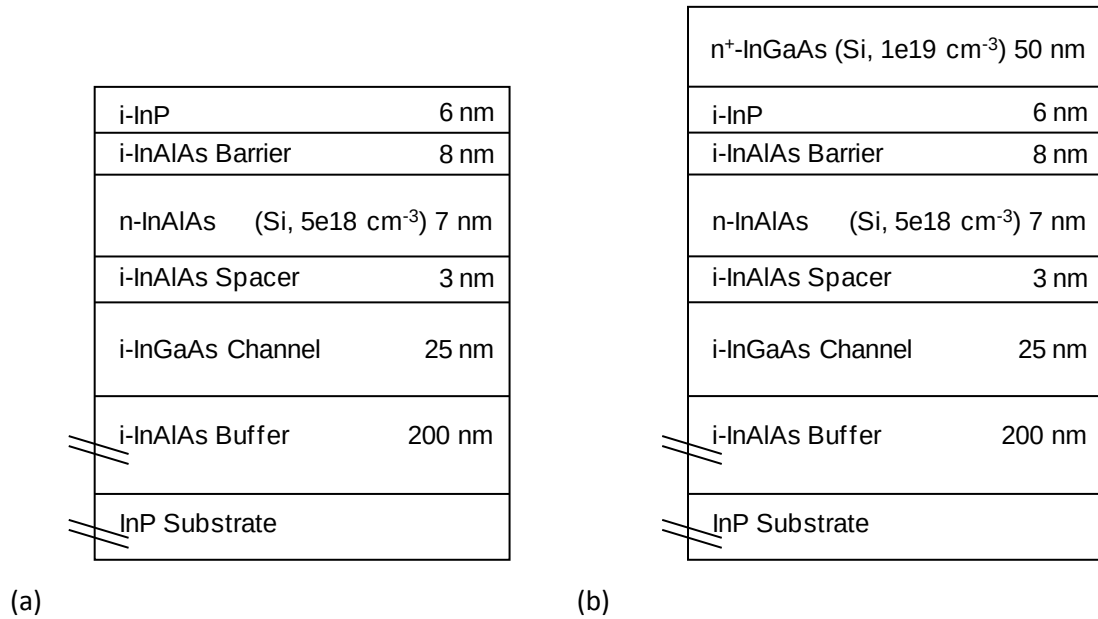


図 3-3 InP HEMT デバイスの断面構造(a)プレーナ構造 (b)従来構造

3.5 ドレインコンダクタンスの周波数分散

3.5.1 デバイス作成方法

デバイスは、図 2-18 に示した HEMT 構造のエピ層が InP 基板上に成膜されたものを用いてプレーナ構造デバイスを作成した。デバイスの断面構造は、図 3-3(a)に示した通りである。デバイス領域はアンドープ InAlAs バッファ層までウェットエッチされている。ソース、ドレインに用いられるアロイオーム性電極は Ni (1 nm)/AuGe (50 nm)/Au (99 nm)で InP 層上に蒸着により成膜する。この際、T 型のゲートのオーバーゲート ($L_{og}=0.40\ \mu\text{m}$)をマスクにし、セルフアライン構造でデバイスを作成した。デバイスは 300°C の窒素雰囲気中で 5 分間熱処理を行う。デバイス表面はプラズマ CVD により SiN で全面を覆う。

比較のために従来のリセスを用いた図 3-3(b)のような構造のデバイスも作成した。こちらのデバイスに用いられたエピ層構造は図 3-4(b)に示すように、50 nm の n 型 InGaAs キャップ層($n=1\times 10^{19}\ \text{cm}^{-3}$)がプレーナ構造に用いられた構造に付加された構造である。このデバイスのゲートリセス($L_{gr}=0.40\ \mu\text{m}$)と Mo/Ti/Pt/Au 構造のノンアロイオーム性電極を有する。こちらの構造もデバイス表面をプラズマ CVD で成膜した SiN で全面を覆う。

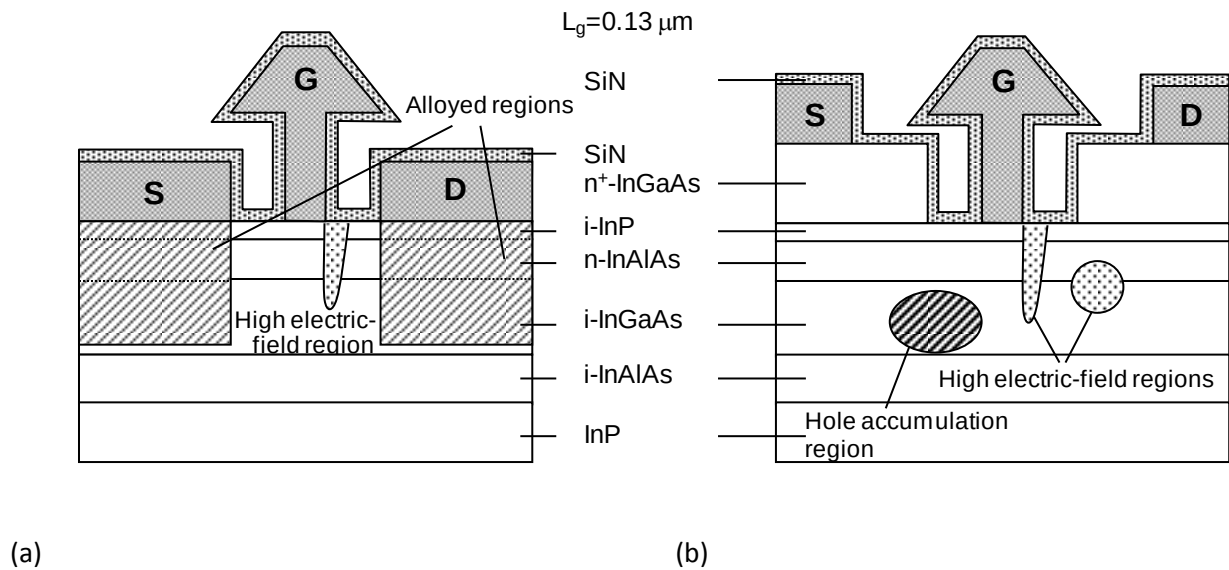


図 3-4 InAlAs/InGaAs HEMT 構造(a)プレーナ構造 (b)従来構造

どちらのデバイスもゲート長は $0.13 \mu\text{m}$ 、プレーナ構造のソース電極とドレイン電極間の長さは従来構造のゲートリセス長と同じである。

3.5.2 評価結果

(1) DC 特性

プレーナ構造と従来構造の I - V 特性を図 3-5 に示す。プレーナ構造では、従来構造に比べてキंकが抑制されていることが分かる。特に V_{gs} が 0 V においてその傾向が顕著であり、 1.5 から 2.0 V におけるドレインコンダクタンスは従来構造の約半分である。この結果は、ダイレクトオーム性電極を用いてリセスのドレインタンでの強電界領域を緩和することでキंकを抑制した結果 [3-6]と整合している。

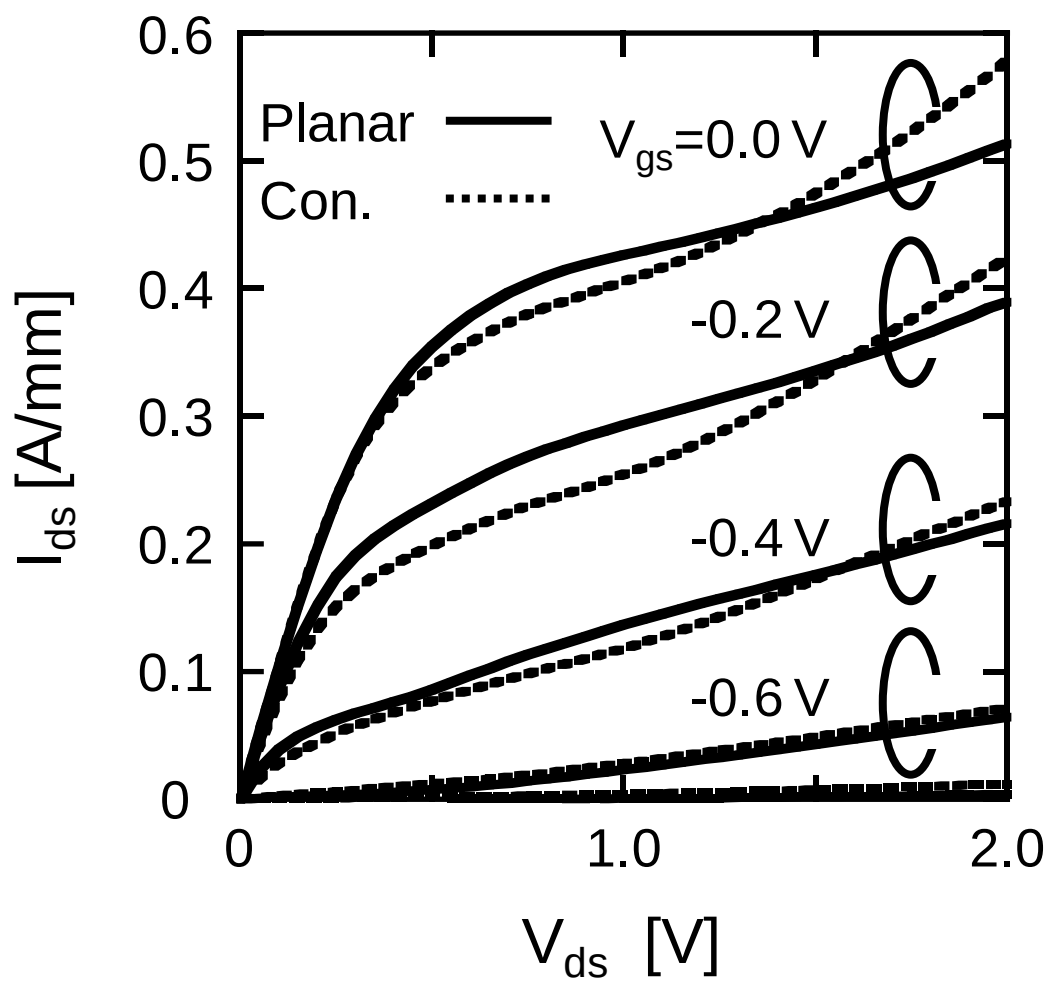


図 3-5 プレーナ構造と従来構造の I-V 特性

(2) RF 特性

ドレインコンダクタンスの周波数分散特性を図 3-6 に示す。これは V_{ds} が 1.5 V、 V_{gs} はトランスコンダクタンスが最大になる電圧で測定を行った結果である。ここでは、ドレインコンダクタンスの周波数分散量を 100 Hz と 10 GHz におけるドレインコンダクタンスの変化量として定義した。この定義に基づくとプレーナ構造デバイスは従来構造のデバイスに比べて、ドレインコンダクタンスの周波数分散が 25%に抑制されているといえることができる。

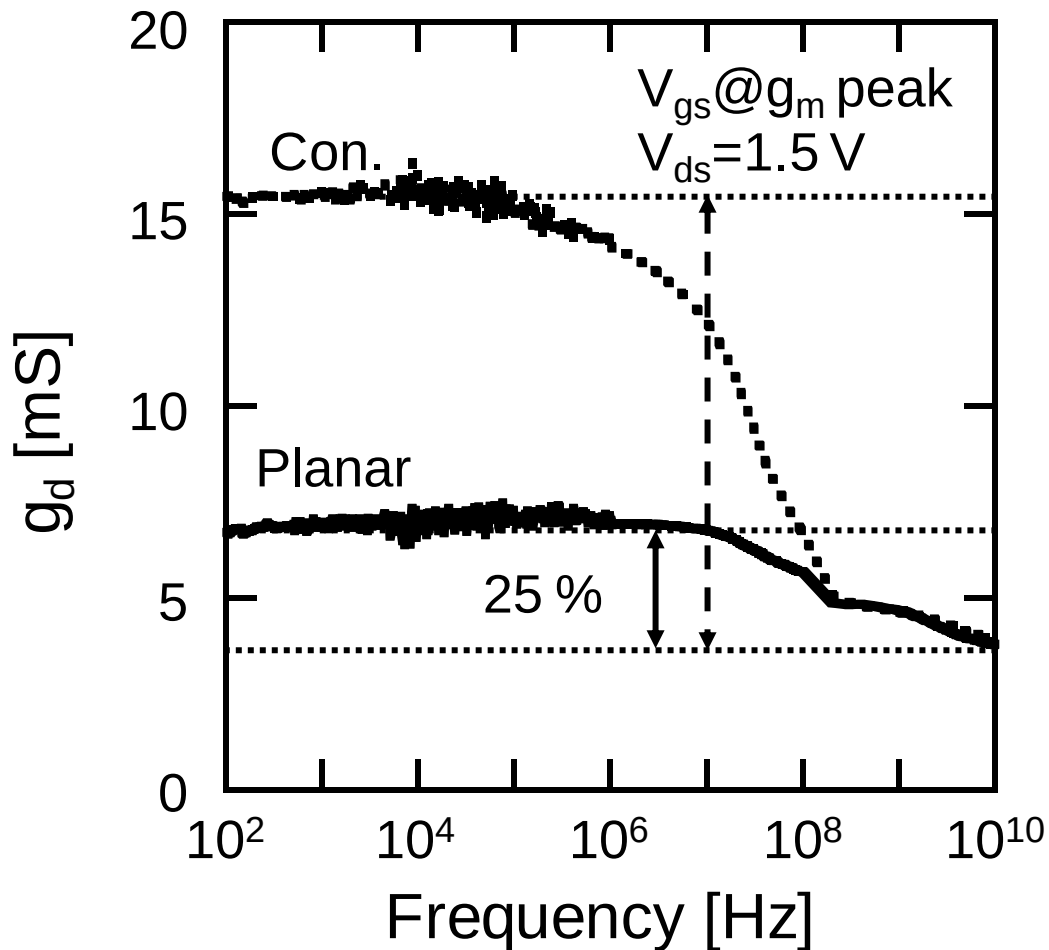


図 3-6 (a)プレーナ構造と(b)従来構造のドレインコンダクタンスの周波数分散特性

3.5.3 周波数分散モデル

プレーナ構造と従来構造のデバイスの評価結果から、プレーナ構造では、従来構造のデバイスに比較してキंकが 50%に低減、ドレインコンダクタンスの周波数分散が 25%に低減されることが分かった。ここで、このドレインコンダクタンスの周波数分散とキंकのメカニズムについて検討する。

従来構造のデバイスはノンアロイオーム性電極とキャップ層を持つ。デバイスシミュレーションの結果、図 3-3(b)に示す通り、ゲート電極のドレイン端と、リセスのドレイン端において高電界が印加されることが分かった。これは、供給層とチャンネル層界面におけるエネルギーバンドの不連続から引き起こされている。この高電界がインパクトイオン化を引き起こし、チャンネル内でホールが生成しソース部に引き寄せられる。このソース部では、供給層とチャンネル層界面にホール障壁が存在するためチャンネル内にホールが蓄積する。

プレーナ構造では、図 3-3(a)に示す通りゲート電極のドレイン端に高電界が印加されることがデバイスシミュレーションの結果から分かっている。このデバイスに用いられているアロイオーム性電極により、ソース電極とドレイン電極のチャンネルへの直接接触しているためホール障壁は存在しない。その結果、ゲート電極のドレイン端での高電界によりチャンネル内でホールが生成されてもホール蓄積は生じない。

キंकは、ゲートのソース端におけるキャリア密度が変調されることで生じることが分かっている [3-4]。ドレインコンダクタンスの周波数分散も同様にインパクトイオン化に関連があることが分かっている [3-7]。従って、プレーナ構造でのキंक、ドレインコンダクタンスの周波数分散の大幅な抑制は、ソース部でのホール蓄積が抑制されたからであると考えられる。これは、アロイオーム性電極を用いることでソース電極とチャンネルを直接接触させ、ホール障壁を除去することができたためであるといえる。

これらの結果から、ドレインコンダクタンスの周波数分散のメカニズムはチャンネル内でのホールの挙動により引き起こされていると考えられる。図 3-7(a)に従来構造デバイスのチャンネル内のバンド図を示す。ゲート、ドレイン間の領域において、インパクトイオン化により生成されたホールは、ポテンシャルの勾配によりソース部に蓄積する。低周波数の小信号がゲートに印加されている場合は、信号によりチャンネル内のポテンシャルが変化する。この変化により、チャンネル内に蓄積するホールの量も変化する。このときの $I-V$ 特性の挙動は、図 3-7(b)に示すとおりである。ホールの緩和時間よりも高い周波数の信号が印加されると、ソース部のホールは信号に追随することができないため、ゲートのソース端におけるポテンシャルは変化しない。従って、信号が印加されても閾値は変化せず $I-V$ 特性は、図 3-7(b)に示すとおりとなる。従って、ドレインコンダクタンスが高周波数領域において減少するためドレインコンダクタンスの周波数分散が生じる。

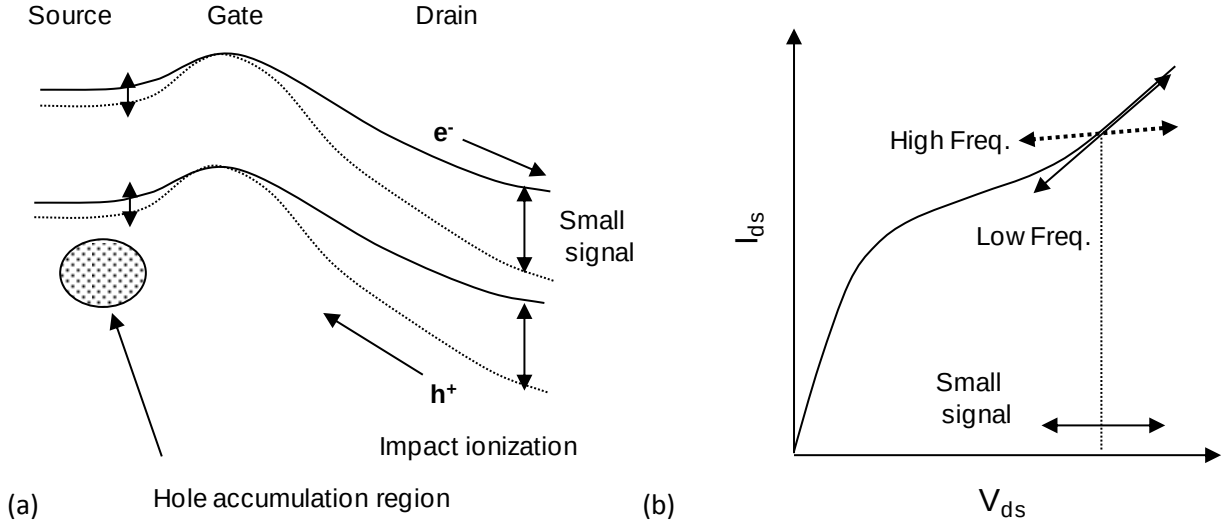


図 3-7 ドレインコンダクタンスの周波数分散のメカニズム(a)従来構造デバイス、チャネルのバンド図、(b)I-V 特性とドレインコンダクタンスの周波数依存

従来構造デバイスのドレインコンダクタンスの周波数応答モデルを図 3-8 に示す。図 3-8(a)には、ホールの挙動を表す等価回路モデルが示されている。インパクトイオン化により生成されたホールはソース部に移動しゲートリセス表面に移動するか、ソースから流れ出す。従って、図に示される二つのホール経路の時定数 ω_0 がドレインコンダクタンスの周波数分散特性を決める。一つ目のホール経路は、図中 path1 で示されるチャネルからソース電極への経路である。デバイスシミュレーションの結果、図 3-8(a)に示すように n^+ -InGaAs キャップ層の端に集中する。もう一つの経路は、図中 path2 で示されるチャネルからゲート電極までの経路で分布定数的な経路である。図 3-8(b)に示すのは、図 3-8(a)に示す a-b における断面のバンド図である。ホールは図に黒く示した部分に蓄積する。これは、 n -InAlAs 供給層と i -InGaAs チャネル層の界面にあるホール障壁のためである。そこで、この供給層に等価的な容量を仮定した。電気的中性はデバイスのどの断面でも常に成り立つ必要があるため、蓄積したホールは、ソース電極に流れるか、基板側に移動する必要がある。このようなホールの挙動を、先述の容量に並列の抵抗を挿入することで表した。従って、このホールの挙動の時定数 ω_0 を以下のように表した。

$$\omega_0 = \frac{1}{RC} \quad (3-4)$$

つまり path1 は一つの時定数 ω_0 を持ち、path2 はその分布定数的経路に応じて複数の ω_0 を持つことになる。 R 、 C はデバイス内部の等価抵抗、容量を表す。

そこで、ド레인コンダクタンスの周波数分散の時定数を決める、この ω_0 について検討を行った。このモデルよりド레인コンダクタンスは次のように表される。

$$g_{d(\omega)} = \frac{A}{1 + \left(\frac{\omega}{\omega_0}\right)^2} + B \quad (3-5)$$

ここで、 A 、 B は定数である。従来構造のデバイスでは path1 と path2 の和で表せる。Path1 は一つの ω_0 を持つ式で表され、path2 は複数の ω_0 を持つ式を重ね合わせた式で表される。図 3-9 に V_{ds} が 1.5 V におけ

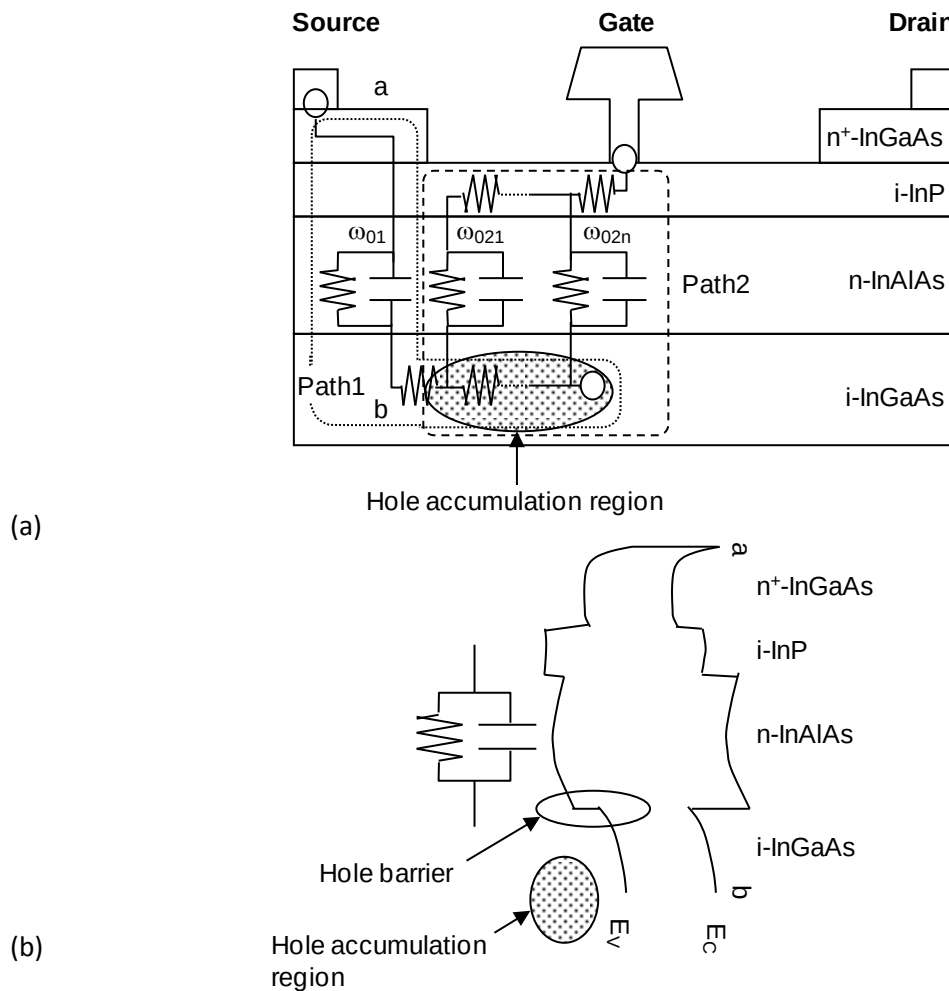


図 3-8 従来構造デバイスのド레인コンダクタンスの周波数応答モデル(a)ホール挙動の等価回路、(b)a-b 断面におけるバンド図

る、時定数の解析を行った結果を示す。このようにドレインコンダクタンスの周波数特性は、等価回路モデルで表すことができることが分かる。プレーナ構造については、周波数分散が残っているが現状のモデルでは説明できない点が残っている。このデバイスにおけるドレインコンダクタンスの周波数の原因は現時点では不明であるがゲート、ドレイン間の表面準位に関連があるのではないかと考えている。

プレーナ構造とゲートリセス構造の HEMT の比較から、ドレインコンダクタンスの周波数分散のメカニズムが明らかになった。そのメカニズムは、低周波数動作時にインパクトイオン化により生成されソース部に蓄積したホール量が入力信号により変化し、チャンネル内のポテンシャルが変動することでドレインコンダクタンスが大きくなる。一方、ホールの緩和時間よりも早い高周波数動作時にはホールの蓄積量が変動しないため、チャンネル内のポテンシャルが一定で等価的にはドレインコンダクタンスが小さく見える。このように蓄積したホールの挙動が入力信号の周波数によって異なるため、ドレインコンダクタンスが周波数分散特性を示す。

このメカニズムは、チャンネル内のホールがソース電極及びゲート電極に流れる経路それぞれにおいて時定数を持ち、その時定数により周波数分散特性が決まることを意味している。測定された周波数分散特性が各電流経路の時定数で表されることから、この周波数分散メカニズムの妥当性が確認された。

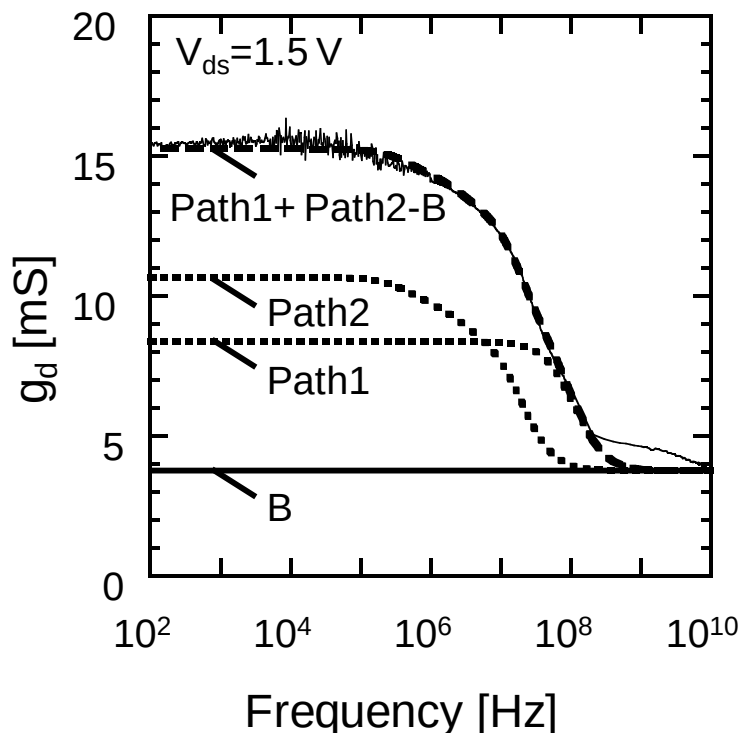


図 3-9 従来構造デバイスの時定数解析

その後の研究では、本研究でアロイオーム性電極を用いたセルフアライン型プレーナ構造デバイスによって実証されたキンク、ドレインコンダクタンスの周波数分散メカニズムが以下の研究でも用いられている。Vasallo ら [3-36] [3-37] [3-38] による研究の結果からもキンクとドレインコンダクタンスの関連がモンテカルロシミュレーションによって示されており、ソース部におけるホールの蓄積との関係が示されており本研究結果との関連が示されている。Malmkvist ら [3-39] はドレインコンダクタンスの周波数分散を抑制するためにはホールの蓄積を抑制する必要があるという本研究の知見に基づき InAs/AsSb HEMT の研究に生かされている。また、Malmkvist ら [3-40] [3-41] によってホール蓄積の抑制がドレインコンダクタンス周波数分散抑制に効果的であるとの本研究の知見に基づきデバイス特性の解析が行われている。

また、以下の研究においてセルフアライン型のアロイオーム性電極を用いて HEMT デバイスの特性向上が実証されている。ここでは、特にアロイオーム性電極によりチャネルに直接ソース抵抗を低減させデバイスの高周波特性を向上させている。また、キンクの抑制も示されている。Kim ら [3-42] によると InP HEMT において Ni/Ge/Au 電極によりアロイ電極を形成して $0.16 \Omega\text{mm}$ の接触抵抗値、 185 GHz の f_T を実現している。Lee ら [3-43] によると AlGaIn/GaN HEMT において Ti/Al/Pd/Au 電極を熱処理してオーム接触を得ることでソース、ドレインの寄生抵抗を低減し、高周波特性の改善を行い f_T 39 GHz を得た。また、Kumar ら

[3-44] [3-45] [3-46] によると、Mo/Al/Mo/Au アロイ電極により寄生抵抗を低減させ、2008 年時点では最も高速な特性 f_T 92 GHz を実現している。

このように本研究でも実証したソース部におけるホール蓄積がキンク、ドレインコンダクタンス周波数分散の原因になっているという知見、アロイ電極により寄生抵抗を低減させキンク特性を抑制するという手法が InAs/AsSb, AlGaIn/GaN など異なる材料系における HEMT にも適用されていることが確認できる。

3.6 ノイズ特性

3.6.1 デバイス作成方法

ノイズ特性を評価するために用いたデバイス構造を図 3-10 に示す。この図に示した(a)従来構造と(c)プレーナ構造のデバイスは、図 3-4 に示した(b)従来構造と(a)プレーナ構造と同じものである。ノイズ特性の解析には、(b)アロイオーミック構造のデバイスも比較のために用いた。アロイオーミック構造のデバイスは、ソース、ドレイン電極にセルフアラインプロセスにより Ni/AuGe/Au を用いて n 型 InGaAs キャップ層上に蒸着した。この電極材料はプレーナ構造に用いたものと同様で、熱処理条件も同様に 300°C の窒素雰囲気中で 5 分間

行った。このデバイスについても他の 2 つの構造のデバイスと同様にプラズマ CVD を用いて、SiN でデバイス全体が覆われている。ゲートリセス長 L_{gr} は $0.40\ \mu\text{m}$ で、従来構造と同じで、プレーナ構造のソース電極とドレイン電極の間隔と同じである。また、3 つ全ての構造のゲート長は、 $0.13\ \mu\text{m}$ である。

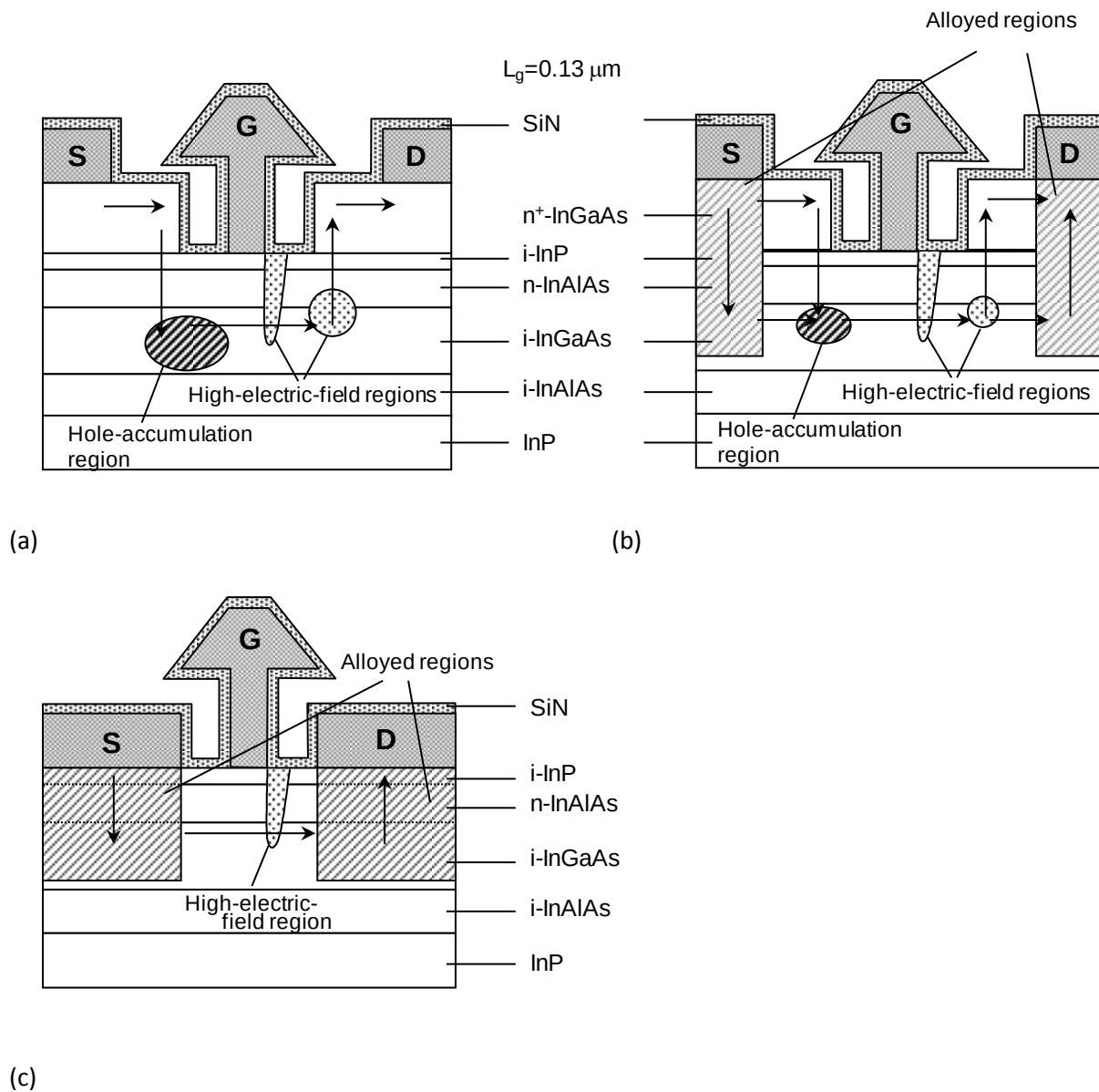


図 3-10 InAlAs/InGaAs HEMT 構造(a)従来構造、(b)アロイオーミック構造 及び (c)プレーナ構造

3.6.2 評価結果

(1) ノイズ指数(NF)

従来構造、アロイオーミック構造及びプレーナ構造の3つの構造のInP HEMTデバイスのNF評価結果を図3-11に示す。この結果は、500 MHzにおけるNFの V_{ds} 依存が示されており、 V_{gs} はそれぞれの構造においてNFが最小になる条件で評価を行っている。この結果からプレーナ構造のNFが最も低く、従来構造のNFが最も大きいことが分かる。また、全ての構造において V_{ds} が高いほどNFが増加することが分かる。ここで、NFの値が大きいのが本測定では、50 Ohm系にてサイズの小さいデバイスを用いているためゲインが小さくNFの絶対値が大きい。しかし、これは評価を行ったデバイスサイズが小さいためゲインが小さいためである。異なる構造を比較するという点では、全てのデバイスの入力インピーダンスが高く、デバイスのマッチング差の影響はNFには現れない。

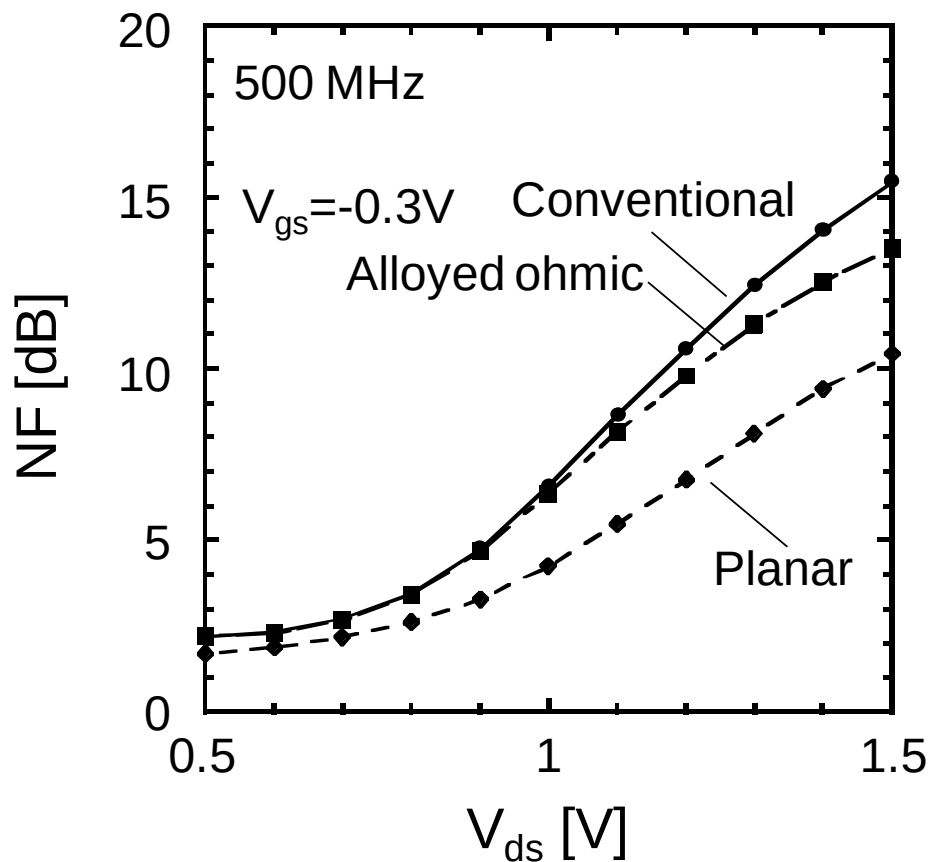


図 3-11 InP HEMT 従来構造、アロイオーミック構造及びプレーナ構造の NF

V_{ds} が 1.5 V においてプレーナ構造の NF は従来構造の 30%NF が低いことが分かる。

V_{ds} が 1.5 V、 V_{gs} が NF 最小になる条件において、NF の 100 MHz から 1.5 GHz における周波数依存を評価した結果を図 3-12 に示す。この結果から評価を行った前周波数領域においてプレーナ構造の NF が従来構造に比べて低く、100 MHz においては、従来構造の約半分程度であることが分かる。また、周波数が増えるに従い 1 GHz までは NF の値が低下していき、3 種類の構造による NF の差分は小さくなることが分かる。

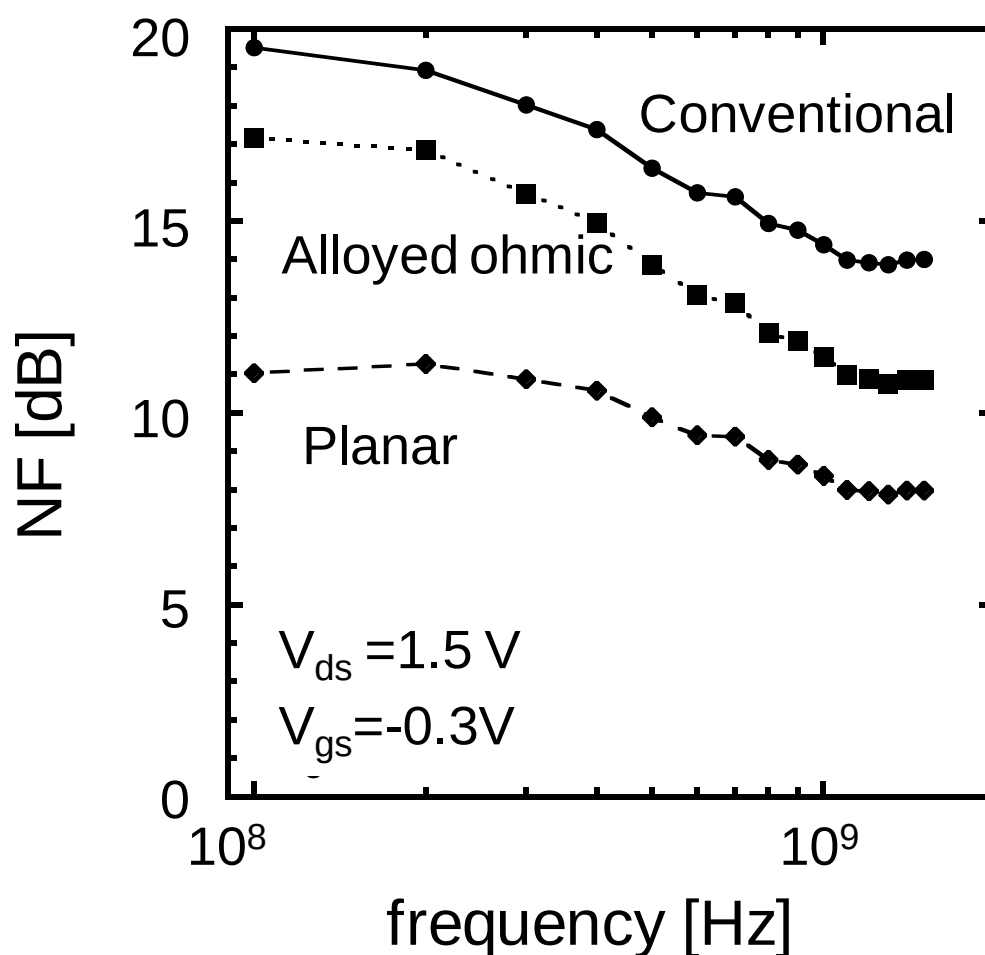


図 3-12 InP HEMT 従来構造、アロイオーミック構造及びプレーナ構造の NF の周波数依存

(2) フリッカ雑音

V_{ds} が 1.5 V、 V_{gs} が -0.3 V においてフリッカ雑音の評価を行った結果を図 3-13 に示す。評価を行った周波数範囲は 10 Hz から 500 kHz までである。この結果も NF の評価結果と同様にプレーナ構造のフリッカ雑音が最小で従来構造が最も大きな値を示した。10 kHz 以上の周波数において、プレーナ構造のフリッカ雑音は従来構造よりも 15 dB 小さいことが分かる。

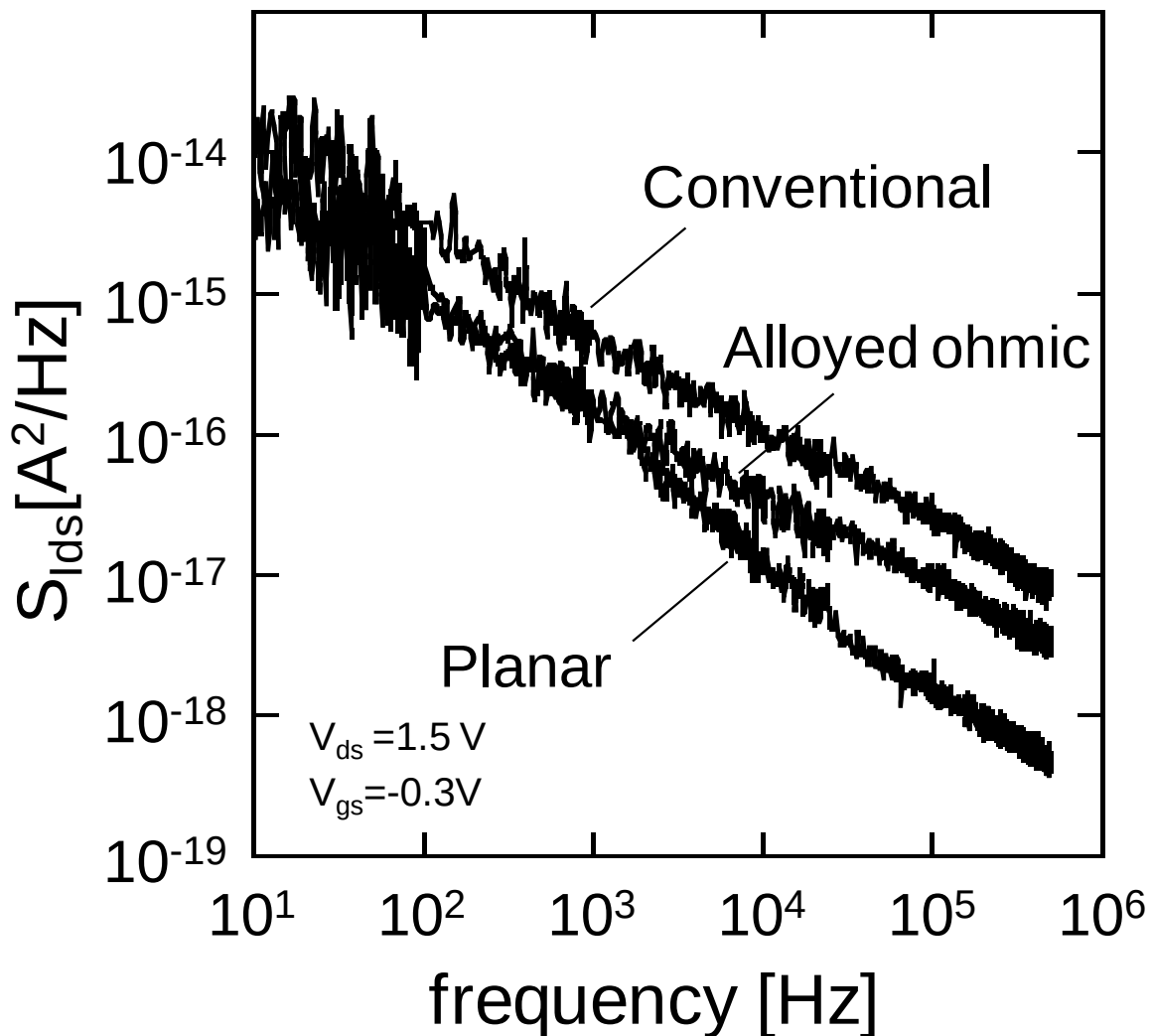


図 3-13 InP HEMT 従来構造、アロイオーミック構造及びプレーナ構造のスペクトル電流密度

3.6.3 ノイズ生成モデル

従来構造、アロイオーミック構造及びプレーナ構造の3つの構造のInP HEMTデバイスのNF評価結果が異なることから、NFはチャネル内部の電界強度と関連があると考えられる。また、高周波数になるにつれNFが小さくなるという特性も3つの構造すべてで見られた。図3-11の結果からドレインとソース間の電圧が低い場合には3つの構造のNFの差が小さいことも分かった。

このようにNF特性の傾向は、チャネル内のソース、ドレイン間の電界強度と周波数に依存するドレインコンダクタンスの周波数分散特性によく似ている。ドレインコンダクタンスの周波数分散特性は、インパクトイオン化により生成したホールがソース部に蓄積し入力信号により変調されるために引き起こされる。ソース部に蓄積されるホール量は、チャネル内部のソース、ドレイン間の電界強度により決まるため、ドレインコンダクタンスの周波数分散も、チャネル内部の電界強度に対して依存性を示す。ドレインコンダクタンスは、周波数が高くなると蓄積したホールが入力信号に追従できなくなるため減少する。

このことから、NFの周波数依存性もインパクトイオン化により生成され、ソース部に蓄積したホールに起因して生成されるノイズにより決まると考えられる。このように、デバイスノイズの周波数依存成分がチャネルにおいて生成されたホールが支配的であると仮定すると、ドレインコンダクタンスの周波数分散における図3-8で示した等価回路を用いてノイズ生成のメカニズムも説明できると考えられる。

ここで、NFは式3-2で求められる。この S_{Ni} は式3-3で与えられる。 S_{Nt} は、デバイスのゲート電流及びソース電流により生じる。従来構造のデバイスにおいて、これら二つの電流はともにショットキー障壁を持つ。このショットキー障壁が発生させるノイズは、1 GHz程度の中程度の周波数では、熱ノイズに比べてショットノイズが支配的である[3-8]。従って、 S_{Nt} は

$$S_{Nt} = 4kT \left(g_{gs} + \frac{g_{ds}}{A} \right) \quad (3-6)$$

と表すことができる。ここで、 k はボルツマン定数、 T は絶対温度、 A はデバイスの電流ゲイン、 g_{gs} 、 g_{ds} はそれぞれ、ゲート、ソース間、ドレイン、ソース間のコンダクタンスを示す。従って、従来構造のデバイスのNFは次のように表すことができる。

$$NF = 1 + \frac{4kT \left(g_{gs} + \frac{g_{ds}}{A} \right)}{4kT Re(Y_s)}$$

$$= 1 + C_1 g_{gs} + C_2 g_{ds}$$

$$C_1 = \frac{1}{Re(Y_1)}, C_2 = \frac{1}{A Re(Y_2)} \quad (3-7)$$

ここで Y_s は、信号源のアドミッタンス、 g_{ds} は図 3-8(a) の path1 のコンダクタンス、 g_{gs} は path2 のコンダクタンスである。従来構造のデバイスのドレインコンダクタンスの周波数分散は、path1 と 2 のホールの時定数で決まることから、NF もドレインコンダクタンスの周波数分散で決まると考えられる。ドレインコンダクタンスは次の式で表すことができる。

$$g_d(\omega) = \frac{C_3}{1 + \left(\frac{\omega}{\omega_0}\right)^2} + C_4 \quad (3-8)$$

ここで、 C_3 、 C_4 は定数、 ω_0 は時定数 ($\omega_0 = (RC)^{-1}$ 、 R 、 C は図 3-8(a))。式 3-7、3-8 から NF を求めることができる。このモデルにより、従来構造のデバイスの NF の周波数依存特性を解析した結果を図 3-14 に示す。この結果から、NF の周波数特性がモデルとよく一致していることが分かる。

この解析結果から、デバイスノイズはショットキー障壁におけるショットノイズが支配的であるといえる。また、周波数が下がるに従い NF が低下するという特性が、ドレインコンダクタンスの周波数分散特性が生じるメカニズムと同じであると考えられる。つまり、デバイスノイズがソース部に蓄積したホールの変調によって決まっているといえることができる。

このメカニズムは、比較のために評価を行った 3 つの全ての構造のノイズ特性の結果を説明することができる。従来構造のデバイスは図 3-10(a) に示されるようにノンアロイ電極と InGaAs キャップ層を持つ。デバイスシミュレーションの結果、電流はソース電極からキャップ層をリセス端まで流れ、チャネル層を通ってリセスのドレイン端からキャップ層を流れるという経路を通る。また、供給層とチャネル層の間にバンドの不連続があるためゲート電極のドレイン端とリセスのドレイン端において高電界が印加される。

アロイオーミック構造は、図 3-10(b) に示されるようにアロイオーミック電極とキャップ層を持つ。この構造においてソース電極からの一部の電流はソース電極から直接チャネルに流れ、チャネル層を通してドレイン電極を流れるという経路を通る。このため、従来構造に比べてチャネルに集中する強電界領域の電界は緩和される。しかし、リセスのドレイン端を流れる電流は存在するため、その電流に起因するインパクトイオン化によりホールは生成される。

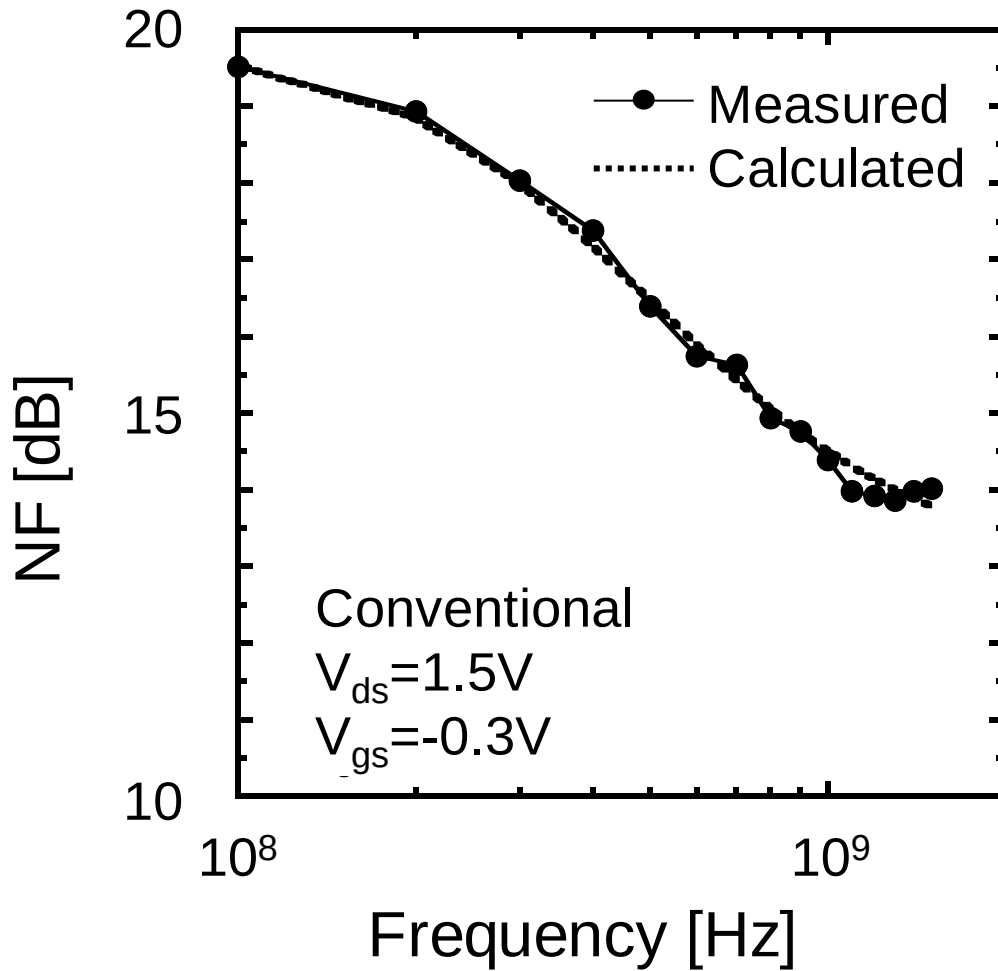


図 3-14 NF の周波数依存解析

プレーナ構造は、図 3-10(c)に示されるようにアロイオーム性電極を用いるがキャップ層は持たない。この構造においては、全ての電流がソース電極から直接チャネル層を通りドレイン電極に流れる。デバイスシミュレーションの結果から、ゲート電極のドレイン端に高電界が集中することが分かっている。アロイオーム性電極はチャネル層とソース、ドレイン電極を直接接触させることで電流が電極から直接チャネルに流れることを可能にしている。また、電極とチャネル間の界面には供給層とチャネル層の界面に存在するようなホールに対する障壁が存在しないため、チャネル内の高電界によってインパクトイオン化によるホールが発生したとしてもホール蓄積は起こらない。図 3-11 からプレーナ構造の NF もドレイン、ソース間電圧を増加させると増加することが分かる。これは、図 3-6 が示すようにプレーナ構造デバイスについてもドレインコンダクタンスの周波数分散特性が残留していることと一致する。これは 3.5.3 にも述べたが、path2 以外にもノイズ、周波数分散に影響を及ぼすホールの挙動があると考えられる。

NF がソース、ドレイン電極間の電界強度に影響を受けることから、インパクトイオン化により生成されるホールの挙動に関係していると考えられる。図 3-13 の結果からもフリッカ雑音も同様の傾向を示していることから妥当であると考えられる。リセスのドレイン端では、 1.0×10^6 V/cm の強電界が生じるが、プレーナ構造ではこのような電界は生じないこともホールの生成を抑制できる要因である。このように最も強い電界領域が存在する従来構造が最も高い NF とフリッカ雑音を示し NF が周波数依存を示すことから、ノイズ生成メカニズムは妥当であると考えられる。

3 つの構造の HEMT デバイスのノイズ特性の比較から、デバイス内部でのノイズ生成のメカニズムが明らかになった。

トランジスタが付加するノイズは、中程度の周波数においては熱雑音に比べてショットキー障壁におけるショットノイズが支配的である。また、NF が高周波数では低減されるというドレインコンダクタンスの周波数分散と同様の挙動を示すということから、NF はドレインコンダクタンスの周波数分散特性の要因となるホール電流が原因となっていると考えられる。

これは、3 つの構造のデバイスのフリッカ雑音特性、NF 特性の違い及び従来構造デバイスの NF 周波数依存性が提案したノイズモデルと一致することからも妥当であると考えられる。

また、2.6 でも述べたように、従来のリセス構造ではソース抵抗が $0.5 \Omega\text{mm}$ 程度であったが、アロイ電極を用いることでソース抵抗が低減されていることも NF 低減に寄与している。このようにセルフアラインプロセスにより作成されたプレーナ構造デバイスによりノイズの低減が実現された。また、そのノイズ低減効果は受信器の SNR に対して 0.4 dB 以上の効果がある。デバイス自身は、従来構造と比較してフリッカ雑音が 15 dB 低減されることが分かった。

3.7 まとめ

本章では、受信器回路の低ノイズ化にとって重要な技術であるデバイスの低ノイズ化技術について述べた。

このデバイスの低ノイズ化による受信器の高性能化は、2000 年ごろ無線通信端末の開発において特に重要であった。

デバイス特性向上技術の中で重要な技術である、デバイスの高速度動作を向上させるには、高速動作に寄与する寄生容量、抵抗の低減、トランスコンダクタンスの増大が必要である。また、デバイスの低雑音化には熱雑音の低減、ドレインコンダクタンスの周波数分散の抑制が必要である。

本研究では、セルフアラインプロセスによるプレーナ構造デバイスによりゲートの寄生容量の低減、ソース抵抗の低減によるトランスコンダクタンスの増大を行うことで高速特性の向上と熱雑音の低減を行った。また、ドレインコンダクタンスの周波数分散特性とデバイスのノイズ特性がインパクトイオン化により生成され、ソース部に蓄積するホールが寄与していることを明らかにした。このドレインコンダクタンスの周波数分散特性とデバイスのノイズ特性のメカニズムを明らかにし、この周波数分散特性を考慮した高精度なノイズモデル構築により低ノイズ回路設計を可能にした。また、ドレインコンダクタンスの周波数分散の原因であるホール蓄積を解消するプレーナ構造デバイスにより、ドレインコンダクタンスの周波数分散特性を従来構造の 25 %に低減し、キंकを 50 %に低減することができた。また、ノイズ特性においてもフリッカ雑音を従来構造よりも 15 dB 低減することができた。

参考文献

- [3-1] S. Nakajima, M. Yanagisawa, E. Tsumura, and T. Sakurada, "On the frequency dependent drain conductance of ion-implanted GaAs MESFETs," *IEEE Trans. Electron Devices*, vol. 47, pp.2255-2260, Dec. 2000.
- [3-2] M. H. Somerville, J. A. del Alamo, and W. Hoke, "Direct correlation between impact ionization and the kink effect in InAlAs/InGaAs HEMTs," *IEEE Electron. Device Lett.*, vol. 17, pp.473-475, Oct., 1996.
- [3-3] T. Suemitsu, T. Enoki, N. Sano, M. Tomizawa, and Y. Ishii, "An analysis of the kink phenomena in InAlAs/InGaAs HEMTs using two-dimensional device simulation," *IEEE Trans. Electron. Devices*, vol. 45, pp.2390-2399, Dec. 1998.
- [3-4] M. H. Somerville, A. Ernst, and J. A. del Alamo, "A physical model for the kink effect in InAlAs/InGaAs HEMTs," *IEEE Trans. Electron Devices*, vol. 47, pp.922-930, May 2000.
- [3-5] N. Okamoto, T. Takahashi, K. Imanishi, K. Sawada, and N. Hara, "Suppression of drain conductance dispersion in InP-based HEMTs for broadband optical communication systems," in *IEDM Tech. Dig.*, 2001, pp.189-192. ED-32.
- [3-6] K. Sawada, T. Arai, T. Takahashi, and N. Hara, "Elimination of kink phenomena in InP-based HEMTs by forming direct ohmic contacts in the channel," in *Int. Conf. Solid State Device Mater. Ext. Abst.*, 2001, pp.66-67.
- [3-7] T. Kosugi, Y. Umeda, T. Suemitsu, T. Enoki, and Y. Yamane, "Frequency dispersion in drain conductance of InAlAs/InGaAs High-Electron Mobility Transistors (HEMTs) and relationship with impact ionization," *Jpn. J. Appl. Phys.*, vol. 40, pp.2725-2727, 2001.
- [3-8] M. Trippe, G. Bosman, and A. van der Ziel, "Transit-Time Effects in the Noise of Schottky-Barrier Diodes," *IEEE Trans. Microwave Theory Tech.* 34, pp.1183-1192, 1986.
- [3-9] G. Bertuccio, G. de Geronimo, A. Longoni, and A. Pullia, "Low frequency gate current noise in high electron mobility transistors: experimental analysis," *IEEE Electron Device Lett.* 16, pp.103-105, 1995.
- [3-10] H. C. Duran, L. Ren, M. Beck, M. A. Py, M. Begems, and W. Bachtold, "Low-frequency noise properties of selectively dry etched InP HEMT's" *IEEE Trans. Electron Devices* 45, pp.1219-1225, 1998.

- [3-11] N. Shigekawa, T. Enoki, T. Furuta, and H. Ito, "Electroluminescence of InAlAs/InGaAs HEMTs lattice-matched to InP substrates," IEEE Electron Device Lett., vol. 16, pp.515-517, Nov. 1995. ED-35.
- [3-12] T. Suemitsu, T. Enoki, and Y. Ishii, "Body contacts in InP-based In-AlAs/InGaAs HEMTs and their effects on breakdown voltage and kink suppression," Electron Lett., vol. 31, no. 9, pp.758-759, ED-36, 1995.
- [3-13] T. Suemitsu, T. Enoki, and Y. Ishii, "Kink modification using body contact bias in InP based In-AlAs/InGaAs HEMTs," Electron Lett., vol. 32, no. 12, pp.1143-1144, 1996.
- [3-14] S. E. Rosenbaum "A 7 to 11 GHz AlInAs/GaInAs/InP MMIC Low Noise Amplifier", IEEE MTT-S Dig., pp.1103 -1104 1993.
- [3-15] L. Liang, A. R. Alt, H. Benedickter and C. R. Bolognesi "InP-HEMT X-band low-noise amplifier with ultralow 0.6-mW power consumption", IEEE Electron Device Lett., vol. 33, no. 2, pp.209 -211 2012.
- [3-16] M. A. G. Upton "Monolithic HEMT LNAs for Radar, EW, and COMM", IEEE MTT-S Digest, pp.193 -197 1989.
- [3-17] H. Morkner "A Novel MMIC PHEMT Low Noise Amplifier for GPS Applications", 1992 IEEE Microwave Millimeter-Wave Monolithic Circuit Symp. Dig., pp.13 -16 .
- [3-18] K. W. Kobayashi and A. K. Oki "Sub-2.5 dB Noise Figure GaAs HBT Direct-coupled LNAs for High Volume Commercial Applications to 6 GHz", 1994 IEEE GaAs IC Symp. Dig., pp.303 -306.
- [3-19] K. W. Kobayashi, A. K. Oki, L. T. Tran, and D. C. Streit, "Ultra-low dc power GaAs HBT S-band low noise amplifiers", IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp. Dig., pp.73 -76 1995.
- [3-20] K. R. Cioffi "Monolithic L-band Amplifiers Operating at Milliwatt and Sub-milliwatt dc Power Consumptions", 1992 IEEE Microwave Millimeter-Wave Monolithic Circuit Symp. Dig., pp.9 -12.
- [3-21] S. Hara "Miniature Low Noise Variable MMIC Amplifiers with Low Power Consumption for L-Band Portable Communication Applications", 1993 IEEE Microwave Millimeter-Wave Monolithic Circuit Symp. Dig., pp.67 -70.
- [3-22] Peng, Y.-Y., Lu, K.-J. and Sui, W.-Q. (2010), "A 7- to 14-GHz GaAs pHEMT LNA with 1.1 dB noise figure and 26 dB gain," Microw. Opt. Technol. Lett., 52: pp.2615–2617.

- [3-23] T. Ohgihara "GaAs JFET Front-End MMICs for L-Band Personal Communications", 1993 IEEE Microwave Millimeter-Wave Monolithic Circuit Symp. Dig., pp.9 -12.
- [3-24] I. Kipnis "Silicon Bipolar Fixed and Variable Gain Amplifier MMICs for Microwave and Lightwave Applications up to 6 GHz", 1989 IEEE Microwave Millimeter-Wave Monolithic Circuit Symp. Dig., pp.101 -104.
- [3-25] H. Takeuchi "A Si Wide-band MMIC Amplifier Family for L-S Band Consumer Product Applications", 1991 IEEE Microwave Theory and Techniques Symp. Dig., pp.1283 -1284.
- [3-26] X. Wang and R. Weber, "Low Voltage Low Power SiGe BiCMOS X-band LNA Design and its Comparison Study with IEEE 802.11a LNA Design", 2005 IEEE International Radar Conference May 2005, pp.27-30.
- [3-27] P. Roux, Y. Baeyens, J. Weiner, and Y. K. Chen, "Ultra-low-power X-band SiGe HBT low-noise amplifiers," in Proc. IEEE MTT-S Int. Microw. Symp., Jun. 2007, pp.1787-1790.
- [3-28] D. Shaeffer and T. Lee, "A 1.5-V, 1.5-GHz CMOS low noise amplifier," IEEE J. Solid-state Circuits, vol. 32, pp.745-759, May 1997.
- [3-29] A. Karanicolas "A 2.7V 900MHz CMOS LNA and mixer", ISSCC Digest of Technical Papers, 1996.
- [3-30] B. A. Floyd, J. Mehta, C. Gamero, and K. O. Kenneth, "A 900-MHz, 0.8-um CMOS low noise amplifier with 1.2-dB noise figure", Proc. IEEE CICC, pp.661-664 1999.
- [3-31] M. Steyaert, P. Coppejans, W. De Cock, P. Leroux and P. Vancorenland, "A Fully-Integrated GPS Receiver Front-End with 40mW Power Consumption," ISSCC Dig. Tech. Papers, pp.396-397, Feb., 2002.
- [3-32] X. Li, S. Shekhar and D. J. Allstot, "Low-power gm-boosted LNA and VCO Circuits in 0.1 μ m CMOS," IEEE International Solid-State Circuits Conference, pp.534 -535,615, 2005.
- [3-33] A. Bevilacqua , C. Sandner , A. Gerosa and A. Neviani "A fully integrated differential CMOS LNA for 35-GHz ultrawideband wireless receivers", IEEE Microw. Wireless Compon. Lett., vol. 16, no. 3, pp.134 -136 2006.
- [3-34] J. Borremans , P. Wambacq , C. Soens , Y. Rolain and M. Kuijk "Low-area active-feedback low-noise amplifier design in scaled digital CMOS", IEEE J. Solid-State Circuits, vol. 43, no. 11, pp.2422 -2433 2008.
- [3-35] J. F. Chang and Y. S. Lin, "0.99mW 3-10 GHz common-gate CMOS UWB LNA using T-match input network and self-body-bias technique," Electron. Lett., vol. 47, no. 11, pp.658-659, May 2011.

- [3-36] B. G. Vasallo, J. Mateos, D. Pardo, and T. Gonzalez, "Influence of kink effect on the dynamic and noise performance of short-channel InAlAs/InGaAs HEMTs", Electron Devices, 2005 Spanish Conference on, On page(s): pp.123 -126.
- [3-37] B. G. Vasallo, J. Mateos, D. Pardo, and T. Gonzalez, "Kink effect in InAlAs/InGaAs short-channel HEMTs: influence on the dynamic and noise performance", Indium Phosphide and Related Materials, 2005. International Conference on, On page(s): pp.188 -191.
- [3-38] B. G. Vasallo, J. Mateos, D. Pardo, and T. Gonzalez, "Influence of the kink effect on the dynamic performance of short-channel InAlAs/InGaAs high electron mobility transistors", Semiconductor Science and Technology, Volume.20, Issue.9, pp.956, 2005, ISSN: 02681242.
- [3-39] M. Malmkvist, E. Lefebvre, M. Borg, L. Desplanque, X. Wallart, G. Dambrine, S. Bollaert, and J. Grahn, "Characterization of insulated-gate versus schottky-gate InAs/AlSb HEMTs", Microwave Integrated Circuit Conference, 2007. EuMIC 2007. European, On page(s): pp.24 - 27.
- [3-40] M. Malmkvist, E. Lefebvre, M. Borg, L. Desplanque, X. Wallart, G. Dambrine, S. Bollaert, and J. Grahn, "Electrical Characterization and Small-Signal Modeling of InAs/AlSb HEMTs for Low-Noise and High-Frequency Applications", Microwave Theory and Techniques, IEEE Transactions on, On page(s): pp.2685 -2691 Volume: 56, Issue: 12, Dec. 2008.
- [3-41] M. Malmkvist, E. Lefebvre, M. Borg, L. Desplanque, X. Wallart, G. Dambrine, S. Bollaert, and J. Grahn, "Gate-Recess Technology for InAs/AlSb HEMTs", IEEE Transactions on Electron Devices, Volume.56, Issue.9, pp.1904, 2009.
- [3-42] T. W. Kim, S. J. Jo, S. H. Shin, J. H. Jang, J. I. Song, "Characteristics of 0.2 μ m depletion and quasi-enhancement mode self-aligned gate capless p-HEMTs", Electron. Lett., vol. 42, no. 20, pp.1178 -1179 2006.
- [3-43] J. Lee, D. Liu, H. Kim, M. Schuette, J. S. Flynn, G. R. Brandes and W. Lu "Self-aligned AlGaIn/GaN high electron mobility transistors", Electron. Lett., vol. 40, no. 19, pp.1227 -1228 2004.
- [3-44] V. Kumar, D. H. Kim, A. Basu and I. Adesida, "Self-Aligned AlGaIn/GaN High Electron Mobility Transistors", Device Research Conference, 65th DRC Conference Digest, pp.39 -40, Jun 18-20, 2007.
- [3-45] V. Kumar, D. H. Kim, A. Basu and I. Adesida "0.25 μ m self-aligned AlGaIn/GaN high electron mobility transistors", IEEE Electron Device Lett., vol. 29, no. 1, pp.1227 -1228 2008.

- [3-46] V. Kumar, A. Basu, D. H. Kim, and I. Adesida, "Self-aligned AlGa_N/Ga_N high electron mobility transistors with 0.18 μ m gate-length" Electron. Lett., vol. 44, no.22, pp. 1323 -1324 2008.

4 高周波アナログ回路の低ノイズ化回路設計技術

4.1 はじめに

2、3G、LTE などの 5 GHz 以下の無線通信システムに用いられる端末は、2000 年以降 CMOS デバイスの高周波特性の向上とともにその回路ブロックの集積化が進んだ。近年では、図 1-10 に示すように化合物半導体でなければ特性を満たすことが困難である高出力増幅器、高耐圧スイッチを除くブロックが高集積化、コストに優れる CMOS デバイスにより構成されている。

本章では、無線通信端末の高集積化という開発の流れの中で 2000 年以降重要になってきた技術である CMOS デバイスによる受信器回路の低ノイズ化、高 SNR 化に必要な回路集積化技術について述べる。

第 1 章で述べたように、無線通信端末開発において受信器の SNR を向上させることが必要である。ここでは、無線通信において一般的に用いられる周波数分割複信（Frequency Division Duplex : FDD）方式の受信器の NF がどのように求められるかを以下に示し、高周波回路設計の研究の指針を求める。

Duplex NF(NF_{duplex})、simplex NF($NF_{simplex}$)は次のように表すことができる。実際の数値の例として 3G 方式、Band I を例に示す。

Duplex sensitivity requirement at the antenna: $S_{duplex} = -106.7$ dBm

Min SNR requirement: $SNR_{min} = -7.7$ dB

Worst Case Antenna+duplexer loss: $F_{loss} = 4$ dB

Duplex sensitivity at matching input: $S_{duplexm} = -106.7 - 4 = -110.7$ dBm

$$S_{duplexm} = kT + 10 \cdot \log(BW) + NF_{duplex} + SNR_{min} \quad (4-1)$$

これより、 $NF_{duplex}=5.1$ dB と求められる。ここで、プロセスばらつきなどのばらつきのマージンとして 1 dB を見込むと $NF_{duplex}=5.1-1=4.1$ dB となる。つまり、受信器の入力に許される最大のノイズ(N_{total})は、プロセスばらつきのマージン 1 dB を考慮すると

$$N_{total} = S_{duplexm} - SNR_{min} - 1 \quad (4-2)$$

より、-104 dBm より小さくすることが求められる。

一方、この N_{total} は、次の式から表すことができる。

$$N_{total} = 10 \cdot \log \left(10^{N_{th}/10} + 10^{N_a/10} + 10^{N_{rpmix}/10} + 10^{N_{TX}/10} + 10^{N_{IMD2}/10} \right) \quad (4-3)$$

N_{th} : thermal noise (kTB) floor = $-174 + 10 \log(3.84 \text{ MHz}) = -108$ dBm

N_a : 受信器回路から付加される simplex noise

N_{rpmix} : reciprocal mixing によるノイズ = $-25 - 162 + 10 \cdot \log(3.84 \text{ MHz}) = -121$ dBm

N_{TX} : 送信器回路から付加される受信帯域へのノイズ = $-180 + 10 \log(3.84 \text{ MHz}) = -114.16$ dBm

N_{IMD2} : 2 次相互変調歪による受信帯域へのノイズ = $2(P_{TX} - 3) - IIP2 = 2(-25 - 3) - 58 = -114$ dBm

ここから N_a の仕様が求められる。

$NF_{simplex}$ は以下の式で表される

$$NF_{simplex} = 10 \cdot \log \left(1 + \frac{N_a}{N_{th}} \right) \quad (4-4)$$

この式より、 $NF_{simplex}$ は、3.1 dB と求められる。これらの式から、受信器の NF である NF_{duplex} 、 $NF_{simplex}$ の向上には受信器回路自体の低ノイズ化及びその非線形性の向上、発振器の低ノイズ化、送信器の線形性向上が必要であることが分かる。

次に、式 4-3 に示されるノイズについて述べる。 N_{rpmix} は、図 4-1 に示すように、ミキサが高周波入力信号のダウンコンバートを行う際、妨害波（通常 TX 出力）が存在すると発振器の位相ノイズのミキシングが原因で信号帯域にノイズが発生する。

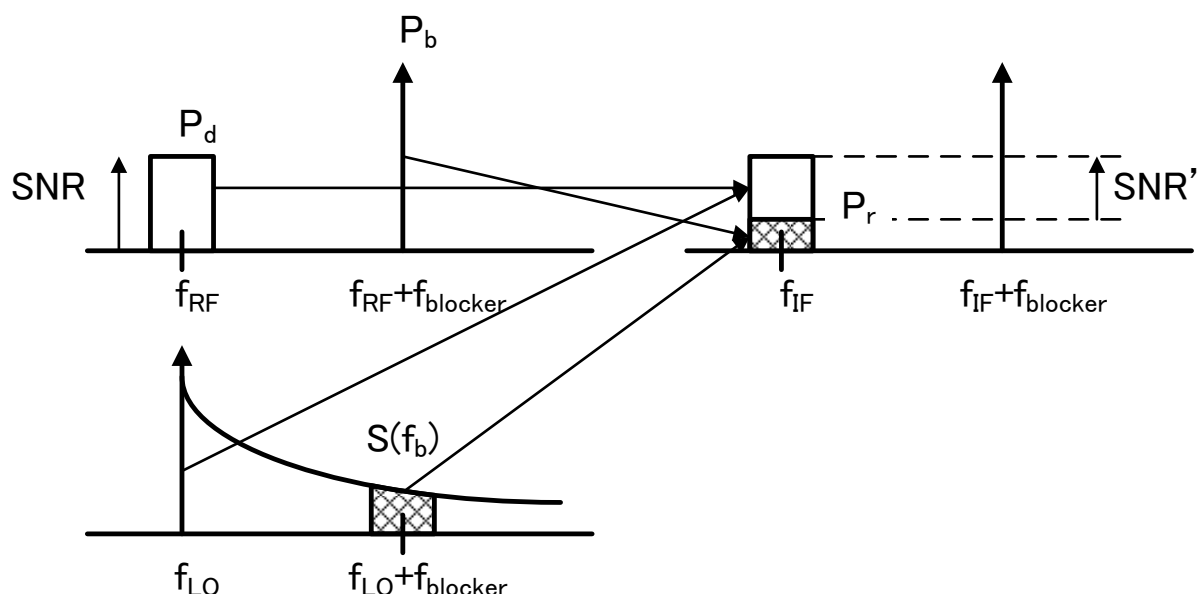


図 4-1 Reciprocal mixing による受信器へのノイズ

この図 4-1 に示す P_d , P_b , P_r はそれぞれ希望波、妨害波、reciprocal mixing による受信帯域内信号のノイズ電力を表し、 f_{RF} , $f_{blocker}$, f_{IF} は、それぞれ受信器の受信帯域周波数、妨害波、ミキシング後の IF 周波数の周波数を示す。この図から、受信器入力では SNR であったのが、reciprocal mixing により SNR' に劣化することが示されている。この SNR' は

$$SNR' = P_d - P_r \quad (4-5)$$

$$P_r = P_b + S(f_{blocker}) + 10 \cdot \log(BW) \quad (4-6)$$

ここで、 S は雑音電流スペクトル密度 [A^2/Hz]、 BW は 受信信号帯域 [Hz] を表す。この P_r が N_{rpmix} に相当するため、受信器の SNR 向上のためには発振器の位相ノイズ低減が必要であることが分かる。

次に式 4-3 の N_{TX} について述べる。図 4-2 に示すように、OFDM などのマルチキャリアによる送信器の出力は帯域を持った出力波形となり、それぞれの信号が送信器の非線形性による IMD 成分が送信チャネル外に生成される。この出力レベルの指標となるのが Adjacent Channel Leakage Ratio (ACLR) と呼ばれ、送信器の線形性の指標となる。この IMD 成分の内、受信帯域分が受信器にとってのノイズとなり SNR を劣化させる。このノイズが式 4-3 における N_{TX} である。この ACLR は式 4-7 で表すことができる。

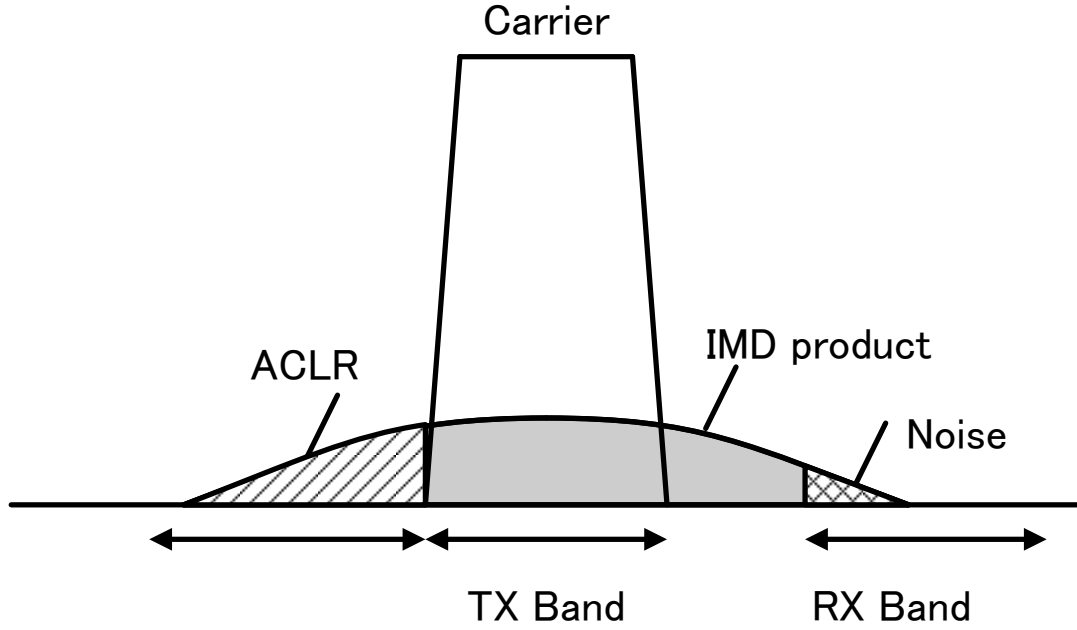


図 4-2 送信器による受信器へのノイズ

$$ACLR = 2(P_{tot} - 3) - (OP1dB + 9.6) + C_1 \quad (4-7)$$

ここで、 P_{tot} 、 C_1 はそれぞれ出力電力、定数を示す。受信器の SNR は ACLR が向上することが必要であるため、送信器の OP1dB を向上させることが受信器の SNR 向上につながる事が分かる。

受信器の SNR は、式 4-3 に示されるノイズ成分により求めることができるが、以下に示す発振器の IQ 信号の位相誤差、振幅誤差により影響を受けることが知られている[4-1]。図 4-3 に示すのは、ダイレクトコンバージョン方式の受信器において入力信号 y_p があつた場合に、IQ LO 信号の位相誤差 θ 、振幅誤差 α 及び位相ノイズ ϕ がどのような影響を及ぼすかを示している。ここで f_c は LO 信号の周波数を示す。このときの SNR は次の式で表すことができる。

$$SNR = \frac{SNR_0}{(1 - 2Re\{\mu A\} + |\mu|^2 + |\gamma|^2)SNR_0 + 1} \quad (4-8)$$

$$\mu = \cos\left(\frac{\theta}{2}\right) - j\alpha \sin\left(\frac{\theta}{2}\right)$$

$$\gamma = \alpha \cos\left(\frac{\theta}{2}\right) + j \sin\left(\frac{\theta}{2}\right)$$

ここで、 A は定数を表す。この式より、位相誤差 θ 、振幅誤差 α が位相誤差、振幅誤差の無い状態での SNR_0 に比べて SNR を劣化させることが分かる。

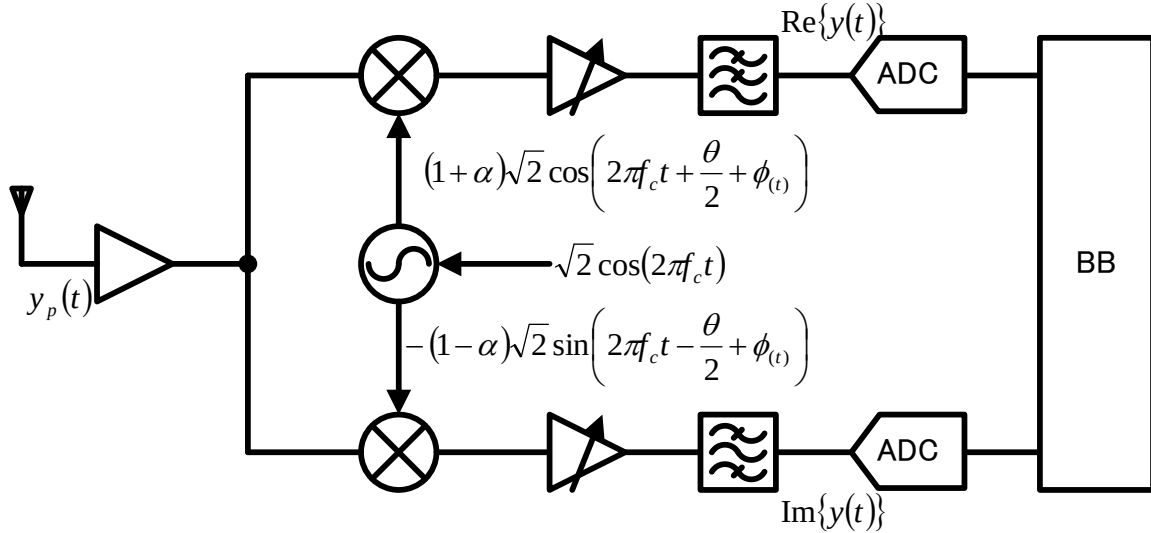


図 4-3 IQ 位相誤差、振幅誤差が受信器の SNR に及ぼす影響

次に受信器の線形性の指標である受信器の Full duplex IP3 について以下で述べる。

$$FDIP3 = P_{TX} + (P_{fdi} + P_{fdim3})/2 \quad (4-9)$$

P_{TX} : 送信器出力

P_{fdi} : Full duplex interferer 電力

P_{fdim3} : Full duplex 3 次相互変調歪による受信帯域へのノイズ

$$P_{fdim3} = 10 \cdot \log(10^{N_{rxin}/10} + 10^{IMDPA/10} + 10^{N_{total}/10}) \quad (4-10)$$

$$N_{rxin} = S_{duplex} + SNR_{min} \quad (4-11)$$

$$IMDPA = P_{db} - ATT_{TX} - IMPA - ATT_{RXTX} \quad (4-12)$$

$IMDPA$: Power Amp.による相互変調歪電力

P_{db} : duplex blocker 電力

ATT_{TX} : Duplex 周波数におけるアンテナから TX 入力までの TX フィルタの attenuation

$IMPA$: Power Amp.の相互変調歪

ATT_{RXTX} : RX 帯域における duplexer の TX から RX への isolation

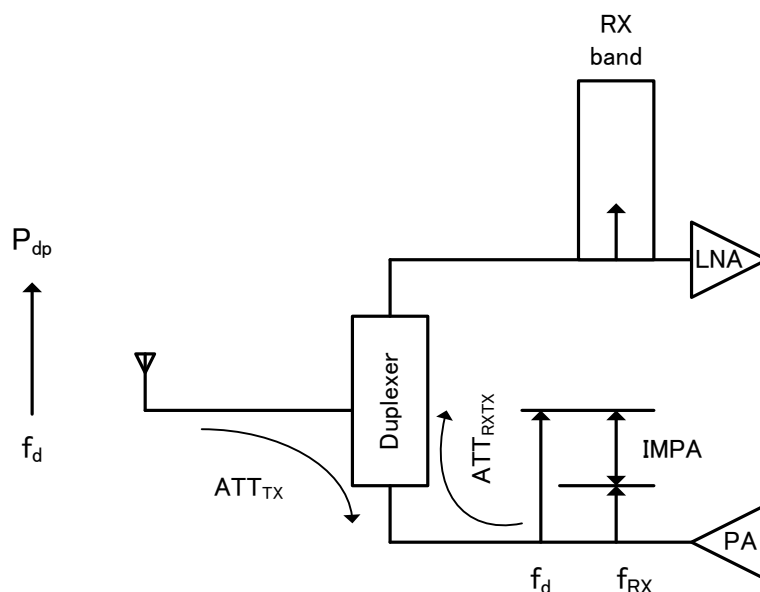


図 4-4 IMDPA の導出

このように、受信器に求められる線形性が求められる。この P_{fdim3} に RX のノイズ特性が含まれるように、受信器のノイズの低減、つまり、受信器の SNR が向上するということは、受信器への線形性要求値の緩和につながり、受信器の低消費電力化にもつながる。逆にいえば、送信器、受信器の線形性が向上することは、受信器の SNR に対する要求を緩和することができるということでもある。

以上のことから、受信器の SNR に対して受信器の特性のみではなく送信器、発振器全てのブロックの特性が影響を及ぼして決まるということが分かる。本章では、トランシーバ回路の中でも特に、送信回路の ACLR、OP1dB 向上させることでの高線形化、発振器回路の低ノイズ化による受信帯域へのノイズ抑制、IQ 信号の振幅、位相誤差によるミスマッチを抑制することで受信器の SNR 劣化を抑制する受信器回路の SNR 向上手法について述べる。

4.2 高周波送信回路

ここでは送信回路の低消費電力化、高集積化について述べる。回路として IP 網を使う WiMAX [4-2] [4-3] [4-4] 向けの送信器のうちミキサ、可変増幅器、ドライバアンプの RF 回路を扱う。WiMAX では変調方式として orthogonal frequency division multiple access (OFDM) が用いられる。この方式は、多数のサブキャリアを用いて通信速度を向上させる。しかし、このように多数のサブキャリアを用いるため peak to average power ratio (PAPR) は 12 dB 程度と大きく、増幅器は大きな線形性が求められる。そのため、

Relative constellation error(RCE)において-24 dB 以下が求められる。また、ゲインの可変範囲は 1 dB ステップで 45 dB の可変範囲が必要である。周波数帯域として 2.5 から 3.8 GHz、信号帯域幅は最大 10 MHz である。この帯域において上記仕様を満たす必要がある。図 4-5 に送信器のブロック図を示す。送信器の最終増幅器であるパワーアンプの出力はマッチング回路、スイッチなどを経由してアンテナに接続される。このアンテナからは単相の信号が送信されるため、通常パワーアンプは差動回路ではなく単相の回路を用いる。一方、ミキサ以降の回路はノイズに対する耐性を向上させるため差動回路を用いることが多い。従って、ミキサとパワーアンプの間で差動信号から単相信号に変換する必要がある。これまで多くの無線通信端末は、図 1-10 に示すようにパワーアンプは化合物半導体による別チップにより構成されているため RF トランシーバ出力とパワーアンプ入力の間で外付け部品であるバランを使用して差動信号を単相信号に変換してきた。このため、各バンドあるいは出力端子に 2 つのバンプと外付け部品であるバランが必要になり高集積化の妨げとなってきた [4-5]。この送信器では WiMAX RF モジュールの高集積化のため、ミキサの出力につながる可変増幅器の出力にイメージ抑圧フィルタと差動単相変換回路を用いることでドライバーアンプは単相回路とし、外付け部品の削減を行う。従って送信器回路には高線形性が求められる。

このように受信帯域へのノイズ抑制のためにも送信器回路の線形性を向上することは必要であるが、線形性を向上することで外付け部品の削減による低コスト化、通信速度の向上にもつながることが分かる。

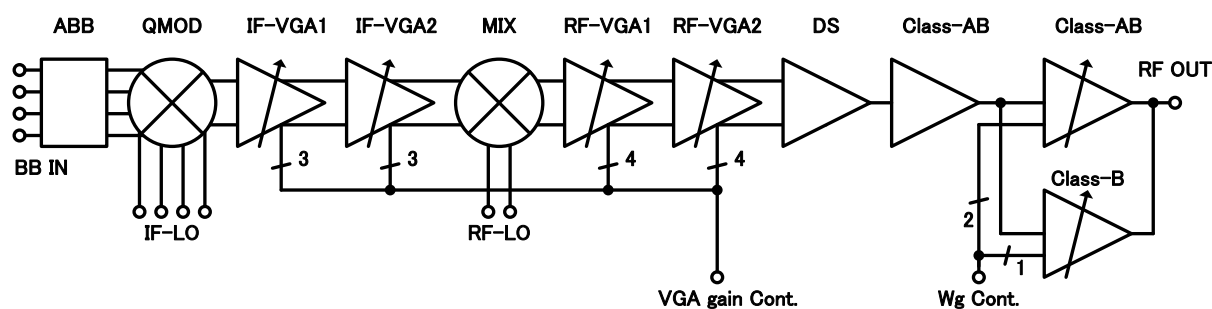


図 4-5 WiMAX 送信器のブロック図

4.2.1 可変増幅器

4.2.1.1 回路構成

送信器の可変範囲は前述のように 45 dB の制御が要求される。このため、図 4-6 に示すように、2 段構成の可変増幅器(Variable Gain Amplifier, VGA1, VGA2)とし、それぞれ 24 dB の可変範囲をもち、2 段で 48 dB の可変範囲とする。出力には、単相から差動に変換する回路(Differential to Single end

conversion, DS)をもつ。この出力がドライバーアンプに接続される。VGA 最終段の OP1V は、1.0 Vppd、二つの VGA の消費電流は 2.9 V 電源動作において初段、最終段それぞれ 11.4 mA, 21.9 mA である。

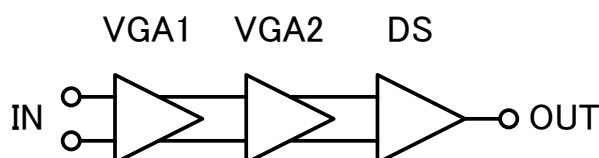


図 4-6 可変増幅器のブロック図

2 段の VGA の回路構成は同じで、その回路図を図 4-7 に示す。この回路は、B<3:0>による 4 bit によりゲインを制御する。Vg1, 2 には、後述するバイアス回路によりバイアスが与えられる。また、B<3:0>についても同じバイアス回路から生成されたバイアスが与えられる。点線で囲われた部分の回路は、図 4-8 に示すように 4 bit それぞれに応じたトランジスタに分解されており、バイナリにサイズが重みづけされている。つまり、 $Wg1=2 \times Wg0$ となっている。

ゲインを変えても出力インピーダンスが変化しないように、オフしているビットについても同じサイズのトランジスタがオンしている。つまり、図 4-7 において、M3 と M4 は、図 4-8 のようにそれぞれ、M30, 31, 32, 33 のように 4 つに分割されており、そのゲート幅の合計は同じである。M30 がオンのときは M40 がオフ、M30 がオフのときは M40 がオンというように制御する。このように制御することでゲインによらず出力インピーダンス、消費電力とも一定となり 6 dB ステップの精度が向上する。ゲインの制御は、VGA1 からゲインを増加させてから VGA2 のゲインを上げる。それぞれの制御は同じで、B<3:0>を 1,3,7,15 と 4 段階に変えることでゲインが増加し、最小ゲインに対して +6, +12, +18 dB と増加する。

図 4-9 に差動単相変換回路の回路図を示す。この差動入力から単相信号に変換し C2 により位相誤差を調整することができる。この回路のゲインは 0 dB、従って OP1V は VGA と同じ 1.0 Vppd。電源電圧は 2.9 V で消費電流は 4.0 mA である。

この VGA 及び DS から構成される可変増幅器の特性として、最大ゲイン 14.9 dB から最小ゲイン -30.2 dB、O1CPV が 1.52 Vppd、CMRR は 4 GHz において 34.9 dB、消費電流は電源電圧 2.9 V において 37.2 mA である。

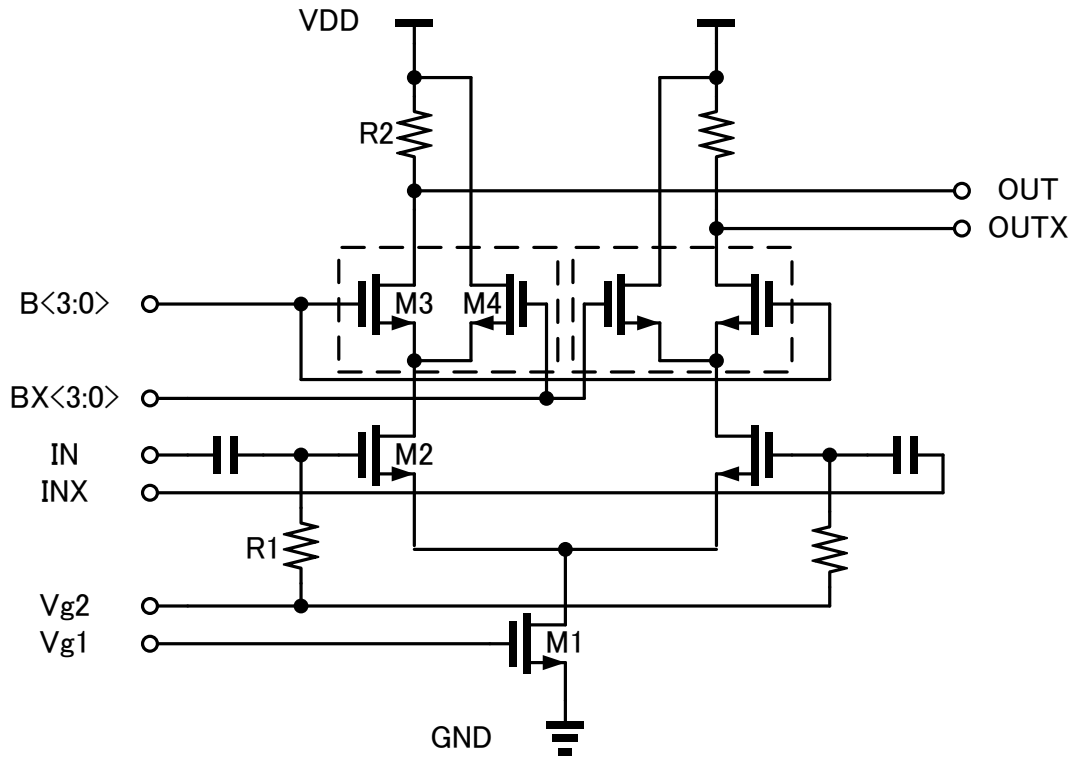


図 4-7 VGA の回路図

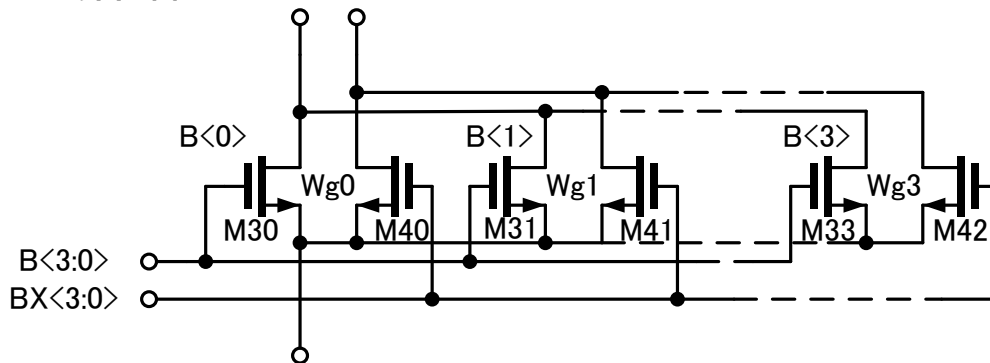


図 4-8 VGA のゲイン制御部の回路図

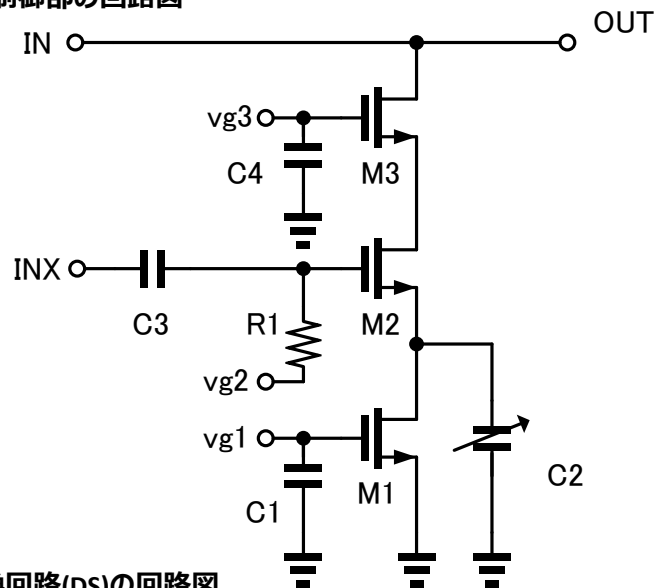


図 4-9 差動単相変換回路(DS)の回路図

4.2.1.2 バイアス回路

図 4-10 に VGA に用いたバイアス回路を示す。このバイアス回路により増幅器の微細化に伴うゲインばらつき抑制と線形性補償の両立を行うことができる。このバイアス回路を使うことで増幅器の線形性を M4, 5 で決め、ゲインを M7, 8 で決めることでゲインと線形性を同時に補償することができる。

図 4-11 に従来の g_m 補償型のバイアス回路の動作を示す。微細化が進むとこの図に示すように g_m が小さい時にはゲートバイアスを増加させてもバイアスを制御できる範囲が狭いため、typ 特性の g_m と同等になる V_{od2} まで補償することができない。また、 g_m が高い時には g_m を補償することはできるが、入力トランジスタのゲートバイアスを下げると V_{od} が V_{od0} から V_{od1} にまで低下するため線形性が低下する。

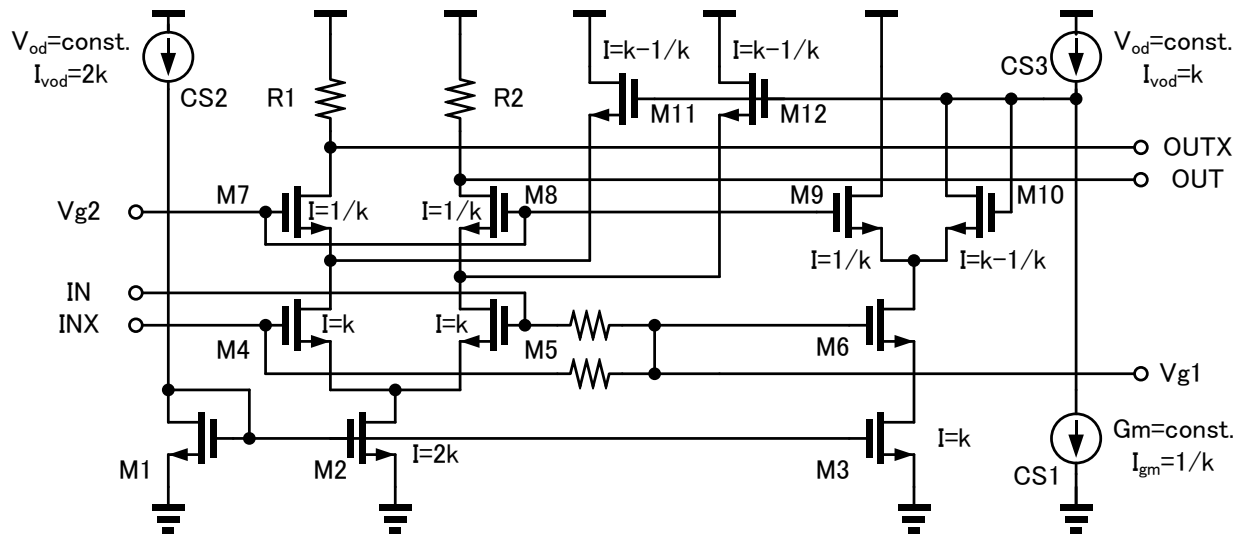


図 4-10 VGA のバイアス回路

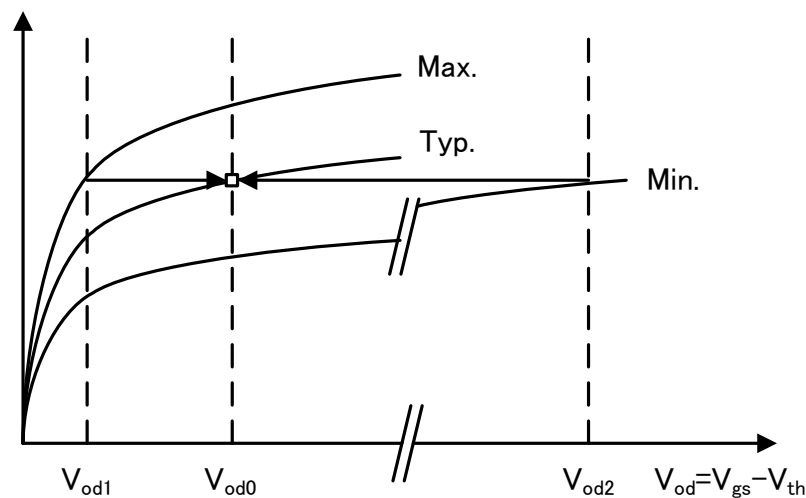


図 4-11 従来のバイアス回路

VGA には図 4-10 のバイアス回路を用いてプロセスばらつき補償を行った。以下に、従来のバイアス回路では補償できないトランジスタが Min. 状態から Typ. に補償する場合について示す。このバイアス回路を用いることで、M4, 5 のトランジスタのゲートには、 $V_{od}=V_g$ (ゲートバイアス) $-V_{th}$ (閾値) が一定になるようなバイアスを与える。これにより、これらのトランジスタは図 4-12 に示すような動作をする。

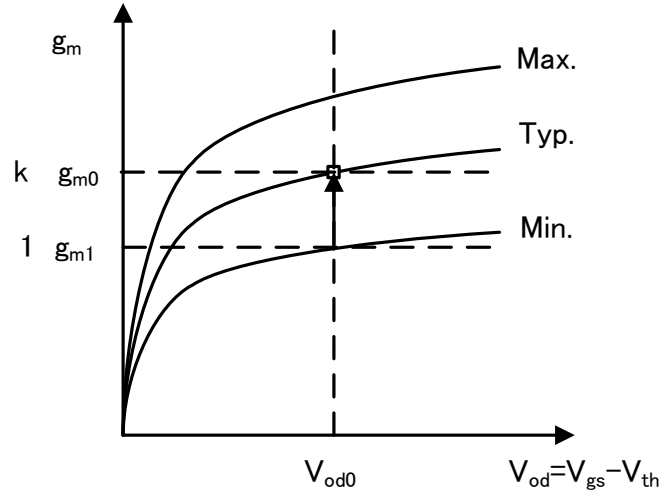


図 4-12 トランジスタ M4,5(図 4-10)の動作

I_{ds} は、式 4-13 のように表すことができる。

$$I_{ds} = \frac{\beta}{2} \cdot V_{od}^2 \quad (4-13)$$

ここで β は、トランジスタの移動度 μ 、酸化膜厚 C_{ox} 、ゲート幅 W_g 、ゲート長 L_g から決まる定数である。

$$\beta = \frac{\mu C_{ox} W_g}{L_g} \quad (4-14)$$

$$g_m = \beta \cdot V_{od} \quad (4-15)$$

$$\frac{I_0}{I_1} = k \quad (4-16)$$

Typ. におけるドレイン電流を I_0 、トランスコンダクタンスを g_{m0} 、 g_m が最小値 g_{m1} となる Min. におけるドレイン電流を I_1 とし、その比を k とすると式 4-16 のように表すことができる。式 4-13 と 4-15 から

$$\frac{\beta_0}{\beta_1} = k \quad (4-17)$$

また、ゲインを一定に保つためには M7、8 の g_m を一定に保つ必要がある。このとき、 g_m Min. 状態のトランジスタの g_{m1} を補償するために図 4-13 のようにバイアス点を変化させることで、 g_m を一定に補償することができる。

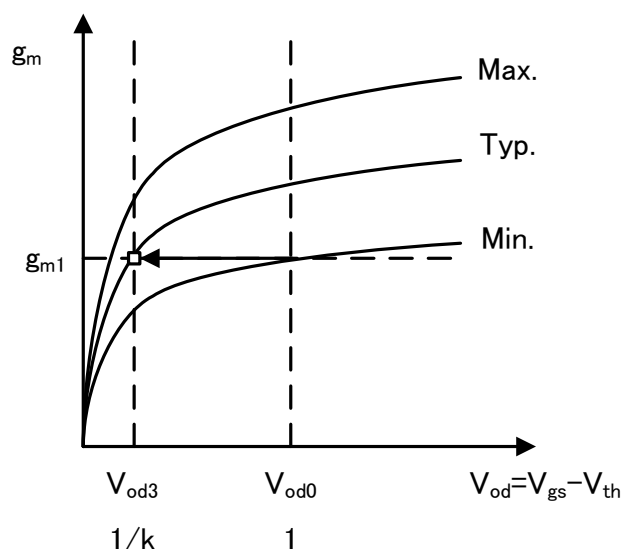


図 4-13 トランジスタ M7、8(図 4-10)の動作

Min. と Typ. での g_m は一定であるため、

$$1 = \frac{\beta_0 V_{od3}}{\beta_1 V_{od0}} \quad (4-18)$$

式 4-17 より

$$\frac{V_{od3}}{V_{od0}} = \frac{1}{k} \quad (4-19)$$

従って、Typ. 状態で M7、8 に流れるドレイン電流を I_{gm0} とし、Min. 状態で I_{gm1} とすると

$$\frac{I_{gm0}}{I_{gm1}} = \frac{1}{k} \quad (4-20)$$

となる。つまり、 g_m が Min. になると M4、5 に k 倍の電流を流し、M7、8 には $1/k$ 倍の電流を流せば M4、5 の V_{od} を一定に保つことで線形性を保持することができる。また、M7、8 の g_m が一定に保持されることでゲインを補償することができる。

この M7, 8 が図 4-7 の M3 に相当し、M9, 10 が図 4-7 の M4 に相当する。M4, 5 は、図 4-7 の M2、M2 が図 4-7 の M1 に相当する。CS1 に g_m 一定電流を流し CS2, 3 に M2, 4, 5 の V_{od} が一定になる電流を流す。M10 には V_{od} 一定電流と g_m 一定電流の差に相当する電流が流れることで M9 に g_m 一定電流を流すことができる。

4.2.1.3 評価結果

(1) S21

図 4-14 に VGA と出力に差動単相変換回路(DS)を接続した回路の S21 を示す。これは、3 つの試料の測定結果と設計データをともに示した図である。この結果から、設計通りのゲインの周波数特性が得られていることが分かる。図 4-15 に 3.5 GHz におけるゲインとゲインを制御するコードとの関係を示す。1 コードあたり 6 dB のゲイン変化が設計値どおりに得られており、ゲインコードと線形な関係にあることが分かる。

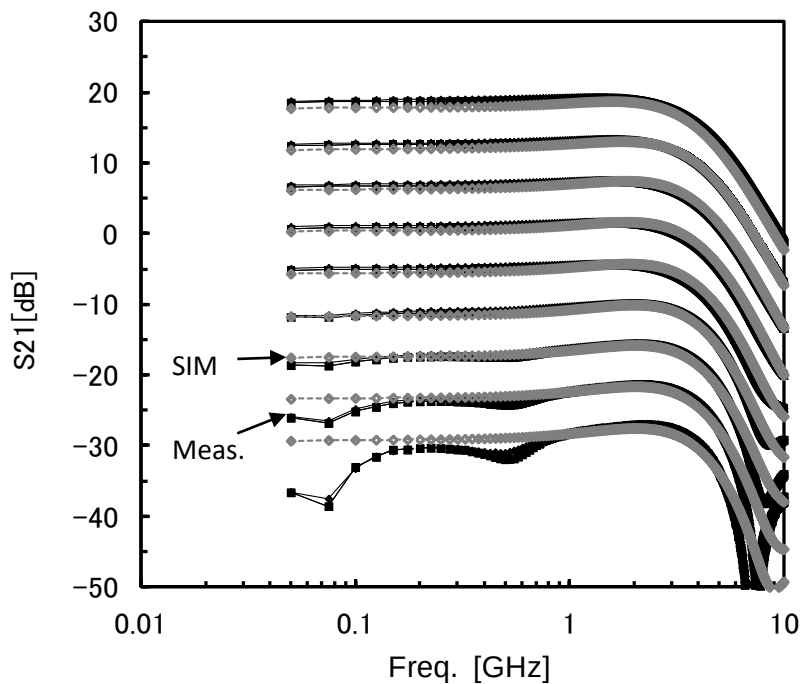


図 4-14 VGA の S21

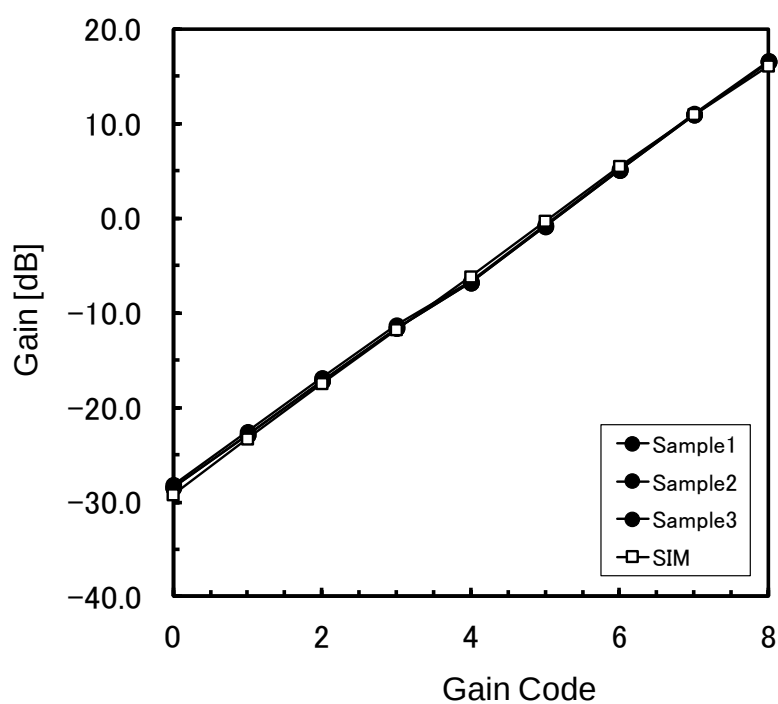


図 4-15 VGA gain code とゲインの関係

(2) NF

図 4-16 に VGA のゲインが最大の時の NF の 3 つの試料の評価結果と設計値を示す。これは、VGA のゲイン設定が最大で、NF が最大になる条件において 10 GHz までの周波数における設計値と評価結果を比較したものである。この周波数範囲において、両者の誤差は 2 dB 程度で送信器全体のノイズ設計には影響がない程度であることが分かる。

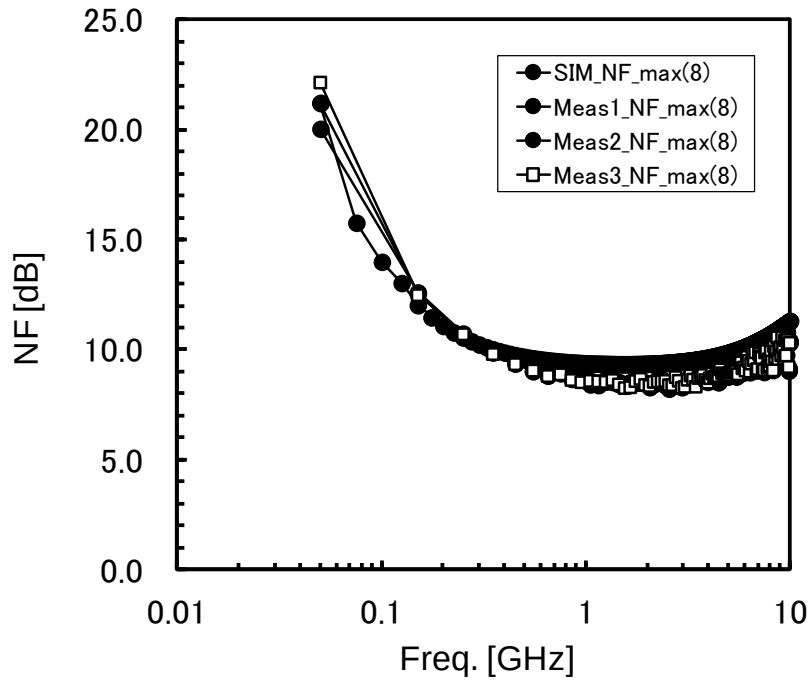


図 4-16 VGA ゲイン最大時の NF

(3) Pin Pout

図 4-17 に 3.5 GHz における VGA ゲイン最大設定における出力電力とゲインの入力依存を示す。これは、3 つの試料の評価結果と設計値を示す。この結果から OP1dB が -6.5 dBm であり、仕様である -8 dBm を満たしている。

4.2.2 ミキサ

ミキサはギルバートセルのトポロジを用い、2.8 から 3.2 GHz のローカル発振器信号(LO)と IF 入力信号周波数 500 MHz から 3.3 から 3.7 GHz の RF 信号を生成する。LO の入力レベルは 0.9 から 1.1 Vpp、O1CPV は 0.6 V。イメージ信号の抑圧は 22.9 dB。電源電圧が 2.9 V において消費電力は 8.6 mA である。また、イメージ抑圧による線形性向上のためミキサの出力にはインダクタ、容量から構成されるフィルタを用いる。ミキサの g_m を決めるトランジスタには 1.2 V トランジスタが用いられており、ミキサの低消費電力化を行っている。しかし、このように 2.9 V 電源に 1.2 V トランジスタを用いているため、過電圧がゲートに印加されないようにゲート、ドレイン間に保護ダイオードを接続した。

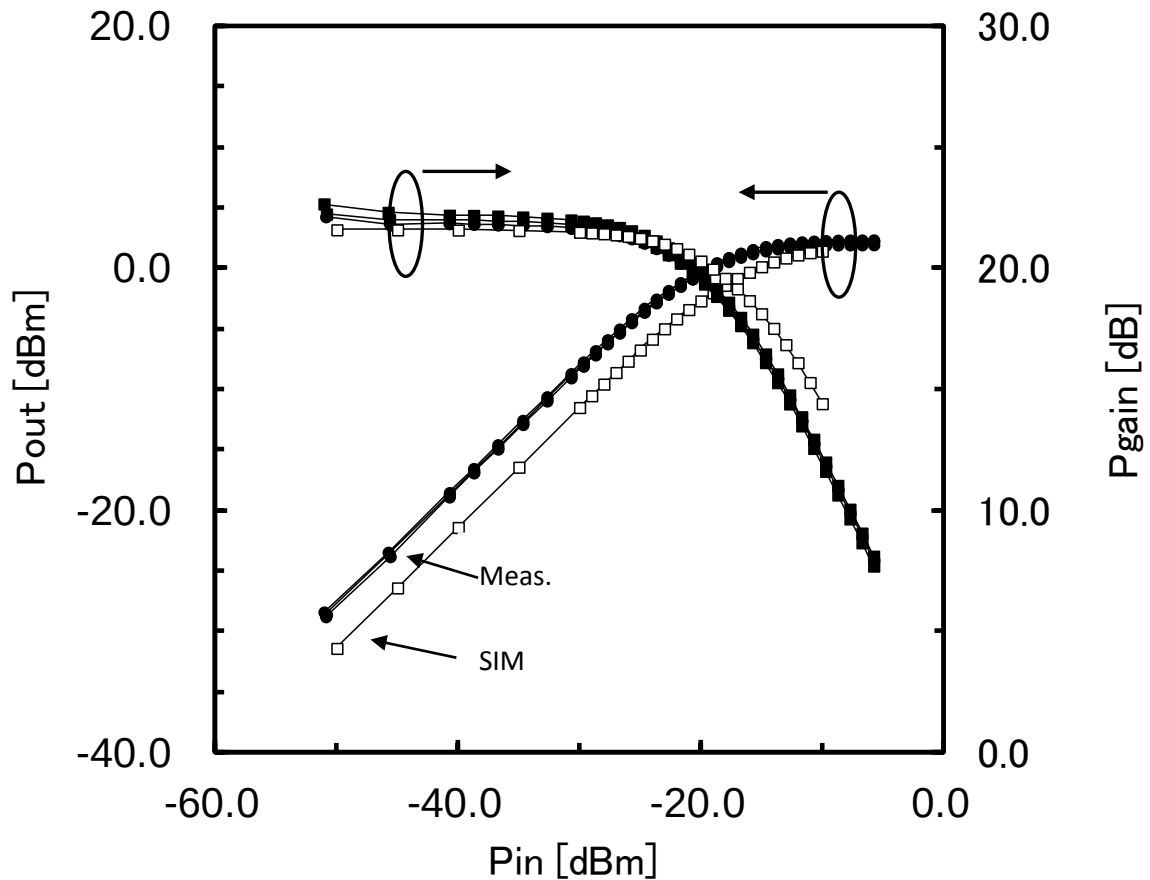


図 4-17 VGA 出力電力及びゲインの入力電力との関係

4.2.3 ドライバーアンプ

ドライバアンプ(DA)は、図 4-18 に示すブロック図のように 2 段構成でそれぞれ入力の初段は、AB 級のカスコードの単相増幅器、最終出力段は AB 級と B 級のカスコード単相増幅器で構成されている。周波数範囲は、3.3 から 3.7 GHz でゲインは 15.3 dB、線形出力は OP1dB 12.8 dBm である。電源電圧は 2.9 V であるが、カスコード増幅器の入力トランジスタは 1.2 V のコアトランジスタで構成することで低消費電力化を図っている。そのため、1.2 V トランジスタのゲートに 1.2 V 以上の電圧が起動時に過電圧が印加されないように保護回路を用いている。低消費電力化のために最終段は B 級増幅器を並列に接続されている。これにより、出力電力が大きい時に B 級増幅器が動作し線形性を補償することで低消費電力化 [4-6]を行っている。

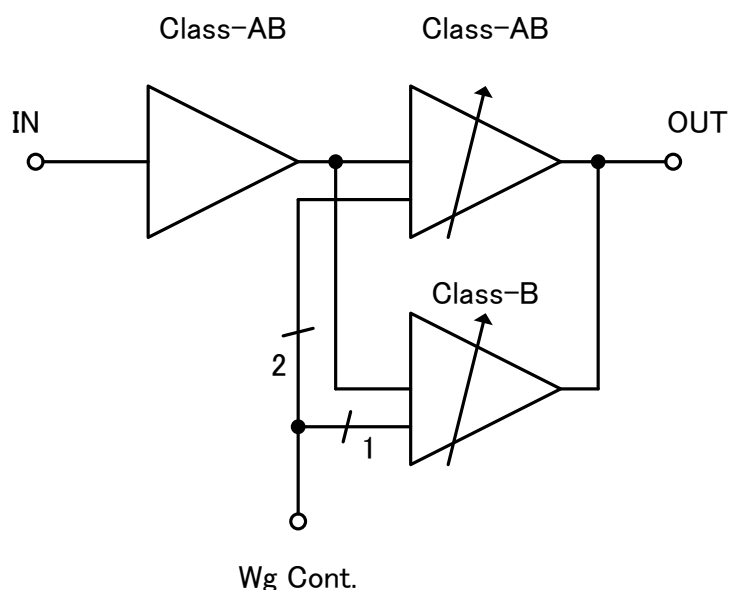


図 4-18 DA ブロック図

また、ゲインと線形性をプロセスばらつきから補償するためにバイアス回路により補償している。温度変動による特性の変化は、ドライバアンプ近傍に位置する温度計から出力される温度コードに応じて、最終段の増幅器のゲート幅とバイアス回路のゲート幅を制御することで補償している。AB 級は、ゲート幅を 2 bit、B 級は 1 bit で制御する。また、このゲート幅制御は温度及び出力電力の設定 2 つのパラメータに応じて制御することで低消費電力化を行う。つまり、バイアス回路によりプロセスばらつきと温度変動による線形性及びゲインの変動を補償し、入力電力に応じてトランジスタのゲート幅制御を行うことで電力効率を高める。

4.2.3.1 回路構成

ドライバアンプの回路構成を図 4-19 に示す。電源電圧は、2.9 V、図の M11、MAB21、MB21 のトランジスタについては 1.2 V のコアトランジスタを用いることで低消費電力化を行っている。このトランジスタのゲートには、送信器起動時に 1.2 V 以上の過電圧がかかることが起こりうるため、ゲートを保護するための保護回路について 4.2.3.3 で述べる。全ての増幅器は、単相回路となっており出力も単相である。これにより、外付けのバランによるロス 3 dB を抑制することができるため、差動回路構成に比べて出力電力を低減することができる。また、チップ内での寄生容量、寄生抵抗成分を抑制することができる。出力の整合回路、負荷のインダクタは、全てオンチップ素子で構成されており外付け部品を最小限に抑えることができる。

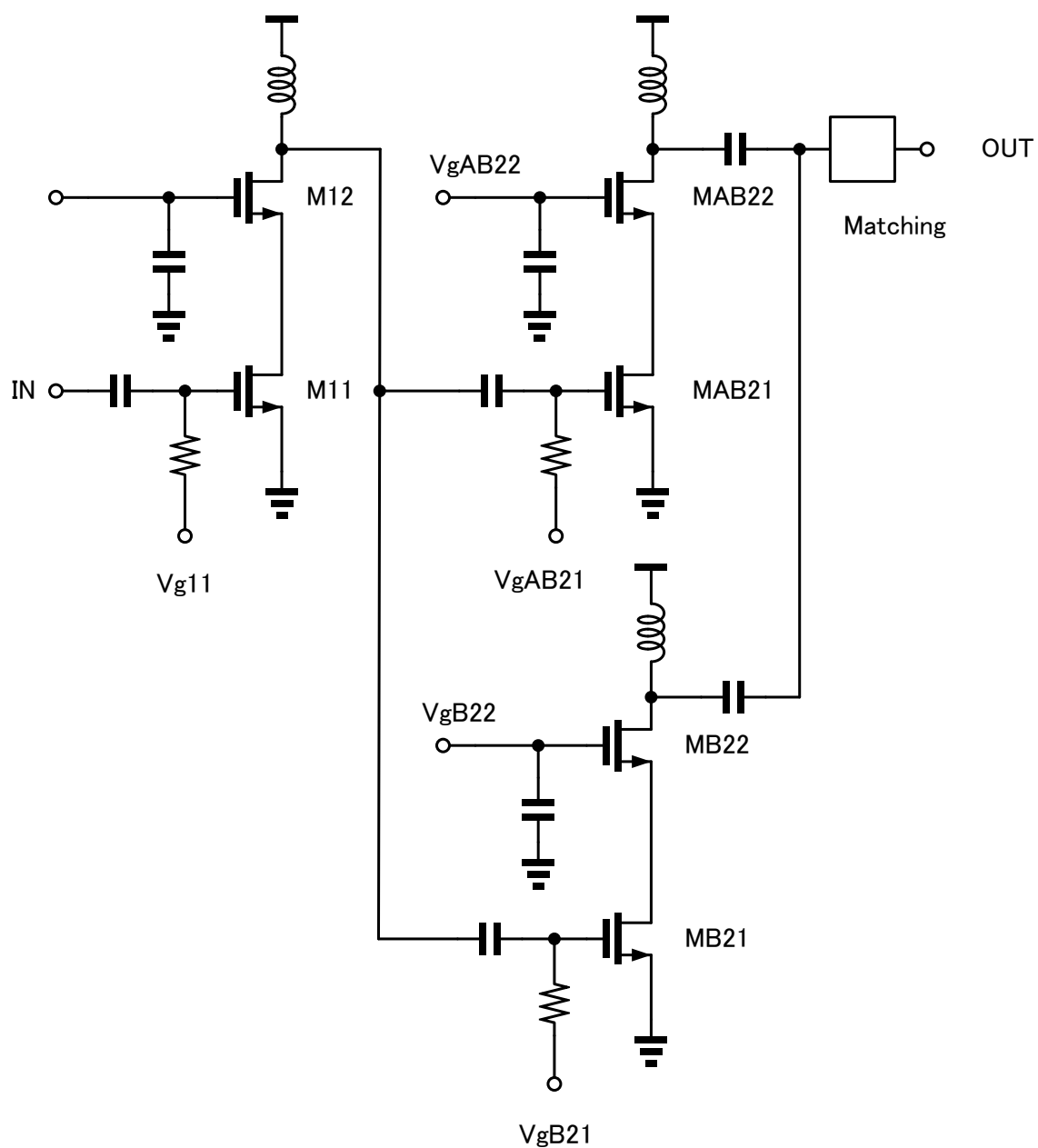


図 4-19 DA 回路図

4.2.3.2 バイアス回路

ドライバースンプに用いるバイアス回路に求められる特性として次の二つとして設計を行った。一つ目は、出力電力に応じたゲート幅の制御、二つ目は温度変動によるゲイン、線形性の補償である。

一つ目のゲート幅の制御について以下に説明する。ドライバースンプは、送信器回路の中では求められる出力電力が最大で 12 dBm の線形出力が要求される。ゲインは 15 dB であるためその時の入力レベルは -3 dBm である。一方、最小出力電力は -33 dBm である。このため、ドライバースンプは出力電力に応じて電力効率を高められることが重要となる。このため、増幅器、バイアス回路のゲート幅を出力電力に応じて制御することで低消費電力化を行う。

二つ目の温度変動による特性補償について以下に説明する。プロセスの微細化が進むにつれ図 4-20 に示すように、このトランジスタにおいてゲートバイアス点を 0.7 V 付近に設定したいときにはゲートバイアスを制御するだけでは点線矢印で示すようにゲインを決める g_m を補償することができないことが分かる。この図においてトランジスタのゲート幅を制御するというのは図の実線矢印に相当する。このゲート幅の制御は、温度による特性の変化を抑制するために行う。

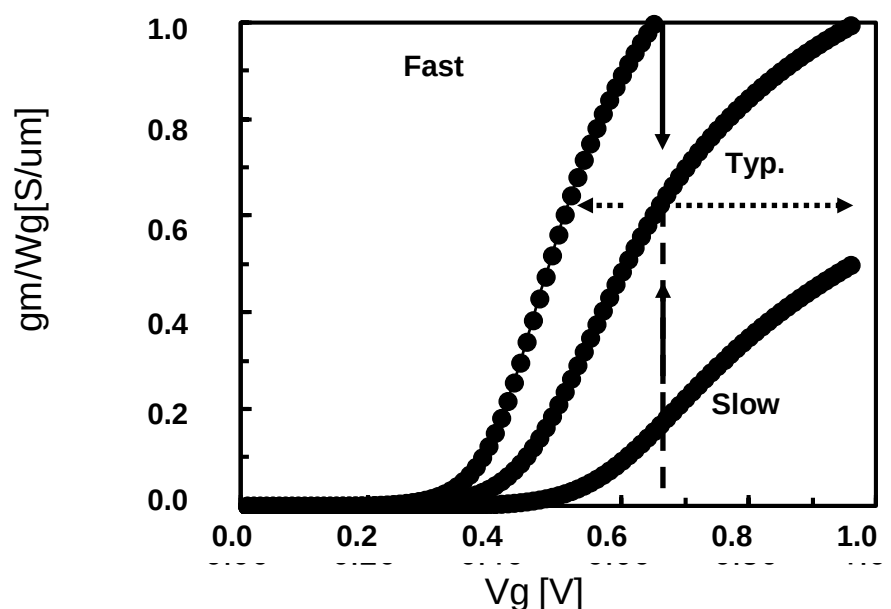


図 4-20 トランジスタのプロセスばらつきによる特性の変化

バイアス回路により、どのように線形性とゲインを補償するかを以下に述べる。トランジスタのドレイン電流は、式 4-13 で表される。また、 g_m は式 4-15 で表される。ここで、 I_{ds} 、 g_m を一定になるように制御すると $I_{ds}/g_m = V_{od}/2$ が一定になるため V_{od} が一定になる。つまり、 g_m を一定になるようにすることは β を一定に制御することである。従って、バイアス電流一定電流条件のもとで β が k 倍になった時には β が $1/k$ 倍になるように制御を行えばバイアス点、ドレイン電流を一定に保つことができる。 β は式 4-14 で表されるように μ が温度の関数であるので $1/\mu$ に比例するように Wg を制御すればよい。温度情報は温度計の回路から -35 から 125℃まで 10℃ステップで 4 bit データとして得ることができる。そのため、デコードにより温度コードからゲート幅のコードに変換することで μ を一定に保つことができるように制御を行う。また、バイアス回路と増幅器のトランジスタのカレントミラー比を一定に保つためバイアス回路のゲート幅も同様に制御を行う。これにより、バイアス点をバイアス回路と増幅器で一定に保つことができる。この図 4-21 に示すバイアス回路により、ドライバーアンプの消費電力を一定に保ちながら線形性とゲインを一定に保つことができる。従って、従来のバイアス回路のようにバイアス電流を制御することで増幅器のバイアス点だけを制御するだけでは抑制することができなかったトランジスタ特性の変化による増幅器のゲイン、線形性を補償することができるようになる。 Wg を 4 bit で制御した時の温度補償特性の結果を図 4-22、図 4-23 に示す。

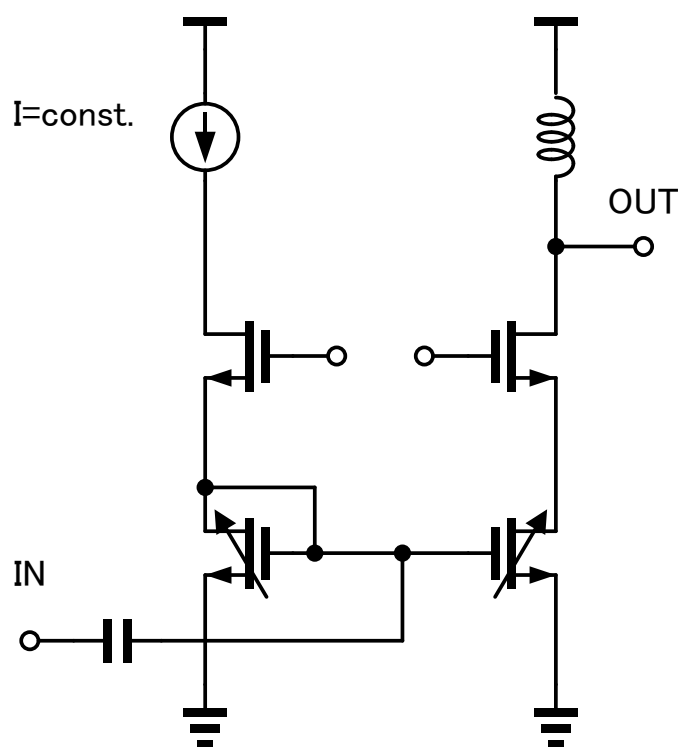


図 4-21 DA 温度補償バイアス回路

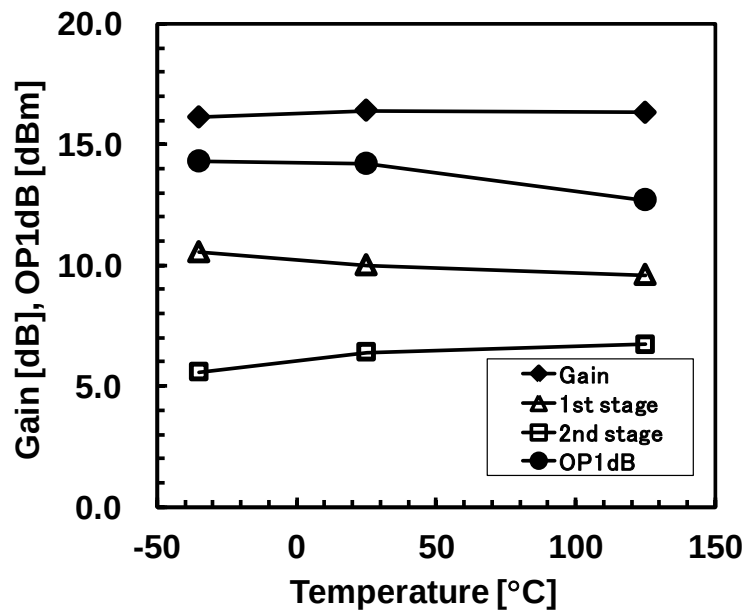


図 4-22 温度補償回路を用いた時の Gain、OP1dB 補償特性

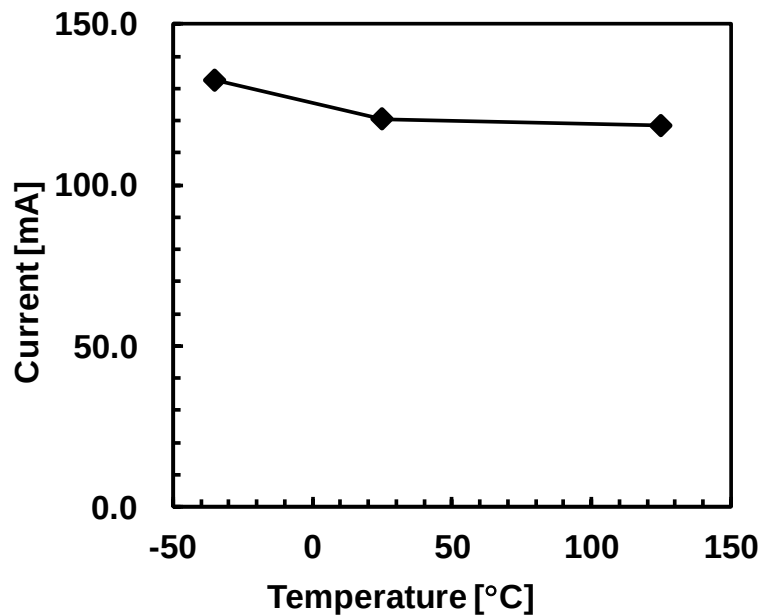


図 4-23 温度補償回路を用いた時の消費電流の温度依存特性

この時の V_{od} は 612 から 650 mV の範囲で制御されている。これは、 w_g と温度計の分解能から生じる誤差で V_{od} 及び消費電流が 6% 程度の精度で制御できている。図 4-22 からゲインの温度変動がこのバイアス回路により補償され、ゲイン、線形性がともに補償されていることが分かる。

The circuit diagram illustrates a two-stage CMOS amplifier with a feedback loop. The input signal, labeled 'IN', is coupled to the gate of the first stage (MAB21) through a capacitor. The gate of MAB21 is also biased by a voltage source V_{gAB21} through a resistor. The source of MAB21 is connected to ground. The drain of MAB21 is connected to the gate of the second stage (MAB22) through a coupling capacitor. The gate of MAB22 is biased by a voltage source V_{gAB22} through a capacitor. The source of MAB22 is connected to ground. The drain of MAB22 is connected to the output node, labeled 'OUT', through a coupling capacitor. The output node is also connected to the input of a 'Matching' block, which is represented by a square symbol. The output of the 'Matching' block is connected to the input of a feedback loop, which is represented by a square symbol. The feedback loop is connected to the gate of MAB21 through a capacitor. The output node is also connected to ground through a capacitor, labeled 'C1'.

108

4.2.3.4 評価結果

(1) Pin Pout, P1dB

図 4-25 にドライバーアンプの入出力特性の評価結果と設計値を示す。これは、ドライバーアンプの最終段のゲインコードを 4 段階に制御した時のそれぞれのコードにおける入出力特性を示す。それぞれのコードは入力電力に応じて切り替えられ、-35 dBm までは gain code=0 で 10 dB 増加するごとに 1 コード上がるように設定する。

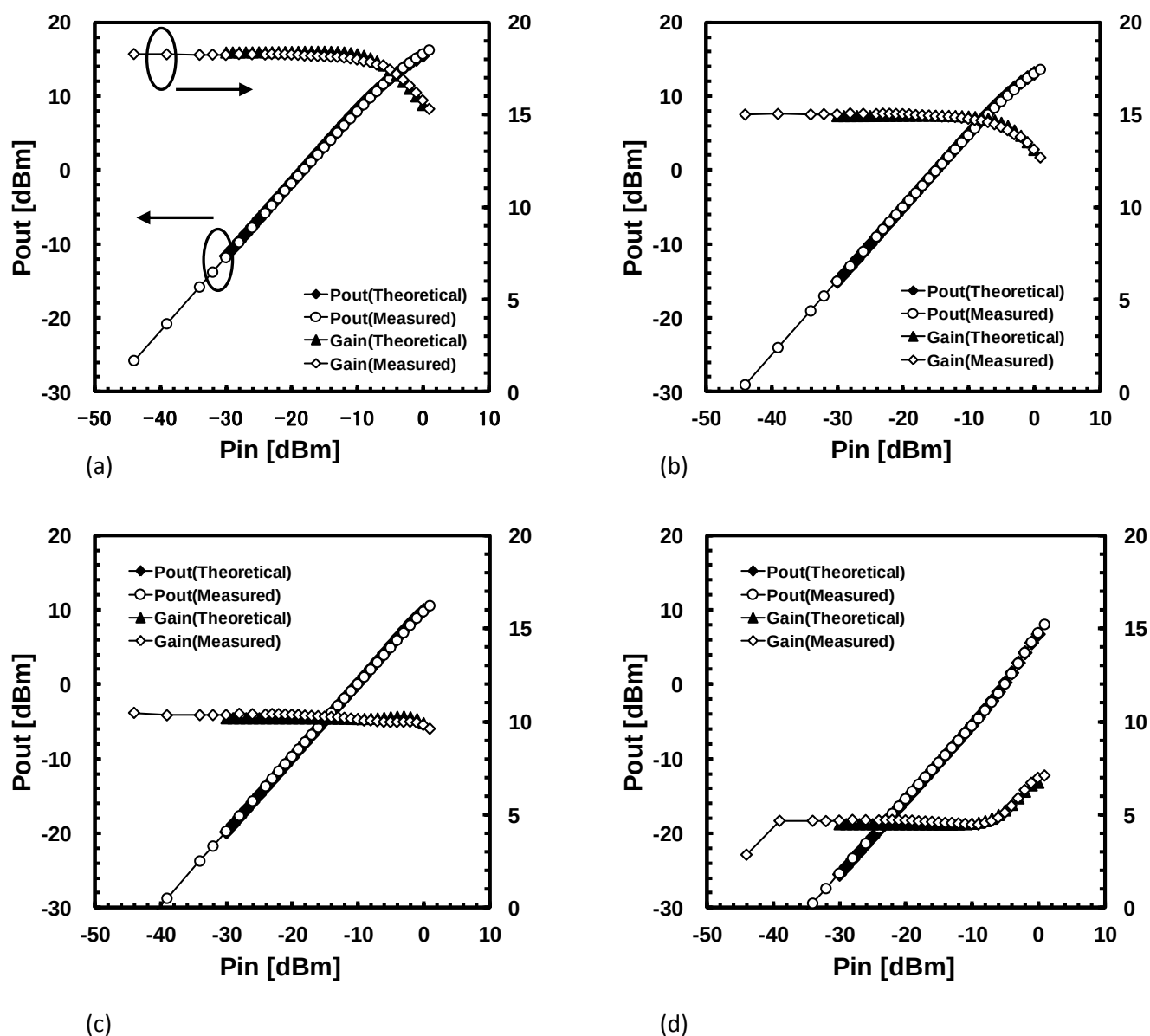


図 4-25 DA Pin-Pout, Gain, (a) gain code=3(max), (b) gain code=2, (c) gain code=1, (d) gain code=0

(2) ゲイン

図 4-26 にゲインコードとゲインの関係、図 4-28 に OP1dB とゲインコードの関係を示した。図 4-25 の結果からコード 2 で仕様である OP1dB 12 dBm を満たしていることが分かるが、その時のゲインは、15.4 dB である。

(3) 消費電流

図 4-27 に消費電流とゲインコードの関係の関係を示す。コード 2 で消費電流 80.2 mA である。また、最大ゲイン設定であるコード 3 では 118mA を消費することが分かる。

(4) OP1dB

図 4-28 に OP1dB とゲインコードの関係を示す。コード 2 では 12 dBm、コード 3 では 12.8 dBm である。

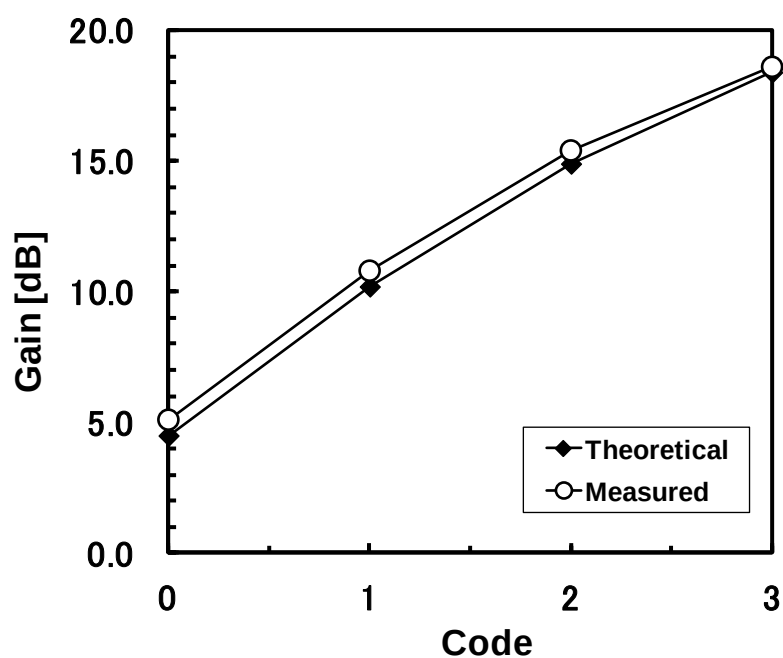


図 4-26 DA gain-code の関係

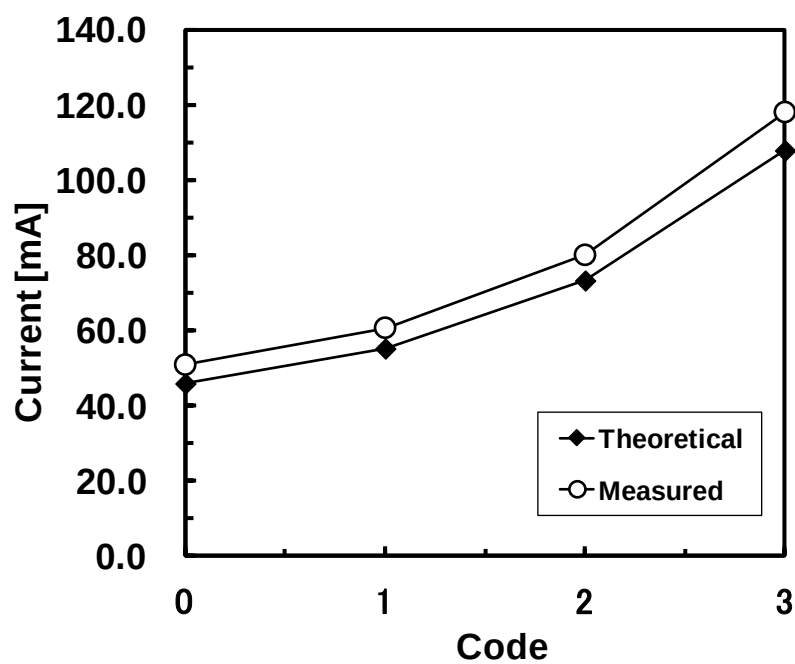


図 4-27 DA 消費電流と code の関係

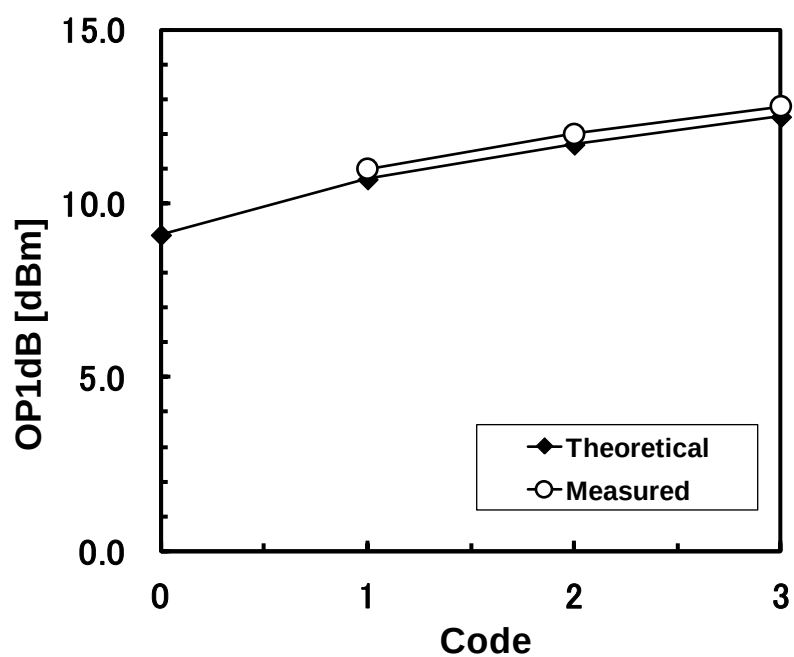


図 4-28 DA OP1dB と code の関係

4.2.4 WiMAX 送信回路

図 4-29 に WiMAX 送受信回路のチップ写真を示す。このうち送信器が占めるのは写真の下部である。チップサイズは縦横ともに 5 mm である。シンセサイザはチップ中央に、受信器は上部に位置する。送信器は、BB の低周波透過フィルタ(TX Analog Base Band Low Pass Filter, ABB LPF)、変調器(Quadrature Modulator, QMOD)、IF 周波数可変増幅器(Variable Gain Amplifier, VGA)、ミキサ (Up Conversion Mixer, UMIX)、RF 周波数可変増幅器(VGA)、パワーアンプドライバ(Power Amplifier Driver, PA Driver)、温度計(Thermometer)から構成されている。

RCE と送信器の出力電力の TD Zone Power の関係を図 4-30 に示す。規格で求められる RCE -24 dB 以下の可変範囲は 60 dB で、規格から求められる 45 dB に対して十分に大きいことが分かる。出力電力は +3 dBm である。最小ゲイン step 幅はこの図に示されている各点の通りで 0.3 から 0.7 dB である。

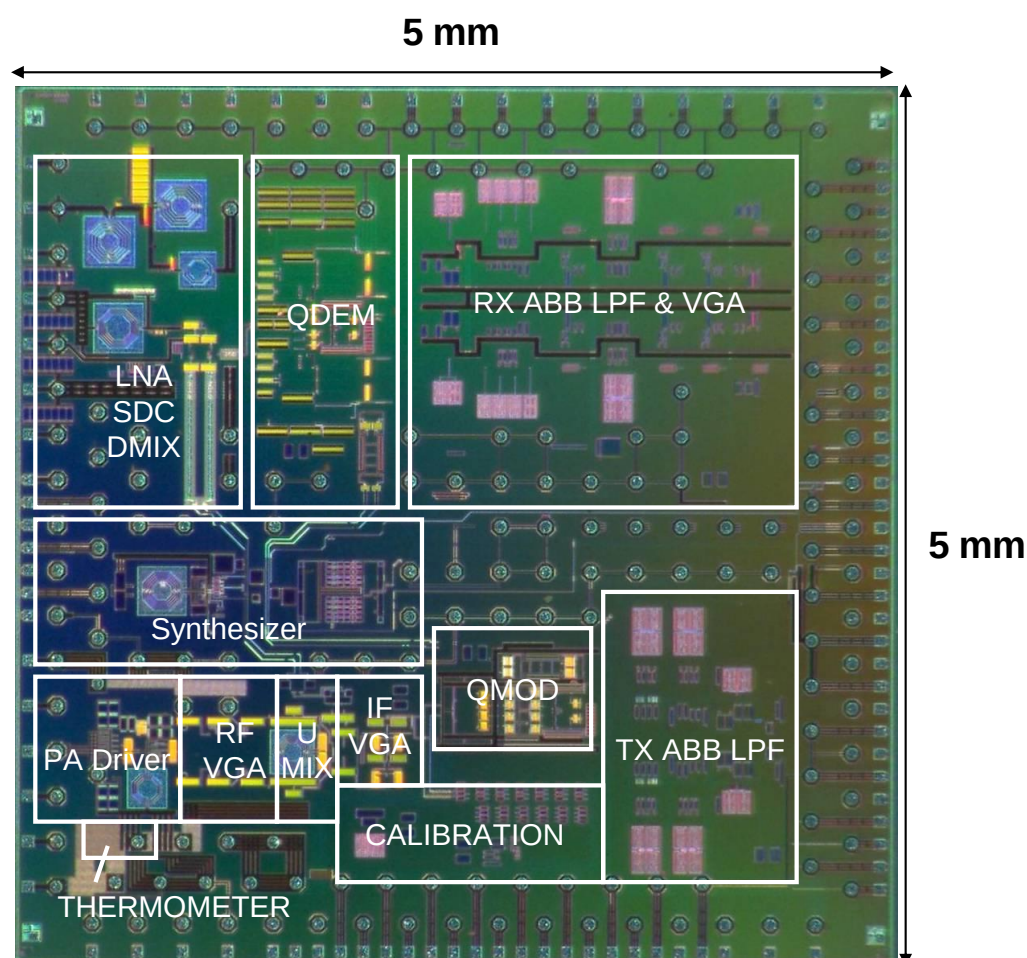


図 4-29 WiMAX 送受信回路のチップ写真

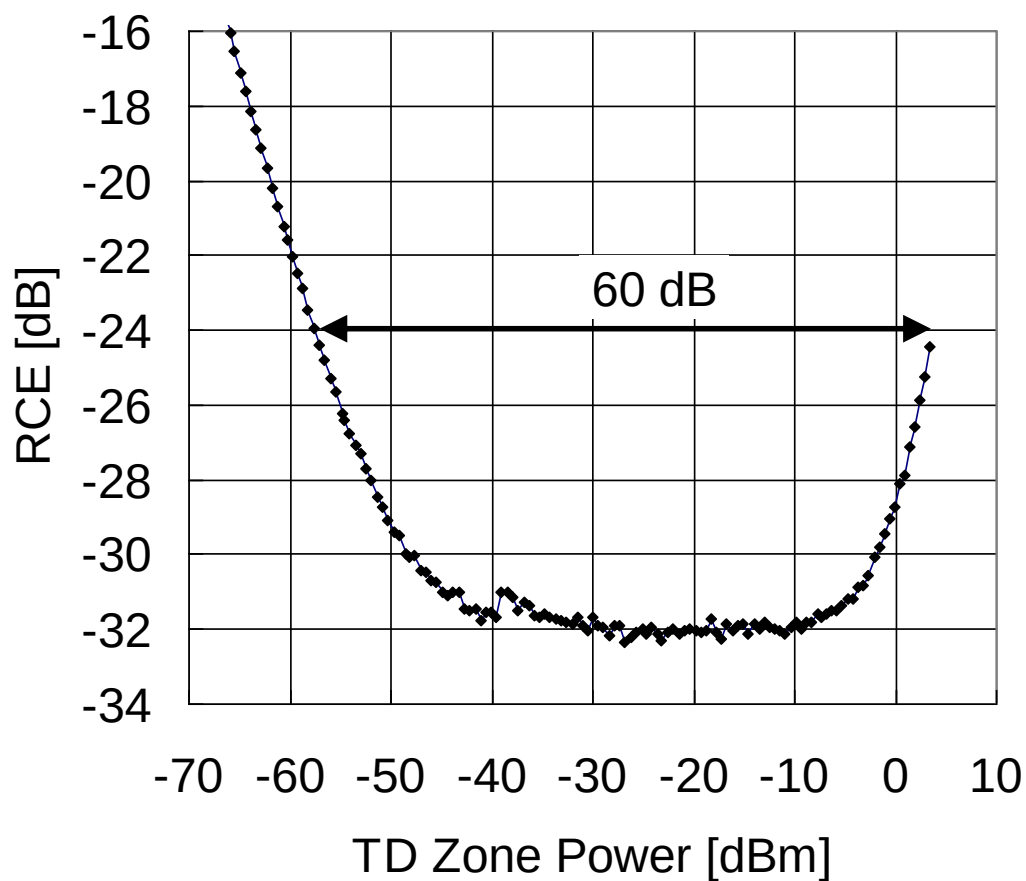


図 4-30 送信器の RCE 特性

この送信器の特性を表 4-1 にまとめる。消費電力は 371 mW、信号帯域は 5、10 MHz、電源電圧は 2.9 V と 1.2 V である。O1CP は 12 dBm、ゲインの可変範囲は 60 dB である。

表 4-1 WiMAX 送信器特性

Technology	90 nm CMOS
Chip size	5 mm×5 mm
Signal bandwidth	5, 10 MHz
Supply Voltage	1.2, 2.9 V
Power consumption	371 mW
O1CP	12 dBm
Minimum gain step	0.3-0.7 dB
Variable gain range	60 dB

図 4-31 に WiMAX MIMO のモジュール内部の写真を示す。図 4-32 にモジュールの写真を示す。モジュールサイズは縦横 15 mm で内部にトランシーバチップを 2 つ内蔵している。パワーアンプドライバの出力が単相であるためバランが外付け部品として用いられていないことが分かる。

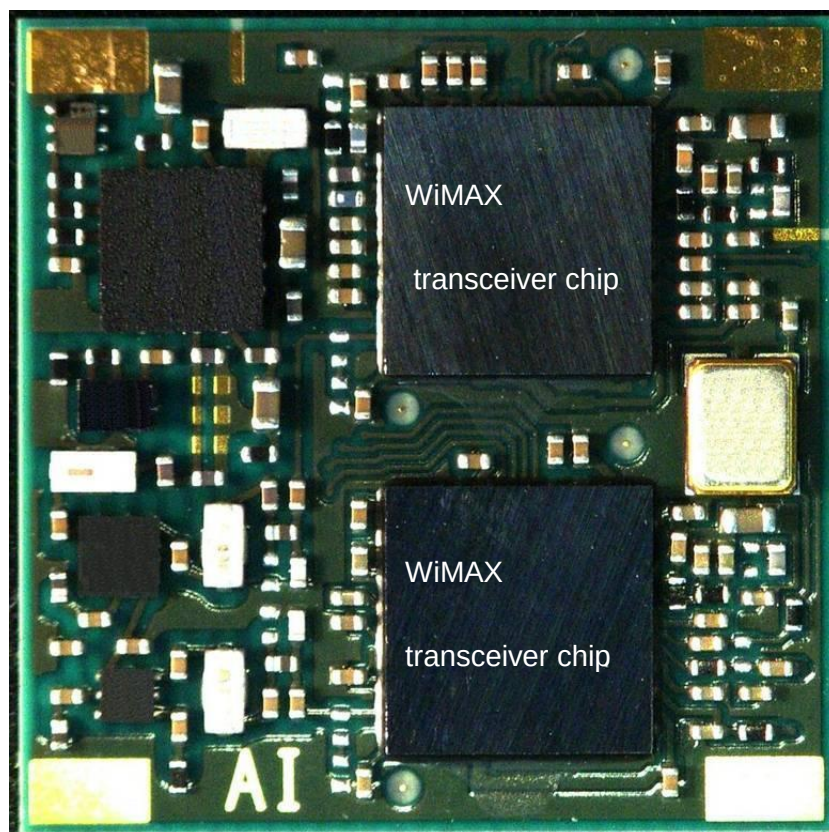


図 4-31 WiMAX MIMO モジュール内部



図 4-32 WiMAX MIMO モジュール

WiMAX 向け送信器回路を提案した。アーキテクチャとして、IF 周波数 500 MHz から RF 周波数にアップコンバートするミキサと可変増幅器までは差動回路で構成され、その後単相に変換されてドライバアンプにより送信信号が出力される。可変増幅器は、線形性、ゲイン及びゲインステップがプロセスばらつきから補償される新規バイアス回路を提案した。ドライバアンプについても温度による特性変動を温度計からの温度コードに基づいてバイアス回路と増幅器のゲート幅を移動度に反比例するように制御することで補償し、バイアス回路によりゲインと線形性を消費電力一定の下で補償することでばらつき抑制と低消費電力化を行う。また、最終出力段は B 級増幅器と AB 級増幅器を並列に接続することで線形性を向上させている。また、低消費電力化のために出力電力に応じて最終段の増幅器のサイズを制御することで電力効率を向上させる。これらの回路により、送信器の特性として 10 MHz 帯域の OFDM 送信信号を +3 dBm まで線形出力することができる。出力の可変範囲は 60 dBm、そのステップは、0.3 から 0.7 dB である。この送受信チップにより、研究当時、世界最小 WiMAX 向け MIMO モジュールを実現した。

4.3 位相誤差補正発振回路

4.3.1 IQ 信号生成法

2、3G、LTE、WiMAX というように通信システムの通信速度、通信距離が向上するにつれて、発振器には低消費電力、低位相ノイズの広帯域な差動 I(In phase)、Q(Quadrature)信号の 4 相直交信号を生成することが求められてきた。この 4 相直交信号に求められるのはその位相精度、振幅精度であり、式 4-8 で示したようにその精度の低下は受信器の SNR 劣化につながる。この IQ 信号の精度は、送信器に使われる LO 信号にも求められる。送信器の場合は、ミキサによって周波数変換をする際に、その IQ 信号の位相誤差、振幅誤差が存在すると送信器の線形性に影響を及ぼし、受信器の SNR を劣化させる原因にもなる [4-1]。直交信号の生成はこれまでに様々な方式が用いられてきた。一般的な方法は分周器を用いる方法である [4-7] [4-8]。他の方法として、偶数段のリング発振器を用いる方法 [4-9] [4-10]、ポリフェイズフィルタ、インジェクションロック [4-11]や 4 相電圧制御発振器(Quadrature Voltage Controlled Oscillator, QVCO) [4-12]- [4-21]を用いた方法である。

先述のような無線通信システムの帯域は 6 GHz 以下の周波数であるが、その送受信器に必要な 6 GHz のローカル信号の直交信号を生成するのにポリフェイズフィルタを用いるのは困難である。それは、このフィルタ回路が生成する信号の位相を決めるのは抵抗と容量で決まるため狭帯域な手法であること、また、その製造ばらつきを考慮すると位相精度を高めることは困難であるからである。その上、このフィルタによるロスも無視できずそのロスを補うには大きな電力が必要になる。一般的に用いられる差動 LC-VCO 図 4-33(a)と分周器を用いた手法では VCO が必要な周波数の 2 倍の周波数で発振することが求められ、寄生容量などの寄生素子のため発振周波数範囲を広く取るのが困難になる。また、この 2 倍の周波数の信号をミキサなどの 4 相の直交信号を用いるブロックの近くまで伝送する必要がある。このため、将来の広帯域無線通信システムも考慮しデバイス特性の限界に近い周波数で動作させることを考えると、半分の周波数に比べて fanout が減少するため電力効率が低下する。また、分周器の消費電力もテクノロジー、周波数によっては大くなる。従って、テクノロジーによっては QVCO の方が消費電力を低減できる可能性がある。位相ノイズ、IQ 位相誤差の観点からは差動 LC-VCO と分周器を用いる構成の特性が良い。これは、従来の QVCO の回路方式では二つの LC-VCO を結合させる際に必要な素子がノイズ源となるため、ノイズ特性が劣化するからである。また、二つ LC-VCO の結合強度に対して位相誤差と位相ノイズがトレードオフの関係にあるため、良好な位相誤差を得ることは困難である。つまり、QVCO は発振周波数帯域と消費電力の観点から

vco と分周器による構成に比較して優れた回路構成であるといえる。しかし、位相ノイズと位相誤差特性が劣り、また、vco が二つ必要であることから面積が大きくなるという短所がある。

このため、本研究では、QVCO の長所である、周波数が vco と分周器による構成に比較して半分であることを生かすため、従来の QVCO の位相ノイズと位相誤差を抑制手法について検討を行った。QVCO が CMOS デバイスでつくられるようになってから位相ノイズ、位相精度に関して様々な研究が行われてきた [4-15] [4-17] [4-20]。図 4-33(b)に電流源を結合させる従来型の QVCO [4-16]の回路図を示す。この回路トポロジでは、直交信号の位相は二つの LC VCO の結合係数によって決まる。この結合係数は、図 4-33(b)中のカップリング電流 I_c によって決まる。このカップリング係数が大きいほど、I、Q 信号の直交精度が向上するが、位相ノイズはトレードオフの関係に有り劣化する [4-14]- [4-18], [4-20]。これは、二つの VCO を結合させるために必要なカップリング用の電流源が発振器の出力信号にノイズを付加するためである。この IQ 信号の位相精度と位相ノイズのトレードオフを抑制するために自己補正方式 (Self-correcting) QVCO を提案する。

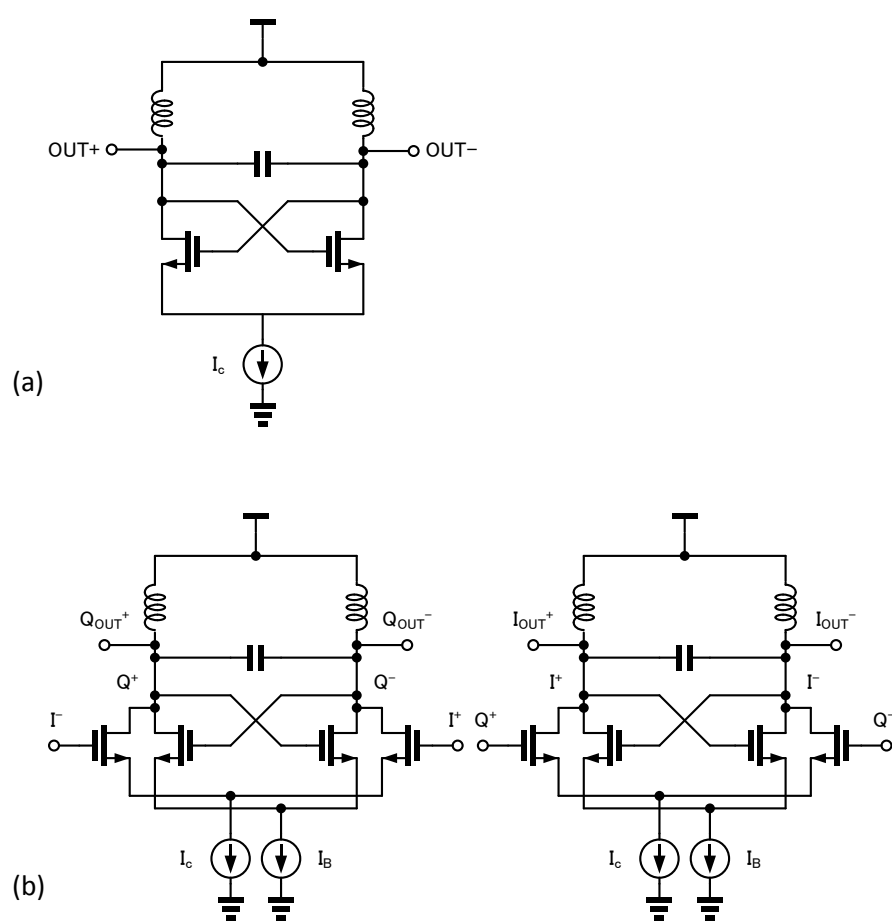


図 4-33 (a)差動 LC VCO の回路図 (b)従来の QVCO の回路図

4.3.2 自己補正 Quadrature VCO の回路構成

自己補正 QVCO のブロック図を図 4-34 に示す。この VCO は、二つの LC VCO が結合した QVCO core と IQ 信号の位相補正を行う位相補償ループから構成されている。QVCO core は二つの LC VCO、移相器と IQ 信号の出力バッファから構成されている。位相補償ループは位相検出器、ローパスフィルタ、増幅器及び移相器から構成されている。QVCO の IQ 信号出力は、位相検出器に送られ、位相誤差を検出する。この位相検出器の出力の高周波数成分をローパスフィルタで抑圧し、DC 成分を狭帯域増幅器で増幅し、その出力が移相器に入力され IQ 信号の位相を補正する。図 4-34(b)に自己補正 QVCO core 部のブロック図を示す。二つの LC VCO、インバータによるバッファ及び移相器から構成されている。VCO の出力は、移相器とバッファにつながれており、対称性を保ち環状に接続されている。I 及び Q の出力信号は、2 つの直列につながれたインバータの間のノードから出力される。差動の位相検出器の一つの出力は移相器の $+\Delta\phi$ と記されたブロックに、他方は $-\Delta\phi$ と記されたブロックに入力される。この二つの LC VCO を結合する方式は、従来型の QVCO のように結合用の電流源、トランジスタが不要なためノイズ源が増加せず、位相ノイズを低減させることができる。

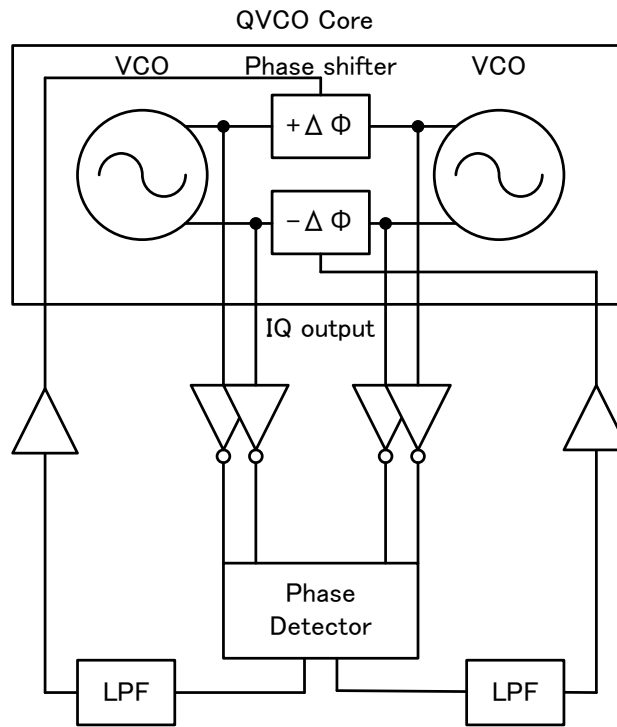
4.3.3 差動 LC VCO

VCO は広帯域の周波数可変範囲が求められるが、発振周波数の範囲を広げるだけでなく次の二点を満たす必要がある。

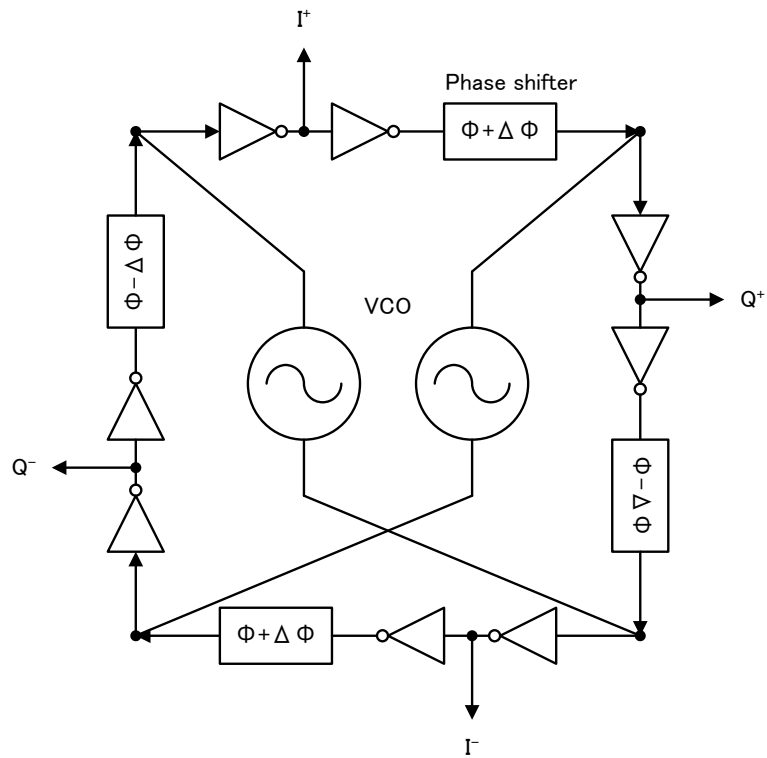
一つ目は、発振信号の振幅を発振帯域において一定にすることである。しかし、発振周波数によって発振を開始させたり発振を維持したりするのに必要な負性抵抗値は異なる。この課題を解決する方法の一つとして、VCO のトランスコンダクタンスを生成するトランジスタのサイズを全周波数において発振の開始、維持に必要なトランスコンダクタンスを生成するのに十分なサイズにするという方法である。しかし、この方法では発振周波数が高い時に信号振幅が大きくなりすぎ位相ノイズが劣化し、消費電力も大きくなる。

二つ目は発振帯域における VCO ゲインを一定にすることである。VCO ゲインが発振帯域において大きく変動するとその発振器を用いる PLL のループゲインが大きく変動することになり、設計が困難になるためである。

発振器が発振を開始できるためには次の条件を満たさなければいけない。発振器のトランジスタは、発振器の LC タンク回路が引き起こすロスを補うだけのトランスコンダクタンスを発振開始時と発振中に生成できなければいけないので式 4-21 を満たす必要がある。ここで g_m , R_T , R_{SL} 及び ω_0 はそれぞれ VCO のトランスコンダクタンスの合計、タンク回路の等価抵抗値、タンク回路のインダクタの直列抵抗値及び発振周波数



(a)



(b)

図 4-34 (a)Self-correcting QVCO のブロック図, (b)QVCO core のブロック図

$$g_m \geq \frac{1}{R_T} = \frac{R_{sL}}{(\omega_0 L)^2} \quad (4-21)$$

である。この式からトランジスタが必要なトランスコンダクタンス値の最小値、そしてその値は発振周波数の 2 乗に反比例するということが分かる。つまり、発振周波数が半分になると必要なトランスコンダクタンスは 4 分の 1 になるということである。従って、広帯域発振器が一定のトランスコンダクタンスを発生させて発振していたら発振器の上限周波数では消費電力のほとんどが無駄に消費されていることになる。

前述のように発振信号の振幅を最適値に保つことは重要である。発振周波数が半分になるとタンク回路のインピーダンスは 4 分の 1 に減少するため、振幅を一定に保つためには電流値を 4 倍にしなければ振幅を一定に保つことはできない。また、式 4-21 から発振の開始、維持のためにも電流値は 4 倍であることが必要である。このトランスコンダクタンスの制御がトランジスタのゲート幅を 4 倍に変えることで行えるなら、トランジスタの動作点を一定に保つことができ電圧律則領域と電流律則領域の境界である最適領域で発振させることができる。従って、広帯域に渡り位相ノイズを低くするためには発振信号の振幅と動作点を一定に保つことが重要である。

発振器の出力信号振幅と動作点を一定に保つため図 4-35 に示すように、BI<2:0>のビットを使って発振器のトランジスタのゲート幅を制御できるようにした。この制御ビットは、M0-2 のトランジスタを SW1 により制御することで M3-8 のトランジスタのトランスコンダクタンスの制御を行う。

VCO ゲインを制御するため、BV<2:1>のビットを使ってバラクタのサイズを発振周波数に応じて制御できるようにした。バラクタは 3 つに分割されており、最小のサイズのバラクタは常に接続されている。残りの二つのバラクタは、使用しない場合は電源電圧を制御端子に与えることで容量が最小になるようにしている。

周波数の粗調は、BC<4:0>のビットを使って MOM のサイズを制御することで行う。微調は $V_{control}$ 端子の電圧を制御することでバラクタの容量値を制御することで行う。周波数可変範囲は、MOM 容量に使われるトランジスタによるスイッチ、M3-8 のトランジスタの寄生容量により大きく影響を受ける。

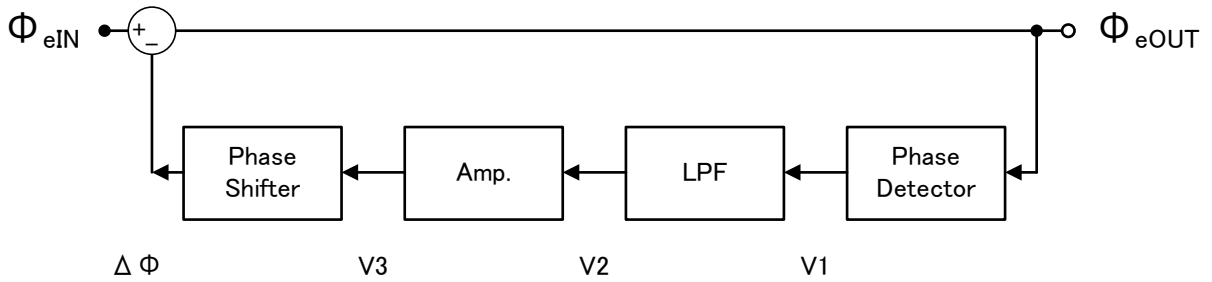


図 4-36 位相誤差補正ループのブロック図

(1) 位相検出器

位相検出器の回路図を図 4-37 に示す。位相検出器は、受動ミキサで構成されており差動出力信号 V_1 は次の式で与えられる。

$$V_1(t) = 4 \cdot A_{VCO} \cdot \sin(2 \cdot \omega_0 \cdot t + \varphi_e(t)) + 4 \cdot A_{VCO} \cdot \sin(\varphi_e(t)) \quad (4-22)$$

ここで A_{VCO} 及び φ_e はそれぞれ、QVCO の出力信号振幅、出力信号の IQ 位相誤差である。出力信号の $2\omega_0 t$ 成分はローパスフィルタにより除去されるため位相検出器の伝達関数は次のように近似できる。

$$H_{PD}(t) = \frac{V_1(s)}{\varphi_e(s)} = 4 \cdot A_{VCO} \quad (4-23)$$

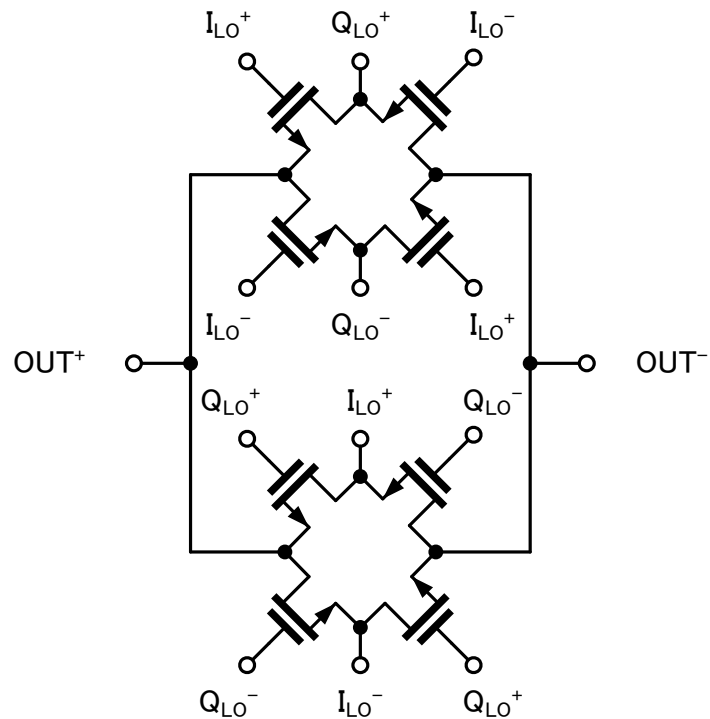


図 4-37 位相検出器の回路図

(2) ローパスフィルタ

ローパスフィルタは、抵抗と容量から構成されている。ローパスフィルタは、QVCO の発振周波数の 2 倍の周波数の位相検出器からの出力信号を抑圧するため、ローパスフィルタの出力は位相検出器の出力の DC 成分のみとなる。このローパスフィルタの伝達関数は次のように表される。

$$H_{LPF}(s) = \frac{V_2(s)}{V_1(s)} = \frac{1}{1 + R_{LPF} \cdot C_{LPF} s} \quad (4-24)$$

ここで R_{LPF} と C_{LPF} はローパスフィルタの抵抗値と容量値を表す。

(3) 増幅器

位相誤差補正ループは、そのループゲインを調整するために増幅器を持つ。この増幅器は、狭帯域で低消費電力の 2 段オペアンプ構成である。電源電圧は 1.0 V、消費電力 0.5 mW である。この増幅器の伝達関数は次のように表される。

$$H_{AMP}(s) = \frac{V_3(s)}{V_2(s)} = \left(\frac{a_0}{1 + b_1 \cdot s} \right)^2 \quad (4-25)$$

ここで、 a_0 と b_1 は増幅器の伝達関数の係数である。

(4) 移相器

図 4-38 に抵抗、容量、バラクタダイオード及びトランジスタのスイッチから構成される移相器の回路図を示す。位相の変化量は、BP<1:0>の制御ビットを用いた容量の大きさの制御と、バラクタダイオードの制御端子 V_p の電圧の制御により行う。この BP<1:0>は発振周波数に応じて制御を行う。移相器の出力位相と入力制御電圧の関係は次のように表される。

$$\begin{aligned} \varphi(t) &= \varphi_{PS}(V_3(t)) \\ &= a_4 \cdot V_3(t)^4 + a_3 \cdot V_3(t)^3 + a_2 \cdot V_3(t)^2 + a_1 \cdot V_3(t) + a_0 \end{aligned} \quad (4-26)$$

ここで、 a_i は、多項式の係数を表す。 $\Delta\varphi$ は位相誤差補正ループの位相補正量を表し

$$\Delta\varphi(t) = \varphi_{PS}(V_3(t)) - \varphi_{PS}(V_3(0)) \quad (4-27)$$

で表される。

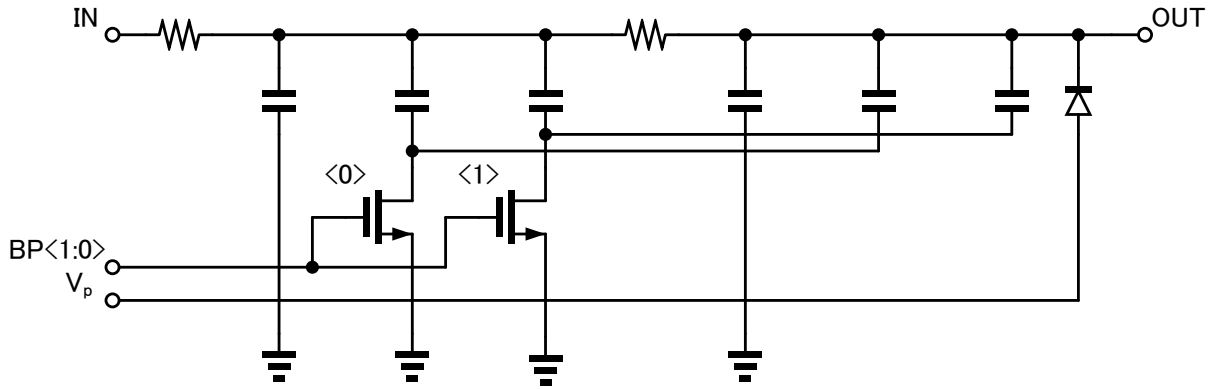


図 4-38 移相器の回路図

従って、移相器の伝達関数は次のように表される。

$$H_{PS}(s) = \frac{\varphi(s)}{V_3(s)} = \frac{K_{PS}}{s} \quad (4-28)$$

ここで、 K_{PS} は伝達関数の係数である。

(5) 位相誤差補正ループの伝達関数

位相誤差補正ループの開ループの伝達関数 G_{OP} は、

$$\begin{aligned} G_{OP}(s) &= H_{PD}(s) \cdot H_{LPF}(s) \cdot H_{AMP}(s) \cdot H_{PS}(s) \\ &= \frac{4 \cdot A_{VCO}}{(1 + R_{LPF} C_{LPF}) \left(\frac{a_0}{1 + b_1 \cdot s} \right)^2 \left(\frac{K_{PS}}{s} \right)} \end{aligned} \quad (4-29)$$

と表すことができる。従って閉ループ伝達関数は

$$G_{CL}(s) = \frac{\varphi_{eOUT}(s)}{\varphi_{eIN}(s)} = \frac{1}{1 + G_{OP}(s)} \quad (4-30)$$

と表すことができる。

位相誤差補正ループの特性を式 4-30 の閉ループ伝達関数に基づいて解析する。図 4-39 に初期位相誤差が 1° の時の位相誤差補正特性を示す。図には増幅器の異なるゲインにおける特性が示されており、それぞれ、ゲインが初期設定と初期設定の -6 dB、+6 dB の時の特性が示されている。ゲインが初期設定の時、初期位相誤差 1° から 0.1° に補正されていることが分かる。この結果から、ループゲインが大きいと補正

後の位相誤差が小さいことが分かる。図 4-40(a)、(b)、(c)及び(d)はループのインパルス応答を示す。(a)は、ループを構成する増幅器のゲイン依存性、(b)増幅器の出力容量依存性、(c)ローパスフィルタの容量依存性を示す。(a)は増幅器のゲインが初期値のときと、初期設定の-12 dB、+12 dB の時の特性を示しており、ゲインが高いと収束時間が長くなることが分かる。(b)は増幅器の出力容量が 15 fF、1 pF 及び 3 pF の時のインパルス応答を示しており、3 pF の時には 15 fF の時と比べて収束時間が約 3 倍になっていることが分かる。このことから過剰な容量が増幅器の出力に存在するとループ応答が不安定になると言える。(c)からローパスフィルタの容量値が小さいほど収束時間が短いことが分かる。つまり、容量が大きいと QVCO 出力信号の周波数の 2 倍の信号の抑圧量は増加するがループ帯域が減少して収束時間が長くなるといえる。この位相誤差補正ループのセトリング時間は WiMAX のセトリング時間の仕様の 10%である 5 μ s を目標値とした。そのため、ループ帯域は 1 MHz として設計を行い、セトリング時間は 1 μ s、位相余裕は 105°である。また、QVCO 出力へのノイズの寄与は、LC VCO を結合させているインバータバッファからのノイズが支配的である。

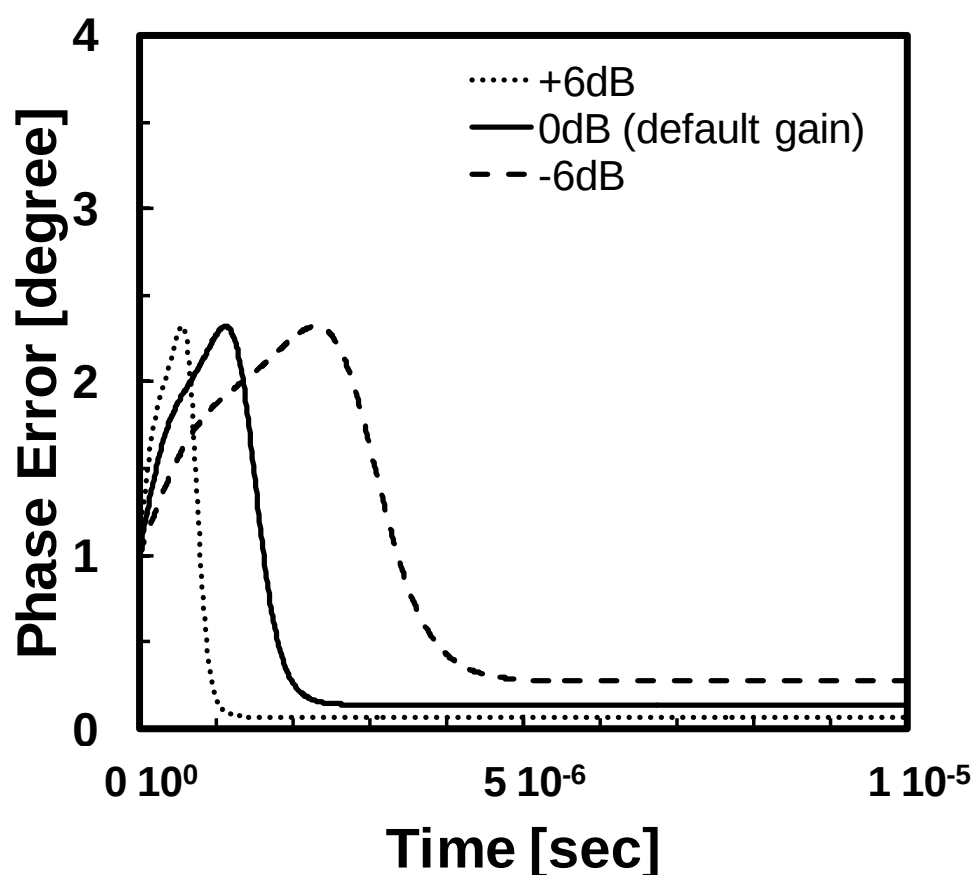


図 4-39 位相誤差補正ループの特性

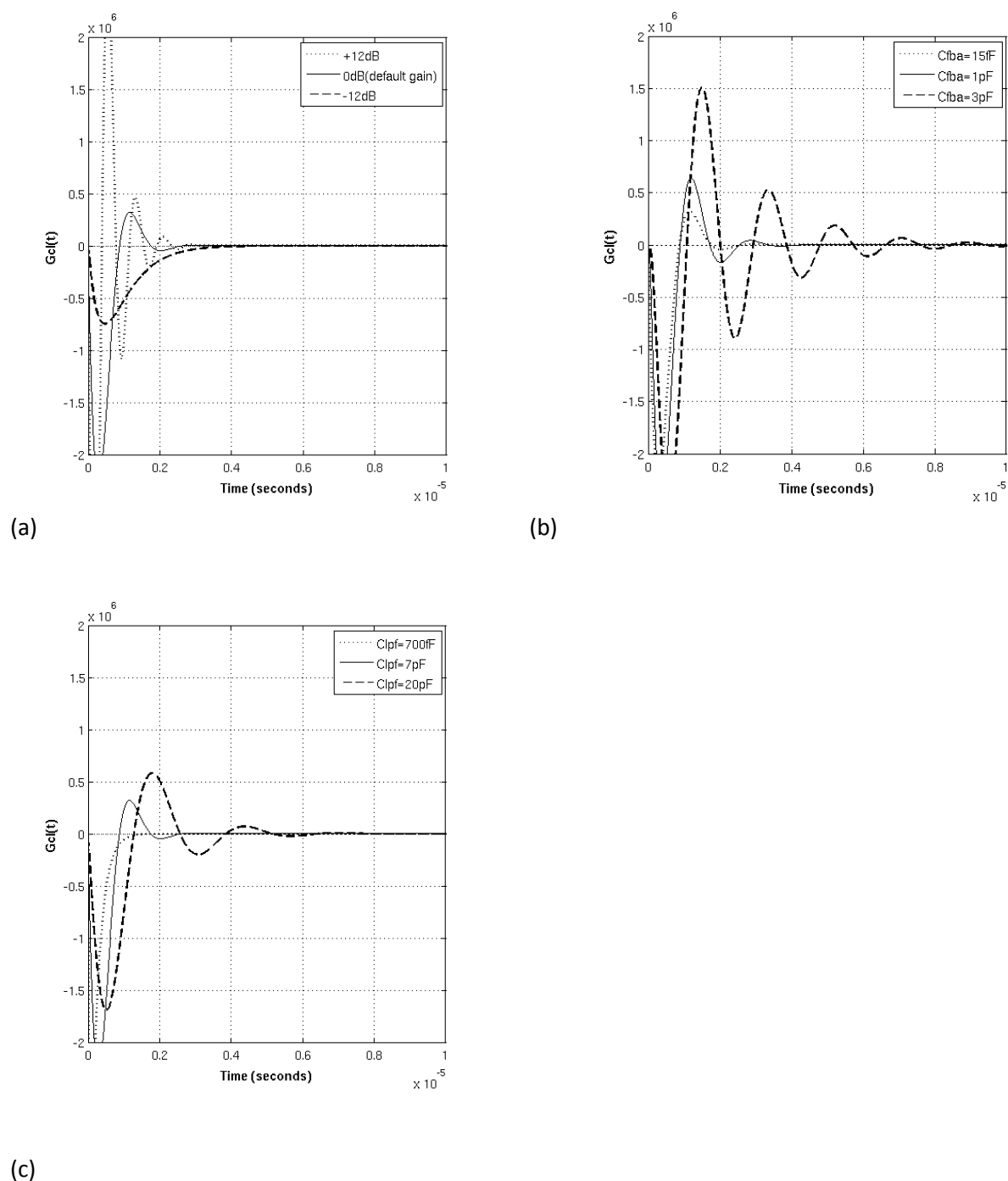


図 4-40 位相誤差補正ループのインパルス応答、(a)増幅器のゲイン依存性、(b)増幅器の出力容量依存性、(c)ローパスフィルタの容量依存性

4.3.5 レイアウト

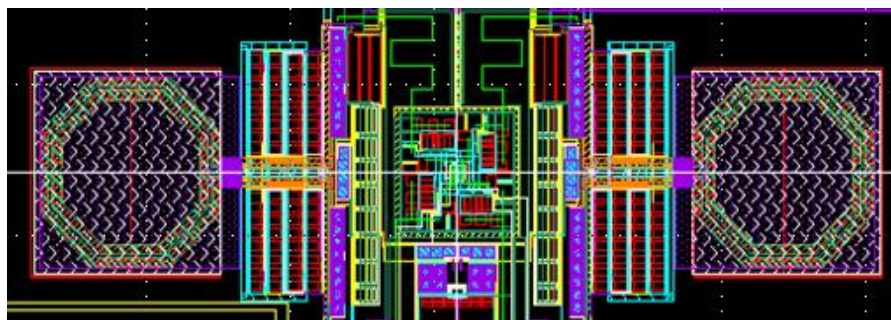


図 4-41 QVCO のレイアウト

自己補正 QVCO は、65 nm CMOS、8 層配線、3 μm の厚膜 Cu 配線オプション有りのプロセスで設計された。レイアウトを図 4-41 に示す。サイズは 0.7 mm $\times$ 0.3 mm。位相検出器、ローパスフィルタ、バッファ及び移相器からなる。これらの回路を環状に配置することで、二つの LC VCO の対称性を維持している。

4.3.6 評価結果

チップ写真を図 4-42 に示す。チップサイズは、1.2 mm $\times$ 0.9 mm でプローブ、ボンディングをするためのパッドも含まれている。チップは、2 層配線の 1.6 mm 厚、69 mm $\times$ 79 mm の FR-4 PCB に載せ、発振器の出力信号のみを RF プローブ針を用いてプローブして評価した。図 4-43 に最大発振周波数 6.9 GHz における出力スペクトラムを示す。図 4-44 に MOM 容量が最小の設定における、QVCO の発振周波数とバラクタダイオードの制御電圧 V_{control} の関係を示す。

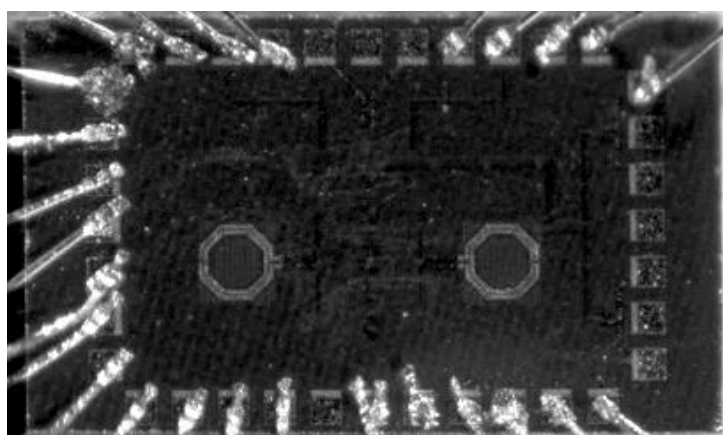


図 4-42 QVCO のチップ写真

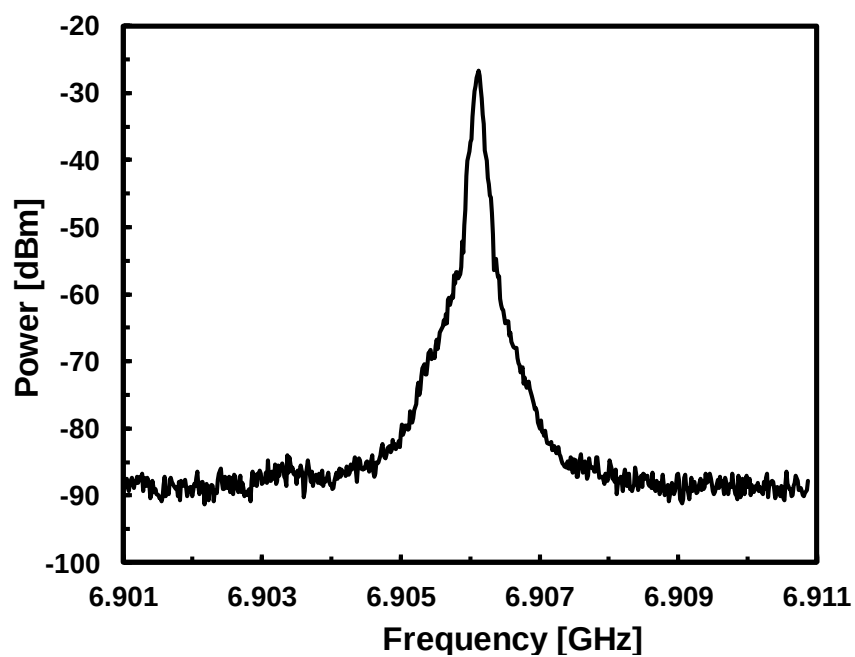


図 4-43 6.9 GHz における発振スペクトラム

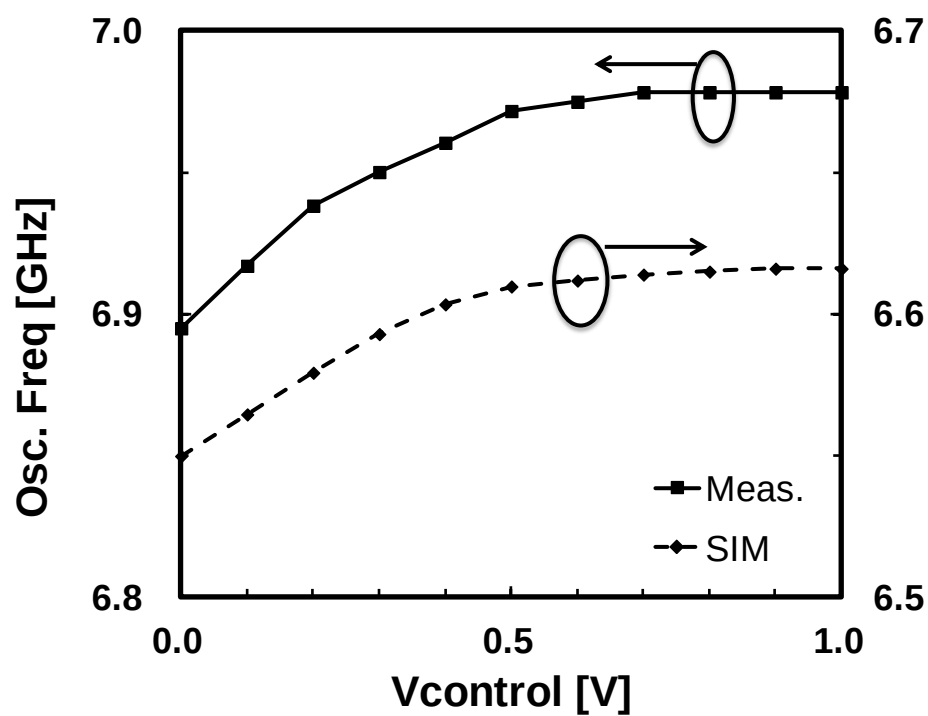


図 4-44 QVCO 発振周波数の評価結果

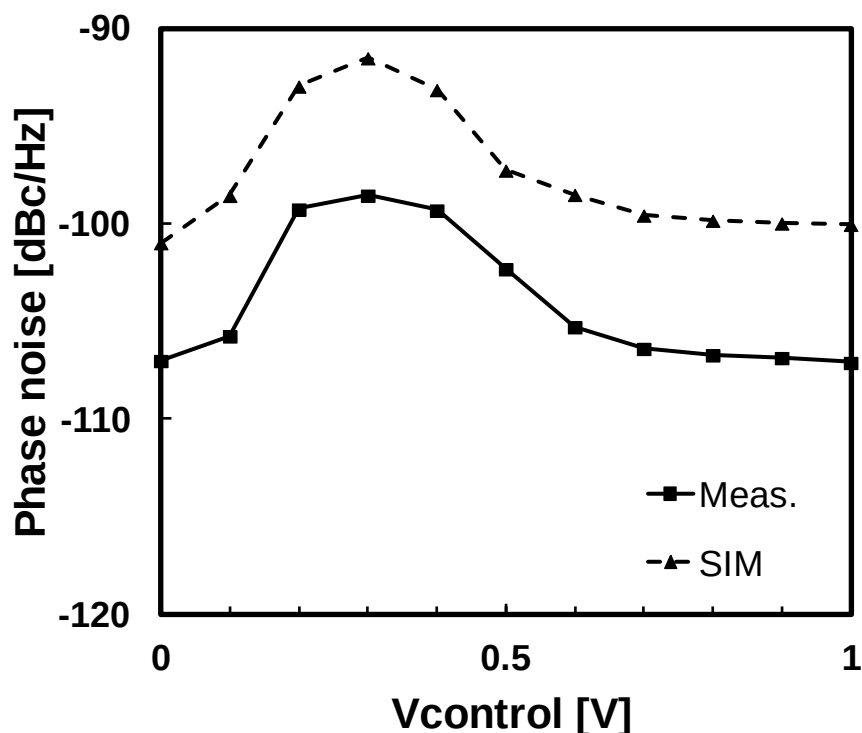


図 4-45 QVCO 位相ノイズ

図 4-45 に同じ設定における 1 MHz オフセットの位相ノイズを示す。この結果から最大発振周波数 6.9 GHz における 1 MHz オフセットの位相ノイズは、-107 dBc/Hz である。IQ 位相誤差は QVCO バッファの出力で RF プロブを用いて評価を行い、6.9 GHz における位相誤差は 1° 以下であった。

この評価結果から次の式を用いて特性を評価した。

$$FOMTP = 10 \cdot \log \left(L \{ L_{offset} \} \right) \cdot P_{DC} \cdot \left(\frac{f_{offset}}{f_0} \right)^2 \cdot \left(\frac{10}{FTR} \right) \cdot PhaseError \quad (4-31)$$

ここで $L \{ f_{offset} \}$ (dBc/Hz) は、1 MHz offset (f_{offset}) における位相ノイズ、 P_{DC} (mW) は、QVCO の消費電力、 f_0 は発振周波数、 FTR (%) は可変発振周波数範囲、 $PhaseError$ ($^\circ$) は QVCO 出力 IQ 信号の位相誤差を表す。自己補正 QVCO の消費電力は 6.9 GHz 最大発振周波数時、1 V 電源を用いて 17 mW、発振中心周波数の測定値と設計値はそれぞれ 6.9 GHz と 5.3 GHz。可変発振周波数範囲は測定値と設計値はそれぞれ 1% と 50%、1 MHz オフセットにおける位相ノイズは、-107 dBc/Hz と -120 dBc/Hz。IQ 位相誤差は、 0.5° と 1° 。従って、FOMTP の測定値と設計値はそれぞれ -153 dB と -200 dB である。この結果を表 4-2 にまとめる。

表 4-2 QVCO の特性

Ref.	Power [mW]	Center freq. [GHz]	Tuning range [%]	Phase noise [dBc/Hz]	Phase Error [°]	FOMTP [dBc]
2 [4-8]	12	5.3	78	-102	1.5	-185
7 [4-13]	7.2	2.6	15	-115	1.0	-177
8 [4-14]	32	1.9	11	-131	1.0	-181
9 [4-15]	2.8	5.0	5	-103	1.3	-166
This work post SIM	17	5.3	49	-120	<0.5	-200
Meas.	17	6.9	1	-107	<1.0	-153

位相誤差補正ループを用いた Quadrature VCO 回路を提案した。この回路方式は位相誤差補正ループにより IQ 信号の位相誤差を補正し、従来の QVCO の課題であった IQ 位相誤差と位相ノイズのトレードオフを抑制することができる。また、広帯域な発振を実現するために必要な発振振幅を一定に行い、VCO ゲインを一定にする方式を用いることで広帯域化の手法を提案した。今回提案した 2 つの LC VCO を結合させる方式は結合のための素子を必要としないため、ノイズ源が増加せず位相ノイズを向上させることができる。

4.4 まとめ

2000 年以降 CMOS デバイスの高周波特性向上とともに無線通信端末の高集積化が進んだ。同時に通信システムの多値化による高速化が進んだため無線通信端末の受信器は低ノイズ化が求められた。

CMOS プロセスは高集積化には向くがデバイス特性を高周波回路に最適化することができないため、受信器の低ノイズ化を行うためには CMOS 高周波回路の低ノイズ化技術が重要になった。本章では、回路の高集積化技術の例として WiMAX の RF 送信回路と位相誤差補正発振器を取り上げ、その受信器の低ノイズ化に関する技術について述べた。

送信器回路では、消費電力が大きい増幅器の線形性向上による受信器の高 SNR 化技術について述べた。この送信器の仕様は、OFDM 16QAM 10 MHz 帯域信号の RCE -24 dB 以下での 0 dBm 線形出力及びゲインの可変範囲は 1 dB ステップで 45 dB の可変範囲である。可変増幅器はゲインステップの精度も重要である。高線形性と低消費電力化を同時に成り立たせるために必要な増幅器とその制御を行うバイアス回路のトポロジを提案した。また、最終出力段においても線形性を向上させる手法として AB 級増幅器と B 級増幅器を並列させた。出力が大きい時のみ B 級増幅器を動作させることで高線形性と低消費電力を実現した。また、プロセスの微細化に伴いゲートバイアス点が比較的高くなる最終段において特にバイアス回路だけではプロセスばらつきを抑制することが困難になる課題を解決する増幅器の制御方法を提案した。これは、温度による特性変動を温度計からの温度コードに基づきバイアス回路と増幅器のゲート幅を移動度に反比例するように制御することで g_m を一定にし、バイアス回路の電流は常に一定にすることで増幅器の V_{od} を一定にする制御方法である。これによりプロセス、温度変化によらず高線形性も維持し消費電力を低減することが可能になる。また、出力電力に応じて増幅器のサイズを制御することで電力効率を向上させ、低消費電力化も行った。また、トランシーバチップに用いられる外付け部品であるバランを不要にすることで、高出力レベルでの出力ロス 3 dB をなくすることが可能になり低消費電力化を行った。また、同時にコスト、面積の削減も行うことができた。VGA 回路においても、バイアス回路によりプロセスばらつきによるトランジスタの特性変化に対して入力トランジスタの V_{od} を一定に補償し、同時にゲインを決めるトランジスタの g_m を補償することで線形性とゲイン補償の両立を行った。カスコード増幅器及びミキサの入力トランジスタに 1.2 V のコアトランジスタを用いることで、単位電流あたりの g_m を増加させ、低消費電力化を行った。この際、過電圧が印加される可能性のあるトランジスタにおいては、保護回路を用いることで信頼性も確保した。

位相誤差補正発振器においては、Quadrature VCO を用いることにより、チップ内で発振器からミキサ等まで伝送する LO 信号の周波数を半分にすることができるため、今後無線通信システムがさらなる通信帯域の高周波化が進んだ時には、低消費電力化技術のひとつになる可能性がある。

また、従来の Quadrature VCO に比べて二つの LC VCO の結合にノイズ源となる素子を必要としないため位相ノイズが低減でき低消費電力化も実現できた。また、位相誤差補正ループにより従来の課題であった IQ 信号の位相誤差と位相ノイズのトレードオフを抑制することができる。これらの手法により低ノイズ化と低消費電力化を実現した。

参考文献

- [4-1] Qiyue Zou, Alireza Tarighat, and Ali H. Sayed, "Joint Compensation of IQ Imbalance and Phase Noise in OFDM Wireless Systems", IEEE J. Solid-State Circuits, vol. 57, no. 2, pp.404 - 414 2009.
- [4-2] IEEE Standard for Local and Metropolitan Area Networks, "Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems," 28 February 2006.
- [4-3] WiMAX Forum (2006), Mobile WiMAX Part I : A Technical Overview and Performance Evaluation.
- [4-4] WiMAX Forum, Mobile Radio Conformance Tests (MRCT) MS09.1.
- [4-5] H. K. Chen, J.R. Sha, S.-H. Lee, D.-C. Chang, Y. Z. Juang, and C.-F. Chin, "A Novel LNA-Mixer Design with On-Chip Balun," IEEE International Symposium on Circuits and Systems, pp.4971-4974, May 2006.
- [4-6] W. H. Doherty, "A New High Efficiency Power Amplifier for Modulated Waves," Proc. IRE., vol. 24, no. 9, pp. 1163-1182, 1936.
- [4-7] M. Simon, R. Weigel, B. Neurauder, and G. Marzinger, "A CMOS quad-band transceiver for GSM-EDGE with dual mode transmitter architecture for low noise and high linearity", Proc. IEEE Radio Frequency Integrated Circuits Symp., pp.431 -434 2004.
- [4-8] E. Gotz "A quad-band low power single chip direct conversion CMOS transceiver with Sigma Delta-modulation loop for GSM", Proc. European Solid-State Circuits Conf. (ESSCIRC), pp.217 -220 2003.
- [4-9] J. van der Tang and D. Kasperkovitz "A 0.9-2.2 GHz monolithic quadrature mixer oscillator for direct-conversion satellite receivers", IEEE ISSCC Dig. Tech. Papers, pp.88 -89 1997.
- [4-10] J. Van der Tang , D. Kasperlovitz and A. Van Roermund "A 9.8-11.5 GHz I/Q ring oscillator for optical receivers", Proc. IEEE Custom Integr. Circuits Conf., pp.323 -326 2001.
- [4-11] S. Dal Toso, A. Bevilacqua, M. Tiebout, N. Da Dalt, A. Gerosa and A. Neviani "A 0.06 mm² 11 mW local oscillator for the GSM standard in 65 nm CMOS" IEEE J. Solid-State Circuits, vol. 45, no. 7, pp.1295 -1304 2010.
- [4-12] A. Rofougaran, J. Rael, M. Rofougaran, and A. Abidi, "A 900 MHz CMOS LC oscillator with quadrature outputs", IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.392 -393 1996.

- [4-13] S. Li, I. Kipnis and M. Ismail "A 10-GHz CMOS quadrature LC-VCO for multirate optical applications", IEEE J. Solid-State Circuits, vol. 38, no. 10, pp.1626 -1634 2003.
- [4-14] G. Cusmai, M. Repossi, G. Albasini, A. Mazzanti, and F. Svelto, "A Magnetically Tuned Quadrature Oscillator", IEEE J. Solid-State Circuits, vol.42, no.12, pp.2870-2877, Dec. 2007.
- [4-15] P. Andreani, "A Time-Variant Analysis of the $1/f^2$ Phase Noise in CMOS Parallel LC-Tank Quadrature Oscillators", IEEE J. Solid-State Circuits, vol.53, no.8, pp.1749-1760, Aug. 2006.
- [4-16] A. Mazzanti, F. Svelto, and P. Andreani, "On the amplitude and phase errors of quadrature LC-tank CMOS oscillators," IEEE J. Solid-State Circuits, vol. 41, no. 6, pp. 1305-1313, June. 2006.
- [4-17] P. Andreani and X. Wang, "On the Phase-Noise and Phase-Error Performances of Multiphase LC CMOS VCOs", IEEE J. Solid-State Circuits, vol.39, no.11, pp.1883-1893, Nov. 2004.
- [4-18] D. Leenaerts, C. Dijkmans, and M. Thompson, "A 0.18 μm CMOS 2.45 GHz, low-power quadrature VCO with 15% tuning range", Proc. IEEE Radio Frequency Integrated Circuits Symp., pp.67 -70 2002.
- [4-19] A. D. Berny, A. M. Niknejad, and R.G. Meyer, "A 1.8-GHz LC VCO with 1.3-GHz tuning range and digital amplitude calibration", IEEE J. Solid-State Circuits, vol. 40, no. 4, pp.909 -917 2005.
- [4-20] L. Romano, S. Levantino, A. Bonfanti, C. Samori and A. L. Lacaita "Phase noise and accuracy in quadrature oscillators", Proc. IEEE Int. Symp. Circuits Syst., pp.161 -164 2004.
- [4-21] A. Tanabe, K. Hijioka, H. Nagase and Y. Hayashi "A low-power, small area quadrature LC-VCO using miniature 3-D solenoid shaped inductor", Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp., pp.263 -266 2009.

5 結論

5.1 研究の総括と結論

1990 年以降、無線通信端末の集積化が加速し始め、その集積化において重要な技術は変遷していった。本研究では、無線通信端末受信器の低ノイズ化に着目し、集積化初期において重要であったデバイス技術、その後の CMOS 高周波回路の低ノイズ化技術について研究を行った。特にデバイス技術として寄生抵抗低減のためのオーム性電極、またその電極を用いたデバイスの低ノイズ化及び高周波回路の低ノイズ化技術として CMOS による高周波受信器回路の低ノイズ化について研究を行った。以下に得られた成果についてまとめる。

第 2 章では、デバイスの熱雑音低減のために重要な寄生抵抗低減技術としてのオーム性電極材について論じた。特に、2000 年前後において無線通信端末はディスクリートデバイスから構成されており、そのデバイスノイズを低減させることが受信器回路のノイズを低減させるために重要であった。これらのデバイスには III-V 族半導体が用いられており、その低ノイズ化にはデバイス内部の寄生抵抗を低減することが必要である。本研究ではソース抵抗低減に着目し、その大部分を占める電極の接触抵抗値低減を行った。p, n 型両方の半導体に対して再現性、低コスト化に優れる Deposition and Annealing(DA)法を用いて、オーム性接触を得るための設計指針を得ることを目的として行った。

p 型半導体に対するオーム性電極材の設計指針として、仕事関数の大きい材料を電極に用いて電極、半導体界面にホモ構造中間層を形成させ、アクセプタを活性化させるという指針を得た。p 型 GaN において酸素中で熱処理を行うことでホモ構造中間層を形成させ、アクセプタである Mg を活性化させられることを明らかにした。また、この Mg は H 原子と結合して不活性化することが知られており、その H 原子と結合しやすい元素を電極材に用いることで H 原子を除去し Mg を活性化させられることも明らかにした。この電極材により寄生抵抗 $1.3 \times 10^{-3} \Omega \text{cm}^2$ を達成した。これは受信器 SNR 0.5 dB 向上の効果がある。この設計指針の妥当性は、本研究後のこの指針に基づいた研究による接触抵抗値低減からも明らかになっており、本研究により p 型半導体のオーム性電極の設計指針を示すことができたといえる。

n 型半導体に対するオーム性電極材の設計指針として、ホモ構造中間層を形成させ、電極材にドナーとなる元素を用いて半導体中の元素と置換させることにより自由電子濃度を向上させるという指針を得た。自由電子濃度を向上させるには、電極材にドナーとなる元素とその元素と置換させたい半導体中の元素と化合物を生成させる元素を電極材に用いる。n 型 InAsAs/InGaAs において電極材に InAlAs のドナーとなる Ge を用い、InAlAs 中の Ge と置換させたい元素である In, Al と化合物を生成しやすい元素を電極材に用いて Ge と In, Al を置換させることでホモ構造中間層の自由電子濃度を向上させた。この電極材により寄生抵抗 $0.19\ \Omega\text{mm}$ を達成した。これは受信器 SNR 0.4 dB 向上の効果がある。この電極材の設計指針についても本研究後のこの指針と同様の手法による電極材の報告からその妥当性が確認されている。

第 3 章では、高周波デバイスの低ノイズ化技術について論じた。本研究では、従来のリセス構造 HMET デバイス特性解析によりドレインコンダクタンスの周波数分散とノイズ生成モデルを構築し、これらの現象がチャネル内部でのインパクトイオン化により生成されるホールのソース部における蓄積に起因することを明らかにした。このモデルによりドレインコンダクタンスの周波数分散特性を考慮した高精度モデルの構築により低ノイズ回路設計を可能にした。このモデルに基づきアロイオーム性電極を用いてソース部におけるホール障壁を除去によりデバイス内部のホール蓄積抑制し、ドレインコンダクタンスの周波数分散の 75%低減、ソース抵抗の 60%低減、及びゲート寄生容量の低減を実現した。

2000 年当時無線通信端末において重要であった HEMT デバイスについて、リセス構造を有する従来構造のデバイスにおけるドレインコンダクタンスの周波数分散特性とノイズ特性の解析を行った。これにより、ドレインコンダクタンスの周波数分散メカニズムとデバイスのノイズ生成メカニズムを表すモデルを提案し、そのメカニズムを明らかにした。このモデルによりインパクトイオン化により生成されるホールのソース部における蓄積を解消するプレーナ構造デバイスを作成した。このデバイスにおいては、第 2 章での成果である Ni/AuGe/Au によるアロイオーミック電極を用いることでソース、ドレイン電極をチャネルに直接接触させ、従来構造で存在したチャネル、ソース電極間のホール障壁除去を行った。このデバイスにより、ドレインコンダクタンスの周波数分散特性を従来のホールのソース蓄積が発生する従来構造の 25%に低減した。また、キンクについても 50%に低減することができた。ノイズ特性においてもフリッカ雑音を従来構造より 15 dB 低減することができた。これらの結果によりドレインコンダクタンスの周波数分散特性とノイズが、インパクトイオン化により生成されるホールのソース部における蓄積に起因していることが示されモデルの妥当性を示すことができた。

このように、プレーナ構造 HEMT デバイスにより寄生抵抗の低減、ドレインコンダクタンス周波数分散の抑制を実現しノイズ抑制技術を確立した。

第 4 章では、回路集積技術による受信器回路の低ノイズ化技術として CMOS による高周波送信回路と発振器回路の低ノイズ化手法について論じた。送信器回路については、プロセスの微細化に伴い増大するゲイン、線形性のプロセスばらつきを補償し、高線形性を実現することで受信帯域への雑音を抑制し受信器回路の低ノイズ化を実現する技術について論じた。発振器回路においては Quadrature VCO による 2 つの LC VCO の新規結合方法、及び位相誤差補正ループによる IQ 位相誤差と位相ノイズのトレードオフ抑制による低ノイズ化について論じた。

送信回路の最終段であるドライバーアンプは OP1dB 12 dBm が求められる。出力の大きい回路の線形性を向上させ、受信帯域への雑音を抑制することが受信器の SNR 向上には必要である。この送信器線形性向上のためにドライバーアンプのプロセスばらつきを抑制するためのバイアス回路を提案した。このバイアス回路にはプロセス条件にかかわらず一定電流を流し、温度計からの温度情報に基づきバイアス回路と増幅器のトランジスタのゲート幅を移動度に反比例するように制御することで増幅器のゲインと線形性を補償する。また、増幅器の入カトランジスタに低電圧動作のコアトランジスタを用いて単位電流あたりの g_m を向上させた AB 級と B 級の増幅器を最終段に並列に接続することで、出力電力が大きい時のみ B 級増幅器を動作させ線形性を向上させた。可変増幅器については、線形性とゲインをプロセスばらつきによらず補償可能なバイアス回路により線形性の向上を行った。これらの新規回路により送信器の線形性向上を実現した。

発振器回路においては、以下の三点の技術を用いることで低ノイズ化を行った。一点目は、広帯域発振のために周波数に応じて発振振幅を一定に制御することである。二点目は、位相誤差補正ループにより IQ 信号の位相誤差を補正することで従来の QVCO の課題であった位相誤差と位相ノイズのトレードオフを抑制することである。三点目は、QVCO では、二つの LC VCO を結合させるが結合のための素子を不要とすることで低ノイズ化を行った。これらの技術により高周波アナログ受信器回路の SNR を向上できることを明らかにした。

本論文は、高周波アナログ回路の低ノイズ化に関する研究についてまとめた。この研究成果であるデバイス技術、回路集積技術は、無線通信端末に求められる高周波アナログ回路の低ノイズ化に効果があることを示した。また、本研究から得られた指針がその後の研究にも生かされていることを明らかにし、その妥当性を示した。

無線通信端末の高集積化の流れにおいて、今後、無線機能自体の集積化が重要になっていくことを示し、どのようなデバイスが実際に用いられるのかを定量的に見積もりその方向性を示した。

本研究から導かれた指針は、異なる材料、デバイス及びアプリケーションにも適用可能なものであり、今後の無線通信端末の低ノイズ化に寄与するものである。

5.2 将来展望

本論文において、無線通信端末の低ノイズ化について論じた。今後も無線通信のトラフィックは増大し、データ速度の高速化、変調方式の多値化が進むと考えられる。このため、受信器の低ノイズ化が益々重要になってくると考えられる。

近年では CMOS デバイスを端末に用いるようになってきた。この CMOS デバイスはデジタル回路向けに開発が進められており、高周波特性を向上させるようなプロセス変更を行うことは困難である。従って、受信器の低ノイズ化技術は、CMOS による低ノイズ化回路技術を意味している。しかし、CMOS デバイスもデバイス微細化の限界に近付いており、さらなるデバイス高速動作を実現するためには、新規デバイスの検討を行う必要がある。図 5-1 に様々なデバイスの 50 GHz における NF_{min} の値とゲート長の関係を示す [5-1] - [5-54]。

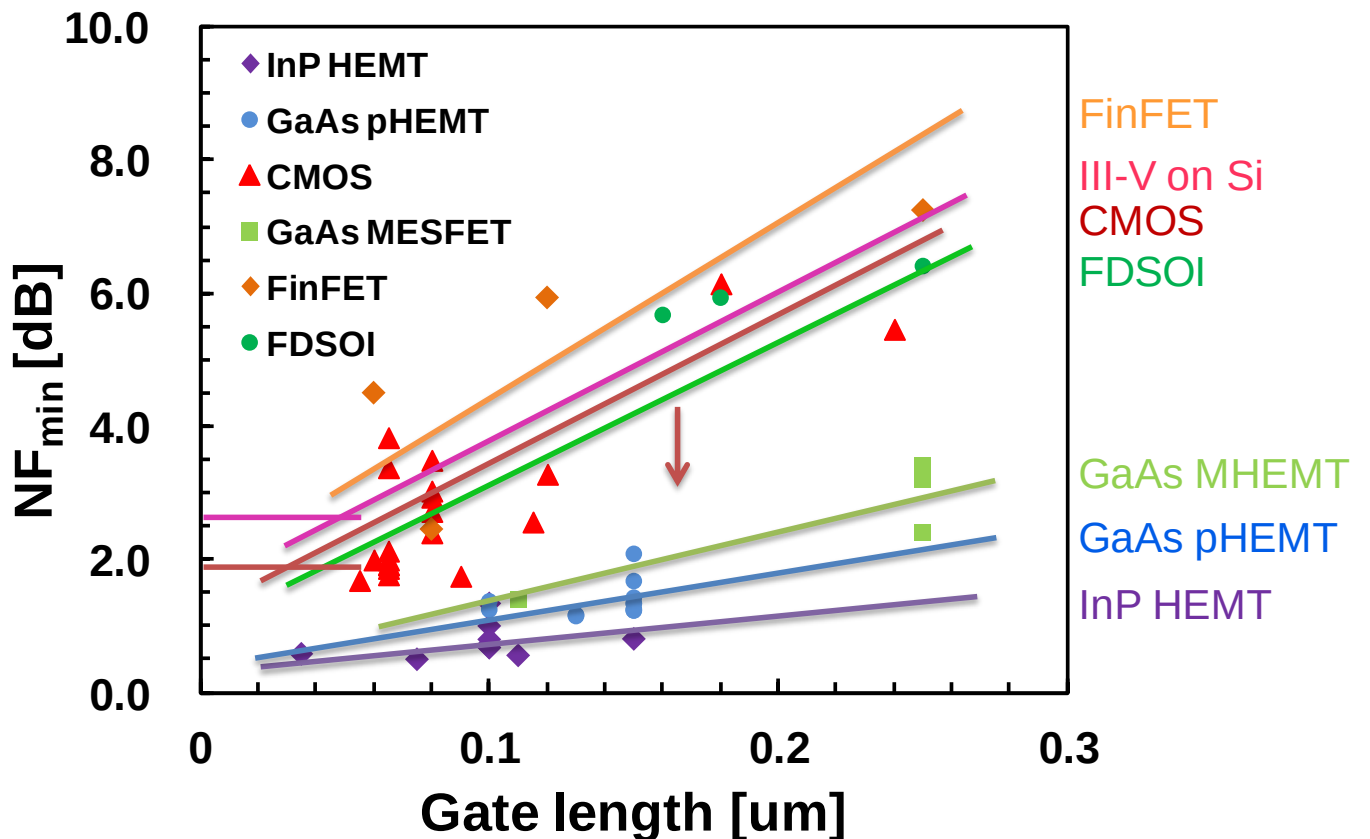


図 5-1 50 GHz における NF_{min} とゲート長の関係

この CMOS デバイスの主要なノイズ源は、チャネルノイズとイクセスノイズから構成されている [5-54]。このチャネルノイズの雑音電流スペクトル密度は、移動度に比例しゲート長に反比例する。またイクセスノイズの雑音電流スペクトル密度は、移動度の 3 乗に比例し、ゲート長の 2 乗に反比例する。このイクセスノイズの影響の増大は、CMOS のプロセスノードが 100 nm 以下になりチャネル長のスケールリングが電源電圧のスケールリングより急激に進んだ結果、チャネルに印加される横方向の電界強度が強くなったことに起因している。このノイズは、40 nm 以下のプロセスではノイズの大部分を占めるようになり微細化により低減することができないため、 NF_{min} が今後低下しないと考えられる。このため、図 5-1 に示すように、CMOS デバイスの NF_{min} は 40 nm 以降一定になると予想され、2 dB より低減されることは困難であると考えられる。同様に III-V on Si についても、イクセスノイズはチャネルの移動度が CMOS より高いため NF_{min} は、CMOS よりも高くなると考えられる。但し、これはチャネルを III-V 半導体に置き換えただけのデバイスの場合であり、デバイスの改善を行えばノイズ特性が改善することは十分に考えられる。また、FD SOI は CMOS に比べて不要なリークが抑えられノイズ特性も良好である。但し、基本的なノイズ特性は CMOS デバイスと同様であり、課題点も同様である。FinFET については、現状のデバイス構造では寄生容量が従来のプレーナ型の CMOS に比べて大きく高速特性に劣り、チャネルまでのソース抵抗、ドレイン抵抗が高いため CMOS を上回る NF_{min} は期待できない。しかし、フィンのエピタキシャル膜厚を変えて寄生抵抗を減らすなど様々な研究が行われており、CMOS を凌ぐノイズ特性が得られる可能性がある。

今後無線通信システムがさらなる高速なデータ速度を必要とし、通信帯域の高周波化、及び変調方式の多値化を進める場合にはさらなるデバイスの低ノイズ化が求められる。このため、ノイズの低減のためにソース部にドレイン部よりも一桁程度高いドーピングを行うグレーディッドチャネル構造などの手法を用いたチャネルの制御を行いデバイスのノイズを低減させた CMOS デバイス、あるいは寄生抵抗、容量の低減によりノイズ特性を改善した FinFET が必要になると考えられる。また、これらのデバイスでは実現できないほどの低ノイズが必要な場合には、InP、GaAs などによる HEMT デバイスが必要になると考えられる。

一方これらの高周波信号を処理するデジタル回路においても今後処理する情報量はさらに増加するため、超高速処理が求められる。このため、デジタル高速処理に適した高速デバイス、例えば、III-V on Si など移動度を向上させ高速動作が可能なデバイスを用いてデジタル回路を構成することが必要であると考えられる。このように、チップに求められる機能に対して最適なデバイスを選択してシステムを構成していくことが今後必要になると考えられる。つまり、異種デバイスを集積する技術が必要であると考えられる。図 5-2 に示すのが今後の超高周波高速通信無線端末のブロック図である。先述のように受信器回路の SNR を向上

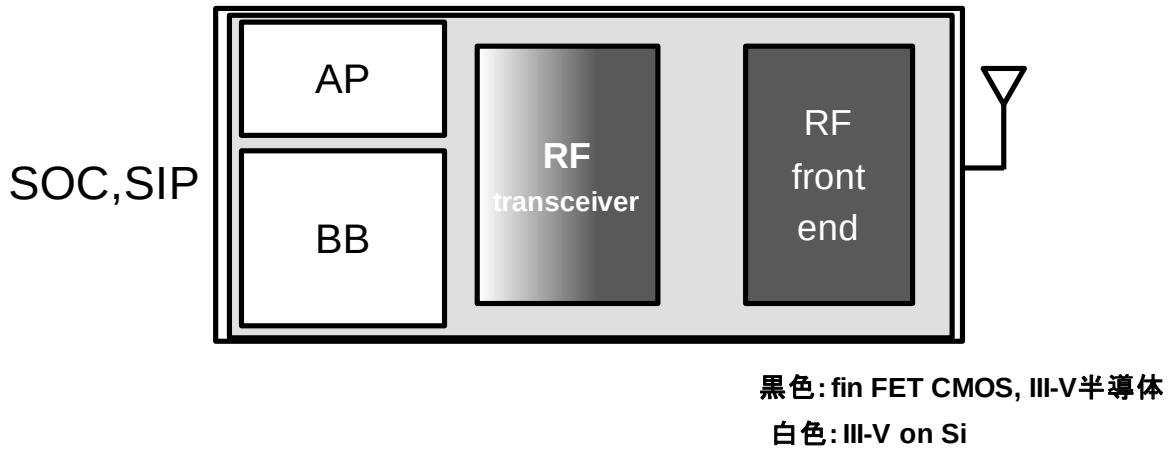


図 5-2 超高周波無線通信端末

するためには、ブロックに求められる特性に応じて用いるデバイスを使い分ける必要が出てくると考えられる。つまり異種デバイスを集積する技術が必要であると考えられる。

ノイズが重視される超高周波アナログ回路に対しては、FinFET あるいは III-V 族半導体などのデバイスを用いた高周波回路低ノイズ化技術が必要であると考えられる。また、ノイズよりも高速動作を重視する従来の BB 部、AP 部については、III-V on Si などの高速デバイスを用いて高速なデジタル処理を行う必要があると考えられる。このような異なるデバイスから作成されたチップを集積化する SOC、SIP の技術が重要になってくると考えられる。図 5-3 に 3D パッケージにより構成された SIP の断面図を示す。これは、複数の Chip on Chip(COC)により構成されたデバイスを Si インターポーザ上にマイクロバンプで接続し、インターポーザ面の配線層で接続している。インターポーザの表面、裏面の配線は TSV により接続されている。この Si インターポーザは、System In Package(SIP)の基板にバンプ接続される。

このような多様な機能の集積化を考えた時に、無線通信を担う超高周波回路には、高周波アナログ特性に特化した FinFET あるいは III-V 族半導体などの低ノイズデバイスを用いた超高周波無線通信チップ、デジタル処理を行う超高速デジタルチップに対しては III-V on Si など高速デジタル処理に特化したデバイスを用いたチップを作成して集積化し、全体としての特性を最適化する手法が重要になると考えられる。

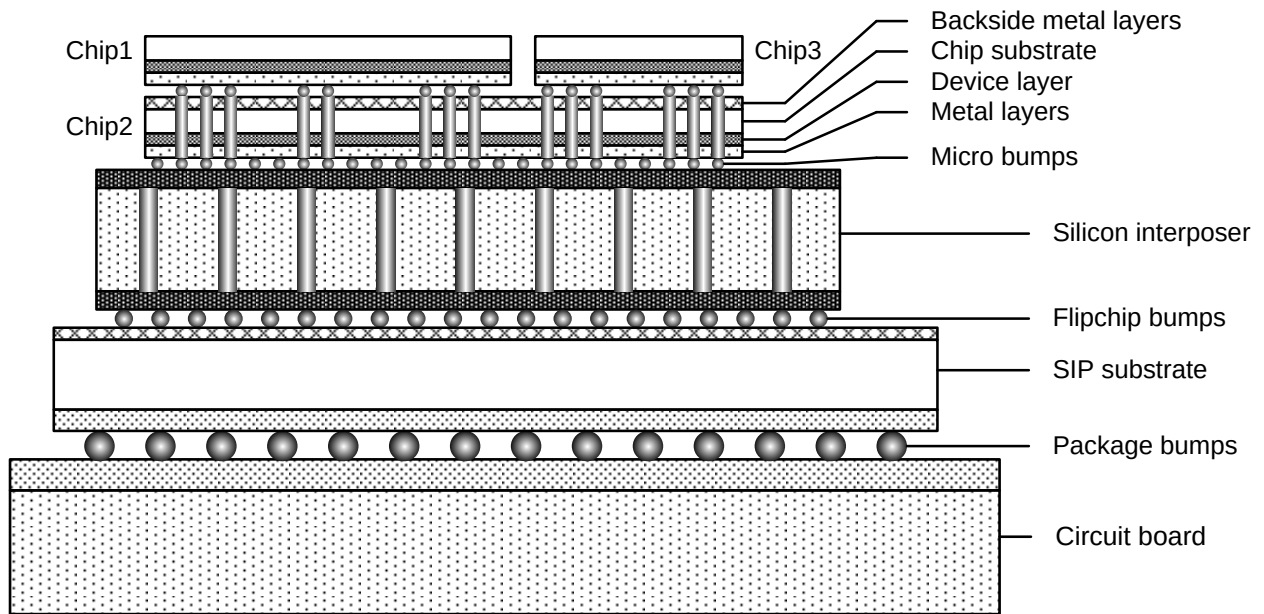


図 5-3 3D SiP

無線通信に求められるトラフィック量が急速に増大していく中で伝送速度が高速化し変調方式が多値化されており、無線通信端末の受信回路は低ノイズ化が求められている。本論文では、この無線通信端末受信回路の低ノイズ化の手法について受信回路に用いられるデバイス、高周波回路の観点から論じた。今後、無線通信端末の高速化を実現するためには超高周波、広帯域な受信回路が必要になると考えられ、その実現のためには CMOS 回路技術だけではデバイスのノイズ特性が微細化により改善しなくなるため、回路に応じてデバイスを使い分ける必要があると考えられる。このため、今後、デバイスの低ノイズ化、高周波回路の低ノイズ化技術とともに、異種デバイスを集積していく技術も重要になると考えられる。

参考文献

- [5-1] P. C. Chao, A. J. Tessmer, K.-H. G. Duh, P. Ho, M.-Y. Kao, P. M. Smith, J. M. Ballingall, S.-M. J. Liu, and A. A. Jabra, "W-band low-noise InAlAs/InGaAs lattice-matched HEMTs," *IEEE Electron Device Lett.*, vol. 11, no. 1, pp.59-62, Jan. 1990.
- [5-2] P. M. Smith, S.-M. J. Liu, M.-Y. Kao, P. Ho, S. C. Wang, K. H. G. Duh, S. T. Fu, P. C. Chao, "W-band high efficiency InP-based power HEMT with 600 GHz f_{max} ," *IEEE Microwave Guided Wave Lett.*, vol. 5, no. 7, pp.230-232, July 1995.
- [5-3] K. L. Tan, D. C. Streit, P. D. Chow, R. M. Dia, A. C. Han. P. H. Liu, D. Garske, and R. Lai, "140 GHz 0.1 μ m gate-length pseudomorphic In_{0.52}Al_{0.48}As/In_{0.60}Ga_{0.40}As/InP HEMT," in *Proc. IEDM*, Dec. 1991, pp.239-242.
- [5-4] D. C. W. Lo, R. Lai, H. Wang, K. L. Tan, R. M. Dia, D. C. Streit, P.-H. Liu, J. Velebir, B. Allen, and J. Berenz, "A high-performance monolithic Q-band InP-based HEMT low-noise amplifier," *IEEE Microwave Guided Wave Lett.*, vol. 3, no. 9, pp.299-301, Dec. 1993.
- [5-5] K. H. G. Duh, P. C. Chao, S. M. J. Liu, P. Ho, M. Y. Kao, and J. M. Ballingall, "A super low-noise 0.1 μ m T-gate InAlAs-InGaAs-InP HEMT," *IEEE Microwave Guided Wave Lett.*, vol. 1, no. 5, pp.114-116, May 1991.
- [5-6] K. Elgaid, H. McLelland, C. R. Stanley, and I. G. Thayne, "Low noise W-band MMIC amplifier using 50 nm InP technology for millimeterwave receivers applications," in *Proc. Int. Conf. Indium Phosphide and Related Materials*, May 2005, pp.523-525.
- [5-7] A. Fujihara, H. Miyamoto, K. Yamanoguchi, E. Mizuki, N. Samoto, and S. Tanaka, "V-band MMIC LNA using superlattice-inserted InP heterojunction FETs," in *Proc. Int. Conf. Indium Phosphide and Related Materials*, May 2001, pp.622-625.
- [5-8] A. Endoh, I. Watanabe, T. Mimura, and T. Matsui, "High-Speed InP-HEMTs Low-Noise Performance and Cryogenic Operation", *Proc. IEEE 23rd Int. Conf. IPRM*, pp.1-4 2011.
- [5-9] H. Sharifi, J. May, K. Shinohara, M. Montes, C. McGuire, and H. Kazemi, "First Demonstration of W-band Millimeter-Wave Flexible Electronics", *2013 International Microwave Symposium (IMS)*, June 2013, Seattle, W A.
- [5-10] T. Takahashi, M. Sato, K. Makiyama, T. Hirose and N. Hara "InAlAs/InGaAs HEMTs with minimum noise figure of 1.0 dB at 94 GHz", *Proc. IEEE 19th Int. Conf. IPRM*, pp.55 -58 2007.

- [5-11] T. Takahashi, M. Sato, Y. Nakasha, T. Hirose and N. Hara "Noise figure improvement in InP-based HEMTs using wide gate head and cavity structure", IEEE Electron Device Lett., vol. 33, no. 2, pp.206 -208 2012.
- [5-12] P. Chen, et al "Wideband Low Noise Amplifier (LNA) with $L_g = 50$ nm", 2011 IEEE MTT-S International Microwave Symposium, Baltimore, MD.
- [5-13] T. C. Lim, R. Valentin, G. Dambrine, and F. Danneville, "MOSFETs RF noise optimization via channel engineering," IEEE Electron Device Lett., vol. 29, no. 1, pp.118-121, Jan. 2008.
- [5-14] K. L. Tan, D. C. Streit, P.-H. Liu, and P. D. Chow, "High performance W-band low noise and power pseudomorphic InGaAs HEMTs," in Proc. IEEE/Cornell Conf. Advanced Concepts in Speed Semiconductor Devices and Circuits, 1991, pp.461-468.
- [5-15] J. H. Lee, H. S. Yoon, C. S. Park, and H. M. Park, "Ultra low noise characteristics of AlGaAs/InGaAs/GaAs pseudomorphic HEMTs with wide head T-shaped gate" IEEE Electron Device Lett., vol. 16, no. 6, pp.271-273, June 1995.
- [5-16] Y.-C. Wang, M. Chertouk, P. Cheang, T. D.-W. Tu, P. C. Chao, and C. S. Wu, "Advanced GaAs MMIC technology development at WIN semiconductors corporation," in Proc. Asia-Pacific Microwave Conf., (APMC 2001), Dec. 2001, vol. 1, pp.121-126.
- [5-17] T. Ishikawa, T. Ishida, M. Komaru, S. Chaki, S. Fujimoto, and T. Katoh, "GaAs P-HEMT MMICs for K-to-Ka band wireless communications," in Proc. 1999 Emerging Technologies Symp. Wireless Communications and Systems, Apr. 12-13, 1999, pp.10.1-10.5.
- [5-18] H. Uchida, S. Takatsu, K. Nakahara, T. Katoh, Y. Itoh, R. Imai, M. Yamamoto, and N. Kadowaki, "Ka-band multistage MMIC low-noise amplifier using source inductors with different values for each stage," IEEE Microwave Guided Wave Lett., vol. 9, no. 2, pp.71-72, Feb. 1999.
- [5-19] T. Hua-Quen, L. Witkowski, A. Ketterson, P. Saunier, and T. Jones, "K/Ka band low-noise embedded transmission line (ETL) MMIC amplifiers," in IEEE MTT-S Int. Microwave Symp. Dig., June 1998, vol. 1, pp.43-46.
- [5-20] T. Takagi, K. Yamauchi, Y. Itoh, S. Urasaki, M. Komaru, Y. Mitsui, H. Nakaguro, and Y. Kazekami, "MMIC development of millimeter-wave space application," IEEE Trans. Microwave Theory Tech., vol. 11, pp.2073-2079, Nov. 2001.
- [5-21] K. L. Tan, R. M. Dia, D. C. Streit, L. K. Shaw, A. C. Han, M. D. Sholley, P. H. Liu, T. Q. Trinh, T. Lin, and H. C. Yen, "60 GHz pseudomorphic Al_{0.25}Ga_{0.75}As/In_{0.28}Ga_{0.72}As low noise HEMTs," IEEE Electron Device Lett., vol. 12, no. 1, pp.23-25, Jan. 1991.

- [5-22] K. L. Tan, R. M. Dia, D. C. Streit, T. Lin, T. Q. Trinh, A. C. Han, P. H. Liu, P.-M. D. Chow, and H. C. Yen, "94 GHz 0.1 μm T-gate low noise pseudomorphic InGaAs HEMTs," *IEEE Electron Device Lett.*, vol. 11, no. 12, pp.585-587, Dec. 1990.
- [5-23] S. Fujimoto, T. Katoh, T. Ishida, T. Oku, Y. Sasaki, T. Ishikawa, and Y. Mitsui, "Ka-band ultra low noise MMIC amplifier using pseudomorphic HEMTs," in *IEEE MTT-S Int. Microwave Symp. Dig.*, June 1997, vol. 1, pp.17-20.
- [5-24] H. Uchida, S. Takatsu, K. Nakahara, T. Katoh, Y. Itoh, R. Imai, M. Yamamoto, and N. Kadowaki, "Ka-band multistage MMIC low-noise amplifier using source inductors with different values for each stage," *IEEE Microwave Guided Wave Lett.*, vol. 9, no. 2, pp.71-72, Feb. 1999.
- [5-25] S. Lee, L. Wagner, B. Jagannathan, S. Csutak, J. Pekarik, N. Zamdmer, M. Breitwisch, R. Ramachandran, and G. Freeman, "Record RF performance of sub-46 nm LGATE NFETs in microprocessor SOI CMOS technologies," in *Proc. IEEE Int. Electron Devices Meeting (IEEE Int. Electron Devices Meeting (IEDM'2005))*, Dec. 2005, pp.251-254.
- [5-26] B. Martineau, A. Cathelin, F. Danneville, A. Kaiser, G. Dambrine, S. Lepilliet, F. Ganesello, and D. Belot, "Millimeter wave design with 65 nm LP SOI HR CMOS technology," in *Proc. 2007 IEEE Int. SOI Conf.*, Oct. 2007, pp.123-124.
- [5-27] F. Schwierz and C. Schippel, "Performance trends of Si-based RF transistors," *Microelectron. Rel.*, vol. 47, no. 2/3, pp. 384-390, Feb./Mar. 2007.
- [5-28] H. L. Kao, A. Chin, C. C. Liao and S. P. McAlister "Very low noise in 90 nm node RF MOSFETs using a new layout", *Proc. 2007 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp.44 -47 2007.
- [5-29] W. K. Shih, S. Mudanai, R. Rios, P. Packan, D. Becher, R. Basco, C. Hung and U. Jalan, "Predictive compact modeling of NQS effects and thermal noise in 90 nm mixed-signal/RF CMOS technology," in *IEDM Tech. Dig.*, 2004, pp.747-750.
- [5-30] K. Kuhn, R. Basco, D. Becher, M. Hattendorf, P. Packan, I. Post, P. Vandervoorn and L. Young, "A comparison of state-of-the art NMOS and SiGe HBT devices for analog/mixed-signal/RF circuit applications," in *Symp. On VLSI Tech.*, 2004, pp.224-225. .
- [5-31] S.-C. Wang, P. Su, K.-M. Chen, K.-H. Liao, B.-Y. Chen, S.-Y. Huang, C.-C. Hung, and G.-W. Huang, "Comprehensive noise characterization and modeling for 65-nm MOSFETs for millimeter-wave applications," *IEEE Trans. Microwave Theory Tech.*, vol. 58, no. 4, pp.740-746, Apr. 2010.

- [5-32] W. K. Shih, S. Mudanai, R. Rios, P. Packan, D. Becher, R. Basco, C. Hung, and U. Jalan, "Predictive compact modeling of NQS effects and thermal noise in 90 nm mixed-signal/RF CMOS technology," in IEDM Tech. Dig., Dec. 2004, pp.747-750.
- [5-33] H. L. Kao, A. Chin, C. C. Liao, S. P. McAlister, J. Kwo, and M. Hong, "Measuring and modeling the scaling trend of the RF noise in MOSFETs," in Proc. Device Research Conf., June 2006, pp.65-66.
- [5-34] S. Nuttinck, A. J. Scholten, L. F. Tiemeijer, F. Cubaynes, C. Dachs, C. Detcheverry, and E. A. Hijzen, "Impact of downscaling and poly-gate depletion on the RF noise parameters of advanced nMOS transistors," IEEE Trans. Electron Devices, vol. 53, no. 1, pp.153-157, Jan. 2006.
- [5-35] A. Siligaris, G. Pailloncy, S. Delcourt, R. Valentin, S. Lepillier, F. Danneville, D. Gloria, and G. Dambrine, "High-frequency and noise performances of 65-nm MOSFET at liquid nitrogen temperature," IEEE Trans. Electron Devices, vol. 53, no. 8, pp.1902-1908, Aug. 2006.
- [5-36] N. Waldhoff, Y. Tagro, F. Ganesello, F. Danneville, and G. Dambrine, "Validation of the 2 temperatures noise model using prematched transistors in W-band for sub-65 nm technology," IEEE Microwave Wireless Compon. Lett., vol. 20, no. 5, pp.274-276, May 2010.
- [5-37] M. Saito, M. Ono, R. Fujimoto, H. Tanimoto, N. Ito, T. Yoshitomi, T. Ohguro, H. S. Momose and H. Iwai "0.15-um RF CMOS technology compatible with logic CMOS for low-voltage operation", IEEE Trans. Electron Devices, vol. 45, no. 3, pp.737 -742 1998.
- [5-38] J. N. Burghartz, et al., "RF potential of a 0.18-um CMOS logic technology", IEDM Tech. Dig., pp.853 -856 1999.
- [5-39] Y. Ge and K. Mayaram, "A comparative analysis of CMOS low noise amplifiers for RF applications", Proc. IEEE Int. Symp. Circuits and Systems, vol. 4, pp.349 -352 1998.
- [5-40] C. C. Hsiao, M. S. Chen and Y. C. Chiang "A Low Noise MOSFET with Overlaid Metal Gate", IEEE MTT-S Digest, pp.1711 -1714 1998.
- [5-41] M. Saito, M. Ono, R. Fujimoto, H. Tanimoto, N. Ito, T. Yoshitomi, T. Ohguro, H. S. Momose and H. Iwai "0.15-um RF CMOS technology compatible with logic CMOS for low-voltage operation", IEEE Trans. Electron Devices, vol. 45, no. 3, pp.737 -742.
- [5-42] A. Pascht, M. Reimann and M. Berroth, "Comparison of advanced transistor technologies with regard to their noise figures," High Performance Electron Devices for Microwave and Optoelectronic Applications, 1999. EDMO. pp.125-130, 1999.

- [5-43] K. Onodera, K. Nishimura, S. Aoyama, S. Sugitani, Y. Yamane, and M. Hirano, "Extremely low-noise performance of GaAs MESFET's with wide-head T-shaped," IEEE Trans. Electron Devices, vol. 46, no. 2, pp.310-319, Feb. 1999.
- [5-44] M. Feng and J. Laskar, "On the speed and noise performance of direct ion-implanted GaAs MESFET's," IEEE Trans. Electron Devices, vol. 40, no. 1, pp.9-17, Jan. 1993.
- [5-45] K. Onodera, K. Nishimura, S. Aoyama, S. Sugitani, Y. Yamane, and M. Hirano, "Extremely low-noise performance of GaAs MESFET's with wide-head T-shaped gate," IEEE Trans. Electron Devices, vol. 46, no. 2, pp.310-319, Feb. 1999.
- [5-46] odera, S. Sugitani, K. Nishimura, and M. Tokumitsu "V-band monolithic low-noise amplifiers using ion-implanted n-self-aligned GaAs MESFETs," IEEE Microwave Guided Wave Lett., vol. 9, no. 4, pp.148-150, Apr. 1999.
- [5-47] K.-G. Wang and S.-H. Wang, "State-of-the-art ion-imp. low noise GAAS MESFET'S and high-performance monolithic amplifiers," IEEE Trans. Electron Devices, vol. 34, no. 12, pp.2610-2615, Dec. 1987.
- [5-48] P. W. Chye and C. Huang, "Quarter micron low noise GaAs FETs," IEEE Electron Device Lett., vol. 3, no. 12, pp.401-403, Dec. 1982.
- [5-49] J. Borremans, B. Parvais, M. Dehan, S. Thijs, P. Wambacq, A. Mercha, M. Kuijk, G. Carchon, and S. Decoutere, "Perspective of RF design in future planar and FinFET CMOS", Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE, pp.75-78.
- [5-50] C. Mukherjee and C. K. Maiti, "Channel Thermal Noise Modeling and High Frequency Noise Parameters of Tri-gate FinFETs," Physical and Failure Analysis of Integrated Circuits (IPFA), 2013.IEEE, pp.732-735.
- [5-51] J.-P. Raskin, G. Pailloncy, D. Lederer, F. Danneville, G. Dambrine, S. Decoutere, A. Mercha and B. Parvais "High-frequency noise performance of 60-nm gate-length FinFETs", IEEE Trans. Electron Devices, vol. 55, pp.2718 -2727 2008.
- [5-52] A. O. Adan, M. Koyanagi and M. Fukumi "Physical model of noise mechanisms in SOI and bulk-silicon MOSFETs for RF applications", IEEE Trans. Electron Devices, vol. 55, no. 3, pp.872 -880 2008.
- [5-53] R. Rengel, M. J. Martin, T. Gonzalez, J. Mateos, D. Pardo, G. Dambrine, J.-P. Raskin and F. Danneville "A microscopic interpretation of the RF noise performance of fabricated FDSOI MOSFETs", IEEE Trans. Electron Devices, vol. 53, no. 3, pp.523-532 2006.

- [5-54] G. D. J. Smit, A J. Scholten, R. M. T. Pijper, L. F. Tiemeijer, R. van den Toorn, D. B. M Klassen, " RF-noise modeling in advanced CMOS technologies, " IEEE Trans. Electron Devices, vol.62, pp.245-254, Feb. 2014.

謝辞

本論文をまとめるにあたりご指導賜りました東京工業大学 益一哉教授にお礼申し上げます。また、本論文につきましてご助言ご教示を賜りました東京工業大学 石原昇教授、植之原裕行教授、若林整教授、伊藤浩之准教授、岡田健一准教授に感謝申し上げます。

本論文は、筆者が京都大学大学院工学研究科材料工学専攻修士課程、及び株式会社富士通研究所に入社して以来の研究成果をまとめたものです。本研究の機会を与えていただいた学校法人立命館副総長・立命館大学グローバル研究機構教授 村上正紀教授（前 京都大学大学院工学研究科教授）、株式会社富士通研究所 矢野映取締役、同基盤技術研究所 原直紀シニアディレクタ、カリフォルニア工科大学 Prof. Ali Hajimiri に深く感謝いたします。

本研究を遂行するにあたり共同研究者としてご指導ご助言いただき、また、研究内容について議論させていただいた物質・材料研究機構中核機能部門 小出康夫部門長（前 京都大学大学院工学研究科助教授）、川上俊之博士、鈴木正明氏、前田知幸氏、岡本直哉博士、佐藤優博士、澤田憲氏、牧山剛三氏、高橋剛博士、山崎大輔氏、工藤真大氏、その他、京都大学大学院工学研究科、株式会社富士通研究所、富士通セミコンダクター株式会社、カリフォルニア工科大学、東京工業大学の方々に感謝いたします。

本論文は多くの方々にご指導ご協力いただいてまとめることができました。社会人博士課程の期間支えていただいた株式会社富士通研究所 岩井大介部長、鈴木俊秀主任研究員に感謝申し上げます。最後に両親及び家族に感謝します。

研究業績

学術論文

- [1] T. Arai, and A. Hajimiri, “A self-correcting quadrature voltage controlled oscillator,” IEICE Electronics Express, 11, 19, 1-8, 2014.
- [2] T. Arai, M. Sato, and N. Hara, “Suppressing the 1/f noise and noise figure of InP-based high electron mobility transistors,” J. J. Appl. Phys., 53, 041201, 2014.
- [3] T. Arai, K. Sawada, N. Okamoto, K. Makiyama, T. Takahashi, and N. Hara, “Suppression of drain conductance in InP-Based HEMTs by eliminating hole accumulation,” IEEE Trans. Electron Devices, 50, 1189, 2003.
- [4] T. Arai, K. Sawada, and N. Hara, “NiAuGeAu ohmic contacts for a planar InP-based HEMT structure with suppressed drain conductance frequency dispersion,” J. Vac. Sci. Technol., B 21, 2, Mar/Apr, 795, 2003.
- [5] T. Arai, H. Sueyoshi, Yasuo Koide, M. Moriyama, and Masanori Murakami, “Development of Pt-based ohmic contact materials for p-type GaN,” J. Appl. Phys., 89, 2826, 2001.

国際学会発表論文

- [1] T. Arai, and A. Hajimiri, “A 7GHz Wideband Self-Correcting Quadrature VCO”, ICECS2012, IEEE A1L-D, Dec, 2012.
- [2] T. Arai, K. Sawada, N. Okamoto, K. Makiyama, T. Takahashi, and N. Hara, “Suppression of drain conductance frequency dispersion in InP-Based HEMTs by eliminating hole accumulation,”, Device Research Conference, 60th DRC. Conference Digest, 167, Jun 24-26, 2002.

国内学会発表論文

- [1] 荒井知之、澤田憲、岡本直哉、牧山剛三、高橋剛、原直紀、”InP HEMT におけるドレインコンダクタンス周波数分散の抑制“ 応用物理学会秋季大会、Sep 23–25, 2002.
- [2] 荒井知之、澤田憲、岡本、牧山、高橋剛、原直紀、”ホール障壁除去による InP HEMT の gd 周波数分散の抑制“ 電気通信学会信学技法、ED2002-108, Oct 10-11, 2002.
- [3] 荒井知之、澤田憲、二瓶瑞久、高橋剛、原直紀、”n-InAlAs に対する Ni/AuGe/Au オーミック電極” 応用物理学会秋季大会、Sep 11–13, 2001.
- [4] 荒井知之、鈴木正明、川上俊之、小林節子、小出康夫、上村俊也、柴田直樹、村上正紀、”p 型 GaN に対する低抵抗オーミック・コンタクトの形成機構及び劣化機構” 応用物理学会春季大会、March 28–30, 1999.

共著論文

- [1] K. Sawada, T. Arai, T. Takahashi, and N. Hara, “Elimination of kink phenomena and drain current hysteresis in InP-based HEMTs with a direct ohmic structure,” IEEE Trans. Electron Devices, 50, 310, 2003.
- [2] N. Hara, K. Makiyama, T. Takahashi, K. Sawada, T. Arai, T. Ohki, M. Nihei, T. Suzuki, Y. Nakasha, and M. Nishi, “Highly uniform InAlAs-InGaAs HEMT technology for high-speed optical communication system ICs,” IEEE Trans. Semi. Manu., 16, 370, 2003.
- [3] M. Suzuki, T. Arai, T. Kawakami, S. Kobayashi, S. Fujita, Yasuo Koide, Y. Taga, and Masanori Murakami, “Formation and deterioration mechanisms of low-resistance TaTi ohmic contacts for p-GaN,” J. Appl. Phys., 86, 5079, 1999.
- [4] M. Suzuki, T. Kawakami, T. Arai, S. Kobayashi, Yasuo Koide, T. Uemura, N. Shibata, and Masanori Murakami, “Low-resistance Ta/Ti Ohmic contacts for p-type GaN,” Appl. Phys. Lett., 74, 275, 1999.

国際学会発表論文（共著）

- [1] D. Yamazaki, N. Kobayashi, K. Oishi, M. Kudo, T. Arai, N. Hasegawa, K. Kobayashi, “2.5-GHz Fully-Integrated WiMAX Transceiver IC for a Compact, Low-Power Consumption RF Module”, Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE, RMO2A-4, 109, Jun, 2008.
- [2] M. Sato, H. Shigematsu, Y. Inoue, T. Arai, K. Sawada, T. Takahashi, K. Makiyama, and T. Hirose, “1.4-THz Gain-Bandwidth Product InP-HEMTs preamplifier using an improved Cherry-Hooper topology,” 2002 IEEE GaAs IC Digest, 167, 2002.
- [3] K. Sawada, T. Arai, T. Takahashi, and N. Hara, “Elimination of Kink Phenomena in InP-Based HEMTs by Forming Direct Ohmic Contacts in the Channel,” in Ext. Abst., SSDM, 66, 2001.
- [4] Y. Koide, T. Arai, and M. Murakami, "Electrical Properties and Reliabilities of Pt, PtAu, NiAu, and TaTi Ohmic Contact Materials for p-GaN," Proceedings of International Workshop of Nitride Semiconductors, IPAP Conference Series 1, 821, 2000.
- [5] Y. Koide, T. Arai, M. Suzuki, T. Kawakami, and M. Murakami, "Deterioration mechanism of low-resistance TaTi Ohmic contact for p-GaN," The International Union of Materials Research Societies, 6th International Conference in Asia, Session F: GaN and Related Wide Band Gap Semiconductors, Hong Kong Abst., F5.4, July 23-26, 2000.
- [6] Y. Koide, M. Suzuki, T. Arai, T. Kawakami, T. Uemura, N. Shibata, and M. Murakami, "Current transport mechanisms of low-resistance TaTi Ohmic contacts for p-GaN," 41th Electronic Materials Conference Session AA, June 30-July 2, 1999.

特許

- [1] 特許第 004048524 号 半導体装置の製造方法
- [2] 特許第 005024020 号 バイアス回路
- [3] 特許第 005088131 号 電力制御回路及び電力制御方法

- [4] 特許第 005126221 号 増幅回路
- [5] 特許第 005035341 号 増幅回路
- [6] 特許第 005146460 号 バイアス回路、及びバイアス回路に対する制御方法
- [7] 特許第 005239451 号 差動単相変換回路
- [8] EP 2144366 AMPLIFIER CIRCUIT
- [9] US 7,257,382 High frequency amplifier circuit permitting variable gain control
- [10] US 7,567,126 Variable gain amplifier and control method thereof
- [11] US 7,629,835 Bias circuit
- [12] US 7,724,039 Conversion circuit for converting differential signal into single-phase signal
- [13] US 7,675,360 Power control circuit and power control method
- [14] US 7,868,697 Converting circuit for converting differential signal to single-ended signal
- [15] US 7,920,028 Bias circuit and control method for bias circuit
- [16] US 7,928,803 Amplifying circuit
- [17] US 8,283,980 Amplifier circuit
- [18] US 9,008,231 Signal duty cycle reduction

APPENDIX

A.1 雑音

雑音には、熱雑音、ショット雑音、ドレインコンダクタンス周波数分散に起因する雑音があり、デバイス、通信端末の高周波特性を考慮するときに重要になる。一方、低周波数において重要な影響を及ぼすのが、フリッカ雑音(1/f 雑音)、生成再結合雑音である。これらの雑音は特に発振器の位相ノイズに重要な影響を及ぼす [A-1]。これらの雑音について述べる。

A.1.1 熱雑音

1927 年に Jonson [A-2]によって熱ノイズについて詳細に研究がなされ、Nyquist [A-3]によって数学的に解析された。この熱ノイズは、電子の熱運動に起因しており、絶対温度に比例する。この熱雑音は、熱平衡状態にある抵抗の電圧の揺らぎとして測定することができる。アインシュタインモデル¹では、整合が取れた抵抗負荷に対する雑音電力は、プランク分布を考慮した次の式で表すことができる [A-4]。

$$P_{thermal} = \left(\frac{hf}{2} + \frac{hf}{\exp\left(\frac{hf}{kT}\right) - 1} \right) \Delta f \quad (A-1)$$

ここで、 h はプランク定数、 k はボルツマン定数、 T は絶対温度、 f は周波数、 Δf は電圧の揺らぎを測定する帯域幅を表す。この式により、古典モデルでは正確に表すことができない極低温状態までのエネルギーを考慮して熱雑音を見積もることができる。本論文で扱う無線通信端末においては、極低温での熱雑音を

¹ アインシュタインモデルでは、 $T < hv/k$ の低温状態でのエネルギーを正確に見積もることはできないが、 $T \geq hv/k$ 程度以上の温度では、適用可能である。本論文で扱う無線通信端末においては、 $T < hv/k$ の低温状態を扱うわけではないのでアインシュタインモデルを用いて表した。 $T < hv/k$ の低温状態でのエネルギーを正確に見積もるためには、広い範囲での格子振動数の分布を考慮した考慮したデバイモデルを適用する必要がある。従って、低温状態での熱雑音を見積もるためには式 A-2 で近似することはできず、式 A-1 あるいは $T < hv/k$ の極低温状態では、デバイモデルを用いて熱雑音を考慮する必要がある。

考慮するわけではないので、 $T \gg hf/k$ の近似が成り立つため熱エネルギーは kT と近似することができる [A-3]。従って

$$P_{thermal} = kT\Delta f \quad (A-2)$$

と表すことができる。

$$P = \langle i_n^2 \rangle R = kT\Delta f \quad (A-3)$$

ここで整合している抵抗に対する電力を考慮するため $v=2Ri$ となるため、

$$P = \left(\frac{v_n}{2R} \right)^2 R = \frac{\langle v_n^2 \rangle}{4R} R \quad (A-4)$$

従って

$$\langle v_n^2 \rangle = 4kTR\Delta f \quad (A-5)$$

と表すことができる [A-3]。この熱雑音は、先述のように熱平衡状態にある抵抗の熱雑音を表しており、DC 電流が流れる場合には、その電流に起因するノイズは含まれていない。つまり、動作時のデバイスは熱平衡状態にはないが、バイアス電流を含まないデバイスの小信号モデルにおいては、モデル内の寄生抵抗は熱平衡状態にあるとみなしてその熱雑音を考慮することが可能である。

1962 年に、この熱雑音をチャネルの熱雑音に最初に適用したのが Van del Ziel である [A-5]。このとき最初に FET におけるドレイン熱雑音が雑音モデルとして考慮された。1963 年には、ゲート熱雑音モデルが提案された [A-6]。このゲート熱雑音はチャネルノイズとの相関係数を用いて表されている。このモデルが基盤となり、FET の 2port モデルにつながっていく。

A.1.2 ショット雑音

ショット雑音は、1918 年に W. Schottky により報告された [A-7]。このショット雑音は、DC 電流が、障壁を越えるときに、その電流を構成する荷電粒子が不規則に放出されたり注入されたりする時に生じる。このようにこのノイズはランダムな荷電粒子の振る舞いにより決まるため白色雑音となる。但し、障壁を越えるのに要する時間の逆数よりも高い周波数以上ではショット雑音は減少する。自乗平均雑音電流は

² 通常 $h\nu$ と表記するが、ここでは、式 A-2 で Δf と表記するため、 hf と表記する。

$$\langle i_n^2 \rangle = 2qI\Delta f \quad (\text{A-6})$$

このように表すことができる [A-8]。ここで q は電子の電荷、 I は電流である。ショットキー障壁に対する荷電粒子の注入量が小さい時は、自乗平均雑音電流の合計は、フリッカ雑音を除くと

$$\langle i_n^2 \rangle = 4kTG\Delta f - 2qI\Delta f \quad (\text{A-7})$$

となる。ここでコンダクタンス G は Shockley の式より

$$G = \frac{\partial I}{\partial V} = \frac{\partial}{\partial V} \left[I \left(\exp \left(\frac{qV}{kT} \right) - 1 \right) \right] = \frac{qI}{kT} \exp \left(\frac{qV}{kT} \right) \quad (\text{A-8})$$

従って

$$\langle i_n^2 \rangle = 2qI \left(\exp \left(\frac{qV}{kT} \right) + 1 \right) \Delta f \quad (\text{A-9})$$

となり、電流値に比例することが分かる。

A.1.3 ドレインコンダクタンス周波数分散起因雑音

ドレインコンダクタンスが周波数分散特性を示すと、ジッタなどのノイズの原因となる。また、本研究の結果、フリッカ雑音との関連があることも明らかになった。このドレインコンダクタンス周波数分散は、3.2 で述べたように、インパクトイオン化により生成されたホールがチャネルのソース部に蓄積すること、またドレイン電流とドレイン電圧の関係におけるキンクに関連があると考えられている。本研究では、このホール蓄積に着目してその蓄積を、アロイオーム性電極によりホール障壁を除去することでドレインコンダクタンス周波数分散が抑制されていることを明らかにした。このことから、ドレインコンダクタンス周波数分散がホールの蓄積に関連があることが示されたといえる。また、このホール障壁除去によりフリッカ雑音が低減されることも明らかになった。

A.1.4 フリッカ(1/f)雑音

1926 年に W. Schottky によってフリッカ効果について述べられている [A-9] が、そのメカニズムは明らかになっていない。その雑音電流スペクトラムはほぼ周波数に反比例することから $1/f$ 雑音とも呼ばれる。このようにメカニズムが明らかになっていないため経験的に次のように表される。

$$\langle i_n^2 \rangle = \frac{K}{f^n} \Delta f \quad (\text{A-10})$$

K は経験的なパラメータでデバイスによって固有の値である。また、バイアス状態にも依存する。 n は 1 に近い値である [A-10]。

このフリッカ雑音の起源として、キャリアの生成再結合があげられる。特に、MOS FET ではデバイスに界面が多いためフリッカ雑音が大きいが、1966 年に C. T. Sah、F. H. Hielscher らによって最初に MOS FET の半導体と酸化膜の表面界面準位によるキャリアの生成再結合がフリッカ雑音の起源であることが示されている [A-11]。

MOSFET のドレイン雑音電流は次のように表すことができる [A-7]。

$$\langle i_n^2 \rangle = \frac{K}{f} \frac{g_m^2}{WLC_{ox}^2} \Delta f \quad (\text{A-11})$$

K は前述のようにデバイス固有の値であるが、プロセスによって、ロットによっても変化する値である。一般的に同じウエハ内では、pMOS デバイスの方が nMOS デバイスよりも小さい値を示す。

A.1.5 生成再結合雑音

A.1.4 で述べたように [A-11]生成再結合雑音は、フリッカ雑音と関連があると考えられている。1966 年には、L.D. Yau、C.T. Sah ら [A-12]によって生成再結合雑音電流が以下のような Lorentzian で表されることが報告されている。

$$\langle i_n^2 \rangle = \frac{A\tau_T}{1 + \omega^2\tau_T^2} \Delta f \quad (\text{A-12})$$

A は定数、 τ_T は発生したキャリアが指数関数的に単調減少する際の時定数で次のように表すことができる [A-13]。

$$\tau_T = (c_n N + e_n + c_p P + e_p)^{-1} \quad (\text{A-13})$$

c_n, c_p は定数でそれぞれ電子、ホールの capture 係数[cm³/s]、 e_n, e_p は定数でそれぞれ電子、ホールの emission rate [1/s]、 N, P はそれぞれ電子、ホールの空乏層内の濃度[1/cm³]である。ここでの capture は、

電子あるいはホールによって満たされていない 1 準位の defect center による電子あるいはホールを capture する時間を表す。また、emission は電子あるいはホールによって満たされている 1 準位の defect center による電子あるいはホールを emission する時間を表す。

A.2 接触抵抗値

電極材の接触抵抗値の測定は、その値に応じて二つの評価方法がある。また、電極材の接触抵抗値は、比接触抵抗(specific contact resistivity)[Ωcm^2]を用いるが、抵抗率(resistivity)[Ωmm]を用いる場合もある。ここでは、前者を ρ_c 、後者を ρ_c^* と表し、これらの違い、その評価方法について以下に述べる。

要点としては、比接触抵抗値 $10^{-7} \Omega\text{cm}^2$ 以下の場合には A.2.2 の 4 端子 (four-terminal resistor)(ケルビン(Kelvin)) 抵抗法、それ以上の場合には、A.2.3 TLM(Transmission Line Model)法が用いられる [A-14]。また、電極材直下の膜抵抗値とチャネル領域の膜抵抗値が異なる場合、また、その違いの影響を受けない接触抵抗値を表すのが、[Ωmm]による表示方法である。電極材直下の膜抵抗値とチャネル領域の膜抵抗値が等しいと仮定した場合には、[Ωcm^2]を求めることができる。この値は、どちらも TLM 法を用いて求められるが、まず TLM 法によって[Ωmm]としての接触抵抗値とチャネル領域の膜抵抗が求められ、この膜抵抗値と電極直下の膜抵抗値が等しいと仮定した場合に、この二つの値から[Ωcm^2]としての電極材の“接触抵抗値”が求められる。この TLM 法にも矩形パターン、円形パターンを用いた方法があり、それぞれの使い分けについて後述する。また、電極パターンの設計にもトランスファー長 [A-14]の考慮が重要であり、接触抵抗値の測定限界がデバイスの膜抵抗、パターンによって決まるため測定時に後述のように留意が必要である。

A.2.1 比接触抵抗値 ρ_c

比接触抵抗値は、電極の形状によらない値で、単位面積当たりの接触抵抗値として次のように表される。

$$\rho_c = \frac{\partial V}{\partial J} \bigg|_{V=0} \left[\frac{V}{A/\text{cm}^2} \right] = \frac{\partial V}{\partial J} \bigg|_{V=0} [\Omega\text{cm}^2] \quad (\text{A-14})$$

ここで V は電極に印加される電圧、 J は電極を流れる電流を表す。比接触抵抗値 $10^{-7} \Omega\text{cm}^2$ 以下の値を求める際は 4 端子 (four-terminal resistor)(ケルビン(Kelvin)) 抵抗法、それ以上の値を求める際には TLM(Transmission Line Model)法が用いられる [A-14]。特に前者は、Si に対する非接触抵抗値を求める

際、後者は化合物半導体に対する非接触抵抗値を求める際に用いられる。また、この TLM 法において、矩形パターンを用いる手法、円形パターンを用いる方法がある [A-15]。矩形パターンでは、電極端における電流の回り込みの影響を受けるので、メサ構造などにより不要な回り込み電流経路を抑制する必要がある。一方、円形パターンは回り込み電流の影響を受けないため、不純物拡散法やイオン注入によりチャネル領域を形成するなどのプロセス技術などの技術が確立していない半導体に有効な手法である。但し、この手法を用いる際、円形パターンの半径が有限であることから生じる測定精度に対して留意する必要があり、円形パターンの半径が、半導体の膜抵抗を考慮して、後述するトランスファー長(L_T)よりも十分長い値(4 倍よりも長い)である形状を用いることが必要である。

A.2.2 Four-terminal (Kelvin) resistor 法

この手法は、イオン注入などによりチャネル領域を形成するなどのプロセスを用い、接触抵抗値 $10^{-7} \Omega\text{cm}^2$ 以下の値を測定する際に用いる手法で、主に Si の集積デバイスの電極接触抵抗値測定時に用いる手法である。図 A-1 に示すようなパターンを用いて評価を行う。点線部分が金属等による電極材のパターン、グレーの塗りつぶし部はイオン注入などによる高濃度に不純物をドーピングしたチャネル領域(1 辺 d の正方形)、斜線部でコンタクト部とチャネル部が接合している。電極 1,3 で定電流を流し。電極 2,4 で電圧降下量を測定することで

$$\rho_c = \frac{V d^2}{I} [\Omega\text{cm}^2] \quad (\text{A-15})$$

により求めることができる。 $d=1 \mu\text{m}$ とすると接合面積は 10^{-8}cm^2 となり、抵抗値 Ω が 1 桁程度の精度で評価ができれば $10^{-8} \Omega\text{cm}^2$ まで評価することは可能である。この測定を接合面積の異なるパターンで評価を行い、統計処理を施すことで高精度な評価を行うことが可能である [A-15]。

A.2.3 TLM(Transmission Line Model)法

(1) 矩形パターン

矩形電極パターンを用いる TLM 法では、図 A-2 に示すような幅 W 、長さ L 、間隔 d の電極を用いて評価を行う。この電極パターンはリフトオフ法によって形成されるため、最小電極間隔は $2 \mu\text{m}$ 程度であるので、

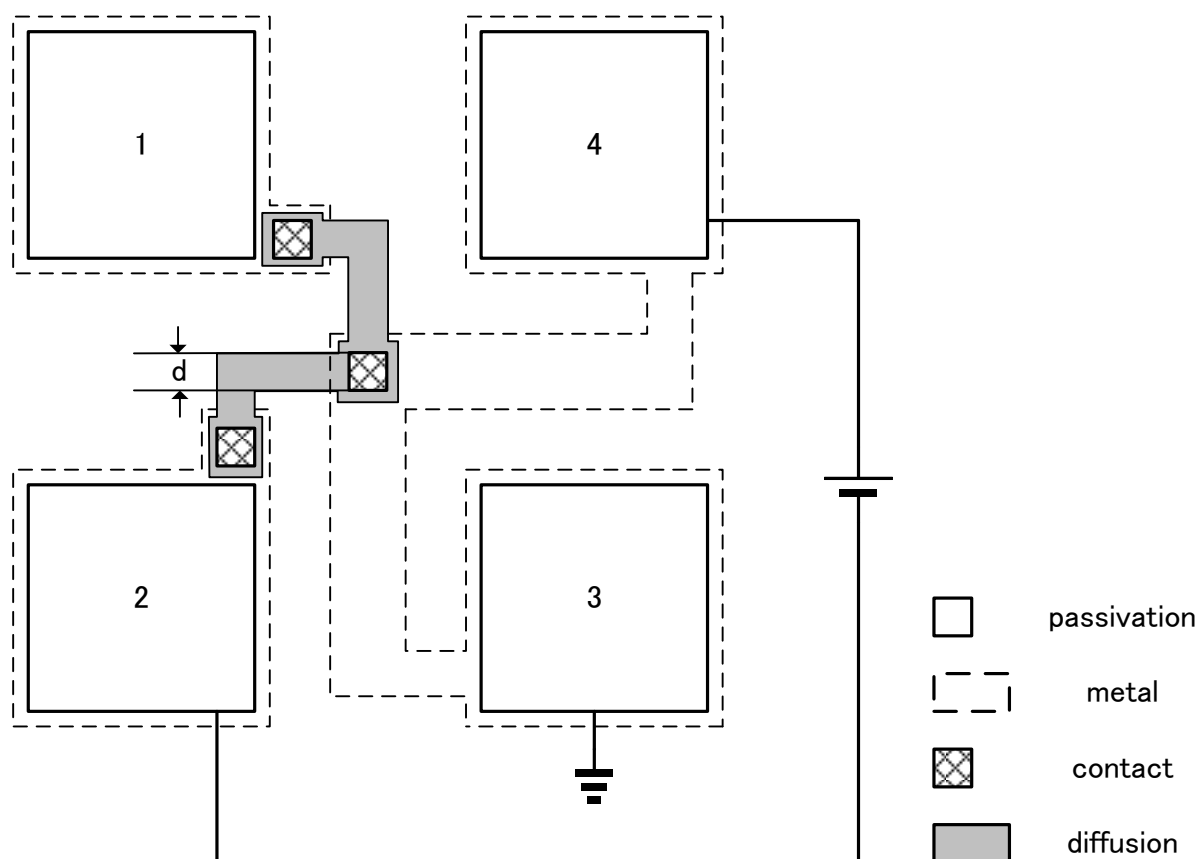


図 A-1 Four-terminal resistor 法による比接触抵抗値評価

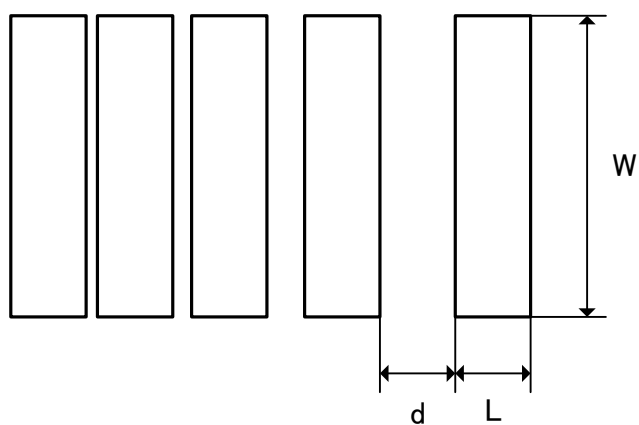


図 A-2 TLM 法に用いる矩形パターン

間隔 2, 4, 8, 16, 24 μm などのパターンを作成し、2 電極間に定電流を流し、電圧降下量を測定することで 2 端子間の抵抗値を測定する。この 2 端子間の抵抗値を $R_T \Omega$ 、接触抵抗値 $R_c^* \Omega$ 、チャネル領域のシート抵抗値 $R_s \Omega/\text{square}$ とすると

$$R_T = R_S \frac{d}{W} + 2R_C^* \quad (\text{A-16})$$

と表すことができる。この抵抗値を各電極間隔のパターンで測定し図 A-3 のようにプロットする。測定値から外捜して $d=0$ における抵抗値が接触抵抗値 R_C^* となる。また $R_T=0$ となる d の絶対値は、図 A-4 (b)に示すトランスファー長(transfer length, L_T)と呼ばれる。これは、電流の電極への侵入長である。図 A-4(a)に示す等価回路のような伝送線路モデルに基づきキルヒホフの法則により、接触抵抗値 R_C^* は次のように表すことができる [A-14]。

$$R_C^* = \left(\frac{R_{SC} L_T}{W} \right) \coth \left(\frac{L}{L_T} \right) \quad (\text{A-17})$$

ここで、 R_{SC} は図 A-4 (a)に示すように電極材直下のチャネル領域の膜抵抗、電極材がない部分の膜抵抗値を R_S とする。ここで L が $L \gg L_T (L > 3L_T)$ であれば

$$R_C^* = \frac{R_{SC} L_T}{W} \quad (\text{A-18})$$

となる。また L_T は次のように表すことができる [A-14]。(実際の測定では R_{SC} を直接求めることができないので R_{SC} が R_S に等しいと仮定して求める [A-14])

$$L_T = \sqrt{\frac{\rho_c}{R_{SC}}} \quad (\text{A-19})$$

従って

$$R_T W = R_S d + 2L_T R_{SC} \quad (\text{A-20})$$

となる。従って y 切片は $d=0$ の抵抗値であるので 2 か所の接触抵抗値 $2R_C$ と等しいので、

$$R_C = R_{SC} L_T \quad (\text{A-21})$$

と表すことができる。ここでの単位は Ωmm であることに注意が必要である。

R_{SC} と R_S が等しいと仮定すると

$$R_T W = R_S (d + 2L_T) \quad (\text{A-22})$$

となり、 x 切片から $2L_T$ が求められる。この値から比接触抵抗値 ρ_c を次の式より求めることができる。

$$\rho_c = L_T^2 R_{SC} = \left(\frac{R_C}{R_{SC}} \right)^2 R_{SC} = \frac{R_C^2}{R_{SC}} \quad (\text{A-23})$$

ここで R_{SC} と R_S が等しいと仮定して R_S 値を用いて比接触抵抗値を求めることができる。

しかし、 R_{SC} と R_S が異なる場合があるため、単位が Ωmm である上記 R_C を用いる場合がある。つまり、比接触抵抗値 ρ_c は R_{SC} を求めることができなければ正確には評価できないということになる。また、比接触抵抗値 ρ_c は R_{SC} と R_S が等しいという仮定の下で求められているという点に留意が必要である。

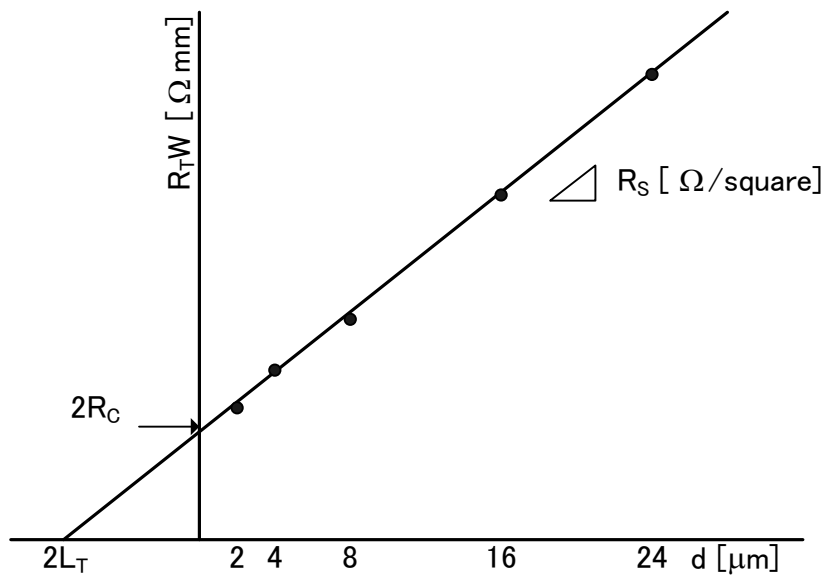


図 A-3 TLM 法による R_T のプロットと比接触抵抗値

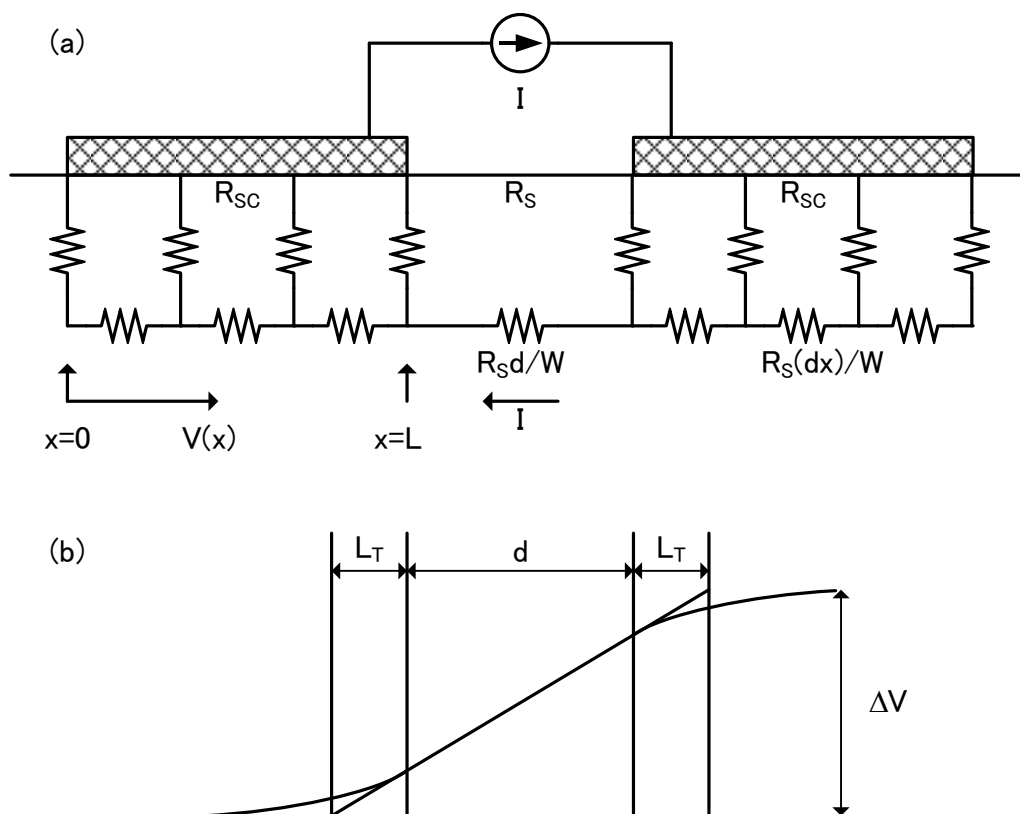


図 A-4 TLM 法における矩形電極とトランスファー長(a)電極の断面図(b)電圧降下量

(2) 円形パターン

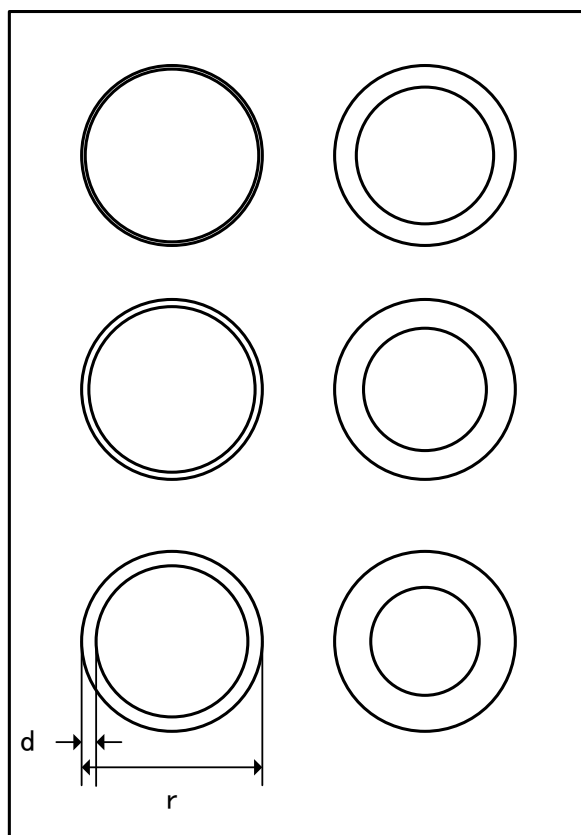


図 A-5 TLM 法に用いる円形パターン

A.2.1 で述べたように、エピタキシャル基板を用いて電極材の研究を行うような場合には、円形パターンを用いて TLM 法により接触抵抗値を求める手法が有効である。図 A-5 に TLM 法に用いられる円形パターンを示す [A-15]。この円形パターンは外径 r が一定で内部にある円形電極の半径を変えることで電極間隔 d を変える。また r が $r \gg L_T (L > 4L_T)$ となる形状であることが必要である。ここで円形パターンにおいても矩形パターンと同様に円筒座標系において伝送線路モデルを適用し、

$$\frac{\partial^2 V}{\partial x^2} + \frac{1}{r} \frac{\partial V}{\partial r} - \frac{V}{L_T^2} = 0 \quad (\text{A-24})$$

を R_{sc} と R_s が等しいと仮定して解くと

$$R_T \cong \frac{R_s}{2\pi} \left[\ln \frac{r}{r-d} + L_T \left(\frac{r}{r-d} + \frac{1}{r} \right) \right] \quad (\text{A-25})$$

となる。ここで第一項は、半導体チャネル領域の膜抵抗を表し、第二項が内部の円形電極と外側電極の接触抵抗値の和を表している。従って矩形パターンの時と同様に R_T を電極間隔 d に対してプロットした結果にたして上記式によりフィッティングを行うことで傾きから R_s 、 x 切片からトランスファー長を求めることで比接触抵抗値を求めることができる。

また、 $2\pi r > d$ として幅 $Z=2\pi r$ 、間隔 d の矩形パターンとみなし最小自乗法により式 A-22 と同様に、次の式でフィッティングすることで比接触抵抗値と膜抵抗値を求めることもできる。

$$R_T = \frac{R_s}{Z} (d + 2L_T) \quad (\text{A-26})$$

但し、この手法では、真の接触抵抗値に対して 2 分の 1 に過小評価する可能性があることに留意した上で用いることが必要である。

また、評価において次の点にも留意が必要である。それは、膜抵抗 R_s が高く R_T に占める割合が 95% を超えると、比接触抵抗値の測定精度が低下する点である。つまり、膜抵抗が高いと比接触抵抗値の測定限界比接触抵抗値が増大するということである。前述の R_T と膜抵抗 R_s の値を求め、その比率を確認することが必要である。

A.2.4 抵抗率 ρ_c^*

OA.2.3-(1) で述べたように接触抵抗値を抵抗率の単位である $[\Omega \text{mm}]$ で表すことがある。これは、電極材直下の膜抵抗 R_{sc} と半導体チャネル領域の膜抵抗 R_s が異なる場合に用いる。このように図 A-3 の y 切片で

ある接触抵抗値 $R_c[\Omega\text{mm}]$ を用いることで電極材直下の膜抵抗の値 R_{sc} によらず、電極材の接触抵抗値 ρ_c^* を $R_c[\Omega\text{mm}]$ として表すことができる。

また、抵抗率として表すということは、接触抵抗値が、幅 1 mm 当たりの抵抗率(デバイスであればゲート幅 1 mm 当たり)として扱うことができる。また、電極材直下の膜抵抗 R_{sc} と半導体チャネル領域の膜抵抗 R_s が等しい場合には、比接触抵抗率 ρ_c を用いて次のように表すことができる。

$$\rho_c^* [\Omega\text{mm}] = \sqrt{\rho_c [\Omega\text{cm}^2] R_s [\Omega/\text{square}]} \quad (\text{A-27})$$

ここで $R_s[\Omega/\text{square}]$ は膜抵抗。実際には前述のように TLM 法により膜抵抗を求め、 R_{sc} と R_s が等しいという仮定の下に ρ_c を求めているため、 ρ_c が求められている場合には、常に式 A-27 より抵抗率で接触抵抗値 ρ_c^* を求めることができる。

参考として、接触抵抗値を抵抗値の単位 $R_c[\Omega]$ とすると次のように表される。

$$R_c [\Omega] = \frac{\rho_c [\Omega\text{cm}^2]}{A [\text{cm}^2]} \quad (\text{A-28})$$

ここで、 A は電極材の面積である。つまりこの接触抵抗値 Ω は、電極材の形状によって異なる値をとるという。

A.3 半導体デバイスの遮断周波数

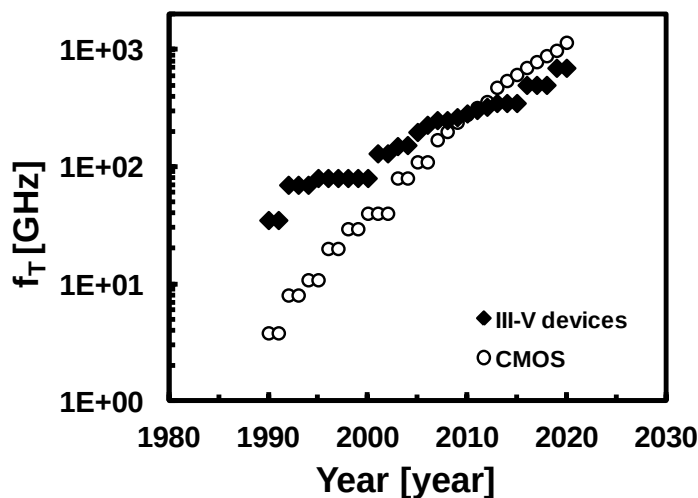


図 1-6 半導体デバイスの遮断周波数 f_T

表 A-1 III-V device の参考文献

年	参考文献
1990-2000	[A-16]
2001-2002	[A-17]
2003-2006	[A-18]
2007-2008	[A-19]
2009-2012	[A-20]
2013-2020	[A-21]

表 A-2 CMOS device の参考文献

年	参考文献
1990-2002	[A-16]
2003-2006	[A-22]
2007-2012	[A-23]
2013-2020	[A-24]

A.4 2000 年代の CMOS, III-V 半導体の $NF_{\min}$

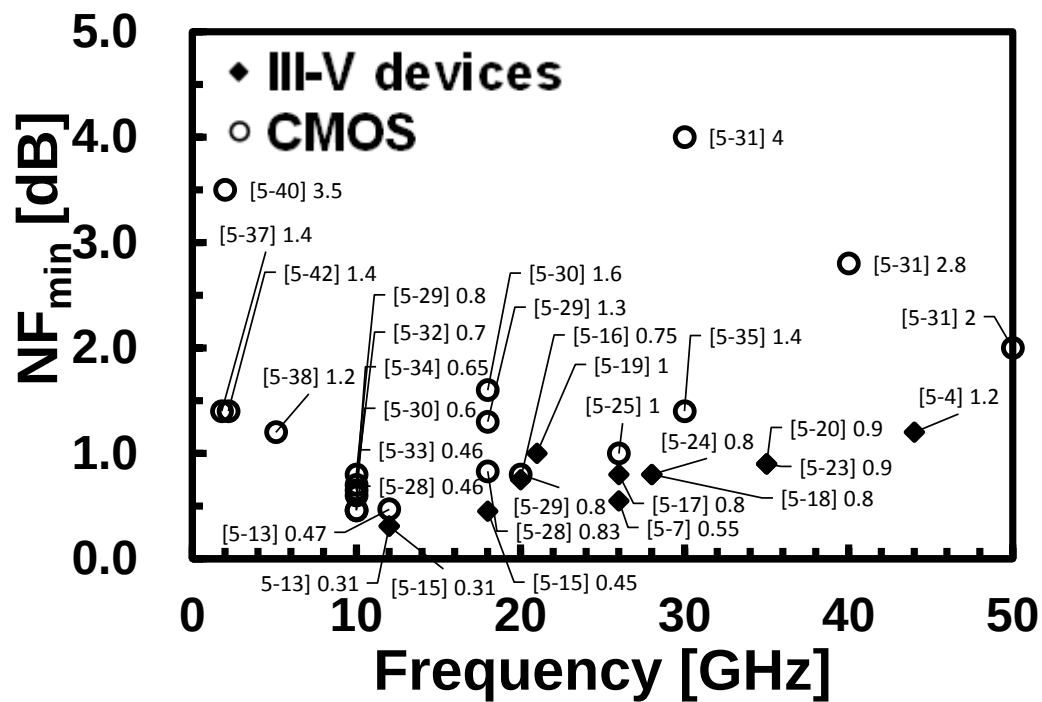


図 A-6 2000 年代の CMOS, III-V 半導体の $NF_{\min}$ (図 1-9 の再掲)

A.5 トランジスタ 1 ゲート当たりのコスト

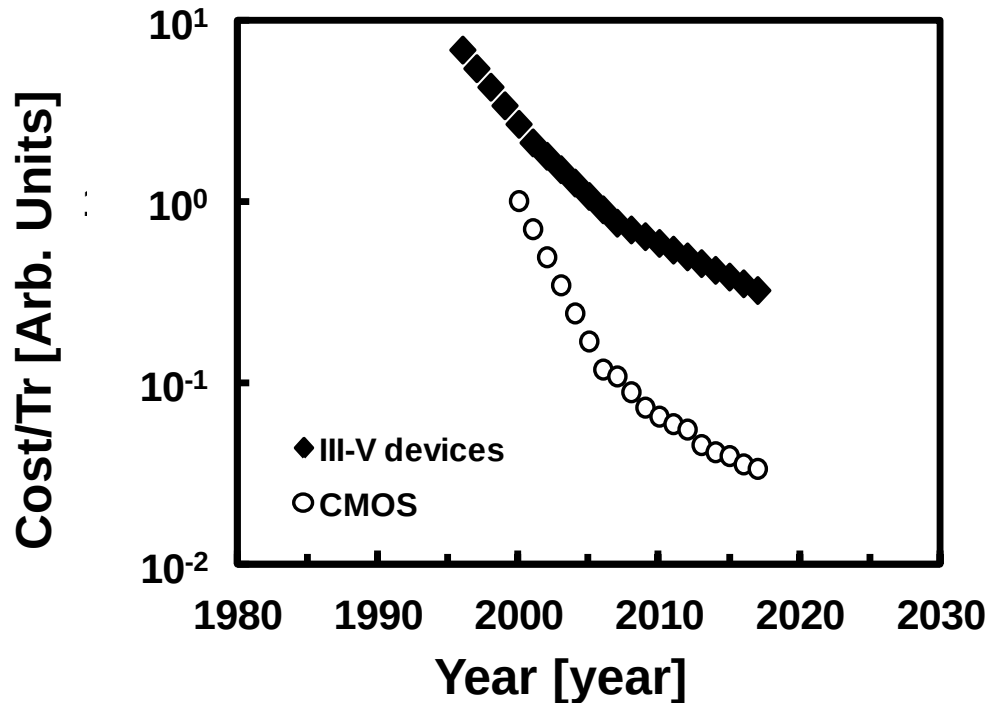


図 1-11 トランジスタ 1 ゲート当たりのコスト

III-V 半導体のコストの見積もりは、ウエハコストとプロセスコストから見積もった [A-28]。ウエハコストについては、2001 年以前は-10%/year [A-25]、2001 年以降は-3%/year [A-26]で変化している。プロセスコストは、2001 年まで-25%/year、2001 年から 2007 年は-20%、2007 年以降は-15%/year として見積もった [A-27]。ここでのプロセスコストは人件費、原料、プロセス機器のメンテナンス、固定資産の減価償却費、ウエハの処理枚数、歩留まりを考慮したコストである [A-28]。

CMOS のトランジスタ 1 ゲートあたりのコストは 2005 年以前において-30%/year [A-27]、2006 年以降はテクノロジーの微細化とともに上記グラフのように変化している [A-29]。

上記グラフは 2000 年の CMOS トランジスタのコストで規格化したものである。

A.6 集積度

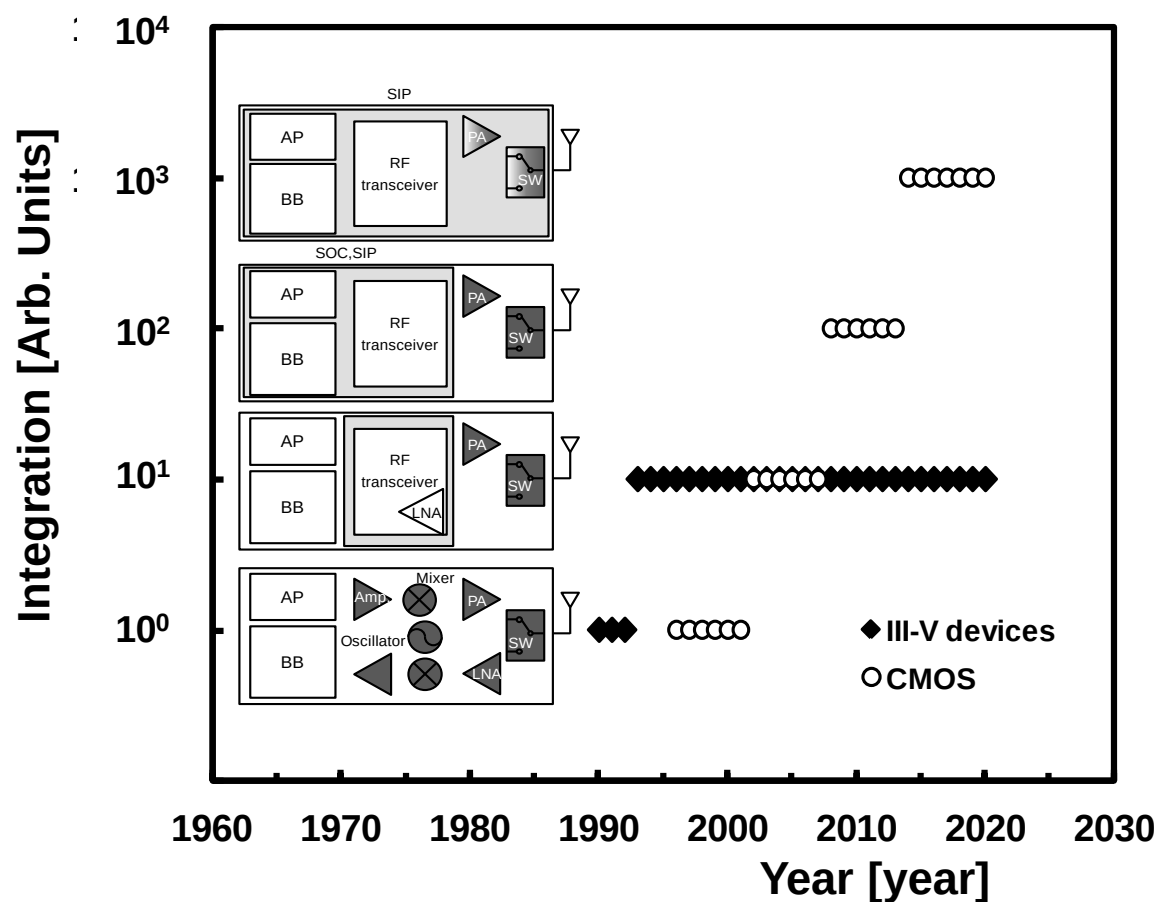


図 1-14 集積度

1990 年からの集積度の参考文献を表 A-3 に示した。

表 A-3 III-V 半導体、CMOS の集積度

集積度	III-V 半導体		CMOS	
	年	参考文献	年	参考文献
10^0	-	-	1996	[A-32]
10^1	1993	[A-30] [A-31]	2002	[A-33]
10^2	-	-	2008	[A-34]
10^3	-	-	2014	[A-35]

A.7 $NF_{\min}$

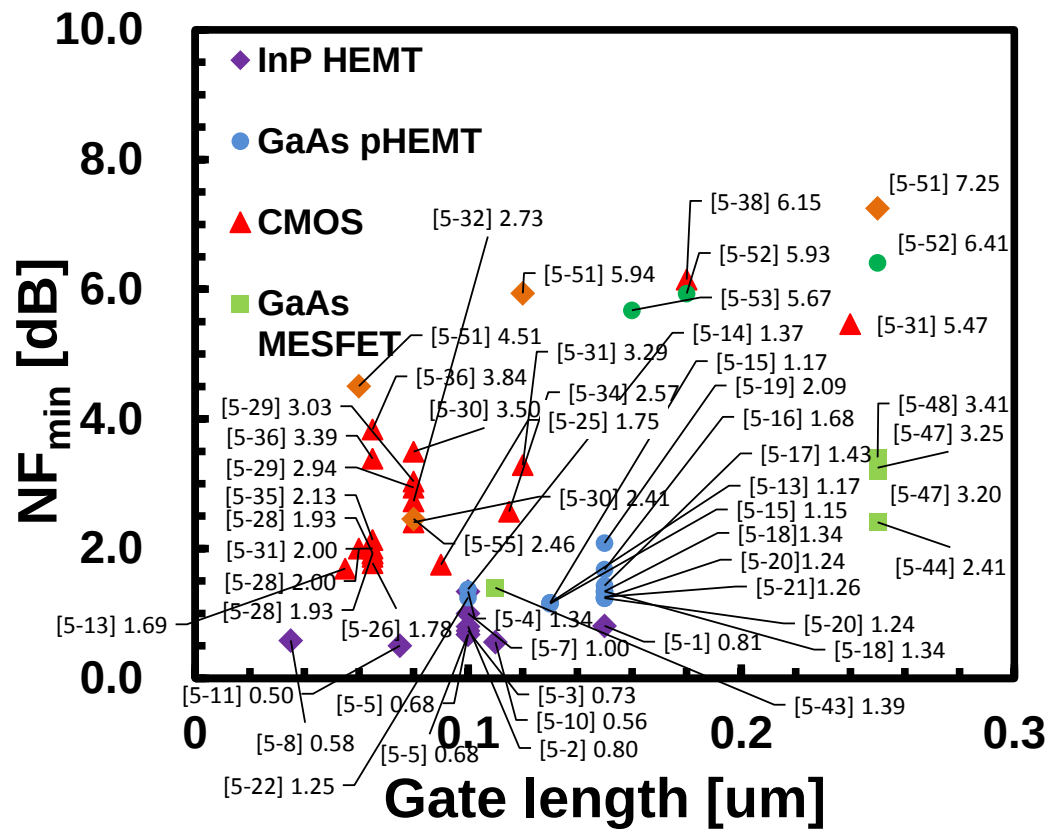


図 A-7 50 GHz における $NF_{\min}$ とゲート長の関係(図 5-1 の再掲)

参考文献

- [A-1] A. Hajimiri and T. Lee, The Design of Low Noise Oscillators, Boston: Kluwer Academic Publishers, 1999.
- [A-2] J. B. Johnson, "Thermal Agitation of Electricity in Conductors," Nature, vol. 119, pp.50–51, 1927.
- [A-3] H. Nyquist, "Thermal Agitation of Electric Charge in Conductors," Phys. Rev., vol. 32, pp.110–113, 1928.
- [A-4] C. Kittel and H. Kroemer, Thermal Physics, 2nd ed. New York: W. H. Freeman and Company, 2000.
- [A-5] A. Van der Ziel, "Thermal noise in field effect transistor," Proc IRE, vol. 50, pp.1808–1812, Aug. 1962.
- [A-6] A. Van der Ziel, "Gate noise in field effect transistors at moderately high frequencies," Proc. IRE, vol. 51, pp.461–467, Mar. 1963.
- [A-7] T. H. Lee, The Design of CMOS Radio-Frequency Integrated Circuits, 2nd ed New York: Cambridge University Press, 2004.
- [A-8] S. M. Sze, Physics of semiconductor devices, 2nd ed. New York: John Wiley & Sons, Inc. 1981.
- [A-9] W. Schottky, "Small-shot effect and flicker effect," Phys. Rev., vol.28, pp.74–103, 1926.
- [A-10] A. Van der Ziel, "Unified presentation of $1/f$ noise in electronic devices: Fundamental $1/f$ noise sources," Proc. Of the IEEE, vol. 76, no. 3, pp.233–258, 1988.
- [A-11] C. T. Sah and F. H. Hielscher, "Evidence of the surface origin of the $1/f$ noise," Phys. Rev. Lett., vol. 17, pp.956–958, October 31, 1966.
- [A-12] L. D. Yau and C. T. Sah, "Theory and experiments of low frequency generation-recombination noise in MOS transistors," IEEE Trans. Electron Devices, vol. ED-16, pp.170–177 1969.
- [A-13] C. T. Sah "The equivalent circuit model in solid state electronics, pts. I and II," Proc. IEEE, vol. 55, pp.654–684 1967.
- [A-14] S. S. Cohen and G. S. Gildenbalt, VLSI Electronics Microstructure Science, vol. 13, "Metal-semiconductor contacts and devices," Chap. 4, London: Academic Press, Inc. 1986.
- [A-15] G. S. Mallow and M. B. Das, "The effects of contact size and non-zero metal resistance on the determination of specific contact resistance," Solid State Electron., vol. 25, no. 2, pp.91–94, 1982.

- [A-16] http://www.eetimes.com/document.asp?doc_id=1277248 Fig.5.
- [A-17] http://www.avusergroups.org/tfug_pdfs/TFUG_04_2002_URen.pdf.
- [A-18] ITRS2004 RF and Analog/Mixed-signal Technologies for Wireless Communications Table 54a.
- [A-19] ITRS2007 RF and Analog/Mixed-signal Technologies for Wireless Communications Table RFAMS2a.
- [A-20] ITRS2009 RF and Analog/Mixed-signal Technologies for Wireless Communications Table RFAMS2.
- [A-21] ITRS2013 RF and Analog/Mixed-signal Technologies for Wireless Communications Table RFAMS3.
- [A-22] http://iccd.et.tudelft.nl/2007/ICCD_2007_Keynote_TomLee_CMOS-RF.pdf.
- [A-23] ITRS2007 RF and Analog/Mixed-signal Technologies for Wireless Communications Table RFAMS1a.
- [A-24] ITRS2013 RF and Analog/Mixed-signal Technologies for Wireless Communications Table RFAMS1.
- [A-25] http://www.meti.go.jp/policy/nonferrous_metal/strategy/semiconductor04.pdf.
- [A-26] http://www.imicronews.com/upload/Rapports/Yole_GaAs_Wafer_Market_and_Applications_April_2012_Sample.pdf.
- [A-27] 2010 EDA Tech Forum Mentor Graphics,
<https://www.semiconportal.com/archive/editorial/technology/design/100908-mentor.html>.
- [A-28] M. Wilson "GaAs and SiGeC BiCMOS cost comparison—Is SiGeC always cheaper?", Proc. IEEE 2003 Int. Conf. Compound Semiconductor Manufacturing Technology, 2003.
- [A-29] International Trade Partner Conference 2011 Nvidia
<http://www.extremetech.com/computing/123529-nvidia-deeply-unhappy-with-tsmc-claims-22nm-essentially-worthless>.
- [A-30] L. M. Devlin, B. J. Buck, J. C. Clifton, A. W. Dearn and A. P. Long "A 2.4 GHz single chip transceiver", IEEE Microw. Millimeter-Wave Monolithic Circuits Symp. Dig., pp.23 -26 1993.
- [A-31] D. A. Williams "A Frequency Hopping Microwave Radio System for Local Area Network Communications", 1993 IEEE MTT-S International Microwave Symposium Digest, vol. 2, pp.685 -690.
- [A-32] www.amd.com.

- [A-33] D. Su, et al., "A 5 GHz CMOS transceiver for IEEE 802.11a wireless LAN", IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.92 2002.
- [A-34] L. Nathawad "A dual-band CMOS MIMO radio SoC for IEEE 802.11n wireless LAN", IEEE ISSCC Dig. Tech. Papers, pp.358 -359 2008.
- [A-35] www.qualcomm.com.