

論文 / 著書情報
Article / Book Information

論題(和文)	Self-Aligned Quadruple Patterningのための配線パターンの効率的な生成手法
Title(English)	Effective Routing Pattern Generation Method for Self-Aligned Quadruple Patterning
著者(和文)	井原岳志, 本江俊幸, 高橋篤司
Authors(English)	Takeshi Ihara, Toshiyuki Hongo, Atsushi Takahashi
出典(和文)	DAシンポジウム2015 論文集, 情報処理学会シンポジウムシリーズ, Vol. 2015, , pp. 125-130
Citation(English)	Proc. DA Symposium 2015, IPSJ Symposium Series, Vol. 2015, , pp. 125-130
発行日 / Pub. date	2015, 8
権利情報 / Copyright	<p>ここに掲載した著作物の利用に関する注意: 本著作物の著作権は(社)情報処理学会に帰属します。本著作物は著作権者である情報処理学会の許可のもとに掲載するものです。ご利用に当たっては「著作権法」ならびに「情報処理学会倫理綱領」に従うことをお願いいたします。</p> <p>The copyright of this material is retained by the Information Processing Society of Japan (IPSJ). This material is published on this web site with the agreement of the author (s) and the IPSJ. Please be complied with Copyright Law of Japan and the Code of Ethics of the IPSJ if any users wish to reproduce, make derivative work, distribute or make available to the public any part or whole thereof.</p>

Self-Aligned Quadruple Patterningのための 配線パターンの効率的な生成手法

井原 岳志^{1,a)} 本江 俊幸^{1,b)} 高橋 篤司^{1,c)}

概要 : Self-Aligned Quadruple Patterning(SAQP) は 14nm ノードにおける有望な製造技術である。SAQP のための様々な配線アルゴリズムが提案されているが、高密度な SAQP のための配線パターンを効率的に生成することは容易ではない。SAQP のための配線パターンを効率的に生成するために部分的に色が塗られたグリッドが提案されているが、そのグリッド上で許容できる配線パターンを見つけることは容易でない。グリッド上の SAQP の配線パターンは 3 つの種類の配線から構成される。その中で、3 つ目のタイプの配線は折れ曲がり制約を持つ。一般的な幅優先探索アルゴリズムでは、領域が混雑すると、許容できる配線を見つけるのにたびたび失敗する。本稿では、探索において終端ピンの周りに禁止グリッドを設けることで、折れ曲がり制約を満たした配線パターンの生成の失敗を抑制する配線アルゴリズムを提案する。実験によって、効率よく SAQP のための配線パターンが得られていることを示した。

1. はじめに

ウェハー上に複数回に分けてパターンを形成するマルチプルパターニングは、Arf 液浸リソグラフィにおける有望な製造技術として研究されている。

14 nm ノードのパターンを作るために、トリプルパターニングリソグラフィ (TPL) は近年注目されている。TPL の製造プロセスとして、Litho-Etch プロセスを 3 回行う LELELE [1], [2], [3], 3 枚目のマスクをパターンをカットするために使う LELE CUT [4], [5], [6] が研究においてよく議論されている。しかしながら、実際には重ね合わせエラーのため TPL によって微細なピッチを実現するのは容易でない。

一方、側壁マルチプルパターニングはプロセスの変動の影響を抑えつつ微細なピッチを実現することが期待されている。側壁マルチプルパターニングは、スリミングと側壁プロセスによって微細なピッチを実現する技術である。1 枚のパターンマスクしか使わないため、パターンマスク間のずれは存在しない。側壁マルチプルパターニングにおいて、側壁プロセスを 1 回のみ行う手法は側壁ダブルパターニング (SADP) [7], [8] と呼ばれ、2 回行う手法は側壁クアドラプルパターニング (SAQP) [9] と呼ばれる。SADP と SAQP で実現されるピッチはそれぞれシングルパターニングの半分と 1/4 になる。

SAQP は 14nm ノードにおける有望な製造技術であるが、ウェハー上に生成されるパターンの自由度はとて制限される。SADP に対する 2 次元ターゲットパターンを生成するための手法が提案されている [10], [11], [12], [13]。しかし、SAQP ではさらに厳しい制約のもとでパターンを生成しなければならない。SAQP において、レイアウトは 1 次、2 次、3 次パターンに分けられる [10], [14]。3 次パターンの幅は一定でループ構造を持つ。よって、3 次パターンで一般的な木構造を持つターゲットパターンを製造するとき、基本的にトリミングプロセスが要求される。

SAQP によってウェハー上に 2 次元ターゲットパターンを生成するために、SAQP のための配線パターン生成手法が [10], [13], [14], [15], [16] において議論されている。[14] において、SAQP のレイアウトの原則が議論されている。[15] において、トリムマスクを定義した SAQP における自由度の高い配線パターン生成手法が提案されている。[10], [13] において、複雑な制約を考慮しない SAQP のための配線パターンを生成するための部分的に色が塗られた規則的なグリッドが提案された。このグリッドは、複雑で規則的な配線パターンを効率的に生成することを助ける。グリッドの規則性の恩恵により、接続要求は効率的に実現される。しかしながら、3 次パターンはグリッド上で折れ曲がり制約を満たさなければならない。折れ曲がり制約を満たした最短路の探索は容易ではない [17]。この探索は一般に NP 困難であることが示されている [18]。たとえ経路が存在するとしても、一般的な幅優先探索では折れ曲がり制約を満たした許容できる配線を見つけれない可能性がある。一般的な幅優先探索はグリッド上で許容できる配線を見つ

¹ Tokyo Institute of Technology
2-12-1-S3-58 Ookayama, Meguro-ku, Tokyo 152-8550, Japan

a) ihara@eda.ce.titech.ac.jp

b) hongo@eda.ce.titech.ac.jp

c) atsushi@eda.ce.titech.ac.jp

けることにたびたび失敗する。[16]では、3次パターンのための配線手法が提案されているが、制約を満たす経路が存在するとき、必ずしもそれを発見できるわけではない。

本稿では、[10]で提案されているSAQPのためのグリッド上で配線パターンを生成する手法を提案する。提案手法において、1次、2次、3次配線グラフをSAQPにおける1次パターン、2次パターン、3次パターンに対してそれぞれ定義する。1次、2次配線グラフは一般的な配線グラフである。一方で、3次配線グラフに3次パターンの折れ曲がり制約を扱うために特殊性を与える。

3次配線グラフでは、許容できる3次配線パターンを生成するために辺の集合に対する束容量を採用する。3次配線グラフで束容量制約を満たしたパスはグリッド上で3次パターンの折れ曲がり制約を満たす。しかしながら、折れ曲がり制約に従った幅優先探索では、最短パスが折れ曲がり制約を満たすとは限らないので、探索が目的地まで届かない可能性がある。折れ曲がり制約を満たした迂回を持つパスの探索が、折れ曲がり制約を満たさない最短パスの探索によって妨げられる可能性があるためである。提案手法では、可能な限り探索失敗を抑えるために、幅優先探索において終端付近に禁止グリッドを設定する。

提案したSAQPの配線手法では、引き剥がし再配線を用いたA*最短パス探索アルゴリズムが1次、2次、3次配線グラフで配線を生成するために使われる。A*最短パス探索アルゴリズムは3次配線グラフにおいて束容量制約と禁止グリッドを取り扱う。これは、計算時間に大きな影響を与えない。実験によって、効率よくSAQPのための配線パターンが得られているのを示した。

2. 準備

2.1 Self-Aligned Quadruple Patterning プロセス

Self-Aligned Quadruple Patterning(SAQP)は14nm またそれ以上の微細なノードにおける重要な製造技術である [9]。

一般的なSAQPプロセスを図1に示す。最終パターンのピッチが $1P$ でグリッドのピッチが $2P$ である: (a) 光学リソグラフィによってレジストパターンの芯材が形成される。芯材の幅と芯材間の間隔はどちらも $4P$ である。(b) スリミングプロセスによって幅 $2P$ の芯材が得られる。(c) 側壁材を堆積させて芯材のマスキングを行いエッチバックによって幅 $2P$ の1次側壁が形成される。(d) 芯材を取り除いた後、スリミングプロセスによって幅 $1P$ の1次側壁が得られる。(e) 再度、側壁材を堆積させて芯材のマスキングを行いエッチバックによって幅 $1P$ の2次側壁が形成される。(f) 側壁をマスクとして扱い半導体基板のエッチングを行い、その後側壁を取り除く。エッチングされた領域は伝導性物質によって埋められ、幅 $1P$ の最終パターンがトリミングによって形成される。

SAQPにおいて、レイアウトは1次、2次、3次パターンに分割される [10], [14]。LELELEやLELELCUTで許されているステッチはSAQPにおいて許されない。1次

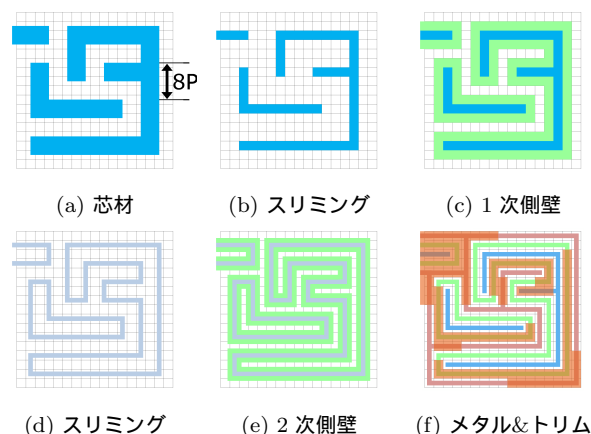


図1 Self-aligned quadruple-patterning (SAQP) Process
(half pitch = $1P$, grid pitch = $2P$)

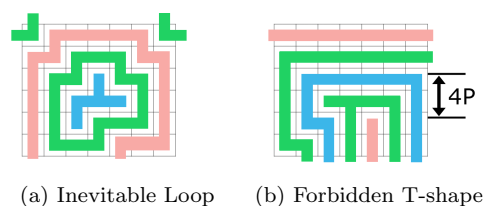


図2 SAQPの3次パターン(緑)

パターンは1回目の露光でウェーハ上に形成される芯材パターンに対応する。2次パターンは1次側壁プロセスによって全ての1次パターンの中に形成される。3次パターンは2次側壁プロセスによって1次パターンと2次パターンの中に形成される。線幅 $1P$ の最終ウェーハイメージが生成されたパターンをトリミングすることによって得られる。1次パターン間と2次パターン間のピッチは $8P$ であるが、3次パターン間のピッチは $4P$ である。

SAQPの3種類のパターンの中で、3次パターンは1次側壁に対応するためいくつかの構造的な制約を持つ。

1つ目は、3次パターンの幅は不変であることである。側壁の幅は堆積させる側壁材の量によって決定され、幅の差はとても小さいが部分的に側壁材の量を制御することは不可能である。

2つ目は、3次パターンは側壁として形成されるためループ構造となる。よって、一般的に木構造を持つSAQPのターゲットパターンを作るために、トリミングプロセスが基本的に要求される。図2(a)で示されているレイアウトパターンで、1次パターン(青)を囲んでいる3次パターン(緑)はループを形成している。

3つ目は、3次パターンはT字構造を持たない。T字構造を持つ3次パターンを作るためには、1次パターン間と2次パターン間のピッチが $4P$ であることが要求される。例えば、図2(b)の3次パターン(緑)はT字構造を含み、1次パターン間の最小ピッチが $4P$ である、これは製造不可能である。同様に、そのようなパターン間の最小ピッチが $4P$ である2次パターンを製造することも不可能である。SAQPの3次パターンは分岐が許されないため、3次パターンのネットが複数のピンを含んでいるとき、ピン間の接続はパス構造として実現される。

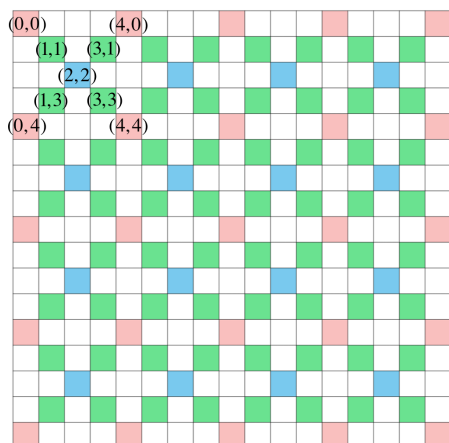


図 3 SAQP のためのベースグリッド

2.2 部分的に色が塗られた 3 色グリッド

レイアウトが与えられたとき、レイアウトを 1 次、2 次、3 次パターンに分割することは容易ではない、またレイアウトが SAQP で実現できるかどうかの特徴付けは容易ではない。SAQP で実現できるレイアウトパターンを得るために、図 3 で示す部分的に色が塗られた 3 色グリッドが提案された [10]。そのグリッドを用いて得られるレイアウトパターンにおいて、1 次、2 次、3 次パターンの幅と間隔は等しい。1 次、2 次、3 次パターンのピッチはそれぞれ 4 グリッド、4 グリッド、2 グリッドである。1 次と 2 次パターンは交互に配置され、3 次パターンはそれらの間に配置される。

ベースグリッド上のグリッドは座標によって青、赤、緑に塗られて、それぞれ SAQP の 1 次、2 次、3 次パターンに対応する。ネットの接続要求はネットの全てのピンが同じ色のグリッドで繋がっているとき満たされる。ネットの接続を実現するためにグリッドに色を割り当てる。しかし、いくつかの制約を満たさなければならない。

ベースグリッド上にはあらかじめ色が塗られているグリッドがある。座標 $(0 \bmod 4, 0 \bmod 4)$, $(2 \bmod 4, 2 \bmod 4)$, $(1 \bmod 2, 1 \bmod 2)$ のグリッドはそれぞれ赤、青、緑にあらかじめ塗られている。また、それぞれを R, B, G と呼ぶ。残りのグリッドを白グリッドと呼ぶ。座標 $(0 \bmod 4, 2 \bmod 4)$, $(2 \bmod 4, 0 \bmod 4)$ の白グリッドは赤か青に塗られる。座標 $(1 \bmod 2, 2 \bmod 4)$, $(2 \bmod 4, 1 \bmod 2)$ の白グリッドは青か緑に塗られる。座標 $(0 \bmod 4, 1 \bmod 2)$, $(1 \bmod 2, 0 \bmod 4)$ の白グリッドは赤か緑に塗られる。

さらに、1 次と 2 次パターンの間に配置される 3 次パターンを生成するために、次の制約を満たさなければならない: 座標 (x, y) と $(x+1, y+1)$ [$x+y \equiv 1 \pmod{4}$] の白グリッドは、少なくともどちらか一方は赤または青に塗られなくてはならない。座標 (x, y) と $(x+1, y-1)$ [$x-y \equiv 1 \pmod{4}$] の白グリッドは、少なくともどちらか一方は赤または青に塗られなくてはならない。これらの制約はベースグリッド上の 3 次パターンの折れ曲がり制約に対応する。

Step 1: Route tertiary nets in increasing order of the size of bounding-box of a net.

Step 2: Route primary and secondary nets in increasing order of the size of bounding-box of a net.

Step 3: Rip-up a net that shares a grid with others, and reroute the net. Repeat it until no grid is shared by nets. Abort repetition if the number of repetitions of trials reaches to the predetermined number or if no route is found for a net.

Step 4: Fill vacant grids by dummy patterns.

図 4 SAQP のための配線アルゴリズム

3. SAQP の配線

3.1 概要

本稿では、与えられた接続要求を実現する SAQP のための配線アルゴリズムを提案する。

提案する配線アルゴリズムは [10] で提案されている部分的に色が塗られている 3 色グリッドを利用する、これは前の節で説明されている。得られるレイアウトパターンは SAQP の 1 次、2 次、3 次パターンで構成される、また 1 次、2 次、3 次パターンの幅と間隔は一定である。

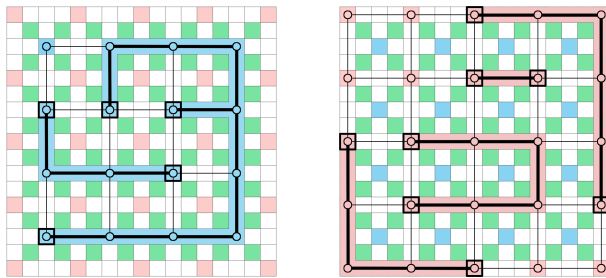
アルゴリズムの入力はベースグリッドの性質を満たしていると想定する。入力は 1 次、2 次、3 次パターンとして生成される 3 種類の接続要求から構成される。これらの要求をそれぞれ 1 次、2 次、3 次ネットと呼ぶ。各ネットの全てのピンはあらかじめ同じ色が塗られたグリッドに配置される。また、3 次パターンは分岐が許されないので、3 ピン以上持つ 3 次ネットはあらかじめ 2 ピンネットに分割されているとする。上述の要求を満たしていない入力は本稿では議論しない。

提案手法では初めに SAQP の 1 次、2 次、3 次ネットのためにそれぞれ 1 次、2 次、3 次配線グラフを定義する。接続要求を実現する配線パターンはそれぞれの配線グラフにおいて引き剥がし再配線を用いた A^* 最短パス探索アルゴリズムを利用して得る。3 つの配線グラフはベースグリッド上のグリッドを共有する。3 次パターンの制約は他のより厳しいので 3 次配線グラフが優先されるものの、3 つの配線グラフが共有するグリッドの競合は引き剥がし再配線を用いて解消する。最後に、[10] で説明されているように配線に使われていないグリッドはダミーを用いて満たす。本稿ではダミーフィルの詳細は省略する。図 4 で提案する SAQP のための配線アルゴリズムの概要を説明する。

3.2 配線グラフ

配線パターンはグリッドに赤、青、緑を割り当てることでベースグリッド上で実現される。接続要求を実現した配線パターンを生成するために、3 つの配線グラフが定義される。

3 つの配線グラフはベースグリッドのグリッドを共有する。提案手法では、配線の探索の間、他のネットの接続に使われているグリッドを配線に用いることを許容する。効率よく配線パターンを見つけるために、配線パターンの探索



(a) 1次 (b) 2次

図 5 配線グラフ

の間、ベースグリッドのそれぞれのグリッドに正の重みが割り当てられ、それらはそれぞれの配線グラフに反映される。配線グラフのそれぞれの点と辺には正の重みが割り当てられる。この重みは配線パターンの探索の間に動的に変化する。

1次配線グラフは以下のように定義される：点はBグリッドに対応し、辺はBグリッドの間の3つの白グリッドに対応する。点と辺の重みは対応しているグリッドに従って定義される。2次配線グラフはRグリッドに関して同様に定義される。1次、2次配線グラフの例が図5(a)と(b)にそれぞれ示されている。図1に示されているレイアウトパターンに対応している配線結果もこれらの図に示されている。

3次配線グラフは3次パターンの制約を取り扱うため1次、2次の配線グラフと異なる構造を持つ。点はGグリッドの間とピンが割り当てられるGグリッドに定義される。

ピンが割り当てられていないそれぞれのGグリッドに関して、辺は白グリッドに対応している隣接している点の間に定義され、折れ曲がり制約に対応した点の組は取り除かれる。ピンが割り当てられてるGグリッドに関して、辺はGグリッドに対応している点と隣接している白グリッドに対応している点同士の間及び隣接している白グリッドに対応している点同士の間で定義される。点と辺の重みはそれぞれ対応している白グリッドとGグリッドに従って定義される。あらかじめ色が塗られたGグリッドに関して、多くとも4本の辺が定義される。3次配線グラフの例が図6に示す。図1で示されているレイアウトパターンに対応する配線結果も同様にこの図に示す。

3.3 3次配線グラフにおける許容できるパスの探索

3次配線グラフは、禁止されている折れ曲がりには含まれないが、無効な3次パターンに対応するパスを含む。3次配線グラフにおける無効なパスの例を図7に示す。これらのパスは3次パターンにT字型を生成する。3次配線グラフにおける無効なパスを禁止するために、Gグリッドに対応する辺の集合に束容量を課す。

3次配線グラフにおける束容量制約

あるGグリッドに対応する辺は、高々1つの辺しか使うことを許さない。

この制約は探索の自由度を制限するが、一般的な最短パ

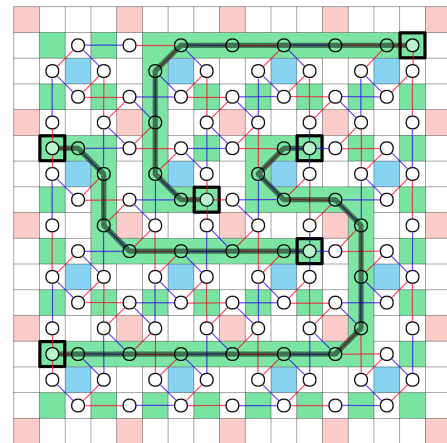
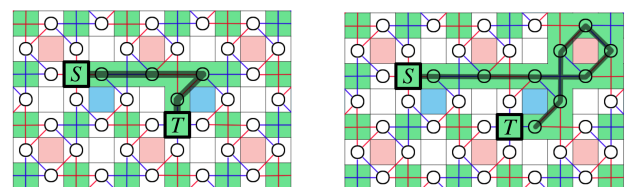


図 6 3次配線グラフ



(a) Uターン (b) 交差

図 7 3次配線グラフにおける実現不可能なパス

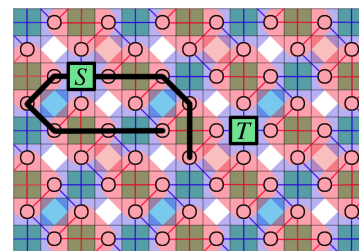


図 8 パス探索の干渉

ス探索に組み込むことは容易である。

Gグリッドはグリッド構造に従って偶グリッドと奇グリッドに分けられる。図8で、偶Gグリッドと奇Gグリッドはそれぞれ赤と青の影で描かれている。束容量はパスが偶Gグリッドに対応している辺と奇Gグリッドに対応している辺を交互に使うことを強いる。パスが束容量制約を満たせば、3次パターンはT字型を含まない。図7に示すパスは束容量制約に違反しているが、これらのパスは提案手法における配線パターンの探索から除外される。

全ての接続要求を実現した配線パターンを見つけるために、それぞれの配線グラフにおいて最小重みの実現可能なパスを反復して探索する。1次と2次配線グラフの両方において、最小重みの実現可能なパスは幅優先配線アルゴリズムを使うことで見つけることができる。しかし、3次配線グラフでは、図8で示されているように、束容量制約のため折れ曲がり制約を満たすパスの探索が折れ曲がり制約を満たさないパスの探索に邪魔されるかもしれない。

探索の失敗を出来るだけ防ぐため、以下に示すように幅優先探索アルゴリズムに終端の周りに禁止グリッドを導入

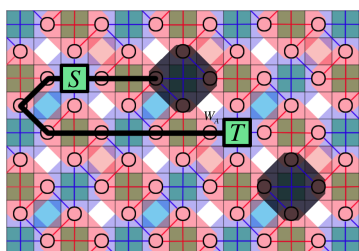


図 9 3 次配線グラフにおける禁止グリッド

する。

3 次配線グラフにおける禁止グリッド

終端の G グリッドの座標が (x, y) [$x + y \equiv 0 \pmod{4}$] の 3 次ネットのパスを探索の際、座標 $(x - 2, y - 2)$ と $(x + 2, y + 2)$ の G グリッドを禁止グリッドと定義する。終端の G グリッドの座標が (x, y) [$x + y \equiv 2 \pmod{4}$] の 3 次ネットのパスを探索の際、座標 $(x - 2, y + 2)$ と $(x + 2, y - 2)$ の G グリッドを禁止グリッドと定義する。

パスの探索が終端 T に到達するとき、パスの探索は T に隣接する白グリッド W_A に、G グリッドに対応する辺を經由して到達する。しかし、 W_A に接続しない G グリッドに対応する辺が使われていたら、束容量制約のため、パスの探索は W_A に到達できない。 T に隣接するすべての白グリッドに到達できなければ、パスの探索は失敗する。そこで、白グリッド W_A への到達をできる限り妨げないように、 W_A に接続しない G グリッドに対応する辺を取り除く。このとき、 T までのパスは禁止グリッドの辺を含まない。逆に、禁止グリッドの辺を取り除くと、 W_A に接続しない G グリッドに対応する辺はパスの探索で使われない。禁止グリッドの意図はパスの探索を妨げる辺を取り除く実装である。

T が終端の探索における禁止グリッドの例を図 9 で黒の影で示す。禁止グリッドの挿入はパスの探索の成功を保証するわけではないが、実現可能なパスが存在するとき領域が混雑していなければ探索は失敗しないことが実験によって観察された。

3.4 グリッドの重み

ベースグリッド上のグリッドの重みは *Base-weight*, *Obstacle-weight*, *History-weight* の合計である。

Base-cost は経路の長さを評価するために用いられる。本稿ではそれぞれのグリッドの Base-cost は 1 とする。ネットの経路は他のネットのピンが割り当てられているグリッドを使うことは許されない。固定された配線パターンや禁止グリッドに対応しているグリッドの Obstacle-cost は ∞ と割り当てる。他のネットが使っているグリッドは Obstacle-cost を $\alpha > 0$ と割り当てる。他のグリッドの Obstacle-cost は 0 と割り当てる。History-cost は引き剥がし再配線の手続きで使われる。グリッドの History-cost は 0 で初期化され、そのグリッド上で配線の引き剥がしが行われるたびに β だけ増加させる。

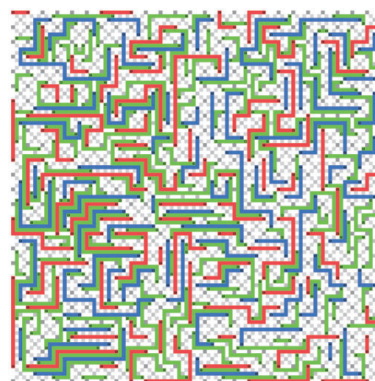


図 10 配線結果 (Case1-2)

4. 実験

提案手法の有効性を確かめるために実験を行った。提案した引き剥がし再配線を用いた配線アルゴリズムは C++ を用いて実装して、Linux PC (CPU: Intel Xeon 2.4 GHz*2) 上で実行した。この実験のパラメータは以下のようにした。Obstacle-cost と History-cost で $\alpha = 4$, $\beta = 1$ と設定する。

ネットの経路は A^* アルゴリズムによって見つける。経路の重みは経路上のグリッドと辺のコストの合計と定義する。アルゴリズムによって得られる最小重みの経路がネットの経路として選ばれる。実験に使う配線アルゴリズムは “Path-finder” [19] に基づいている。

提案した配線アルゴリズムを評価するために、2 つの配線パターンを得る実験を行った。1 つは Litho-etch (LE) を想定して生成された配線パターンである、これは通常のグリッド配線で、同様に引き剥がし再配線を用いた配線アルゴリズムによって生成した。もう 1 つは SAQP のための配線パターンで、提案手法で生成した。

表 1 と表 2 に結果を示した。#Net, #r, #b, #g はそれぞれ全体のネット数、1 次ネットの数、2 次ネットの数、3 次ネットの数を表す。“Total HPWL” は各ネットの周囲の長さの半分の合計で、ネットの総配線長の下限を与える。総配線長、引き剥がし再配線における最短パス探索の回数、計算時間はそれぞれ “Total Wire Length”, “#Trial”, “CPU” で示す。“LE”, “SAQP” はそれぞれ LE を想定した手法と私たちの提案する SAQP の配線手法によって得られた結果である。Case1-2 の配線結果を図 10 に示す。

グリッドサイズを変化させた LE と SAQP の配線結果を表 1 に示す。パターンの密度を変化させた SAQP の配線結果を表 2 に示す。

総配線長と計算時間は LE と比較して SAQP は大きい。しかしながら、微細なピッチを実現する SAQP の厳しい制約にもかかわらず得られる解は十分満足できると思われる。

5. 結論

本稿では、SAQP のためのパターンを効率的に生成するアルゴリズムを提案した。パスの探索の成功を保証する 3 次配線グラフの探索の向上が後の課題である。

表 1 実験結果 (配線長)

Testcase(grid)	#Net (#r, #b, #g)	Total HPWL	Total Wire Length		#Trial		CPU (sec)	
			LE	SAQP	LE	SAQP	LE	SAQP
Case1 (101x101)	100 (25, 25, 50)	810	814 (+14.6%)	886 (+24.8%)	100	138 (+38.0%)	0.01	0.01
Case2 (241x241)	500 (174, 160, 166)	6444	6596 (+11.0%)	7016 (+18.0%)	788	1970 (+250.0%)	0.12	7.07
Case3 (501x501)	1500 (451, 449, 600)	19836	20026 (+9.2%)	20508 (+11.8%)	2014	2376 (+18.0%)	0.62	0.50
Case4 (801x801)	3000 (911, 889, 1200)	39300	39748 (+9.5%)	40840 (+12.5%)	3893	6286 (+61.5%)	2.19	7.20
Case5 (1201x1201)	6000 (1823, 1777, 2400)	78256	79002 (+9.3%)	80848 (+11.9%)	7390	8939 (+21.0%)	7.52	10.47

表 2 実験結果 (配線長)

Testcase(grid)	#Net(#r, #b, #g)	Total HPWL	Total Wire Length	#Trial	CPU (sec)
Case1-1 (101x101)	100 (25, 25, 50)	810	886 (+24.8%)	138	0.01
Case1-2 (101x101)	200 (50, 50, 100)	2674	3024 (+22.2%)	1653	3.91
Case1-3 (101x101)	300 (75, 75, 150)	4166	5002 (+29.4%)	2937	1.33

謝辞

本研究は JSPS 科学研究費補助金基盤研究 (B)25280013 の助成を受けたものです。

参考文献

- [1] Yu, B., Yuan, K., Zhang, B., Ding, D. and Pan, D. Z.: Layout decomposition for triple patterning lithography, *Proc. IEEE/ACM International Conference on Computer Aided Design (ICCAD)*, pp. 1–8 (2011).
- [2] Yu, B., Lin, Y.-H., Luk-Pat, G., Ding, D., Lucas, K. and Pan, D. Z.: A High-Performance Triple Patterning Layout Decomposer with Balanced Density, *Proc. IEEE/ACM International Conference on Computer Aided Design (ICCAD)*, pp. 163–169 (2013).
- [3] Matsui, T., Kohira, Y., Kodama, C. and Takahashi, A.: Positive Semidefinite Relaxation and Approximation Algorithm for Triple Patterning Lithography, *Proc. the 25th International Symposium on Algorithms and Computation (ISAAC), LNCS 8889*, pp. 365–375 (2014).
- [4] Yu, B., Gao, J.-R. and Pan, D. Z.: Triple Patterning Lithography (TPL) Layout Decomposition using End-Cutting, *Proc. SPIE, Design for Manufacturability through Design-Process Integration VII*, Vol. 8684, 86840G (2013).
- [5] Kohira, Y., Matsui, T., Yokoyama, Y., Kodama, C., Takahashi, A., Nojima, S. and Tanaka, S.: Fast Mask Assignment using Positive Semidefinite Relaxation in LELE-CUT Triple Patterning Lithography, *Proc. Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 665–670 (2015).
- [6] Kohira, Y., Kodama, C., Matsui, T., Takahashi, A., Nojima, S. and Tanaka, S.: Yield-aware Mask Assignment using Positive Semidefinite Relaxation in LELE-CUT Triple Patterning, *Proc. SPIE, Design-Process-Technology Co-optimization for Manufacturability IX*, Vol. 94270B, pp. 1–9 (2015).
- [7] Bencher, C., Chen, Y., Dai, H., Montgomery, W. and Huli, L.: 22nm half-pitch patterning by CVD spacer self alignment double patterning (SADP), *Proc. SPIE, Optical Microlithography XXI*, Vol. 6924, 69244E (2008).
- [8] Smayling, M. C., Bencher, C., Chen, H. D., Dai, H. and Duane, M. P.: APF pitch-halving for 22nm logic cells using gridded design rules, *Proc. SPIE, Design for Manufacturability through Design-Process Integration II*, Vol. 6925, 69251E (2008).
- [9] Xu, P., Chen, Y., Chen, Y., Miao, L., Sun, S., Kim, S.-W., Berger, A., Mao, D., Bencher, C., Hung, R. and Ngai, C.: Sidewall spacer quadruple patterning for 15nm half-pitch, *Proc. SPIE, Optical Microlithography XXIV*, Vol. 7973, 79731Q (2011).
- [10] Kodama, C., Ichikawa, H., Nakayama, K., Kotani, T., Nojima, S., Mimotogi, S., Miyamoto, S. and Takahashi, A.: Self-Aligned Double And Quadruple Patterning Aware Grid Routing With Hotspots Control, *Proc. Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 267–272 (2013).
- [11] Ihara, T., Takahashi, A. and Kodama, C.: Rip-up and Reroute based Routing Algorithm for Self-Aligned Double Patterning, *Proc. the 19th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI)*, pp. 83–88 (2015).
- [12] Ihara, T., Takahashi, A. and Kodama, C.: Effective Two-Dimensional Pattern Generation for Self-Aligned Double Patterning, *Proc. International Symposium on Circuits and Systems (ISCAS)*, pp. 2141–2144 (2015).
- [13] Kodama, C., Ichikawa, H., Nakayama, K., Nakajima, F., Nojima, S., Kotani, T., Ihara, T. and Takahashi, A.: Self-Aligned Double and Quadruple Patterning Aware Grid Routing Method, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)*, Vol. 34, No. 5, pp. 753–765 (2015).
- [14] Nakayama, K., Kodama, C., Kotani, T., Nojima, S., Mimotogi, S. and Miyamoto, S.: Self-aligned double and quadruple patterning layout principle, *Proc. SPIE, Design for Manufacturability through Design-Process Integration VI*, Vol. 8327, 83270V (2012).
- [15] Nakajima, F., Kodama, C., Ichikawa, H., Nakayama, K., Nojima, S. and Kotani, T.: Self-aligned quadruple patterning-aware routing, *Proc. SPIE, Design-Process-Technology Co-optimization for Manufacturability VIII*, Vol. 9053, 90530C (2014).
- [16] Ding, Y., Chu, C. and Mak, W.-K.: Detailed routing for spacer-is-metal type self-aligned double/quadruple patterning lithography, *Proc. the 52nd Annual Design Automation Conference (DAC)*, No. 69 (2015).
- [17] Gutiérrez, E. and Medaglia, A. L.: Labeling algorithm for the shortest path problem with turn prohibitions with application to large-scale road networks, *Annals of Operations Research*, Vol. 157, No. 1, pp. 169–182 (2008).
- [18] 本江俊幸, 高橋篤司: 折れ曲がり制約を含む配線問題の NP 完全性, 電子情報通信学会技術研究報告 (VLD2015-3), Vol. 115, No. 476, pp. 13–18 (2015).
- [19] McMurchie, L. and Ebeling, C.: PathFinder: A negotiation-based performance-driven router for FPGAs, *Proc. FPGA*, pp. 111–117 (1995).