

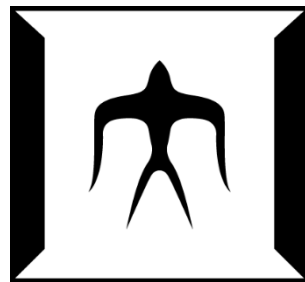
論文 / 著書情報
Article / Book Information

題目(和文)	フリップチップ実装技術を用いた光送信器の高速化に関する研究
Title(English)	
著者(和文)	金澤慈
Author(English)	Shigeru Kanazawa
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10219号, 授与年月日:2016年3月26日, 学位の種別:課程博士, 審査員:小山 二三夫,淺田 雅洋,植之原 裕行,渡辺 正裕,宮本 智之
Citation(English)	Degree:., Conferring organization: Tokyo Institute of Technology, Report number:甲第10219号, Conferred date:2016/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

博士論文

フリップチップ実装技術を用いた光送信器
の高速化に関する研究

平成 28 年（2016 年） 2 月



指導教員 小山 二三夫 教授

提出者

東京工業大学総合理工学研究科
物理電子システム創造専攻

金澤 慈

～ 目次 ～

第 1 章 序論.....	1
1.1. 本研究の背景.....	1
1.2. 本研究の目的.....	10
1.3. 本論文の構成.....	11
参考文献.....	12
第 2 章 高密度高速配線実装技術.....	16
2.1. レーザアレイ光送信器に適したワイヤ接続技術の提案とその課題.....	16
2.2. 従来のフリップチップ実装技術の課題.....	32
2.3. 光送信器に適したのフリップチップ実装技術の提案.....	50
参考文献.....	59
第 3 章 フリップチップ実装直接変調 DFB レーザ.....	61
3.1. 直接変調 DFB レーザの構造と作製工程.....	61
3.2. ワイヤ接続直接変調 DFB レーザモジュールの作製と評価.....	72
3.3. フリップチップ実装直接変調 DFB レーザモジュールの作製と評価.....	77
3.4. 合波器集積 4 チャンネル DFB レーザアレイチップの設計.....	87
3.5. DFB レーザアレイモジュールの設計・評価.....	92
参考文献.....	106
第 4 章 フリップチップ実装電界吸収型変調器集積 DFB レーザ.....	108
4.1. フリップチップ実装 4 チャンネル EADFB レーザアレイモジュールの設計.....	108
4.2. フリップチップ実装 4 チャンネル EADFB レーザアレイモジュールの作製・評価.....	116
4.3. フリップチップ実装 8 チャンネル EADFB レーザアレイモジュールの設計.....	130
4.4. フリップチップ実装 8 チャンネル EADFB レーザアレイモジュールの作製・評価.....	143
4.5. フリップチップ実装単チャンネル EADFB レーザモジュールの設計.....	149
4.6. フリップチップ実装単チャンネル EADFB レーザモジュールの評価.....	157

参考文献.....	166
第 5 章 結論.....	168
5.1. まとめ.....	168
5.2. 今後の展開	173
本論文に関する発表	178
謝辞	183

第1章 序論

本章では、研究テーマとして高密度高速配線実装技術を選ぶに至った背景について述べた後、研究目的を示す。また、章末にて本論文構成について述べる。

1.1. 本研究の背景

2000年頃に始まるブロードバンドネットワークの普及に伴い、日本国内通信網のトラフィックは急激な増大を示している。これは、総務省発表の平成26年度通信白書内にあるトラフィック推移のグラフ等からも読み取ることができる[1.1]。この急激なトラフィック増大に対応するため、通信容量の増大が求められており、将来的にも、リッチコンテンツの普及、モバイル通信の急激なトラフィック増大 [1.2]、クラウドサービスの普及などにより、通信容量の急激な増大傾向は続くものと考えられる。

従来は電気信号を用いた通信網が一般的であったが、高速化、通信網の長距離化に伴い、光信号を用いた通信網への転換が進められてきた。光通信はまず、高速かつ低損失な伝送路の特徴を活かして、大陸間を結ぶ海底ケーブルや、都市と都市を結ぶ幹線網など伝送距離が数百から数千 km 以上の領域への適用が進められた。近年では、先の高速化要求に伴い、データセンタ内や、ビル間、ビル内といった数 km、数十 km の伝送距離に対しても光通信の適用が進められている。こういった、伝送距離数 km～数十 km 向け通信規格の一つとしてイーサネット (Ethernet) がある。イーサネットでは 10BASE-F と呼ばれる伝送信号レート 10 Mbit/s の通信を実現する規格から、光通信を用いられてきた [1.3]。イーサネットの光通信系規格の進展を図 1.1.1 に示す。図のように、2000年にはデータレート 1 Gbit/s を実現する 1 ギガビットイーサネット(1GbE)、2005年には 10 Gbit/s を実現する 10 ギガビットイーサネット(10GbE)、2010年には 100 Gbit/s を実現する 100 ギガビットイーサネット(100GbE)が標準化され、5年で10倍という急激なデータレートの高速化が進んでいることがわかる。また、今後も先に示した旺盛な通信需要に対応すべく、400 Gbit/s や、1 Tbit/s の通信速度を実現する規格の標準化も検討が進められている。

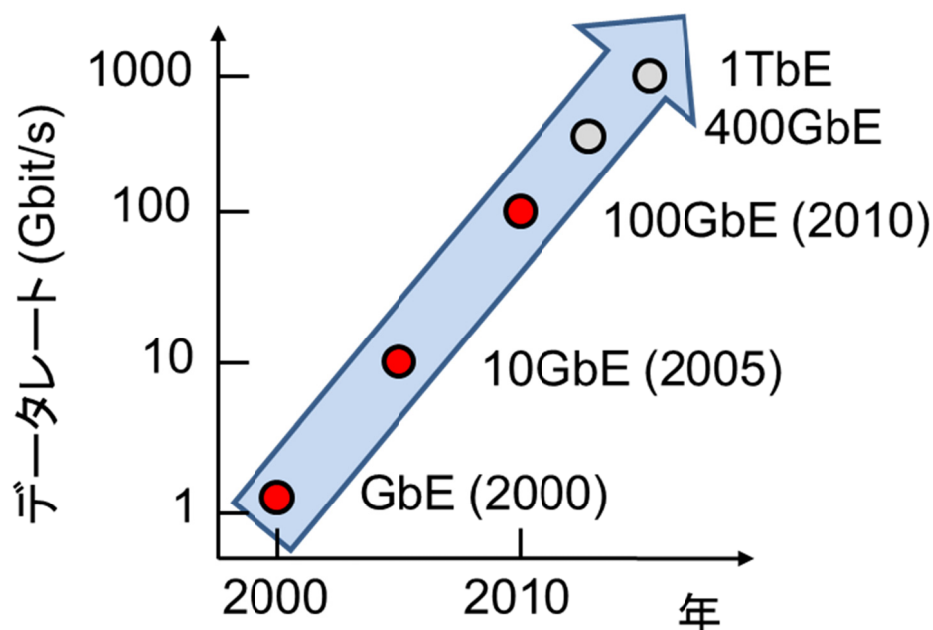


図 1.1.1 イーサネットの高速化トレンド

このように、外部動向にあわせてイーサネット規格は急激に高速化が進んできた。高速化の手法としては、従来、1波長あたりのビットレートを高速化することで対応してきた。しかし、図 1.1.2 を見ると分かるように 10 Gbit/s までは 1 波長のみ使用した規格になっているが、40 Gbit/s 以上では 1 波長あたりの高速化だけでなく、波長多重技術 (WDM) と呼ばれる、複数の波長を用いた通信速度の高速化が行われている。これは、イーサネットの高速化要求に対して、1 波長あたりの高速化が追いついていなかったことに加えて、インタフェース等の周辺技術の動向や、トランシーバの消費電力、コスト等を考慮すると 1 波長のみを使った高速化ではなく、波長多重技術も併用した高速化の方が有利であったことも理由としてあげられる。今後、400 Gbit/s や 1 Tbit/s 級の規格でも波長多重技術は適用されると考えられるが、1 チャンネルあたりの高速化もすすめられていくと考えられる。これは、単純に波長数を増加させた場合、波長数に応じた光源、変調器、ドライバといった部品が必要となるため、トランシーバサイズ的大型化、消費電力の増加、といった問題が起こる

ためである。このような多チャネル高速化の流れはイーサネットだけでなく、基幹通信網を支える OTN (Optical Transport Network) 規格でも OTU4 で 100GbE をベースとした 4 チャネル構成の規格が標準化されるなど [1.4]、今後も広い適用範囲が考えられる。このことから、今後は高速・多チャネル実装技術の重要性が増していくものと考えられる。

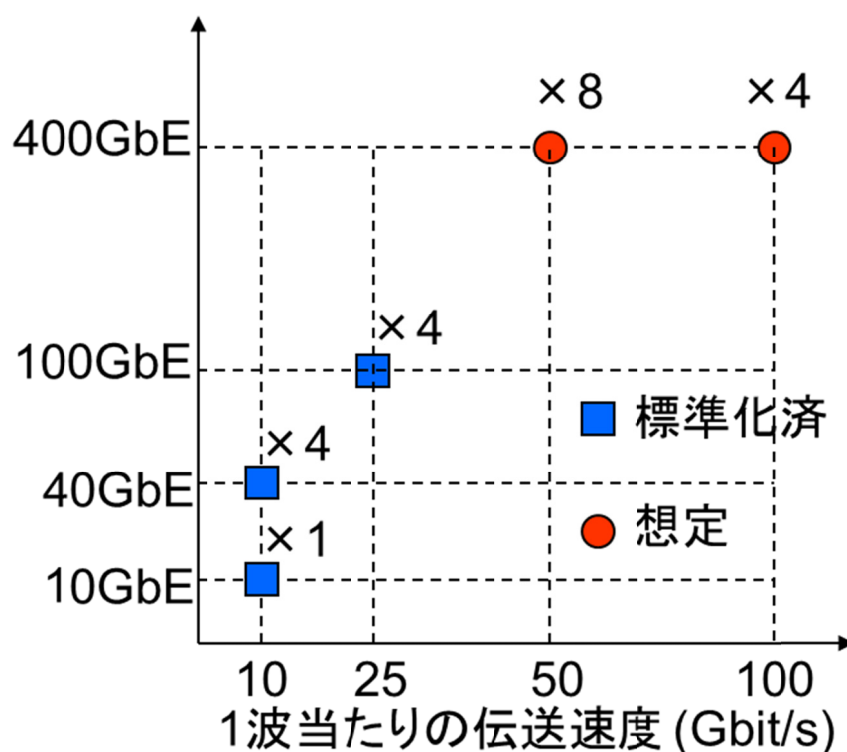


図 1.1.2 各イーサネット規格のチャンネル数と 1 波長あたりのビットレートの関係

図 1.1.3 にイーサネット用トランシーバのサイズの変遷を示す。10GbE では 2000 年に 300pin トランシーバと呼ばれる体積 100cc を超えるかなり大型のトランシーバが規格として用いられていた。しかし、決められたサイズのラック内にトランシーバを数多く収納し、単位ラックあたりの通信容量を増加させることが求められるため、トランシーバの小型化要求は非常に強い。この要求に応えるべく、XENPAK、そして XFP とより小型のトランシ

ーバが開発されていった [1.5]。XFP は 300pin と比較して体積比 1/10 と非常に小さいサイズを実現している。次に、100GbE のトランシーバについてみていく。まず、2010 年に CFP とよばれる第一世代の 100GbE 用トランシーバが MSA にて規定された [1.6]。しかし、100cc 以上と非常に大きなサイズであったため、10GbE と同様に CFP2、そして CFP4 へと小型化がすすんでいくものと考えられる。CFP4 では CFP と比較して体積比 1/10 以下と大幅に小型化が進むため、トランシーバ内部の部品も大幅に高密度・小型化する必要がある。このような小型化の流れは、400Gbit/s や 1 Tbit/s 用のトランシーバでも同様に起こると考えられる。

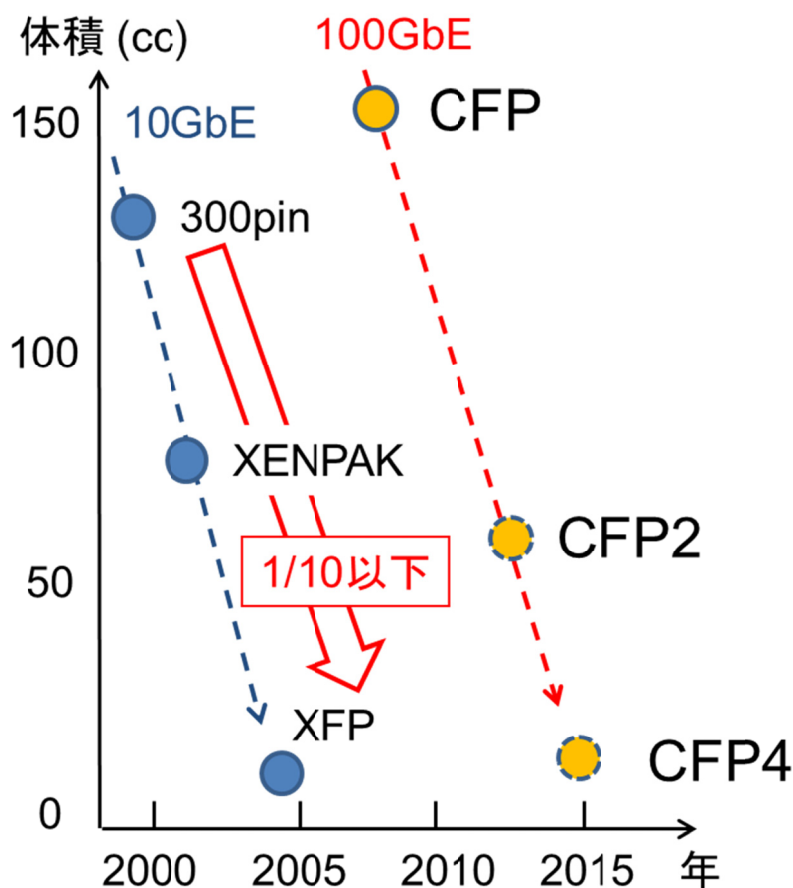


図 1.1.3 イーサネット用トランシーバのサイズの変遷

CFP トランシーバの内部構成例を図 1.1.4 に示す [1.6]。トランシーバ内部には大きく分けて光送信部、光受信部、電気回路およびインタフェース部から構成されており、それぞれ、電気から光信号への変換、光から電気信号への変換、送信・受信信号の増幅や信号処理と外部との接続部、の役目をもっている。光送信部についてみると、一般的には図のように TOSA (Transmitter Optical Sub-Assembly) と呼ばれる光送信モジュールが 4 台とこれらから出力される 4 つ光信号を 1 つに束ねるための光 MUX (光合波器) とから構成される。これらの部品は光ファイバで接続されている。CFP 向けの光源としてはこれまでも研究が進められてきており、直接変調レーザや[1.7-10]、電界吸収型光変調器集積 DFB レーザ(EADFB レーザ) [1.11-16]を用いたものが報告されている。しかし、トランシーバの大幅な小型化の流れに対応するためには、光送信部も大幅に小型化する必要がある。そのためには、4 チャンネル分の光源を 1 つのチップ上に集積したレーザアレイチップ[1.17]や、さらに光合波器まで半導体チップ上に集積した光合波器集積レーザアレイチップを用いた光送信器が必要となる。つまり、アレイデバイスに適した小型かつ高密度な高速配線実装技術が重要になる。

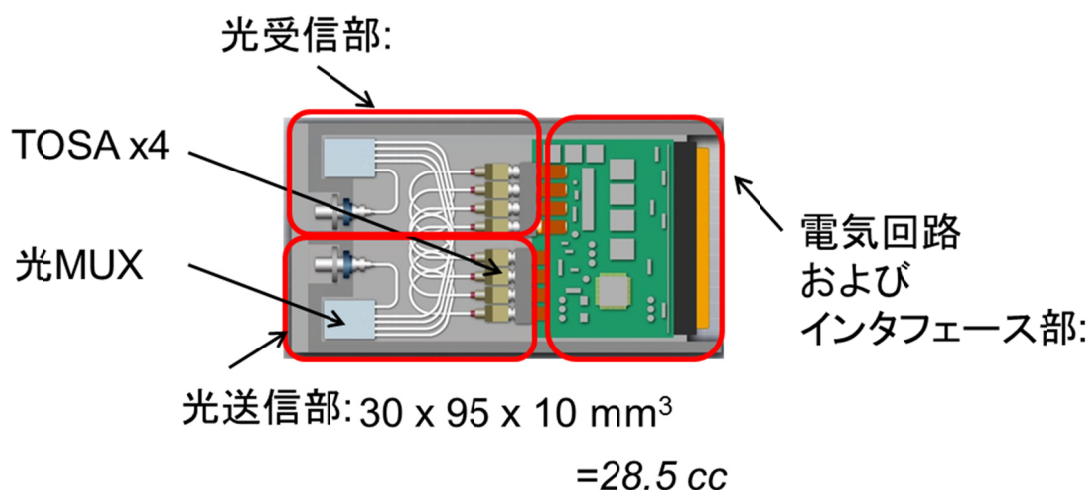


図 1.1.4 CFP トランシーバの内部構成例

アレイデバイス用高速・高密度配線技術の実現に向けた課題について説明する。図 1.1.5 は一般的なワイヤ接続技術を用いた単チャンネル直接変調レーザ TOSA の内部図である[1.18, 19]。高周波信号の流れを見ていくと、フレキシブルプリント基板 (FPC) からパッケージへと伝わった信号は、ボンディングワイヤを介してサブキャリア上の高周波線路へと伝わる。そして、高周波線路を通ってきた信号は終端抵抗、およびボンディングワイヤでつながっているレーザチップへと伝わる。高周波線路は一般的に 50Ω の特性インピーダンスになるように設計されており、FPC やパッケージの高周波線路、サブキャリア上の高周波線路も同様に設計されている。しかし、パッケージとサブキャリア、サブキャリアとレーザチップを接続しているボンディングワイヤはワイヤの持つ寄生インダクタンスの影響で 50Ω よりも非常に大きな値を持つ、高インピーダンス線路となる。そのため、ワイヤの長さに依存して、高周波特性が劣化する問題が起こる。図 1.1.6 は従来のワイヤ接続技術を用いた 4 チャンネル EADFB レーザアレイ TOSA とサブアセンブリを示した図である。サブアセンブリとはパッケージ内に搭載された、高周波線路、サブキャリア、レーザチップ、終端回路を含めたものを指す。高周波配線板はレーザアレイチップの直近に寄せられているため、外側に配置された EA 変調器(EAM)の電極には 0.15mm と比較的短いワイヤで結線できている。しかし、内側の EA 変調器は両側面に他のチャンネルの EA 変調器、後端には DFB レーザ、前端には出力導波路、およびレンズ等の光学部品が配置されるため、EA 変調器電極直近に高周波線路を寄せることが出来ない。そのため、ワイヤ長は外側の EA 変調器と結線する時に必要なワイヤ長に加えて、最低でもアレイのチャンネルピッチ分だけ長いワイヤ長を必要とする。たとえば、EADFB レーザアレイのピッチが 0.6mm であった場合は、最低でも 0.7mm 以上のワイヤ長が必要となる。チャンネル間ピッチを狭めることでワイヤ長を短くすることも可能であるが、ピッチが狭まると隣接チャンネル間でのクロストークが増大する問題がある。このため、従来のワイヤ接続技術を用いた 3 チャンネル以上の EADFB レーザアレイサブアセンブリでは、内側に配置されたチャンネルの変調帯域がワイヤの持つインダクタンスによって大幅に劣化する可能性があった。

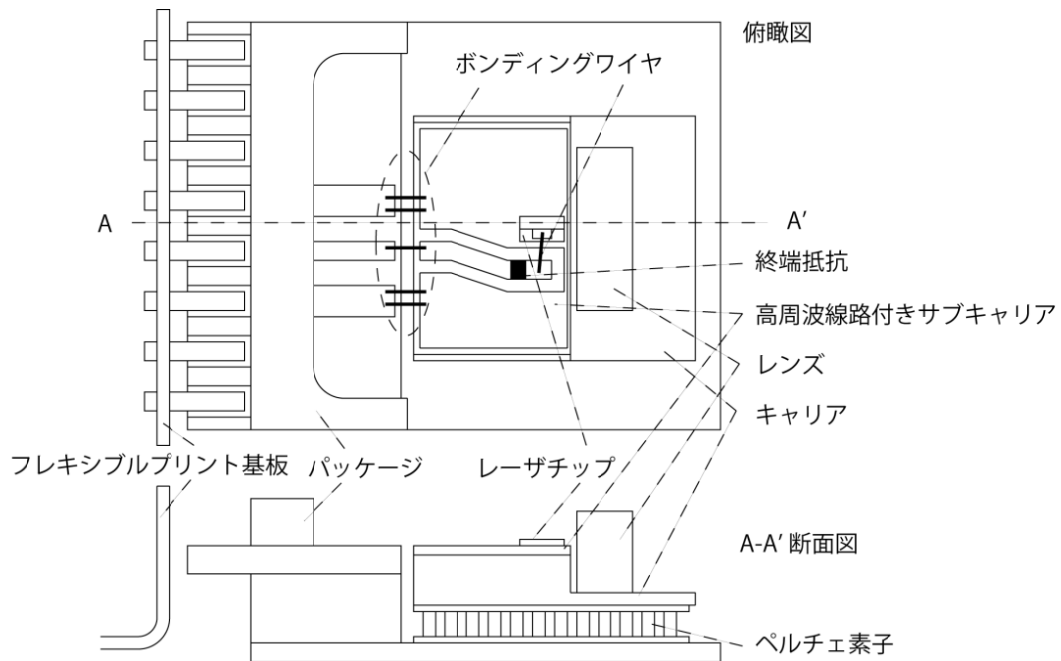


図 1.1.5 直接変調レーザ TOSA の概略図

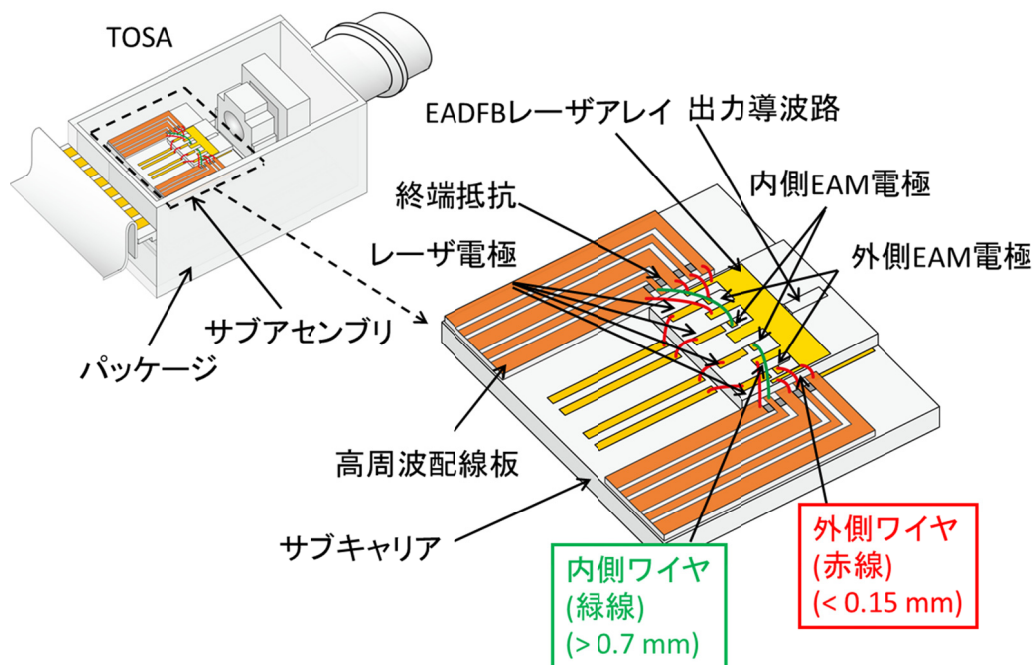


図 1.1.6 4チャンネル EADFB レーザアレイ TOSA とサブアセンブリの概略図

従来のワイヤ接続技術を用いた場合、どの程度の帯域劣化になるかを見積もるため、周波数応答特性のシミュレーションを行った。このとき、周波数応答特性のシミュレーションを行うために用いた EADFB レーザサブアセンブリの等価回路モデルを図 1.1.7 に示す [1.20]。本モデルでは高周波線路の周波数応答特性は含んでいない。 R_{pclad} 、 R_{active} 、 R_{nclad} はそれぞれ EA 変調器の p クラッド抵抗、フォトカレントに相当する活性層抵抗、n クラッド抵抗を示している。 C_{pad} 、 C_{active} はそれぞれ EA 変調器のパッド容量、空乏層容量を示している。 L_{wire1} は、高周波配線と EA 変調器を結ぶワイヤの寄生インダクタンスを示している。また、 R_{term} 、 C_{term} 、 L_{term} は終端回路内の抵抗、寄生キャパシタンス、寄生インダクタンスを示している。 R_{pclad} 、 R_{active} 、 R_{nclad} 、 R_{term} 、 C_{pad} 、 C_{active} 、 C_{term} 、 L_{term} はそれぞれ、11.7、120、4.3、50Ω、36、110、8.2fF、72pH とした。これらの値は EA 変調器の長さが 150μm のデバイス、および終端回路の反射特性の測定結果から見積もった値である。また、 L_{wire1} の値は単位長さあたりの寄生インダクタンスを 1nH/mm として計算した値を用いた。シミュレーション結果を図 1.1.8 に示す。従来型のワイヤ接続技術を用いた場合は外側の EA 変調器では 40GHz 程度の帯域があることがわかる。しかし、内側の EA 変調器ではワイヤ長が長いと、外側に比べて急激に帯域が劣化し、高周波配線の特性を含まないサブアセンブリの帯域で、25GHz 程度しかないことがわかる。周波数 20~30GHz 付近での一般的なモジュールと高周波配線の伝送損失の和を 2.0dB 程度と見込むと、モジュール全体での 3dB 帯域は、内側の EAM では約 20GHz 程度と見積もられる。一般的に、ビットレートの 0.7 倍の 3dB 帯域が必要とされるため、従来のワイヤ接続技術を用いた場合、単純に、3dB 帯域を見ただけでも 25Gbit/s/ch 程度が限界であり、それ以上の高速化は困難であることが分かる。また、寄生インダクタンスによるピーキングが、光信号波形を劣化させるため、25Gbit/s/ch 付近の動作でも、十分に良好な周波数応答特性が得られているとはいえない。加えて、小型化するためにはアレイ間のピッチを狭める必要があるが、ワイヤ接続の場合、隣接するワイヤ同士の誘導結合によるクロストーク増大の問題があるため、狭ピッチ化が困難であるという問題もあった。

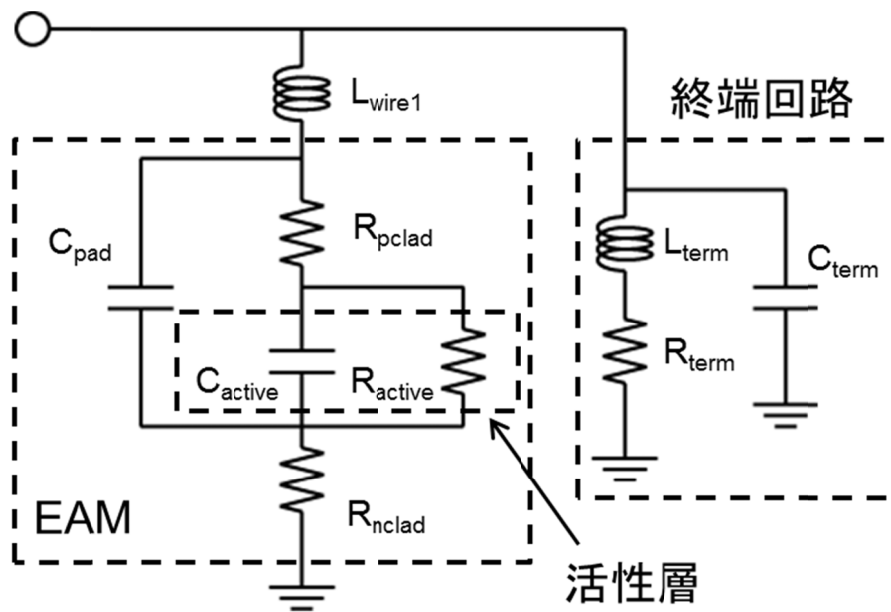


図 1.1.7 EADFB レーザサブアセンブリの等価回路モデル

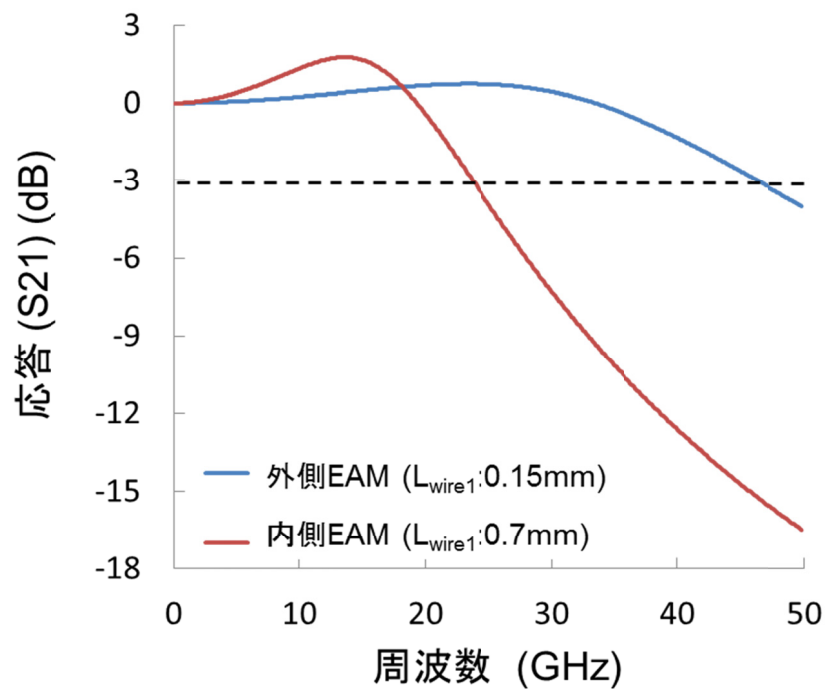


図 1.1.8 EADFB レーザサブアセンブリの周波数応答特性シミュレーション結果

1.2. 本研究の目的

本研究では、25Gbit/s/ch 超級動作可能なレーザアレイ用実装技術の提案、並びにその技術を適用した 100Gbit/s 超級動作小型レーザアレイモジュールの実現を目標とした。レーザアレイの変調光源としては、小型化、集積化に適している直接変調レーザ、もしくは EADFB レーザを用いることとした。直接変調レーザは、レーザ自身をオンオフすることで変調信号を作り出すため、低消費電力であること、構成が非常に簡単であるため低コストであること、反面、緩和振動周波数により変調速度が律速されるため、高速動作には向かないことが特徴である。これに対して、EADFB レーザは EA 変調器が非常に高速な応答特性を示すため、高速化に適していること、高い消光比が得られること、反面、消費電力や、小型化の面では直接変調 DFB レーザより不利であること特徴である。ともに、25Gbit/s/ch 超級動作の可能性は単体デバイスとして直接変調 DFB レーザ [1.21-23]、EADFB レーザ [1.24-27] ともに報告がなされている。上記目標実現のために、以下の研究を行った。

1) 高密度高速配線実装技術の確立 (第 2 章)

- ・ 三次元配線構造の提案と 4 チャンネル EADFB レーザアレイへの適用検討
- ・ 光送信器に適したフリップチップ実装技術の提案

2) フリップチップ実装直接変調 DFB レーザの実現 (第 3 章)

- ・ フリップチップ実装に適したデバイス構造の検討、および提案デバイスの 25Gbit/s/ch 動作確認

- ・ 4×25 Gbit/s/ch 動作直接変調 DFB レーザアレイモジュールの設計、評価

3) フリップチップ実装 EADFB レーザの実現 (第 4 章)

- ・ 4×28 Gbit/s/ch 動作 EADFB レーザアレイモジュールの設計、評価
- ・ 8×50 Gbit/s/ch 動作 EADFB レーザアレイモジュールの設計、評価
- ・ 1×100 Gbit/s/ch 動作 EADFB レーザモジュールの設計、評価

1.3. 本論文の構成

本論文の構成を以下に記す。

第 2 章では、高密度高速配線実装技術の現状の課題と、新技術の提案について述べる。まず、ワイヤ接続アレイモジュールの広帯域化に適した三次元配線構造の提案と、その構造を適用した 100Gbit/s 動作小型 EADFB レーザアレイ TOSA の設計、評価について述べる。あわせて、ワイヤ接続三次元配線構造の課題についても示す。次に、従来型ワイヤフリップチップ実装技術であるフリップチップ実装技術の光送信器への適用時の課題を説明する。最後に、これらの課題を解決可能な新しいフリップチップ実装技術として、フリップチップ接続技術を提案する。

第 3 章では、フリップチップ実装直接変調 DFB レーザについて述べる。まず、フリップチップ接続技術に適した直接変調レーザの構造設計について述べる。25Gbit/s/ch 動作フリップチップ実装直接変調レーザモジュールの特性評価結果についても述べ、ワイヤ接続と比較した時のフリップチップ実装時の特性改善効果、課題について述べる。最後に、4 チャンネル DFB レーザアレイを用いた 100Gbit/s 動作小型 TOSA の設計、評価について述べる。

第 4 章では、フリップチップ接続 EADFB レーザについて述べる。まず、4 チャンネル EADFB レーザアレイチップを用いたワイヤ接続とフリップチップ接続、両モジュールの設計を行い、特性比較結果を示す。また、112Gbit/s 動作フリップチップ接続 EADFB レーザモジュールの評価結果についてもあわせて示す。次に、400Gbit/s 動作 8 チャンネル EADFB レーザアレイモジュール実現のためのキー技術について述べる。また、本モジュールを用いた 400Gbit/s 動作時の評価結果についても述べる。最後に、100Gbit/s/ch 動作、単チャンネル EADFB レーザモジュールを作製したので、高速化のキー技術について説明し、評価結果についても述べる。

第 5 章では、本研究結果についてまとめるとともに、結論を述べる。

参考文献

- [1.1] 総務省 情報通信白書 平成 26 年度版
<http://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h26/html/nc255320.html>
- [1.2] Cisco Visual Networking Index : 全世界のモバイル データ トラフィックの予測、
2014 ~ 2019 年アップデート
http://www.cisco.com/web/JP/solution/isp/ipngn/literature/white_paper_c11-520862.html
- [1.3] 詳説 イーサネット 第二版 Charles E. Spurgeon、Joann Zimmerman 著、三
浦 史光 監訳、豊沢 聡 訳 オラリージャパン
- [1.4] OTN の標準化動向 NTT 技術ジャーナル 2009.1
<http://www.ntt.co.jp/journal/0901/files/jn200901071.pdf>
- [1.5] 10 Gigabit Small Form Factor Pluggable Module Revision 4.5, p.101
<ftp://ftp.seagate.com/sff/INF-8077.PDF>
- [1.6] CFP MSA Hardware Specification Revision 1.4 P.8 Figure.1
<http://www.cfp-msa.org/Documents/CFP-MSA-HW-Spec-rev1-40.pdf>
- [1.7] K. Otsubo, M. Matsuda, K. Takada, S. Okumura, M. Ekawa, H. Tanaka, S. Ide,
K. Mori and T. Yamamoto, "Uncooled 25 Gbit/s direct modulation of semi-insulating
buried-heterostructure 1.3 μm AlGaInAs quantum-well DFB lasers," Electronics
Letters, vol. 44, no. 10, pp. 631-632, 2008.
- [1.8] A. K. Verma, M. Steib, Y. L. Ha and T. Sudo, "25Gbps 1.3 μm DFB laser for 10-25km
transmission in 100GBE systems," in Proc. OFC, 2009, OThT2.
- [1.9] K. Nakahara, Y. Wakayama, K. Hiruma, T. Kitatani, K. Shinoda, T. Fukamachi, Y.
Sakuma and S. Tanaka, "28-Gb/s directly modulated InGaAlAs ACPM DFB lasers with
high mask margin of 22% at 55°C," in Proc. OFC, 2013, OTh4H.3.
- [1.10] W. Kobayashi, T. Fujisawa, K. Tsuzuki, Y. Ohiso, T. Ito, S. Kanazawa, T.

- Yamanaka and H. Sanjoh, "Design and fabrication of wide wavelength range 25.8-Gb/s, 1.3- μm , push-pull-driven DMLs," *Journal of Lightwave Technology*, vol. 32, no. 1, pp. 3-9, 2014.
- [1.11] H. Oomori, H. Ooe, M.Seki, Y. Fujimura, K. Matsumoto and Y. Murakami, "An extremely compact electro-absorption modulator integrated DFB laser module for 100Gbps Ethernet over 75km SMF reach," in *Proc. ECOC*, 2008, P.2.07.
- [1.12] S. Makino, H. Hayashi, K. Shinoda, T. Kitatani, T. Shiota, S. Tanaka and H. Inoue, "Uncooled CWDM 25-Gbps EA/DFB lasers for cost-effective 100-Gbps Ethernet transceiver over 10-km SMF transmission," in *Proc. OFC*, 2008, PDP21.
- [1.13] T. Saito, T. Yamatoya, Y. Morita, E. Ishimura, C. Watatani, T. Aoyagi and T. Ishikawa, "Clear eye opening 1.3 μm -25 / 43Gbps EML with novel tensile-strained asymmetric QW absorption layer," in *Proc. ECOC*, 2009, Paper 8.1.3.
- [1.14] T. Fujisawa, M. Arai, N. Fujiwara, W. Kobayashi, T. Tadokoro, K. Tsuzuki, Y. Akage, R. Iga, T. Yamanaka and F. Kano, "25 Gbit/s 1.3 μm InGaAlAs-based electroabsorption modulator integrated with DFB laser for metro-area (40 km) 100 Gbit/s Ethernet system," *Electronics Letters*, vol. 45, no. 17, pp. 900-902, 2009.
- [1.15] H. Takahashi, T. Shimamura, T. Sugiyama, M. Kubota, and K. Nakamura, "High-power 25-Gb/s electroabsorption modulator integrated with a laser diode," *IEEE Photonics Technology Letters*, vol. 21, no. 10, pp. 633-635, 2009.
- [1.16] Y. Morita, T. Yamatoya, Y. Hokama, K. Akiyama, R. Makita, N. Yasui, D. Morita, H. Kawahara and E. Ishimura, "1.3 μm 28 Gb/s EMLs with hybrid waveguide structure for low-power-consumption CFP2 transceivers," in *Proc. OFC*, 2013, OTh4H.5.
- [1.17] T. Simoyama, M. Matsuda, S. Okumura, A. Uetake, M. Ekawa and T. Yamamoto, "4-wavelength 25.8-Gbps directly modulated laser array of 1.3- μm AlGaInAs distributed-reflector lasers," in *Proc. ISLC*, 2012, TuB3.

- [1.18] D. Kim, J. Shim, Y. C. Keh and M. Park, “Design and fabrication of a transmitter optical subassembly (TOSA) in 10-Gb/s small-form-factor pluggable (XFP) transceiver,” *Journal of Selected Topics in Quantum Electronics*, vol. 12, no. 4, pp. 776-782, 2006.
- [1.19] N. Okada, S. Zaizen, T. Fujita, T. Kogure, Y. Miyazaki, A. Sugitatsu and T. Hatta, “10.7 Gbit/s low power consumption and low jitter EML TOSA employing interdigital capacitor,” in *Proc. ECOC*, 2006, We3.P.66.
- [1.20] C. Xu, Y. Z. Xu, Y. Zhao, K. Lu, W. Liu and W. Liu, “Performance improvement of 40-Gb/s electroabsorption modulator integrated laser module with two open-circuit stubs,” *IEEE Photonics Technology Letters*, vol. 24, no. 22, pp. 2046-2048, 2012.
- [1.21] T. Simoyama, M. Matsuda, S. Okumura, A. Uetake, M. Ekawa, and T. Yamamoto, “50-Gbps direct modulation using 1.3- μm AlGaInAs MQW distribute-reflector lasers,” in *Proc. ECOC2012*, P2.11.
- [1.22] W. Kobayashi, T. Ito, T. Yamanaka, T. Fujisawa, Y. Shibata, T. Kurosaki, M. Kohtoku, T. Tadokoro, and H. Sanjoh, “50-Gb/s direct modulation of a 1.3- μm InGaAlAs-based DFB laser with a ridge waveguide structure,” *Journal of Selected Topics in Quantum Electronics*, vol. 19, no. 4, Article# 1500908, 2013.
- [1.23] K. Nakahara, Y. Wakayama, T. Kitatani, T. Taniguchi, T. Fukamachi, Y. Sakuma, and S. Tanaka, “Direct modulation at 56 and 50 Gb/s of 1.3- μm InGaAlAs ridge-shaped-BH DFB lasers,” *IEEE Photonics Technology Letters*, vol. 27, no. 5, pp. 534-536, 2015.
- [1.24] C. Jany, C. Kazmierski, J. Decobert, F. Alexandre, F. Blache, O. Drisse, D. Carpentier, N. Lagay, F. Martin, E. Derouin, T. Johansen, C. Jiang, “Semi-insulating buried heterostructure 1.55 μm InGaAlAs electroabsorption modulated laser with 60GHz bandwidth,” in *Proc. ECOC2007*, PDS2.7.
- [1.25] T. Yagisawa, and T. Ikeuch, “Compact 40-Gb/s EML module using broadband FPC

connection technique,” in Proc. OFC2010, OThC3.

[1.26] T. Fujisawa, K. Takahata, W. Kobayashi, T. Tadokoro, N. Fujiwara, S. Kanazawa and F. Kano, “1.3 μm , 50 Gbit/s electroabsorption modulators integrated with DFB laser for beyond 100G parallel LAN applications,” *Electronics Letters*, vol. 47, no. 12, pp. 708-710, 2011.

[1.27] W. Kobayashi, M. Arai, T. Fujisawa, Y. Shibata, T. Sato, T. Ito, K. Hasebe, T. Yamanaka, and H. Sanjoh, “40-Gbit/s EADFB laser integrated with short cavity SOA improving chirp characteristics with low power consumption,” in Proc. ECOC2014, Mo.4.4.5.

第2章 高密度高速配線実装技術

本章では、2.1 節にて、小型光送信器実現に向けた光合波器の集積形態の検討、および 25.8Gbit/s/ch 動作に向けて、第 1 章で指摘した従来型ワイヤ接続での課題を改善するための、ワイヤ接続技術を用いた新しい実装構造を提案する。また、新構造を適用した小型の EADFB レーザアレイ TOSA (Transmitter Optical Sub-Assembly) を作製したので、モジュール設計、特性評価の結果について示す。併せて、新構造を適用したワイヤ接続モジュールの課題についても述べる。2.2 節では、従来型ワイヤフリーの実装技術である、フリップチップ実装技術をアレイデバイスに適用した場合の課題について述べる。2.3 節では、これら課題を解決するために新たに提案するフリップチップ接続技術について説明する。

2.1. レーザアレイ光送信器に適したワイヤ接続技術の提案とその課題

本節では、小型 TOSA 実現のために、光合波器の集積形態の検討、帯域改善のためのワイヤ接続アレイ TOSA に適した新しい実装構造検討を行ったので、説明する。加えて、ワイヤ接続小型アレイ TOSA を作製したので、特性評価と課題についても述べる。

今回作製する小型 TOSA は 100 ギガビットイーサネットの 40km 伝送用規格である、100GBASE-ER4 をターゲットとした [2.1]。100GBASE-ER4 の規格を表 2.1.1 に示す。小型 TOSA 実現のためには、第 1 章に述べたようにアレイデバイスを光源とすることに加えて、4 つの光信号を 1 つに合波するための光合波器を TOSA 内部に集積する必要がある。集積方法としては、大きく分けてハイブリッド集積とモノリシック集積の 2 種類の方法がある。表 2.1.2 に各特徴をまとめた。ハイブリッド集積では図のような空間光学型と平面光波回路 (PLC) 型の 2 種類のタイプがある。表に示した空間光学型の構成例では波長フィルタを用いた光合波器となっている [2.2]。レーザアレイから出た光はレンズでコリメート光となり、ミラーと波長フィルタを通過して合波される。本構成では波長フィルタとして誘電体フィルタを用いており、安価な部品で構成できるため、コスト面がメリットとしてあげられる。反面、実装部材が多いため工程が複雑化する、サイズが大きくなりやすいとい

った課題がある。表に示した PLC 型はアレイ導波路格子(AWG)を合波器として用いている [2.3]。光はレンズによって PLC に集光され、PLC 内で合波され、出力される。合波器部分が PLC で構成されるため、比較的、実装工程が簡易であるメリットがある。反面、PLC が大型に成りやすいため、小型化しにくい課題がある。表に示したモノリシック集積の構成では、半導体内の合波器としてマルチモード干渉型 (MMI) を用いている [2.4]。レーザアレイから出力された光は、MMI 合波器を通して合波され、チップから出力される。モノリシック集積チップは半導体チップ上に合波器を含めて集積されているため、部品点数が少なく、非常に小型であり、実装工程も非常に簡易であることがメリットとして上げられる。反面、チップ内の集積度が上がるため、チップ歩留まりの低下によるコスト上昇が懸念されるが、プロセス工程の安定化により解決可能であると考えられる。今回は、小型化にもっとも適した、モノリシック集積チップを用いたアプローチを採用した。

表 2.1.1 100GBASE-ER4 の光送信器側の規格

100GBASE-ER4	
ビットレート	25.78125 Gbit/s
各波長範囲 (LAN-WDM グリッド)	1294.53 ~ 1296.59 nm 1299.02 ~ 1301.09 nm 1303.54 ~ 1305.63 nm 1308.09 ~ 1310.19 nm
SMSR	30 dB
最小光出力	-2.9 dBm
最小OMA (Optical Modulation Amplitude)	0.1 dBm
消光比	8 dB

表 2.1.2 モノリシック集積とハイブリッド集積の特徴

	ハイブリッド集積		モノリシック集積
	空間光学型	PLC型	
実装例			
部品点数	多	中	少
サイズ	中	大	小
コスト	安価	中	高価
実装工程	難	中	簡易

図 2.1.1 は作製した合波器集積 4 チャンネル EADFB レーザアレイチップの写真と、導波路部の断面図である。小型の変調光源としては、1.2 節で説明したとおり、直接変調レーザと EADFB レーザがあるが、100GBASE-ER4 では消光比 8dB 以上と大きな消光比が必要となるため、EADFB レーザを用いることとした。高周波配線板と EA 変調器間を結ぶワイヤの間に GND ワイヤを配置し、隣接チャンネル間の電気クロストークを低減できるように、チップ上面に楕形状に GND 電極が配置された構造となっている。本電極は、絶縁膜上に配置されているため、サブキャリア上にチップを搭載後に、サブキャリア上の GND とワイヤにて結線する。

まず、EADFB レーザ部から構造を説明する。本 EADFB レーザは左側(後端)側からモニタ PD、DFB レーザ、EA 変調器の順に並んでいる。チップ内にモニタ PD を集積することで、モジュール化の際にチップ後端にモニタ PD を別部品で実装する必要がなくなるため、

実装時間低減につながる。モニタ PD と DFB レーザはおなじ活性層構造となっており、InGaAlAs 圧縮歪み量子井戸構造となっている。また、EA 変調器は InGaAlAs 引っ張り歪み量子井戸構造を吸収層として用いた。InGaAlAs 量子井戸は、InGaAsP 量子井戸と比較して、伝導体のバンドオフセット(ΔE_c)が大きいいため、大きな吸収係数を得ることができる。くわえて、価電子帯のバンドオフセット(ΔE_v)は小さいため、高速変調時に問題となるホールパイルアップエフェクト(Hole-pileup effect)を抑制することが可能である。また、引っ張り歪みとすることで、Heavy hole と Light hole のバンド端を一致させることができるため、吸収係数を大きくすることが可能となる。導波路構造は図 2.1.1 の右下の断面図からわかるように、低誘電率材料であるベンゾシクロブテン(BCB)によって埋め込まれたリッジ導波路構造となっている。側面を BCB で埋め込んで、その上部に電極パッドを配置することでパッド容量が大幅に低減可能となり、高周波特性の改善につながる。EA 変調器のパッドサイズはワイヤボンダによる結線が可能な最小サイズである $50\mu\text{m}$ 角とした。

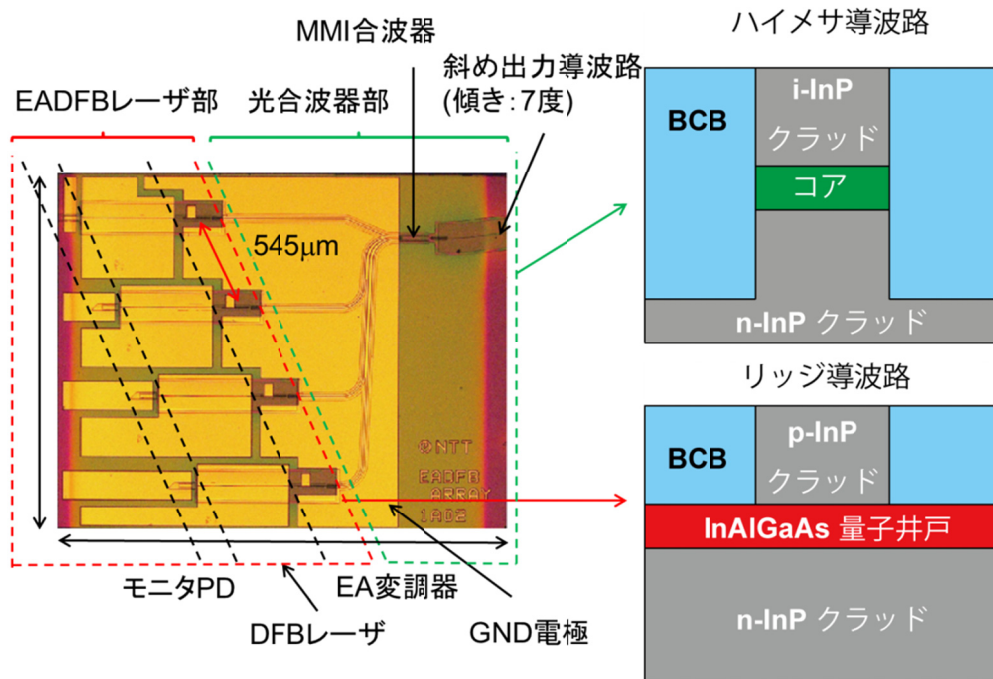


図 2.1.1 4 チャンネル EADFB レーザアレイチップの写真と導波路断面図

次に、光合波器部を見ていく。光合波器として、4:1のMMIカプラを用いた。これは、MMIカプラは小型で、かつ波長依存性の小さい特徴を有するためである。また、導波路構造は図2.1.1の右上に示されるように、ハイメサ導波路構造とした。これは、ハイメサ導波路にすることで、光閉じこめを強くすることができるため、曲げ損失、放射損失を低減することが可能となり、光合波器部の小型、低損失化に寄与するためである。クラッド層は導波路損失低減のために、p-InPに比べて光吸収係数の小さい、i-InP(ノンドープInP)を用いた。また、本チップの導波路出力部は7度の曲げ導波路とした。本チップでは、DFBレーザからチップの端面までの距離が単体のEADFBレーザと比較して大幅に長くなるため、DFBレーザの動作がチップ端での反射光の影響を受けやすくなっている。そこで、チップ端での反射光を光導波路に戻さないようにするためにつけたものである。図2.1.2はEADFBレーザアレイのハイバットジョイント再成長工程を導波路方向の断面図で示したものである。先に述べたように、導波路部の低損失化のために、光合波器部のクラッド層はノンドープのInPに置き換えるハイバットジョイント再成長を行った。まず、図2.1.2(a)のように、LDとモニタPD(MPD)に用いる圧縮歪みInGaAlAs量子井戸層、EA変調器に用いる引っ張り歪みInGaAlAs量子井戸層、そして光合波器部(MUX)のコア層に用いるInGaAsP層をバットジョイント再成長によって作製する。つぎに、上部全面にp-InPクラッド層を再成長し(図2.1.2(b))、MUX部上部のクラッド層のみエッチングした後、ノンドープのInPクラッド層を再成長して完成となる(図2.1.2(c))。図2.1.3はハイバットジョイント再成長を行ったあとの断面SEM写真を示したものである。左側が光合波器部、右側がEADFBレーザ部となっている。写真からわかるように、コア層から、クラッド層までジョイント部界面がボイド等のない良好な接合がとれていることがわかる。界面の異常は、光損失、反射の増加を引き起こすため、良好なジョイントが得られていることは非常に重要である。

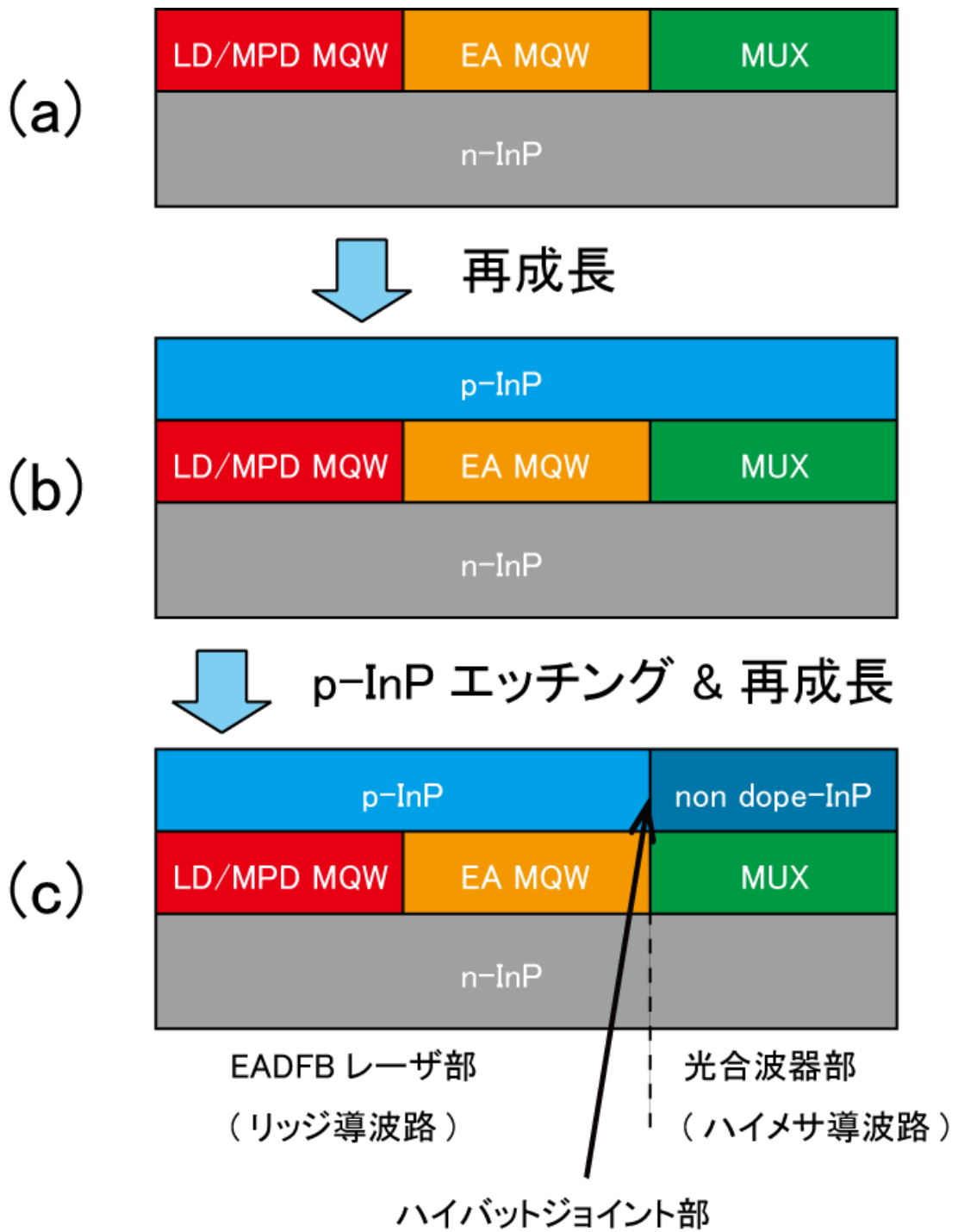


図 2.1.2 EADFB レーザアレイチップのハイバットジョイント再成長工程

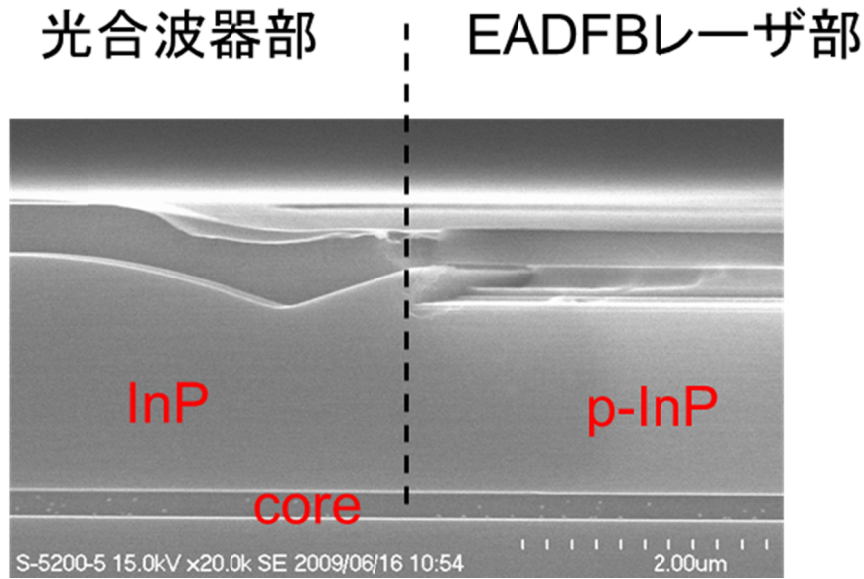


図 2.1.3 ハイバットジョイント再成長後の断面 SEM 写真

次に、4チャンネル EADFB レーザアレイサブアセンブリの設計を行った。表 2.1.1 に示されるように各チャンネルで求められるビットレートは 25.78125Gbit/s である。そのため、第 1 章で示したように、従来型のワイヤ接続技術では帯域が若干不足している。そこで、我々は帯域改善の手法として新たに、高周波配線板をチップ上部に配置する三次元配線構造を開発した [2.5, 6]。図 2.1.4 は三次元配線構造を用いた 4 チャンネル EADFB レーザアレイサブアセンブリの構造を示したものである。レーザアレイチップはサブキャリア上に配置され、同じサブキャリア上にレーザアレイチップより厚いスペーサも配置されている。このとき、レーザアレイチップは 7 度の傾きをもつ光導波路からの出射光にあわせて 23.4 度傾けて搭載している。スペーサ上に高周波配線板と終端抵抗基板が配置されている。スペーサ上に置かれた高周波配線板と EA 変調器(EAM)とはワイヤで結線される。同様に、高周波配線板と終端抵抗もワイヤで結線される。本構造を用いることで、全てのチャンネルの EA 変調器の電極直上にまで高周波配線をひくことができるため、高周波配線板・EA 変調器間のワイヤを従来型ワイヤ接続より短くすることが可能となる。組立手順を図 2.1.5 に示す。

まず、サブキャリア上に EADFB レーザアレイチップとスペーサを配置し、サブキャリア上の DC 配線とアレイチップ上の DFB レーザ電極、モニタ PD 電極をワイヤで接続する(図 2.1.5(a))。同時に、サブキャリア上の GND とチップ上の楕型 GND 電極もワイヤで接続する。次に、高周波配線板をスペーサ上に配置し、高周波線路の信号線と EA 変調器電極、高周波線路の GND とアレイチップの GND 電極をワイヤで接続する(図 2.1.5(b))。そして、終端回路基板をスペーサ上に配置(図 2.1.5(c))、最後に高周波線路と終端回路をワイヤで接続する(図 2.5(d))。このようにして、三次元配線構造を用いた 4 チャンネル EADFB レーザアレイサブアセンブリが完成する。

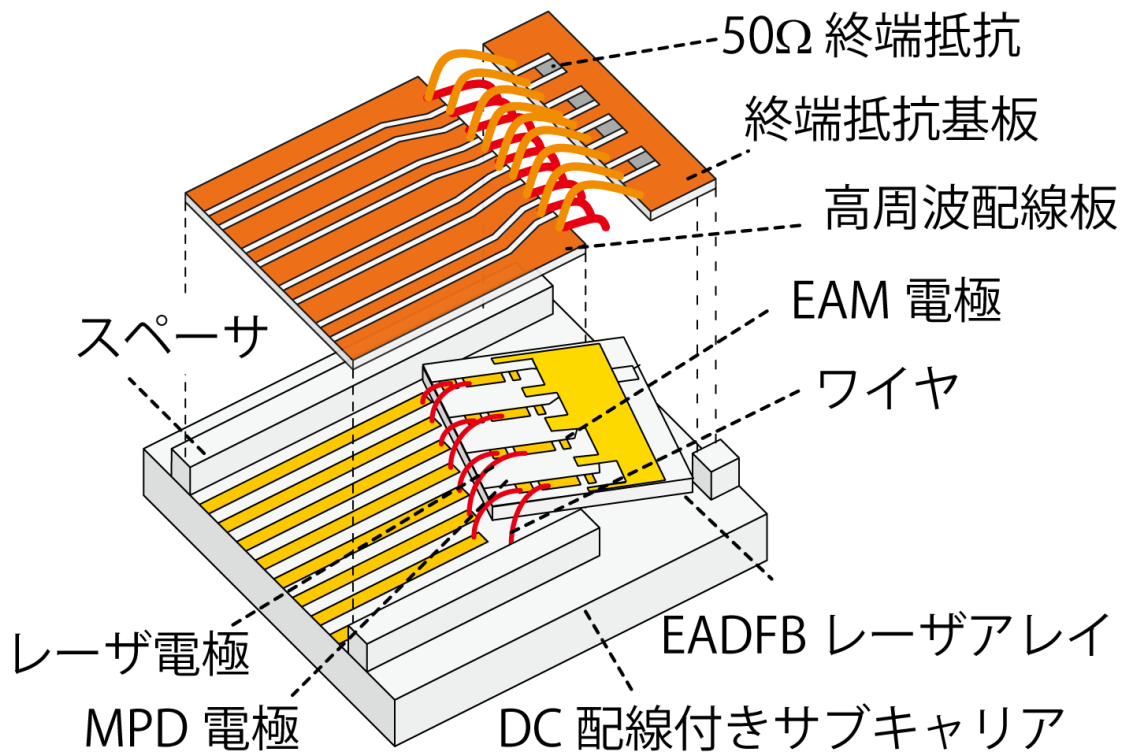


図 2.1.4 三次元配線実装技術を用いたワイヤ接続 4 チャンネル EADFB レーザアレイサブアセンブリの構造図

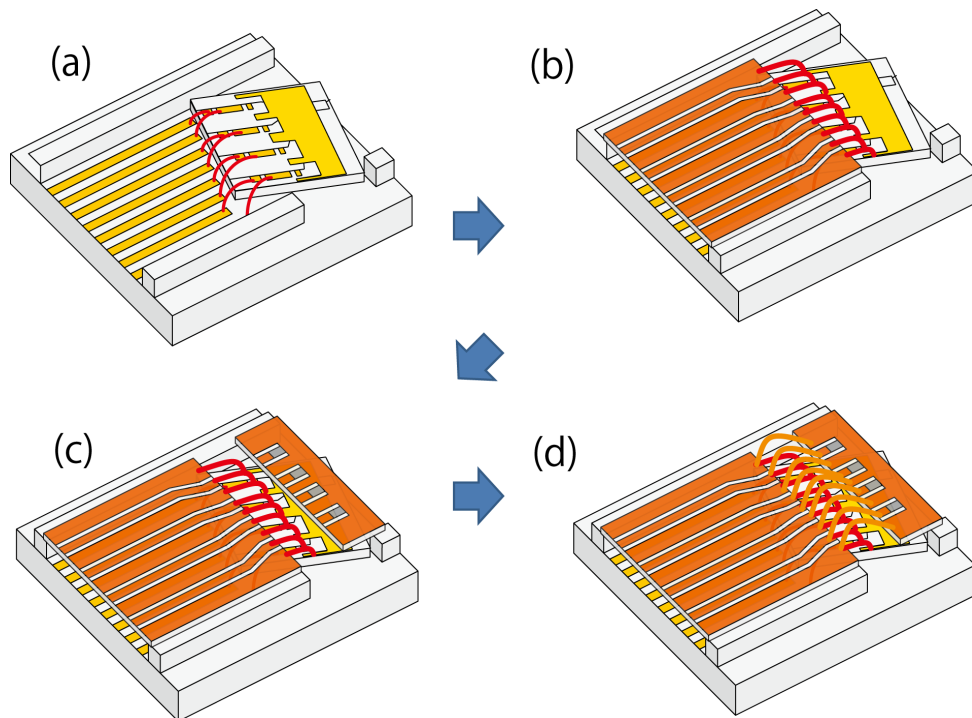


図 2.1.5 三次元配線実装技術を用いたワイヤ接続 4 チャンネル EADFB レーザアレイサブアセンブリの組立図

三次元配線構造を用いた場合のワイヤ長を図 2.1.6 のサブアセンブリの断面図を用いて見積もる。EA 変調器電極と高周波配線板の端面はワイヤボンディング装置を使って結線するために 0.3mm ずらして配置されている。また、高周波配線板の厚さは 0.2mm とし、アレイチップと高周波配線板のギャップは 0.1mm とした。よって、高周波線路と EA 変調器電極を結ぶ橙色で示したワイヤ長は約 0.5mm となり、従来のワイヤ接続技術を用いたときの内側 EA 変調器との接続に用いたワイヤ長と比較して 0.2mm 程度短尺化することができた。ワイヤの短尺化は寄生インダクタンスの低減につながるため、高周波特性改善が期待できる。

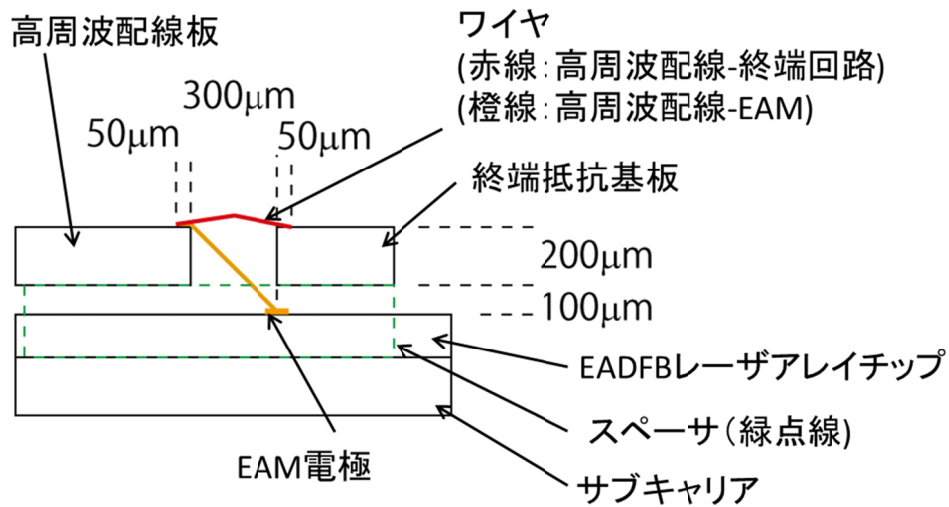


図 2.1.6 三次元配線構造を用いたワイヤ接続 4 チャンネル EADFB レーザアレイサブアセンブリの断面図

三次元配線構造を用いることで、従来のワイヤ接続技術と比較してどの程度周波数応答特性が改善するかを図 1.1.7 と同じ等価回路モデルである図 2.1.7 を用いてシミュレーションで見積もる。 $R_{p\text{clad}}$ 、 R_{active} 、 $R_{n\text{clad}}$ 、 R_{term} 、 C_{pad} 、 C_{active} 、 C_{term} 、 L_{term} は第 1 章で行ったシミュレーションと同様のパラメータとなるように、それぞれ、11.7、120、4.3、 50Ω 、36、110、8.2fF、72pH とした。 L_{wire1} の長さは先に見積もったとおり 0.5mm、 L_{wire2} の長さは図 2.1.6 より 0.4mm と設定した。また、 L_{wire1} 、 L_{wire2} の値は単位長さあたりの寄生インダクタンスを 1nH/mm として計算した値を用いた。このときの周波数応答特性のシミュレーション結果を図 2.1.8 に示す。従来実装技術の結果は第 1 章の内側 EAM の特性に相当するワイヤ長 0.7mm の周波数応答特性の結果と同じものである。三次元配線構造ではサブアセンブリの 3dB 帯域が 31GHz であり、従来ワイヤ接続時の 3dB 帯域、23GHz と比較して約 8GHz の帯域改善が出来ていることが確認できた。また、本結果から、三次元配線構造を用いたサブアセンブリでは、4 チャンネル×25.8Gbit/s/ch 動作可能な帯域が得られることを確認した。

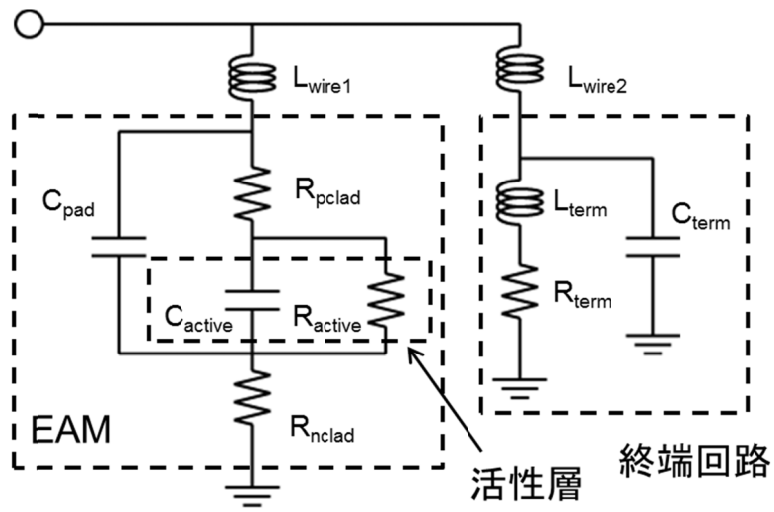


図 2.1.7 EADFB レーザアレイサブアセンブリの等価回路モデル

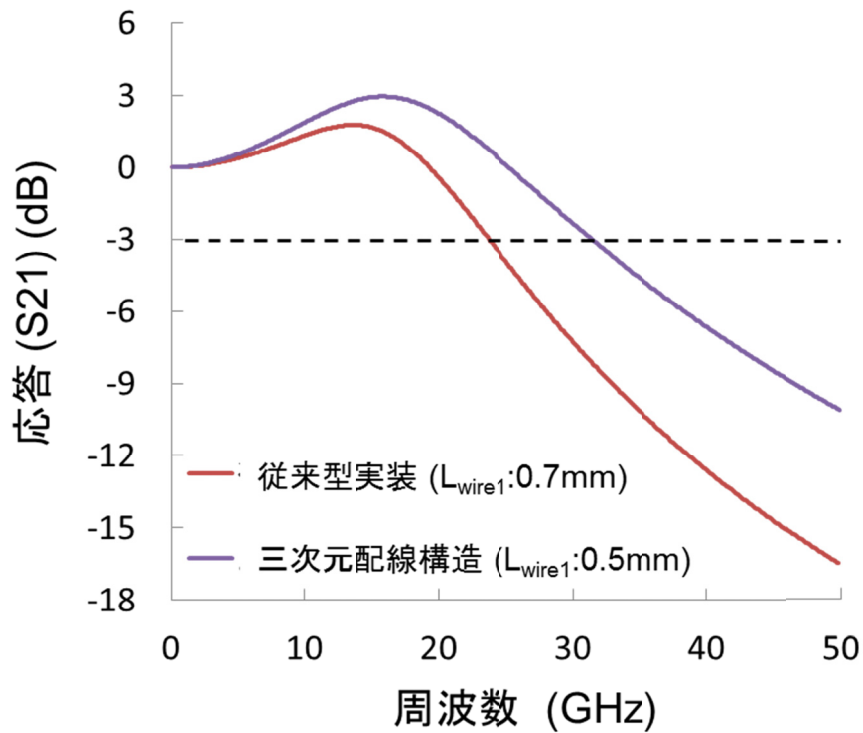


図 2.1.8 EADFB レーザアレイサブアレイアセンブリの周波数応答特性シミュレーション

結果

本提案構造である、三次元配線構造を適用したサブセンブリを用いて、小型 4 チャンネル EADFB レーザアレイ TOSA を作製した [2.6]。図 2.1.9 は三次元配線構造を用いたワイヤ接続 EADFB レーザアレイ TOSA の概略図と外観写真である。レーザアレイチップを光源とすることで、モジュールの外形で、幅 8.0 mm×長さ 35 mm×高さ 6.5 mm (フレキシブルプリント基板(FPC)、LC レセプタクル含む)の非常に小型な TOSA を実現することができた。モジュールは高周波信号、DC 信号とも図のように FPC をインタフェースとする構造となっており、測定の際には FPC 出力を高周波コネクタに変換する治具を用いた。EA 長は 150 μ m、EADFB レーザアレイチップ内のチャンネル間ピッチは 0.545mm となっている。図 2.1.10 は 4 チャンネル EADFB レーザアレイ TOSA のスペクトル特性を示している。以下の測定はすべて、チップ温度 40 度一定、DFB レーザのバイアス電流はすべてのチャンネルで 100mA とした。100GBASE-ER4 の規格では、最短波の波長を使うチャンネルをレーン 0、最長波の波長を使うチャンネルをレーン 3 と呼ぶこととしている。図の青、緑、黄、赤色の帯は、表 2.1.1 に示されている、LAN-WDM グリッドとして規定されているレーン 0、1、2、3 の波長範囲を示している。すべての発振ピーク波長で規格の波長範囲内に収まっていることが確認できた。また、サイドモード抑圧比(SMSR)もすべてのチャンネルにおいて、40dB 以上とれており、こちらも 100GBASE-ER4 の規定に収まることが確認できた。また、良好なシングルモード発振であることがわかる。続いて、本モジュールを用いて、E/O 応答特性を測定した結果を図 2.1.11 に示す。各チャンネルは独立動作で測定を行い、EA バイアス電圧はレーン 0、1、2、3 でそれぞれ、-1.3,-1.5,-1.7,-1.9V とした。全てのチャンネルで 3dB 帯域、20GHz 以上であった。本結果は、25.8Gbit/s/ch 動作可能な 3dB 帯域が得られたことを示している。しかし、先の図 2.1.8 のシミュレーション結果と比較して、帯域が劣化している。これは、本測定結果に FPC や、治具の特性が含まれており、これらの帯域不足が劣化の支配的要因であると考えている。

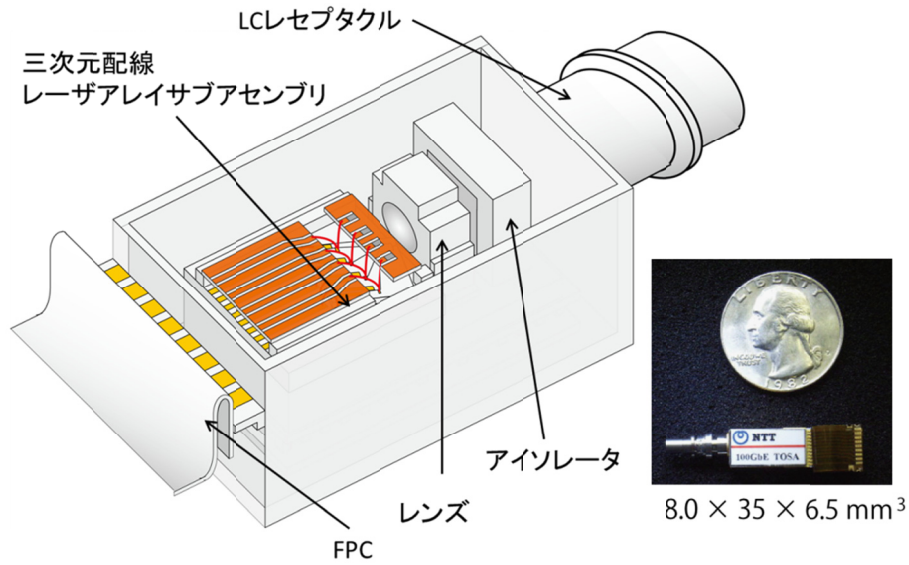


図 2.1.9 三次元配線構造ワイヤ接続 EADFB レーザアレイ TOSA の概略図

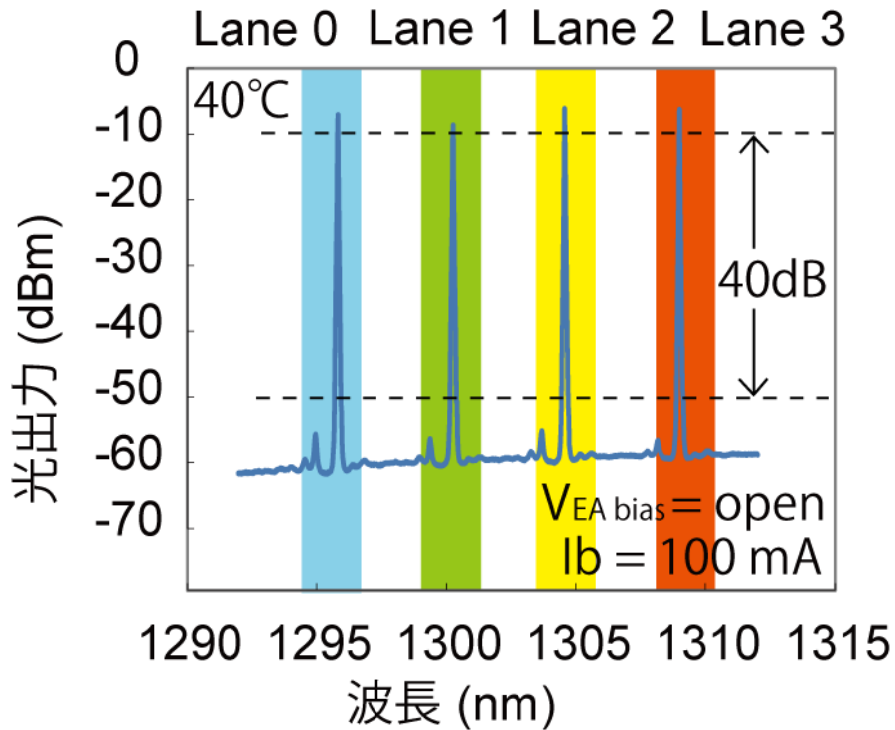


図 2.1.10 EADFB レーザアレイ TOSA のスペクトル特性

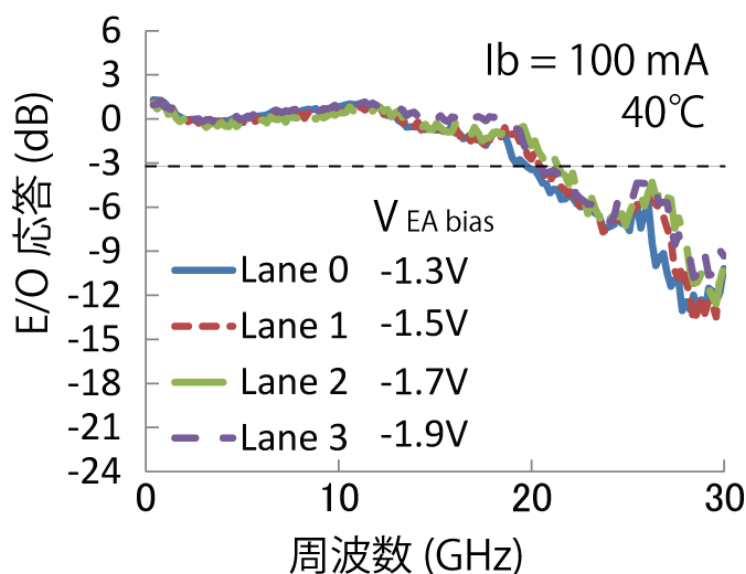


図 2.1.11 EADFB レーザアレイ TOSA の E/O 応答特性

次に、作製した TOSA を使い 100Gbit/s 動作(4 チャンネル×25.8Gbit/s/ch 動作)時の伝送実験を行った。図 2.1.12 は Back-to-back、シングルモードファイバ(SMF)伝送 10km、40km 伝送後のアイ波形を示している。変調信号は振幅電圧 2.0Vpp、信号レート 25.78125 Gbit/s の NRZ(non-return to zero)信号、PRBS(疑似ランダムビットシーケンス)は $2^{31}-1$ とした。また、各チャンネルの EA 変調器のバイアス電圧はそれぞれ、-1.2、-1.3、-1.6、-1.8V とした。4 チャンネル同時に動作させている。また、4 次のベッセルフィルタを通したあとのアイ波形を示している。Back-to-back では、100 ギガビットイーサネットのアイマスクを用いた、マスクテストも同時に行った。すべてのチャンネルにおいて、消光比は 100GBASE-ER4 の規格を満たす 9dB 以上であり、マスクテストもマージン 17%以上を得ることができた。また、SMF10km 伝送、40km 伝送後のアイ波形も良好なアイ開口が得られた。OMA(Optical Modulation Amplitude)は各チャンネルで、-4.0、-2.0、-2.0、-1.0 dBm であった。100GBASE-ER4 では 0.1dBm 以上を必要とするため、最大、4.0dB 程度不足する結果となった。この点は、合波器を AWG など、合波損の低いものに置き換えることを検討する必要

がある。図 2.1.13 はビットエラーレート特性(BER 特性)の測定結果である。すべてのチャンネルで、Back-to-back、SMF10km、40km 伝送後すべてにおいて、エラーフリー動作を確認することができた。また、40km 伝送後の最小受光感度は、各チャンネルで-14.7、-14.6、-14.7、-14.5 dBm であった。しかし、同時動作と各チャンネル独立動作での最小受光感度のペナルティを Back-to-back での BER 特性からみると、各チャンネルとも 0.5dB 程度あった。これは、同時動作時に発生する隣接チャンネル間のクロストークが影響していると考えられる。中でも、高周波配線板と EA 変調器を接続するワイヤ部は、チャンネル間が近接していることに加え、ワイヤの持つインダクタンスが相互に結合することでクロストークを発生することから、このワイヤによる電気クロストークが主なペナルティの発生要因であると考えられる。

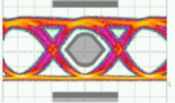
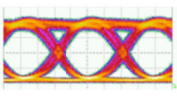
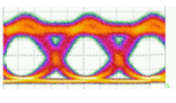
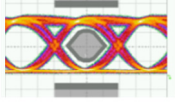
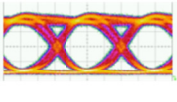
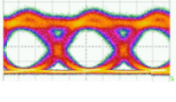
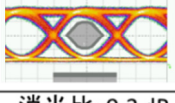
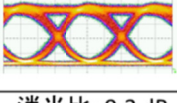
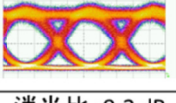

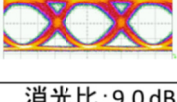
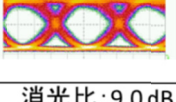
	Back-to-back	10km	40km
Lane 0			
	消光比: 10.2 dB マスクマージン: 29%	消光比: 10.2 dB	消光比: 10.0 dB
Lane 1			
	消光比: 9.8 dB マスクマージン: 33%	消光比: 9.8 dB	消光比: 9.7dB
Lane 2			
	消光比: 9.3 dB マスクマージン: 25%	消光比: 9.3 dB	消光比: 9.2 dB
Lane 3			
	消光比: 9.0 dB マスクマージン: 17%	消光比: 9.0 dB	消光比: 9.0 dB

図 2.1.12 EADFB レーザアレイ TOSA の 25.8Gbit/s 信号アイ波形

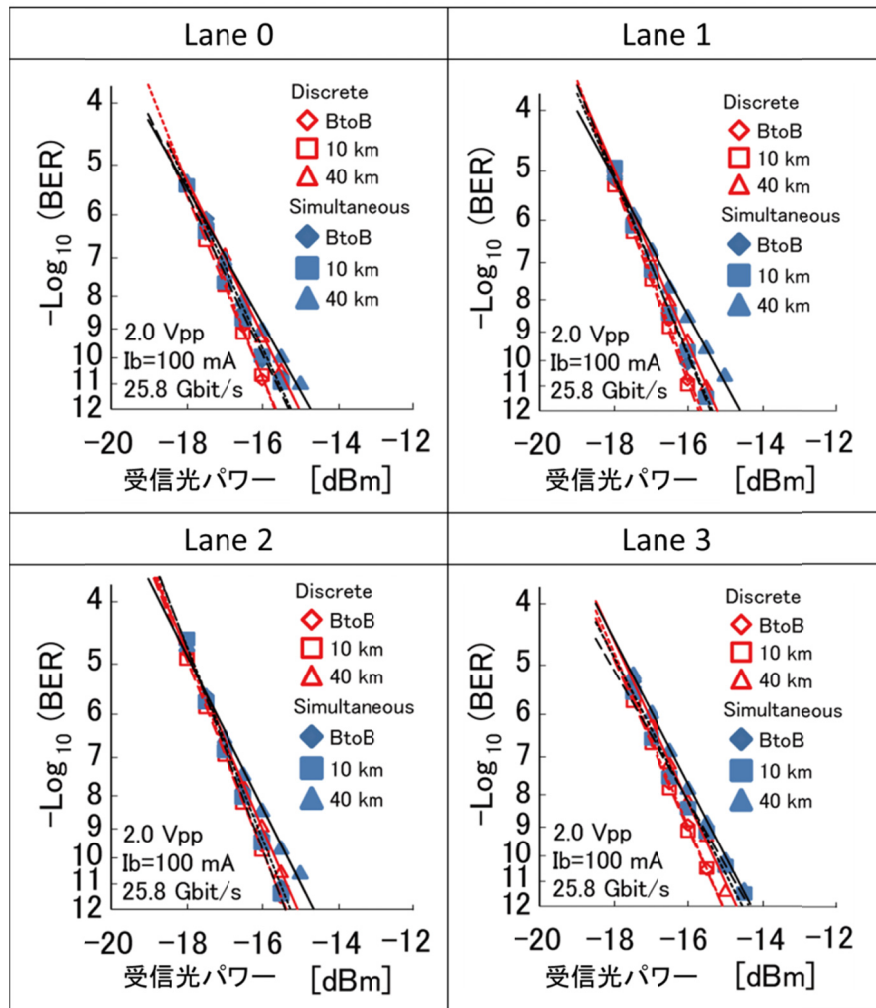


図 2.1.13 EADFB レーザアレイ TOSA のビットエラーレート特性

合波器モノリシック集積 EADFB レーザアレイチップを光源とすることで、非常に小さな 4 チャンネル集積 TOSA を実現することができた。また、三次元配線構造を新たに提案し、本構造を適用することによって、ワイヤ接続でも 25.8Gbit/s/ch 動作が可能な変調帯域まで改善できることがわかった。しかし、ワイヤ接続部の隣接チャンネル間電気クロストークによって最小受光感度のペナルティが発生している可能性があることから、25.8Gbit/s/ch 級でもワイヤフリー実装技術の適用が望まれる。また、25.8Gbit/s/ch 超級の実現にはワイヤフリー実装技術が必須であることがわかった。

2.2. 従来のフリップチップ実装技術の課題

2.1 節では、25.8Gbit/s/ch 超級では帯域不足、電気クロストーク増加の観点から、ワイヤフリー実装技術が必要不可欠であることを確認した。そこで、ワイヤフリーの実装技術であるフリップチップ実装技術を検討する。フリップチップ実装技術は一般的に、引き出し用配線を有する基板に対して、半導体チップの上面が下となるフェイスダウンで実装し、半導体チップ上の電極と配線との接続部は厚さが数ミクロン～数十ミクロンの微小サイズの半田等の導体で接続をとる実装技術を指す [2.7-9]。このような構成にすることで、従来型の半導体チップ上面を上配置する、フェイスアップ実装型のワイヤ接続技術と比較して、高周波特性の改善以外にも、実装方法の設計次第では、放熱性の改善 [2.7]、実装工程の簡易化 [2.8, 9]、等の効果が期待できる。今回は、上記に示したメリットの中でも、高周波特性改善に着目してレーザアレイチップに適したフリップチップ実装のための構造について検討した。図 2.2.1 は 4 チャンネル EADFB レーザアレイチップにフリップチップ実装技術を適用した場合のサブアセンブリ構造を示したものである。サブキャリア上には高周波配線以外に、DFB レーザ、モニタ PD 用配線も配置されている。半導体チップとサブキャリア上の各配線とは、チップ-サブキャリア間のギャップを調整するために、図のように金バンプを介して接続される構成とした。金バンプの直径はボールボンダで形成するため、直径 50~60 μm 程度である。このような構造を適用することで、高周波配線と半導体チップ間の接続にワイヤが不要となるため、ワイヤの持つ寄生インダクタンスによる周波数応答特性の劣化や、隣接チャンネル間電気クロストークによる光信号波形の劣化を抑制することが可能となる。では、図 2.2.2 を使って、実装工程を説明する。まず、サブキャリアの配線の上にボールボンダ装置を用いて金バンプを形成する。次に、全ての金バンプを Si 基板で加圧することで、金バンプの高さを揃える、レベリングを行う(図 2.2.2 (a))。そして、レーザアレイチップの電極が配置されている上面が下になるようにして、サブキャリア上にチップをフリップチップ実装する(図 2.2.2 (b))。以上の工程によって、フリップチップ実装 EADFB レーザアレイサブアセンブリが完成する。

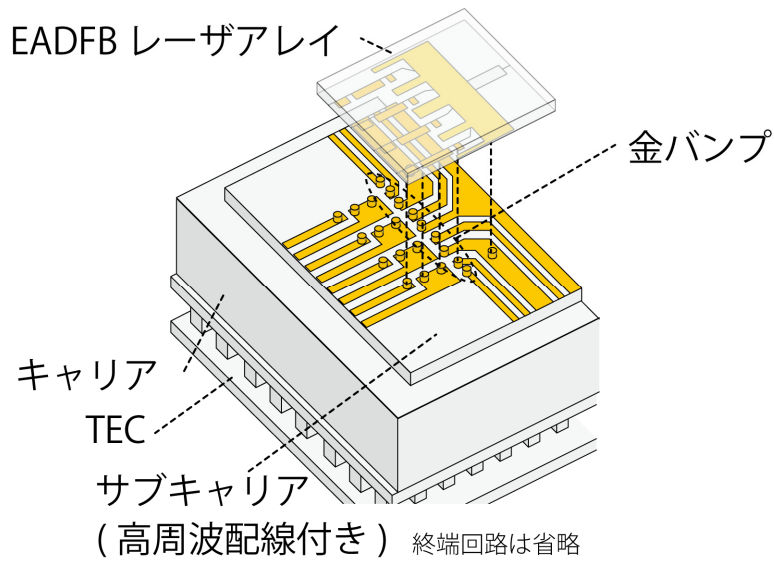


図 2.2.1 フリップチップ実装 4 チャンネル EADFB レーザアレイサブアセンブリの構造図

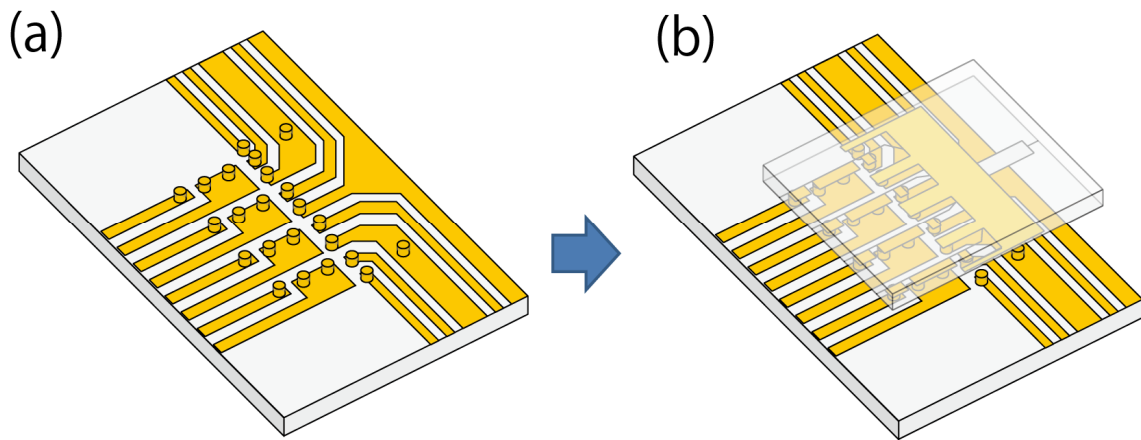


図 2.2.2 フリップチップ実装 EADFB レーザアレイサブアセンブリの工程図

先に説明したとおり、本実装方法では金バンプを介してサブキャリア上の配線と半導体チップが接続されている。半導体チップが高周波配線に近接しすぎると、高周波線路の特性インピーダンスが低下し、高周波特性が劣化する。これを防ぐために、半導体チップと高周波配線のギャップ調整に金バンプを用いている。では、特性劣化が起こらないように

するためにはどの程度のギャップが必要となるかをシミュレーションから見積もる。図 2.2.3 は高周波線路付きサブキャリアと EADFB レーザアレイチップを含む三次元電磁界解析シミュレーションモデルである。サブキャリアは厚さ 0.2mm、幅 1.72mm、長さ 6mm の窒化アルミ板とした。底面は全面金とし、上面は 50Ω のコプレーナ線路になるように設計した高周波配線を配置した。信号線幅は 0.1mm、信号線-GND 間のピッチは 0.04mm、信号線間ピッチは入り口側を 0.81mm、チップと接続する出口側を 0.6mm とし、90 度に配線が曲がる部分でピッチを変換している。上下面とも金は 1μm 厚とした。レーザアレイチップは一般的な層構造と近似したモデルとし、フェイスダウンの状態、下から金 1μm 厚、SiO₂、0.3μm、i-InP、2μm、n-InP、0.1mm 厚とした。また、チャンネル間のピッチは 0.6mm、チップサイズは幅 2.4mm、長さ 3.2mm とした。金バンプは GND 部分のバンプのみとし、EA 変調器との接続部にあたるバンプはなしとした。金バンプは直径 50μm の円柱とした。また、図中の通り、配線長が長い方を Signal2、短い方を Signal1 とした。本シミュレーションモデルを用いて、レーザアレイとサブキャリア間のギャップを 5~50μm、そして 0.1mm まで変化させて、三次元電磁界解析シミュレーションを行った。図 2.2.4 はギャップ 0.1mm とした時の、図 2.2.3 右図中にあるチップと高周波配線が近接している A 面での電界分布を示した物である。通常はコプレーナ線路の電界分布は信号線に対して、両脇の GND へ電界が強くカップリングするが、シミュレーション結果では、両脇の GND だけでなく、上部のチップへも電界がカップリングしていることが分かる。これは、チップが上部に覆い被さる部分だけ、高周波線路の容量が増えていることを示している。容量の増加は、線路の特性インピーダンスの低下を引き起こし、反射特性の劣化につながる。図 2.2.5、6 はそれぞれ Signal1 と 2 の高周波線路の反射特性を、図 2.2.7、8 はそれぞれ Signal1 と 2 の透過特性、図 2.2.9、2.2.10 はそれぞれ、signal1 と 2 の in 側から見た TDR 特性のギャップ依存性を示している。反射特性の結果を見るとギャップが小さくなると、インピーダンス線路が 50Ω より低くなっていくため、反射が増大していることがわかる。また、100μm までギャップを広げることで、Signal1、2 とともにチップなしの時と同程度の特性が得られ

ることが分かる。また、反射特性-10dB以下を28GHz以下の領域で実現するのに必要なギャップはSignal1と2ともに、30 μ m以上であることがわかった。次に、透過特性の結果を見る。こちらも、先の反射特性と同様にギャップが小さくなると透過特性が劣化することが分かる。透過特性の劣化の許容量を28GHz以下の領域で、-1dB以下とした場合、必要なギャップはSignal1と2ともに、30 μ m以上であることがわかった。最後に、TDR特性を見る。コプレーナ線路は上記の通り、誘電率8.8、板厚0.2mmの窒化アルミ基板に信号線幅0.1mm、信号線-GND間ギャップを0.04mmとしているため、透過誘電率は約4.97と見積もられる。位相速度 v_p は下記の式から求まるため、TDR測定結果の横軸1psに相当する距離は位相速度 v_p に1psをかけた半分の値である、0.067mmと求まる。

$$v_p = \frac{c}{\sqrt{\epsilon_{\text{eff}}}} \quad (\epsilon_{\text{eff}} \cdot \cdot \text{透過誘電率、} c \cdot \cdot \text{光速})$$

上記で求めた1ps当たりの距離から、x軸をin側から距離に換算した軸をそれぞれのグラフの二軸目として追加している。図2.2.3から、signal1、signal2ともにin側から1.8mmはチップが上部にない領域、signal1はその先0.8mm、signal2は1.8mmが上部にチップのある領域となる。本結果からも、チップが近接することによる容量の増大が、特性インピーダンスを低下させ、高周波特性を劣化させている主要因になっていることがわかる。チップがかぶっているところのみ、線路幅を細くすることで、インダクタンス性を強めて、容量を低減させ、特性インピーダンスを50 Ω に近づけることもできるが、配線幅が狭くなることによる伝送損失の増大が懸念されるため、今回は行わなかった。本シミュレーション結果をふまえて、金バンプ高さを30 μ m以上とすることにした。

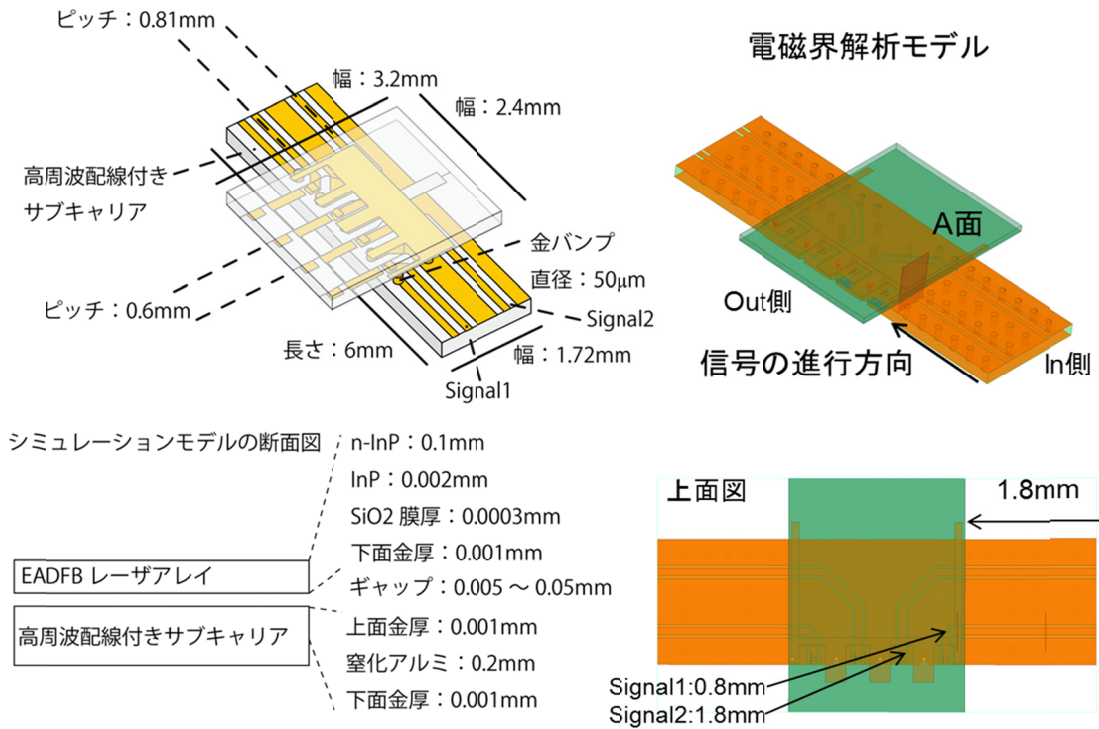


図 2.2.3 フリップチップ実装 EADFB レーザアレイサブセンブリの周波数応答特性シミュレーションモデル

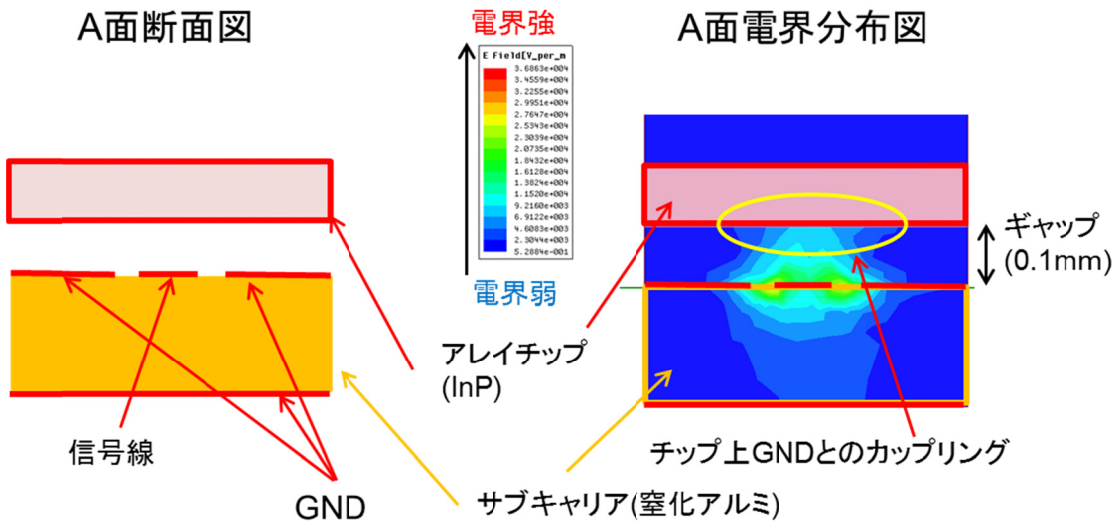


図 2.2.4 フリップチップ時のモデル内 A 面での電界分布図

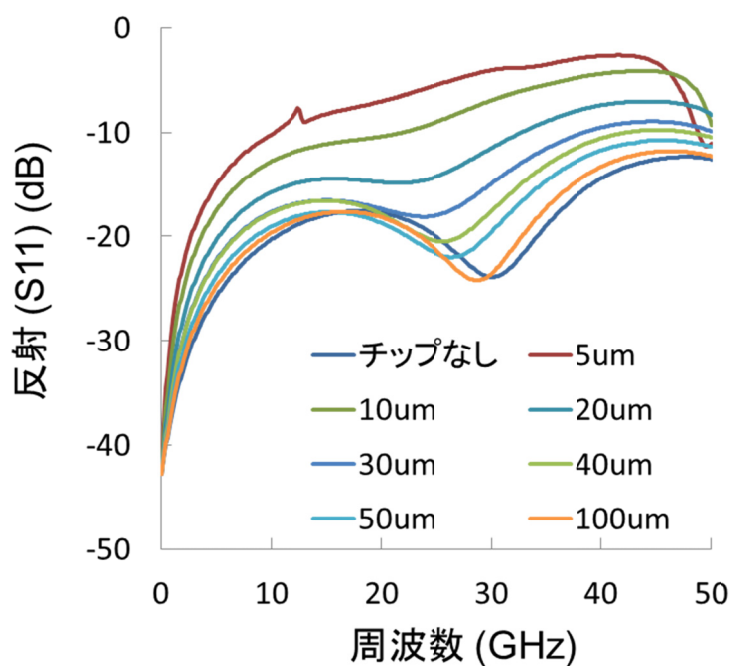


図 2.2.5 Signal1 の反射特性のギャップ依存性

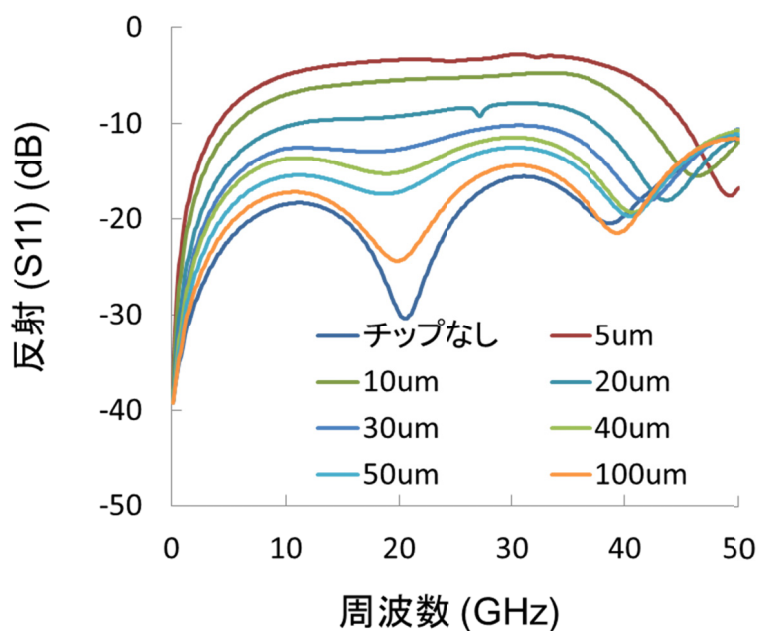


図 2.2.6 Signal2 の反射特性のギャップ依存性

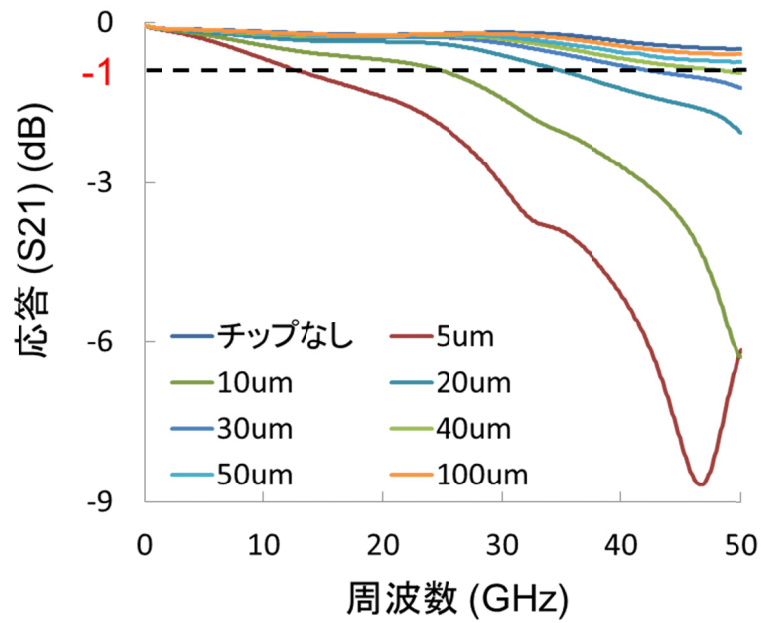


図 2.2.7 Signal1 の透過特性のギャップ依存性

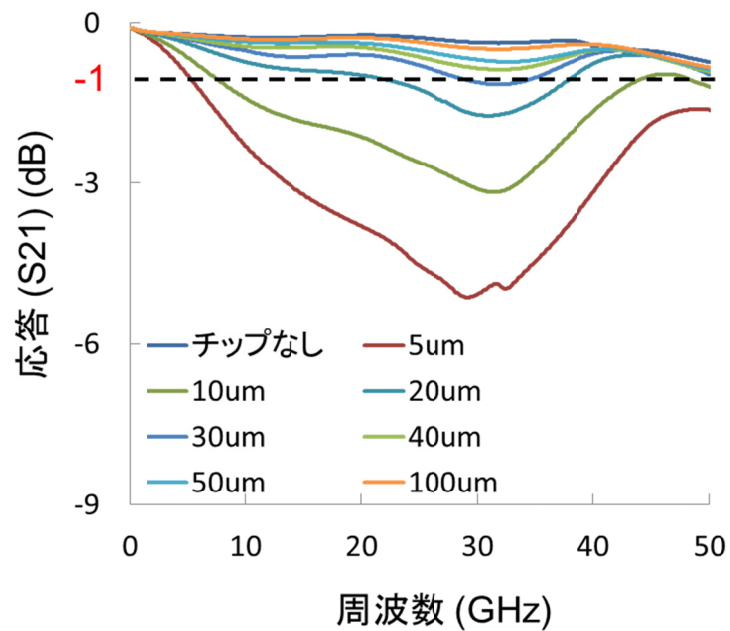


図 2.2.8 Signal2 の透過特性のギャップ依存性

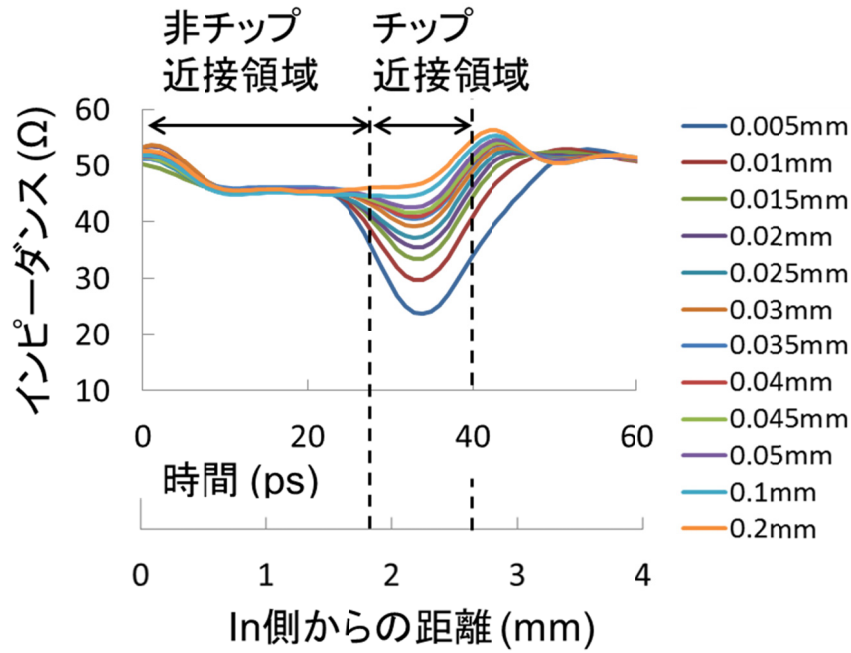


図 2.2.9 Signal1 の in 側から見た TDR 特性のギャップ依存性

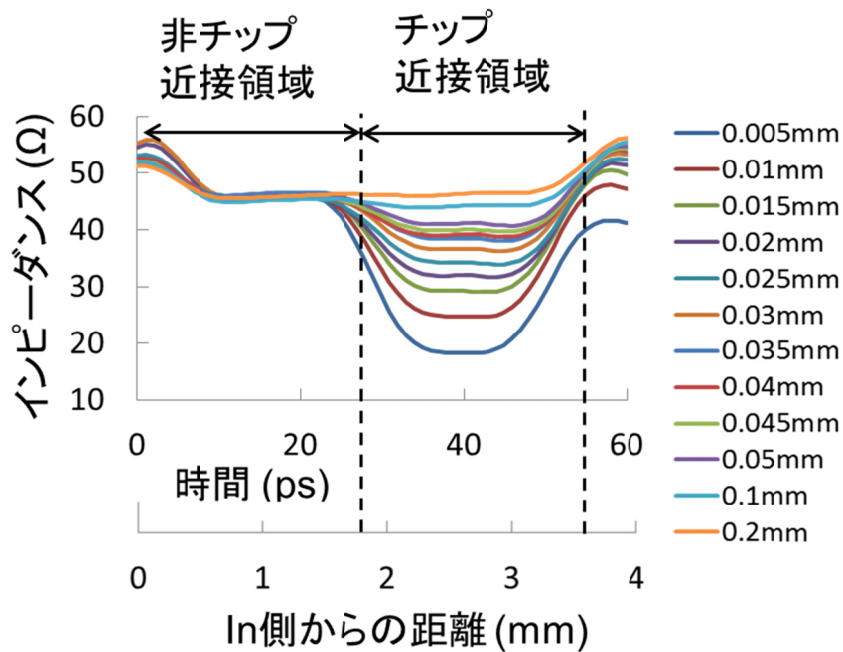


図 2.2.10 Signal2 の in 側から見た TDR 特性のギャップ依存性

上記の通り、フリップチップ実装時に高周波特性の劣化を抑えるために必要なチップと高周波配線のギャップ量がわかった。しかし、半導体チップとサブキャリアは金バンプを介してのみ接続されているため、ギャップに依存して放熱性が悪くなり、チップ内で発生した熱によりチップ温度が従来のフェイスアップ構造よりも高くなる問題が起こる。これは、EADFB レーザの場合、同じバイアス電流量でもレーザ出力が低下する問題につながる。直接変調レーザの場合は、上記に加えて、微分利得の低下に伴う帯域の劣化にもつながる大きな問題である。そこで、フェイスダウンでレーザチップをフリップチップ実装した場合と、従来通り、フェイスアップで実装した場合でどの程度、チップ温度の上昇につながるかをシミュレーションによって見積もった。図 2.2.11 は(a)が従来型のフェイスアップ実装した直接変調レーザの熱解析モデル、(b)はフリップチップ実装（フェイスダウン実装）した直接変調レーザの熱解析モデルである。チップは共振器長 $200\mu\text{m}$ 、チップ幅 $400\mu\text{m}$ の直接変調レーザとした。また、発熱部は図中に赤で示されている、幅 $2\mu\text{m}$ 、厚さ $0.5\mu\text{m}$ 、長さ $200\mu\text{m}$ の活性層部とし、発熱量は 0.15W とした。また、温度の基準面はサブキャリアの底面とし、 40 度一定でシミュレーションを行った。このとき、周囲は計算を簡単にするために真空とした。また、フリップチップ実装モデルでは、金バンプを p,n 電極二箇所に配置し、この金バンプを介してのみ活性層で発熱した熱が拡散することとした。金バンプのサイズは直径 $50\mu\text{m}$ 、高さ $30\mu\text{m}$ の円柱とした。また、各材料の熱伝導率は、金、InP、GaInAsP(活性層部)、 SiO_2 、窒化アルミ (AlN) はそれぞれ、 318 、 70 、 4.5 、 1.4 、 $200 \text{ W/m} \cdot \text{K}$ とした。このときの温度分布の結果を示したものが図 2.2.12 である。結果から分かるように、どちらも活性層部の温度が最大であった。従来型のフェイスアップ実装時は最大で 63.1 度であったのに対して、フリップチップ実装時は活性層温度が最大で 77.7 度まで上昇した。この結果から、フリップチップ実装時には高周波特性に影響がない最小のギャップである $30\mu\text{m}$ とした場合でも、従来型のフェイスアップ実装時と比較して最大で 14 度の温度上昇が発生することがわかった。

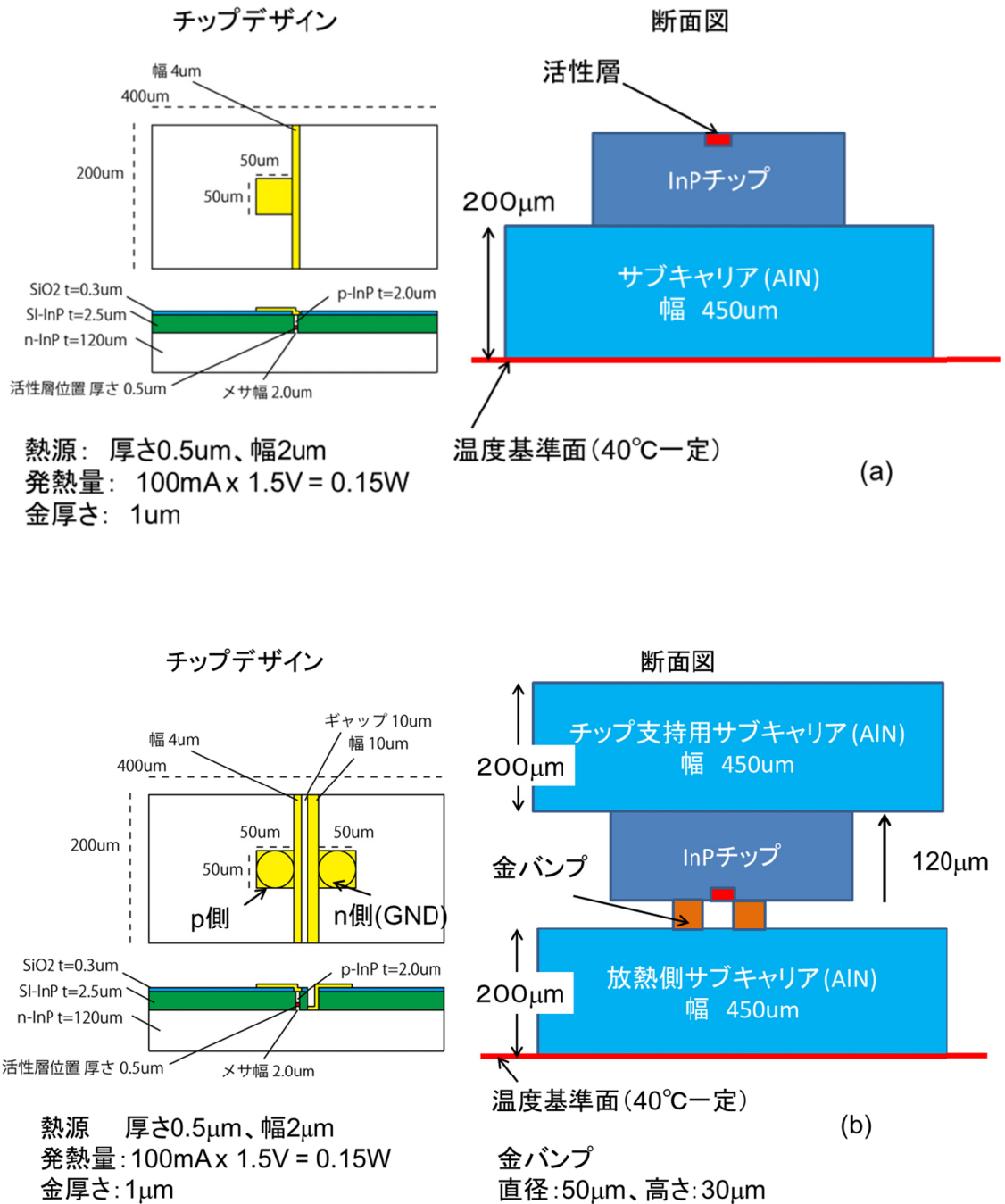
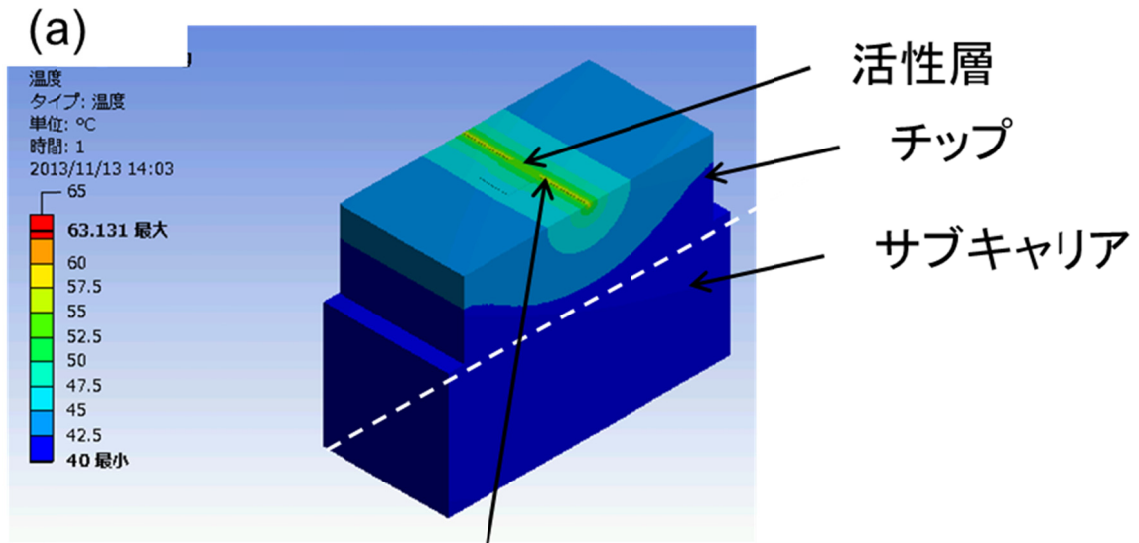
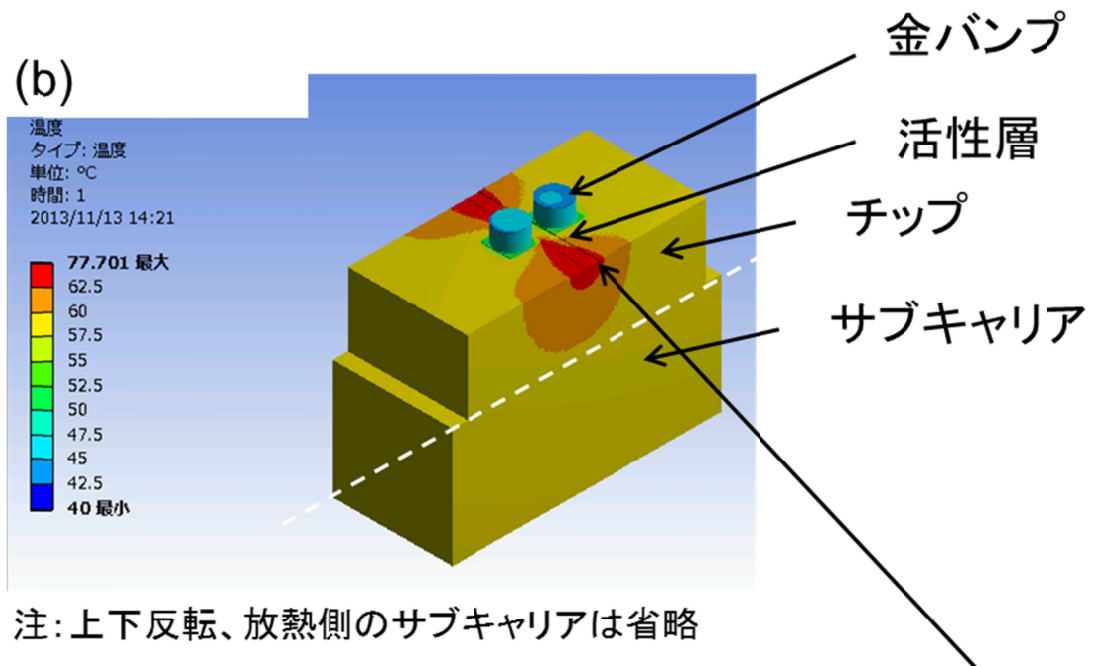


図 2.2.11 チップ温度の実装形態依存性を見積もるためのフェイスアップ実装時(a)と、フェイスダウン実装時(b)の熱解析シミュレーションモデル



チップ温度の最大は活性層部の63.1°C



チップ温度の最大は活性層部の77.7°C

図 2.2.12 フェイスアップ実装時(a)とフリップチップ実装時(b)の熱解析シミュレーション

結果

そこで、放熱性を改善するために、n 電極側(GND)のパッドを長さ 160 μm に拡大し、金バンプを 2 個とする改良案を検討した。図 2.2.13 は改良型チップデザインでの熱解析シミュレーションモデルを示したものである。n 側の電極パターンと金バンプの個数以外は図 2.2.11(b)のモデルと同じものである。このデザインを用いた時の熱解析シミュレーション結果が図 2.2.14 である。先の 2 つの結果と同様に、活性層部の温度上昇が最大となり、その温度は 68.2 度であった。従来型フリップチップ実装と比較して、約 9 度、温度を下げる事ができたが、従来型のフェイスアップ実装時と比較して、まだ 5 度程度温度が高い結果となった。よって、金バンプを用いたフェイスダウンのフリップチップ実装構造では電極構造を改善した場合でも放熱性に課題があり、従来型のフェイスアップ実装と同程度の放熱性を得ることが困難であることがシミュレーション結果から確認できた。

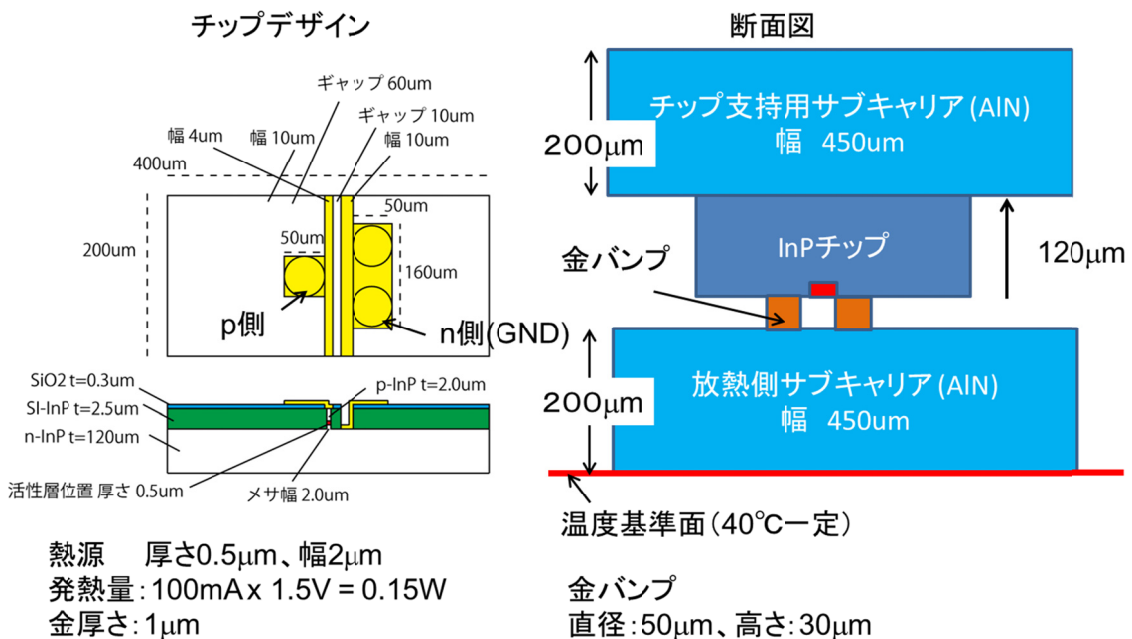
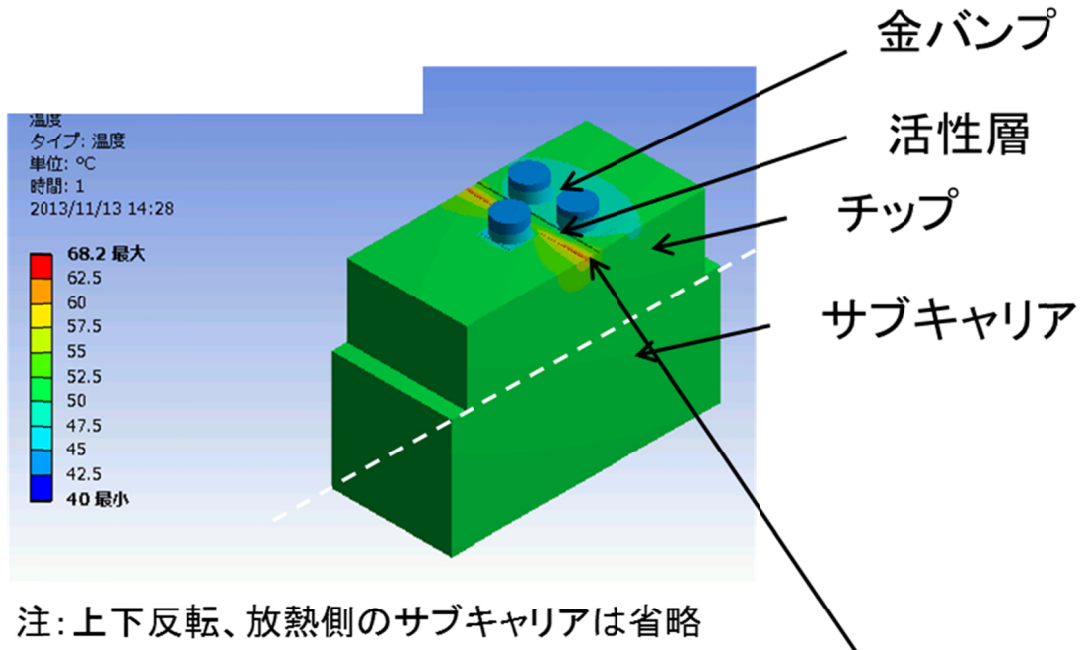


図 2.2.13 放熱性改善型電極構造を有するチップを使ったフリップチップ実装時の熱解析シミュレーションモデル



チップ温度の最大は活性層部の68.2°C

図 2.2.14 放熱性改善型電極構造を有するチップを用いたフリップチップ実装時の熱解析
シミュレーション結果

次に、熱解析のシミュレーションモデルで用いた直接変調 DFB レーザと同等の構造をもつチップを用いて、フリップチップ実装前後での発振波長のバイアス電流依存性を比較することで、フェイスアップ実装とフェイスダウン実装での活性層内部の温度変化の差分を実測値から確認した。また、同時に 2 チャンネルの LD を搭載し、同一条件で動作させた時の発振ピーク波長の差を実装前後で比較することで、実装工程での応力によるピーク波長の変化が許容範囲内で収まるかも併せて確認した。図 2.2.15 は 3 チャンネルレーザアレイをサブキャリア上に搭載したのち、金バンプをつけた時の上面図(a)と上面写真(b)を示している。このとき、レーザは左から LD1、LD2、LD3 と呼ぶこととする。LD1 と LD3 のみを使用し、LD2 は使わない。また、LD のチャンネル間隔は 0.25mm(つまり、LD1-3 間は 0.5mm)

とした。まず、3チャンネル分のチップを厚さ0.2mmの窒化アルミでできたサブキャリアにフェイスアップでダイボンディングする。そして、サブキャリア底面(チップ搭載面と逆側)の温度を25度一定とした状態でLD1、LD3のI-L特性とバイアス電流、30、40、50mAでの発振ピーク波長を波長計で測定する。次に、サブキャリアに搭載されたチップのLD1、LD3のp,n両電極パッド上に直径50 μ m、高さ30 μ mの金バンプを1つずつ搭載する(図2.2.15)。そして、0.2mm厚の窒化アルミでできたDC配線基板の上に、レーザをフェイスダウンでフリップチップ実装する。実装した断面図を示したものが図2.2.16である。作製されたフリップチップ実装DFBレーザのDC特性測定時は、まず、DFBレーザにバイアス電流30mAをかけた状態で、LD1の発振ピーク波長がフリップチップ実装前に測定した時と同じになるようにDC配線基板の底面の温度を調整する。これにより、バイアス電流30mA時のDFBレーザの活性層温度を実装前と同じになるように設定できる。そして、実装前と同様にLD1、LD3のI-L特性と発振ピーク波長のバイアス電流依存性を測定した。

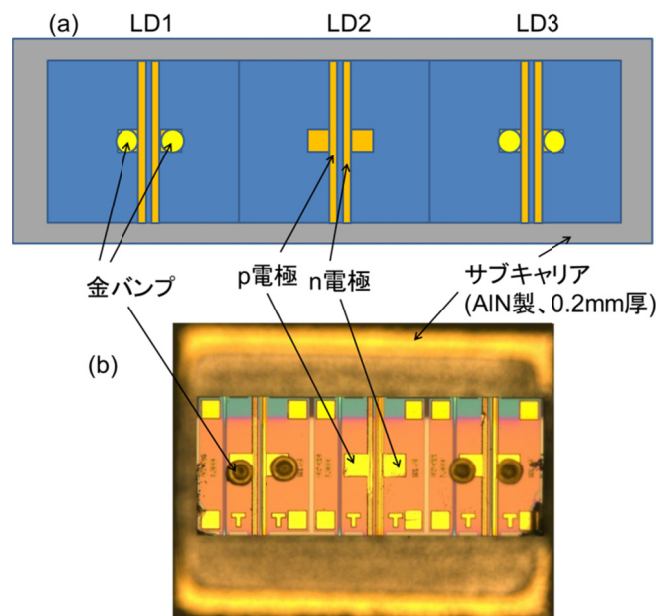


図2.2.15 金バンプ搭載工程後のサブキャリア上3チャンネルDFBレーザアレイの上面図(a)と上面写真(b)

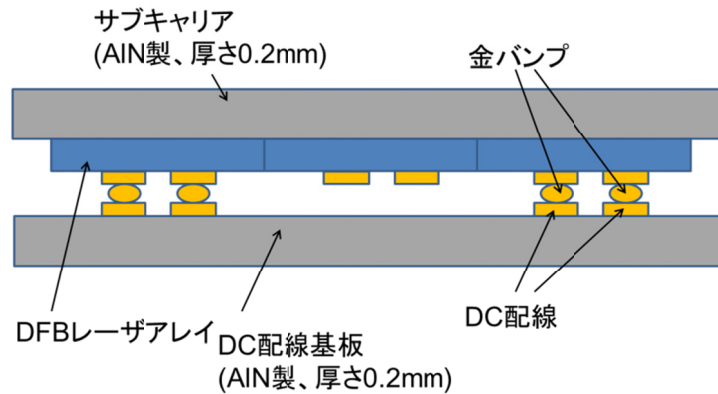


図 2.2.16 フェイスダウンフリップチップ実装後の DFB レーザアレイの断面図

図 2.2.17 はバイアス電流 30mA と 50mA での発振ピーク波長の差をフリップチップ実装前後で比較した結果である。横軸は搭載したチップの番号である。フリップチップ実装前は 0.14~0.32nm、平均で 0.21nm の変化であったのに対して、フリップチップ実装後では 0.42~0.57nm、平均で 0.49nm の発振ピーク波長の変化があった。発振ピーク波長は温度上昇に対して線形的に長波側へずれるため、フリップチップ実装前と比較してフリップチップ実装後の温度上昇は 2 倍以上であると見積もることができる。つまり、フリップチップ実装後はフェイスアップ実装したレーザと比較して、熱抵抗が約 2 倍にあがっているということがわかる。先のシミュレーション結果では、フェイスアップ実装での活性層とサブキャリア底面の温度差が 23 度に対して、フリップチップ実装での温度差は 37 度となっており、熱抵抗は 1.6 倍程度上昇していると見積もれるので、実測での傾向もシミュレーション結果に即しているといえる。実測での熱抵抗がシミュレーションでの熱抵抗より大きくなる理由は、測定誤差以外に、熱圧着によって金バンプと DC 配線を接続した場合に、接触抵抗が上昇する可能性があり、そのため発熱量が上昇したことが原因として考えられる。図 2.2.18 はフリップチップ実装前後でのバイアス電流 50mA 付近での微分抵抗を比較したものである。本結果からもフリップチップ実装前後で全てのサンプルにおいて抵抗値が上昇していることが分かる。

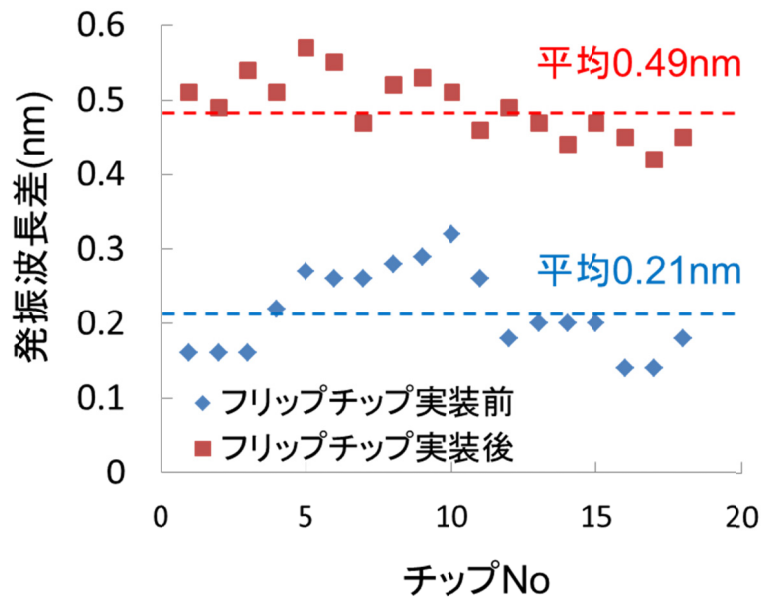


図 2.2.17 バイアス電流 30 と 50mA 時の発振ピーク波長差のフリップチップ実装前後での比較

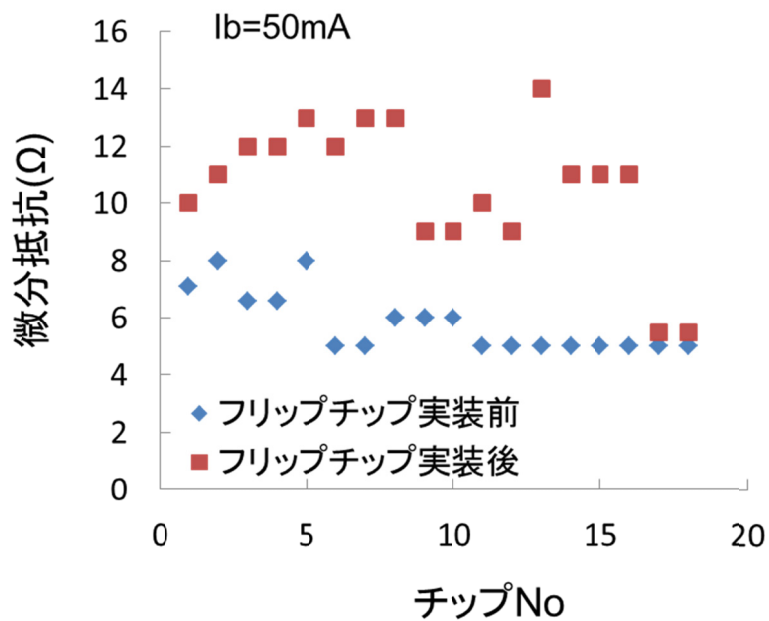


図 2.2.18 フリップチップ実装前後でのバイアス電流 50mA 時の微分抵抗の比較

次に、フリップチップ実装前後で、LD1 と LD3 での発振ピーク波長の差がどの程度ずれるかを確認した。図 2.2.19 はバイアス電流 30mA 時の LD1 と LD3 の発振ピーク波長の差をフリップチップ実装前後でさらに差を取ったものである。フリップチップ実装前後で全くレーザに影響がない場合は、この値は 0 に成るはずであるが、実際は実装時に加圧・加温するために発生するレーザへの応力の影響で波長差が発生する。結果を見ると -0.25～0.18nm までの範囲で発振波長が変位していた。100 ギガビットイーサネットへの応用を考えた場合は波長が LAN-WDM グリッドにおさまる必要があるが、この波長範囲はチャンネルごとに±1.0nm である。よって、本フリップチップ実装工程による波長変動は LAN-WDM グリッドの波長範囲と比較して狭い範囲であるため、100 ギガビットイーサネットへの応用に十分耐えうることを確認できた。

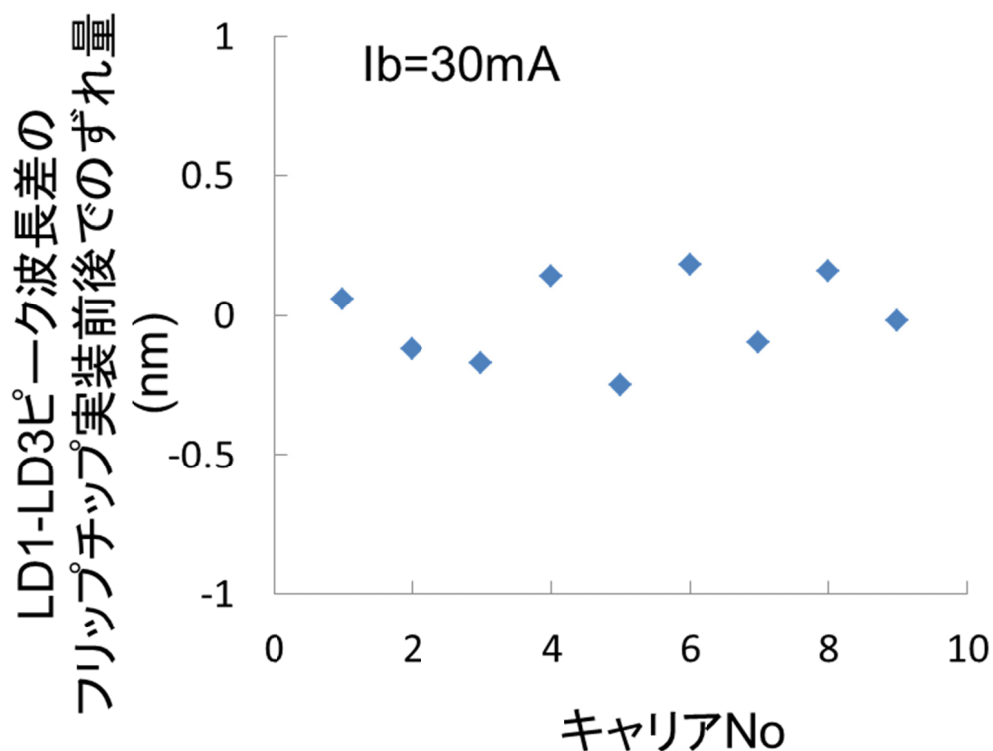


図 2.2.19 LD1-LD3 間発振ピーク波長差のフリップチップ実装前後でのずれ比較

これらの結果から、従来型フリップチップ実装技術を適用した場合には、高周波特性を改善し、かつ放熱性も従来のフェイスアップ実装と同等以上の性能を満たす設計は困難であることがわかった。また、本形態のような金バンプを介して数十ミクロン浮かせて固定するフリップチップ実装では、チップのシェア強度、振動衝撃試験といった一般的な信頼性項目[2.10]を担保できるかといった点でも課題があった。ただし、金バンプを介したフリップチップ実装工程で発生する応力は、波長変動という観点では問題ないレベルであることは確認できた。

2.3. 光送信器に適したのフリップチップ実装技術の提案

前節までで、フリップチップ実装構造は高周波特性を改善可能であるが、放熱性に課題があることがわかった。そこで、我々は放熱性の課題を解決するために、チップをフェイスアップ実装で搭載し、かつ、フリップチップ実装と同等の高周波特性改善が見込める構造として、新たにフリップチップ接続技術を提案する。図 2.3.1 は 4 チャンネル EADFB レーザレイチップにフリップチップ接続技術を適用した時のサブアセンブリの概略図である。フリップチップ接続技術の特徴は、半導体チップをフェイスアップでサブキャリア上に実装し、高周波配線板をフリップチップ実装することである。本構成例では、4 チャンネル EADFB レーザレイチップを用いており、フリップチップ接続高周波配線板は上面、下面の二層に高周波線路を配置し、それぞれの配線を RF ビアで結線した二層構造とした。そして、下面の高周波線路と EA 変調器とは先のフリップチップ実装の時と同様に直径 50 μm 、高さ 30 μm の金バンプを介して接続した。高周波信号の流れは、上面高周波配線から RF ビアを介して、下面高周波配線へ伝わり、金バンプを通り、EA 変調器に伝わる。よって、本フリップチップ接続技術はワイヤが不要であるため、高周波特性の改善が期待される。なお、本構成例では DFB レーザ、モニタ PD の電極はサブキャリア上の DC 配線とワイヤによって接続する構成とした。表 2.3.1 にワイヤ接続、フリップチップ実装、そして本提案のフリップチップ接続技術のそれぞれの特徴をまとめた。表から分かるとおり、本フリップチップ接続技術は放熱性の問題と、ワイヤの持つインダクタンスによる高周波特性の劣化の問題、両方を解決可能な技術であることが分かる。

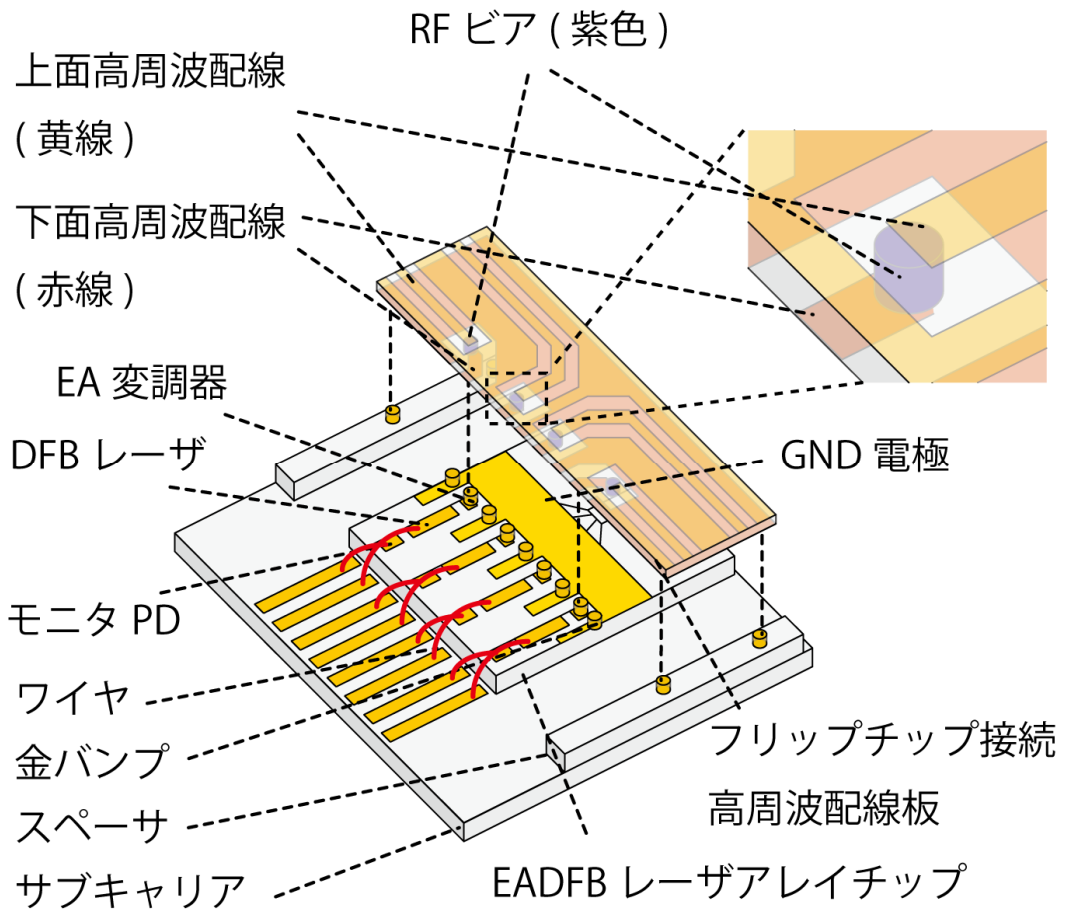


図 2.3.1 フリップチップ接続 4 チャンネル EADFB レーザアレイサブアセンブリの概略図

表 2.3.1 各実装技術の特徴まとめ

	ワイヤ接続	フリップチップ実装	フリップチップ接続
高周波特性	× (ワイヤのインダクタ ンスによる劣化)	○ (ワイヤフリー)	○ (ワイヤフリー)
放熱性	○ (フェイスアップ実装)	× (フェイスダウン実装)	○ (フェイスアップ実装)

図 2.3.2 はフリップチップ接続 4 チャンネル EADFB レーザアレイサブアセンブリの組み立て工程を示したものである。まず、EADFB レーザアレイチップとスペーサをサブキャリア上に搭載する(図 2.3.2 (a))。このとき、レーザアレイチップとスペーサは同時に研磨して、高さが同じになるようにしている。次に、DFB レーザ、モニタ PD の電極とサブキャリア上の DC 配線をワイヤボンディングにより接続する(図 2.3.2(b))。そして、レーザアレイチップの EA 変調器と GND 電極上、およびスペーサ上に金バンプを形成する。そして、これらのバンプの高さ一致させるために、全面を Si 基板で加圧し、レベリングを行う(図 2.3.2(c))。そして最後に、フリップチップ接続高周波配線板をフリップチップ実装して完成となる(図 2.3.2(d))。高周波配線と金バンプの接合は加圧、加熱による熱圧着で行う。

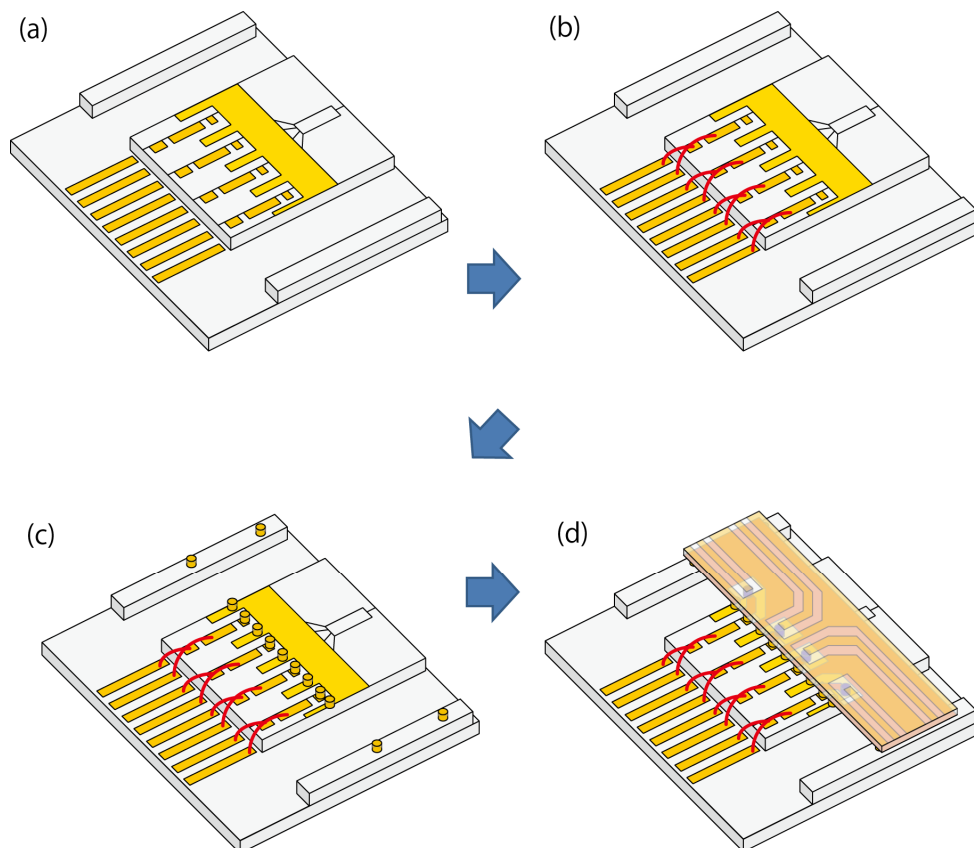
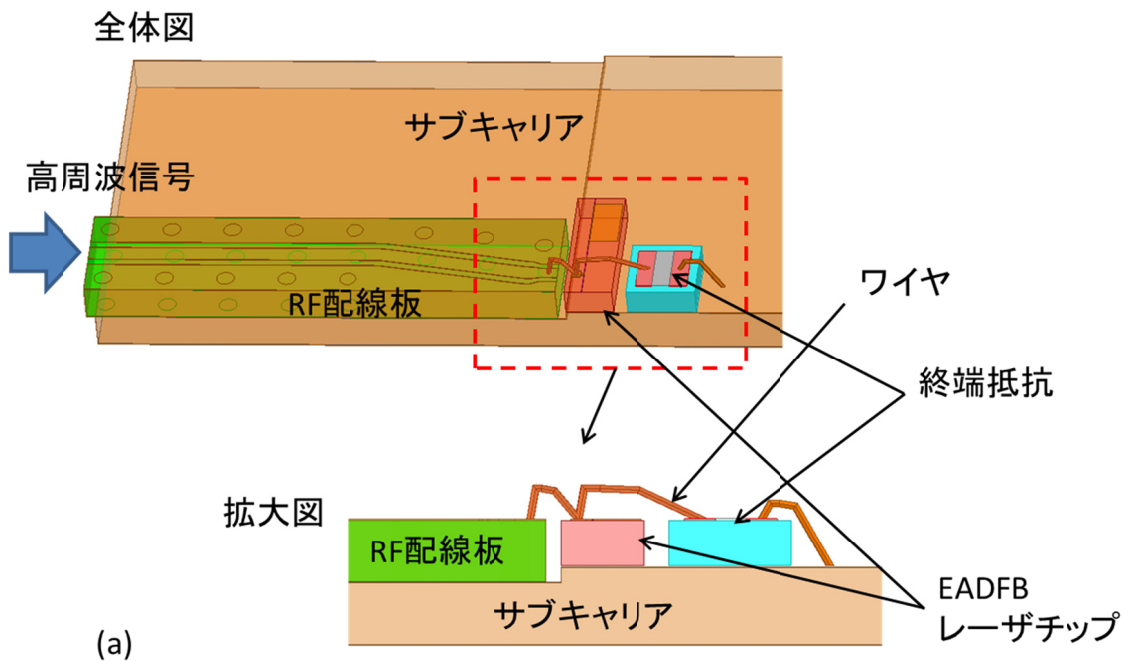


図 2.3.2 フリップチップ接続 4 チャンネル EADFB レーザアレイサブアセンブリの工程図

先に説明したように、本フリップチップ接続技術を適用することで、ワイヤ不要となり高周波特性の改善が期待できる。これは、アレイデバイスに限らず、単チャネルのモジュールに関しても高周波特性の改善が期待される。特に、EA 変調器に関しては、寄生成分による帯域律速を解決する進行波型電極構造のもので、帯域、80GHz 超級実現の報告もなされており[2.11, 12]、デバイス自体の応答速度は非常に高速であると考えられるため、本技術適用時に高周波特性の大幅な改善が期待できる。なお、進行波型電極構造は、チップ構造が複雑であり、小型化に向かないなどの問題があるため、本研究では従来型の集中定数型電極構造の EA 変調器を用いている。

従来構造である集中定数型電極構造に、本技術を適用することでワイヤ接続と比較して、単チャネル EADFB レーザモジュールがどの程度高速化可能であるかを見積もった。図 2.3.3 の(a)、(b)はそれぞれ、ワイヤ接続技術とフリップチップ接続技術を適用した単チャネル EADFB レーザサブアセンブリの概略図である。ワイヤ接続レーザサブアセンブリでは、高周波信号は RF 配線板を通り、ワイヤを介して EA 変調器に伝わり、さらに終端抵抗へとワイヤを介して伝わる。この、RF 配線板と EA 変調器を結ぶワイヤが周波数応答特性の劣化要因となる。これに対して、フリップチップ接続レーザサブアセンブリでは、ワイヤ接続部が金バンプとフリップチップ接続高周波配線板に置き換わる。このとき、フリップチップ接続高周波配線板には終端抵抗回路が含まれている。よって、本構成ではワイヤが不要となり高周波特性の改善が可能となる。図 2.3.4 は周波数応答特性をシミュレーションするために用いた、各サブアセンブリの等価回路モデルである。RF 配線板は、材質が窒化アルミ、信号線幅 0.1mm の特性インピーダンス 50Ω に設計されたコプレーナ線路で構成される。等価回路モデルでは、三次元電磁界解析シミュレータで求めた S パラメータを取り込んでいる。また、フリップチップ接続サブアセンブリで用いているフリップチップ接続高周波配線板は、材質が窒化アルミ、信号線幅 0.08mm の特性インピーダンス 50Ω に設計されたコプレーナ線路と 50Ω の抵抗体で構成される。こちらも RF 配線板と同様に、等価回路モデルでは、三次元電磁界解析シミュレータで求めた S パラメータを取り込んでいる。

各寄生成分のパラメータは表 2.3.1 に示す。EA 変調器の長さ、150,100,75,50 μm の四種類でシミュレーションを行った。EA 変調器の長さは、短くすると寄生容量が減るため高周波特性が改善するが、消光比のダイナミックレンジが小さくなること、p クラッド抵抗(R_{pclad})が上昇するため、EA 変調器の吸収層にかかる電圧が低下することが、課題としてあげられる。EA 変調器内のパラメータは EA 長 100 μm のデバイスから実測で求めた値を用いている。EA 長 100 μm 以外のパラメータは EA 長 100 μm のパラメータから計算で求めている。ワイヤのインダクタンス、 L_{wire1} 、 L_{wire2} の値は単位長さあたりの寄生インダクタンスを 1nH/mm とし計算した値を用いた。バンプ接続部のインダクタンス L_{bump} は 0.03nH とした。



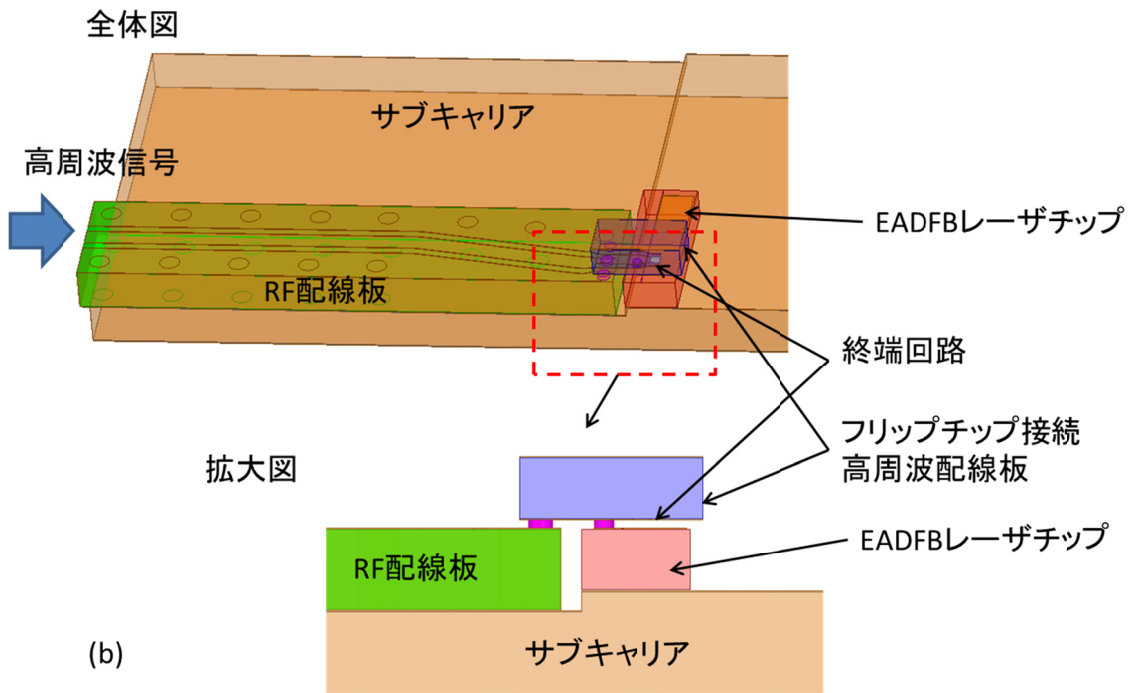
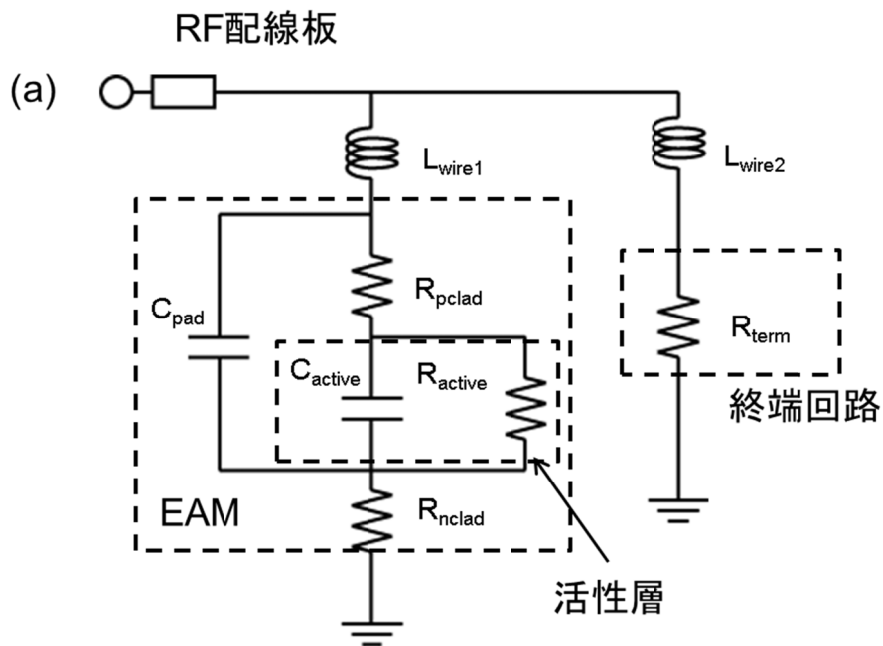


図 2.3.3 ワイヤ接続(a)とフリップチップ接続 EADFB レーザサブアセンブリ(b)の概略図



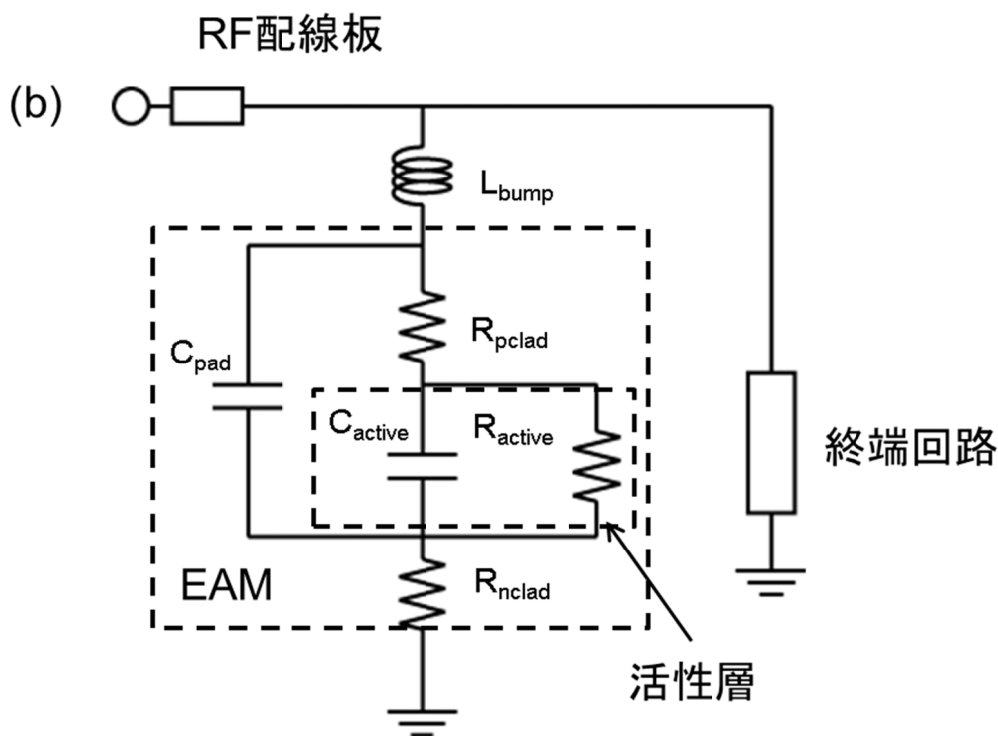


図 2.3.4 ワイヤ接続(a)とフリップチップ接続 EADFB レーザサブアセンブリ(b)の等価回路モデル

表 2.3.1 EADFB レーザサブアセンブリの等価回路モデルで用いたパラメータリスト

EA 長 (mm)	C_{pad} (pF)	C_{active} (pF)	R_{active} (ohm)	R_{pclad} (ohm)	R_{nclad} (ohm)	L_{wire1} (nH)	L_{wire2} (nH)	L_{bump} (nH)
150	0.07	0.12	110	12.1	2	0.15	0.2	0.03
100	0.07	0.08	110	18.2	2	0.15	0.2	0.03
75	0.07	0.06	110	24.3	2	0.15	0.2	0.03
50	0.07	0.04	110	36.4	2	0.15	0.2	0.03

等価回路モデルを用いた、周波数応答特性のシミュレーション結果を図 2.3.5 に示す。すべての EA 長において、フリップチップ接続による 3dB 帯域の改善を確認するとともに、周波数応答特性が平坦化されていることも確認できた。各 EA 長で比較すると、EA 長 150 μm 時、ワイヤ接続では 3dB 帯域、47GHz に対して、フリップチップ接続では 50GHz まで帯域が改善される。また、EA 長 100、75、50 μm での 3dB 帯域は、ワイヤ接続とフリップチップ接続でそれぞれ 56GHz が 66GHz に、60GHz が 77GHz に、67GHz が 88GHz にそれぞれ改善した。EA 長が短くなるほど、寄生容量が小さくなるため、ワイヤの寄生インダクタンスによる帯域劣化が支配的となり、フリップチップ接続化による帯域改善効果がより大きくなると考えられる。

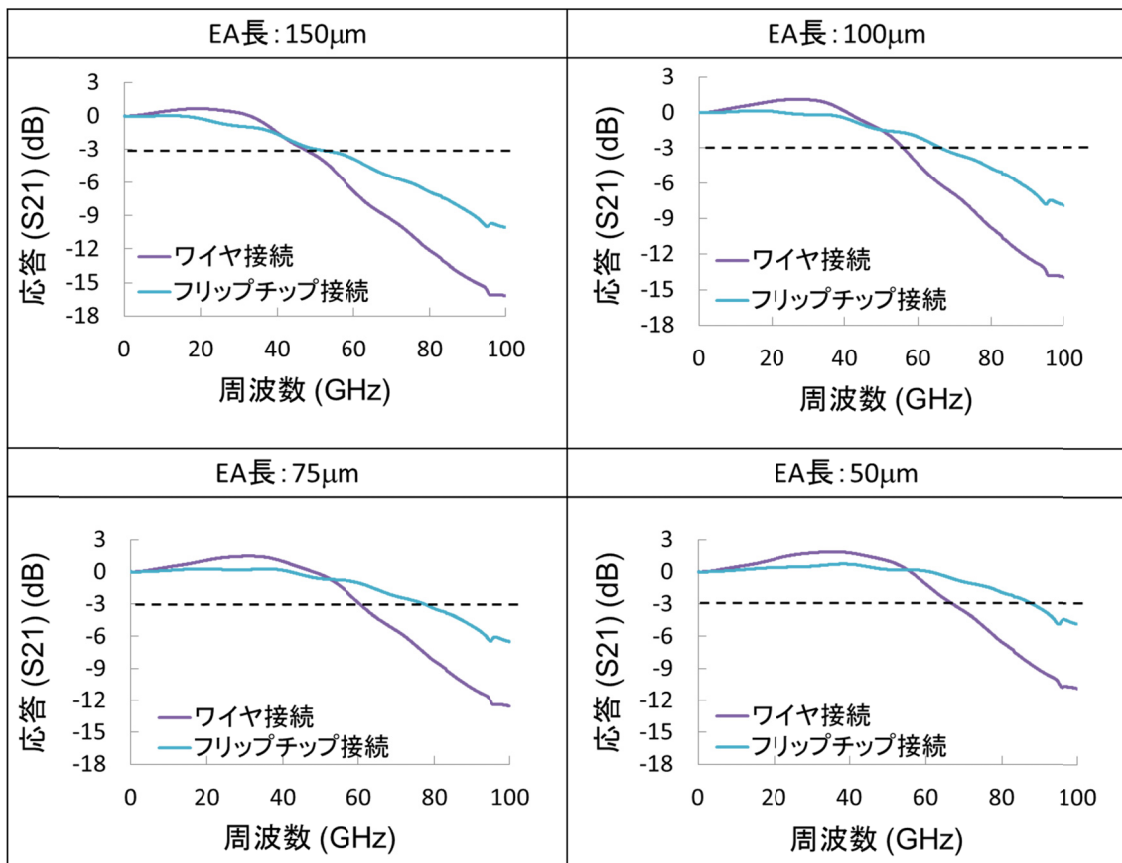


図 2.3.5 EADFB レーザサブアセンブリの周波数応答特性シミュレーション結果

図 2.3.6 は図 2.3.5 の結果をもとに、ワイヤ接続時とフリップチップ接続時の 3dB 帯域と EA 長の関係を示したものである。図から EA 長 150 μm 以下、3dB 帯域 50GHz 超級 EADFB レーザモジュールに対しては、単チャンネルモジュールでも、高周波特性改善にフリップチップ接続技術が非常に有効であることがわかった。加えて、フリップチップ接続技術の適用により、帯域 100GHz 以上の実現可能性も確認することが出来た。

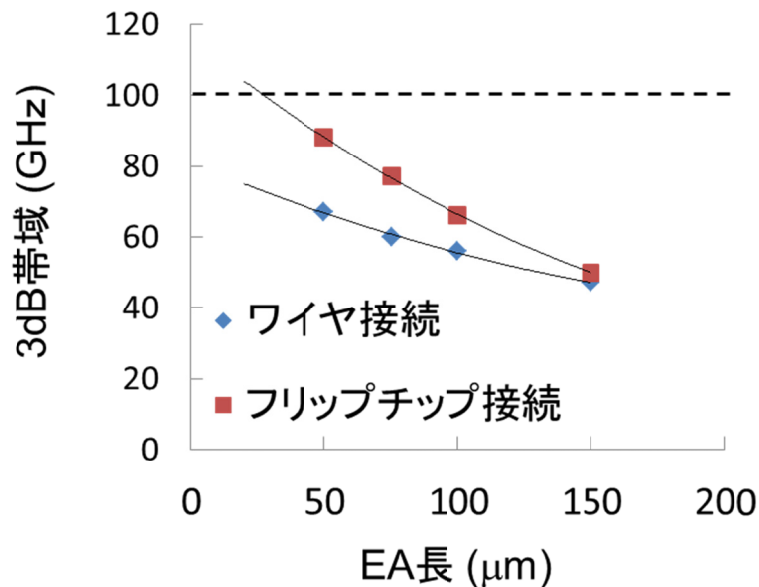


図 2.3.6 3dB 帯域と EA 長の関係

以上より、今回提案したフリップチップ接続技術は 25Gbit/s/ch 超級のアレイモジュールに有用な技術であるだけでなく、3dB 帯域 50GHz 超級の単チャンネル EADFB レーザモジュールの広帯域化にも有効な技術であることが確認できた。第 3 章以降では、本技術を直接変調レーザ、EADFB レーザに適用するための検討を行っていく。

参考文献

- [2.1] <http://www.ieee802.org/3/ba/>
- [2.2] T. Murao, N. Yasui, T. Shinada, Y. Imai, K. Nakamura, M. Shimono, H. Kodera, Y. Morita, A. Uchiyama, H. Koyanagi, and H. Aruga, "Integrated spatial optical system for compact 28-Gb/s×4-lane transmitter optical subassemblies," *IEEE Photonics Technology Letters*, vol. 26, no. 22, pp. 2275-2278, 2014.
- [2.3] T. Murao, N. Yasui, K. Mochizuki, M. Shimono, H. Kodera, T. Yamatoya, and H. Aruga, "A 4×25 Gbps hybrid integrated EML module for 100 GbE transmitters using lens positional control by laser irradiation," in *Proc. OFC2013, OTh4H.2*, 2013.
- [2.4] T. Fujisawa, S. Kanazawa, H. Ishii, N. Nunoya, Y. Kawaguchi, A. Ohki, N. Fujiwara, K. Takahata, R. Iga, F. Kano, and H. Oohashi, "1.3- μm 4 x 25-Gb/s monolithically integrated light source for metro area 100-Gb/s Ethernet," *IEEE Photonics Technology Letters*, vol. 23, no. 6, pp. 356-358, 2011.
- [2.5] S. Kanazawa, T. Fujisawa, A. Ohki, H. Ishii, N. Nunoya, Y. Kawaguchi, N. Fujiwara, K. Takahata, R. Iga, F. Kano, and H. Oohashi, "A compact EADFB laser array module for a future 100-Gb/s Ethernet transceiver," *Journal of Selected Topics in Quantum Electronics*, vol. 17, no. 5, pp. 1191-1197, 2011.
- [2.6] S. Kanazawa, T. Fujisawa, N. Nunoya, A. Ohki, K. Takahata, H. Sanjoh, R. Iga and H. Ishii, "Ultra-compact 100 GbE transmitter optical sub-assembly for 40-km SMF transmission," *Journal of Lightwave Technology*, vol. 31, no. 4, pp. 602-608, 2013.
- [2.7] J. Sun, H. Fatima, A. Koudymov, A. Chitnis, X. Hu, H.-M. Wang, J. Zhang, G. Simin, J. Yang, and M. Asif Khan, "Thermal management of AlGaIn-GaN HFETs on sapphire using flip-chip bonding with epoxy underfill," *Electronics Device Letters*, vol. 24, no. 6, pp.375-377, 2003.
- [2.8] W. R. Imler, K. D. Scholz, M. Cobarruviaz, V. K. Nagesh, C. C. Chao, and R. Haitz,

“Precision flip-chip solder bump interconnects for optical packaging,” *Transaction on Components, Hybrid, and Manufacturing Technology*, vol. 15, no. 6, pp. 977-982, 1992.

[2.9] K. Adachi, K. Shinoda, T. Kitatani, T. Fukamachi, Y. Matsuoka, T. Sugawara, and S. Tsuji, “25-Gb/s multichannel 1.3- μm surface-emitting lens-integrated DFB laser arrays,” *Journal of Lightwave Technology*, vol. 29, no. 19, pp. 2899-2905, 2011.

[2.10] Telcordia: Generic Reliability Assurance Requirements for Optoelectronic Devices Used in Telecommunications Equipment, GR-468-core (1998).

[2.11] R. Lewén, S. Irmscher, U. Westergren, L. Thylén, and U. Eriksson, “Segmented transmission-line electroabsorption modulators,” *Journal of Lightwave Technology*, vol. 22, no. 1, pp. 172-179, 2004.

[2.12] Y. Yu, R. Lewen, S. Irmscher, U. Westergren, and L. Thylen, “80Gb/s ETDM transmitter with a traveling-wave electroabsorption modulator,” in *Proc. OFC, OWE1*, 2005.

第3章 フリップチップ実装直接変調 DFB レーザ

本章では、第2章で提案したフリップチップ接続技術の直接変調 DFB レーザへの適用を検討する。まず、3.1節にてフリップチップ接続技術に適した直接変調 DFB レーザのデバイス構造の検討を行ったので、その構造について説明する。次に、3.2節、3.3節では、3.1節で提案した構造を有する直接変調 DFB レーザを用いて、ワイヤ接続モジュールとフリップチップ実装モジュールを作製し、それらの特性評価を行ったので報告する。最後に、3.4節、3.5節にて合波器集積4チャンネル直接変調 DFB レーザアレイチップを用いた小型 TOSA を作製したので評価結果について説明する。

3.1. 直接変調 DFB レーザの構造と作製工程

本デバイスを用いた送信器のターゲットとしては、100ギガビットイーサネット規格の中でも、10km 伝送用の規格である 100GBASE-LR4 用とした。表 3.1.1 は 100GBASE-LR4 規格を示したものである [3.1]。LR4 では伝送距離が短いため、前章、表 2.1.1 に示した 40km 伝送用規格の ER4 と異なり、求められる消光比が 4dB と小さく、直接変調 DFB レーザでも実現可能である。そこで、低消費電力化、小型化に優位な直接変調 DFB レーザを光源とすることとした。

表 3.1.1 100GBASE-LR4 の光送信器に関する規格

100GBASE-LR4	
ビットレート	25.78125 Gbit/s
各波長範囲 (LAN-WDM グリッド)	1294.53～1296.59nm 1299.02～1301.09nm 1303.54～1305.63nm 1308.09～1310.19nm
SMSR	30 dB
最小光出力	-4.3 dBm
最小OMA (Optical Modulation Amplitude)	-1.3 dBm
消光比	4dB

本節では、フリップチップ接続技術を高速直接変調 DFB レーザに適用する上で、最適なデバイス構造を検討した。まずは、導波路構造の選定を行う。図 3.1.1 は代表的な 2 つの導波路構造である、リッジ導波路 [3.2, 3] と埋め込み導波路 [3.4, 5] の断面図を示したものである。リッジ導波路は、活性層近傍まで p-クラッド層(p-InP 層)をエッチングすることで、横方向の等価屈折率差を作り、光を閉じこめると同時に、電流狭窄を行う構造である。エッチング工程のみで行えるため、プロセスが簡易であるというメリットがある。一方で、活性層上部が熱伝導性の悪い空気となるため、活性層内の熱が逃げにくく、温度特性の劣化や、高注入電流時に光出力が飽和しやすいと課題がある。また、電流が横方向に拡散しやすいため、活性層体積が大きくなる。活性層体積の増加は変調帯域の劣化につながるため、高速変調デバイスには不利である。式(3.1)は緩和振動周波数 f_r を求める式を表している [3.6]。

$$f_r \propto \frac{1}{2\pi} \sqrt{\frac{1}{\tau_{ph}} \sqrt{\frac{\partial G}{\partial n}} \sqrt{I - I_{th}}} \quad \dots (3.1)$$

式中の記号は τ_{ph} が光子寿命、 $\frac{\partial G}{\partial n}$ が微分利得、 I がレーザの注入電流、 I_{th} がレーザのしきい値電流を示している。緩和振動周波数は直接変調レーザの変調帯域の指標である。活性層体積が小さくなるとしきい値電流も小さくなることから、活性層体積の増加が緩和振動周波数の低下につながる事がわかる。また、一般的な InP 系の DFB レーザの場合、リッジ導波路構造ではビームの形状が横長の楕円になるため、ビーム形状が真円に近い、シングルモードファイバへの結合効率が低下する問題もある。また、フリップチップ接続の観点からもチップ上面が平坦でないため、チップ上部に配置される電極で高低差が生まれるため、適した構造とはいえない。

次に、埋め込み導波路構造の特徴を見る。埋め込み導波路構造は、ドライエッチングにより、メサ形状を形成した後、側面を半絶縁性 InP(SI-InP)で埋め込み、この SI-InP との

屈折率差で光の横方向の閉じこめと電流狭窄を行う構造である。そのため、エッチング以外に、埋め込み再成長行程が必要であり、リッジ導波路と比較してプロセス工程が複雑である。しかし、放熱性を考えると、周囲が空気と比較して熱伝導性の高い InP で埋め込まれているため良好であり、温度特性の良いレーザが期待できる。また、メサ脇が半絶縁性 InP で埋め込まれているため、横方向への電流拡散が抑制される。つまり、活性層体積もリッジ導波路と比較して小さくなるため、緩和振動周波数を高くすることが可能である。ビーム形状も真円に近い形状となるため、シングルモードファイバとの結合効率も良好である。最後に、フリップチップ接続への適合性を考えると、チップ上面は平坦に埋め込まれているため、チップ上部に配置される電極間での高低差がなく、適しているといえる。よって、今回は埋め込み導波路構造を用いることとした。

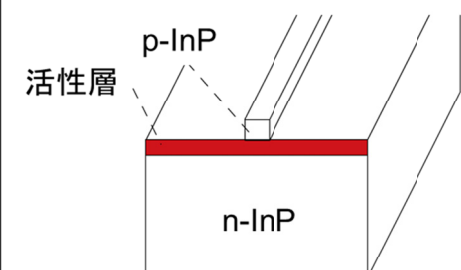
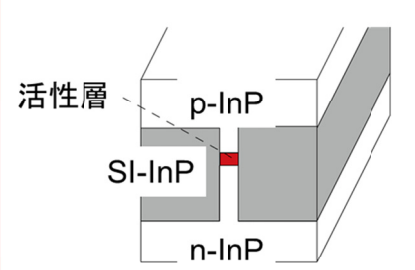
	リッジ導波路構造	埋め込み導波路構造
構造図		
プロセスのしやすさ	○ (埋め込み再成長工程が不要)	× (埋め込み再成長工程が必要)
放熱性	× (活性層の上部が空気であり、熱伝導性が悪い)	○ (活性層の周囲が全て InP で埋め込まれている)
活性層体積	大きい (電流が横方向に拡散するため)	小さい (活性層側面が半絶縁 InP で埋め込まれているため)
ビームの形状	横長の楕円	真円に近い
フリップチップ接続の適合性	× (チップ上面が平坦ではない)	○ (チップ上面が平坦)

図 3.1.1 各種導波路構造を有する DFB レーザの構造図

図 3.1.2 に今回提案する、フリップチップ接続に適した構造を有する埋め込み導波路型直接変調 DFB レーザの構造図を示す [3.6]。従来の埋め込み導波路型 DFB レーザ(図 3.1.1)と比較して、以下の点が異なる。

1. チップ上面に p,n 両方の電極パッドを配置
2. 基板が半絶縁性 InP 基板
3. p 電極横に分離溝を形成

各特徴について説明していく。まず、p,n 両方の電極パッドがチップ上面に配置された構造とした理由を説明する。本構造を用いることで、フリップチップ接続時に p,n 両方の電極が高周波接続基板に一括で接続されるため、実装工程が簡易であることに加えて、高周波信号のリターン電流のパスがチップの基板を介さないため、短くなり、高周波特性の改善も期待できる。

次に、半絶縁性 InP 基板を選択した理由を説明する。本デバイスをアレイ化した際に、n 基板上的レーザアレイチップでは、チャンネル間での GND(n 側)が共通となるため、各チャンネルのピッチを狭めていった際に、GND を介した隣接チャンネル間の電氣的クロストークにより光信号波形の劣化を引き起こす可能性がある。また、低消費電力化、低クロストーク動作のためにドライバ IC の出力が差動信号出力と成っている場合があるが [3.6]、n 側電極が分離できる構造でない場合は、2 チャンネル以上のアレイデバイスでは、差動信号駆動ができないという問題もある。そこで、本直接変調レーザでは半絶縁性 InP 基板を用いた。半絶縁性 InP 基板までエッチングすることでチャンネル間の n 側の電極分離を取ることが可能となる。

最後に、p 電極横に分離溝を形成した理由について説明する。一つ目の理由は先に書いた通り GND 分離のためである。もう一つの理由は、寄生容量の低減である。図 3.1.3 は直接変調 DFB レーザの等価回路モデルを示した物である。 $R_{p\text{clad}}$ 、 R_{active} 、 $R_{n\text{clad}}$ 、 $R_{n\text{contact}}$ はそ

それぞれ p-クラッド層、活性層、n クラッド層、n コンタクト層の抵抗を示している。また、 C_{SI} 、 C_{active} はそれぞれ、半絶縁 InP 層、活性層の容量を示している。本構造では、p-InP 層と n-InP 層で挟まれた SI-InP 埋め込み層が寄生容量 C_{SI} となる。分離溝を形成することで、その面積を削減することができるため、寄生容量が低減可能となる。寄生容量の低減は、広帯域化に必須である。

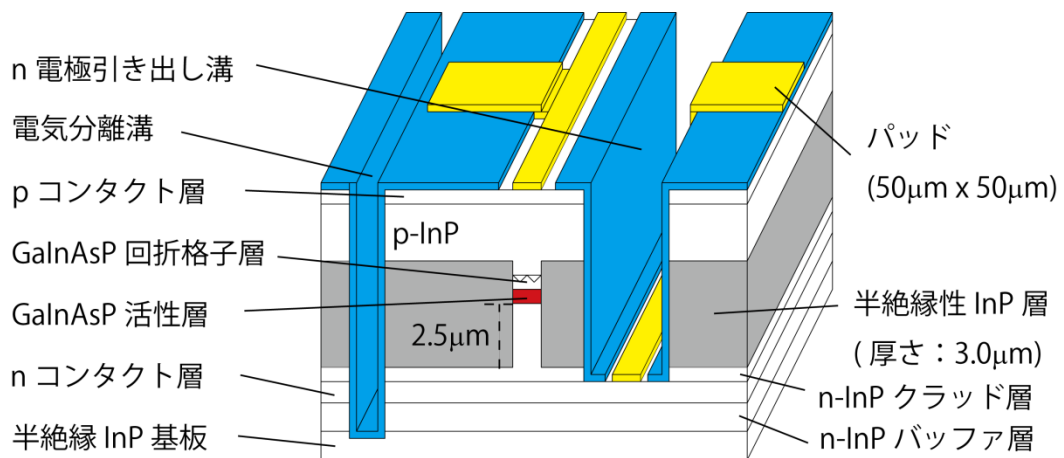


図 3.1.2 フリップチップ接続対応直接変調 DFB レーザのチップ構造

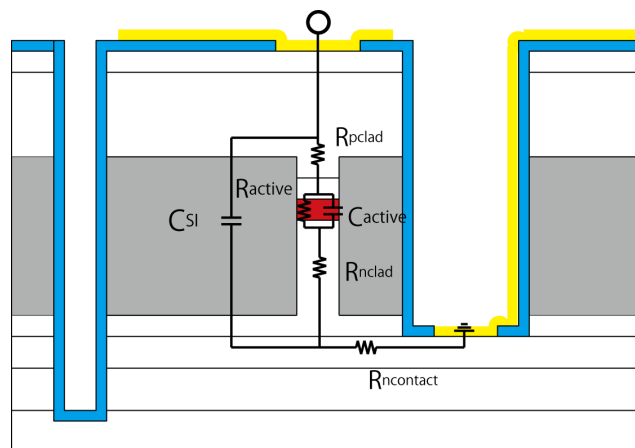
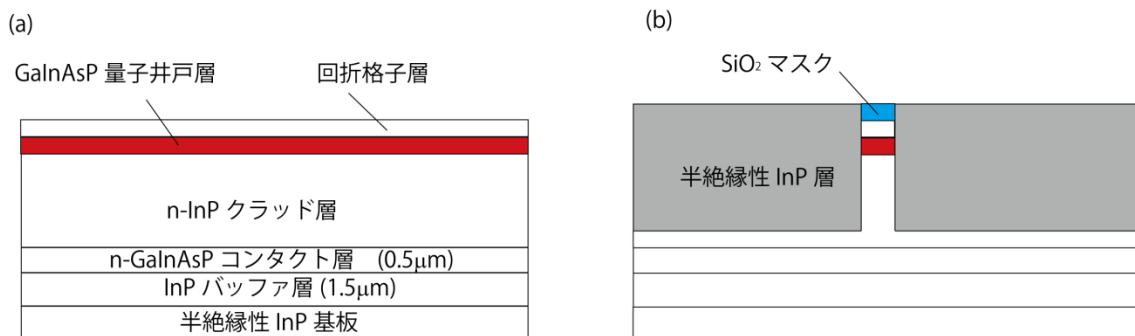


図 3.1.3 直接変調 DFB レーザの等価回路モデル

では、図 3.1.2 で提案したフリップチップ接続対応直接変調 DFB レーザの作製工程を図 3.1.4 を用いて説明する。まず、半絶縁性 InP 基板上に n-InP バッファ層(1.5 μm)と n コンタクト層 (0.5 μm)、そして n-InP クラッド層、GaInAsP 活性層、GaInAsP 回折格子層までを成長する。半絶縁性 InP 基板の結晶性が n-InP 基板に比べて良くないため、コンタクト層から成長すると、活性層の結晶性が悪化し、レーザ特性の劣化を引き起こす可能性がある。そこで、良好な結晶面上にコンタクト層以降の層を成長できるようにするために n-InP バッファ層を半絶縁性 InP 基板上に成長した。そして、回折格子層に EB 描画装置で回折格子のパターンを形成し、エッチングと埋め込み再成長工程を行った(図 3.1.4(a))。このとき、回折格子のパターンは波長安定性のよい $1/4\lambda$ シフトの回折格子とした。次に、ガラスマスクをフォトリソグラフィとドライエッチングによって形成した後、半導体ドライエッチング装置により、n-InP クラッド層まで 2.5 μm 程度エッチングする。そして、形成したメサ側面にルテニウム(Ru)をドーパントとした半絶縁性 InP を再成長することで埋め込む(図 3.1.4(b))。従来は、鉄をドーパントとする半絶縁性 InP 埋め込みが一般的であったが [3.5, 8]、隣接する p-InP 層と相互拡散を引き起こし、相互拡散したエリアは十分な絶縁性が得られなくなる問題があった。特に、今回用いる形状は、p-InP と半絶縁性 InP が上面で広い面積、隣接するためこの影響は大きい。これに対して、ルテニウムをドーパントとする半絶縁性 InP を採用することで、相互拡散を引き起こさずに十分な絶縁性をとることが可能となった [3.4]。このとき、絶縁抵抗を十分にとるために半絶縁性 InP 層の厚さは 3.0 μm 以上とした。n-InP 側を深く、p-InP 側を浅くしたメサ形状となっている理由を説明する。デバイスの抵抗値の上昇は自己発熱量の上昇につながり、デバイス特性を劣化させるため、なるべく低い値が望ましい。メサ部は電流パスが細くなるため、抵抗率が高くなるが、メサ部の高さは先に説明したとおり、十分な絶縁抵抗をとるために 3.0 μm 以下にすることができない。同じドーパント濃度でも、p-InP は n-InP に比べて抵抗値が大きくなることが知られている [3.9]。そこで、デバイスの低抵抗化のために、n-InP 側を深く掘り、メサ部の n-InP の占める割合を増やしている。作製工程は続いて、メサ上部のガラス

マスクを除去し、上面に p-InP クラッド層、p-InGaAsP コンタクト層を再成長する(図 3.1.4(c))。図 3.1.5(a)はオーバークラッド再成長後の断面 SEM を示したものである。写真からも、良好に埋め込みができており、かつ、表面が平坦に成長できていることが確認できる。次に、n 電極を上面に引き出すための溝と、電気分離溝を形成するための、エッチング工程を行った。このとき、エッチングマスクはガラスマスクを用いた。n-InP クラッド層まではドライエッチング装置を用いて、n コンタクト層までは塩酸とリン酸を混合したウェットエッチャントを用いてエッチングを行った。塩酸・リン酸混合エッチャントは InP をエッチングするが、GaInAsP はエッチングされにくい、選択エッチングが可能となるため、n コンタクト層を GaInAsP 層とすることでエッチングストップ層として用いることが可能となる。図 3.1.5(b)は n 電極引き出し用溝を作製したときの断面 SEM 写真を示したものである。n コンタクト層まできれいにエッチングができており、かつ、コンタクト層がエッチストップ層として機能していることが確認できる。続いて、電気分離溝のみ開口したマスクパターンを形成し、電気分離溝部分に関しては、ドライエッチング装置により、半絶縁性 InP 基板までエッチングを行った(図 3.1.4(d))。そして、p コンタクト層と n コンタクト層の上部のみ開口させたガラスの絶縁層を形成し、電極を蒸着装置によって形成して完成となる(図 3.1.5(e))。



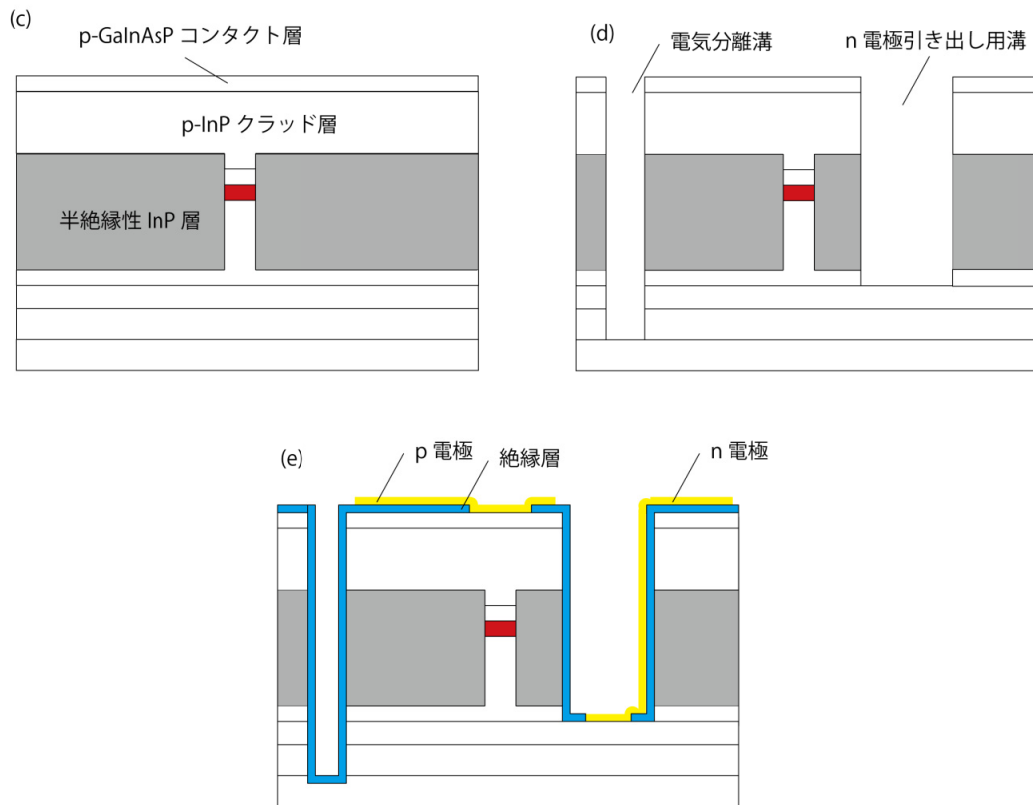


図 3.1.4 フリップチップ接続対応直接変調 DFB レーザのプロセス工程図



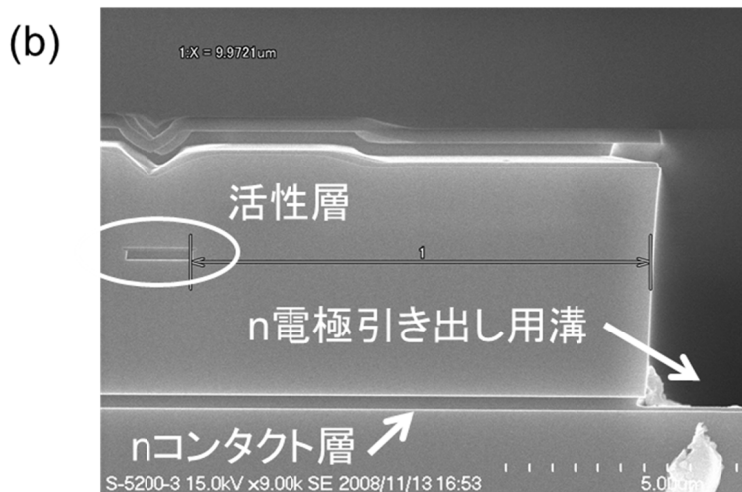


図 3.1.5 直接変調 DFB レーザの断面 SEM 写真

作製したチップの静特性評価を行った。図 3.1.6、7 はそれぞれ、共振器長 $200\mu\text{m}$ と $150\mu\text{m}$ の DFB レーザの L-I 特性を示している。チップ温度は 25 度一定とした。共振器長 $200\mu\text{m}$ のチップは両端面とも AR コートとしたが、共振器長 $150\mu\text{m}$ のチップは両端面とも劈開面にコーティングなしとした。これは、DFB レーザの回折格子の設計が $200\mu\text{m}$ で設計されているため、 $150\mu\text{m}$ の共振器長では十分な反射率が得られず、端面を劈開面として反射率を高める必要があったからである。しきい値電流は 200 、 $150\mu\text{m}$ の共振器長でそれぞれ、 9.1 、 5.0mA であった。また、微分抵抗値はそれぞれ、 7.7 、 9.0Ω であった。低しきい値、かつ、低いデバイス抵抗値が実現できていることが確認できた。これは、高速変調デバイスとして重要である。また、図 3.1.8、9 はそれぞれ、共振器長 200 、 $150\mu\text{m}$ の DFB レーザのスペクトル特性を示している。DFB レーザの注入電流はそれぞれ、共振器長 $200\mu\text{m}$ と $150\mu\text{m}$ で、 30 、 20mA の時の結果である。共振器長 $150\mu\text{m}$ のレーザでは、端面が劈開面となっているため、細かい縦モードが見られるが、サイドモード抑圧比(SMSR)は共振器長 $200\mu\text{m}$ と同様に 40dB 以上と良好な値であった。また、共振器長 $200\mu\text{m}$ と $150\mu\text{m}$ それぞれのピーク波長は 1303.5 、 1303.2nm であった。

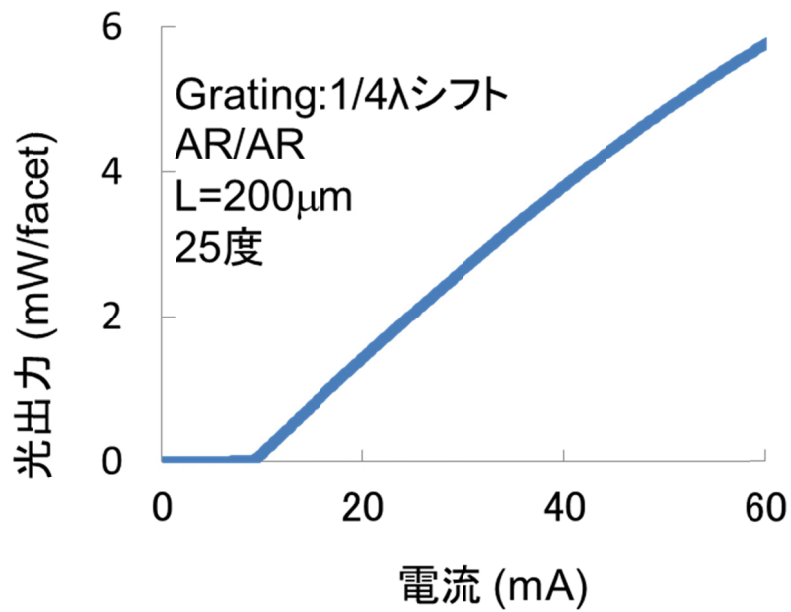


図 3.1.6 共振器長 200µm フリップチップ対応直接変調DFBレーザの L-I 特性

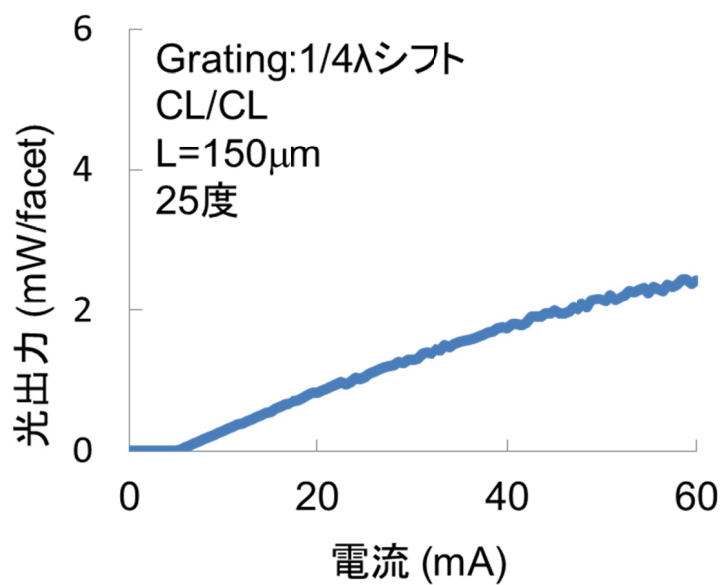


図 3.1.7 共振器長 150µm フリップチップ対応直接変調DFBレーザの L-I 特性

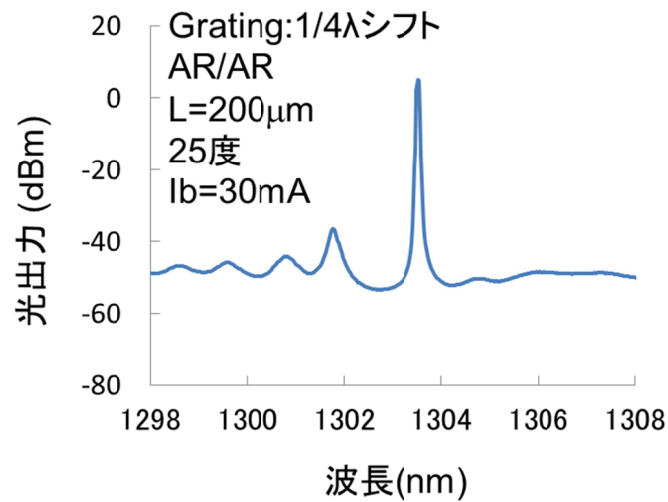


図 3.1.8 共振器長 $200\mu\text{m}$ フリップチップ対応直接変調 DFB レーザのスペクトル特性

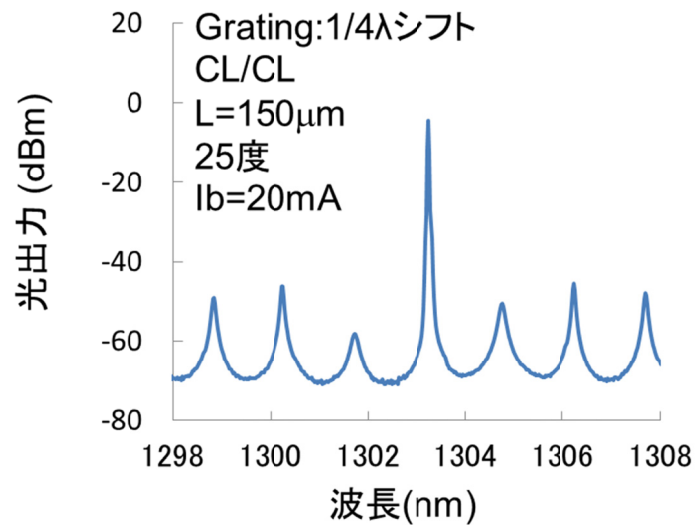


図 3.1.9 共振器長 $150\mu\text{m}$ フリップチップ対応直接変調 DFB レーザのスペクトル特性

上記の静特性の評価結果から、良好な特性を有するフリップチップ対応直接変調 DFB レーザが作製できていることが確認できた。次節以降で、本デバイスを用いた動特性評価を行う。

3.2. ワイヤ接続直接変調 DFB レーザモジュールの作製と評価

3.1 で作製した直接変調 DFB レーザを用いて、モジュールを作製した。図 3.2.1 は作製したワイヤ接続モジュールの内部写真を示したものである。モジュールの高周波コネクタは 40GHz まで帯域が確保できる K コネクタとした。高周波信号はパッケージのコネクタ、パッケージ内配線板を介して、ワイヤで接続された高周波配線板に入り、さらにワイヤを介して直接変調 DFB レーザへ供給される。レーザから出力された光はレンズを介してコリメート光となり、アイソレーション特性 40dB 以上のアイソレータを通過して、再度レンズで集光されて、光ファイバへ結合される構成となっている。アイソレータは戻り光の影響を受けてレーザの動作モードが不安定になることを防止するために入っている。

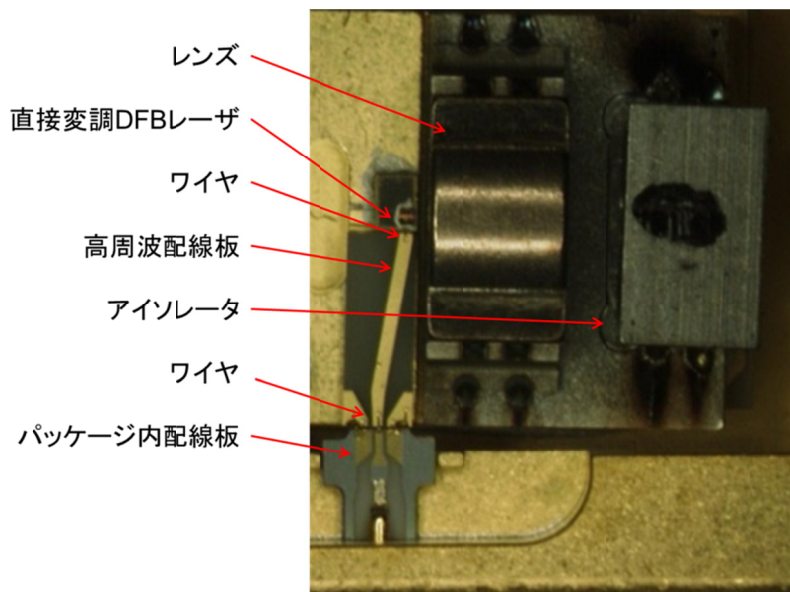


図 3.2.1 ワイヤ接続直接変調 DFB レーザモジュールの内部写真

作製したワイヤ接続モジュールの E/O 応答特性の測定結果が図 3.2.2、3 である。チップ温度は 25 度一定とした。共振器長 200 μm のレーザでは注入電流 80mA の時、変調帯域が最大となり、そのときの 3dB 帯域は 12.4GHz であった。また、共振器長 150 μm のレーザ

では注入電流 50mA の時、変調帯域が最大となり、そのときの 3dB 帯域は 14.3GHz であった。目標としている動作は、25.8Gbit/s の NRZ 信号による変調であるため、ワイヤ接続のモジュールでは共振器長 150 μ m でもビットレートの半分を少し超える程度と帯域が十分とはいえない結果であることがわかった。図 3.2.4 は共振器長 150 μ m のモジュールを用いた 25.8Gbit/s 変調信号の 10km 伝送実験の結果である。このとき、チップ温度は 25 度、バイアス電流は 50mA とした。電気信号は 3.5Vpp、疑似ランダムビットシーケンス (PRBS)²⁷⁻¹、25.78125Gbit/s の NRZ 信号を用いた。Back-to-back で、消光比は 3.5dB のアイ波形を得ることができ、10km 伝送後も良好なアイ開口が確認できた。また、Bit-error-rate(BER)特性を測定した結果が右のグラフである。10km 伝送後もエラーフリー伝送を確認することができた。このとき、最小受光感度は Back-to-back、10km 伝送ともに -9.5dBm であり、伝送ペナルティはほぼなかった。しかし、100GbE の規格では、10km 伝送の規格でも消光比 4dB 以上が必要であるため、ワイヤ接続のモジュールでは共振器長 150 μ m でも帯域が不足していることもわかった。

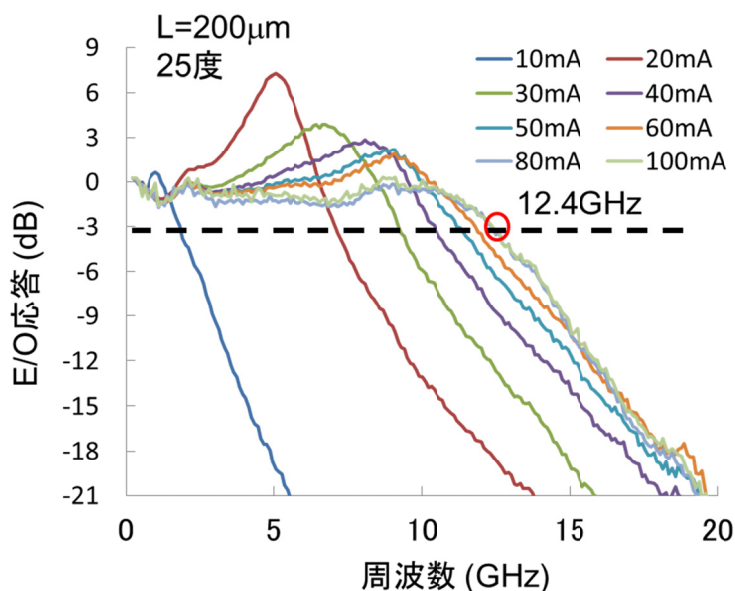


図 3.2.2 ワイヤ接続直接変調 DFB レーザモジュールの E/O 応答特性(共振器長 200 μ m)

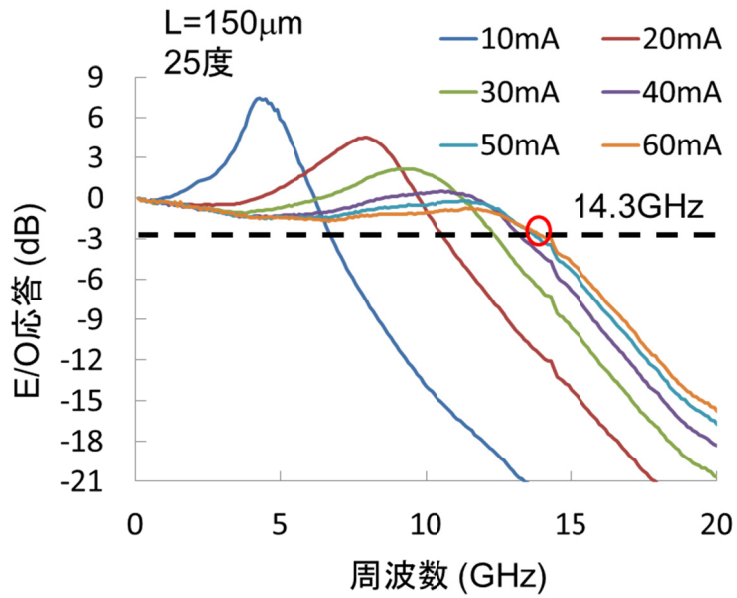


図 3.2.3 ワイヤ接続直接変調 DFB レーザモジュールの E/O 応答特性(共振器長 $150\mu\text{m}$)

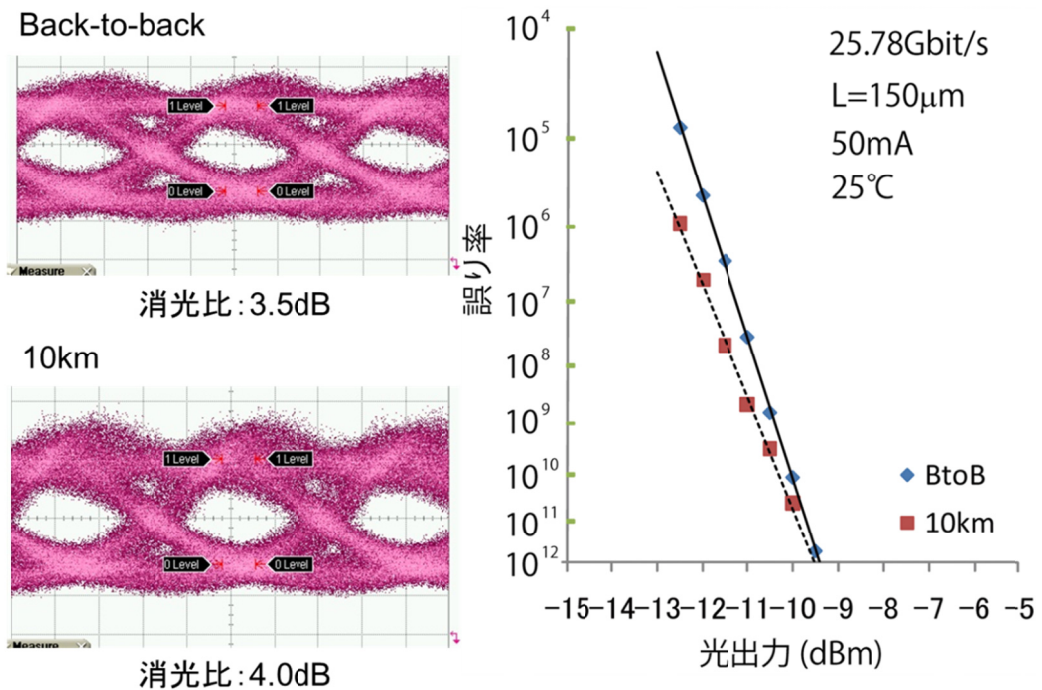


図 3.2.4 25.8Gbit/s 信号の伝送実験でのアイ波形と BER 特性

最後に、本デバイスを用いた差動信号での変調実験を行った。図 3.2.5 は差動信号駆動実験のために作製したレーザサブアセンブリの概略図を示したものである。共振器長は $200\mu\text{m}$ のレーザを用いた。高周波配線板は差動 100Ω に設計されたコプレーナ線路を用いており、レーザと直列に 45Ω の終端抵抗が信号線、反転信号線それぞれに配置されている。これは、レーザの抵抗値が約 10Ω であり、併せて 100Ω の終端抵抗になるように設計したためである。また、レーザチップと高周波配線板はワイヤで接続した。図 3.2.6 は差動信号駆動実験系を示したものである。先のモジュールでの変調実験からもわかるように現状の構成のモジュールでは帯域が不足していること、本デバイスの差動信号駆動の可能性を確認することが実験の目的であることを考慮して、モジュールにはいれずに、サブアセンブリに高周波プローブで高周波信号を入力する実験系とした。高周波配線板には GSSG プローブを介して信号を供給し、レーザのバイアス電流はそれぞれにバイアス T を介して、 80mA の電流が供給されるように、 4.0 、 -4.0V の電圧を印加した。また、高周波信号はそれぞれ 3.0Vpp の差動信号を入力した。これはレーザにかかる振幅電流としては 60mA_{pp} に相当する。このときの Back-to-back でのアイ波形を示したものが図 3.2.7 である。信号のビットレートは単層信号変調実験と同じ、 25.78125Gbit/s とした。消光比 4.1dB のアイ開口を確認することができた。結果から、本直接変調 DFB レーザを用いることで差動信号駆動が可能であることが確認できた。

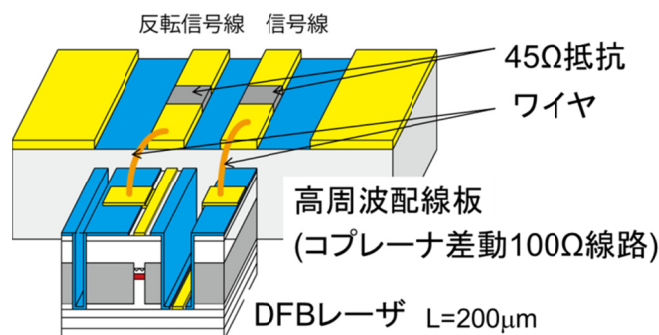


図 3.2.5 差動駆動用直接変調 DFB レーザサブアセンブリの概略図

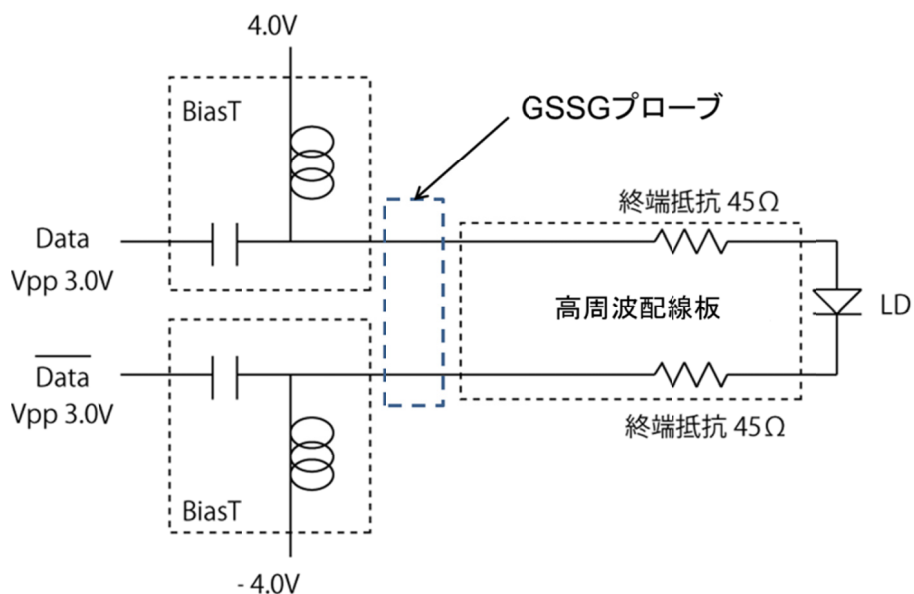


図 3.2.6 直接変調 DFB レーザの差動信号駆動実験系

25度、Back-to-back、25.78Gbit/s

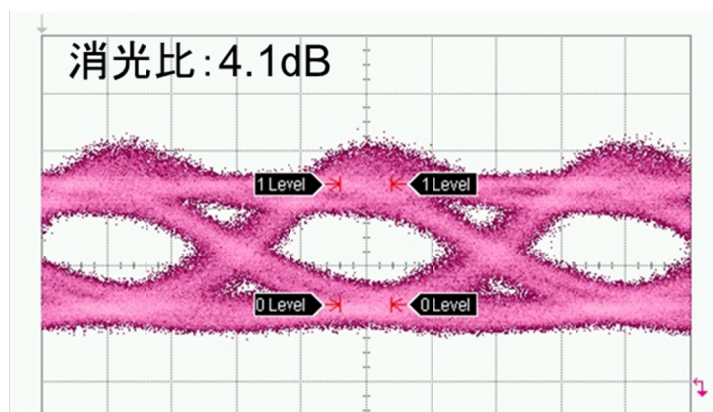


図 3.2.7 差動信号駆動直接変調 DFB レーザのアイ波形

以上の結果より、本提案型の直接変調 DFB レーザは単層信号、差動信号駆動、ともに 25.8Gbit/s 変調での良好アイ波形を確認することができた。しかし、ワイヤ接続では 100GBASE-LR4 用光源としては帯域不足であることもわかった。

3.3. フリップチップ実装直接変調 DFB レーザモジュールの作製と評価

3.2 節で作製したワイヤ接続モジュールでは 100GBSASE-LR4 用光源としての 25.8Gbit/s 動作には帯域が不足している結果となった。そこで、帯域改善のために、3.1 節で作製した直接変調 DFB レーザチップへのフリップチップ実装の適用を検討した。まずは、ワイヤ接続モジュールからどの程度の特性改善が見込めるかシミュレーションにより見積もった。図 3.3.1 は直接変調 DFB レーザサブアセンブリの等価回路モデルである。図 3.1.3 で示した直接変調 DFB レーザの等価回路モデルにワイヤの持つ寄生インダクタンス(L_{wire})を含めたモデルとしている。本モデルを用いて、DML 全体にかかる電圧の周波数応答特性を求めた。DFB レーザの回路パラメータは SI 層の容量 C_{SI} 、各クラッド層の抵抗 R_{pclad} 、 R_{nclad} 、コンタクト層抵抗 R_{ncontact} は計算によって求め、それ以外のパラメータは実測値と計算で求めた各パラメータを用いて求めた値とした。共振器長 $150\mu\text{m}$ での R_{pclad} 、 R_{active} 、 R_{nclad} 、 R_{ncontact} 、 C_{SI} 、 C_{active} はそれぞれ、 7Ω 、 0.5Ω 、 2Ω 、 1Ω 、 0.5pF 、 0.3pF とした。また、ワイヤのインダクタンス L_{wire} は 0.6nH 、フリップチップ実装時は 0.03nH とした。このとき、DFB レーザ全体にかかる電圧信号の周波数応答特性の結果を示したものが図 3.3.2 である。このとき、周波数応答特性の劣化のもう一つの支配的要因と考えられる、SI 層の容量の低減による帯域改善効果もあわせて見積もった。まず、ワイヤ接続から FC 実装に変更することで、 10GHz で 0.5dB 、 20GHz で 1.8dB 程度の帯域改善効果があることがわかった。加えて、SI 層の容量に関しては、現在のチップの $1/10$ にあたる 0.05pF まで低減することで、 30GHz までほぼ劣化のない周波数応答特性が得られるが分かった。容量の低減を行う方法としては、

1. SI 層厚を増やす
2. p クラッド層の抵抗値が上がらない程度の幅を残してエッチングし、低誘電率絶縁体 (BCB など) に置き換える(図 3.3.3 参照)

といった構造が考えられる。たとえば、p クラッドの幅を $5\mu\text{m}$ とし残りを BCB で埋め込み、SI 層を $4\mu\text{m}$ まで厚くすると、約 0.05pF の容量まで低減が可能となる。

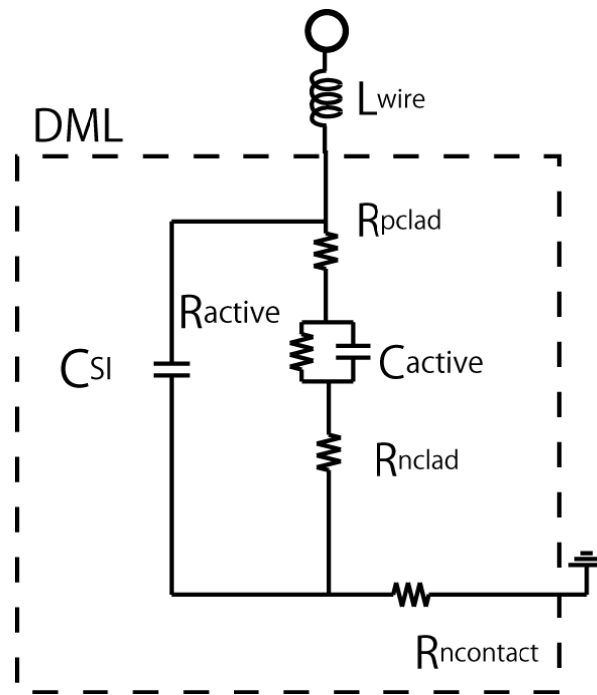


図 3.3.1 ワイヤのインダクタンスを含めた直接変調 DFB レーザの等価回路モデル

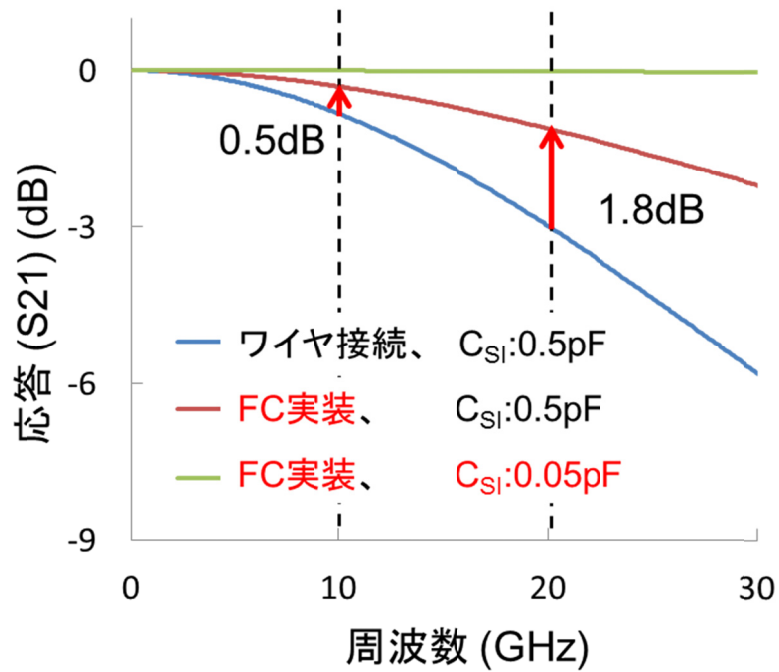


図 3.3.2 直接変調 DFB レーザにかかる信号電圧の周波数応答特性

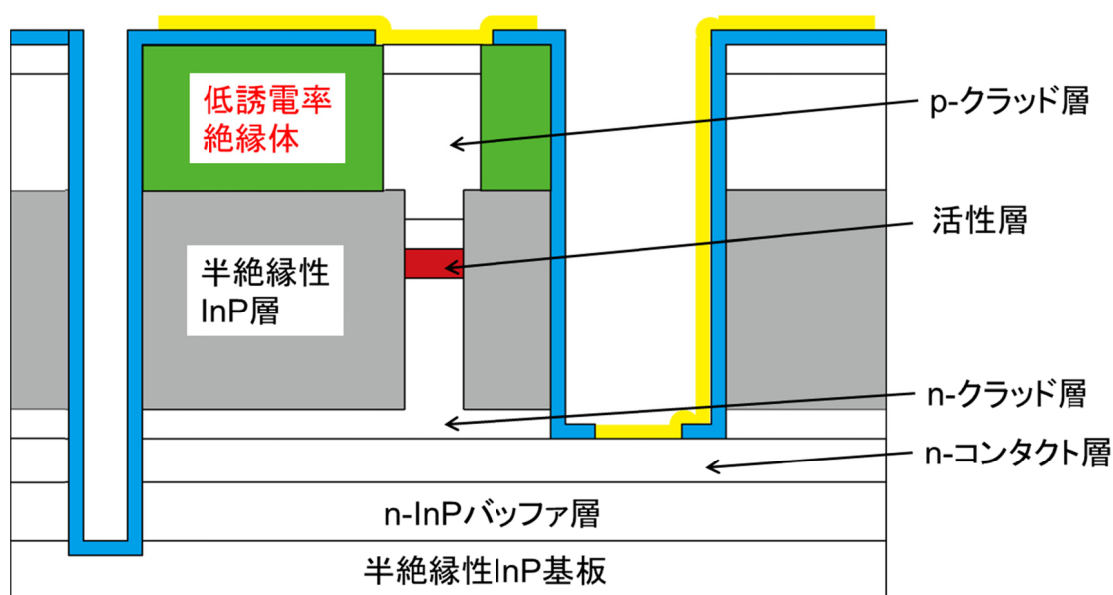


図 3.3.3 容量低減構造を適用した直接変調 DFB レーザの断面図

図 3.3.2 に示した帯域改善効果の結果を基に、ワイヤ接続モジュールからフリップチップ実装モジュールにすることでどの程度の E/O 応答特性の改善が見込めるかを計算した。結果を図 3.3.4 に示す。このとき、バイアス電流 60mA の時の共振器長 150 μ m のレーザを用いたワイヤ接続モジュール E/O 応答特性から、図 3.3.2 に示されているワイヤ接続(青線)とフリップチップ実装(赤線)での応答特性の差分を差し引くことでフリップチップ実装モジュールの特性を予測した。シミュレーション結果から、3dB 帯域はフリップチップ実装(FC 実装)にすることで 14.6GHz まで帯域が改善されることが分かった。フリップチップ実装、かつ SI 層容量低減時の E/O 応答特性予測は、バイアス電流 60mA のワイヤ接続モジュール E/O 応答特性から、図 3.3.2 に示されているワイヤ接続(青線)と容量低減時(緑線)での応答特性の差分を差し引くことで求めた。容量低減構造を導入することで 15GHz まで帯域改善可能であることが確認できた。図 3.3.2 の結果からも分かるように、寄生成分による電気回路の帯域律速は容量低減後(図 3.3.2 の緑線)であれば、ほぼないといえるため、さらなる帯域改善には直接変調 DFB レーザの変調特性そのものを改善する必要がある。

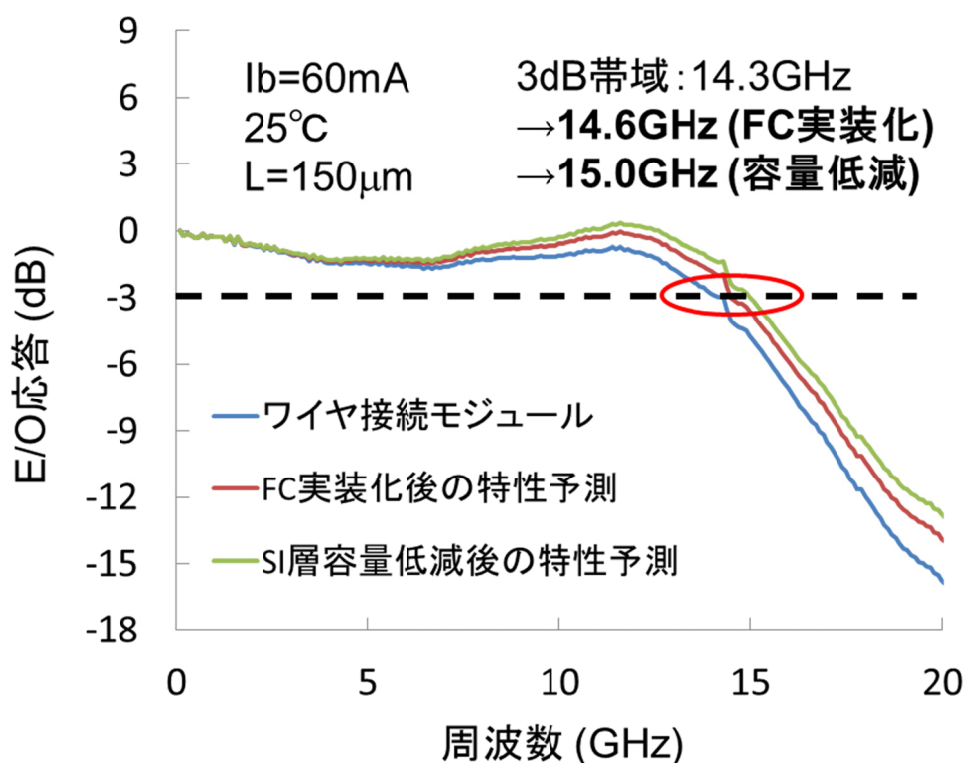


図 3.3.4 直接変調 DFB レーザの E/O 応答特性改善予測

今回は、ワイヤ接続とフリップチップ実装、各実装方法の特性比較するため、フリップチップ実装モジュールには、ワイヤ接続モジュールに用いた高周波配線板に直接変調 DFB レーザをフェイスダウンでフリップチップ実装したレーザサブセンブリを用いた。図 3.3.5 はフリップチップ実装レーザサブセンブリの工程を示したものである。まず、共振器長 $150\mu\text{m}$ の直接変調 DFB レーザの電極上部にボールボンディング装置を用いて、直径 $50\mu\text{m}$ 、高さ $30\mu\text{m}$ 程度の金バンプを形成する。そして、ボール上部を Si 基板で押しつけることでレベリングして、ボールの高さを合わせる(図 3.3.5(a))。最後に、高周波配線板上の信号線および GND と金バンプを AuSn 半田を用いて固定する(図 3.3.5(b))。このようにして、フリップチップ実装直接変調 DFB レーザサブアセンブリが完成する。以降の工程は従来のワイヤ接続モジュール作製工程と同等である。

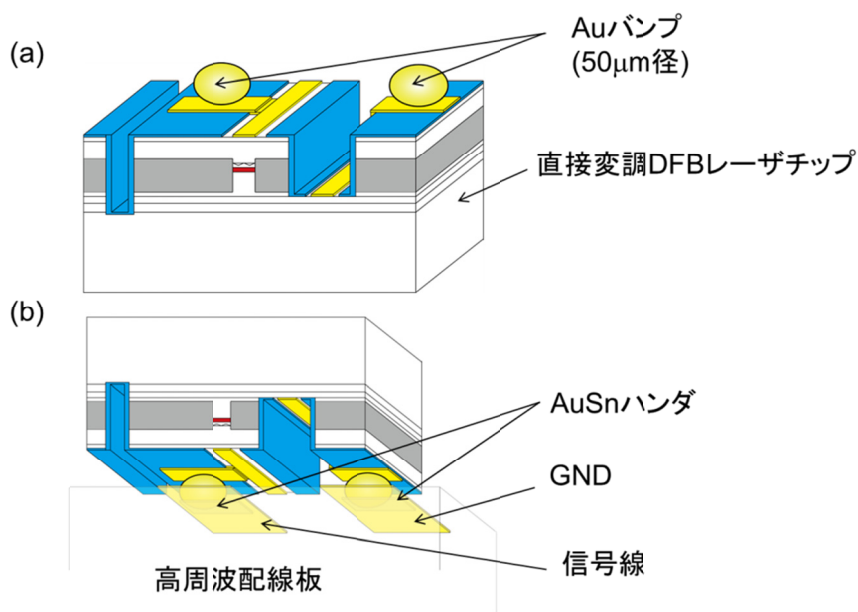


図 3.3.5 フリップチップ実装直接変調レーザサブアセンブリの工程図

まず、作製したフリップチップ実装直接変調DFBレーザモジュールの静特性を評価した。図 3.3.6 はフリップチップ実装モジュールの L-I、V-I 特性の測定結果である。レーザの共振器長は 150 μ m、温度は 25 度一定とした。しきい値電流は 4.2mA、微分抵抗はバイアス電流 50mA で 17.7 Ω であった。L-I 特性を見ると、30mA から微分利得が劣化し、50mA で光出力が飽和している。これは、先の 2.2 節で説明したとおり、フェイスダウンのフリップチップ実装の場合、活性層内部の発熱が逃げないため、高注入電流になるほど、活性層温度が上昇するため、微分利得が劣化したものと考えられる。この点は、フリップチップ接続技術を適用することで改善が可能である。図 3.3.7 は作製したモジュールのスペクトル特性を示したものである。このとき、チップ温度は 25 度一定、バイアス電流は 50mA とした。発振ピーク波長は 1306.56nm、SMSR は 40dB 以上と良好な特性が得られた。縦モードが目立つのは、端面の反射率を上げるために、チップ両端面を AR コートせず、劈開面としているためである。

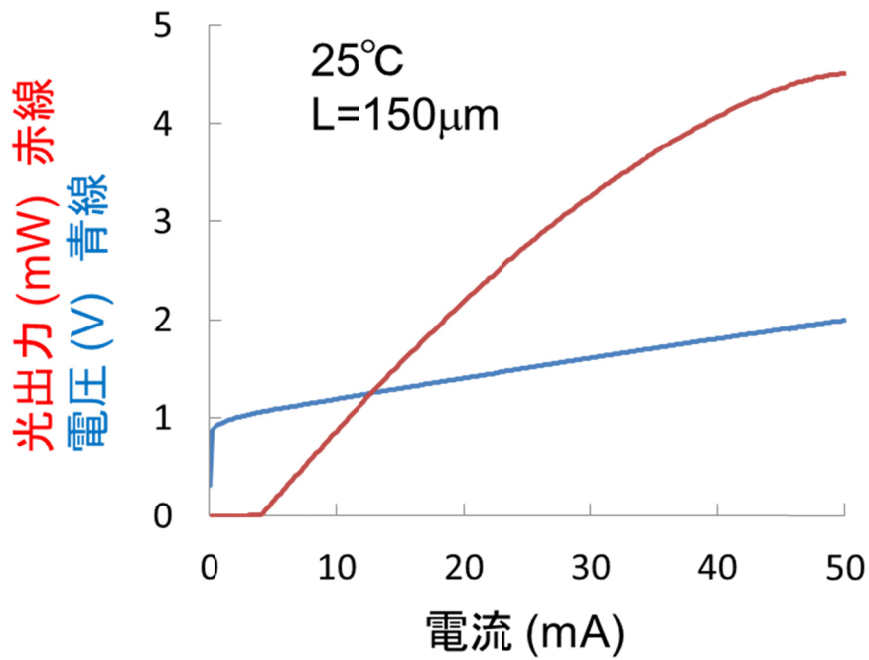


図 3.3.6 フリップチップ実装直接変調 DFB レーザの L-I、V-I 特性

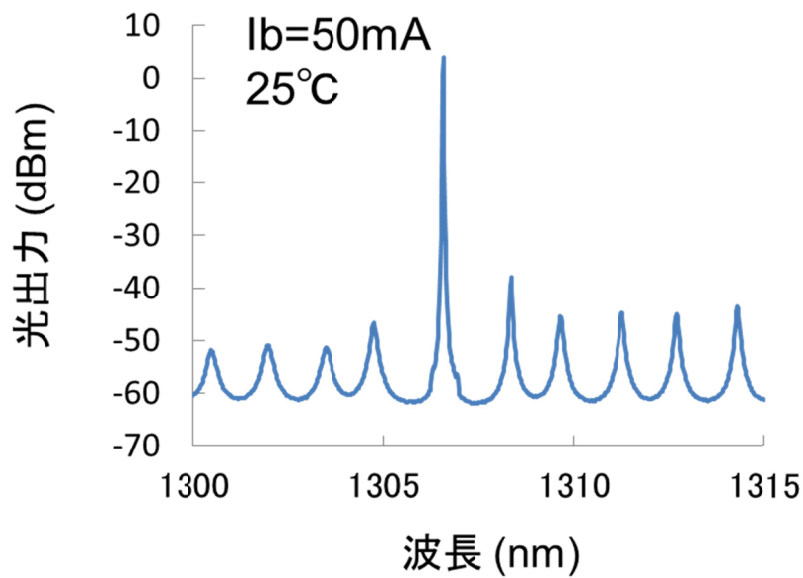


図 3.3.7 フリップチップ実装直接変調 DFB レーザのスペクトル特性

次に、作製したフリップチップ実装レーザモジュールの動特性を評価した。図 3.3.8 は E/O 応答特性のバイアス電流依存性を示したものである。以下、全ての測定において特に指定のない場合、チップ温度は25度一定とする。バイアス電流20mAで、3dB帯域12.4GHz、バイアス電流40mAで14.4GHzという結果であった。また、バイアス電流は50mAを超えて印加すると、逆に帯域は劣化する。これは、先の図3.3.6に示したL-I特性からも分かるように、高注入電流時の活性層温度上昇が大きいいため、微分利得が上がらなくなることが原因である。本結果と先に行ったE/O応答特性のシミュレーション予測の結果を比較したものを図3.3.9に示す。このとき、バイアス電流は60mAとした。チップ温度25度での実測値とシミュレーション結果を比較すると、実測値の特性が劣化している。これは、図3.3.6、8の結果で議論しているとおり、活性層温度は、フェイスアップ実装の時より、フェイスダウン実装の方が高いため、レーザ自身の応答特性が劣化し、その影響でE/O応答特性もシミュレーション結果より劣化したと考えられる。これは、緩和振動周波数に相当するE/O応答特性のピーク周波数が、シミュレーションによる推測値では12GHz付近に対して、実測では9.4GHz付近にまで劣化していることから裏付けられる。そこで、E/O応答特性のピークをシミュレーションによる推測結果と合うようにチップ温度の設定を調整して、そのチップ温度でのE/O応答特性を測定した結果が緑線である。ここでのチップ温度とは、サブキャリア上においたサーミスタで検知している温度を示す。同一のバイアス電流値で、緩和振動周波数が一致する時に、フェイスアップ実装の時と同じ活性層温度になったと仮定した。これは、チップをフェイスアップ実装とする、フリップチップ接続を適用した時の特性といえる。E/O応答特性のピーク周波数が一致するチップ温度は15度であった。チップ温度15度の結果とシミュレーション結果を比較すると、E/O応答特性の傾向がよく一致していることが確認できる。また、このとき、3dB帯域は15GHzであり、ワイヤ実装モジュールの帯域と比較して約1GHz程度とわずかではあるが帯域改善が出来ていることが確認できた。

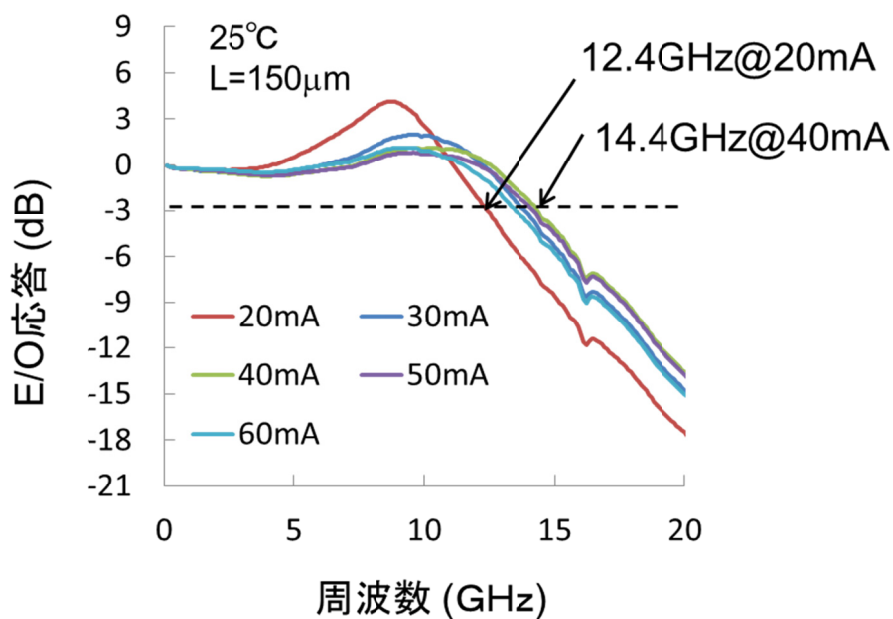


図 3.3.8 フリップチップ実装直接変調 DFB レーザモジュールの E/O 応答特性

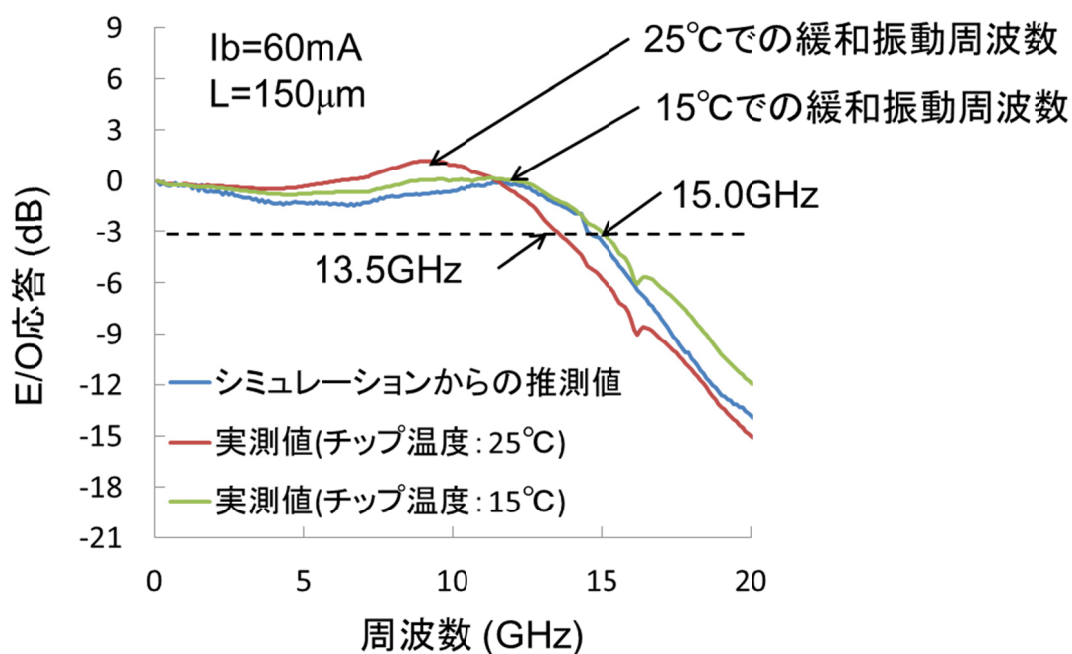


図 3.3.9 フリップチップ実装モジュールの実測値とシミュレーション結果の比較

最後に本モジュールを用いて伝送実験を行った。図 3.3.10 は Back-to-back とシングルモードファイバ(SMF)10km 伝送時のアイ波形、BER 特性の結果である。このとき、チップ温度は 15 度、バイアス電流は 50mA、電気信号は 3.5Vpp、疑似ランダムビットシーケンス(PRBS)2⁷-1、25.78125Gbit/s の NRZ 信号を用いた。Back-to-back での消光比は 4.3dB であり、10km 伝送後も良好なアイ開口が確認できた。図 3.2.4 のワイヤ接続モジュールと比較して、Back-to-back で消光比が 0.8dB 改善し、100GBASE-LR4 で必要とされる 4.0dB 以上の消光比が得られた。右は BER 特性の結果である。10km 伝送後もエラーフリー動作を確認することができた。Back-to-back で最小受光感度-10.6dBm、10km 伝送後で-11dBm とほぼ伝送ペナルティのない結果であった。図3.2.4のワイヤ接続モジュールとの比較では、10km 伝送時の最小受光感度が 1.5dB 改善している。これは、消光比が改善したことがおもな要因と考えられる。

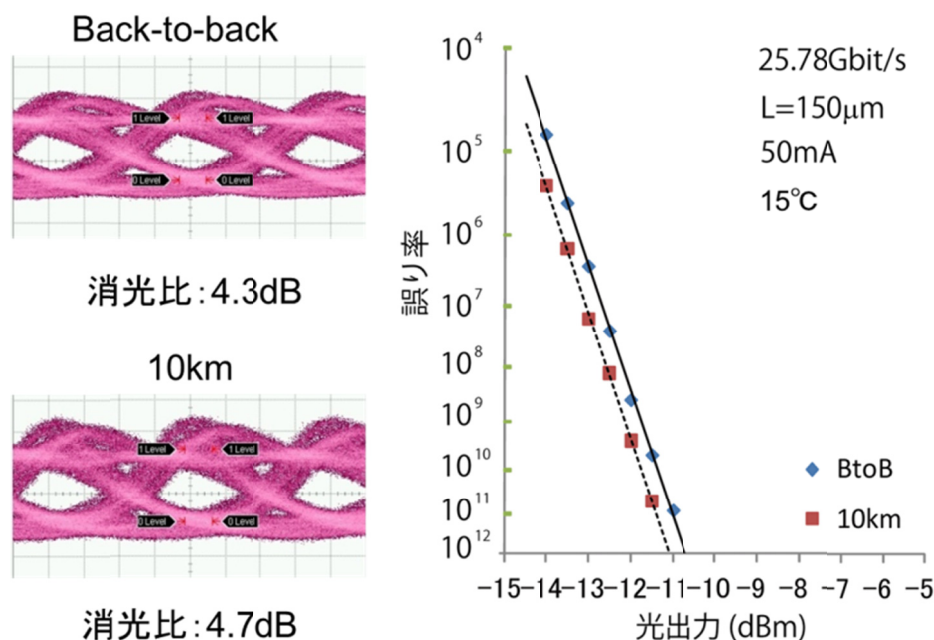


図 3.3.10 フリップチップ実装モジュールの 25.8Gbit/s 信号 10km 伝送実験時のアイ波形と BER 特性

これらの結果から、フリップチップ実装が直接変調 DFB レーザモジュールの帯域改善に有効であることが確認できた。ただし、本直接変調 DFB レーザではレーザ自身の応答特性が帯域を律速する支配的要因であり、フリップチップ実装化による特性改善の割合はわずかであった。また、フリップチップ実装では放熱性が課題であることを改めて確認するとともに、フリップチップ接続化することで、放熱性を改善し、これにより更なる帯域改善が可能であることも確認した。

3.4. 合波器集積 4 チャンネル DFB レーザアレイチップの設計

前節までは、100 ギガビットイーサネットの規格の中でも 10km 伝送用として規定されている 100GBASE-LR4 をターゲットとした単チャンネル光送信器の検討を進めてきた。本節では、4 チャンネル集積小型 TOSA(Transmitter Optical Sub-Assembly)実現に向けて、合波器集積 4 チャンネル直接変調 DFB レーザアレイチップを作製したので、説明する。

2.1 節でも述べたように、小型 TOSA 用の光源チップとしては合波器をモノリシック集積したレーザアレイデバイスが必要となる。そこで、図 3.4.1 に示すような合波器集積 4 チャンネル DFB レーザアレイチップを作製した [3.10]。半絶縁性基板上に InGaAlAs 量子井戸を成長するためには、新たに成長条件を検討する必要があるため、今回はすでに成長条件が確立されている n 基板上に作製した。先にも説明したように、基板を導電性とする場合、各チャンネルの GND が共通となるため、n 基板の GND を介したクロストークの増加、差動信号駆動ができないといった問題が発生する。このため、本チップではチャンネル間を 0.6mm と広くとり、p 基板より抵抗値の低い n 基板を用いることでクロストークを抑制した。また、本チップでは単相信号駆動のみ実験することとした。本チップ上面には GND 電極を配置している。これは、3.1 節で提案した構造と同様にフリップチップ接続する際に p,n 両電極をチップ上面から一括で接続できるようにするための構造であり、ワイヤ接続時には各チャンネルの信号線ワイヤの間に GND ワイヤを設置することが可能となるためワイヤで発生する隣接チャンネル間クロストークの低減にも役立つ。本電極はチップをサブキャリア上に実装したのち、サブキャリア上の GND とワイヤで接続することとした。

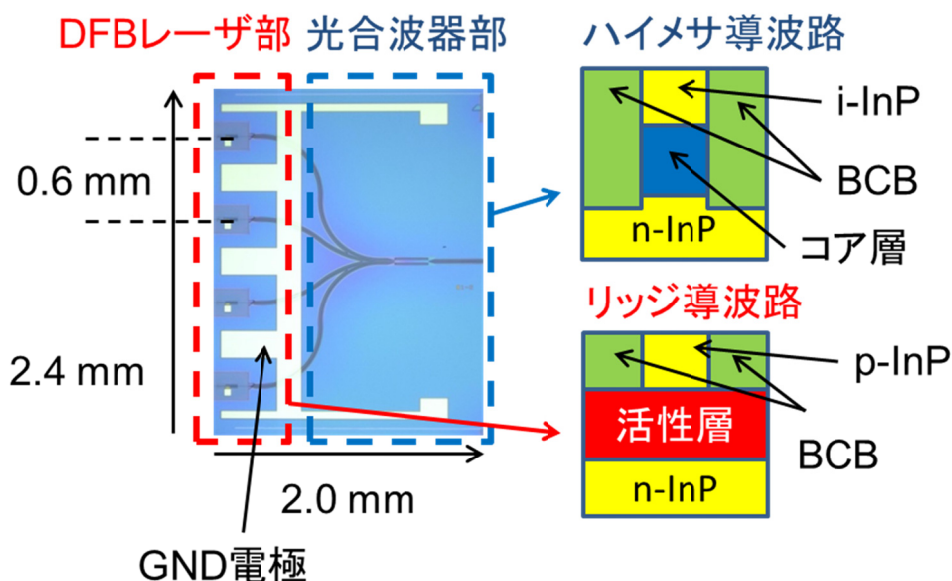


図 3.4.1 4チャンネルDFBレーザアレイチップの写真と各部断面図

では、チップのDFBレーザ部から構造を見ていく。DFBレーザの活性層の設計をする上で、2つの点を考慮した。1つ目は、1295nmから1310nmの波長範囲で、大きな利得が得られるように設計した。これは、表3.1.1に示されるような、4つピーク波長を持つレーザを同一のウエハ上に作製する必要があるためである。もう一つは、チップ温度を55度と比較的高温な設定で動作するように設計した。100GbEトランシーバ用光送信器では、ケース温度(モジュール容器の温度)が-5~75度の温度範囲で動作する必要がある。モジュールの消費電力の内訳で大きな部分を占める、ペルチェ素子の消費電力が、このケース温度範囲全域で低くなるようチップ温度を設定することがモジュールの低消費電力化には非常に重要である。そこで、今回はチップ温度を55度と設定した。これらの点を考慮して、まず、活性層はInGaAlAs量子井戸構造とした。InGaAlAs量子井戸はInGaAsP量子井戸と比較して、伝導体バンドオフセット(ΔE_c)が大きくとれるため、キャリアの閉じこめが強く、温度特性に優れていることが知られている [3.2, 11]。また、利得のピークはチップ温度55度で、1304nmとなるように設計した。InGaAlAs量子井戸を活性層とした半絶縁性埋め込み

成長条件がでていなかったため、DFB レーザの断面構造は図 3.4.1 の右下に示すように、BCB 埋め込みのリッジ導波路構造とした。半絶縁性埋め込み構造ではないため、若干の温度特性の劣化が懸念されるが、低誘電率材料であるベンゾシクロブテン(BCB)で埋め込んだ上に電極を設置するため、パッド容量低減による高周波特性改善が期待できる。共振器長は長くすることで、光出力パワーが大きくとれるが、変調帯域が劣化するため、これらトレードオフの関係をふまえて、全てのチャンネルで $200\mu\text{m}$ とした。また、グレーティングの構造は $1/4\lambda$ シフトとし、チップ端面は両端とも AR コートとした。これは、波長安定性を重視したためである。

次に、光合波器部の構造を説明する。本セクションには、パッシブの光導波路部も含まれる。図 3.4.1 の右上に示されるように、ハイメサ導波路構造とした。これは、2.1 節でも説明したように、ハイメサ導波路にすることで、光閉じこめを強くすることができるため、曲げ損失、放射損失を低減することが可能となり、光合波器部の小型、低損失化に寄与するためである。また、光合波器部(MUX)はコア層を InGaAsP とし、上部クラッドはノンドープの InP 層とした。これは、p-InP 層を上部クラッドとした場合と比較して、光吸収が小さく、導波路損失を低減することができるためである。本構造は、再成長技術である、ハイバットジョイント技術により実現することが出来た。ハイバットジョイントの工程について図 3.4.2 で説明する。まず、LD の InGaAlAs 量子井戸と MUX の InGaAsP コア層をバットジョイントする(図 3.4.2(a))。次に、上部に p-InP クラッド層を再成長する(図 3.4.2(b))。そして、LD 部をマスキングして、光合波器部(MUX)の上部の p-InP のみをエッチングして、ノンドープの InP をハイバットジョイント再成長する(図 3.4.2(c))。このようにして、クラッド層の置き換えを行った。また、光合波器は 4:1 の MMI カプラを用いた。MMI カプラは小型で、かつ波長依存性が小さいという特徴を有するため、小型多チャンネル集積アレイチップの合波器としては最適である。反面、4:1 の合波器で、原理損 6dB と、損失が大きいことが課題であるが、その点は本 DFB レーザの光出力が十分に得られるため問題ないと考えている。

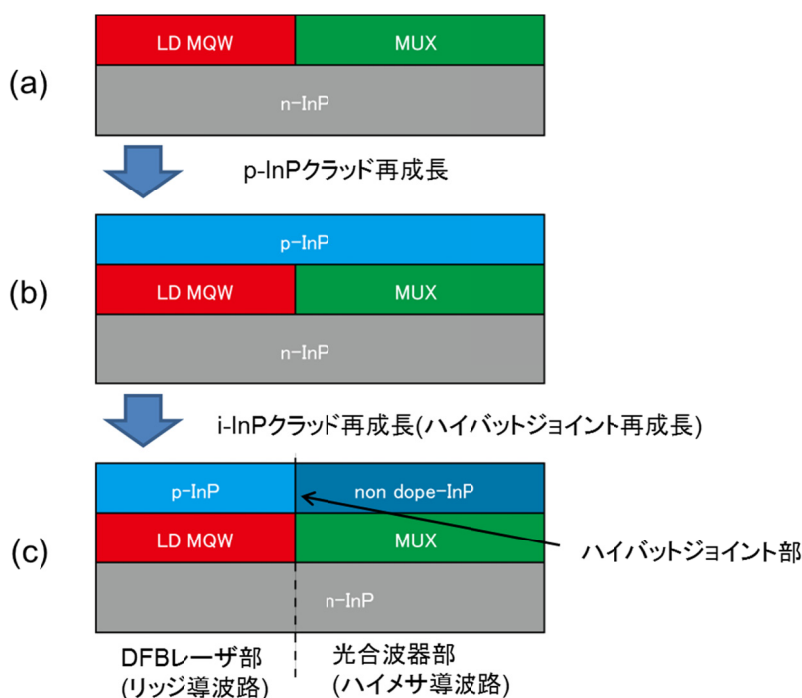


図 3.4.2 ハイバットジョイント再成長の工程(断面図)

設計した InGaAlAs 量子井戸が先に挙げた 2 つの点を満たすようにできているか確認するため、作製した 4 チャンネル DFB レーザアレイチップの緩和振動周波数(f_r)のバイアス電流依存性を測定した。チップ温度 25、55 度での結果をそれぞれ、図 3.4.3(a)、(b)に示す。横軸はバイアス電流からしきい値電流を引いた値の平方根としている。25 度での f_r スロープは各チャンネルで、3.0、3.2、3.1、3.1GHz/mA^{1/2} と良好な特性が得られ、55 度でも、3.0、3.1、3.0、3.0 GHz/mA^{1/2} とほぼ劣化のない値が得られた。25 度と 55 度でほぼ変わらないことから、良好な温度特性を有するデバイスが出来ていることが確認できた。また、各波長での緩和振動周波数の波長依存性がないことから、1295-1310nm の広い波長範囲で高い利得が得られていることが確認できた。また、55 度でも全てのチャンネルにおいて緩和振動周波数 11GHz 以上を得ることができ、25.8Gbit/s 動作の可能性を確認することが出来た。以上より、作製したレーザアレイチップがチップ温度 55 度下で、全チャンネルで 25.8Gbit/s 動作可能な良好な温度特性と広い波長範囲で高い利得を有することが確認できた。

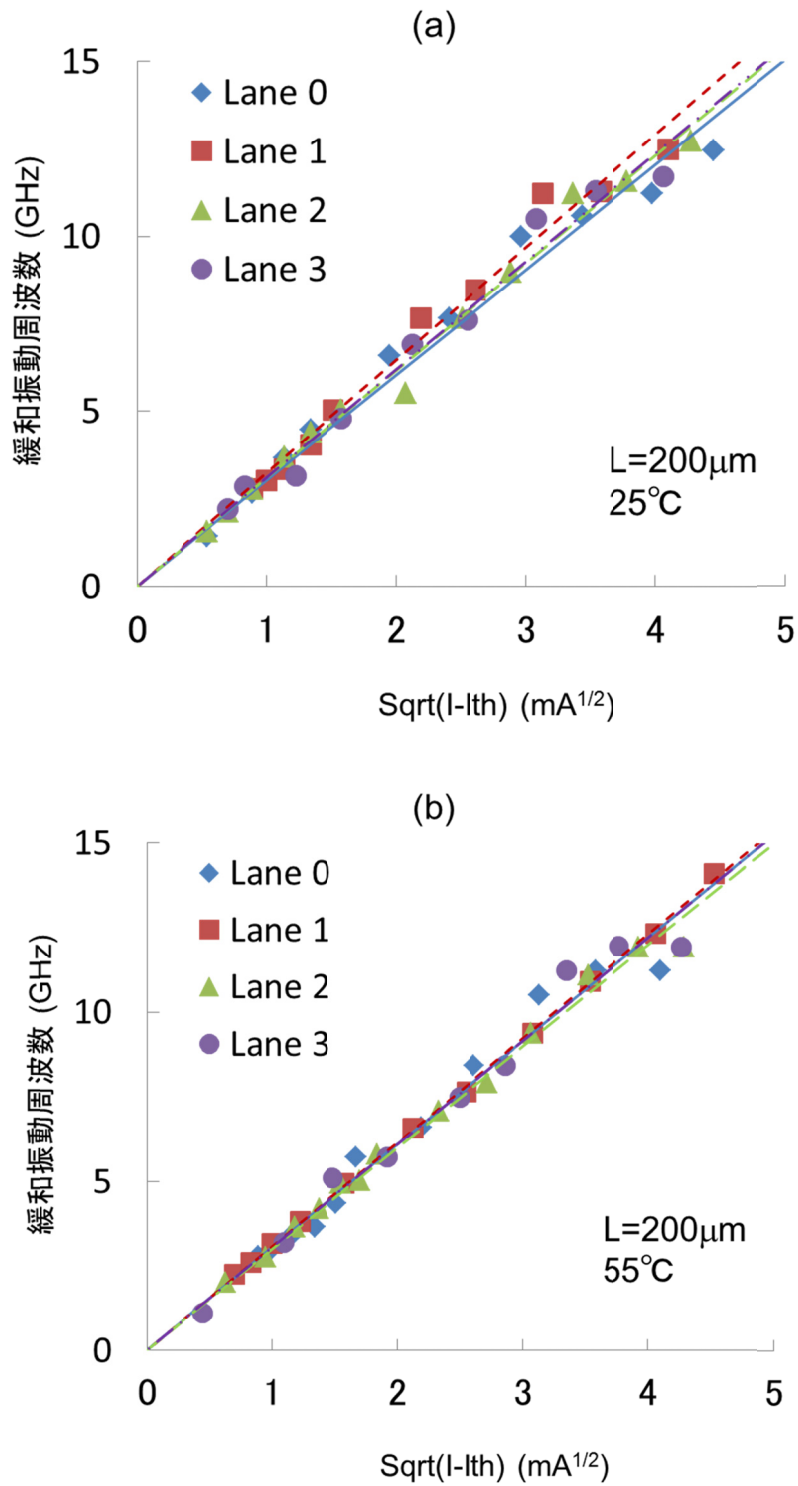


図 3.4.3 チップ温度 25 度(a)と 55 度(b)での DFB レーザアレイチップの緩和振動周波数の
バイアス電流依存性

3.5. DFB レーザアレイモジュールの設計・評価

本節では 3.4 節で設計、作製した合波器集積 4 チャンネル DFB レーザアレイチップを光源とした小型 TOSA の設計、製作、評価について説明する。図 3.5.1 は 4 チャンネル DFB レーザアレイチップを用いたサブアセンブリの概略図を示したものである [3.12]。今回の構成では、従来型ワイヤ接続構造を適用しても十分な帯域が得られるように、モニタ PD 省略して、全チャンネルで DFB レーザ電極に高周波線路を近接できるようにした。4 チャンネルレーザアレイチップと高周波配線板は同一のサブキャリア上に搭載され、高周波配線板とレーザアレイチップの高さはともに、 0.15mm で同一に成るように設計されている。高周波配線板はレーザアレイチップの後端に寄せた位置で固定されており、ワイヤ長はボンディング装置の限界である 0.15mm 程度になるように設計した。また、高周波配線板の各信号線上にはそれぞれ 40Ω の終端抵抗が搭載されている。この抵抗値は DFB レーザの持つ抵抗値、 10Ω と合わせて 50Ω となるように設計されている。また、左側(パッケージ側)の高周波配線板の信号線ピッチは 0.81mm とした。

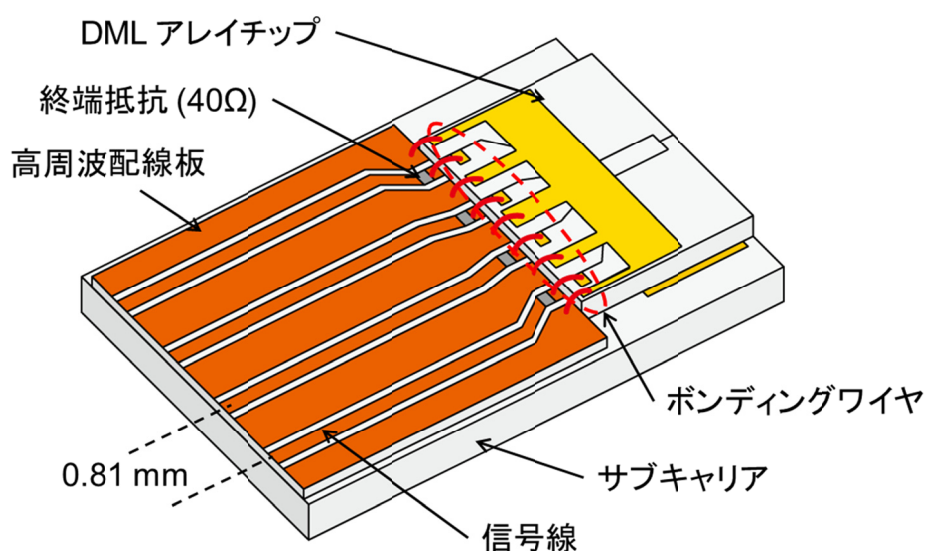


図 3.5.1 4 チャンネル DFB レーザサブアセンブリの概略図

この高周波配線板の高周波特性を三次元電磁界解析シミュレータによって見積もった。図 3.5.2 はシミュレーション用のモデルを示したものである。図 3.5.1 に示した高周波配線板をモデル化したものである。材質は窒化アルミ (誘電率 8.8) とし、長さ 3.1mm、幅 3.6mm、厚さ 0.15mm の基板サイズとした。信号線は、信号線幅は 100 μm 、信号線と GND の間隔は 55 μm の、特性インピーダンス 50 Ω となるグラウンディッドコプレーナ線路を用いた。信号線は上からレーン 0、1、2、3 とした。左側(パッケージ側)の各信号線には特性インピーダンス 50 Ω 、右側(チップ側)には 10 Ω の値を持つシミュレーション用のポートを設定した。本モデルを用いて求めた周波数応答特性を図 3.5.3 に示す。本結果は、特性インピーダンスが 50 Ω から 10 Ω に変換されることによる 7dB のロスが含まれた値となっている。全てのチャンネルにおいて、非常に平坦かつ、劣化のない周波数応答特性が得られており、終端回路集積高周波配線板単体としては、25.8Gbit/s 動作には十分な特性が得られることが確認できた。

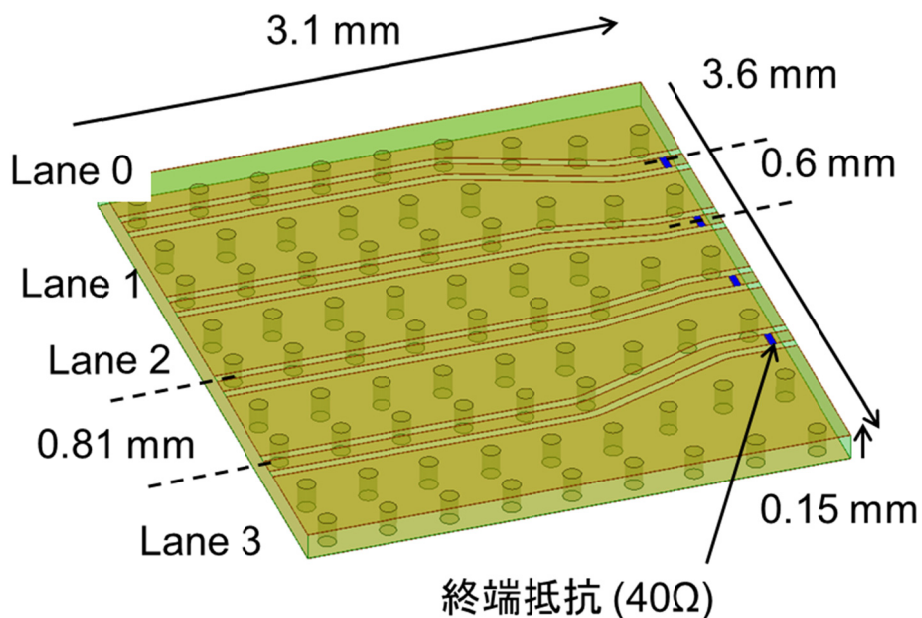


図 3.5.2 終端抵抗集積高周波配線板の三次元電磁界解析シミュレーション用モデル

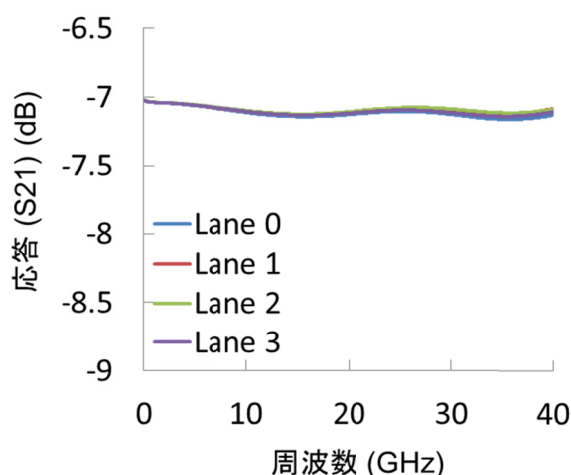


図 3.5.3 終端抵抗集積高周波配線板の周波数応答特性

次に、等価回路モデルを用いてレーザアレイサブアセンブリの周波数応答・反射特性を求めた。図 3.5.4 は終端抵抗付き高周波配線板と DML の等価回路モデルを示したものである。高周波配線板に相当する GCPW+終端抵抗の特性は図 3.5.2 に示したシミュレーションモデルで求めた結果を用いた。 L_{wire} は RF 配線板とチップを結ぶワイヤの寄生インダクタンスであり、 0.15nH とした。 R_{clad} と R_{active} はそれぞれ DML 内のクラッドと活性層の抵抗値であり、 10Ω と 0.5Ω とした。 C_{pad} と C_{active} はそれぞれ、DML のパッド容量と活性層の空乏層容量であり、 0.05pF 、 0.5pF とした。これらの値は、クラッド抵抗、パッド容量は物性値とサイズから計算で求め、他の値はデバイスの実測値と先に計算で求めた値からの差し引きで求めた。これらの値を用いてシミュレーションで求めた透過特性と反射特性がそれぞれ、図 3.5.5、6 である。図 3.5.5 は、DML 全体にかかる信号電圧の周波数応答特性を示している。すべてのチャンネルにおいて 40GHz まで平坦な良好な結果が得られている。また、図 3.5.6 の反射特性でも、全てのチャンネルにおいて、 30GHz 付近まで -10dB 以下の反射特性が得られていることが確認できた。また、チャンネル間のバラツキのない、良好な配線設計が行えていることも確認できた。本レーザアレイサブアセンブリを用いて、小型 TOSA を作製する。

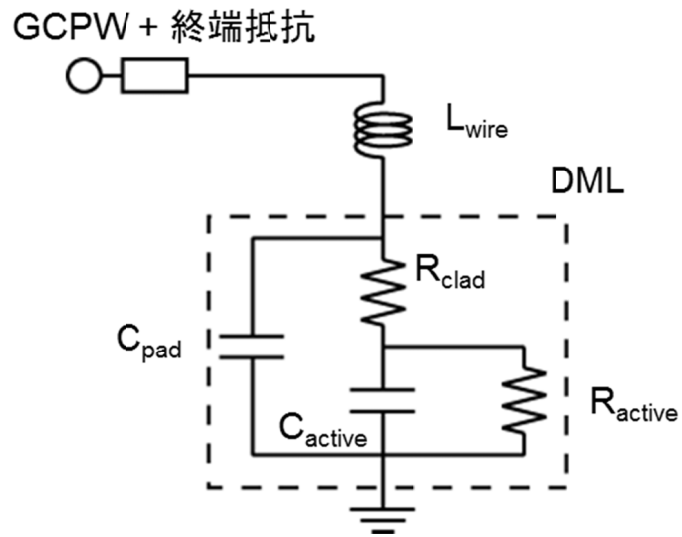


図 3.5.4 4 チャンネル DFB レーザアレイサブアセンブリの等価回路モデル

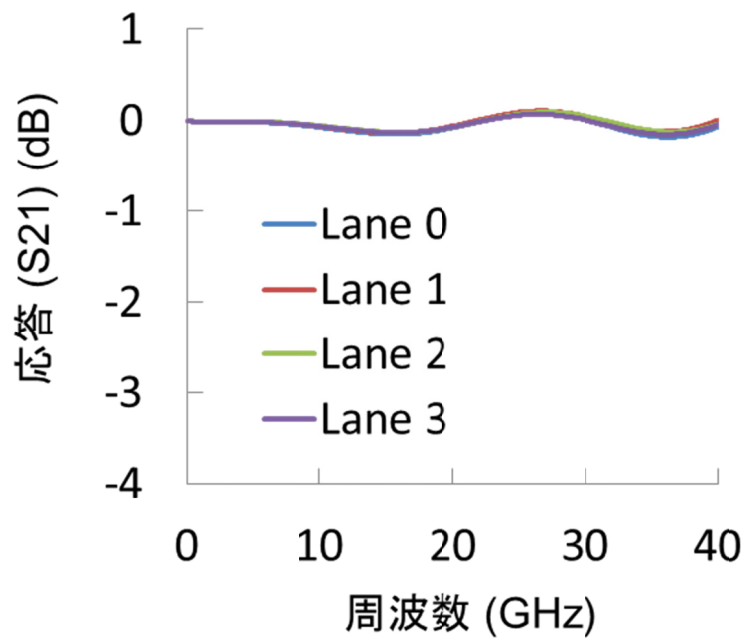


図 3.5.5 4 チャンネル DFB レーザアレイサブアセンブリの DML にかかる信号電圧の周波数

応答特性

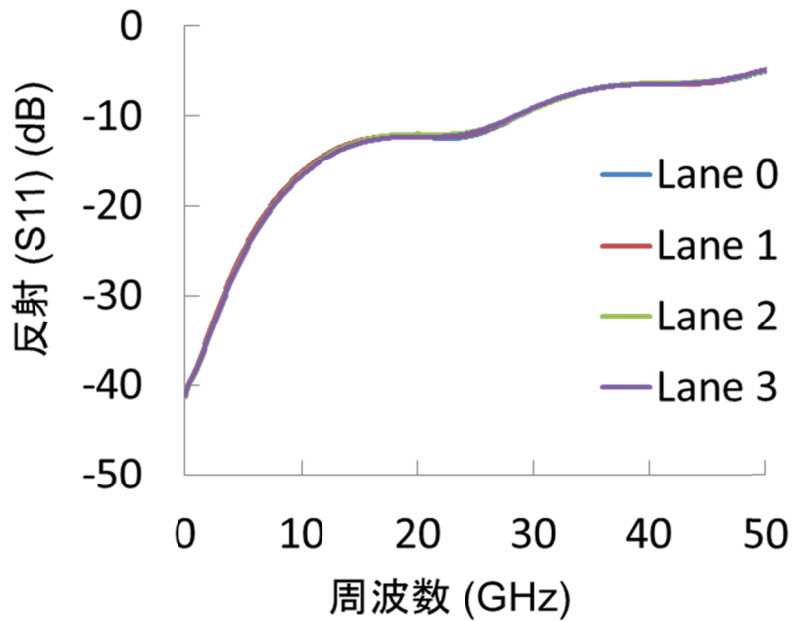


図 3.5.6 4 チャンネル DFB レーザアレイサブアセンブリの反射特性

図 3.5.7 は作製した小型 TOSA の外観図と、写真を示したものである。2.1 節で用いた TOSA と同等のパッケージを用いている。TOSA の高周波インターフェースとしては、フレキシブルプリント基板(FPC)を用いている。FPC、パッケージ上高周波線路を通った信号は、高周波配線板へと伝わり、ワイヤを介して DML チップへ供給される。DC バイアスを印加するためのバイアス T は外付けとした。チップ内で 1 つの導波路に合波された光はチップから出力され、レンズを通してコリメート光となり、アイソレータを介して、再度レンズで集光され、ファイバへと結合される。本パッケージサイズは幅 7.2mm、長さ 14.3mm、高さ 6.5mm と非常に小さな TOSA が実現できた。本 TOSA を用いて、DC 特性の評価、モジュールでの周波数応答特性の評価、伝送実験を行った。このとき、全ての測定において、高周波インターフェースを K コネクタから FPC へ変換するための治具を用いて測定を行った。

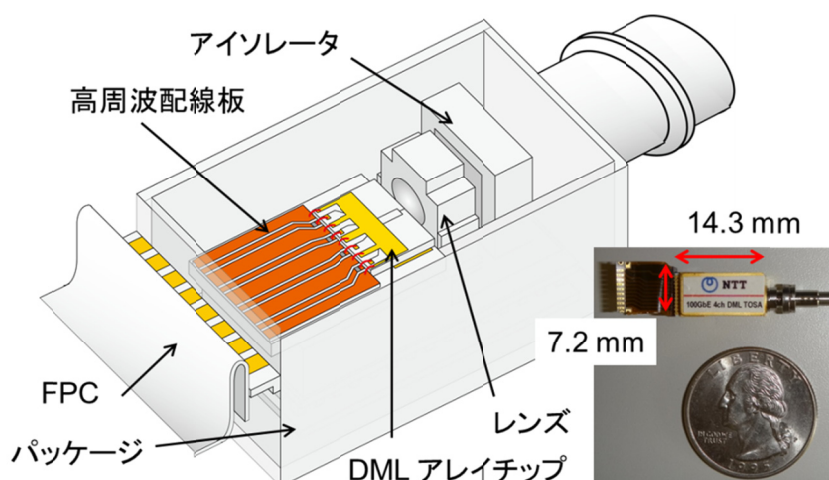


図 3.5.7 小型 4 チャンネル直接変調 DFB レーザアレイ TOSA の概略図と写真

図 3.5.8 は 4 チャンネル TOSA の L-I 特性を示したものである。以下、全ての測定において、チップ温度は 55 度とした。しきい値電流は全チャンネルにおいて 13mA と良好な結果が得られた。また、全てのチャンネルにおいて、波長依存性のない特性が得られていることを確認した。図 3.5.9 は TOSA の E/O 応答特性を測定した結果である。このとき、LD のバイアス電流は全てのチャンネルにおいて、70mA 一定とした。また、各チャンネルは独立で動作させて測定を行った。全チャンネルにおいて、3dB 帯域で 17GHz 以上を得ることができ、25.8Gbit/s 動作可能な帯域を有することが確認できた。図 3.5.10 は 4 チャンネル DFB レーザアレイ TOSA の反射特性を示している。測定条件は E/O 応答特性の時と同じである。全チャンネルにおいて、-10dB 以下の反射となる周波数範囲は 15GHz 以下であった。シミュレーション結果より、大幅に劣化した原因は、先のシミュレーションに含まれていなかった治具、FPC、パッケージによるものと予想される。そこで、治具、FPC、パッケージの透過特性、反射特性を測定したので、図 3.5.11 に示す。18、20GHz 付近にあるディップは FPC と治具の接触不良で発生していると考えられる。この接触不良が解決されると、3dB 帯域は 22GHz となり、25.8Gbit/s/ch 動作可能な帯域があるといえる。しかし、透過、反射特性ともに十分とはいえないため、この点は今後の課題である。

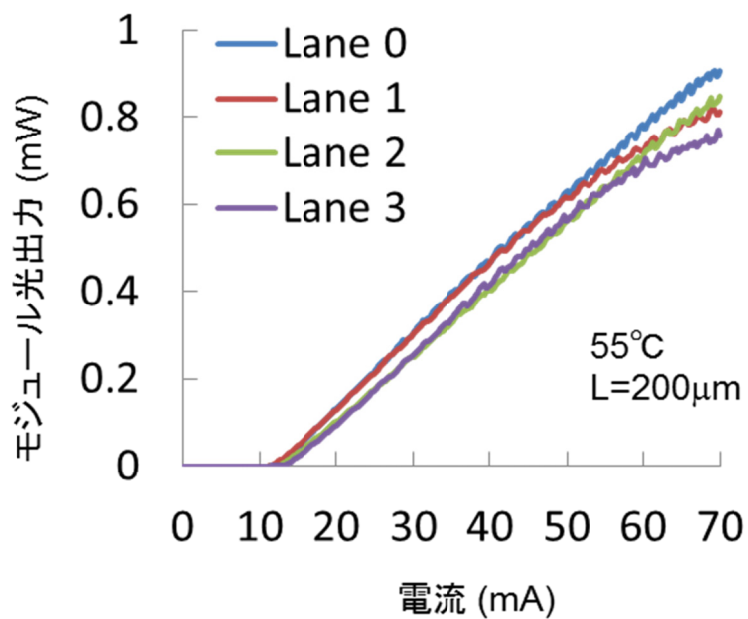


図 3.5.8 4チャンネルDFBレーザアレイ TOSA の L-I 特性

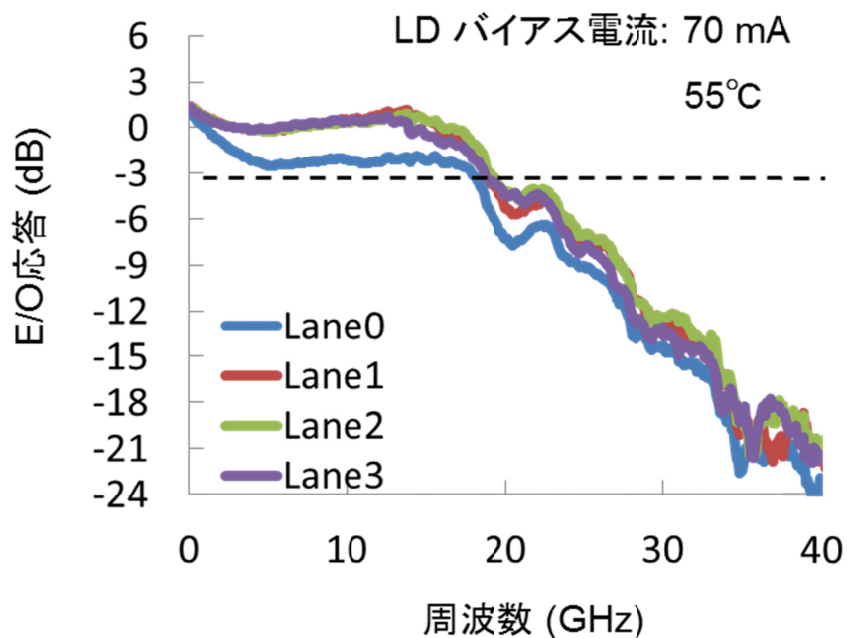


図 3.5.9 4チャンネルDFBレーザアレイ TOSA の E/O 応答特性

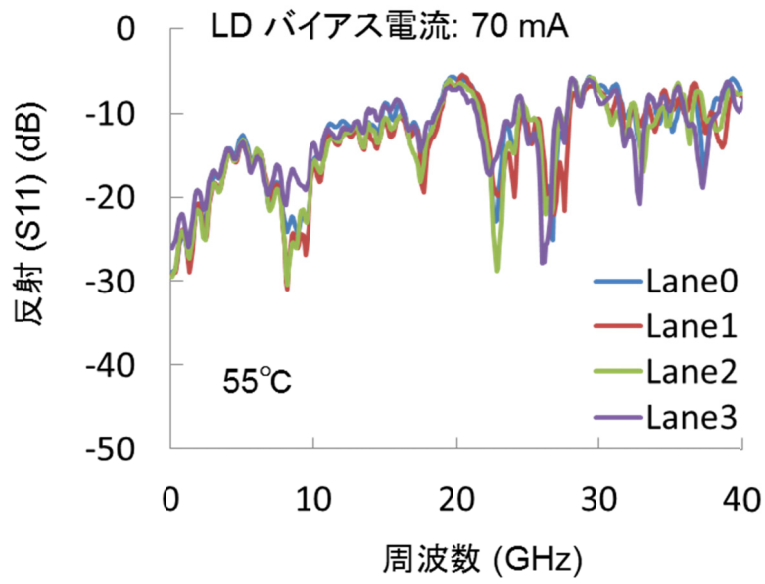


図 3.5.10 4 チャンネル DFB レーザアレイ TOSA の反射特性

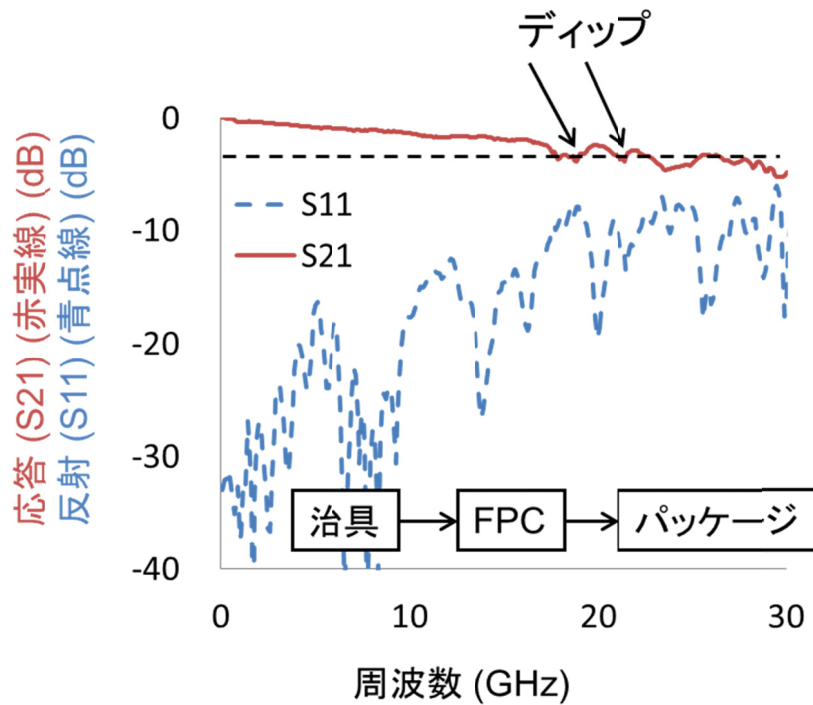


図 3.5.11 TOSA 用治具・FPC・パッケージの透過・反射特性

作製した TOSA を用いて、100Gbit/s 動作(4 チャンネル×25.8Gbit/s/ch 動作)時の伝送実験を行った。図 3.5.12 に伝送実験系を示す。レーザのバイアス電流は全チャンネルで 70mA 一定、チップ温度は 55 度とした。PPG からの出力信号は、信号振幅電圧 3.5Vpp、25.78125 Gbit/s、non-return-zero(NRZ)信号、PRBS $2^{31}-1$ とした。信号振幅電圧 3.5Vpp とは、信号振幅電流に換算すると 70mApp に相当する。この信号を用いて、4 チャンネル同時駆動を行った。このときの波長スペクトルを示したものが図 3.5.13 である。全チャンネルにおいて、SMSR 40dB 以上を確認し、100GBASE-LR4 で規定されている 30dB 以上をクリアしていることを確認した。また、各チャンネルの発振ピーク波長は、1295.85、1299.67、1303.73、1309.17 nm であり、全てのチャンネルにおいて LAN-WDM グリッドの範囲内におさまっていることが確認できた。なお、図中の青、緑、黄、赤のカラーバーはそれぞれレーン 0、1、2、3 の波長範囲を示している。

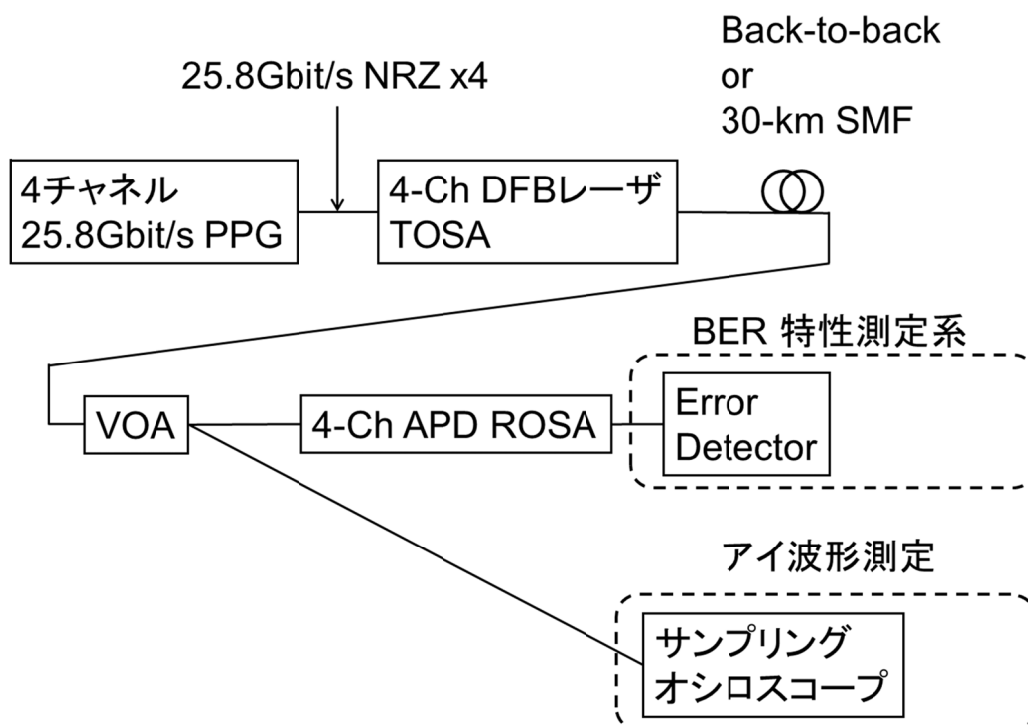


図 3.5.12 小型 DFB レーザアレイ TOSA を用いた 100Gbit/s 信号の伝送実験系

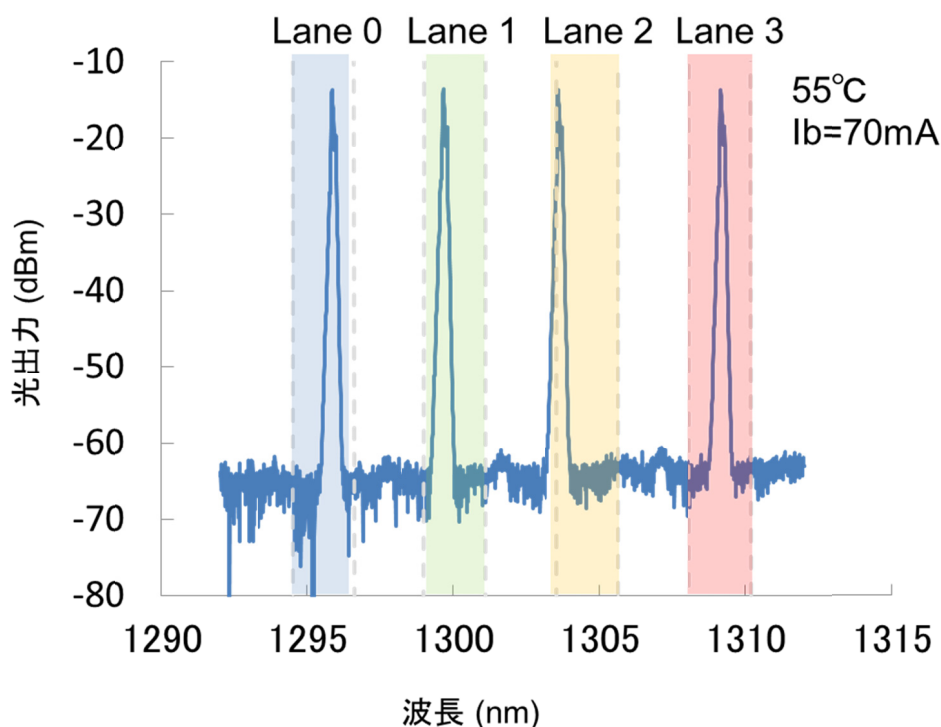


図 3.5.13 4 チャンネル DFB レーザアレイ TOSA の変調時の波長スペクトル特性

このときの、Back-to-back でのアイ波形の測定結果が図 3.5.14 である。このとき、アイ波形は 4 次のベッセルフィルタを用いて測定を行った。全チャンネルにおいて、明瞭なアイ開口が開いていることが確認できる。各チャンネルの消光比は、6.2、5.9、5.6、5.4 dB であり、100GBASE-LR4 の規定である 4dB 以上の消光比をクリアしていることが確認できた。また、光変調強度(OMA)の測定結果は各チャンネルで、-0.67、-0.21、-0.53、-0.28 dBm であり、100GBASE-LR4 の規定である -1.3dBm 以上の値をクリアしていることが確認できた。BER 特性の測定結果を図 3.5.15 に示す。このとき、アバランシェフォトダイオード(APD)を受信デバイスとして用いた、4Ch の Receiver Optical Sub-Assembly (ROSA)を受信器として用いた [3.13]。APD は通常の PIN-PD と比較して受信感度が高いため、長距離伝送に適している。そこで、Back-to-back とシングルモードファイバ(SMF)30km 伝送での BER 特性を測定した。全チャンネルにおいて、Back-to-back、30km 伝送ともに、エラーフリー伝

送を確認することが出来た。また、最小受光感度は 30km 伝送時で、各チャンネル、-15.7、-15.8、-15.2、-12.9dBm であった。BER 特性の測定結果から、本 TOSA と ADP-ROSA を組み合わせることで、10km 伝送を超えて、30km 伝送アプリケーションへの適用可能性を示すことが出来た。従来、10km 超級伝送としては、100GBASE-ER4 で規定されている 40km 伝送規格があるが、本規格を満たすデバイスである EADFB レーザは直接変調レーザに比べて、サイズ、消費電力が大きいといった課題があるため、直接変調レーザの伝送距離長延化の可能性は 10km 超級伝送アプリケーションの低消費電力化に貢献できる可能性がある。

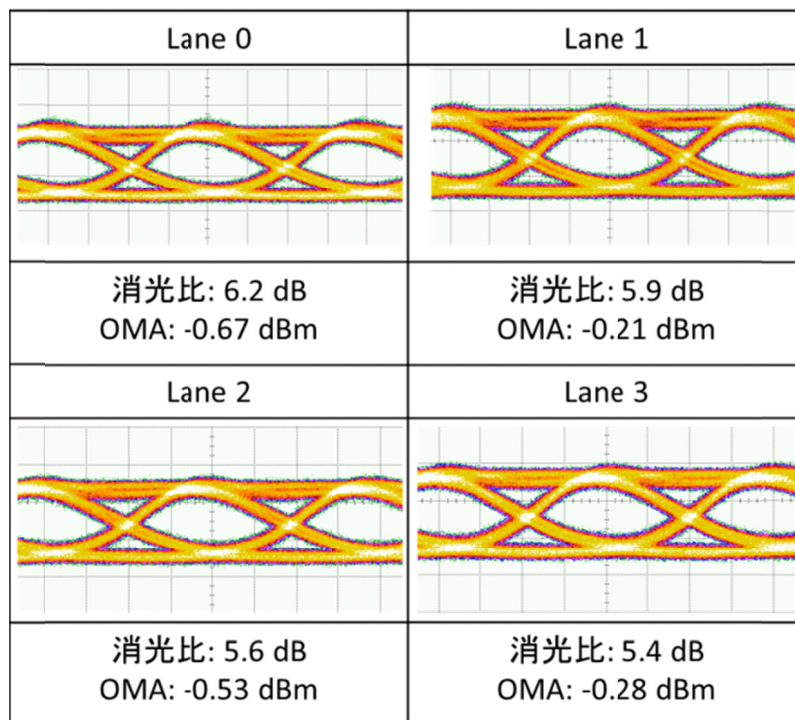


図 3.5.14 4 チャンネル DFB レーザアレイ TOSA の 100Gbit/s 動作時のアイ波形

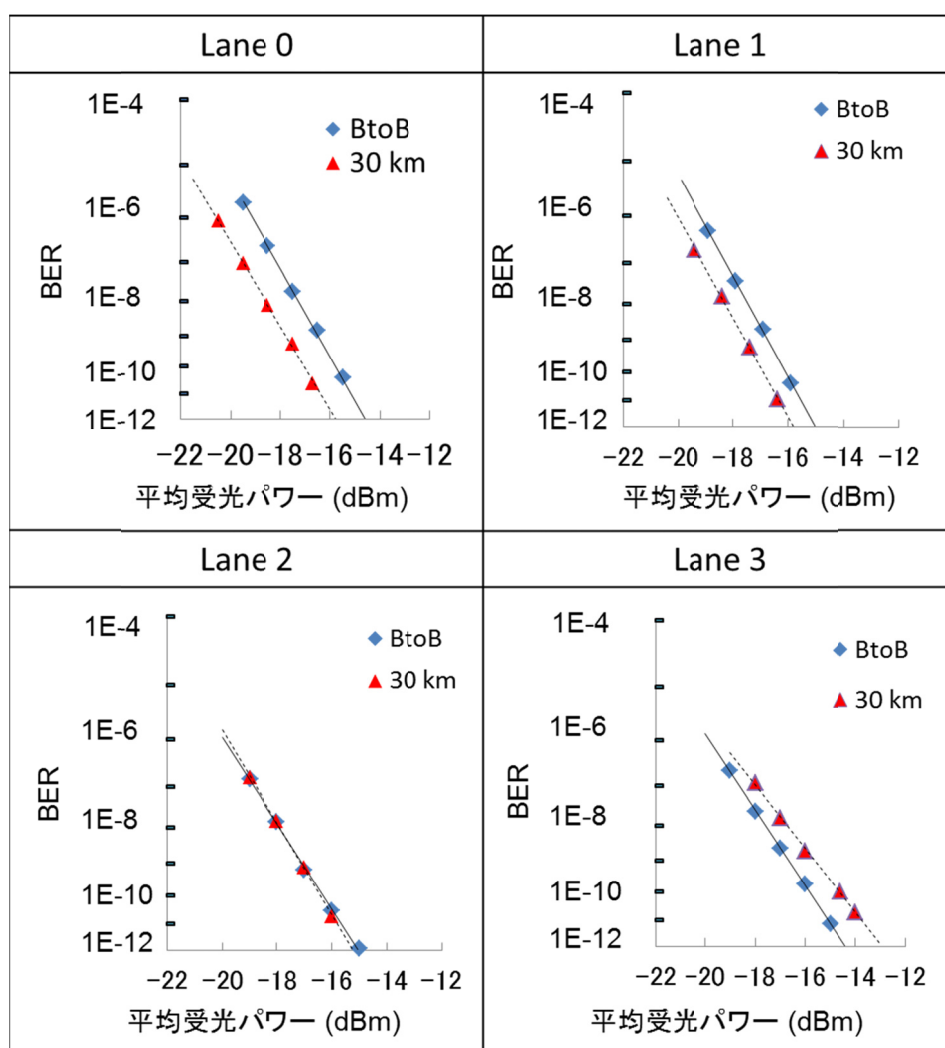


図 3.5.15 4 チャンネル DFB レーザアレイ TOSA の 100Gbit/s 信号伝送時の BER 特性

ここまでの結果から、今回作製したワイヤ接続小型 4 チャンネル DFB レーザアレイ TOSA が 100GBASE-LR4 用光源として有力であること、APD ROSA と組み合わせることで、10km 超級伝送アプリケーションへの適用可能性があることを示すことが出来た。

しかし、前述したとおり、実際の TOSA では後端にモニタ PD を搭載する必要がある。このため、ワイヤ接続モジュールのまま、モニタ PD を DFB レーザアレイの後端に集積した場合、2.1 節に示すような三次元配線構造にする必要があるため、ワイヤ長が長延化し特性劣化する可能性がある。そこで、本モジュールを三次元配線構造にした場合にどの程

度の特性劣化が見込まれるかを見積もった。手順としては、図 3.5.4 の等価回路モデルを用いてワイヤ長が長くなることによる周波数応答特性の劣化分を求め、図 3.5.9 の E/O 応答特性の実測結果に劣化分を付与することで推定した。ワイヤのインダクタンスは現状のモジュールが 0.15nH、三次元配線構造適用時が 0.5nH とした。図 3.5.16 は Lane0 の三次元配線構造適用時の E/O 応答特性推定結果と作製した TOSA の E/O 応答特性の比較である。高周波になるに従って、寄生インダクタンスによる劣化が大きく出ていることがわかる。また、3dB 帯域で比較すると、本作製 TOSA と、三次元配線構造適用時の推定結果で、それぞれ、17.9、16.7GHz となり、大幅な劣化はみられなかった。本結果から、三次元配線構造化することで 100Gbit/s 動作(4 チャンネル×25.8Gbit/s/ch 動作)用としてはぎりぎりではあるが、帯域不足となるほどの劣化とはならないことがわかった。これは、25.8Gbit/s/ch 動作までは、ワイヤの寄生インダクタンスによる帯域劣化が支配的ではないためと考えられる。

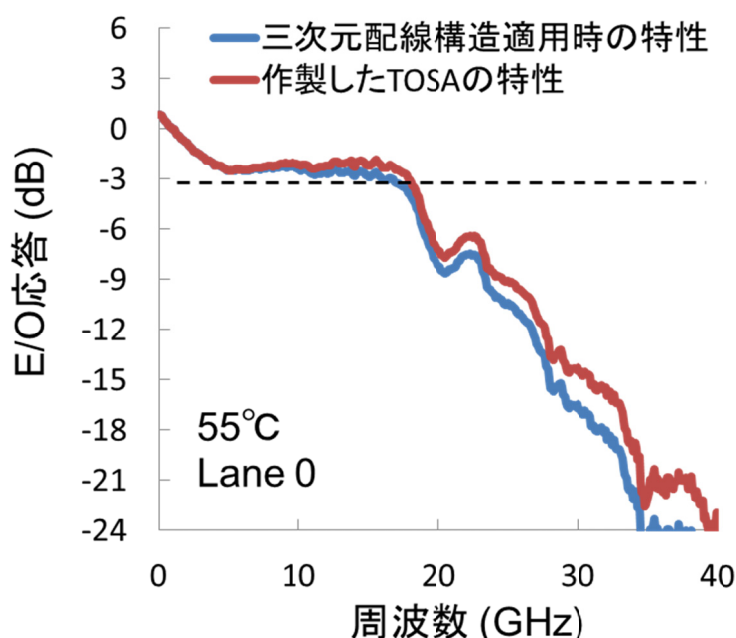


図 3.5.16 三次元配線構造適用時の 4 チャンネル DFB レーザアレイ TOSA の特性劣化推定

3.5 節での結果から、ワイヤ接続を適用した TOSA でも 100Gbit/s 動作(4 チャンネル×25.8Gbit/s 動作)までは対応可能であることがわかった。しかし、今後、ITU で規定されている OTU4 への適用を見据えた 112Gbit/s 動作(4 チャンネル×28Gbit/s/ch 動作)や、さらなる 100Gbit/s 超級動作に向けて検討した場合、直接変調 DFB レーザアレイでも、ワイヤ接続時の寄生インダクタンスによる帯域劣化が無視できなくなるため、フリップチップ接続化が必要となると考えられる。今後は、本チップを用いた TOSA のフリップチップ接続化による高速化、低クロストーク化検討、さらに、レーザの短共振器化による、25.8Gbit/s/ch 超級動作、フリップチップ接続直接変調レーザアレイモジュールの検討を進めていきたい。

参考文献

- [3.1] <http://www.ieee802.org/3/ba/>
- [3.2] T. Tadokoro, T. Yamanaka, F. Kano, H. Oohashi, Y. Kondo, and K. Kishi, "Operation of a 25-Gb/s direct modulation ridge waveguide MQW-DFB laser up to 85 °C," *IEEE Photonics Technology Letters*, vol. 21, no. 16, pp. 1154-1156, 2009.
- [3.3] A. K. Verma, M. Steib, Y. Lung Ha, T. Sudo, "25Gbps 1.3 μ m DFB laser for 10-25km transmission in 100GBE systems," in *Proc. OFC 2009, OThT2*.
- [3.4] R. Iga, Y. Kondo, T. Takeshita, K. Kishi and M. Yuda, "100°C 10 Gbit/s directly modulated InGaAsP DFB lasers with Ru-doped semi-insulating buried heterostructure," *Electronics Letter*, vol. 42, no. 5, pp. 280-282, 2006.
- [3.5] T. Simoyama, M. Matsuda, S. Okumura, A. Uetake, M. Ekawa, and T. Yamamoto, "50-Gbps direct modulation using 1.3- μ m AlGaInAs MQW distribute-reflector lasers," in *Proc. ECOC2012, P2.11*.
- [3.6] W. Kobayashi, T. Fujisawa, K. Tsuzuki, Y. Ohiso, T. Ito, S. Kanazawa, T. Yamanaka and H. Sanjoh, "Design and fabrication of wide wavelength range 25.8-Gb/s, 1.3- μ m, push-pull-driven DMLs," *Journal of Lightwave Technology*, vol. 32, no. 1, pp. 3-9, 2014.
- [3.7] S. Kanazawa, T. Ito, T. Sato, R. Iga, W. Kobayashi, K. Takahata, H. Sanjoh and H. Ishii, "Flip-chip mounted 25.8-Gb/s directly modulated InGaAsP DFB laser with Ru-doped semi-insulating buried heterostructure," *IEICE Electronic Express*, vol. 12, no. 1, pp. 1-4, 2015.
- [3.8] T. Nakamura, T. Okuda, R. Kobayashi, Y. Muroya, K. Tsuruoka, Y. Ohsawa, T. Tsukuda and S. Ishikawa, "1.3- μ m AlGaInAs strain compensated MQW-buried-heterostructure lasers for uncooled 10-Gb/s operation," *Journal of Selected Topics in Quantum Electronics*, vol. 11, no. 1, pp. 141-148, 2005.
- [3.9] III-V族混晶半導体データブック 日本電子工業振興協会 1986

- [3.10] W. Kobayashi, S. Kanazawa, Y. Ueda, T. Fujisawa, H. Sanjoh and M. Itoh, “4 × 25.8 Gbit/s (100 Gbit/s) simultaneous operation of InGaAlAs based DML array monolithically integrated with MMI coupler,” *Electronics Letters*, vol. 51, no. 19, pp. 1516-1517, 2015.
- [3.11] C. Zah, R. Bhat, B. N. Pathak, F. Favire, W. Lin, M. C. Wang, N. C. Andreadakis, D. M. Hwang, M. A. Koza, T. Lee, Z. Wang, D. Darby, D. Flanders, and J. J. Hsieh, “High-performance uncooled 1.3- μ m Al_xGa_yIn_{1-x-y}As/InP strained-layer quantum-well lasers for subscriber loop applications,” *Journal of Quantum Electronics*, vol. 30, no. 2, pp. 511-523, 1994.
- [3.12] S. Kanazawa, W. Kobayashi, Y. Ueda, T. Fujisawa, K. Takahata, T. Ohno, T. Yoshimatsu, H. Ishii, and H. Sanjoh, “30-km error-free transmission of directly modulated DFB laser array transmitter optical sub-assembly for 100-Gbit/s application,” *Journal of Lightwave Technology*, DOI:10.1109/JLT.2016.2520942, 2016.
- [3.13] T. Yoshimatsu, M. Nada, M. Oguma, H. Yokoyama, T. Ohno, Y. Doi, I. Ogawa, H. Takahashi, and E. Yoshida, “Compact and high-sensitivity 100-Gb/s (4 × 25 Gb/s) APD-ROSA with a LAN-WDM PLC demultiplexer,” *Optics express*, vol. 20, no. 26, pp. B393-B398, 2012.

第4章 フリップチップ実装電界吸収型変調器集積 DFB レーザ

本章では、第2章で提案したフリップチップ接続技術の EADFB レーザへの適用について検討する。4.1 節、4.2 節では、フリップチップ接続技術を 4 チャンネル EADFB レーザアレイモジュールに適用し、112Gbit/s 動作(4 チャンネル×28Gbit/s 動作)を実現したので報告する。あわせて、ワイヤ接続モジュールとの特性比較についても報告する。次に、4.3 節、4.4 節にて、フリップチップ接続 8 チャンネル EADFB レーザアレイモジュールの設計を行い、400Gbit/s 動作(8 チャンネル×50Gbit/s 動作)を実現したので報告する。最後に、2.3 節で検討したフリップチップ接続技術の高速化限界性能追求の検証を行うため、4.5 節、4.6 節にて単チャンネル EADFB レーザへフリップチップ接続技術を適用し、100Gbit/s/ch 動作を実現したので報告する。

4.1. フリップチップ実装 4 チャンネル EADFB レーザアレイモジュールの設計

2.1 節ではワイヤ接続に三次元配線構造を適用することで、4 チャンネル×25.8Gbit/s/ch 動作を実現した。ここでは、イーサネット規格 [4.1] だけでなく、基幹網向けとして ITU-T で規定されている OTU4 [4.2] にも対応可能な、4 チャンネル×28Gbit/s/ch 動作可能な光送信器実現を目標とした。さらなる高速化が必要となるため、合波器集積 4 チャンネル EADFB レーザアレイモジュールにフリップチップ接続技術を適用することで、28Gbit/s/ch 動作可能、かつ低クロストークな小型光送信モジュール実現を目指した。本節では、作製したフリップチップ接続 4 チャンネル EADFB レーザアレイ光送信モジュールと、比較のために作製したワイヤ接続モジュールの構造について説明する [4.3]。

図 4.1.1 は今回用いた合波器集積 4 チャンネル EADFB レーザアレイチップの写真と構造図である。基本的な構造は 2.1 節に示したチップと同等であるため、ここでは相違点のみ説明する。まず、EADFB レーザ部についてみる。今回用いたチップは、チャンネル間のピッ

チを 0.6mm ピッチとした。そのため、チップ幅は 2.4mm となっている。次に、光合波器部について説明する。今回用いたチップは出力光導波路を直線導波路とした。また、チップの長さは 3.3mm となった。

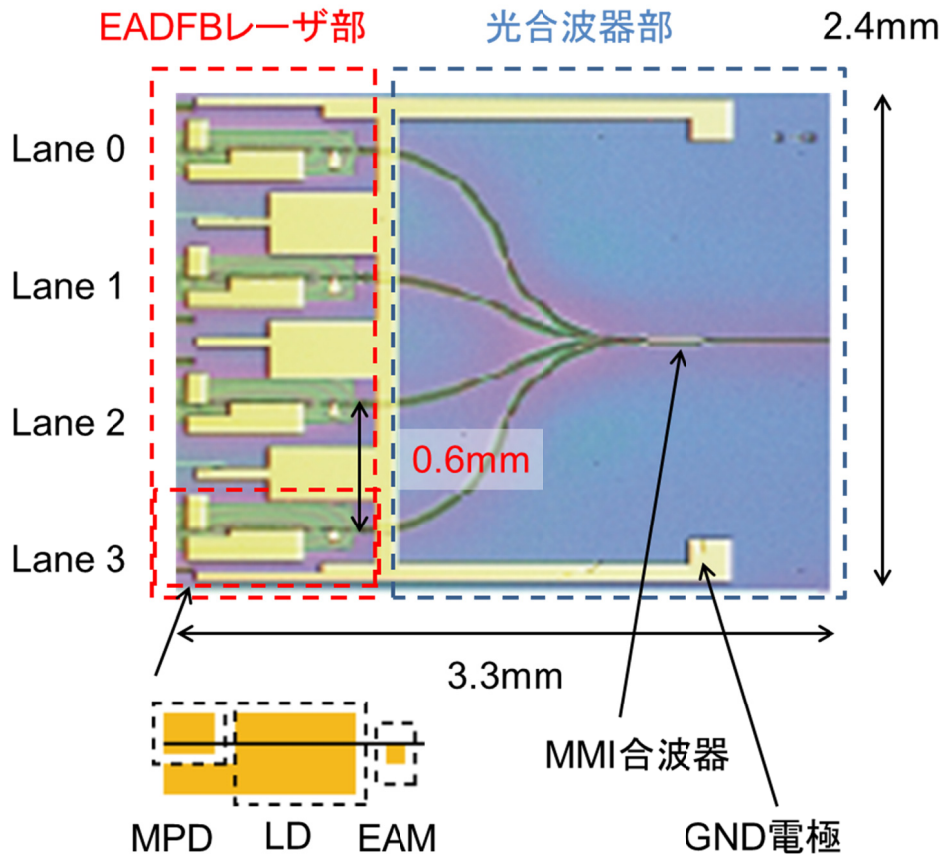


図 4.1.1 合波器集積 4 チャンネル EADFB レーザアレイチップの写真

フリップチップ接続と三次元配線構造ワイヤ接続のモジュールでの特性を比較するため、同じチップを用いて二種類のモジュールを作製した。図 4.1.2 に今回作製した三次元配線構造ワイヤ接続レーザアレイサブアセンブリ、図 4.1.3 にフリップチップ接続サブアセンブリの概略図を示す。今回は、高周波配線の端子が光軸方向に対して垂直に配置されているパッケージに搭載するため、高周波配線が 90 度曲がる構造となっている。ワイヤ接続レーザ

アレイサブアセンブリについては、2.1節と同様に、ワイヤ長が最短になるようにスペーサの高さ、高周波配線板の厚さ等を設計し、ワイヤ長は全チャンネル0.5mmとした。フリップチップ接続サブアセンブリの構造は2.3節で説明した構造と同様に、上面信号配線と下面信号配線がRFビアで接続されている二層高周波配線板を用いた構造となっている。

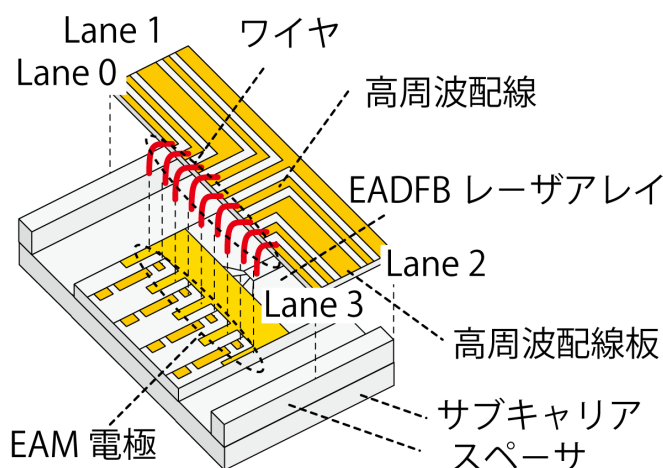


図 4.1.2 三次元配線構造ワイヤ接続 EADFB レーザアレイサブアセンブリの概略図

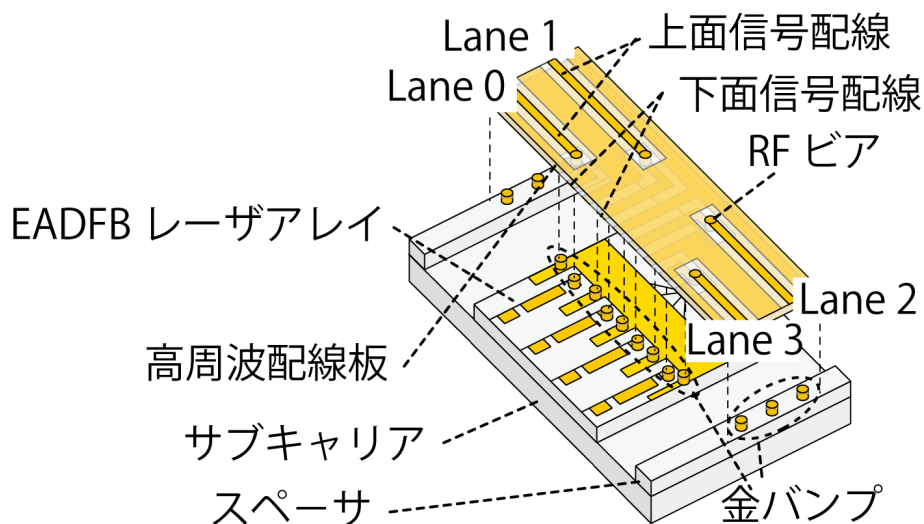


図 4.1.3 フリップチップ接続 EADFB レーザアレイサブアセンブリの概略図

フリップチップ接続技術を適用することで、ワイヤ接続と比較してどの程度の特性改善が見込めるか、シミュレーションを用いて求めた。まず、最初に周波数応答特性を見積もった。図 4.1.4 は、図 4.1.2 のワイヤ接続レーザアレイサブアセンブリ、図 4.1.5 は図 4.1.3 に示すフリップチップ接続レーザアレイサブアセンブリの等価回路モデルを示したものである。フリップチップ接続サブアセンブリに用いた高周波配線板は、直径 0.1mm の RF ビアを用いて上面と下面の信号配線を接続している。ワイヤ接続とフリップチップ接続サブアセンブリ、それぞれで用いている高周波配線板はともに厚さ 0.2mm、材質は窒化アルミとし、信号線幅は 0.1mm、特性インピーダンス 50Ω 設計されたコプレーナ線路を用いており、各チャンネルの信号線長はフリップチップ接続用とワイヤ接続用の高周波配線板でほぼ同じになるように設計されている。高周波配線板、および終端抵抗は三次元電磁界解析シミュレータで求めた結果を用いた。EA 変調器の長さは 150μm とし、EA 変調器部のパラメータは p クラッド抵抗： $R_{p\text{clad}}$ 、活性層抵抗： R_{active} 、n クラッド抵抗： $R_{n\text{clad}}$ 、パッド容量： C_{pad} 、活性層容量： C_{active} 、それぞれ 11.7Ω、120Ω、2.0Ω、0.05pF、0.11pF とした。また、ワイヤ接続サブアセンブリの配線板-チップ間のワイヤインダクタンス： L_{wire1} 、配線板-終端抵抗間のワイヤインダクタンス： L_{wire2} 、それぞれ 0.49nH、0.3nH とした。これらの値は、反射特性の測定結果からフィッティングによって求めた。終端抵抗として用いた抵抗値は実測値から 48Ω であった。上記の等価回路モデルと、パラメータを用いて求めた各レーザアレイサブアセンブリの周波数応答特性を図 4.1.6 に示す。ワイヤ接続の結果は、ワイヤのインダクタンスの影響を受けて、15GHz 付近にピーキングがあり、そこから急激に特性が劣化していることがわかる。3dB 帯域は 28GHz であった。これに対して、フリップチップ接続サブアセンブリでは、ピーキングのないフラットな周波数応答特性が得られており、急激な劣化もない。3dB 帯域も 40GHz 以上であった。この結果から、フリップチップ接続化することでワイヤ接続と比較して、広帯域かつ、平坦な周波数応答特性が得られることが確認できた。

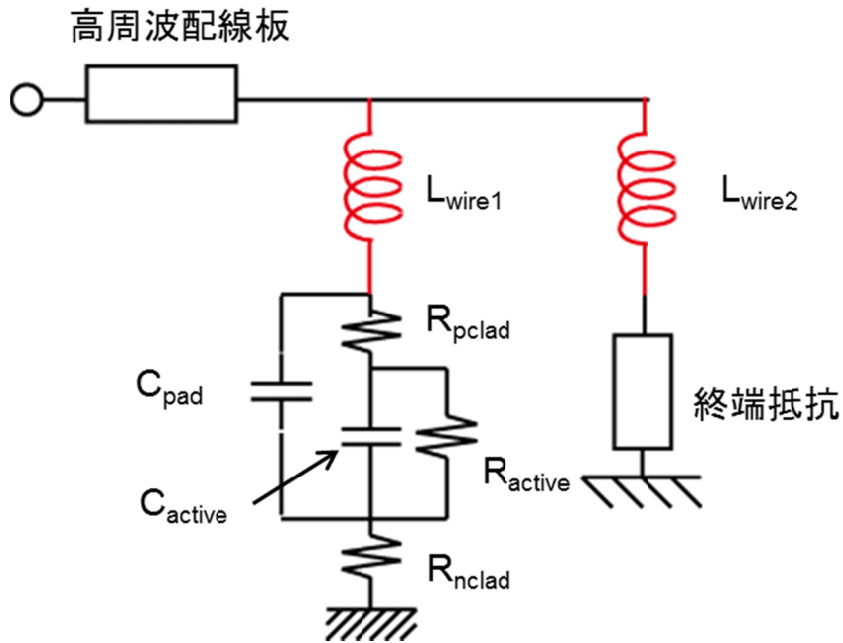


図 4.1.4 ワイヤ接続 EADFB レーザアレイサブアセンブリの等価回路モデル

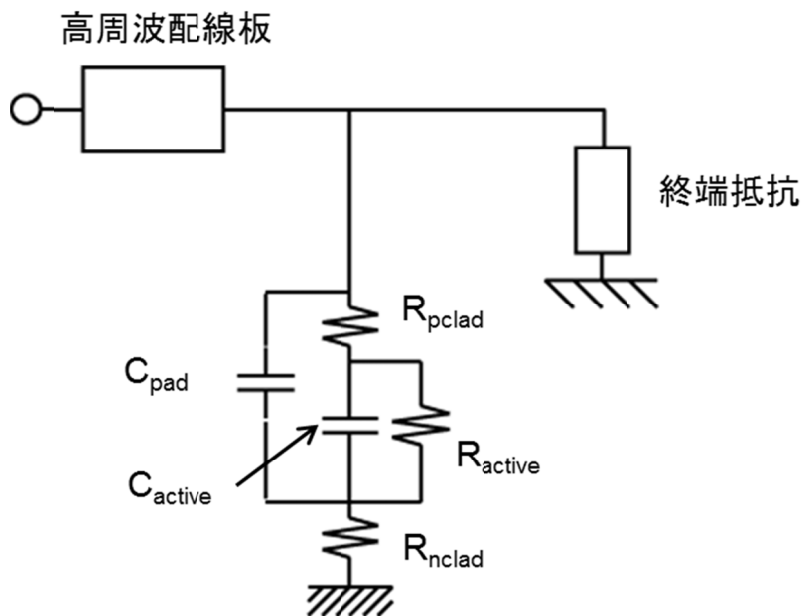


図 4.1.5 フリップチップ接続 EADFB レーザアレイサブアセンブリの等価回路モデル

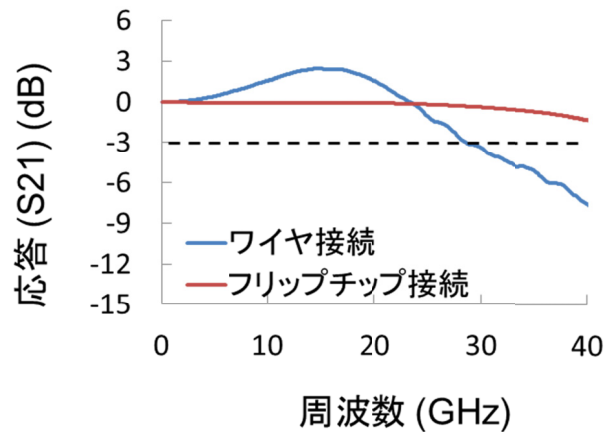


図 4.1.6 各レーザアレイサブアセンブリの周波数応答特性

次に、電気クロストーク特性を比較する。図 4.1.7 はワイヤ接続、図 4.1.8 はフリップチップ接続の接続部のみのクロストークを見積もるための三次元電磁界解析シミュレーション用のモデルを示している。各モデルとも、EA 変調器にあたる位置にコプレーナ線路を配置してシミュレーションを行った。高周波配線版のピッチはレーザアレイチップのピッチと同じ 0.6mm、高周波配線板と EA 変調器の電極位置に相当する位置に配置したコプレーナ線路はともに長さ 0.2mm とした。また、高周波配線板は厚さ 0.2mm の窒化アルミ製とした。ワイヤ接続では、EA 変調器の上面に対して、高周波配線板上の高周波線路が 0.3mm の高さ差になる位置、つまり配線板とチップ間のギャップを 0.1mm とし、信号線 2 本、両側の GND1 本ずつ、信号線間の GND1 本、計 5 本のワイヤを配置した。ワイヤ径は 25 μ m とした。フリップチップ接続では、信号線と GND には直径 0.1mm のビアを配置した。また、信号線、GND の接続に計 5 つの金バンプを用いており、サイズは直径が 60 μ m、高さ 30 μ m とした。このときの電気クロストーク特性のシミュレーション結果を示したものが図 4.1.9 である。シミュレーション結果からわかるように、フリップチップ接続にすることで、ワイヤ接続と比較して、隣接チャネル間の電気クロストークが低減できていることがわかる。25GHz のところで比較すると、6dB 程度クロストークが低減出来ていることが分かる。

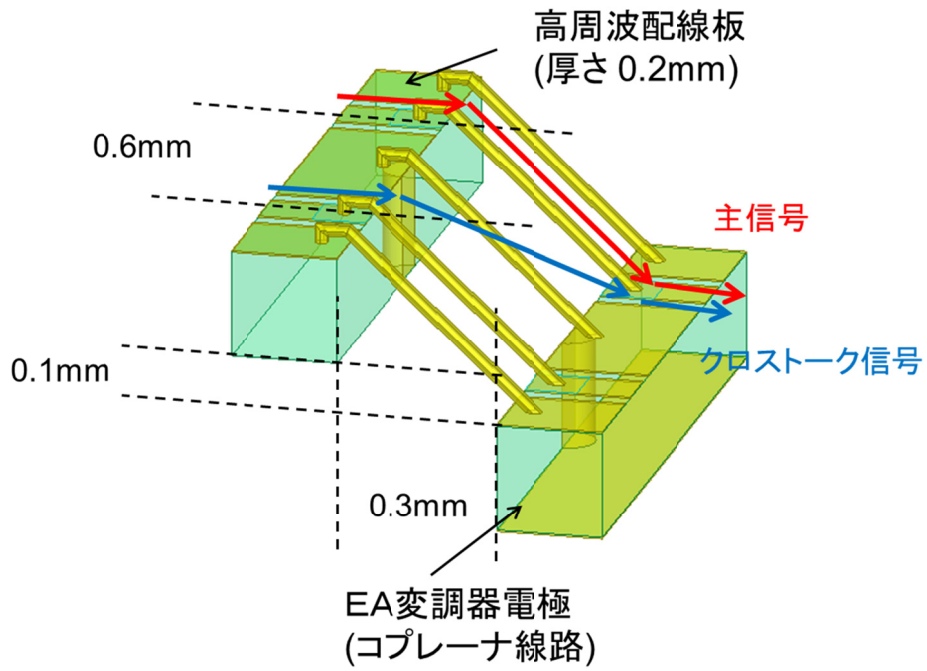


図 4.1.7 ワイヤ接続部のクロストークシミュレーションモデル

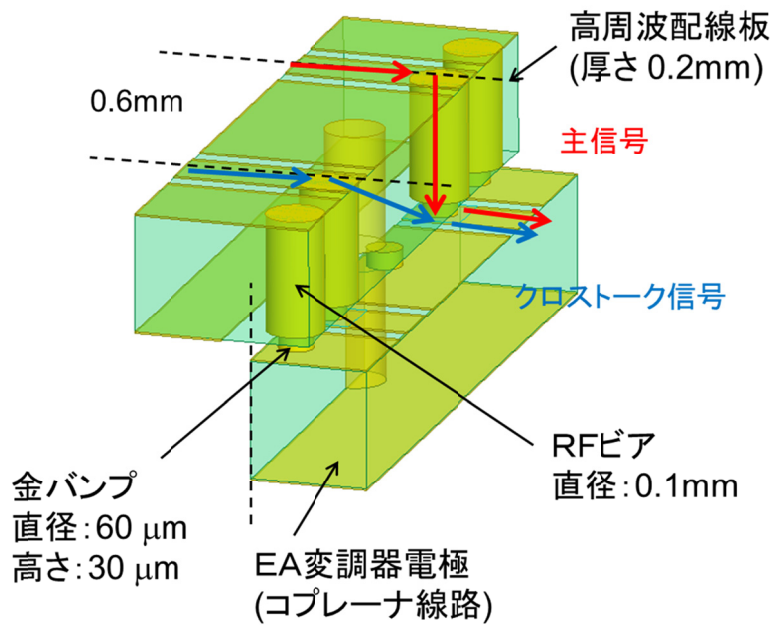


図 4.1.8 フリップチップ接続部のクロストークシミュレーションモデル

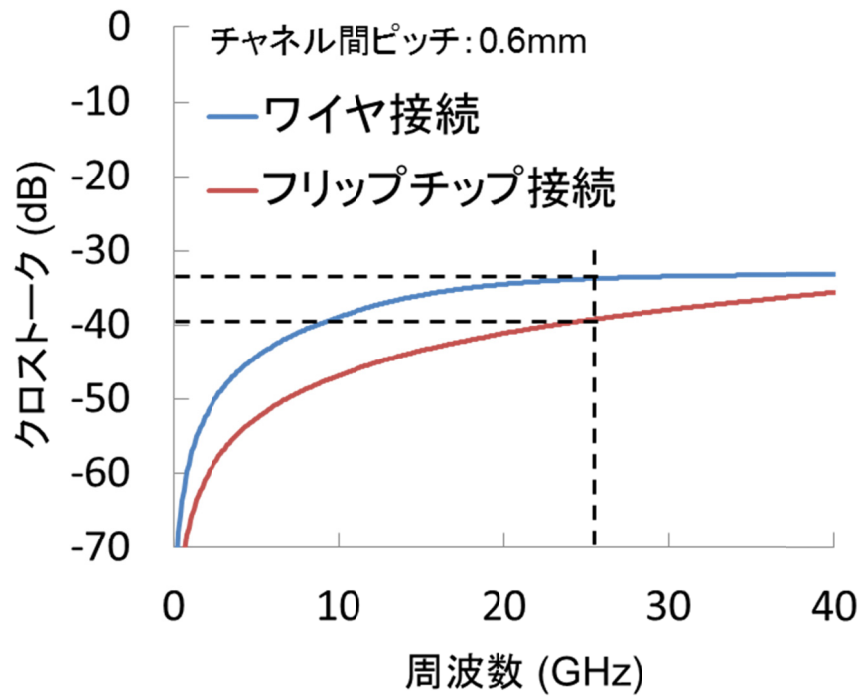


図 4.1.9 各接続部での電気クロストーク特性の比較

ここまでのシミュレーション結果から、フリップチップ接続 4 チャンネル EADFB レーザアレイサブアセンブリはワイヤ接続と比較して、周波数応答特性の改善と隣接チャンネル間の電気クロストーク低減の効果が期待できることがわかった。次節では、実際に作製したモジュールでの特性比較から、フリップチップ接続化による特性改善効果を見ていく。

4.2. フリップチップ実装 4 チャンネル EADFB レーザアレイモジュールの作製・評価

本節では、4.1 節で設計を行ったフリップチップ接続 4 チャンネルレーザアレイサブアセンブリを作成するとともに、モジュール化して特性評価を行ったので報告する。あわせて、比較のためにワイヤ接続モジュールも作製したので、特性の比較結果についても述べる。

フリップチップ接続 4 チャンネル EADFB レーザアレイモジュールの作製工程を図 4.2.1 に示す。まず、窒化アルミ製のサブキャリア上に、スペーサと EADFB レーザアレイチップを搭載する。このとき、レーザアレイチップとスペーサは同じ高さに成るように、両方の部材を同時に研磨してあわせる。次に、スペーサ上とレーザアレイチップ上の GND 電極および、EA 変調器電極に金バンプを形成する。形成方法は、ボールバンプボンダによって形成し、ボール直径は約 50~60 μm 、高さは 40 μm 程度となる。次に、フリップチップ実装装置を用いて、サブキャリアより大きいサイズのシリコン基板で、金バンプを一括で加圧することでレベリングを行う(図 4.2.1(a))。レベリングとは、金バンプの高さバラツキをなくす工程である。本工程後の金バンプの高さは 30 μm 程度となる。次に、高周波配線板をフリップチップ実装する(図 4.2.1(b))。このとき、高周波配線板と金バンプの接合は加圧、加熱によって接合をとる、熱圧着方式を用いた。その後、金属キャリア上に搭載し、レーザアレイチップからの出力がコリメート光(平行光)となるようにレンズを調芯して固定する。そして、アイソレータを搭載し、反射光がレーザアレイチップに戻らないようにする(図 4.2.1(c))。アイソレーション量は 40dB 以上のものを用いた。作製したキャリアをパッケージ内のペルチェ素子上に搭載する(図 4.2.1(d))。そして、各電極をワイヤボンダで結線する。最後に、ファイバへの集光用レンズとピグテールファイバをファイバへの光結合が最大になるように調芯後、溶接固定してモジュールが完成する。図 4.2.2 は作成したモジュールの外観写真である。パッケージの外形寸法は幅 12mm、長さ 20mm、高さ 8.1mm の標準的なバタフライモジュールと呼ばれる形状になっている。写真から分かるように、レーザ端子、モニターPD 端子、サーミスタ端子、ペルチェ素子用端子といった DC 端子はパッケージ側

面(写真では上下面)に配置されたリードピンで取り出す構造となっている。加えて、EA変調器への高周波端子もリードピン形状となっている。これは、一般的な高周波コネクタより、小型化が容易なためである。高周波測定では、リードピンから高周波コネクタ(Kコネクタ)に変換する治具を用いて測定を行った。同時に作製したワイヤ接続4チャンネルEADFBレーザアレイモジュールも同型のパッケージを用いて作製した。

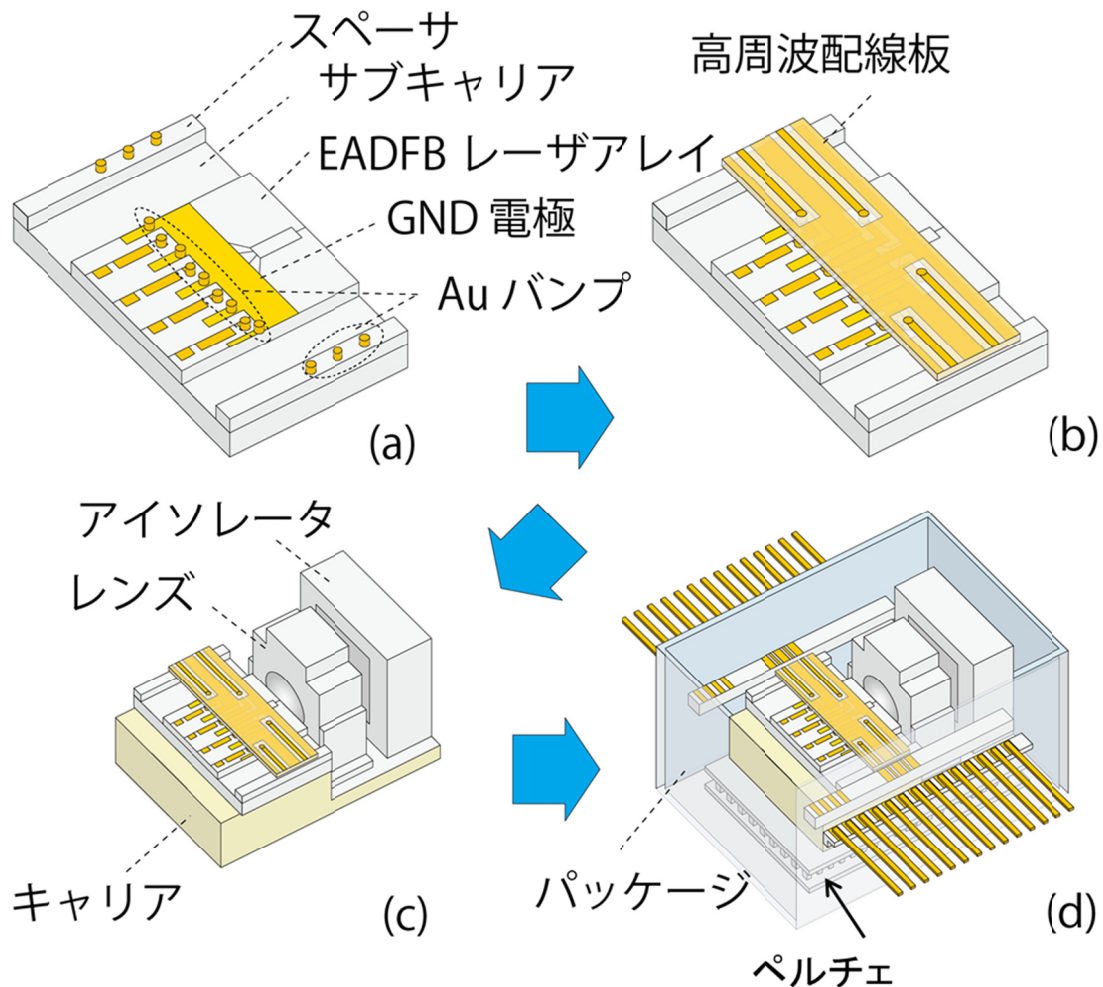
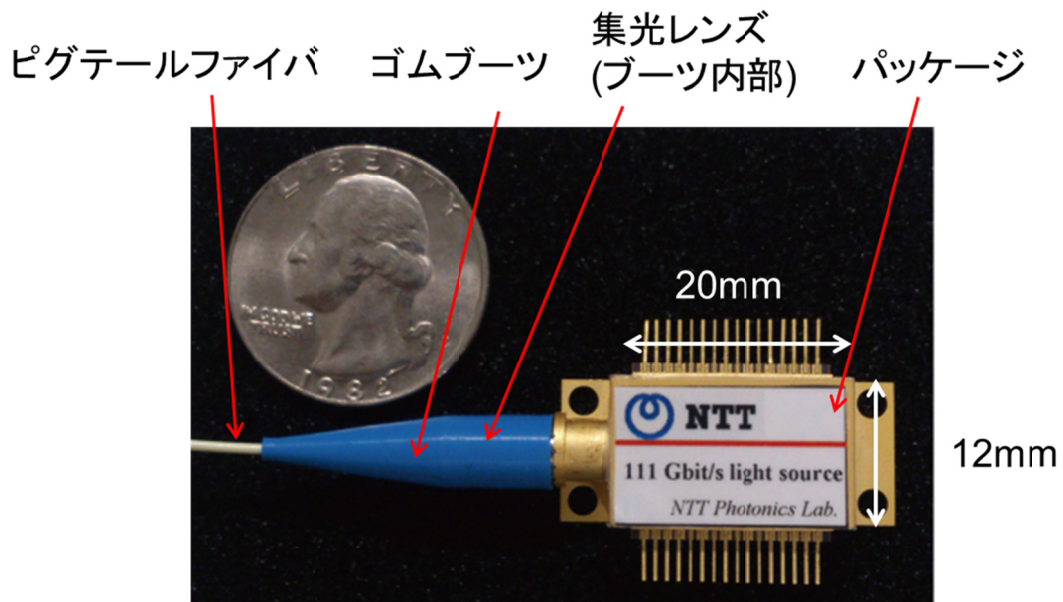


図 4.2.1 フリップチップ接続 4 チャンネル EADFB レーザアレイモジュールの作製工程図



モジュールのサイズ: 12mm × 20mm × 8.1mm

図 4.2.2 フリップチップ接続 4 チャンネル EADFB レーザアレイモジュールの写真

作製したフリップチップ接続モジュールの静特性評価を行った。以下の測定は全てチップ温度 25 度一定で行っており、測定に際しては先に説明したとおり、治具を用いて行っている。図 4.2.3、4.2.4 はそれぞれレーザアレイモジュールの L-I 特性、V-I 特性を示している。このとき、EA 変調器の端子はオープン(開放)とした。各チャンネルのしきい値電流は 16 ~18mA であり、チャンネル間のバラツキがあまりない良好な結果が得られた。Lane 1、2 と比較して、Lane 0、3 は光出力が小さい。これは、アレイチップ内で外側に配置されている Lane 0、3 の方が光導波路長が長くなるため、ロスが増えていることが一つに挙げられる。V-I 特性をみると、全てのチャンネルで V-I 特性がほぼ一致しており、チャンネル間バラツキのない良好な特性が得られていることが確認できた。また、微分抵抗はバイアス電流 50mA 付近で 5.3Ω であった。

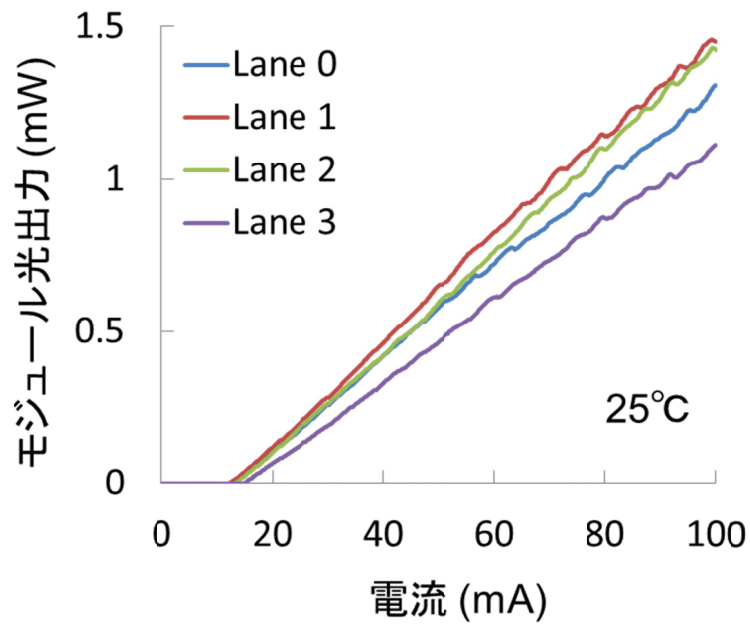


図 4.2.3 4チャンネル EADFB レーザアレイモジュールの L-I 特性

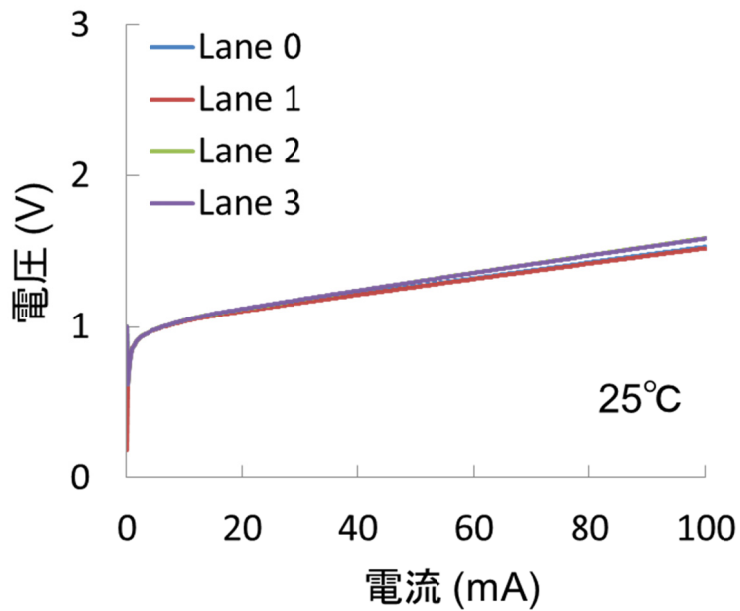


図 4.2.4 4チャンネル EADFB レーザアレイモジュールの V-I 特性

図 4.2.5 にスペクトル特性を示す。測定時、EA 変調器は無変調で、かつオープンとした。また、DFB レーザのバイアス電流は 50mA 一定で、全チャンネル同時に動作させた。全チャンネルで SMSR45dB 以上の良好なシングルモード特性が得られていることが確認できた。また、各チャンネルのピーク波長は 1295.9、1300.62、1305.14、1309.66nm となっていた。図中のカラーバーは青、緑、黄、赤がそれぞれ Lane0、1、2、3 の LAN-WDM グリッドに相当する波長範囲を示しており、全てのチャンネルで波長範囲におさまっていることが確認できた。図 4.2.6 は EA 変調器の消光特性の測定結果である。DFB レーザのバイアス電流は 50mA 一定とした。全てのチャンネルにおいて、10dB 以上の急峻な消光特性が得られていることが確認できた。各チャンネルでの消光特性がずれる理由は、全てのチャンネルの EA 変調器が同じ量子井戸構造の吸収層を用いているため、発振ピーク波長に対する EA 変調器の吸収ピークがずれるためである。ずれが大きいほど、消光特性はなだらかになり、高バイアス電圧をかけないと消光しなくなる。

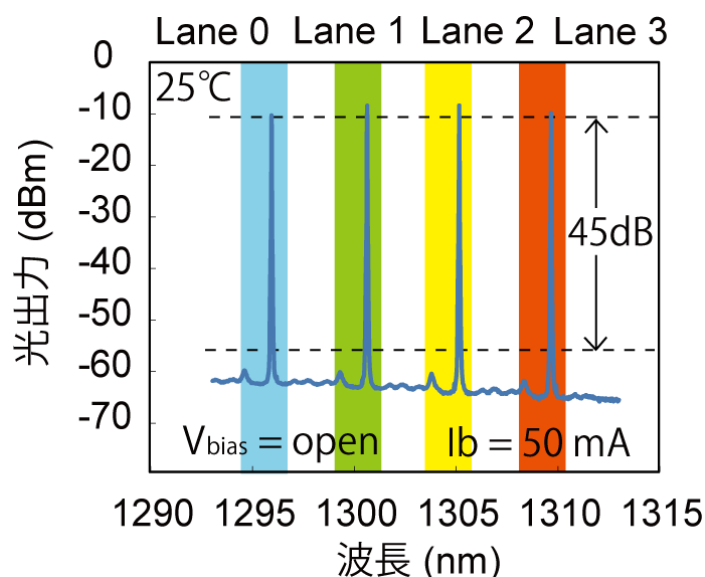


図 4.2.5 4チャンネル EADFB レーザアレイのスペクトル特性

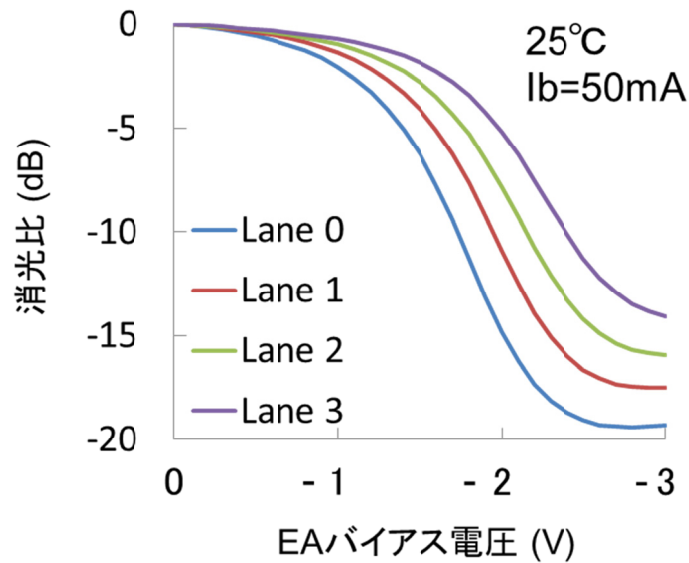


図 4.2.6 4 チャンネル EADFB レーザアレイの EA 変調器の消光特性

では、モジュールの動特性について、フリップチップ接続とワイヤ接続で比較していく。

図 4.2.7、図 4.2.8 はワイヤ接続モジュールとフリップチップ接続モジュールの E/O 応答特性の測定結果を示している。どちらの測定ともに、DFB レーザのバイアス電流は 50mA 一定、EA バイアス電圧は Lane0、1、2、3 それぞれ -1.2、-1.4、-1.6、-1.8V とし、各チャンネル独立動作で測定した。ワイヤ接続モジュールでは全てのチャンネルで 16GHz 付近にワイヤの寄生インダクタンスに起因するピーキングが発生しており、そこから特性が急激に劣化していく。このため、3dB 帯域は全てのチャンネルで 25GHz 程度であった。ピーキングのなかった特性の傾向は図 4.1.6 のシミュレーション結果とも一致している。ピーキングのピークとなる周波数のずれは実装時のワイヤ長がシミュレーション条件からずれたためと考えられる。これに対して、フリップチップ接続モジュールではピーキングのない平坦な特性が得られており、3dB 帯域も全てのチャンネルにおいて、31GHz 以上とワイヤ接続と比較して 6GHz 以上の帯域改善が確認できた。平坦な周波数応答特性は図 4.1.6 のシミュレーション結果とも一致しており、ロスの増加は治具による帯域劣化が含まれるためと予想される。

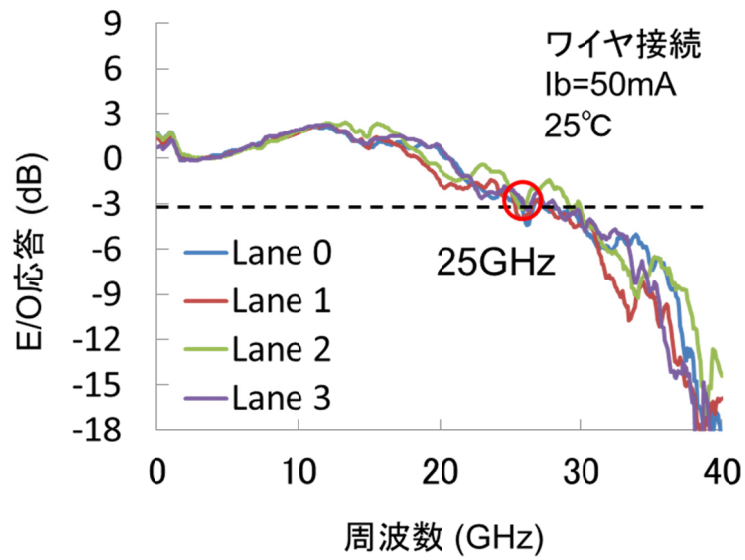


図 4.2.7 ワイヤ接続 4 チャンネル EADFB レーザアレイモジュールの E/O 応答特性

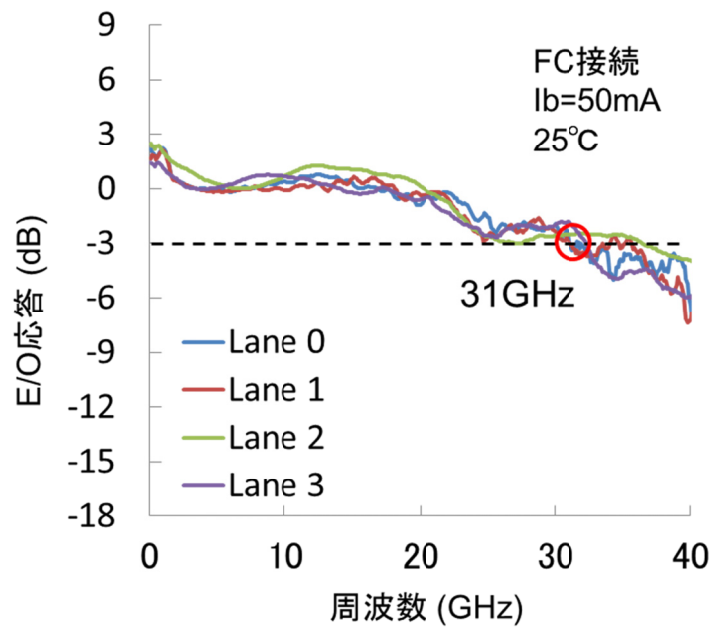


図 4.2.8 フリップチップ接続 4 チャンネル EADFB レーザアレイモジュールの E/O 応答特

性

図 4.2.9 は、4 チャンネル EADFB レーザアレイモジュールの Lane0 から Lane1 へのクロストーク特性の測定法を示している。クロストーク特性の測定方法は、図のように Lane1 の DFB レーザに 50mA のバイアス電流を印加し、Lane1 の EA バイアス電圧は-1.4V とし、クロストークのチャンネルの EA バイアスは、先の E/O 応答特性の時と同じ、Lane 0、2、3 それぞれ-1.2、-1.6、-1.8V を印加する。そして、測りたいクロストークのチャンネルの EA 変調器に RF 信号をかけて(図 4.2.9 であれば Lane0)、Lane1 の E/O 応答特性を測定することで Lane 0 から Lane 1 へのチャンネル間クロストーク特性の測定を行った。

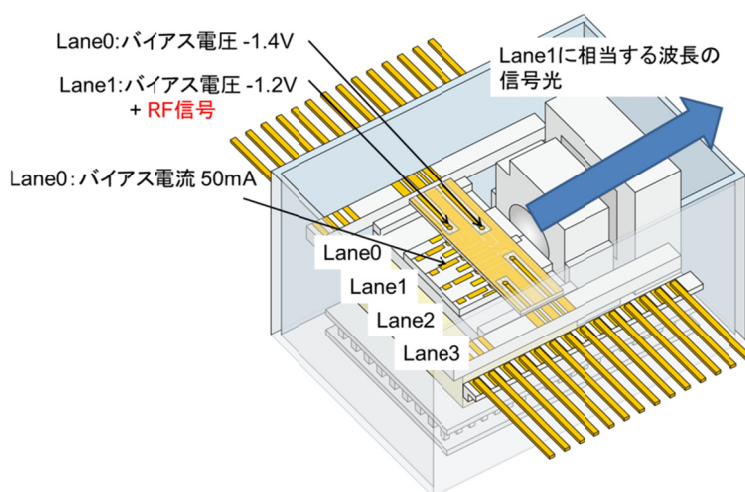


図 4.2.9 Lane0 から Lane1 へのクロストーク特性測定法

図 4.2.10、11 はそれぞれワイヤ接続とフリップチップ接続モジュールの Lane1 へのクロストーク特性の測定結果を示している。ワイヤ接続では近接する Lane0 と 2 からのクロストークが 12GHz 付近から-20dB 以上となるのに対して、フリップチップ接続モジュールでは全てのチャンネルで 20GHz 付近まで-20dB 以下を実現している。これは、先のシミュレーションによるクロストークの改善効果の傾向ともあっている。また、シミュレーション結果より、クロストークが多くなっている原因は、シミュレーションに含まれない、チップ内 GND、パッケージ、治具からクロストークによる影響が考えられる。パッケージ、治具

からのクロストークが支配的な場合は Lane0 と Lane2 で差がでるが、今回の結果では Lane0 と Lane2 でのクロストーク特性の差があまりみられない。よって、チップ内の GND を介してのクロストークがあることが原因と考えられる。この点は、2 章でも説明したとおり、半絶縁基板化を検討する必要があると考えている。

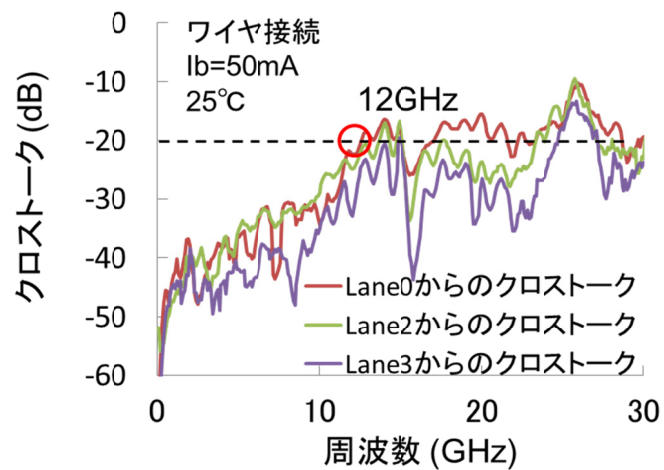


図 4.2.10 ワイヤ接続モジュールの Lane1 へのクロストーク特性

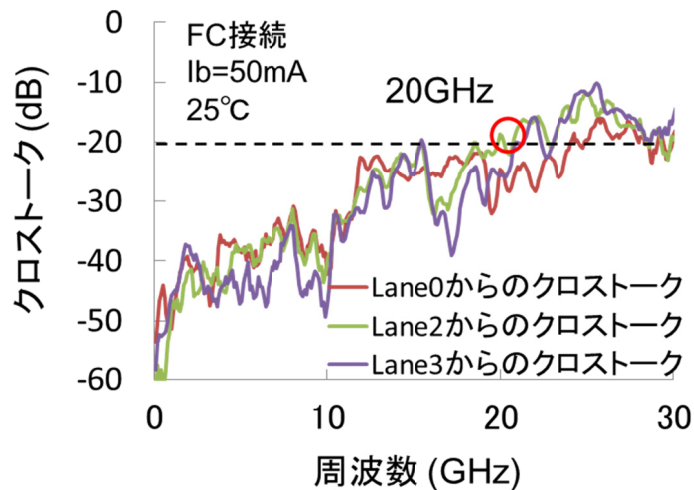


図 4.2.11 フリップチップ接続モジュールの Lane1 へのクロストーク特性

次に、ITU-Tで規定されている OTU4 規格 [4.2] のビットレートでの変調実験を行った。図 4.2.12、13 はそれぞれワイヤ接続とフリップチップ接続 EADFB レーザアレイモジュールでの Back-to-back でのアイ波形を示したものである。このとき、同時に OTU4 で規定されているアイマスクでのマスクテストも実施した。また、全てのアイ波形は 4 次のベッセルフィルタを通した後の波形となっている。変調信号は、全てのチャンネルで振幅電圧 2.0Vpp、27.9525 Gbit/s、NRZ 信号、PRBS $2^{31}-1$ 、クロスポイント 60%とした。また、DFB レーザのバイアス電流は全て 50mA とした。EA バイアス電圧は、前記変調信号印可時に光のアイ波形のクロスポイントが 50%に成るように設定した。ワイヤ接続モジュールでは Lane0、1、2、3 それぞれ、-1.2、-1.37、-1.54、-1.75V、フリップチップ接続では、Lane0、1、2、3 それぞれ、-1.5、-1.67、-1.76、-1.91V とした。ワイヤ接続モジュールの結果は、独立動作時の消光比が Lane0、1、2、3、それぞれ 9.9、9.7、9.1、8.6dB であり、4 チャンネル同時動作時もほぼ同じ値であった。OTU4 マスクテストの結果は、独立動作時でマスクマージンが、Lane0、1、2、3 それぞれ、31、33、26、29%であったのに対して、4 チャンネル同時動作時は、26、24、10、25%であった。マージンの劣化は Lane0、1、2、3 それぞれ、5、9、16、4%のマージン劣化であった。これは、隣接チャンネル間のクロストークの影響と考えられる。また、Lane1、2 のマージン劣化が大きいのは、中央に配置されたチャンネルは隣接するチャンネルが 2 チャンネルとなり、外側に配置されたチャンネルよりクロストークの影響を受けやすくなっているためと考えられる。次にフリップチップ接続モジュールの結果を見ていく。独立動作時の消光比は Lane0、1、2、3 それぞれ、9.2、8.7、8.3、8.0dB であり、4 チャンネル同時動作時も変わらない値であった。OTU4 マスクテストのマスクマージンは、独立動作時は Lane0、1、2、3 それぞれ、40、45、45、43%であった。この値はワイヤ接続モジュールの結果と比較して最大 19%のマージン改善であった。これは、帯域改善に加えて、ピーキングのない平坦な周波数応答特性を実現できたことによって、アイ波形にオーバー、アンダーシュートが発生しないため、非常に明瞭なアイ開口が得られたことが影響していると考えられる。アイ波形の明瞭さは、図 4.2.12、13 に示されるとおりである。4

チャンネル同時動作時のマスクマージンの結果を見ると、Lane0、1、2、3でそれぞれ、37、41、41、40%という結果がえられた。独立動作からのマージン劣化は、Lane0、1、2、3それぞれ、3、4、4、3%と非常に小さい値に抑えられている。これは、隣接チャンネル間のクロストークがワイヤ接続と比較して十分に抑制できていることを示している。これらの結果から、フリップチップ接続EADFBレーザアレイモジュールは112Gbit/s動作(4チャンネル×28Gbit/s/ch動作)に十分な帯域、かつ十分に低いクロストーク特性を実現できていることが確認できた。加えて、ワイヤ接続と比較して大幅なアイ波形の改善、マスクマージンの改善が確認できたことから、28Gbit/s/ch動作でもフリップチップ接続技術は非常に有用な技術であることも確認できた。

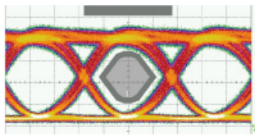
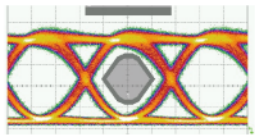
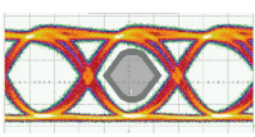
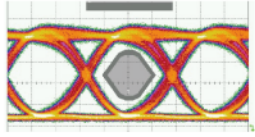
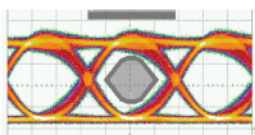
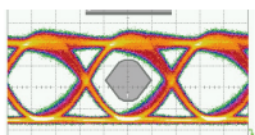
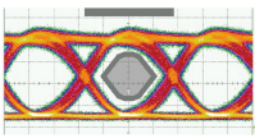
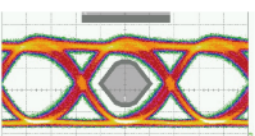
	独立動作	4Ch 同時動作
Lane 0	 9.9 dB MM: 31%	 10.0 dB MM: 26%
Lane 1	 9.7 dB MM: 33%	 9.6 dB MM: 24%
Lane 2	 9.1 dB MM: 26%	 9.0 dB MM: 10%
Lane 3	 8.6 dB MM: 29%	 8.6 dB MM: 25%

図 4.2.12 ワイヤ接続EADFBレーザアレイモジュールの25.8Gbit/sアイ波形

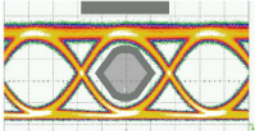
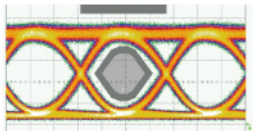
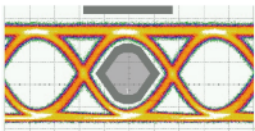
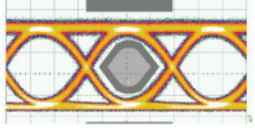
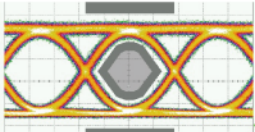
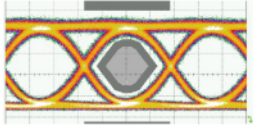
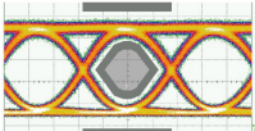
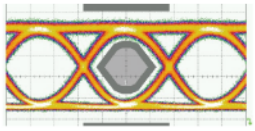
	独立動作	4 Ch 同時動作
Lane 0	 9.2 dB MM: 40%	 9.3 dB MM: 37%
Lane 1	 8.7 dB MM: 45%	 8.8 dB MM: 41%
Lane 2	 8.3 dB MM: 45%	 8.4 dB MM: 41%
Lane 3	 8.0 dB MM: 43%	 8.0 dB MM: 40%

図 4.2.13 フリップチップ接続 EADFB レーザアレイモジュールの 25.8Gbit/s アイ波形

最後に、フリップチップ接続 4 チャンネル EADFB レーザアレイモジュールを用いて、112Gbit/s (4 チャンネル×28 Gbit/s/ch)信号のシングルモードファイバ(SMF)伝送実験を行った。図 4.2.14 は SMF10km 伝送後の 4 チャンネル同時動作時のアイ波形を示している。全てのチャンネルで良好なアイ開口が得られていることが分かる。また、図 4.2.13 の Back-to-back の結果と比較してもほとんど伝送による波形劣化は見られない。消光比は Lane0、1、2、3 それぞれ、9.2、8.8、8.4、8.0dB であり、これらの値も Back-to-back と比較してほとんど変わらない結果であった。図 4.2.15 はビットエラーレート特性の測定結果である。全チャンネルにおいて、4 チャンネル同時動作、SMF10km 伝送後もエラーフリー動作を確認した。4 チャンネル同時動作、SMF10km 伝送後の最小受光感度は Lane0、1、2、3、それぞれ、-14.4、

-14.0、-13.7、-13.3dBm であった。また、伝送時のパワーペナルティはほぼ 0 であった。クロストークペナルティは Lane0、1 が 0.3dB 程度、Lane2、3 が 0.6dB 程度であった。この結果から、フリップチップ接続技術を適用することでモジュールの電気クロストークが十分に小さい値に抑制できていることがわかった。ペナルティをさらに小さく抑えるためには、チップ内 GND を介したクロストークを抑制可能なアレイチップの半絶縁基板化、治具、パッケージの低クロストークに向けた配線構造の設計等が有効であると考えている。

以上の結果から、ワイヤ接続と比較してフリップチップ接続技術は低クロストーク化、広帯域化、周波数応答特性の平坦化に有効な技術であることをシミュレーション、実測、両面から確認することができた。また、OTU4 マスクテストのマージンの差などの実測から、28Gbit/s/ch 動作でも、フリップチップ接続技術を適用することで得られる帯域改善、クロストーク低減の効果を確認することができた。フリップチップ接続技術は 28Gbit/s/ch 動作はもちろん、さらなる高速化にも有効な技術であるといえる。

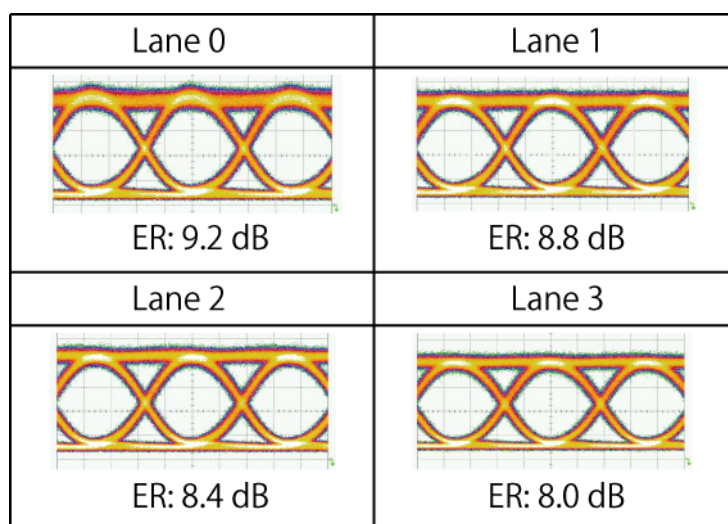


図 4.2.14 フリップチップ接続 EADFB レーザアレイモジュールの 4 チャンネル同時動作時、SMF10km 伝送後のアイ波形

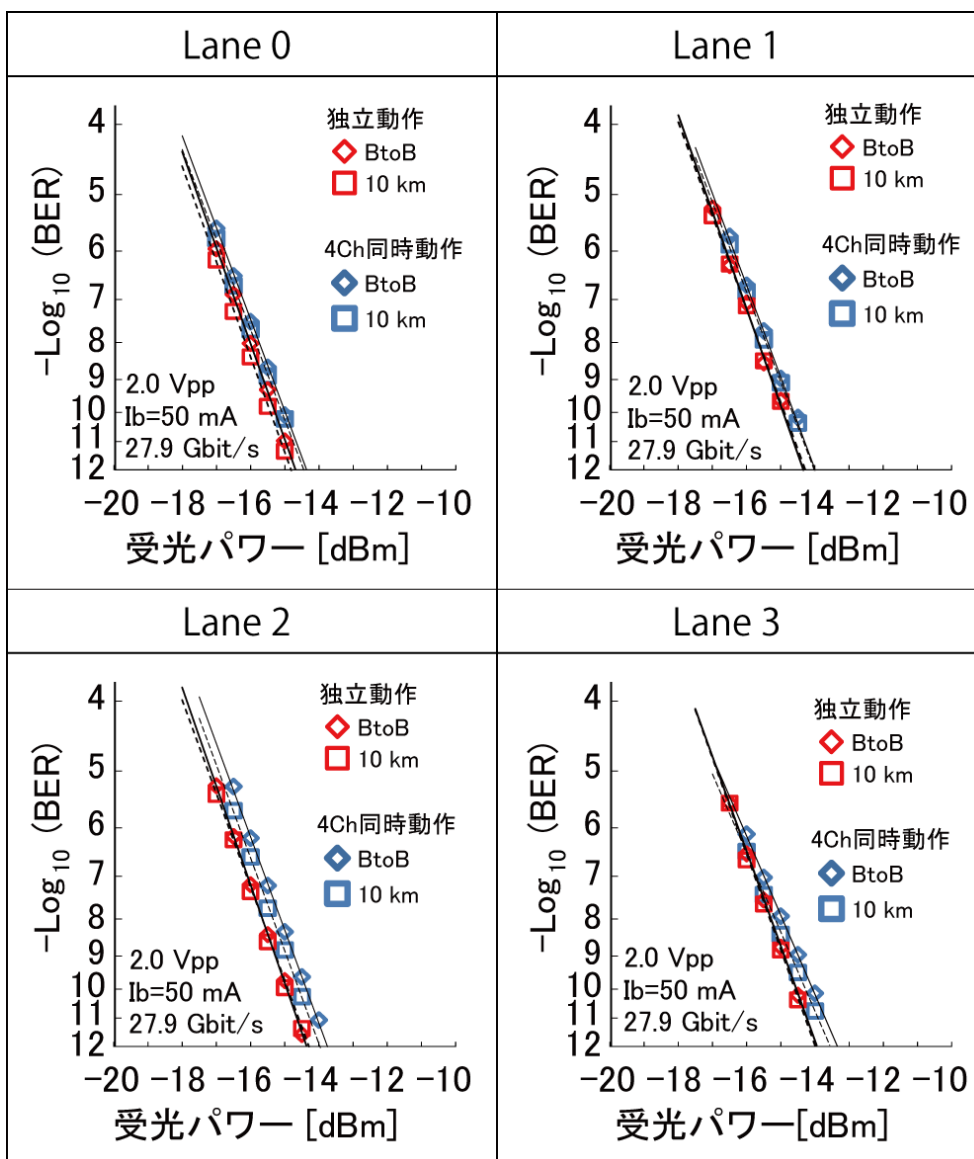


図 4.2.15 フリップチップ接続 EADFB レーザアレイモジュールの 112Gbit/s 動作時のビットエラーレート特性

4.3. フリップチップ実装 8 チャンネル EADFB レーザアレイモジュールの設計

4.1、4.2 節では、112Gbit/s 級の光送信器をターゲットとしていた。本節ではさらに高速化、マルチチャンネル化を進めて、400Gbit/s 級の光送信器実現を目指した。具体的には、フリップチップ接続技術を 8 チャンネル EADFB レーザアレイチップに適用し、1 チャンネルあたりのビットレートを 50Gbit/s まで高速化することで、400Gbit/s 動作光送信器実現を目指した。そこで、本節では 8 チャンネル EADFB レーザアレイモジュールの設計、および作製方法について説明する。

4.1、4.2 節では 4 チャンネル EADFB レーザアレイにフリップチップ接続技術を適用することで、112Gbit/s(4 チャンネル×28Gbit/s/ch)動作を実現した。本節ではさらに高速化、多チャンネル化を実現するために、下記のような方針を立てた。

1. 多チャンネル化

- ・フリップチップ接続部への接着剤接合方式の適用
- ・アレイチップの 8 チャンネル化

2. 高速化

- ・EA 変調器の長さ最適化 (EA 長 150→100 μ m)

まず、接合方式の変更について説明する。表 4.3.1 は従来用いていた熱圧着接合方式と今回新たに導入した導電性接着剤接合方式、それぞれの特徴をまとめたものである。また、表 4.3.2 は各接合方式で 8 チャンネル EADB レーザアレイを実装後、導通検査を行った結果をまとめたものである。従来の熱圧着方式では半導体チップ上に金バンプを形成し、その金バンプと高周波配線板上の金配線を加圧しながら加熱することで接合をとっていた。4 チャンネルアレイデバイスでは接点数が 9 点であり、5 個中 5 個、すべてで全チャンネルの接点が取れる、高い歩留まりを実現していた。しかし、8 チャンネルアレイデバイスでは接点数が

17点に増加するため、熱圧着接合では3個中、1つも全てのチャンネルで接続がとれたものができなかった。これは、金バンプのつぶれ量にのみ依存する本方式では高さ誤差が10 μ m程度しか吸収できない点が課題と考えた。そこで、今回は導電性接着剤を用いた接合方式を適用した。本方式では、金バンプと高周波配線の接続に導電性接着剤を用いるため、金バンプのつぶれ量に加えて、接着剤の厚み分も高さ誤差の吸収に使えるため、20 μ m以上の高さ誤差が吸収可能となる。本方式を適用して8チャンネルデバイスを実装した結果、4個中、4個とも全てのチャンネルで接続がとれていることが確認できた。

表 4.3.1 フリップチップ接続部の接合技術比較

	熱圧着接合	導電性接着剤接合
接合構造		
吸収可能な高さ誤差	10 μ m程度	20 μ m以上
対応レーン数	4チャンネル(接点数9点) ○ 8チャンネル(接点数17点) ×	8チャンネル(接点数17点) ○

表 4.3.2 8チャンネルEADFBレーザアレイの実装後の導通検査結果

サンプル No.	熱圧着型 接続数/全接点数
1	0 / 8
2	6 / 8
3	3 / 8

サンプル No.	接着剤型 合格数/全数
1	8 / 8
2	8 / 8
3	8 / 8
4	8 / 8

次に、アレイチップの8チャンネル化について説明する。図4.3.1に今回作製した合波器集積8チャンネルEADFBレーザアレイチップの写真と構造図を示す[4.4-6]。基本的な構造は、4.1節で用いた4チャンネルEADFBレーザアレイチップの構造と同じである。チャンネル間のピッチは0.6mmとし、チップサイズは幅が4.8mm、長さ3.2mmであった。また、チップ上にはGND電極が配置されている。サブキャリア上に実装した際に、ワイヤによって、サブキャリア上GNDとチップ上GNDを接続する。

まず、EADFBレーザ部について説明する。モニタPDが集積されたEADFBレーザが8チャンネル分配置されている。チャンネル間ピッチは0.6mmとした。また、チャンネルごとに短波長からLane0、1、の順に、もっとも長波長にあたるチャンネルをLane7とした。各チャンネル間の波長間隔は、4チャンネルレーザアレイの時に用いたLAN-WDMグリッドの間隔である800GHz(4.5nm)の半分、400GHz(2.2nm)間隔になるように設定した。回折格子は1/4λシフトとし、両端面ともARコーティングとした。モニタPDとDFBレーザ部の活性層は圧縮歪みのInGaAlAs/InGaAlAs量子井戸層、EA変調器部には引っ張り歪みのInGaAlAs/InGaAlAs量子井戸層を用いている。また、導波路構造はBCB埋め込み型のリッジ導波路構造である。これは、先にも説明したとおり、低誘電率材料を用いることで電極の寄生容量を低減するためである。

次に、光合波器部について説明する。合波器として8:1のMMIカプラを用いた。これは、MMIカプラが小型かつ、低波長依存性のためである。光導波路部の導波路構造は曲げ損失が小さく、チップの小型化に有利なハイメサ構造とし、側面をBCBで埋め込む構造とした。EADFBレーザ部と光合波器部の接続にはハイバットジョイント技術を用いており、光合波器部の上部クラッドはノンドープのInPとすることで光導波路の損失低減をはかっている。

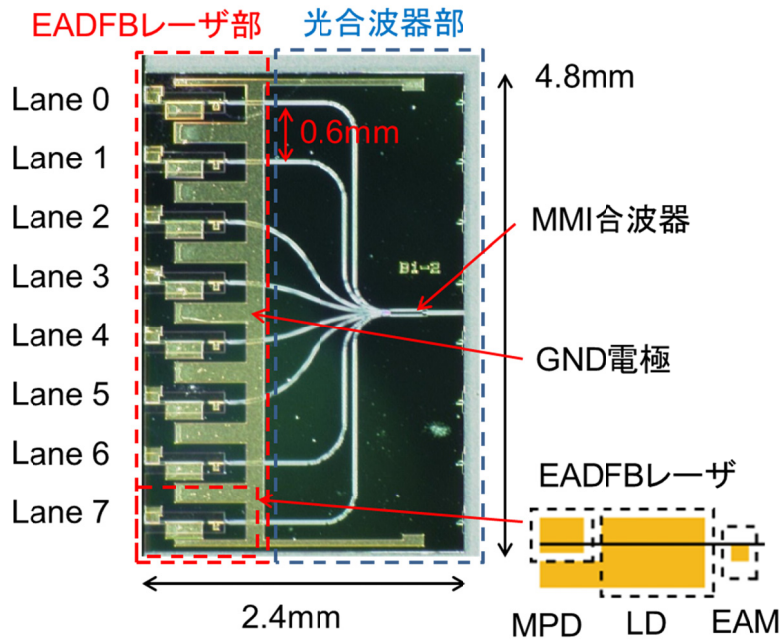


図 4.3.1 合波器集積 8 チャンネル EADFB レーザアレイチップの写真と構造図

最後に EA 変調器の長さの最適化を行った。今回は、50Gbit/s/ch 動作を目指すため、サブアセンブリで 3dB 帯域 50GHz 以上を目標とした。図 4.3.2 はフリップチップ接続レーザアレイサブアセンブリの概略図である。高周波配線板の構造は 4 チャンネル EADFB レーザアレイモジュールで用いた構造を踏襲した。図 4.3.3 はフリップチップ接続サブアセンブリの等価回路モデルである。本等価回路モデルと、表 4.3.3 に示した EA 変調器の各 EA 長での寄生成分のパラメータを用いて周波数応答特性を見積もった。L_{bump} は 0.005nH とした。また、高周波配線板、終端抵抗回路は三次元電磁界解析シミュレータで求めた値を用いた。図 4.3.4 はシミュレーションによる EADFB レーザアレイサブアセンブリの周波数応答特性の EA 長依存性を示したものである。結果を見ると 3dB 帯域は 150、100、75 μ m の EA 長でそれぞれ、44、52、56GHz という結果であった。EA 長は短くなると寄生容量低減により、帯域が改善するが、消光特性が劣化するため不必要に短くすることは望ましくない。よって、今回は EA 長を 100 μ m とした。

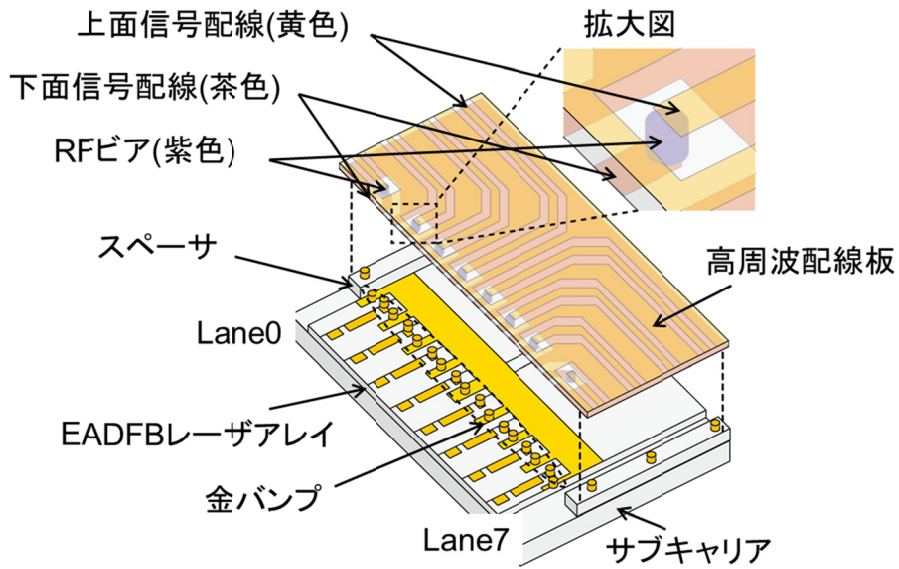


図 4.3.2 フリップチップ接続 8 チャンネル EADFB レーザアレイサブアセンブリの概略図

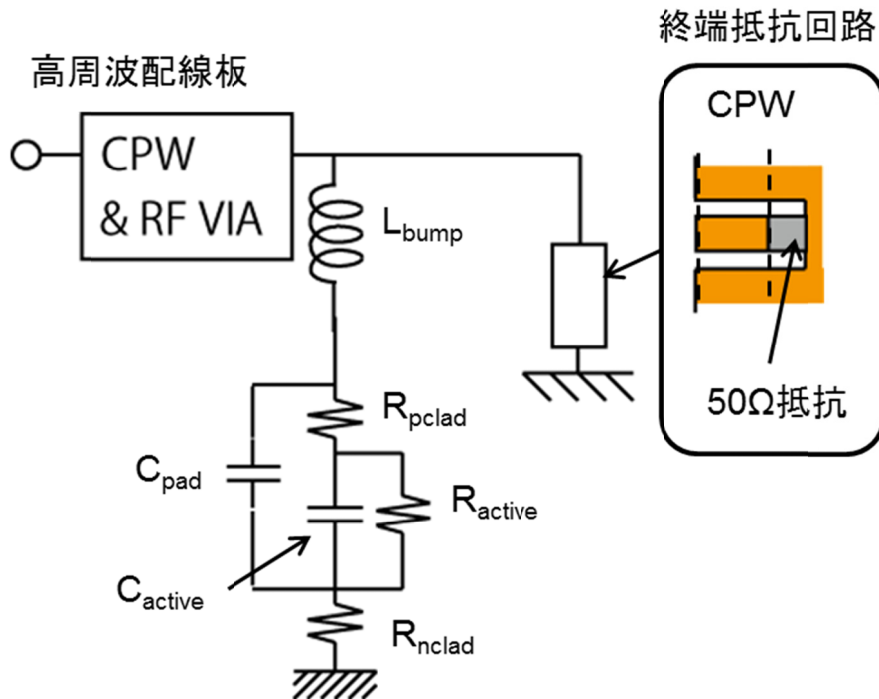


図 4.3.3 フリップチップ接続 EADFB レーザアレイサブアセンブリの等価回路モデル

表 4.3.3 EA 変調器の等価回路モデルのパラメータリスト

EA 長 (μm)	$R_{\text{pclad}} (\Omega)$	$R_{\text{active}} (\Omega)$	$R_{\text{nclad}} (\Omega)$	$C_{\text{pad}} (\text{pF})$	$C_{\text{active}} (\text{pF})$
150	12.1	140	2	0.05	0.092
100	18.2	140	2	0.05	0.06
75	24.3	140	2	0.05	0.046

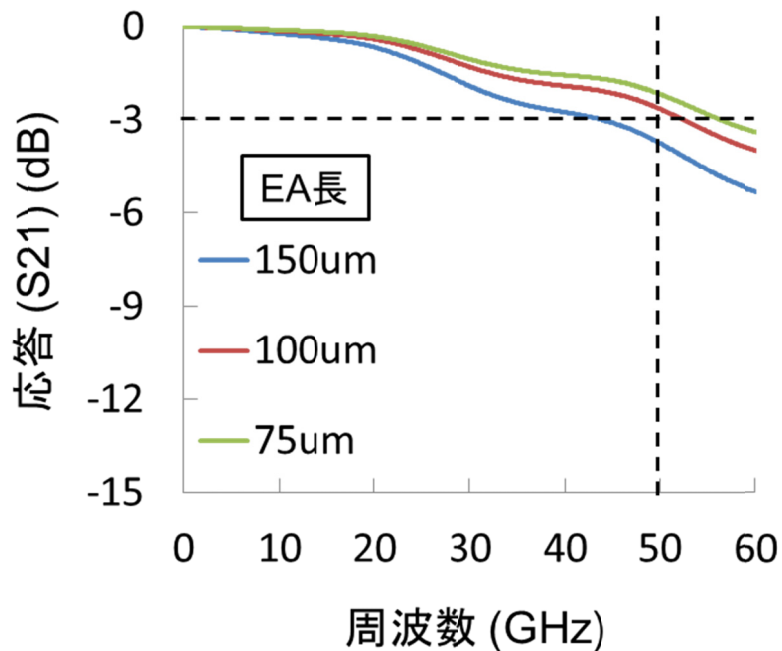


図 4.3.4 EADFB レーザアレイサブアセンブリの周波数応答特性の EA 長依存性

上記の設計に基づいて、フリップチップ接続 8 チャンネル EADFB レーザアレイサブアセンブリの設計を行った。4.1 節の時と同様に、比較のためにワイヤ接続 EADFB レーザサブアセンブリの設計も行った。図 4.3.5 は、ワイヤ接続 EADFB レーザアレイサブアセンブリの概略図を示したものである。終端抵抗回路は省略している。ワイヤ接続サブアセンブリ

は、三次元配線構造を適用している。高周波配線板はアレイチップより厚い、スペーサ上に配置されており、チップ上部に高周波配線板を配置することでEA変調器の直近まで高周波配線を引き回せるようになっている。高周波配線とEA変調器間はワイヤによって電氣的に接続されており、同時に、高周波配線板上のGNDとアレイチップ上のGND電極もワイヤによって接続されている。

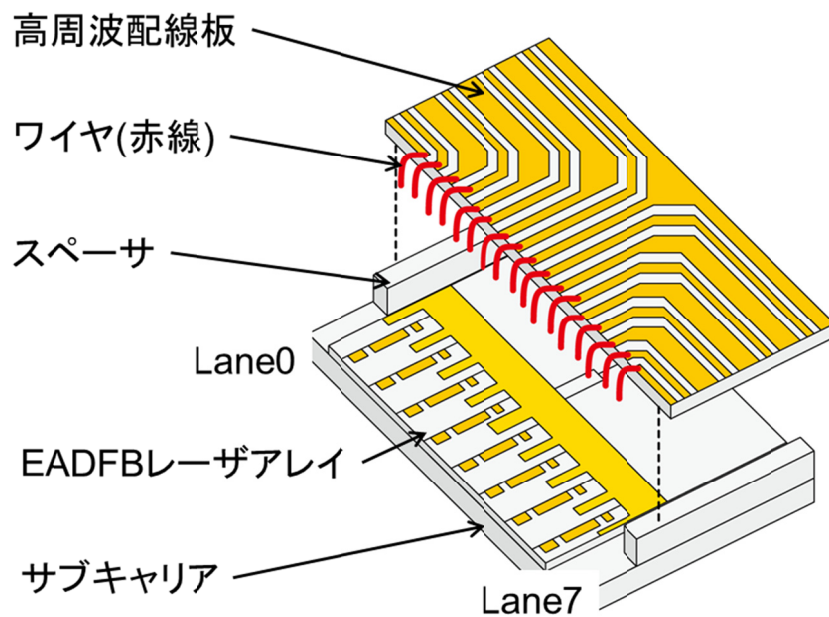


図 4.3.5 ワイヤ接続 8 チャンネル EADFB レーザアレイサブアセンブリの概略図

ワイヤ接続レーザアレイサブアセンブリとフリップチップ接続レーザアレイサブアセンブリの高周波特性を等価回路シミュレーションによって見積もった。まず、初めに周波数応答特性のシミュレーションを行った。図 4.3.6 は、ワイヤ接続レーザアレイサブアセンブリの等価回路モデルを示したものである。EA 変調器の寄生成分は、p クラッド層、活性層、n クラッド層の抵抗、 $R_{p\text{clad}}$ 、 R_{active} 、 $R_{n\text{clad}}$ と、パッド、活性層の容量、 C_{pad} 、 C_{active} から構成されている。また、高周波配線板と終端抵抗回路については三次元電磁界解析シミュレ

ータで求めた値を入れて計算を行った。高周波配線板-チップ間のワイヤの寄生インダクタンスを L_{wire1} 、高周波配線板-終端抵抗間のワイヤの寄生インダクタンスを L_{wire2} とし、それぞれの値を 0.55nH 、 0.3nH とした。ワイヤ接続サブアセンブリでは 4.1 節の結果からも帯域の劣化が予想されるため、EA 長の長さを $100\mu\text{m}$ 以外に、 $75\mu\text{m}$ と短くしたチップについてもシミュレーションを行った。EA 長 $75\mu\text{m}$ での各寄生成分の値は、 R_{pclad} 、 R_{active} 、 R_{nclad} 、 C_{pad} 、 C_{active} 、それぞれ、 24.3 、 120 、 2.0Ω 、 0.031 、 0.046pF とした。これらの値は $75\mu\text{m}$ 長の EA 変調器の実測値を用いた。フリップチップ接続サブアセンブリの結果は図 4.3.4 の結果を用いている。

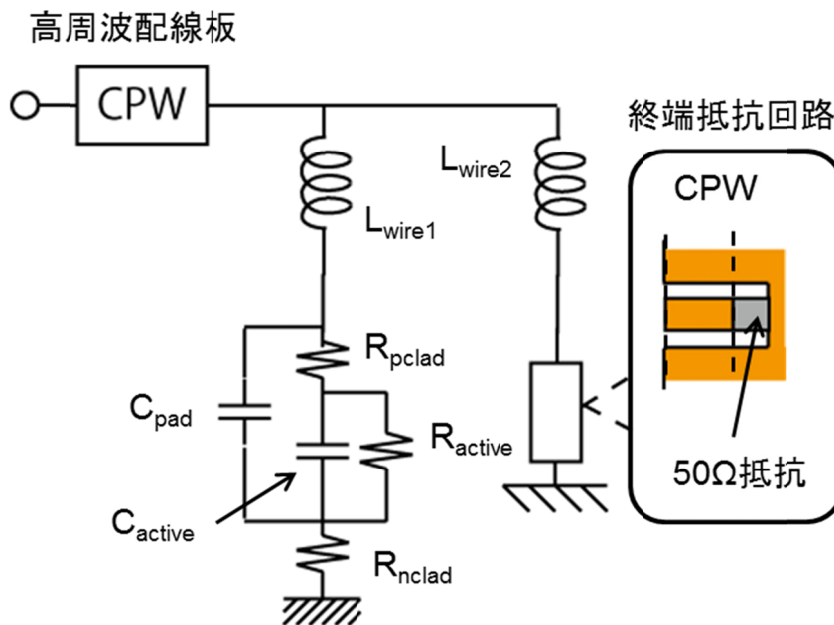


図 4.3.6 ワイヤ接続レーザアレイサブアセンブリの等価回路モデル

図 4.3.7 は各レーザアレイサブアセンブリの Lane6 の周波数応答特性シミュレーション結果である。まず、EA 長 $100\mu\text{m}$ だった場合のワイヤ接続サブアセンブリの結果を見ると、 17GHz 付近でピーキングがみられ、そこから急激に応答特性が劣化しており、 3dB 帯域で

31GHz 程度となっている。次に、EA 長を短くして 75 μm とした場合の特性を見てみる。こちらは、20GHz 付近でピーキングがみられ、そこから急激に応答特性が劣化し、3dB 帯域で 38GHz 程度という結果であった。どちらの結果も高周波配線板-チップ間のワイヤの寄生インダクタンスと EA 変調器の等価回路が共振することでピーキングが発生し、ワイヤの寄生インダクタンスによって急激な周波数応答特性の劣化が発生していると考えられる。本結果から EA 長を 75 μm まで短くした場合でもワイヤ接続では先に設定した、サブアセンブリで 3dB 帯域 50GHz 以上を満たすことができないことがわかった。フリップチップ接続サブアセンブリでは EA 長 100 μm で 3dB 帯域 50GHz 以上を満たせており、かつ非常に平坦な周波数応答特性が得られていることから、ワイヤの寄生インダクタンスによる影響が大きいことを示している。

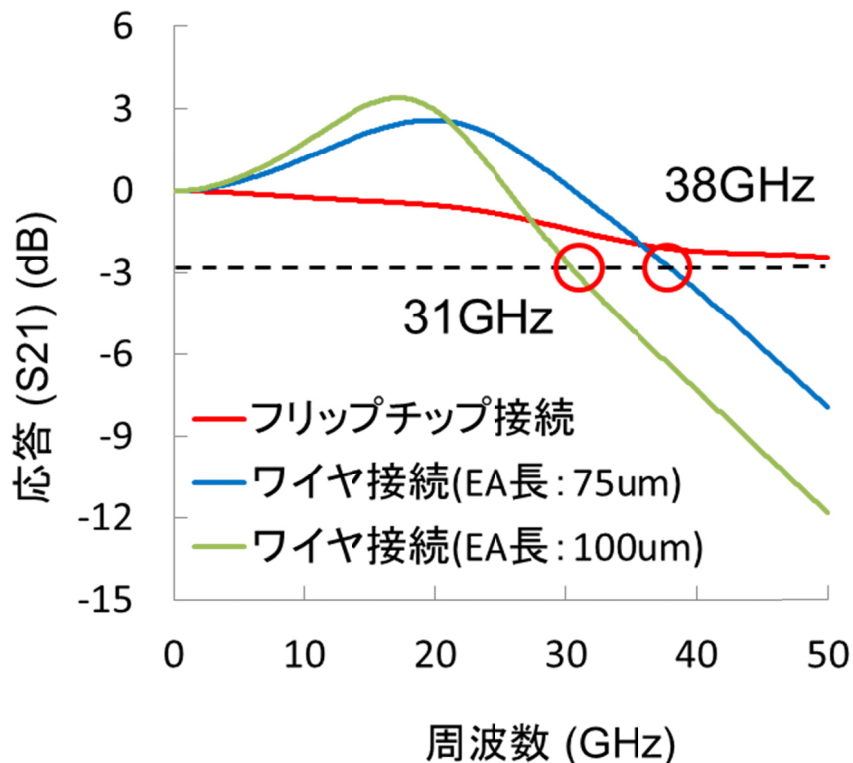
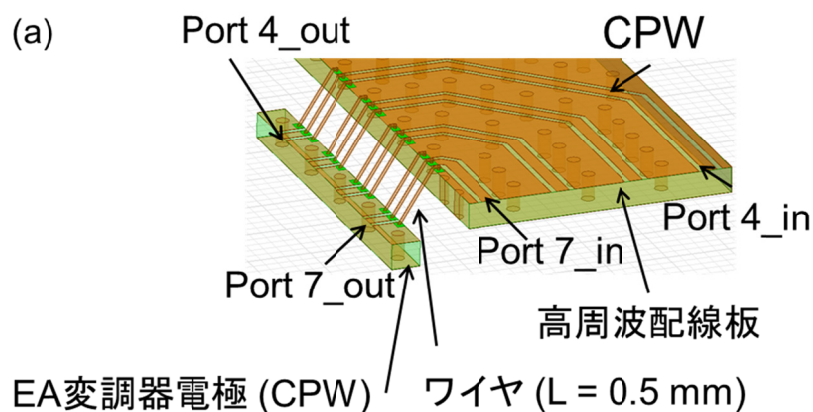


図 4.3.7 各レーザアレイサブアセンブリの周波数応答特性のシミュレーション結果

次に、ワイヤ接続レーザアレイサブアセンブリとフリップチップ接続レーザアレイサブアセンブリのクロストーク特性の比較を行う。図 4.3.8 は、ワイヤ接続レーザアレイサブアセンブリ (図 4.3.8(a)) とフリップチップ接続レーザアレイサブアセンブリ (図 4.3.8(b)) の隣接チャンネル間クロストークのシミュレーションモデルを示している。各モデルとも、EA 変調器に相当する位置に信号長 0.2mm、信号線ピッチ 0.6mm のコプレーナ線路(CPW)を配置した。高周波配線板の入り側の信号線ピッチも 0.6mm としている。高周波配線板は 0.15mm 厚の窒化アルミ製とした。また、コプレーナ線路は全て信号線幅 0.1mm の特性インピーダンス 50Ω に設計された線路を用いている。高周波信号線の入り側を右から Port4_in、Port5_in、Port6_in、Port7_in の順に定義し、EA 変調器に相当するコプレーナ線路がある出口側を上から Port4_out、Port5_out、Port6_out、Port7_out の順に定義した。各 Port は各 Lane 番号と一致している。ワイヤ接続サブアセンブリでは、高周波配線板上のコプレーナ線路と EA 変調器電極に相当するコプレーナ線路の間を 0.5mm のワイヤで接続している。このとき、高周波配線板と EA 変調器電極に相当するコプレーナ線路の GND の接続もワイヤで接続した。フリップチップ接続では、直径 0.1mm の RF ビアを用いて、上面信号線と下面信号線を接続した。また、金バンプは高さ 30μm、直径 60μm とした。本モデルのクロストーク結果は、レーザアレイサブアセンブリのチップ内部のクロストークを除く、すべてのクロストークが含まれた結果となる。



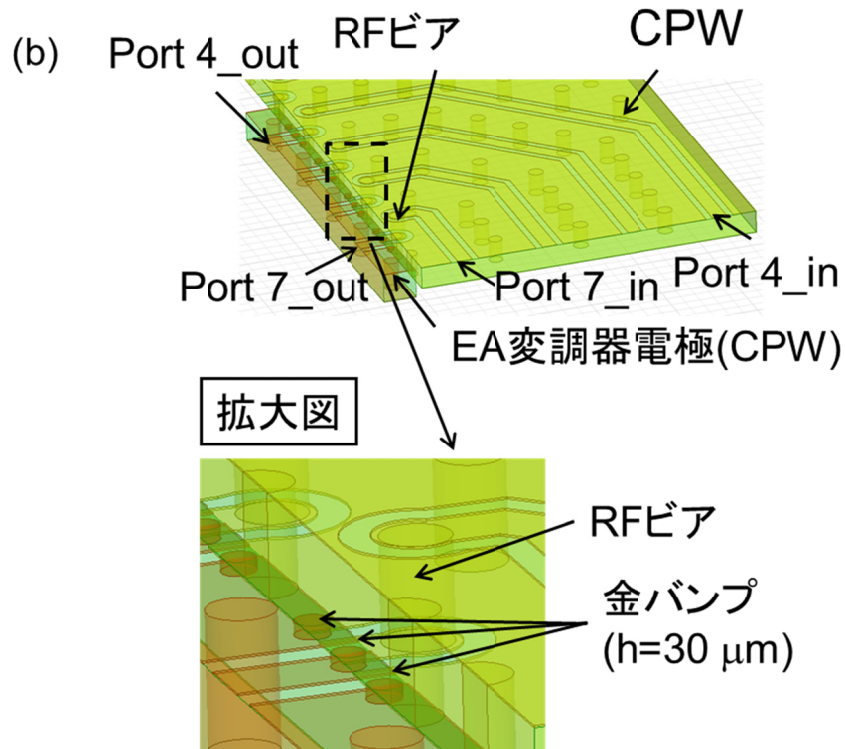


図 4.3.8 各レーザアレイサブアセンブリのクロストークシミュレーションモデル

図 4.3.9 に、もっとも大きなクロストーク量を示した、Port7_in から Port6_out への電気クロストーク特性を示す。これは、Lane7 から Lane6 への隣接チャネル間クロストーク特性を示している。ワイヤ接続では 50GHz までで、-30dB 以下のクロストーク特性であったのに対して、フリップチップ接続では 50GHz までで 10dB 以上低い値である、-40dB 以下となった。

以上のシミュレーション結果から、フリップチップ接続技術はワイヤ接続技術と比較して広帯域化、周波数応答特性の平坦化、低クロストーク化に有効であり、50Gbit/s/ch 動作に必須の技術であることが確認できた。

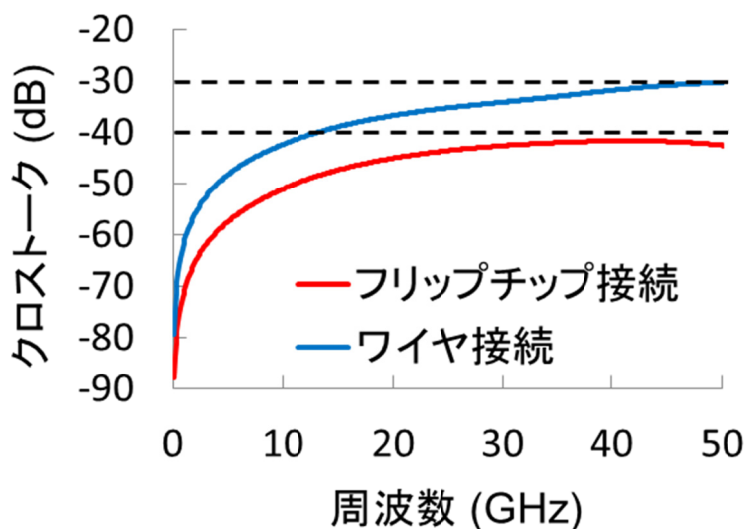


図 4.3.9 各レーザアレイサブアセンブリのクロストークシミュレーション結果

(Lane7 から Lane6 へのクロストーク)

実際に EA 長 75 μm のワイヤ接続レーザアレイサブアセンブリと EA 長 100 μm のフリップチップ接続レーザアレイサブアセンブリを作製したので、E/O 応答特性の結果を示す。図 4.3.10 はワイヤ接続、図 4.3.11 はフリップチップ接続レーザアレイサブアセンブリの E/O 応答特性を示している。測定には Lane6 と対称の位置にある Lane1 を用いた。DFB レーザのバイアス電流は 70mA、チップ温度は 25 度、EA のバイアス電圧は-1.8V とした。どちらの E/O 応答特性も、実測値とシミュレーション結果が非常によく一致していることから、シミュレーションモデルが実測の結果をよく表すモデルになっていることが確認できた。フリップチップ接続サブアセンブリでは 3dB 帯域が 50GHz であり、実測でも本節冒頭で設定した目標を達成していることを確認できた。ワイヤ接続サブアセンブリでは、3dB 帯域 38GHz であった。本結果から、実測でもフリップチップ接続技術が広帯域化、E/O 応答特性の平坦化に有効な技術であることを確認するとともに、50Gbit/s/ch 動作に必須な技術であることを改めて確認した。クロストーク特性の実測値比較については、モジュールで行ったので、次節で説明する。

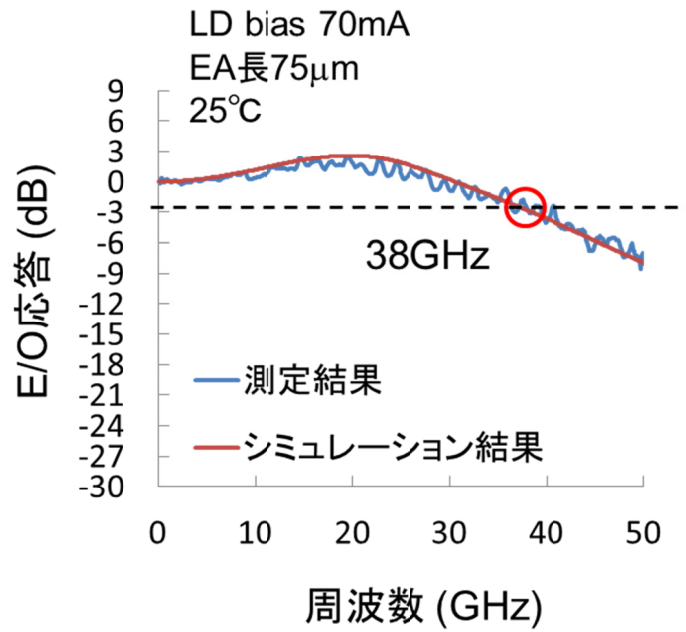


図 4.3.10 ワイヤ接続レーザアレイサブアセンブリの E/O 応答特性

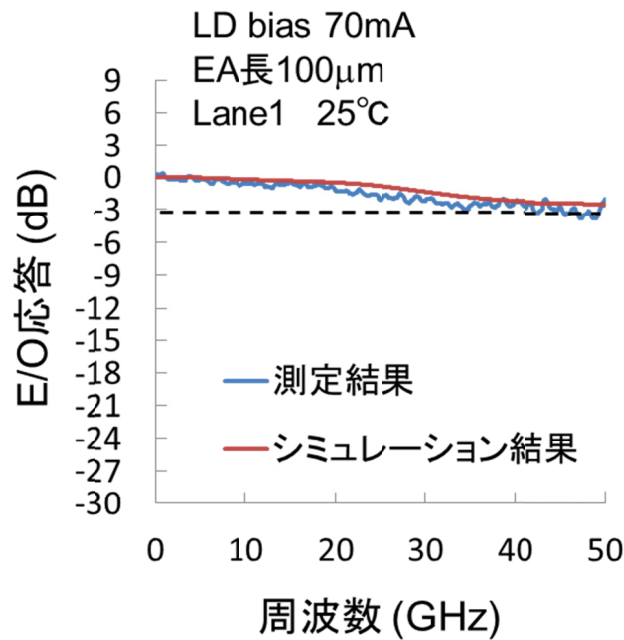


図 4.3.11 フリップチップ接続レーザアレイサブアセンブリの E/O 応答特性

4.4. フリップチップ実装 8 チャンネル EADFB レーザアレイモジュールの作製・評価

本節では、4.3 節で設計を行ったフリップチップ接続 8 チャンネル EADFB レーザアレイサブアセンブリを用いて、モジュールを作製し、特性評価を行ったので、これについて述べる。また、ワイヤ接続とフリップチップ接続モジュールでのクロストーク特性の比較も行ったので、併せて説明する。

図 4.4.1 に作製したモジュールの写真と概略図を示す。パッケージ、測定用治具は 4.2 節で用いたものと同じものを用いており、組み立て工程も同じである。DC、高周波、両端子ともリードピンで出力されるパッケージとなっている。

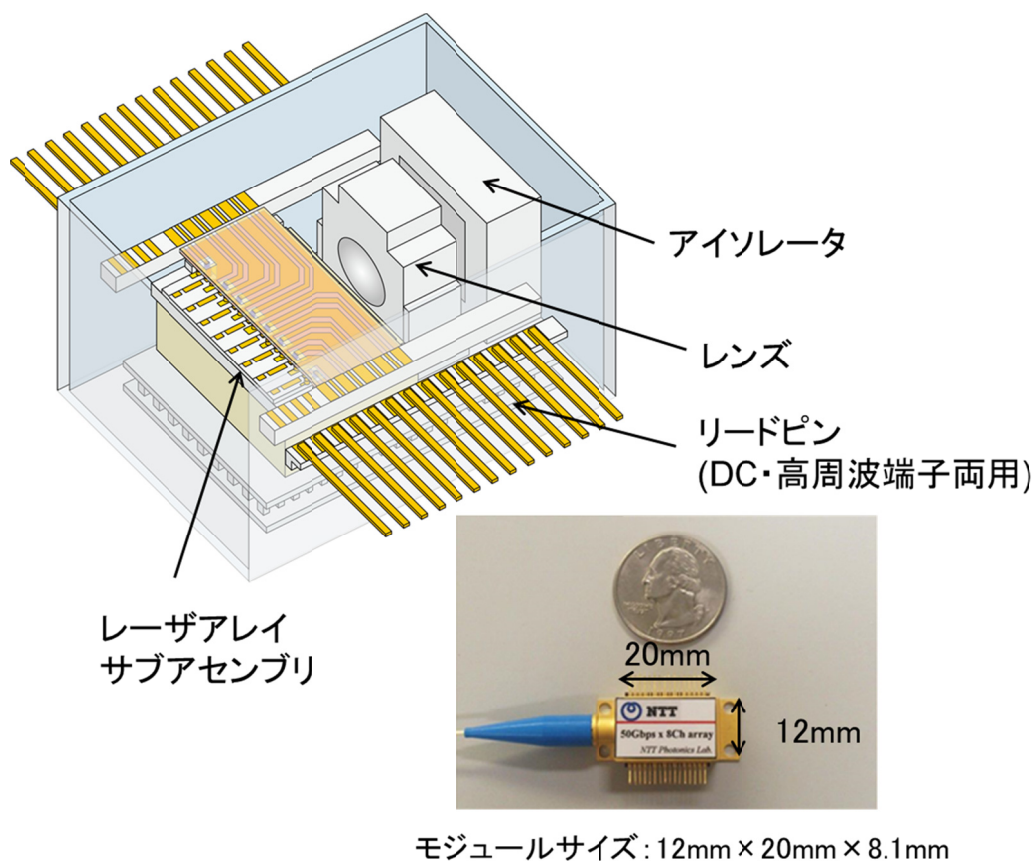


図 4.4.1 フリップチップ接続 8 チャンネル EADFB レーザアレイモジュール

作製したモジュールの DC 特性の評価を行った。以下の測定では全て、治具を用いて測定を行っている。また、チップ温度は 40 度、DFB レーザのバイアス電流は 70mA、とした。図 4.4.2 は 8 チャンネル EADFB レーザアレイの L-I 特性を示したグラフである。全チャンネルにおいて、しきい値電流は 16~17mA 付近であり、波長依存性の低い良好な結果が得られた。バイアス電流が 100mA でも光出力が 0.5~0.7mW と非常に低いのは MMI カプラの原理損が 9dB と非常に大きいためである。この点は、半導体チップ上にトランスバーサルフィルタ [4.7] 等、合波損の低い光合波器の適用をすることで解決できると考えている。図 4.4.3 はレーザアレイモジュールのスペクトル特性を示している。全チャンネル同時動作させている。全てのチャンネルにおいて、SMSR40dB 以上の良好なシングルモード特性が確認できた。各チャンネルのピーク波長は、1293.91、1296.28、1300.9、1303.24、1305.43、1307.77、1310.02、1312.24nm であった。Lane1 と Lane2 での波長差のみ、予定していた間隔の 2 倍である、800GHz となっている。これは、DFB レーザの回折格子のピッチ設定にミスがあったためである。Lane3 以降は所望の 400GHz 間隔のピーク波長が得られた。

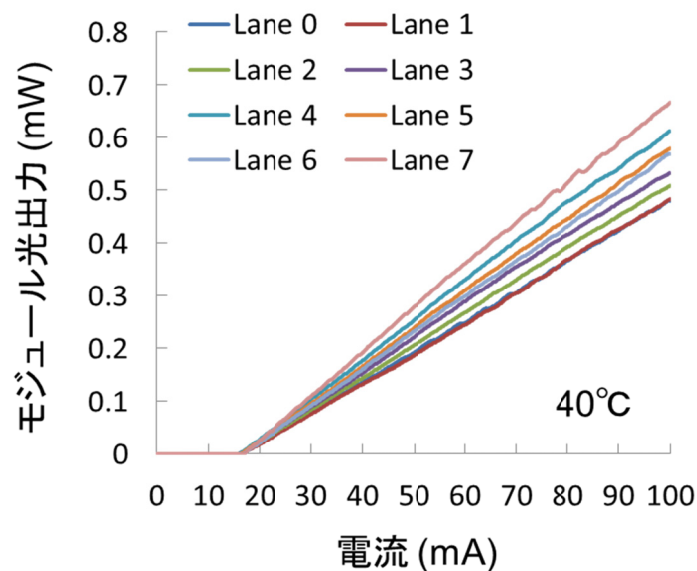


図 4.4.2 8 チャンネル EADFB レーザアレイモジュールの L-I 特性

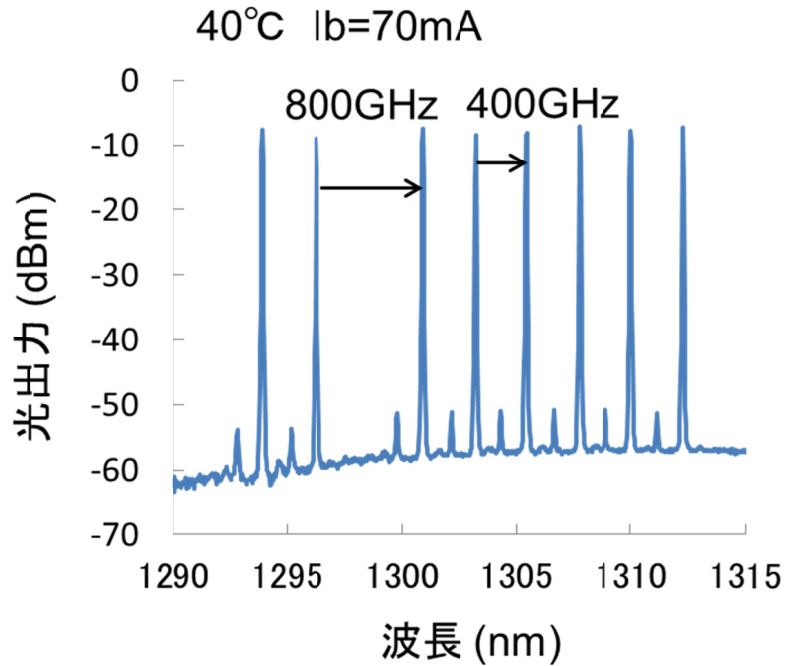


図 4.4.3 8チャンネル EADFB レーザアレイモジュールのスペクトル特性

作製したモジュールの E/O 応答特性の測定を行った。図 4.4.4 は全チャンネルの E/O 応答特性の測定結果を示している。EA バイアス電圧は Lane0、1、2、3、4、5、6、7 それぞれ、-1.4、-1.7、-1.9、-2.0、-2.1、-2.2、-2.2、-2.4V とした。また、チャンネルごとに独立して測定を行った。全てのチャンネルで、35GHz 付近までピーキング、急激な劣化のない平坦な応答特性が得られている。これは、サブアセンブリで測定した時と同様の傾向である。しかし、全チャンネルにおいて 3dB 帯域は 20GHz 程度と低い値となった。これは、28Gbit/s/ch 動作むけに設計されたパッケージと治具を流用したため、損失が大きく、帯域が大幅に劣化したものと考えている。次に、ワイヤ接続とフリップチップ接続 8 チャンネル EADFB レーザアレイモジュールのクロストーク特性の比較を行った。図 4.4.5 は Lane7 から Lane6 へのクロストーク特性を比較したものである。ワイヤ接続モジュール、フリップチップ接続モジュールともに先の E/O 応答特性測定時と同じ条件で測定を行った。クロストーク特

性の測定方法は4.2節で行った方法と同じ、Lane6のレーザのみバイアス電流を印加して、Lane6、7のEA変調器にバイアス電圧を印加した状態で、Lane7に高周波信号を入力し、Lane6からの光を受光することで測定した。ワイヤ接続モジュールでは23GHz付近で-20dB以上のクロストークとなっているのに対して、フリップチップ接続モジュールでは35GHzまで-20dB以下のクロストークに抑制できており、ワイヤ接続の結果と比較して、全周波数帯で同等かそれ以下のクロストークとなっていることが分かる。本結果から、実測でもフリップチップ接続技術がワイヤ接続と比較して低クロストーク化に有効であることが確認できた。シミュレーション結果との相違は、チップ内GNDを介したクロストーク、治具やパッケージのもつクロストーク特性が加わったためと考えられる。

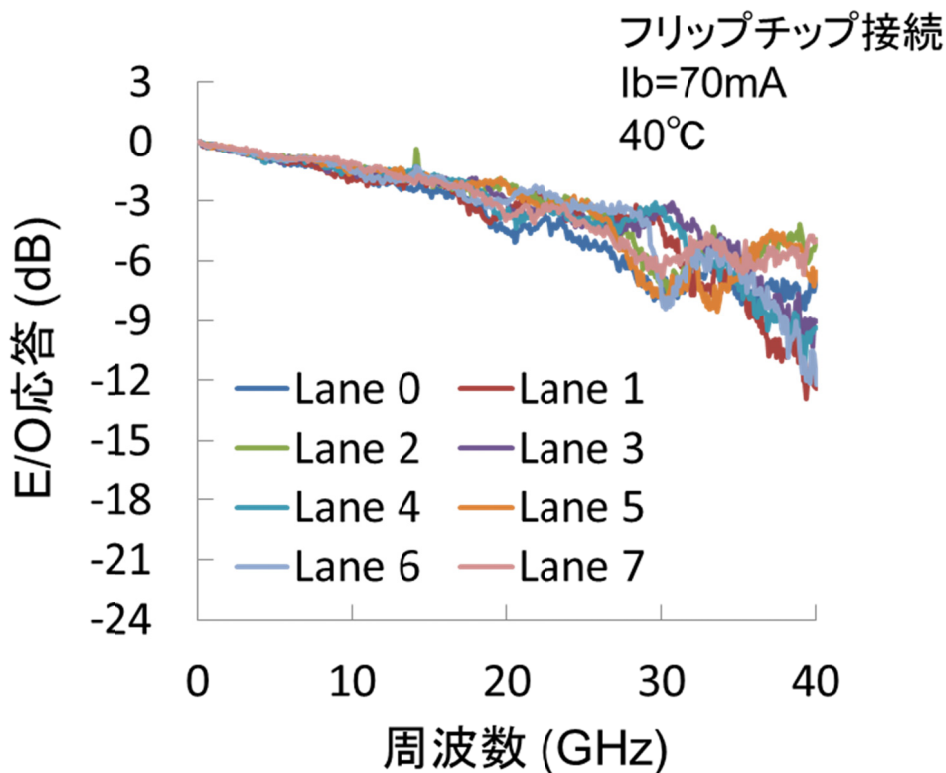


図 4.4.4 フリップチップ接続 EADFB レーザアレイモジュールの E/O 応答特性

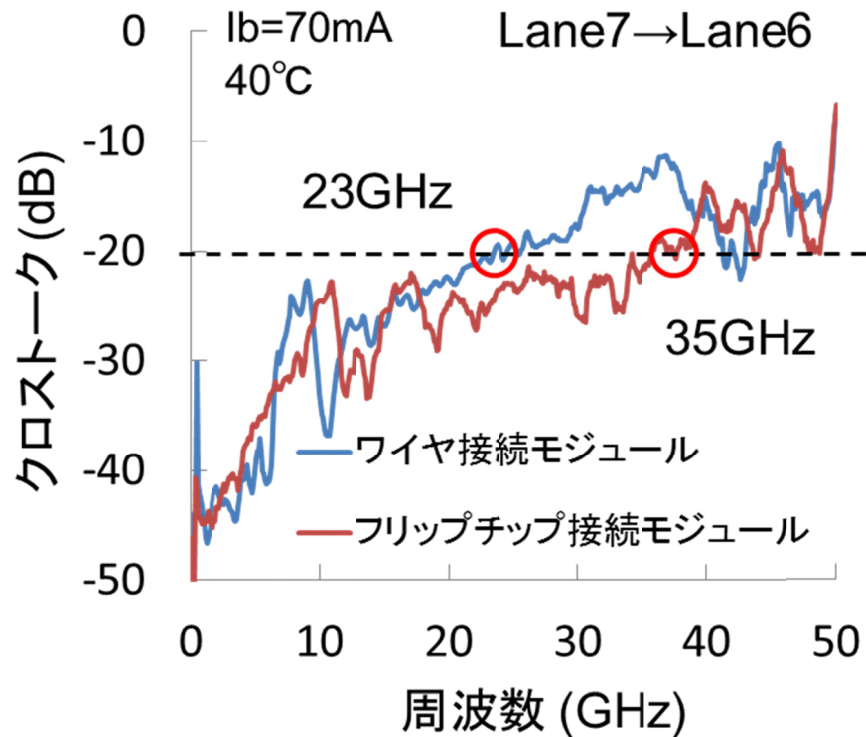


図 4.4.5 ワイヤ接続とフリップチップ接続モジュールのクロストーク特性比較
(Lane7 から Lane6 へのクロストーク)

最後に、フリップチップ接続 EADFB レーザアレイモジュールの 400Gbit/s 動作(8 チャンネル×50Gbit/s/ch 動作)実験を行った。図 4.4.6 はフリップチップ接続モジュールのアイ波形を示している。変調信号は振幅電圧 2.3Vpp、50Gbit/s、NRZ 信号、PRBS2³¹-1、とした。単チャンネル動作時の各チャンネルの消光比はそれぞれ、6.5、6.4、6.1、6.1、5.5、5.5、5.2、4.9dB であった。また、全てのチャンネルにおいて、8 チャンネル同時動作時のアイ波形と比較してほぼ劣化のない良好なアイ開口が得られた。これはクロストークが抑制されていることを示している。また、10km 伝送後も全チャンネルにおいて良好なアイ開口が得られた。本結果から、フリップチップ接続により、8 チャンネル同時動作、50Gbit/s/ch 動作可能な、低クロストーク特性を有するモジュールが実現できていることを確認した。

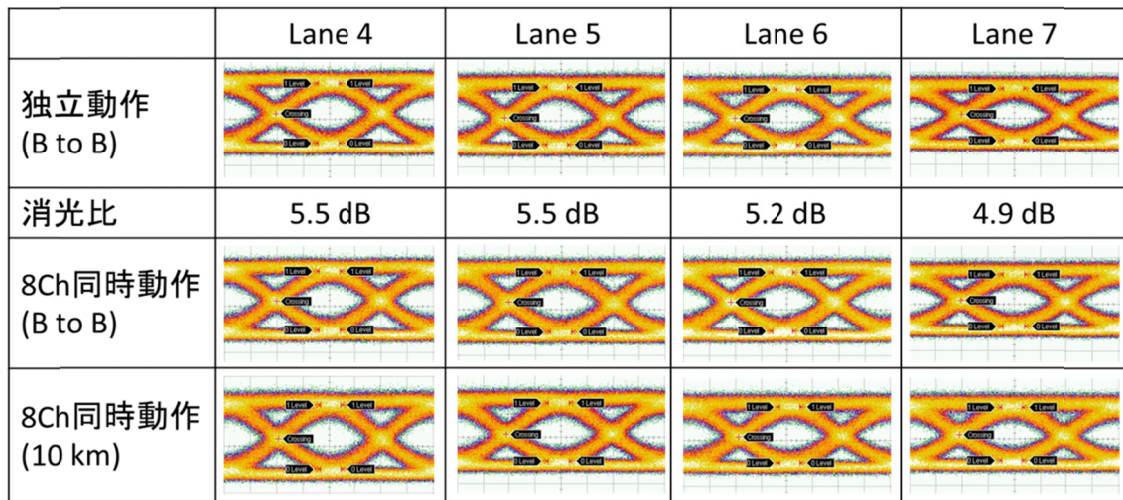
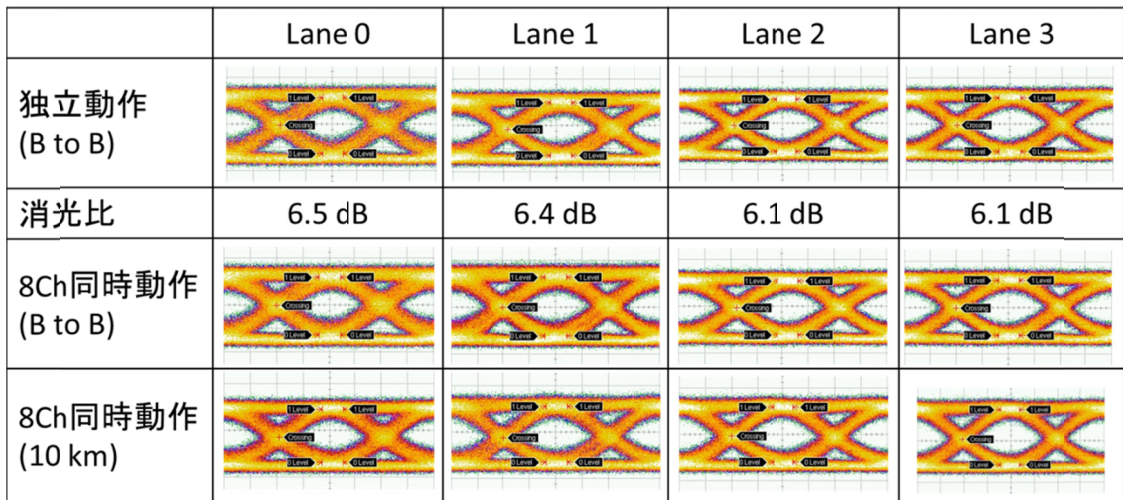


図 4.4.6 フリップチップ接続 EADFB レーザアレイモジュールの 50Gbit/s/ch アイ波形

4.3、4.4 節をまとめる。接着剤接合方式の導入により、チャンネル数増大に対応可能となった。フリップチップ接続技術を適用することで 400Gbit/s 動作(8 チャンネル×50Gbit/s/ch 動作)可能な EADFB レーザモジュールを実現することができた。また、本節の結果から、50Gbit/s/ch 動作にフリップチップ接続技術は必須な技術であることが示せた。

4.5. フリップチップ実装単チャンネルEADFBレーザモジュールの設計

2.3節でも述べたように、本提案技術であるフリップチップ接続技術は3dB帯域、50GHz超級の帯域を目指す場合には単チャンネルのEADFBレーザにも有効な技術であることがシミュレーション結果から示されている。また、今後の400Gbit/s、1Tbit/s伝送では100Gbit/s/ch動作が必要になってくると考えられる。そこで、100Gbit/s/ch動作を目指したフリップチップ接続単チャンネルEADFBレーザモジュールの設計、製作を行った。本節ではフリップチップ接続単チャンネルEADFBレーザモジュールの設計について説明する。

4.3、4.4節ではEA変調器の長さの最適化により、50Gbit/s/chを達成することが出来た。今回、さらに高速な100Gbit/s/ch動作を実現するために下記の点の設計を見直した。

1. 高周波配線板内のRFビア不要なレーザサブアセンブリ構造の提案
2. パッケージによる帯域劣化を補償する終端回路設計技術の提案

まず、高周波配線板の構造見直しについて説明する。4.4節までで用いてきたフリップチップ実装高周波配線板は、下面信号線がEA変調器と金バンプを介して接しており、パッケージ上の高周波信号線とはワイヤによる接続とするため、上面信号線と接続する必要があった。このため、高周波配線板の上下信号線間を接続するRFビアが必要となっていた。しかし、RFビア部の伝送線路は理想的な50Ω線路ではないため、高周波特性の劣化要因となっていた。そこで、今回は、フリップチップ実装高周波配線板とパッケージ上信号線の間には別の高周波配線板を設けることで、フリップチップ実装高周波配線板の持つ信号線層を単層とし、RFビアが不要な構造になるよう設計した。図4.5.1は今回設計したEADFBレーザサブアセンブリの概略図である。図のように、高周波配線板の上面とEADFBレーザの上面の高さが一致するようにサブキャリアを設計した。レーザチップと高周波配線板の高さ誤差は最大20μm程度となるため、従来の熱圧着方式の接合を用いた場合には吸収できる高さ誤差(<10μm)が不足していたが、接着剤接合方式の適用により高さ誤差が20μm吸

収可能となったため本構造が実現可能になった。このサブアセンブリでは、高周波配線板と EADFB レーザチップ上に金バンプを配置し、終端抵抗付き高周波配線板をフリップチップ実装する構造となっている。本構造によって、高周波信号は、高周波配線板から、金バンプを介して終端抵抗付き高周波配線板へ伝わり、再度金バンプを介して、EA 変調器へと伝わるため、終端抵抗付き高周波配線板は下面信号線のみとなり、ビアが不要となる。

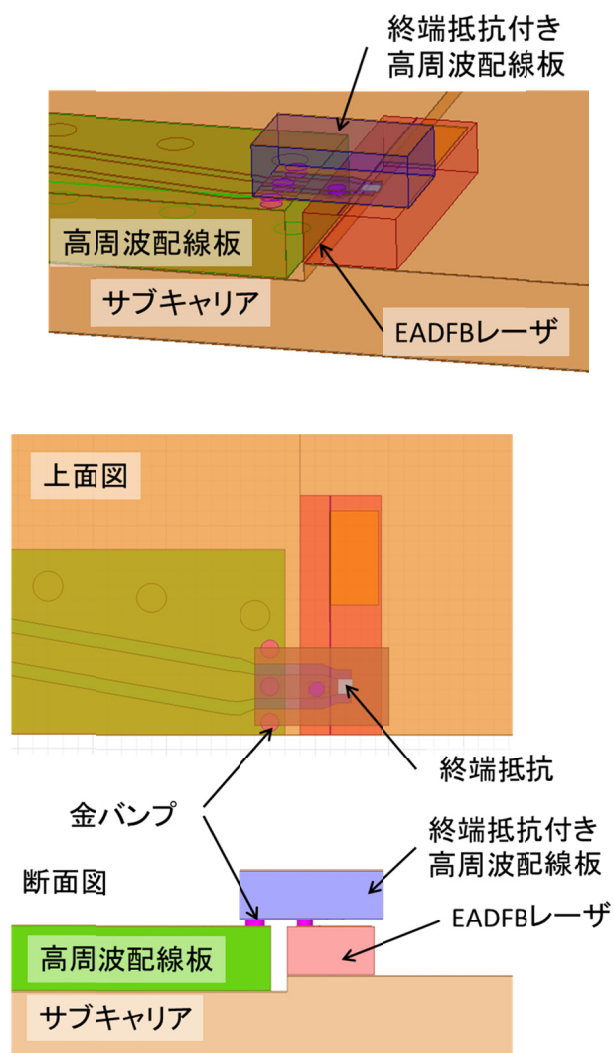


図 4.5.1 RF ビア不要な構造を有するフリップチップ接続 EADFB レーザサブアセンブリの概略図

次に、パッケージ特性を考慮した終端回路設計について説明する。図 4.5.2 はフリップチップ接続 EADFB レーザモジュールの等価回路モデルである。今までの 50Gbit/s/ch 級の帯域を目指した設計では、高周波コネクタを使った十分な帯域を持つパッケージを使う場合、パッケージ自身の特性はモジュール全体の特性にあまり影響していなかったため、赤線で囲われた EADFB レーザサブアセンブリの等価回路モデルを用いて設計を行っていた。しかし、100Gbit/s/ch 級の帯域を実現するためには、パッケージ部の帯域劣化も無視できないため、レーザアレイサブアセンブリでの回路設計の最適値が、モジュール全体としてみたときの最適値とは異なる可能性がある。そこで、今回はパッケージの周波数応答特性の実測値を等価回路モデルに取り込んだうえで、モジュール全体での周波数応答特性が平坦かつ、広帯域になるように、パッケージの特性劣化分を補償する終端回路設計を行った。

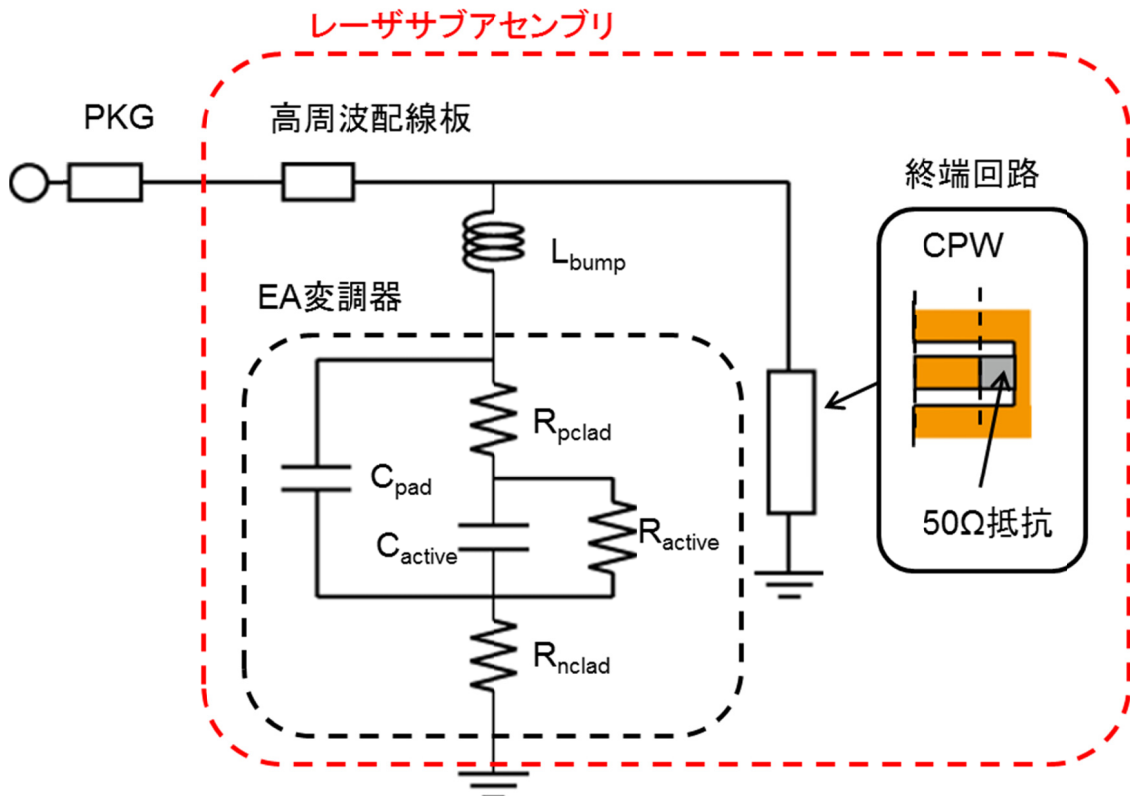


図 4.5.2 フリップチップ接続 EADFB レーザモジュールの等価回路モデル

図 4.5.3 に、今回用いた終端回路の配線パターン、および等価回路モデルを示す。従来型の終端回路はコプレーナ線路(CPW)と終端抵抗が直列につながり、終端抵抗は GND へつながる構成であった。しかし、今回用いた配線パターンは終端抵抗と GND の間にもコプレーナ線路を配置する構成とした。この終端抵抗と GND の間に配置されたコプレーナ線路は、特性インピーダンスを高くとることで、インダクタンス成分が強くなり、ショートスタブと呼ばれるパッシブ部品と同等の機能を果たすようになる。インダクタンス量の絶対値は線路長によって調整可能であり、インピーダンス線路のインダクタンス性の強弱はコプレーナ線路の信号線-GND の間の距離で調整可能である。本回路を用いて任意のピーキングを持たせることで、パッケージによる帯域劣化を補償することが可能となる。

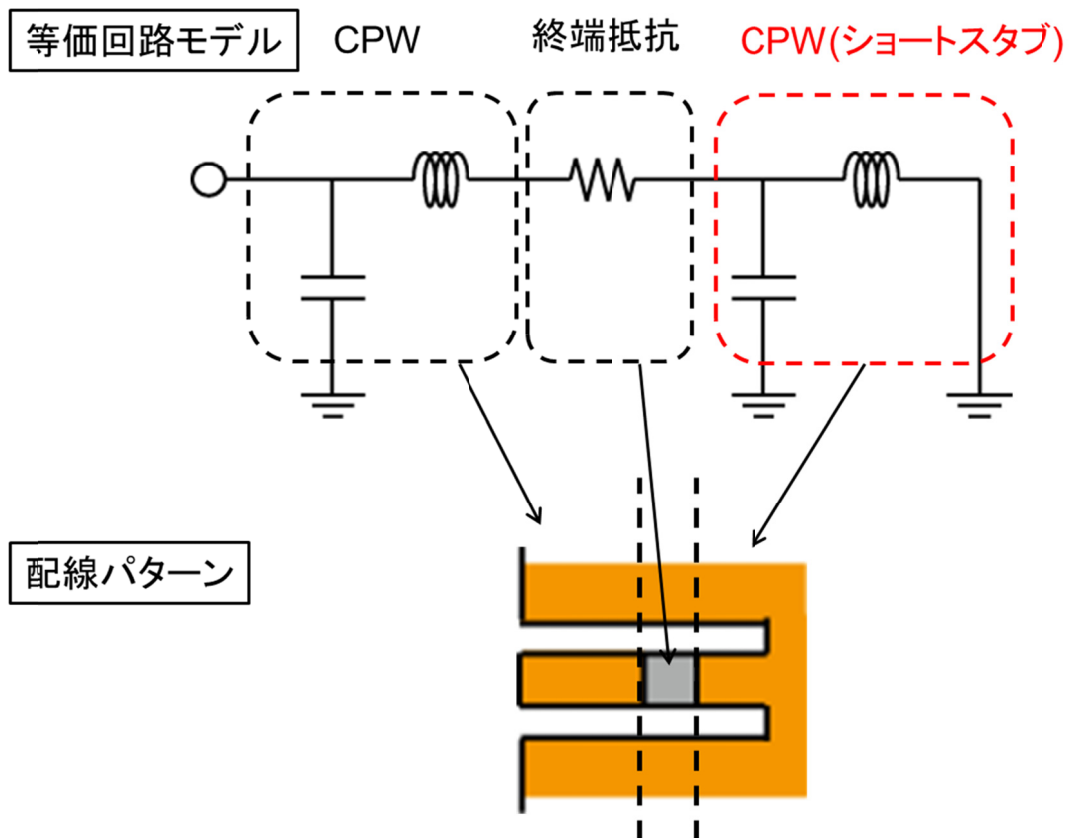


図 4.5.3 終端回路の等価回路モデルと配線パターン

図 4.5.2 に示された等価回路モデルを用いて、図 4.5.3 のショートスタブ集積終端回路を用いた時、サブアセンブリで平坦な周波数応答特性に成るように設計した場合と、モジュールで平坦な周波数応答特性になるように設計した場合での周波数応答特性を比較した。図 4.5.4、5 はそれぞれ、サブアセンブリと、モジュールの周波数応答特性の比較結果である。このとき、EA 長 $100\mu\text{m}$ での回路パラメータを用いてシミュレーションを行った。図 4.5.4 では、サブアセンブリとして最適化されている青線が 0dB ラインに沿った非常に平坦な周波数応答特性を示しており、モジュールとして最適化した場合(赤線)は、若干、ピーキングがかかった特性となっていることが分かる。しかし、図 4.5.5 のモジュール全体での特性を見ると、サブアセンブリでみたときに、若干、ピーキングを持つ特性であった、モジュールとして最適化した赤線の結果の方が、0dB ラインに沿った平坦な周波数応答特性となっていることが分かる。くわえて、3dB 帯域も、青線では 56GHz 付近であるのに対して、赤線は 60GHz 以上と広帯域化も実現していることが分かる。本シミュレーション結果から、提案型ショートスタブ集積終端回路はモジュール全体での周波数応答特性の改善に有効な技術であることが確認できた。

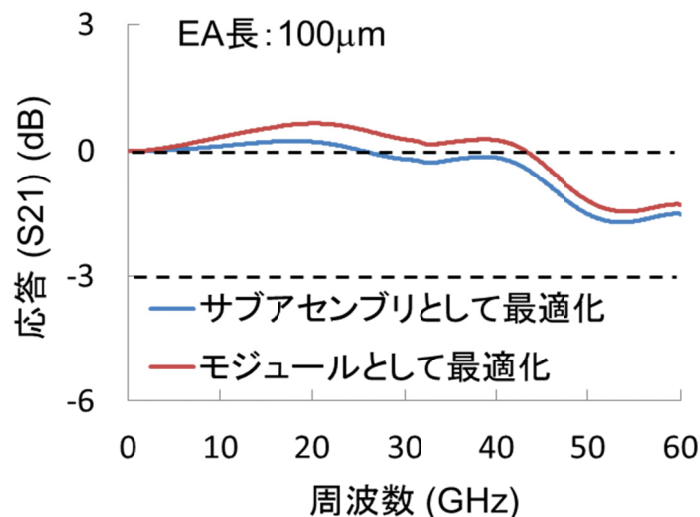


図 4.5.4 サブアセンブリの周波数応答特性シミュレーション結果

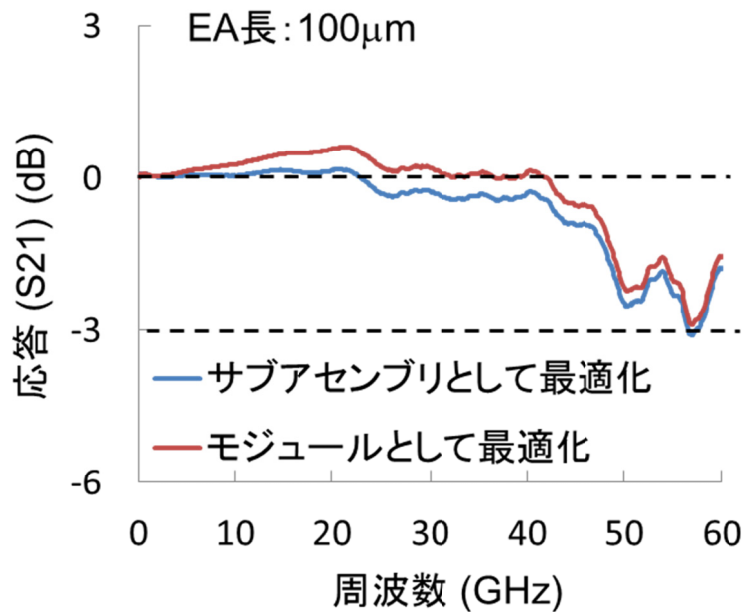


図 4.5.5 EADFB レーザモジュールの周波数応答特性シミュレーション結果

では、実際に EADFB レーザモジュールを作製したので説明する。図 4.5.6 は今回用いた EADFB レーザチップの写真である。チップ構造は今までに作製したアレイチップとほぼ同じ構造となっている。ただし、モニタ PD はチップ内に集積しない構造とした。EA 変調器は、BCB 埋め込みのリッジ導波路となっており、EA 長は 400Gbit/s 動作向けの 4.3、4 節で用いたアレイチップと同じ 100 μm とした。パッドサイズはボールボンダで金バンプが形成可能な 50 μm 角のサイズとし、極力パッド容量が小さくなるようにしている。また、吸収層は急峻な吸収特性と、高速性の律速要因となるホールパイルアップエフェクトが抑制可能な、引っ張り歪みの InGaAlAs 量子井戸層とした。DFB レーザの構造は EA 変調器と同様に BCB 埋め込みのリッジ導波路とし、活性層は圧縮歪みの InGaAlAs 量子井戸層とした。レーザ長は 350 μm で、波長安定性のため 1/4 λ シフトの回折格子を用いている。また、導波路出力は反射特性改善のため、7 度傾きとした。両端面は AR コートしている。

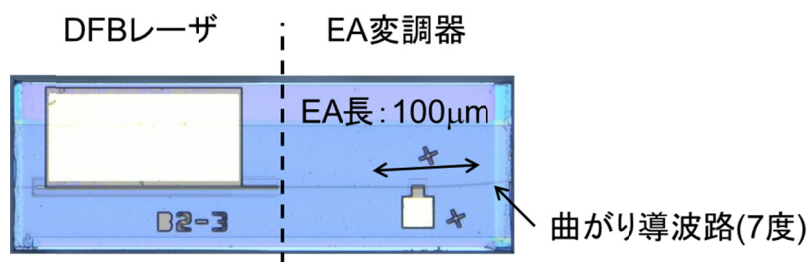


図 4.5.6 EADFB レーザチップの写真

先に示した EADFB レーザチップを用いて、フリップチップ接続 EADFB レーザサブアセンブリを作製した。図 4.5.7 は作製工程を示している。まず、サブキャリア上に高周波配線板と EADFB レーザチップを搭載する(図 4.5.7(a))。そして、EA 変調器電極と高周波配線板の接続部に金バンプを形成する。そして、金バンプを Si 基板で押しつけ、レベリングを行う(図 4.5.7(b))。最後に終端抵抗付き高周波配線板を、導電性接着剤接合方式フリップチップ実装することで完成となる(図 4.5.7(c))。完成したレーザサブアセンブリの上面からの拡大写真を図 4.5.8 に示す。DFB レーザの電極はサブキャリア上に配置した DC 配線へワイヤを用いて結線した。

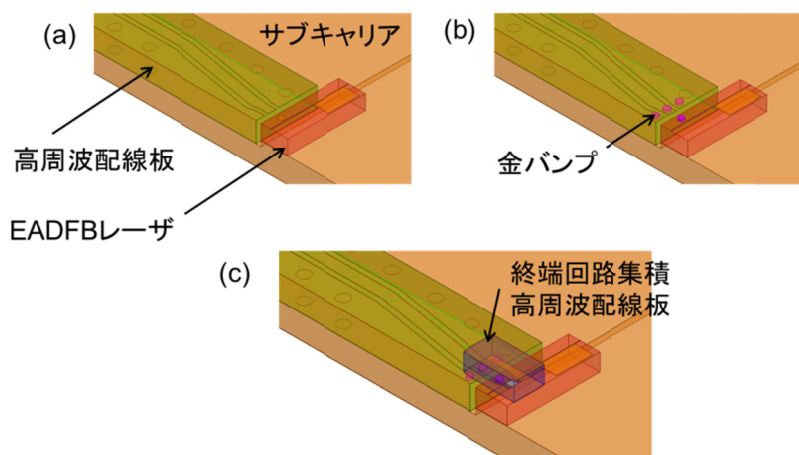


図 4.5.7 フリップチップ接続 EADFB レーザサブアセンブリの作製工程

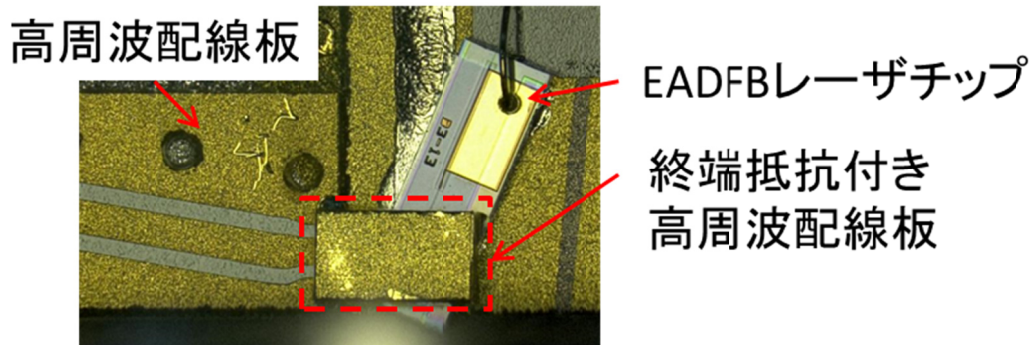


図 4.5.8 フリップチップ接続 EADFB レーザサブアセンブリの写真

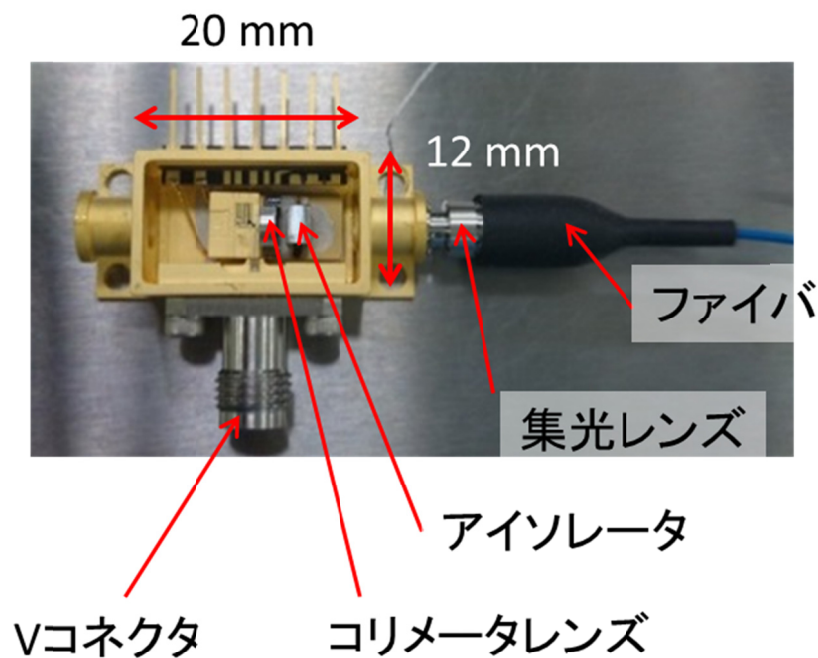
本節では、100Gbit/s/ch 級動作実現のために新たに導入した

1. 高周波配線板内の RF ビア不要なレーザサブアセンブリ構造
2. パッケージによる帯域劣化を補償する終端回路設計技術

について説明し、シミュレーションによる帯域改善効果を確認した。これらの技術を用いることで、モジュールとして 3dB 帯域 50GHz 以上実現が期待できる。次節では、本設計サブアセンブリのモジュール化、および、モジュールの動特性評価について説明する。

4.6. フリップチップ実装単チャネルEADFBレーザモジュールの評価

前節で作製したEADFBレーザサブアセンブリをパッケージに搭載し、EADFBレーザモジュールを作製した [4.8]。作製したモジュールの写真を図 4.6.1 に示す。高周波コネクタは、65GHzまで帯域が保証されている、Vコネクタを用いた。作製したモジュールは、写真のような長さ20mm、幅12mm、高さ8.1mmのパッケージに搭載している。パッケージ内部の高周波配線とサブアセンブリの高周波配線はリボンワイヤによって結線されている。レーザの出力はコリメータレンズ、アイソレータを通り、パッケージ外部に取り付けられた集光レンズを介して集光され、ピグテールファイバに結合される。



サイズ: 12 mm × 20 mm × 8.1 mm

図 4.6.1 フリップチップ接続 EADFB レーザモジュールの写真

まず、作製したモジュールのL-I特性を測定したので、図4.6.2に示す。チップ温度は40度一定とし、EA変調器は端子を開放にして測定を行った。しきい値電流は15mA、キンクのない良好なL-I特性が得られた。次に、スペクトル特性の測定結果を図4.6.3に示す。測定条件は、L-I特性の測定時と同様である。バイアス電流は50mAとした。発振ピーク波長は1305.04nm、SMSRは50dB以上と良好な単一モード発振を確認することが出来た。

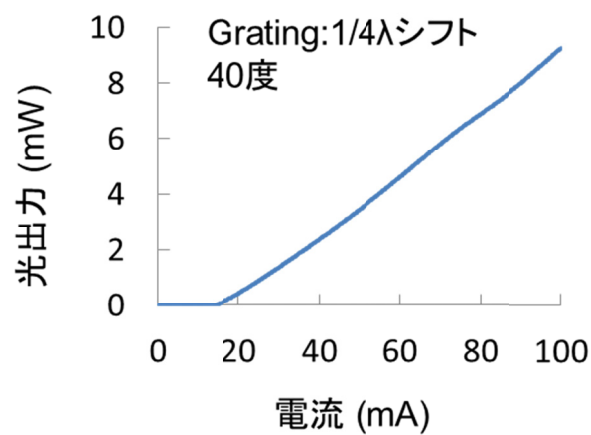


図 4.6.2 フリップチップ接続 EADFB レーザモジュールの L-I 特性

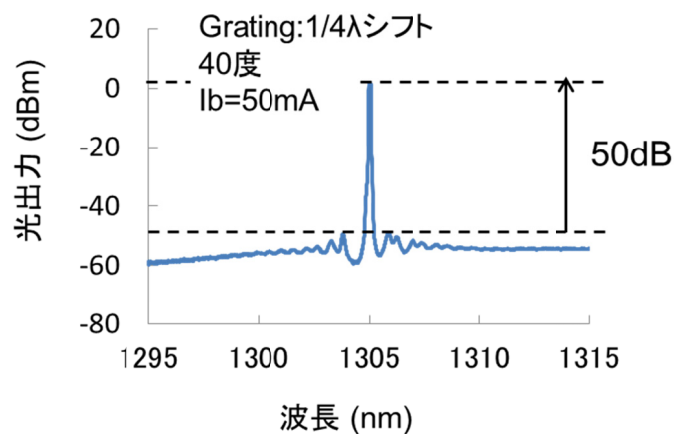


図 4.6.3 フリップチップ接続 EADFB レーザモジュールのスペクトル特性

作製したフリップチップ接続 EADFB レーザモジュールの E/O 応答特性、反射特性の実測値とシミュレーション結果の比較を行ったので、図 4.6.4、5 にそれぞれ示す。このとき、シミュレーションは図 4.5.2 のパッケージを含む等価回路モデルを用いており、グラフ中の結果は、図 4.5.5 の赤線である、モジュールとして最適化した結果と同様のデータである。また、実測値の測定条件は、チップ温度 40 度、バイアス電流 50mA、EA バイアス電圧-2.11V とした。EA のバイアス電圧はパッケージの外にバイアス T をつけて、そこから供給している。図 4.6.4 を見ると分かるように、実測値とシミュレーション結果は 25GHz 付近でのディップ以外、傾向が一致しており、作製したモジュールが設計通りに出来ていることが確認できた。実測の結果でも、45GHz まで 0dB に沿った非常に平坦な周波数応答特性を示しており、3dB 帯域も 56GHz と非常に広帯域なモジュールを実現した。25GHz 付近にあるディップはパッケージと高周波配線板の高さずれによって、パッケージ-高周波配線板間ワイヤの長さが長くなったために発生したものであり、高さを合わせることで解決可能である。

次に、図 4.6.5 の反射特性の結果を見る。こちらの結果はシミュレーション結果と比較して、実測値での反射特性が悪い結果となった。この点は、先に述べたパッケージと高周波配線板の高さずれによって、パッケージ-配線基板間ワイヤの長さが長くなったために起こったものと考えられる。また、25GHz 付近に発生しているディップの原因は、先の E/O 応答特性で説明した理由と同じである。実測の反射特性は、25GHz まで-10dB 以下、50GHz までは-5dB 以下、60GHz まででも-4dB 以下の反射特性であった。

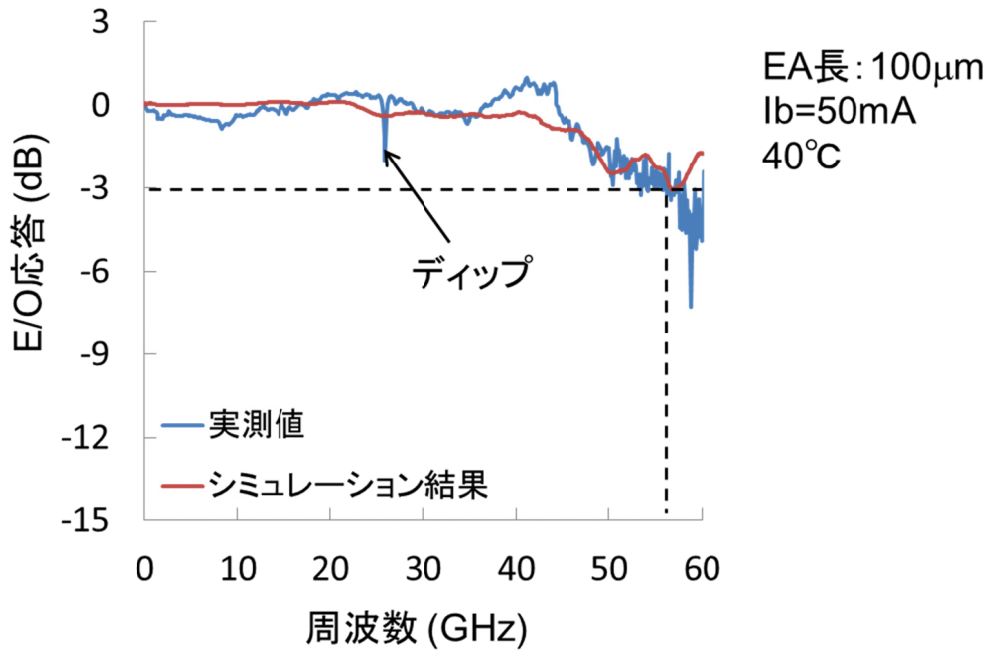


図 4.6.4 フリップチップ接続 EADFB レーザモジュールの E/O 応答特性

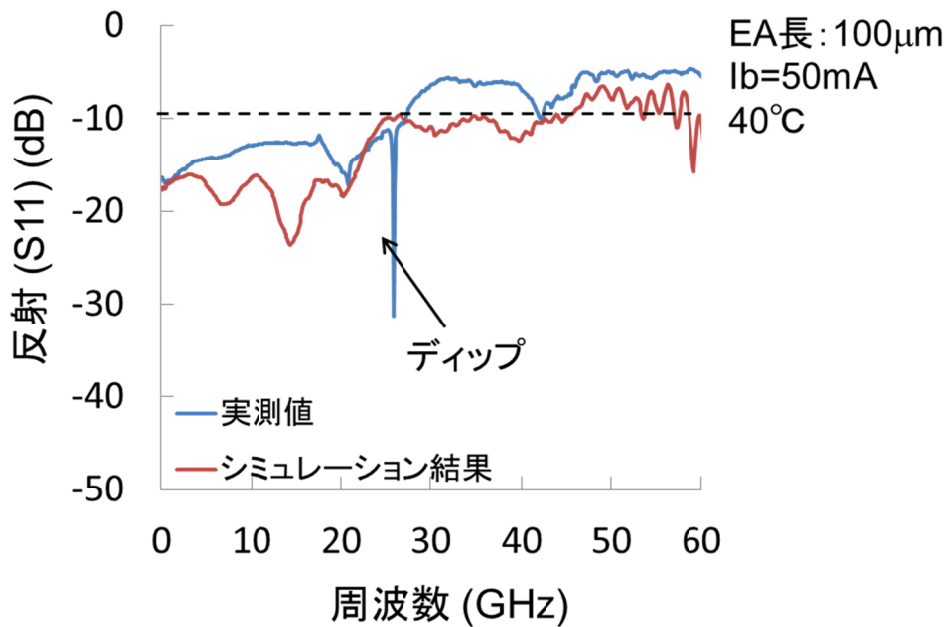


図 4.6.5 フリップチップ接続 EADFB レーザモジュールの反射特性

最後に、作製した広帯域フリップチップ接続 EADFB レーザモジュールを用いて、100Gbit/s/ch 級信号の変調実験を行った。まずは、103Gbit/s、NRZ 信号による変調実験を行った。図 4.6.6 は実験系を示している。4 チャンネルの PPG から出力された 25.78125Gbit/s の NRZ 信号は 2 台の 56Gbit/s 対応、2:1 電気マルチプレクサ(MUX)によって、2 チャンネル分の 51.5625Gbit/s、NRZ 信号に変換され、さらに、120Gbit/s 対応 2:1 電気 MUX によって 1 チャンネル分の 103.125Gbit/s、NRZ 信号に変換される。最後に、広帯域電気アンプで信号振幅電圧を 1.5Vpp にして EA 変調器を変調した。光信号はシングルモードファイバ(SMF)を伝搬した後、PDFA を介して光信号を増幅させている。これは、サンプリングオシロスコープでアイ波形を良好に確認できるレベルまで光信号強度を上げるためである。そして、ASE 光を取り除くための波長可変フィルタを通して、光可変アッテナータ(VOA)を介してパワーを調整した後、3dB 帯域、50GHz 以上の広帯域 PD [4.9] で電気信号に変換して、サンプリングオシロスコープで測定した。

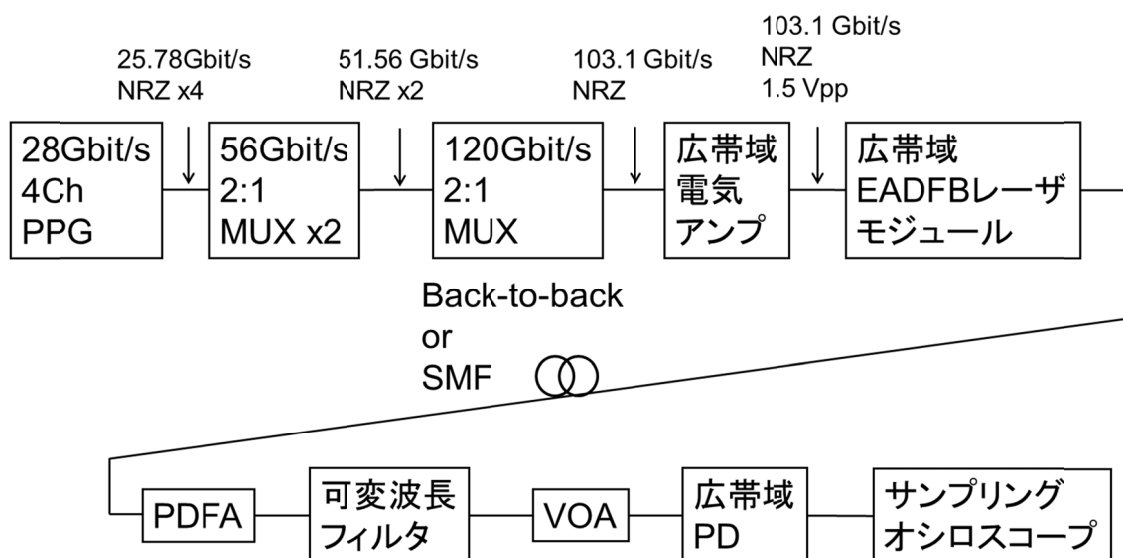


図 4.6.6 103Gbit/s、NRZ 信号の変調実験系

図 4.6.7 は、サンプリングオシロスコープで測定した電気信号波形と光信号のアイ波形を示したものである。電気信号は、先に述べたとおり、103Gbit/s、NRZ 信号、PRBS $2^{31}-1$ 、信号振幅電圧 1.5Vpp とした。また、チップ温度は 40 度一定、DFB レーザのバイアス電流は 50mA、EA 変調器のバイアス電圧は -2.11V とした。Back-to-back の光信号波形をみるとわかるように、消光比 6.3dB の非常に良好なアイ開口を確認することができた。また、シングルモードファイバ、10km、30km 伝送後のアイ波形をみてみると、10km では良好なアイ開口が確認でき、30km 伝送後もアイ開口が確認できた。結果から、103Gbit/s NRZ 信号の 30km 伝送の可能性を確認することができた。

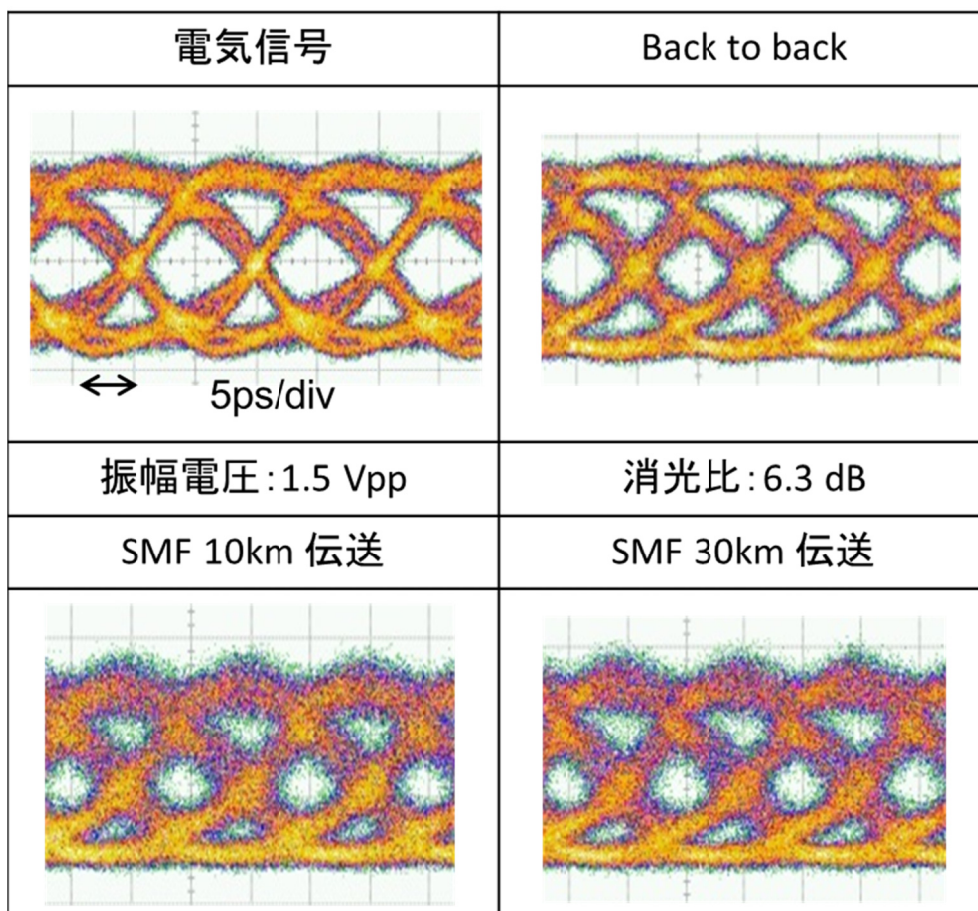


図 4.6.7 103Gbit/s NRZ 信号のアイ波形

次に、56Gbaud、4-PAM(4-level pulse amplitude modulation)信号による変調実験を行った。4-PAM 信号とすることで、1パルスごとに4値の信号、つまり2bitの信号を送送できるため、56Gbaud、4-PAM 信号は112Gbit/sの信号伝送を実現できる。図4.6.8は実験系を示している。今回は、ボーレート56Gbaudとするため、56Gbit/s 2:1 MUXから出力される信号は56Gbit/s NRZ信号となるようにした。その後、60Gbaud級の3bit DACを用いて、56Gbit/s NRZ信号、2チャンネル分を、56Gbaud、4-PAM信号、1チャンネル分に変換した。また、DACではEA変調器の非線形性を補償するような電気信号となるよう、各信号レベルの調整を行った。この点について、図4.6.9を使って説明する。左下の青線はEA変調器の消光特性を示している。このように、EA変調器は電圧に対して、非線形な消光特性を示す。そこで、光信号の0-1レベル間、1-2レベル間、2-3レベル間が均一に成るように電気信号の各レベルの振幅電圧を調整した。右上に示すアイ波形が入力の電気信号波形である。電気信号では、0-1レベルと2-3レベルの振幅を0.62Vpp、1-2レベル間を0.49Vppとした。右下に示す光信号のアイ波形を見るとわかるように、0-1レベル間、1-2レベル間、2-3レベル間の開口が均一になっていることから、電気信号の調整によって、EA変調器の非線形特性を補償できていることが確認できた。

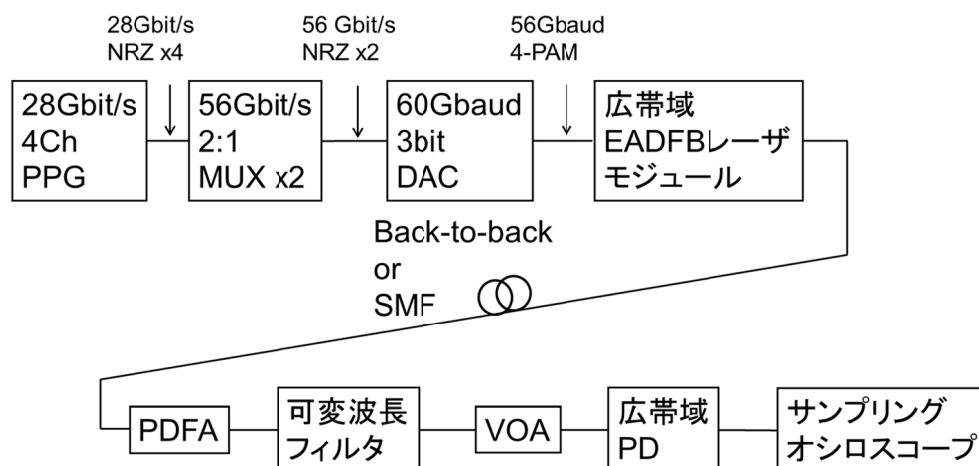


図 4.6.8 56Gbaud 4-PAM 信号の変調実験系

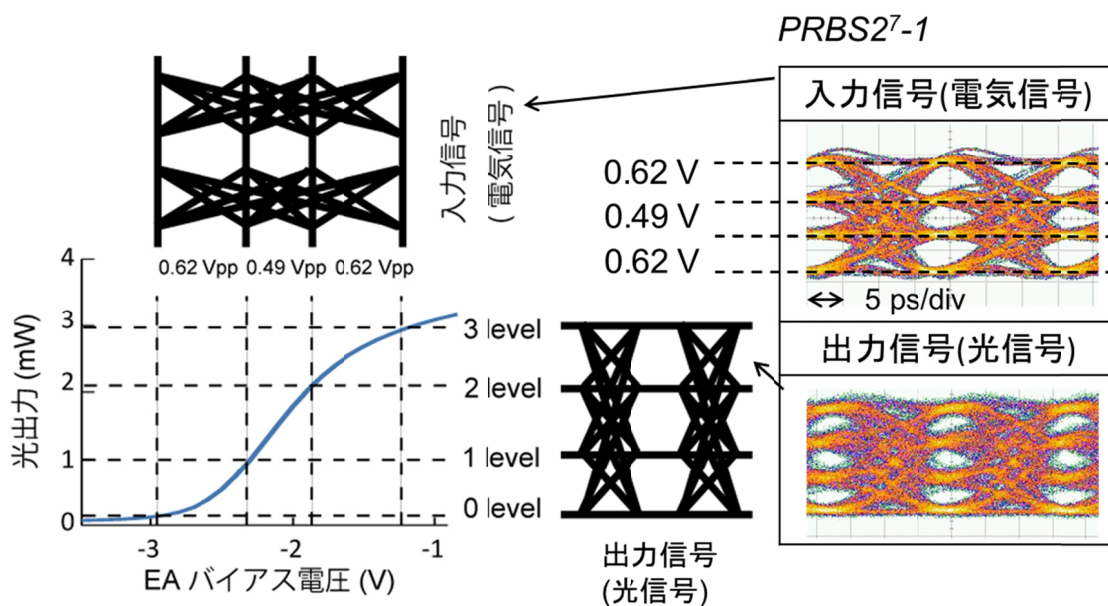


図 4.6.9 EA 変調器の消光特性と 56Gbaud、4-PAM 信号の電気信号波形

図 4.6.10 は 56Gbaud、4-PAM の電気信号、および、Back-to-back、シングルモードファイバ 10、30km 伝送後のアイ波形を示した物である。Back-to-back では、0-3 レベル間での消光比が 8dB 以上の良好なアイ開口が確認できた。このことから、本モジュールは 56Gbaud、4-PAM 信号の生成に十分な帯域と、十分に平坦な周波数応答特性で有ることが確認できた。また、シングルモードファイバ 10、30km 伝送後も良好なアイ開口が確認できたことから、56Gbaud、4-PAM 信号のシングルモードファイバ 30km 伝送の可能性を示すことが出来た。

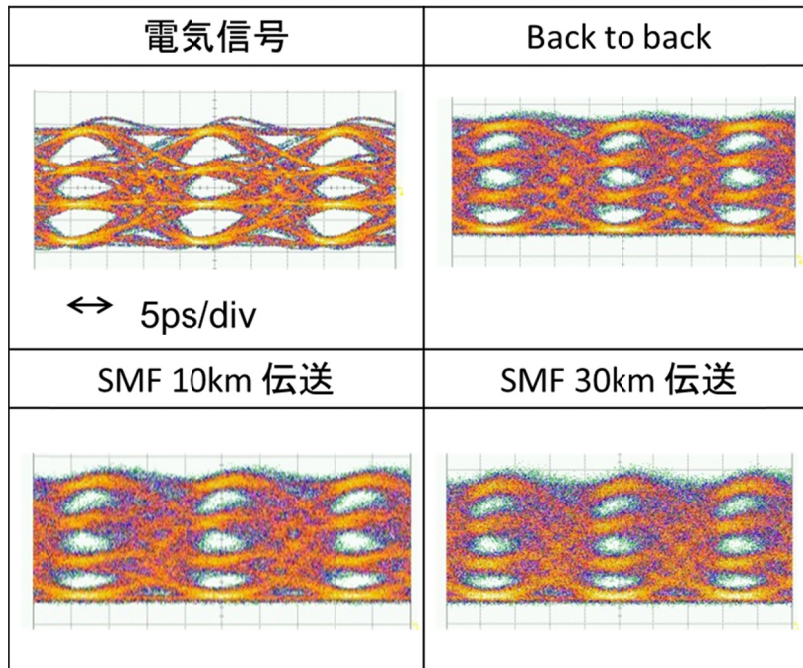


図 4.6.10 56Gbaud 4-PAM 信号のアイ波形

RF ビア不要なサブアセンブリ構造の適用と、パッケージ特性補償のための終端回路設計技術の導入によって、100Gbit/s/ch 動作可能なフリップチップ接続 EADFB レーザモジュールを実現することが出来た。また、本節の結果より、3dB 帯域 50GHz を超える非常に高速な領域では、単チャンネルモジュールでも、フリップチップ接続技術が必須な技術となることが実測からも示された。

参考文献

- [4.1] <http://www.ieee802.org/3/ba/>
- [4.2] ITU-T Recommendation G.709/Y.1331, 2010.
- [4.3] S. Kanazawa, T. Fujisawa, N. Nunoya, A. Ohki, K. Takahata, H. Sanjoh, R. Iga, and H. Ishii, “Compact flip-chip interconnection 112-Gbit/s EADFB laser array module with high eye-mask margin,” *Journal of Lightwave Technology*, vol. 32, no. 1, pp. 115-121, 2014.
- [4.4] S. Kanazawa, T. Fujisawa, A. Ohki, K. Takahata, H. Sanjoh, R. Iga and H. Ishii, “Compact flip-chip interconnection 8×50 Gbit/s EADFB laser array module for 400 Gbit/s transceiver,” *Electronics Letters*, vol. 50, no. 7, pp. 533-534, 2014.
- [4.5] S. Kanazawa, T. Fujisawa, H. Ishii, K. Takahata, Y. Ueda, R. Iga, and H. Sanjoh, “High-speed (400 Gb/s) eight-channel EADFB laser array module using flip-chip interconnection technique,” *Journal of Selected Topics in Quantum Electronics*, vol. 21, no. 6, 1501106, 2015.
- [4.6] S. Kanazawa, T. Fujisawa, K. Takahata, Y. Ueda, H. Ishii, R. Iga, W. Kobayashi, and H. Sanjoh, “Flip-chip interconnection technique for beyond 100-Gbit/s (4×25.8 -Gbit/s) EADFB laser array transmitter,” *Journal of Lightwave Technology*, DOI: 10.1109/JLT.2015.246272, 2015.
- [4.7] Y. Ueda, T. Fujisawa, K. Takahata, M. Kohtoku, and Hiroyuki Ishii, “InP-based compact transversal filter for monolithically integrated light source array,” *Optics Express*, vol. 22, no. 7, pp. 7844-7851, 2014.
- [4.8] S. Kanazawa, T. Fujisawa, K. Takahata, T. Ito, Y. Ueda, W. Kobayashi, H. Ishii, and H. Sanjoh, “Flip-Chip interconnection lumped-electrode EADFB laser for 100-Gb/s/ λ transmitter,” *Photonics Technology Letters*, vol.27, no.16, pp.1699-1701, 2015.

- [4.9] Y. Muramoto and T. Ishibashi, "InP/InGaAs pin photodiode structure maximising bandwidth and efficiency," *Electronics Letters*, vol. 39, no. 24, pp. 1749-1750, 2003.

第5章 結論

本章では、5.1 節に本論文のまとめ、5.2 節に将来展望についてを記す。

5.1. まとめ

本研究では、今後の光通信用モジュールの多チャネル・高速化の流れに対応すべく、高密度高速配線実装技術の検討を進めてきた。従来実装技術である、ワイヤ接続技術、フリップチップ実装技術の光送信モジュール適用時の課題について考察するとともに、これら課題を解決すべく、光半導体モジュールに適したフリップチップ実装技術として、新たに「フリップチップ接続技術」を提案し、本技術を適用した光送信モジュールの高速化について研究を行った。

1. 直接変調 DFB レーザモジュールへのフリップチップ接続技術の適用 (第 3 章)

1.1. フリップチップ接続に適した構造を有する直接変調 DFB レーザの 25.8Gbit/s 動作 (第 3.1～3.3 節)

直接変調 DFB レーザアレイへのフリップチップ接続技術適用に向けて、下記のような特徴を有するデバイス構造の提案を行った。

- ・フリップチップ接続に適したチップ上面から p,n、両電極が取り出せる構造
- ・アレイ化の際に基板側からのクロストークを低減するための、半絶縁性 InP 基板上、チャンネル間電気分離溝付き構造

本構造を適用した直接変調 DFB レーザを作製し、25.8Gbit/s/ch 動作可能であることを確認した。また、本デバイスへのフリップチップ実装技術適用時に、ワイヤ接続と比較して 1GHz 程度ではあるが、3dB 帯域が改善されることも確認した。

1.2. 合波器集積 4 チャネル DFB レーザアレイモジュールの 100Gbit/s (4×25.8Gbit/s/ch) 動作 (第 3.4、3.5 節)

4 チャンネル分の DFB レーザアレイと光合波器をモノリシック集積したチップを光源とし、ワイヤ接続技術を適用した小型 TOSA(Transmitter Optical Sub-Assembly)を作製し、100Gbit/s (4 チャンネル×25.8Gbit/s/ch) 動作可能であることを確認した。また、30km 伝送時もエラーフリーであることを確認した。

直接変調 DFB レーザについては、本論文では 25.8Gbit/s/ch 動作までの検討となったため、ワイヤ接続と比較して、フリップチップ接続化することによる帯域改善の優位性はわずかであった。この点は、今後の直接変調 DFB レーザ自身のさらなる高速化によって、フリップチップ接続化による優位性が顕著になると考えられる。

2. EADFB レーザモジュールへのフリップチップ接続技術の適用 (第 4 章)

2.1. 4 チャンネル EADFB レーザアレイモジュールの 112Gbit/s (4×28Gbit/s/ch) 動作 (第 4.1、4.2 節)

フリップチップ接続技術を適用した、合波器集積 4 チャンネル EADFB レーザアレイモジュールを作成し、112Gbit/s (4 チャンネル×28Gbit/s/ch) 動作可能であることを確認した。このとき同時に作成した、三次元配線構造ワイヤ接続モジュールと比較して、フリップチップ接続モジュールの方が、周波数応答特性が平坦、広帯域、かつ低クロストークであることを確認した。これらの優位性は、光信号波形の品質指標である、アイマスクテストのマスクマージンの差としても十分に確認できるものであった。

2.2. 8 チャンネル EADFB レーザアレイモジュールの 400Gbit/s (8×50Gbit/s/ch)動作 (第 4.3、4.4 節)

112Gbit/s 動作モジュールと比較して、チャンネル数は 4 から 8 に、1 チャンネルあたりのビットレートも 28Gbit/s から 50Gbit/s に高速化する必要があった。そこで、下記の 2 点の改良を行った。

・チャンネル数増大に対応するために、金バンプと高周波配線間の接合方法を熱圧着接合方式から導電性接着剤接合方式へ変更

・高周波特性を改善するために、EA 変調器の長さを最適化(150→100 μm へ短尺化)

これらの設計方針により、400Gbit/s (8 チャンネル×50Gbit/s/ch) 動作時でも良好なアイ開口を得ることができた。また、三次元配線構造ワイヤ接続を適用した場合の周波数応答のシミュレーション結果では、EA 長を 75 μm まで短尺化しても目標値に到達しなかったことから、50Gbit/s/ch 級動作にはフリップチップ接続技術が必須であることも確認した。

2.3. EADFB レーザモジュールの 100Gbit/s (1×100Gbit/s/ch) 動作 (第 4.5、4.6 節)

400Gbit/s 動作モジュールと比較して、1 チャンネルあたりのビットレートを 50Gbit/s から 100Gbit/s に高速化するために下記の点を改良した。

・高周波配線板内の RF ビアが不要となるサブアセンブリ構造の適用

・パッケージによる周波数応答特性劣化を補償可能な終端回路設計技術の導入

これらの技術により、3dB 帯域で 56GHz と非常に広帯域な EADFB レーザモジュールを実現することができた。また、100Gbit/s/ch 信号伝送実験として、103Gbit/s、NRZ 信号、56Gbaud、4-PAM 信号、両フォーマットでの変調実験を行い、ともに 10km 伝送後も良好なアイ開口を確認することができた。

図 5.1.1 は各節で設計した EADFB レーザアレイサブアセンブリの周波数応答特性のシミュレーション結果をまとめたものである。青線は、100Gbit/s 動作向け、三次元配線構造ワイヤ接続 4 チャンネル EADFB レーザアレイサブアセンブリ(2.1 節)、赤線は 112Gbit/s 動作フリップチップ接続 4 チャンネル EADFB レーザアレイサブアセンブリ(4.1 節)、緑線は 400Gbit/s 動作フリップチップ接続 8 チャンネル EADFB レーザアレイサブアセンブリ(4.3 節)、そして、紫線が 100Gbit/s/ch 動作フリップチップ接続単チャンネル EADFB レーザサブアセンブリ(4.5 節)である。各サブアセンブリの 3dB 帯域は、それぞれ、28、47、52、そして

60GHz 以上である。上記に示したとおり、各節でのキー技術適用により着実に広帯域化がすすんできたことがわかる。また、フリップチップ接続化が広帯域化に大きく貢献していることもわかった。

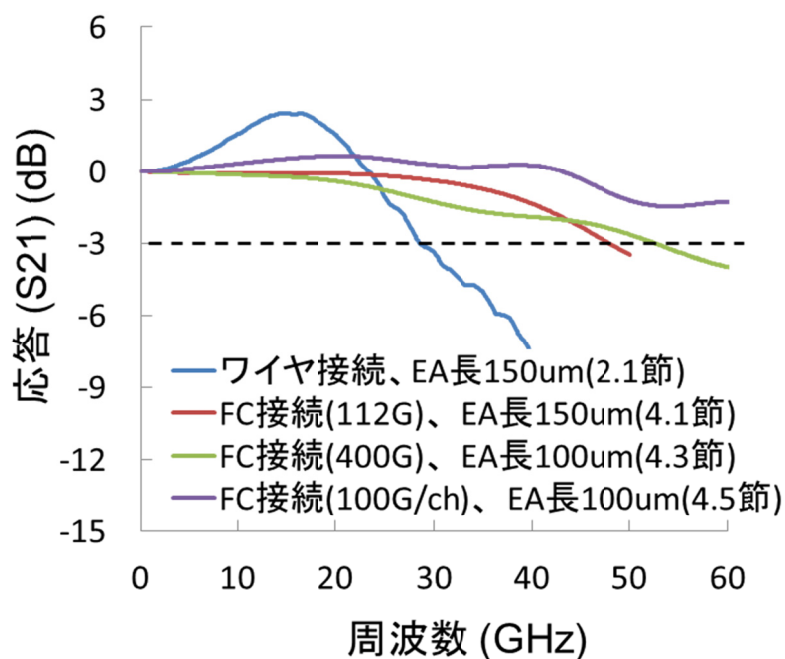
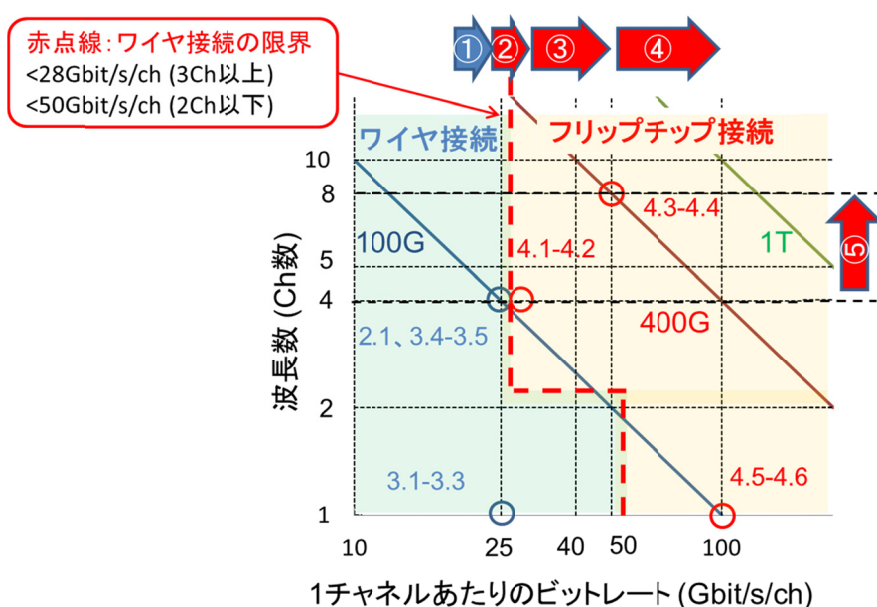


図 5.1.1 各節で設計したサブアセンブリの周波数応答特性シミュレーション結果の比較

以上の結果から、本提案であるフリップチップ接続技術は 100Gbit/s 超級(28Gbit/s/ch 超級)多チャネル光送信器、ならびに 100Gbit/s/ch 超級の単チャネル光送信器に有用な技術であることを示した。

最後に本論文の成果を、横軸を信号のビットレート、縦軸をチャンネル数としたグラフにまとめたので図 5.1.2 に示す。ワイヤ接続技術の限界は、1~2 チャンネルであれば、0.15mm のワイヤ長で全てのチャンネルが結線可能であるため、図 2.3.5、6 に示されるとおり 3dB 帯域で 50GHz 程度まではフリップチップ接続と大差ない特性が実現できる。また、3 チャンネ

ル以上のアレイデバイスでも三次元配線構造を適用することで図 5.1.1 に示されるとおり、3dB 帯域、28GHz までは実現可能である。サブアセンブリでの目標を 3dB 帯域がビットレートと同等となることとすると、ワイヤ接続の限界は 1~2 チャンネルで 50Gbit/s/ch、3 チャンネル以上で 28Gbit/s/ch といえる。これ以上の領域ではフリップチップ接続技術が有効である。なお、チップ内のピッチ間隔を十分に広くとれない場合は、クロストーク低減のために、フリップチップ接続化が必要となる境界線はより低いビットレートからになる可能性がある。これは 4.1、2 節で説明したとおりである。



広帯域化のキー技術

- ①25.8Gbit/s/chへ (2.1節)
・ワイヤ接続三次元配線構造の適用
- ②25.8→28Gbit/s/chへ (4.1節)
・フリップチップ接続技術の適用
- ③28→50Gbit/s/chへ (4.3節)
・EA変調器長の最適化
- ④50→100Gbit/s/chへ (4.5節)
・RFビア不要な実装構造の適用
・終端基板回路設計技術の

マルチチャンネル化のキー技術

- ⑤8チャンネル化 (4.3節)
・導電性接着剤接合方式への変更

図 5.1.2 本論文の成果まとめと、各接続技術の適用領域

5.2. 今後の展開

本論文では、光送信モジュールの小型化を目指してアレイデバイスを用いた光源として検討を進めてきた。広帯域化については 100Gbit/s/ch、多チャンネル化については 8 チャンネルまで実現した。今後も、通信トラフィックの増大に伴い、通信容量の拡大は急激に進んでいくものと考えられ、あわせてトランシーバの小型化要求に伴い、光送信モジュールの小型化も必要となってくると考えられる。この流れに対して、本節では、今後の展開を記し、本論文の締めとする。

小型・高速化の軸としては下記のものあげられる。

- ・多チャンネル化
- ・1チャンネルあたりのビットレートの高速化
- ・小型化

まずは、多チャンネル化について述べる。チャンネル数の増大により通信容量も線形的に増加させることが可能である、しかし、チャンネル数の増大は、光源、ドライバ数の増大につながるため、消費電力の増大、光送信モジュールの大型化につながる問題がある。特に、今回ターゲットとしている、数 km から、数十 km の伝送距離向けでは、伝送ロスを考えて、ある程度の光出力を必要とするため、光送信モジュール全体の消費電力における、光源および付随する電力(TEC)の占める割合が非常に大きい。そのため、チャンネル数の増大は光送信モジュールの消費電力増大に大きく影響する。図 5.2.1 にチャンネル数に対して、光送信モジュールがどの程度の消費電力となるかを試算した結果を示す。光送信モジュールの消費電力は主に LD 駆動電力、TEC、DriverIC の三つで構成される。LD の駆動条件は、1チャンネルあたり、バイアス電流 60mA、電圧 1.37V とした。TEC は全チャンネルの LD 駆動電力を吸熱量とし、吸熱量の 1.66 倍の電力が TEC の電力とした。DriverIC は 1チャンネルあたり、0.2W とした。たとえば、CFP4 のような、小型の光トランシーバに搭載するためには、光送信モジュールの消費電力は、少なくとも 3.5~4W 以下とする必要があると予想される。よって、チャンネル数は 8~10 が限界であるといえる。

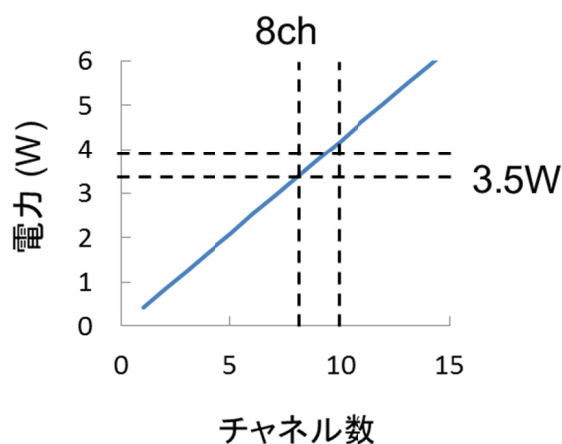


図 5.2.1 光送信モジュールの消費電力のチャンネル数依存に関する試算

次に、1チャンネルあたりの高速化について述べる。先に述べたとおり、チャンネル数は8～10チャンネルが限界であると考えられるため、さらなる高速化には1チャンネルあたりの高速化が必要不可欠である。2.3節で述べたとおり、本論文の検討結果を用いることで3dB帯域100GHzまでは到達の可能性がある。さらなる高速化には、EA変調器の寄生容量をさらに低減する新たな構造や、EA変調器そのもののE/O応答特性も改善が必要になってくると考えられる。これに、PAM信号など、多値化技術を組み合わせて1チャンネルあたりのさらなる高速化を進めていくものと思われる。

最後に、小型化について述べる。アレイデバイスを光源とすることで、小型化を実現してきたが、さらなる小型化のためには、アレイデバイスのチャンネル間ピッチの狭小化が必要である。しかし、ピッチの狭小化はチャンネル間クロストーク増大につながる問題がある。そこで、本論文で検討をすすめてきた、三次元配線構造ワイヤ接続、RFビアありフリップチップ接続、RFビアなしフリップチップ接続の三種類での接続部クロストークのピッチ依存性を三次元電磁界解析シミュレータによって見積もり、そこからどの程度のピッチ狭小化が可能か、検討した。三次元配線構造ワイヤ接続と、RFビアありフリップチップ接続の

シミュレーションモデルは図 4.1.7、8 を用いた。RF ビアなしフリップチップ接続のシミュレーションモデルは図 5.2.2 の通りである。高周波配線板の厚さ、電極長、金バンプのサイズなどは図 4.1.8 の RF ビアありフリップチップ接続のモデルと同じにあわせてある。

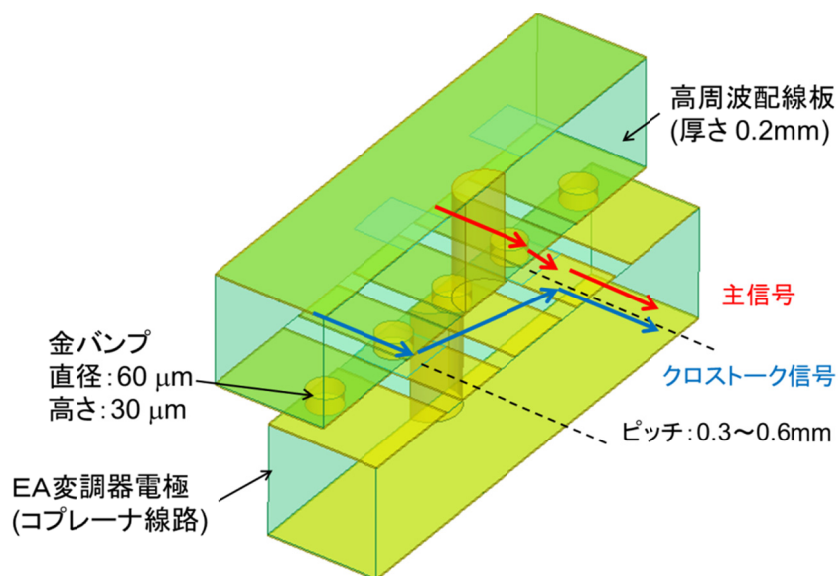


図 5.2.2 RF ビアなしフリップチップ接続の接続部クロストークのシミュレーションモデル

チャンネル間クロストーク特性のピッチ依存性の結果を示す。図 5.2.3、4、5 はそれぞれ、ワイヤ接続、RF ビアありフリップチップ接続、RF ビアなしフリップチップ接続の結果である。4.1、2 節での結果から、クロストーク -35dB 以下であればクロストークの影響を受けるが動作可能であり、 -40dB 以下であればクロストークの影響はほぼ受けないと考えられる。そこで、これらの値を基準に結果を考察する。まず、ワイヤ接続の結果では、 -35dB レベルを基準とした場合、ピッチ 0.6mm で帯域 20GHz 、 0.3mm では 10GHz 程度しか対応できないことがわかった。本技術は今後の高速化、小型化には対応が困難であるといえる。次に、RF ビアありフリップチップ接続の結果を見る。 -35dB レベルを基準とした場合、

ピッチ 0.6mm では帯域 40GHz、0.3mm では 32GHz まで対応可能であることがわかった。以上より、RF ビアありフリップチップ接続構造は、帯域 40GHz までであれば対応可能であり、帯域 32GHz までであれば大幅に小型化することも可能であることがわかった。最後に、RF ビアなしフリップチップ接続の結果を見る。-35dB 以下のレベルであれば、大幅に小型化が可能なピッチ 0.3mm でも帯域 50GHz まで対応可能である。また、-40dB 以下のレベルでも、ピッチ 0.5mm までの小型化であれば帯域 50GHz でも満たすことができる。以上の結果から、RF ビアなしフリップチップ接続技術の適用で、帯域 50GHz 級でもほぼクロストークの影響を排除することが可能であり、大幅な小型化の可能性もあることも示せた。なお、本結果は実装技術に依存して変化する、接続部のみのクロストーク評価結果であり、半絶縁性基板上の光源チップを用いることによるチップ内のクロストーク低減など、その他のクロストーク低減技術と組み合わせることで、さらなる小型化の可能性もある。

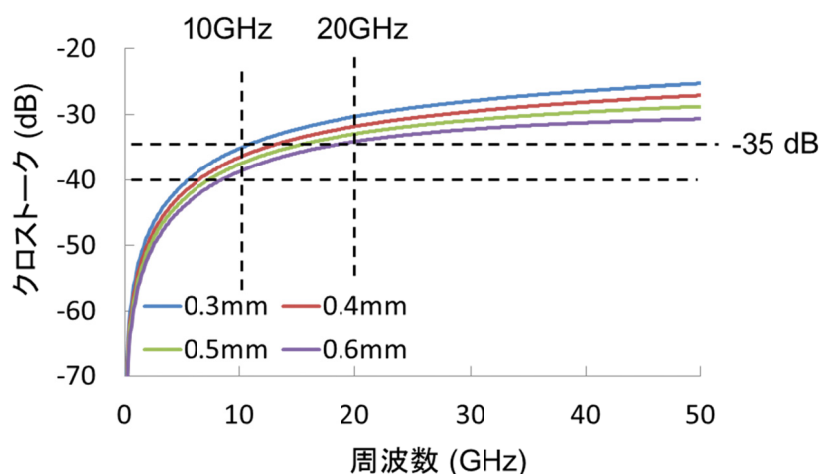


図 5.2.3 三次元配線構造ワイヤ接続の接続部クロストーク特性

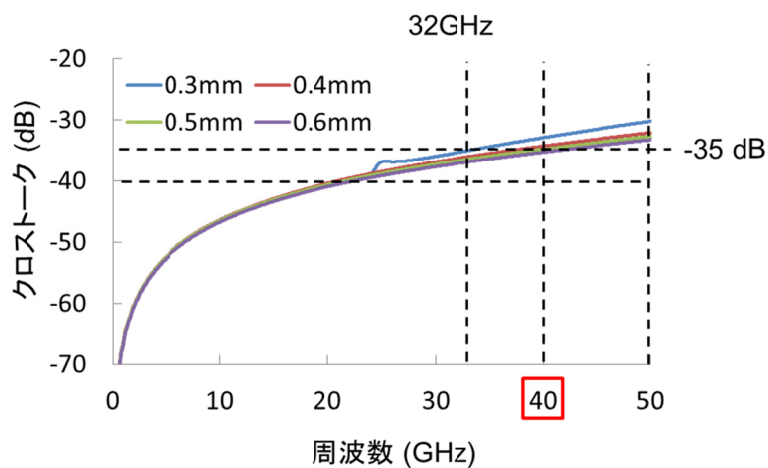


図 5.2.4 RF ビアありフリップチップ接続の接続部クロストーク特性

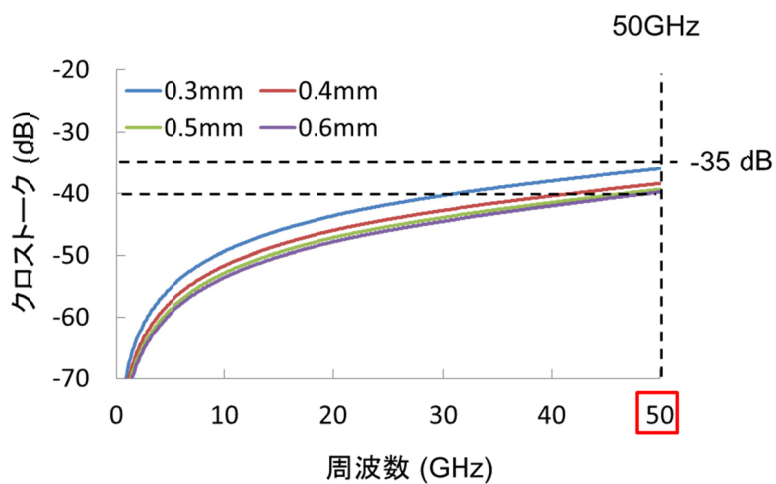


図 5.2.5 RF ビアなしフリップチップ接続の接続部クロストーク特性

以上の内容から、今後の展開は 8~10 チャンネル以下のアレイデバイスを光源とし、RF ビアなしフリップチップ接続技術を用いることで、小型、低消費電力な 1Tbit/s 級の光送信モジュール実現が期待される。

本論文に関する発表

論文リスト

1. **Shigeru Kanazawa**, Takeshi Fujisawa, Akira Ohki, Hiroyuki Ishii, Nobuhiro Nunoya, Yoshihiro Kawaguchi, Naoki Fujiwara, Kiyoto Takahata, Ryuzo Iga, Fumiyoshi Kano, and Hiromi Oohashi, "A compact EADFB laser array module for a future 100-Gbit/s Ethernet transceiver," Journal of selected topics in Quantum Electronics, vol. 17, no. 5, pp. 1191-1197, Sep. 2011. (Invited paper)
2. **Shigeru Kanazawa**, Takeshi Fujisawa, Nobuhiro Nunoya, Akira Ohki, Kiyoto Takahata, Hiroaki Sanjoh, Ryuzo Iga, and Hiroyuki Ishii, "Ultra-Compact 100GbE transmitter optical sub-assembly for 40-km SMF transmission," Journal of Lightwave Technology, vol. 31, no. 4, pp. 602-608, Feb. 2013.
3. **Shigeru Kanazawa**, Takeshi Fujisawa, Nobuhiro Nunoya, Akira Ohki, Kiyoto Takahata, Hiroaki Sanjoh, Ryuzo Iga, and Hiroyuki Ishii, "Compact flip-chip interconnection 112-Gbit/s EADFB laser array module with high eye-mask margin," Journal of Lightwave Technology, vol. 32, no. 1, pp. 115-121, Jan. 2014.
4. **Shigeru Kanazawa**, Takeshi Fujisawa, Akira Ohki, Kiyoto Takahata, Hiroaki Sanjoh, Ryuzo Iga, and Hiroyuki Ishii, "Compact flip-chip interconnection 8 x 50-Gbit/s EADFB laser array module for 400-Gbit/s transceiver," Electronics Letters, vol. 50, no. 7, pp. 533-534, Mar. 2014.
5. **Shigeru Kanazawa**, Toshio Ito, Tomonari Sato, Ryuzo Iga, Wataru Kobayashi, Kiyoto Takahata, Hiroaki Sanjoh, and Hiroyuki Ishii, "Flip-chip mounted 25.8-Gb/s directly modulated InGaAsP DFB laser with Ru-doped semi-insulating buried heterostructure," IEICE Electronics Express, vol.12,

no.1, pp.1-4, Dec. 2014.

6. **Shigeru Kanazawa**, Takeshi Fujisawa, Hiroyuki Ishii, Kiyoto Takahata, Yuta Ueda, Ryuzo Iga, and Hiroaki Sanjoh, “High-speed (400 Gb/s) eight-channel EADFB laser array module using flip-chip interconnection technique,” Journal of Selected Topics in Quantum Electronics, vol.21, no.6, 1501106, Nov/Dec. 2015.
7. **Shigeru Kanazawa**, Takeshi Fujisawa, Kiyoto Takahata, Toshio Ito, Yuta Ueda, Wataru Kobayashi, Hiroyuki Ishii, and Hiroaki Sanjoh, “Flip-Chip interconnection lumped-electrode EADFB laser for 100-Gb/s/λ transmitter,” Photonics Technology Letters, vol.27, no.16, pp.1699-1701, Aug. 2015.
8. **Shigeru Kanazawa**, Takeshi Fujisawa, Kiyoto Takahata, Yuta Ueda, Hiroyuki Ishii, Ryuzo Iga, Wataru Kobayashi, and Hiroaki Sanjoh, “Flip-chip interconnection technique for beyond 100-Gbit/s (4 x 25.8-Gbit/s) EADFB laser array transmitter,” Journal of Lightwave Technology, DOI: 10.1109/JLT.2015.2462728, 2015. (Invited paper)
9. **Shigeru Kanazawa**, Wataru Kobayashi, Yuta Ueda, Takeshi Fujisawa, Kiyoto Takahata, Tetsuichiro Ohno, Toshihide Yoshimatsu, Hiroyuki Ishii, and Hiroaki Sanjoh, “30-km error-free transmission of directly modulated DFB laser array transmitter optical sub-assembly for 100-Gbit/s application,” Journal of Lightwave Technology, DOI: 10.1109/JLT.2016.2520942, 2016.

国際学会

1. **Shigeru Kanazawa**, Takeshi Fujisawa, Akira Ohki, Hiroyuki Ishii, Nobuhiro Nunoya, Yoshihiro Kawaguchi, Naoki Fujiwara, Kiyoto Takahata, Ryuzo Iga, Fumiyoshi Kano, and Hiromi Oohashi, “Low-voltage operation of 100-Gbit/s

- EADFB laser array module,” The 22nd IEEE International Semiconductor Laser Conference (ISLC), Japan Kyoto, TuC2, Sep. 2010.
2. **Shigeru Kanazawa**, Takeshi Fujisawa, Nobuhiro Nunoya, Akira Ohki, Kiyoto Takahata, Hiroaki Sanjoh, Ryuzo Iga, and Hiroyuki Ishii, “Extremely small-form 100GbE transmitter optical sub-assembly for future inter data center cloud networks,” OFC, USA, PDP5B.8, Mar. 2012.
 3. **Shigeru Kanazawa**, Takeshi Fujisawa, Kiyoto Takahata, Akira Ohki, Ryuzo Iga, and Hiroyuki Ishii, “Low crosstalk and high modulation bandwidth 100GbE optical transmitter using flip-chip interconnects,” The 25th International Conference on Indium Phosphide and Related Materials (IPRM), Japan Kobe, TuD3-2, May. 2013.
 4. **Shigeru Kanazawa**, Takeshi Fujisawa, Kiyoto Takahata, Hiroaki Sanjoh, Ryuzo Iga, and Hiroyuki Ishii, “8 x 50-Gb/s simultaneous operation of EADFB laser array using flip-chip interconnection technique,” The 24th International Semiconductor Laser Conference (ISLC), Spain, MD6, Sep. 2014.
 5. **Shigeru Kanazawa**, Takeshi Fujisawa, Kiyoto Takahata, Hiroaki Sanjoh, Ryuzo Iga, Yuta Ueda, Wataru Kobayashi, and Hiroyuki Ishii, “400-Gb/s operation of flip-chip interconnection EADFB laser array module,” OFC, USA, Tu3l.1, Mar. 2015. (Invited talk)
 6. **Shigeru Kanazawa**, Takeshi Fujisawa, Kiyoto Takahata, Ryuzo Iga, Hiroyuki Ishii, and Hiroaki Sanjoh, “Low-crosstalk operation of 400-Gbit/s flip-chip interconnection EADFB laser array module,” International Nano optoelectronics Workshop (iNow), Japan Tokyo, ThP15, Aug. 2015.

国内学会

1. 金澤慈, 大木明, 伊藤敏夫, 伊賀龍三, 佐藤具就, 石井啓之, 近藤康洋, 岡田顕, “半絶縁基板上 1.3 μ m 帯 DFB レーザ,” 電子情報通信学会 2009 年総合大会, C-4-33, Mar. 2009.
2. 金澤慈, 大木明, 伊藤敏夫, 伊賀龍三, 佐藤具就, 石井啓之, 岡田顕, 大橋弘美, “直接変調 DFB レーザのフリップチップ実装に関する研究,” 電子情報通信学会 2009 年ソサイエティ大会, C-4-17, Sep. 2009.
3. 金澤慈, 大木明, 伊藤敏夫, 伊賀龍三, 佐藤具就, 石井啓之, 大橋弘美, “差動駆動直接変調 DFB レーザによる 25Gb/s 動作,” 電子情報通信学会 2010 年総合大会, C-4-27, Mar. 2010.
4. 金澤慈, 大木明, 伊藤敏夫, 伊賀龍三, 佐藤具就, 石井啓之, 大橋弘美, “フリップチップ実装対応直接変調 DFB レーザ,” 2010 年電子情報通信学会 LQE 研究会, LQE2010-60, Aug. 2010.
5. 金澤慈, 藤澤剛, 布谷伸浩, 石井啓之, 川口悦弘, 大木明, 藤原直樹, 高畑清人, 伊賀龍三, 狩野文良, 大橋弘美, “100GbE 用 EADFB レーザアレイモジュールの低電圧動作,” 電子情報通信学会 2010 年ソサイエティ大会, C-4-3, Sep. 2010.
6. 金澤慈, 布谷伸浩, 藤澤剛, 大木明, 高畑清人, 伊賀龍三, 石井啓之, “100GbE 用 EADFB レーザアレイの高出力化,” 電子情報通信学会 2011 年ソサイエティ大会, C-4-21, Sep. 2011.
7. 金澤慈, 藤澤剛, 大木明, 石井啓之, “高速変調 EADFB レーザのフリップチップ実装,” 電子情報通信学会 2012 年総合大会, C-4-5, Mar. 2012.
8. 金澤慈, 布谷伸浩, 藤澤剛, 大木明, 高畑清人, 三条広明, 伊賀龍三, 石井啓之, “100GbE 用次世代トランシーバ向け超小型 TOSA,” 電子情報通信学会 2012 年ソサイエティ大会, C-4-9, Sep. 2012. (招待講演)
9. 金澤慈, 藤澤剛, 伊藤敏夫, 柴田泰夫, 大木明, 石井啓之, “SOA を用いた 4 レーン

- 一括増幅による 100GbE 用 TOSA の高出力化,” 電子情報通信学会 2013 年総合大会, C-4-35, Mar. 2013.
10. **金澤慈**, 藤澤剛, 高畑清人, 大木明, 伊賀龍三, 石井啓之, “フリップチップ実装 EADFB レーザアレイモジュールの低クロストーク・広帯域動作,” 2013 年電子情報通信学会 LQE 研究会, LQE2013-33, Aug. 2013.
 11. **金澤慈**, 藤澤剛, 高畑清人, 大木明, 伊賀龍三, 石井啓之, “フリップチップ接続 EADFB レーザアレイモジュールの 28 Gbit/s×4 Ch 動作,” 電子情報通信学会 2013 年ソサイエティ大会, C-4-14, Sep. 2013.
 12. **金澤慈**, 山田英一, 郷隆司, 菊池順裕, 柴田泰夫, 伊賀龍三, 神徳正樹, 石井啓之, “空間光学系偏波合波器を用いた半導体 DP-QPSK 変調器モジュール,” 電子情報通信学会 2014 年総合大会, C-4-9, Mar. 2014.
 13. **金澤慈**, 藤澤剛, 高畑清人, 三条広明, 伊賀龍三, 石井啓之, “フリップチップ接続 EADFB レーザアレイモジュールの 50Gb/s x 8Ch 動作,” 電子情報通信学会 2014 年ソサイエティ大会, C-4-1, Sep. 2014.
 14. **金澤慈**, 藤澤剛, 高畑清人, 三条広明, 伊賀龍三, 石井啓之, “フリップチップ接続技術を用いた 50Gb/s x 8Ch EADFB レーザアレイ,” 2014 年電子情報通信学会 LQE 研究会, LQE2014-100, Oct. 2014. (招待講演)
 15. **金澤慈**, 上田悠太, 高畑清人, 石井啓之, 三条広明, “フリップチップ接続技術を用いた EADFB レーザモジュールの周波数応答特性の平坦化,” 電子情報通信学会 2015 年ソサイエティ大会, C-4-14, Sep. 2015.
 16. **金澤慈**, 藤澤剛, 高畑清人, 伊藤敏夫, 上田悠太, 小林亘, 石井啓之, 三条広明, “フリップチップ接続 EADFB レーザモジュールの 100Gbit/s/λ 動作,” 2015 年電子情報通信学会 LQE 研究会, LQE2015-91, Oct. 2015.

謝辞

本論文をまとめるにあたり、ご指導賜りました小山二三夫教授に深く感謝いたします。

また、本論文をまとめるにあたり、有益なご助言を賜りました浅田雅洋教授、植之原裕行教授、渡辺正裕准教授、宮本智之准教授に深く感謝いたします。

本研究は、筆者が日本電信電話株式会社(NTT)における研究・開発業務の一環として担当したものであり、多くの方々にご指導、ご協力いただきました。入社時、指導者として、実装についての基礎知識を含め、あらゆる面でご指導、ご協力いただいた、大木明氏に深く感謝します。グループリーダーとして、本研究の方向性等をご議論いただいた、加藤和利氏、岡田顕氏、大橋弘美氏、石井啓之氏、三条広明氏に感謝します。また、デバイス設計の立場から、ご指導、ご協力いただいた、藤澤剛氏に感謝します。最後に、本研究を遂行する上でご協力、ご議論いただいた、旧 NTT フォトニクス研究所、NTT デバイスイノベーションセンタ、NTT 先端集積デバイス研究所の皆様に感謝します。