

論文 / 著書情報
Article / Book Information

題目(和文)	Sicパワーデバイスを用いた円形誘導加速器用加速セルドライバーの研究
Title(English)	
著者(和文)	岡村 勝也
Author(English)	Katsuya Okamura
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:乙第4118号, 授与年月日:2015年9月30日, 学位の種別:論文博士, 審査員:堀田 栄喜,堀岡 一彦,高山 健,安岡 康一,林崎 規託
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:乙第4118号, Conferred date:2015/9/30, Degree Type:Thesis doctor, Examiner:,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

SiC パワーデバイスを用いた円形誘導加速器用
加速セルドライバーの研究

岡村 勝也

SiC パワーデバイスを用いた円形誘導加速器用加速セルドライバーの研究

—目次—

第1章 序論

1.1 誘導加速シンクロトロンの原理	1
1.2 KEK デジタル加速器 (KEK-DA)	7
1.3 本論文の構成	7

参考文献

第2章 誘導加速システムの構成と現状の課題

2.1 加速システムの等価回路	9
2.2 誘導加速手法	11
2.3 パルストランスとしての誘導加速セルの制約条件	13
2.3.1 定電圧発生への制約とパルス密度変調	
2.3.2 パルス幅、加速電圧、周波数の制約	
2.4 スイッチング電源の課題	16
2.5 加速シナリオ	18
2.6 第2章のまとめ	22

参考文献

第3章 半導体スイッチのパルスパワーへの応用と誘導加速への適用可能性検討

3.1 パルスパワーシステム	24
3.2 半導体スイッチの必要性	25
3.3 各種 Si 半導体スイッチ素子とパルスパワーへの適用	26
3.3.1 サイリスタ	
3.3.2 MOSFET	
3.3.3 MAGT	
3.3.4 IGBT	
3.3.5 IEGT	
3.3.6 SI サイリスタ	
3.4 SiC 半導体スイッチ素子	39
3.4.1 SiC パワーデバイスの優位性	
3.4.2 SiC-JFET	
3.4.3 サンプル SiC-JFET の評価結果	
3.4.4 SiC-JFET の誘導加速セルドライバー適用可能性の検討	
3.5 第3章のまとめ	47

参考文献

第4章	SiC-JFET 用高放熱パッケージの開発	
4.1	開発目標	51
4.2	パッケージの試作	52
4.3	試作素子の特性評価	54
4.3.1	単発スイッチング試験	
4.3.2	連続スイッチング試験	
4.3.3	連続スイッチング試験時の熱解析	
4.3.4	素子内部インダクタンスの評価	
4.3.5	重負荷限界通電試験	
4.4	第4章のまとめ	68
	参考文献	
第5章	SiC-JFET を用いたスイッチング電源の試作とその評価	
5.1	スイッチング電源(Switching Power Supply: SPS)の試作	70
5.1.1	スイッチング電源の回路	
5.1.2	ゲート駆動回路	
5.1.3	全体レイアウトと導体配置	
5.1.4	冷却	
5.1.5	スナバ回路	
5.2	試作スイッチング電源の性能評価	75
5.2.1	抵抗負荷試験	
5.2.2	回路シミュレーション	
5.2.3	温度上昇	
5.2.4	加速セル接続実験	
5.2.5	加速セルと SPS の直接接続の検討	
5.3	第5章のまとめ	88
	参考文献	
第6章	SiC-JFET スwitchング電源を用いた実ビーム加速	
6.1	実験のセットアップ	91
6.1.1	ECR イオン源	
6.1.2	Einzel レンズビームチョッパー	
6.1.3	LEBT	
6.1.4	静電入射キッカー	
6.1.5	リング偏向電磁石	
6.1.6	誘導加速セル	
6.1.7	スイッチング電源 (SPS)	

6.1.8	静電モニター	
6.1.9	取出し機器	
6.1.10	ゲートパルス発生システム	
6.2	実験条件	100
6.3	実験結果	100
6.4	ビームローディングの影響	104
6.5	第6章のまとめ	107
第7章	SiC デバイスパッケージの更なる進化とその加速器への応用展開	
7.1	デバイスパッケージのさらなる改良	109
7.1.1	開発目標	
7.1.2	目標達成の方法	
7.1.3	第2世代パッケージの構想案	
7.1.4	パッケージの熱解析	
7.1.5	モックアップパッケージの試作とその評価	
7.1.6	二次試作に向けて	
7.2	誘導加速方式を適用した円形加速器の今後の展望	126
7.2.1	次世代 SPS	
7.2.2	デジタル加速器のビーム利用運転	
7.2.3	誘導加速マイクロトロン	
7.2.4	大強度陽子加速器施設(J-PARC)への誘導加速技術の適用	
7.3	第7章のまとめ	134
	参考文献	
第8章	結論	137
	謝辞	141

第1章 序論

1919年に Rutherford が α 線を使って窒素などの原子核の崩壊を確認した時のビーム源は天然の放射性物質であった。高エネルギーの粒子源としてはこの他にも宇宙から降り注ぐ宇宙線がある。初期の高エネルギー物理学はこれらの天然の高エネルギー粒子を利用して輝かしい成果を上げる事ができた。しかし、当然の事ながらこれら天然由来の粒子はそのエネルギーをコントロールすることが出来ず、大量の粒子を得て反応頻度を高めることも困難である。このため 1920 年代以降さまざまなアイデアに基づいて人工的な「加速器」が製作された。

それらの中で加速デバイスとして高周波加速空洞を用いる高周波加速シンクロトロンは 1945 年にその原理が発明されて以来今日に至る迄、素粒子実験に用いるような高エネルギーの円形加速器の全てに同方式が採用されている。これに対して加速スキームとして誘導加速技術を用いる円形加速器は比較的新しい技術であり、2000 年に高山、木代によって誘導加速シンクロトロン (Induction Synchrotron: IS) として初めて提案された。IS においては誘導加速セルと呼ばれる一種のトランスを介して、矩形パルス電圧によって荷電粒子の加速と閉じ込めを行う。また、加速用と閉じ込め用のセルはそれぞれ別個に配置する機能分離型である。これは高周波加速空洞に加速と閉じ込めの両方の機能を持たせる従来のシンクロトロンとは大きく異なる点であり、このことによって高周波空洞と高周波アンプの周波数帯域制限から開放され、線形加速器やブースター等の入射器がなくとも低いエネルギーからトップエネルギーまでの加速を可能にした。

従って、誘導加速シンクロトロンにおいて誘導加速セルと加速セルを駆動する加速セルドライバーは、その原理を実現するための基本要素といえることができる。本章においては、最初に誘導加速シンクロトロンの原理について述べ、ついで誘導加速技術を適用した加速器の例として KEK デジタル加速器の概要について述べる。最後に論文全体の構成について述べる。

1.1 誘導加速シンクロトロンの原理

加速器は大きく分けて、線形加速器 (Linear Accelerator) と円形加速器 (Circular Accelerator) に分類できる。線形加速器では粒子が加速デバイスの中を一度しか通過できないために、また絶縁破壊の問題から 1 台の加速デバイスで加速できるエネルギーには限界があるため、大きな加速エネルギーを得るためには多数の加速デバイスを直列に並べる必要がある。そこで少ない加速デバイスでも大きな加速エネルギーを得ることを目的として、一つの加速デバイスを粒子が何度も通過するように考案されたのが円形加速器である。E. O. Lawrence によって考案されたサイクロトロンは、最

初の成功した円形加速器である^[4]。サイクロトロンは一定の磁場を発生する磁石の磁極間に粒子を閉じ込め、固定周波数の高周波電界を用いて加速する。このためサイクロトロンでは加速されるに従って粒子の描く軌道半径が大きくなるので、大きな加速エネルギーを得るためには巨大な磁石が必要になるという課題があった。この欠点を克服するために **McMillan** と **Veksler** によってそれぞれ独立に発明されたのがシンクロトロン^{[2][3]}である。シンクロトロンでは粒子のエネルギーに応じて磁場の強さを変化させるので軌道半径が一定に保たれるという特徴がある。このためシンクロトロンではサイクロトロンと異なり、磁石に面の広がりをもたせる必要がなく、一次元の広がりだけでよくなり、大きなエネルギーの加速器を建設する場合のコストが小さくなる。そのため今日では、素粒子実験に用いるような高エネルギーの円型加速器全てがシンクロトロンで実現されている。

ところでシンクロトロンの実現を可能にする重要な原理が位相の安定性である。一般的なシンクロトロンでは粒子は加速空洞のギャップ間に発生する高周波電界（電圧）によって加速される。粒子が図 1-1 に示すような正弦波電圧で加速されるものとする。（簡単のため以下の議論においてはエネルギーの小さな粒子は周回周期が長くなるものとする。）図 1-1 において周回周期と加速電圧周期が一致する粒子（理想粒子）が位相 Φ_s の O 点で安定に加速されているものとする。理想粒子より位相が遅れ、位相が Φ_d の粒子の動きは次のようになる。位相 Φ_d においては加速電圧が理想粒子の感じる加速電圧より高くなるので次の周回周期においては位相が進み、位相が Φ_s に近づき、さらには Φ_s よりも進むことになる。位相が Φ_s よりも進んだ場合、今度は加速電圧が理想粒子の場合よりも低くなるので、今度は再び位相が遅れる方向になる。結局初期に位相がずれていた粒子（群）は理想粒子の前後で振動しながらもある幅を持って加速周回し続けることになる。これが位相安定の原理であり、この原理によって高周波加速が実現されている。即ち、高周波加速シンクロトロンにおいて高周波電圧は、加速対象である荷電粒子群（以下ビームバンチという）に対して加速電圧を与えると同時にビームバンチの速度広がりが発散してしまわないような一種のポテンシャル障壁も与えている。このように高周波加速は加速空洞の電圧によって粒子の縦方向閉じ込めと加速を実現する合理的な加速方式であるが、その一方で、正弦波の加速電圧によって安定性を得るためには正弦波 1 周期 (2π) の中で加速に使える位相に制限が生じる。以下でそのことをもう少し詳しく検討する。

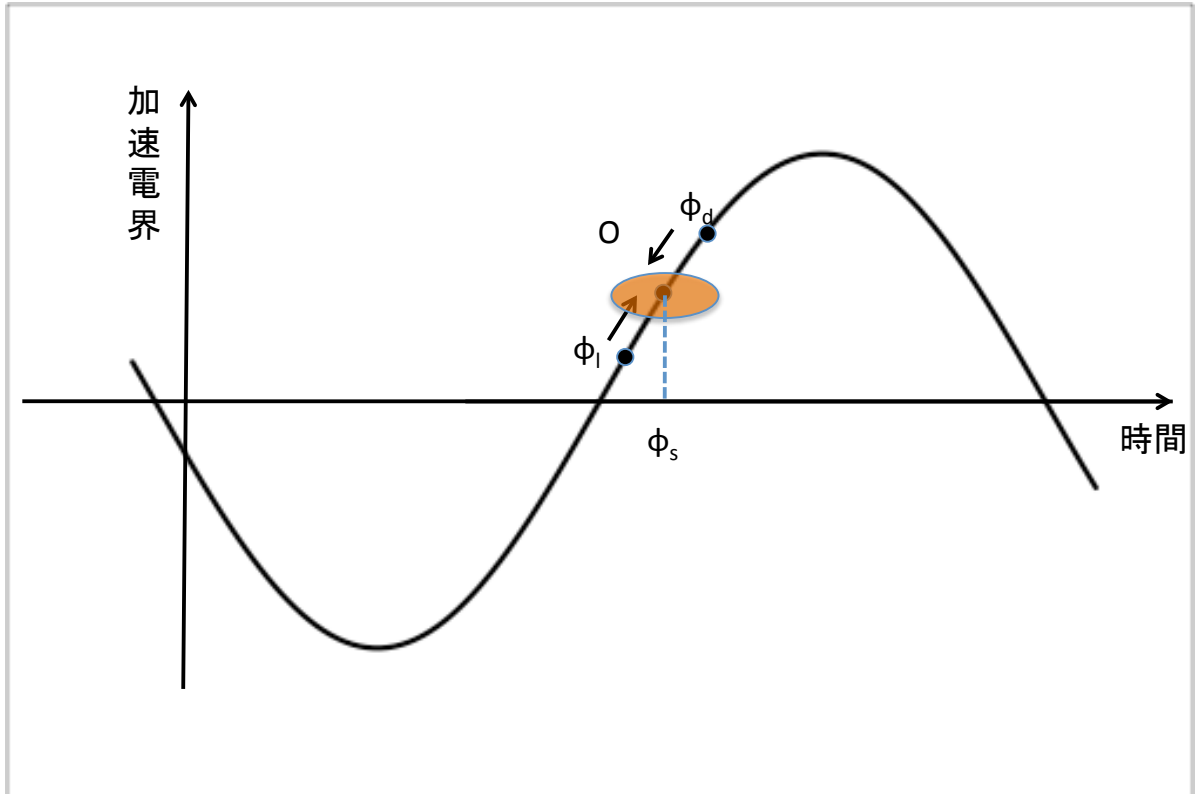


図 1-1 高周波加速における加速と粒子閉じ込めの概念図

高周波加速において粒子のハミルトニアンは次のように表される^[4]。

$$H(\phi, W) = \frac{\omega_{RF}^2 \eta}{2(\beta_s)^2 E_s} W^2 + \frac{eV_{RF}}{2\pi h} [\cos \phi - \cos \phi_s + (\phi - \phi_s) \sin \phi_s] \quad (1-1)$$

但し、

- ω_{RF} : 高周波加速電圧の角周波数
- η : 位相スリップ係数
- β_s : 同期粒子の光速に対する相対速度
- E_s : 同期粒子のエネルギー
- W : バケット高さ ($= (E - E_s) / \omega_{RF}$)
- e : 素電荷
- V_{RF} : 高周波加速電圧の波高値
- h : ハーモニクス数
- ϕ : 粒子の位相 ($= \omega_{RF} t$)
- ϕ_s : 同期粒子の位相

である。

(1-1)式において第1項は運動エネルギーの項に相当し、第2項はポテンシャルエネルギーの項に相当する。同期粒子以外の粒子はハミルトニアンの等高線上を動くことになるので位相のずれた粒子が安定に加速されるかどうかは等高線が閉曲線とな

るか、開曲線となるかで判定される。同期粒子の位相を $\pi/4$ とした場合の等高線の例を図 1-2 に示す。バンチ長がせいぜい $\pi/2$ 程度しかとれないことがわかる。

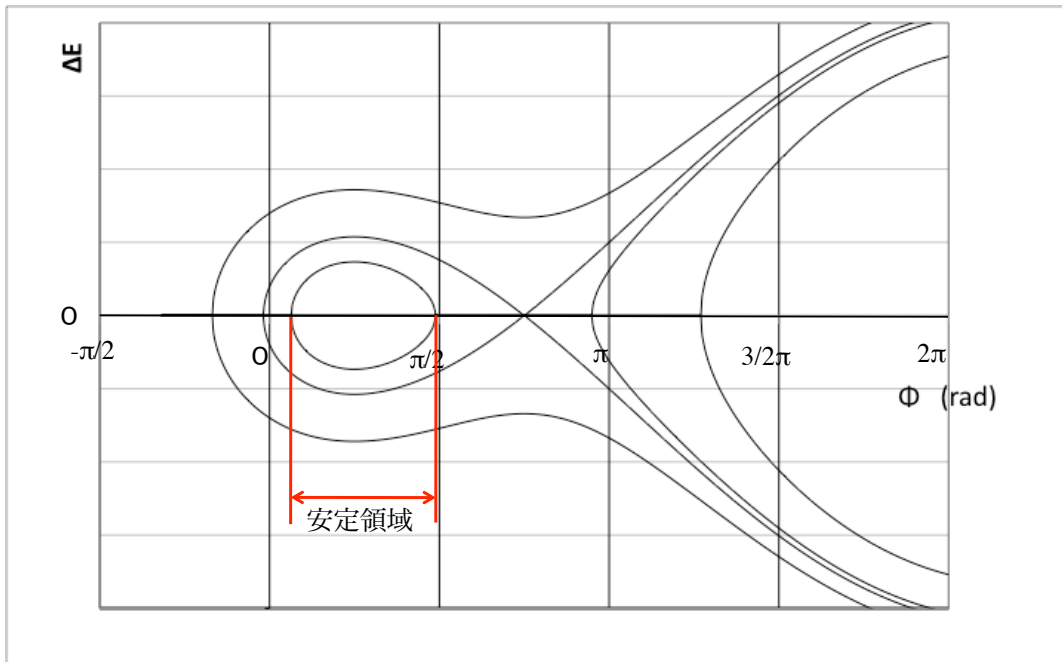


図 1-2 高周波加速におけるハミルトニアン等高線図の例

高周波加速のもうひとつの課題として、空洞共振を利用しているために周波数を大きく変化させることが本質的に困難であり、したがって周回周波数が入射時と加速終了時で大きく異なるような低エネルギー入射の加速器とすることはできず、イオン源とシンクロトロンの中に前段加速器を必要とするということがある。

そこでこれらの課題を克服することを目的として高山、木代によって 2000 年に提案されたのが誘導加速シンクロトロン (IS) である^[5]。IS においては加速空洞のかわりに誘導加速セルという一種の 1 対 1 パルス変圧器を用いる。誘導加速セルの一次側にはスイッチングパルス電源 (SPS: Switching Power Supply) が接続され、二次側に正負のパルス電圧を発生させる。ビームバンチの通過と同期を取って加速用パルス電圧を発生させることでビームバンチの加速を行うことができる。一方ビームバンチの先頭より前に負のパルスを発生させ、最後尾の後ろに正のパルスを発生させることでビームバンチを正負のパルスの中に閉じ込めることができる (図 1-3)。ここで注意しなければならないことは高周波加速の場合、一つの加速空洞の発生する電圧が加速と閉じ込めの両方の機能を果たしていたのに対して IS では加速と閉じ込めを別個のセルで独立に行わせるということである。この意味で IS の加速セルは機能分離型ということができる。

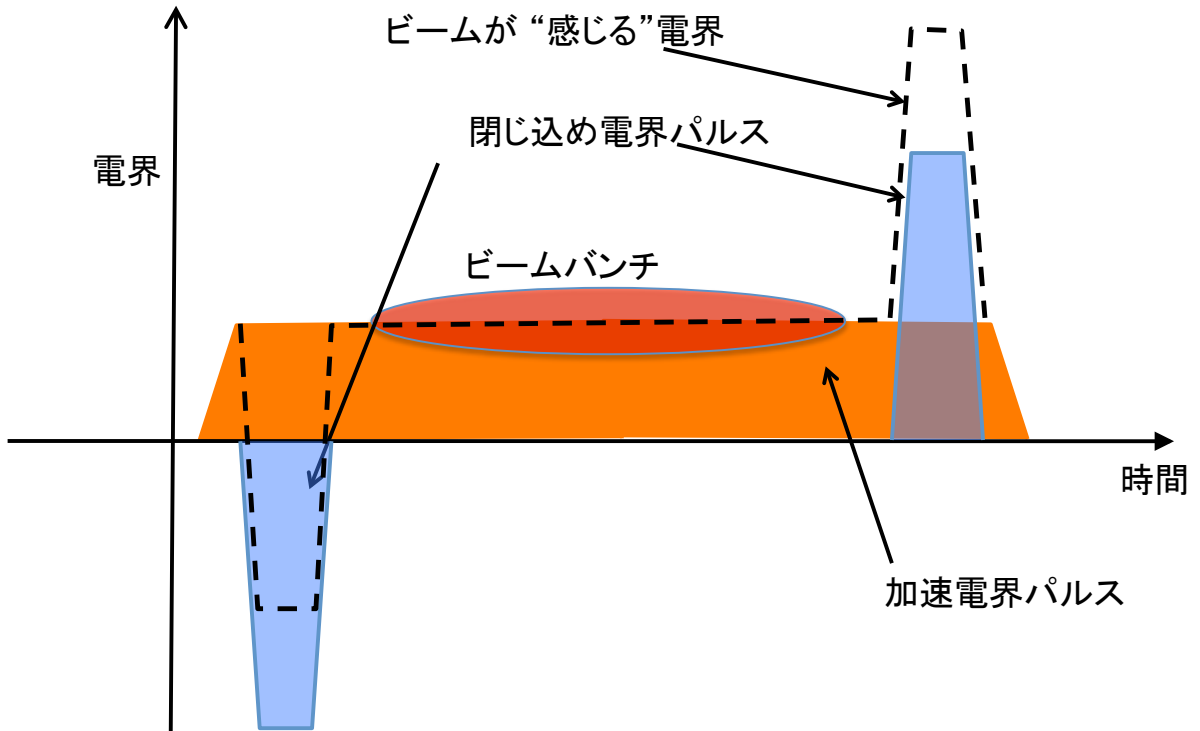


図 1-3 誘導加速における加速と粒子閉じ込めの概念図

(本図では閉じ込めパルスと加速パルスの電圧が加算されて表現されているが実際には個別の誘導加速セルで印加されることに注意)

誘導加速の場合、粒子のハミルトニアンは(1-2)式で表される^[6]。

$$H(\phi, W) = \frac{\omega_0^2 \eta}{2(\beta^s)^2 E^s} W^2 - \frac{e}{2\pi} \int^\phi [V(\phi') - V_{ac}] d\phi' \quad (1-2)$$

ここで ω_0 と V_{ac} はそれぞれビームの周回角周波数と加速電圧である。

図 1-3 を見てもわかるように誘導加速の場合とはじ込めのポテンシャルはステップ状であり、ハミルトニアンの等高線も矩形に近いものとなる。図 1-4 にハミルトニアンとバリア電圧の関係を示す。誘導加速ではバンチ長を周回周期の $1/2$ 近くまで拡張することが可能である。バンチ長は加速電圧のパルス幅によって制限されている。何故ならば、パルストランスである誘導加速セルの磁性体を飽和させないために正パルスと負パルスを対にして発生させなければいけないからである。しかし、加速パルスを正負非対称にすれば理論上、リングの1周近くまで拡張することも原理的には可能であり、これはスーパーバンチと呼ばれる^[7]。

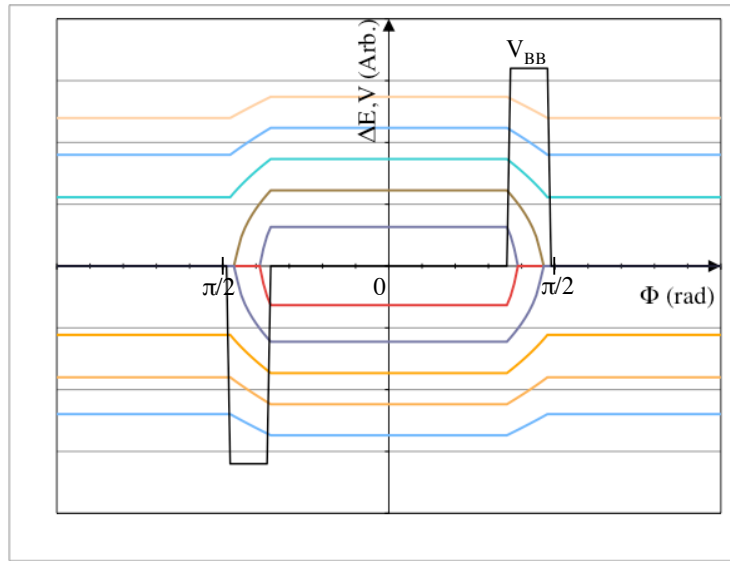


図 1-4 誘導加速におけるハミルトニアン の 等高線 と バリア 電圧 の 例

図 1-5 に高周波加速シンクロトロンと誘導加速シンクロトロンの概念を対比して示す。誘導加速シンクロトロンではビーム周回に同期したパルス電圧を発生させることによりイオンの加速を行う。同期周期には理論的な制約はないので kHz から MHz まで周回周期が 3 桁変わっても同期させることが可能であり、音速に近いような低エネルギーで入射したイオンを相対論的速度まで加速することも可能である。また、第 2 章で詳しく述べるように、必要とされる加速電圧はイオンの質量に依存せず、リングの周長、偏向電磁石の曲率半径、偏向電磁石の磁場勾配だけで決まるので、適切なイオン源さえ準備すれば陽子からウラニウムのような重金属イオンの加速にも供することができるというのも誘導加速シンクロトロンの大きな特徴である。

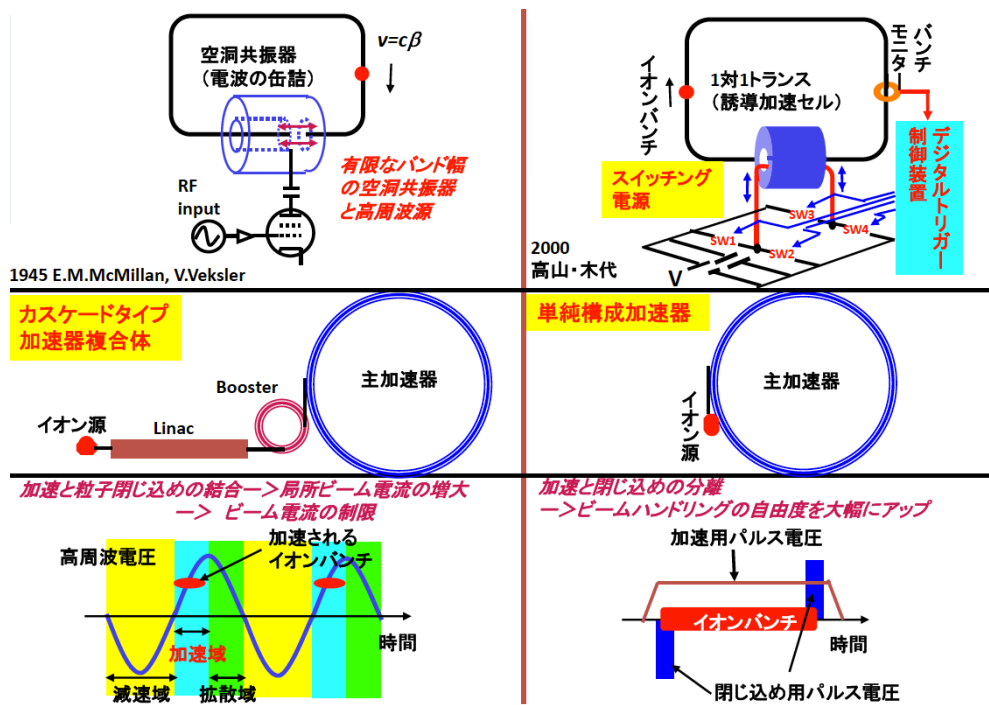


図 1-5 高周波加速と誘導加速の比較

1.2 KEK デジタル加速器 (KEK-DA) [8]

KEK デジタル加速器は旧 PS の 500 MeV ブースターシンクロトロンを誘導加速方式に改装した高繰り返しシンクロトロンである。図 1-6 に KEK デジタル加速器の構成を示す。個々の機器については第 6 章において説明する。

KEK デジタル加速器のビームコミッションは 2011 年 6 月に開始された。以来、DC 磁場での入射調整、周回軌道の補正を経て DC+AC 磁場を印加した加速実験を行い、質量数対電荷数比が 4 のイオンを用いて最大磁場 0.51 T の加速が実証されている [9]。

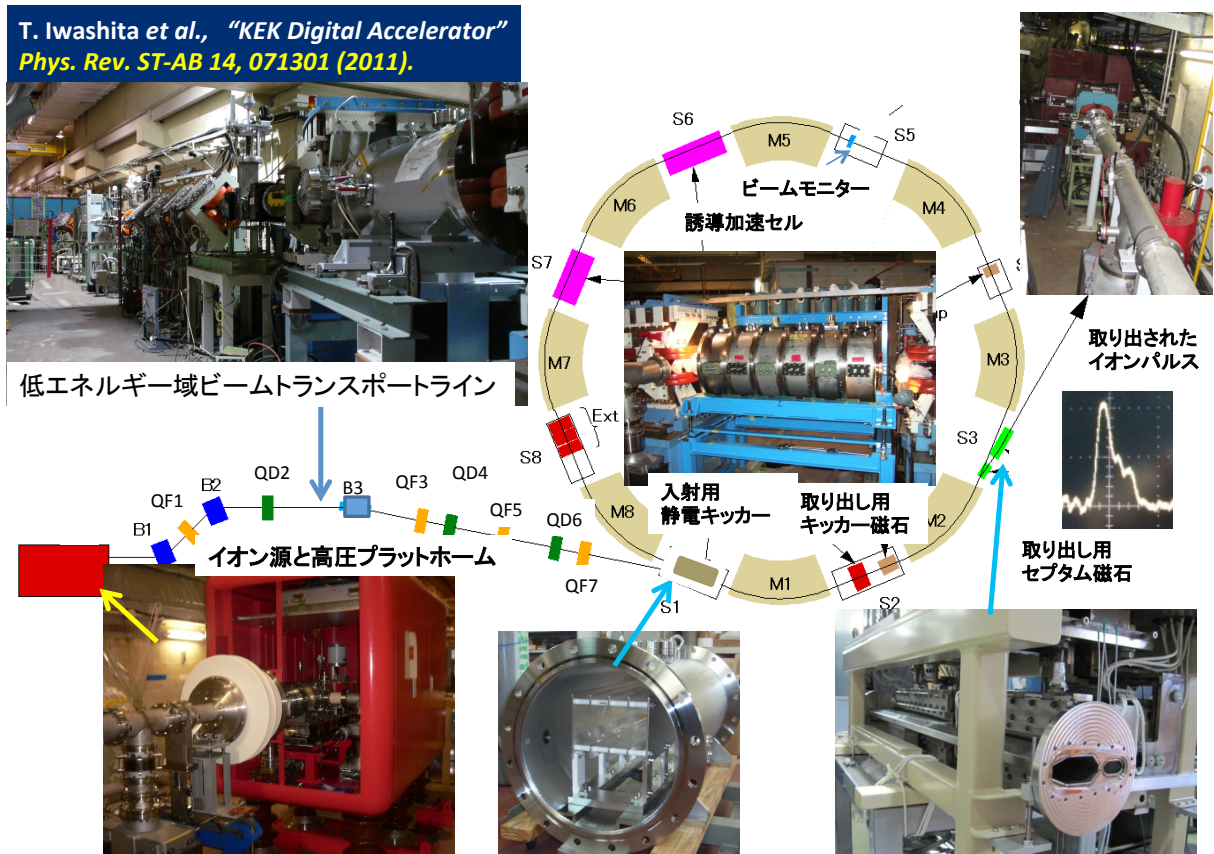


図 1-6 KEK デジタル加速器のシステム構成

1.3 本論文の構成

第 1 章では、本研究の位置づけを明確にするため誘導加速の基本原理、また研究成果の最初の適用を目指す KEK デジタル加速器の概要について述べている。

第 2 章では、誘導加速原理を用いた加速手法についてより踏み込んだ議論を行うとともにその技術的制約、さらにこれまで用いてきた初期型のスイッチング電源の課題について述べる。

第 3 章では、前半部において新型の半導体パルス電源を開発するにあたってこれまで行われてきた IGBT、MOSFET、SI サイリスタ等各種半導体パワーデバイスの研究状況について概観し、後半部では半導体パワーデバイスの世界に革新をもたらすと

期待される SiC デバイスをそれら既存 Si デバイスと比較することでその優位性を確認し、SiC-JFET のスイッチング性能評価結果から、誘導加速器セルドライバ用素子としてハイパワーパッケージ開発が必要であることを示す。

第4章では、本研究において新たに開発されたエポキシモールドディスクリートパッケージ SiC-JFET の構造とその特性評価結果について述べる。

第5章では、新開発の素子を用いたスイッチング電源 (SPS) の設計と試作、そして評価結果について述べる。評価実験においては模擬負荷抵抗だけではなく、加速セルを接続した実験も行い、接続ケーブルの長短、インピーダンスマッチングの重要性についても言及する。

第6章は本論文のハイライトである。ここでは、試作したスイッチング電源を実際の誘導加速シンクロトロン (KEK デジタル加速器) に導入し、重イオンの加速実験を行った結果について述べる。スイッチング電源の出力波形、イオンバンチ波形等から、スイッチング電源が加速に必要な電圧を発生し、イオンが安定に加速されることが示される。

第7章では、将来展望として次世代のパワーモジュールの開発と誘導加速方式を適用した円形加速器の今後の可能性について述べる。

最後に、第8章において全体の結論を述べる。

参考文献

-
- [1] E. O. Lawrence and M. S. Livingston: "The Production of High Speed Light Ions Without the Use of High Voltages", Phys. Rev., vol. 40, 19-35 (1932)
 - [2] E. M. McMillan: "The Synchrotron-A Proposed High Energy Particle Accelerator", Phys. Rev., vol. 68, 143-144 (1945)
 - [3] V. Veksler: J. Phys. U.S.S.R, vol. 9, 580 (1945)
 - [4] K. Takayama and R. J. Briggs (Eds.): "Induction Accelerators" , p.252, Springer-Verlag, (2010)
 - [5] K. Takayama and J. Kishiro, Nucl. Inst. Meth., vol. A451 304 (2000)
 - [6] K. Takayama and R. J. Briggs (Eds.): Induction Accelerators , p.255, Springer-Verlag, (2010)
 - [7] K. Takayama, J. Kishiro, M. Sakuda, Y. Shimosaki, and M. Wake, "Superbunch Hadron Colliders", Phys. Rev. Lett., Vol.88, 144801 (2002)
 - [8] T. Iwashita, K. Okamura, et al., "KEK Digital Accelerator", Phys. Rev. ST-AB, vol. 14, 071301 (2011).
 - [9] K. Takayama, K. Okamura, et al.: "Induction acceleration of heavy ions in the KEK digital accelerator: Demonstration of a fast-cycling induction synchrotron", Phys. Rev. ST Accel. Beams 17, 010101 (2014)

第2章 誘導加速システムの構成と現状の課題

本章では、次章以降に誘導加速セルドライバー開発の各論を進めていくのに先だって、誘導加速システムの全体像を見て行く。また、現在使用している加速セル駆動用パルス電源の課題についても述べる。

2.1 加速システムの等価回路

誘導加速システムは加速電圧、閉じ込め電圧を発生するスイッチング電源および伝送ケーブル、整合抵抗からなる加速セルドライバーと一次側に印加されたパルス電圧によって二次側の加速ギャップに加速電圧を発生する誘導加速セルから構成される。

図 2-1 に現行の誘導加速システムの等価回路を各コンポーネントの写真等とともに示す。スイッチング電源 (SPS) は MOSFET を各アームに 7 直列接続した H ブリッジ回路で構成され、放射線の影響による素子故障を防止するために加速器本体からはやや離れた (数 10m) 場所に設置される。そのためスイッチング電源と加速セルの間は高電圧伝送線 ($Z_0=120\Omega$) で接続されている。SPS の詳細とその課題については 2.4 節で詳述する。誘導加速セルは、ファインメット®リボンを巻回したトロイダルコアを絶縁板を介して積層したものに、銅板で 1 ターンないしは 2 ターンの 1 次コイルを巻回した上でステンレス製の容器に封入して構成される (図 2-2)。容器にはギャップが設けられているので、1 次コイルに電圧が印加されると容器は変圧器の 2 次コイルの働きをし、ギャップには加速電圧が発生する。

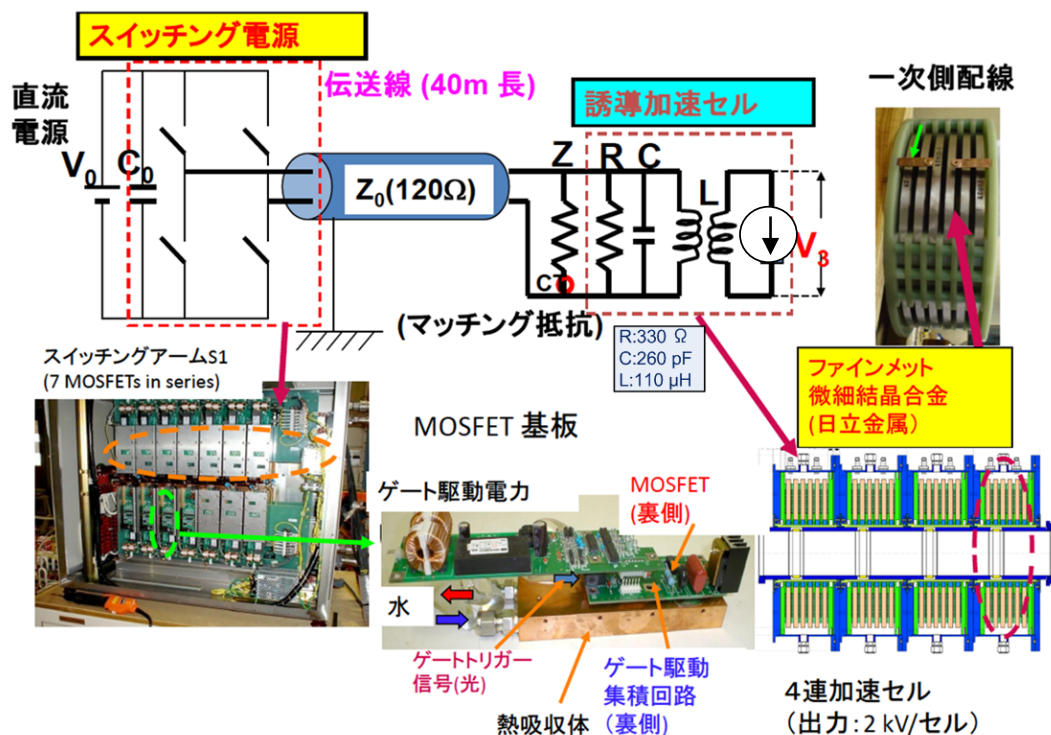


図 2-1 誘導加速システムの構成

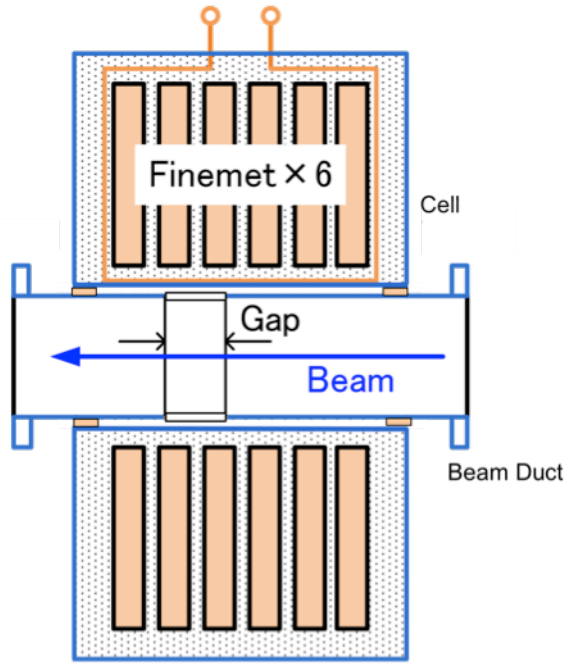


図 2-2 加速セルの断面

誘導加速セルは前述したように回路的にはトランスであるが、その電気特性を記述する上ではインダクタンス、キャパシタンス、抵抗の並列回路で置き換えることが出来、パルスのインピーダンスとしては約 $330\ \Omega$ と評価されている^[1]。パルス伝送に使用している高電圧ケーブルの特性インピーダンスは $120\ \Omega$ であるのでインピーダンスマッチングを図るためにマッチング抵抗が加速セルと並列に接続される。

図 2-3 は SPS の簡単な等価回路と抵抗負荷 ($115\ \Omega$) に接続したときの出力波形の例を示している^[2]。H ブリッジにはアーム毎にスイッチがあるが、たすき掛けとなった 2 つのスイッチが同時にオンすることによって出力パルスが発生する。図では SW1 と SW4 がオンになることにより正のパルス電圧が、SW2 と SW3 がオンになることにより負のパルス電圧が発生する。正のパルスと負のパルスを交互に発生させるのは、一種のパルストランスである加速セルの磁束密度を平均的には 0 とし、コアを飽和させないためである。

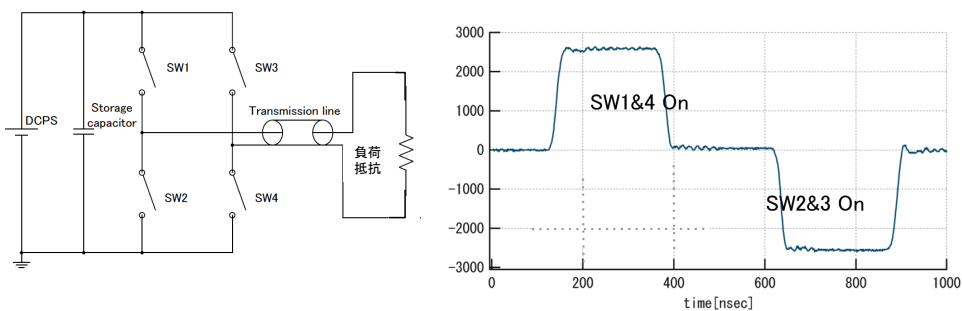


図 2-3 SPS のパルス出力波形の例

2.2 誘導加速手法

粒子を一定の軌道に保ったまま加速するためには、1周回で得られる加速エネルギーと偏向電磁石の磁場の変化率との間に一定の関係が必要である。軌道中に加速ギャップが1個あって質量 m の粒子がギャップを通過する間、加速電圧が V_{ACC} であるとすると、1周回の間粒子が得るエネルギー ΔE は、

$$\Delta E = eV_{ACC} \quad (2-1)$$

で表される。一方、粒子が軌道半径を一定に保って運動するためにはローレンツ力と遠心力が釣り合っていないと、

$$\frac{mv^2}{\rho} = evB \quad (2-2)$$

という関係が成り立っていないと。ここで v は粒子の速度、 ρ は軌道半径である。(2-2)式は運動量 p を使うと

$$p = mv = e\rho B \quad (2-3)$$

と書き換えることができる。さらに(2-3)式より粒子が軌道を一周する間の運動量の変化を Δp とすると

$$\Delta p = e\rho \frac{dB}{dt} \Delta t \quad (2-4)$$

となる。ここで Δt は周回周期であり $\Delta t = C/v$ で表される。ただし、 C は周長である。全エネルギーと運動量の関係から $\Delta E = v\Delta p$ という関係があることを考慮すると (2-4) 式は

$$\Delta E = v e \rho \frac{dB}{dt} \frac{C}{v} = e\rho C \frac{dB}{dt} \quad (2-5)$$

となるので、結局

$$V_{ACC} = \rho C \frac{dB}{dt} \quad (2-6)$$

という関係を満たさなければならないことが分かる。

加速されたイオンの質量は相対性理論により

$$m = \frac{m_0}{\sqrt{1 - (v/c)^2}} \quad (2-7)$$

と記述できるから (m_0 : 静止質量、 c : 光速)、これを(2-3)式に代入して v について解くと

$$v = \frac{e\rho B}{\sqrt{m_0^2 + (e\rho B)^2 / c^2}} \quad (2-8)$$

となる。これより周回周波数は

$$f = \frac{e\rho B}{C\sqrt{m_0^2 + (e\rho B)^2 / c^2}} \quad (2-9)$$

で表されることになる。

KEK デジタル加速器では電磁石電源に周波数 10Hz の正弦波共振電源を用いているので^[3]、磁束密度は

$$B = \frac{(B_{MAX} - B_{MIN})}{2}(1 - \cos(20\pi t)) + B_{MIN} \quad (2-10)$$

と表される。ここで B_{MAX} :最大磁束密度、 B_{MIN} :最小磁束密度である。従って(2-6)式は

$$V_{ACC} = 10\pi(B_{MAX} - B_{MIN})C\rho \sin(20\pi t) \quad (2-11)$$

となる。例としてイオン種を質量数 40 の Ar^{8+} とし、表 2-1 に示した KEK-DA の諸パラメータを用いて加速電圧 V_{ACC} と周回周波数(Revolution Frequency)を図示すると図 2-4 のようになる。

表 2-1 KEK-DA のパラメータ

項目	記号	[単位]	値
周長	C	[m]	37.7
曲率半径	ρ	[m]	3.3
主電磁石交流周波数	f	[Hz]	10
最小磁束密度	B_{MIN}	[T]	0.0292
最大磁束密度	B_{MAX}	[T]	0.84

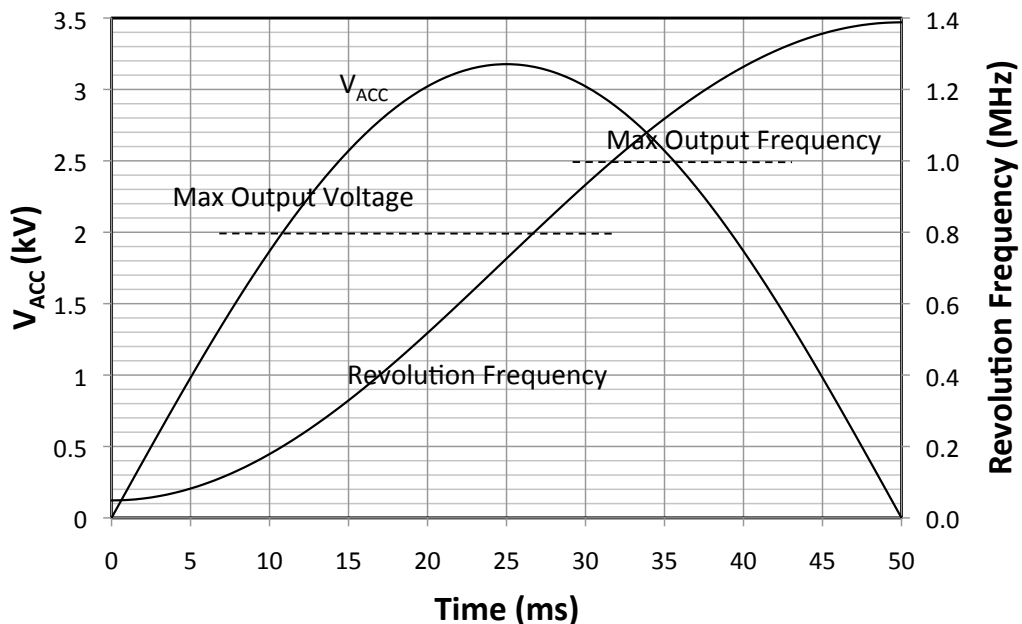


図 2-4 加速電圧と周回周波数の計算例

図 2-4 より 2kV 以上の加速電圧と 1MHz 以上の加速パルス周期が必要であることがわかるが、これらは後で述べるように現行の MOSFET 方式 SPS の性能限界 (図

中では破線で示した) を超える事になる^[2]。この対策として複数のセルを組み合わせた加速電圧の加算や交互スイッチングの方式を必要としている。これらについては 2.5 節で述べる。

2.3 パルストランスとしての誘導加速セルの制約条件

2.3.1 定電圧発生への制約とパルス密度変調

2.2 節で述べたように偏向電磁石の磁場が正弦波状に変化する **fast cycling synchrotron** では、ビームを安定に加速するためには加速電圧も正弦波状に変化する必要がある。しかしパルストランスを用いた誘導加速では、一次側の直流電圧と巻き数比で決まるパルス電圧を発生させるだけであり、そのままでは加速電圧を連続的に変化させることはできない。

KEK-DA ではパルス密度変調 (Pulse Density Modulation: PDM) を用いる事によってこの課題を克服している^[4]。PDM とはビームバンチが加速セルを通過する度に加速するのではなく、間欠的に加速することで実効的な加速電圧を連続的に変化させる方式のことである。この場合、パルス密度 (バンチの通過数に対する加速電圧印加回数の比率) を η_P 、加速セル 2 次側誘起電圧を V_{ind} とすると実効的な加速電圧 V_{eff} は

$$V_{eff} = \eta_P V_{ind} \quad (2-12)$$

となり、 η_P を連続的に変化させることにより直流電圧が一定でも等価的に連続可変の加速電圧を得る事ができる。

2.3.2 パルス幅、加速電圧、周波数の制約

誘導加速セルをパルス励磁すると、コアにヒステリシス損、渦電流損が発生するため、これを冷却する必要がある。図 2-5 に磁束密度振幅 (ΔB) を変えた時のヒステリシスカーブの測定結果の例を示す。

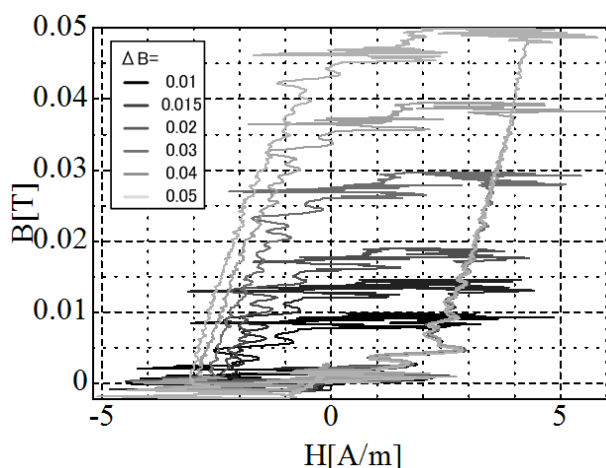


図 2-5 ΔB を変化させた時のヒステリシスカーブの変化

鳥飼によれば^[5]、 ΔB が0.05T（ただし単極性）の時1パルス当たりのコア損失は0.606 [J/m³]、両極性で1MHzの場合の損失としては、周波数を2MHz相当、コア体積を0.0141 m³として17.1 kWを設計値としており、コアの冷却はこれに基づいて強制油冷を行っている。パルス幅、加速電圧、周波数はいずれもコア損失に影響を与えるためコア損失の観点から制約を受けることになる。

パルス幅、繰り返し周波数を変えた時の損失を評価してみる。渡辺によるとファインメットの1パルスあたりの損失[J/m³/パルス]は次式で表される^[6]。

$$P_{pulse} = (-0.44 + 24.7\Delta B)\left(\frac{d}{\rho}\right)\left(\frac{dB}{dt}\right)^{0.5} + (10.6\Delta B^2)\left(\frac{d^2}{\rho B_s}\right)\left(\frac{dB}{dt}\right) \quad (2-13)$$

ただし、 ΔB ：磁束密度振幅[T]、 d ：リボン厚さ [×10μm]、 ρ ：ファインメット抵抗率[μΩm]、 B_s ：飽和磁束密度 [T]である。(2-13)式の第1項はファインメットの磁気ドメインの移動に伴う損失でバードメインモードと呼ばれ、第2項は磁化速度がきわめて高速の時、表面に流れる渦電流によって箔内部がシールドされ、表面から内部に向かって磁場がしみ込むように磁化されていく時の損失を表しておりサチュレーションウェーブモードと呼ばれている^[7]。ただし、(2-13)式は単極性、1パルス当たりの損失であることに注意を要する。従って加速セルのように両極性のパルスで交互に励磁されることを考えた場合、繰り返し周波数が f の時の単位時間当たりの損失[W]は

$$P_{av} = 2fV_{VOL}\left((-0.44 + 24.7\Delta B)\left(\frac{d}{\rho}\right)\left(\frac{dB}{dt}\right)^{0.5} + (10.6\Delta B^2)\left(\frac{d^2}{\rho B_s}\right)\left(\frac{dB}{dt}\right)\right) \quad (2-14)$$

となる。ただし、 V_{VOL} はコア体積である。

前述の鳥飼の損失計算も(2-14)式に基づいている。(2-14)式でコア損失は ΔB と dB/dt の関数であるが、これらの変数とパルス幅、加速電圧は次のようにして関連づけられる。

誘導加速セル内部の磁性体を励磁する1次コイルにパルス電圧を印加すると1次電流路に電流 i が流れ、磁性体内部の磁束密度が変化する。この磁束変化によりファラデーの法則により(2-15)式に示す誘導電圧が発生する。

$$V_{ind} = -\int_S \frac{dB}{dt} dS = \frac{d\phi}{dt} \quad (2-15)$$

ここで B ：磁性体内の磁束密度、 ϕ ：磁性体内の総磁束である。コア断面内での磁束密度を一様と仮定し、(2-15)式を時間積分すると

$$V_{ind}\tau_P = -\Delta B \int_S dS = \Delta B \cdot S_T \quad (2-16)$$

となる（ τ_P ：パルス幅、 ΔB ：磁束密度振幅、 S_T ：コア総断面積）。(2-16)式を ΔB について解くと

$$\Delta B = \frac{V_{ind}\tau_P}{S_T} = \frac{V_P\tau_P}{n_p S_T} \quad (2-17)$$

となる。ここで V_P は1次コイルのパルス電圧、 n_p は1次コイル巻回数である。また、パルス波形が完全な矩形であるとする

$$\frac{dB}{dt} = \frac{V_{DC}}{n_p S_T} \quad (2-18)$$

またコアの総断面積 S_T は (コア外径-コア内径) / 2 × リボン幅 × 占積率 × コア個数 で計算することができるが、表 2-2 に示したパラメータより S_T を求めると 0.0087 [m²]となる。

表 2-2 加速セル用コアの諸パラメータ

飽和磁束密度	[T]	1.35
比抵抗	[μΩ m]	1.1
外径	[mm]	500
内径	[mm]	225
リボン幅	[mm]	15
リボン厚	[μm]	13
占積率		0.7
コア個数		6

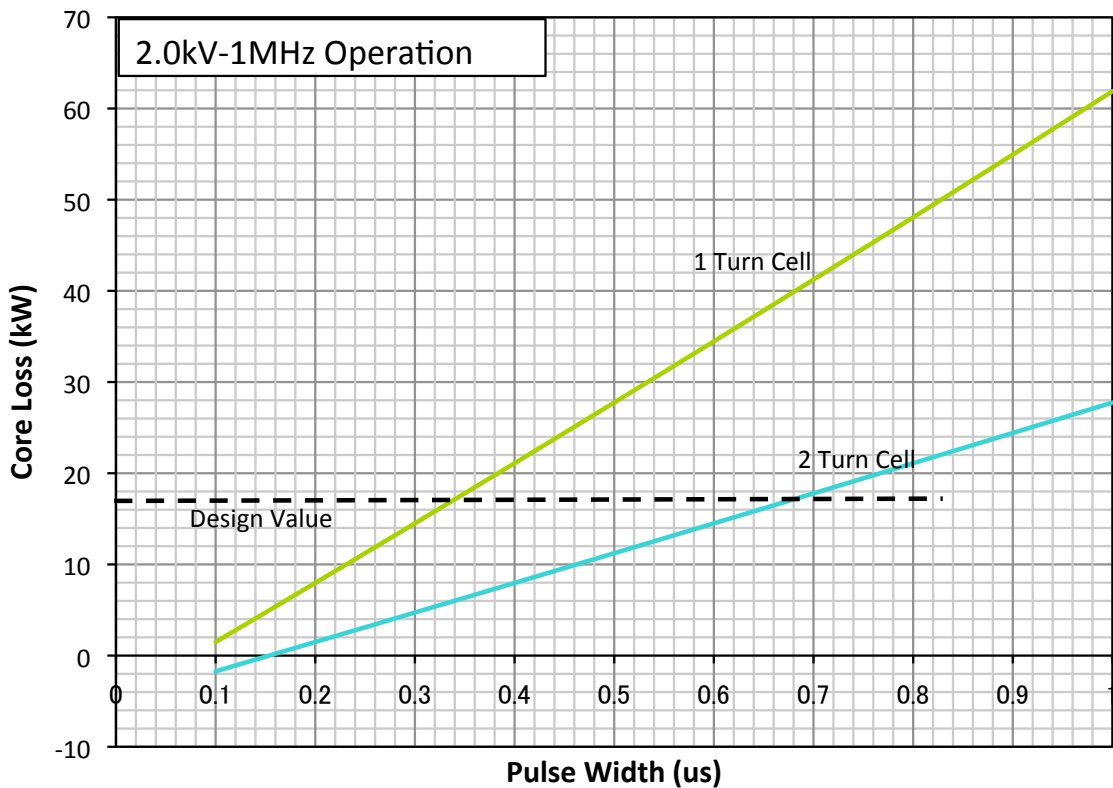


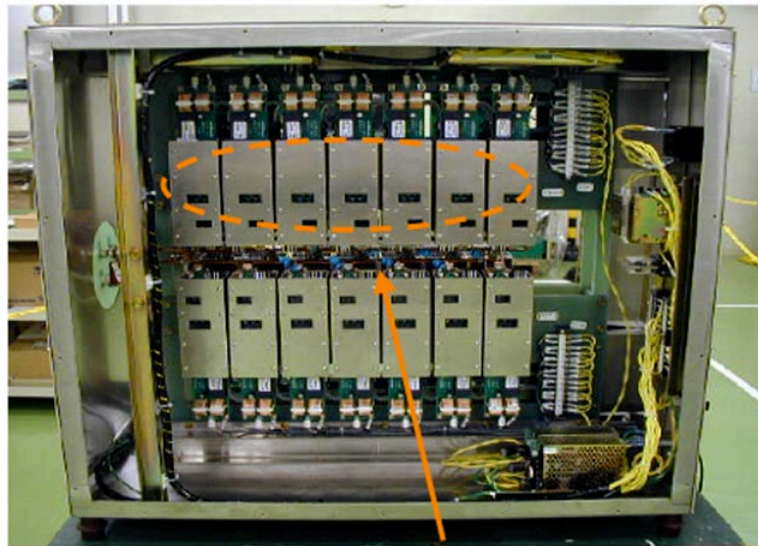
図 2-6 Pulse 幅 vs. コア損失の計算結果

これらの式を用いて1次コイル巻数が1ターンと2ターンの場合について励磁パ

ルス幅とコア損失の関係を計算した結果を図 2-6 に示す。ただし出力電圧は 2.0 kV、周波数は 1 MHz とした。この条件では 1 ターンの場合でパルス幅が 0.34 μ s、2 ターンの場合で 0.68 μ s で損失が設計値に達することが分かる。ただし、ここでの議論は連続運転 (duty 100 %) を前提とした損失であり、実際には加速パターンも考慮する必要があるのは勿論である。それについては 2.5 節で述べる。

2.4 スイッチング電源の課題

誘導加速シンクロトロン の原理実証実験並びに現在、ビームコミッションが進行中の KEK デジタル加速器では、誘導加速セルを駆動するパルス電源のスイッチング素子として Si-MOSFET (IXYS, DE475-102N20A, 1000 V-20 A) が 7 直列で用いられている [8][9]。図 2-7 にこのスイッチング電源の外観を、表 2-3 に主な定格を示す。



**Switching arm S1
(7 MOSFETs in series)**

図 2-7 従来スイッチング電源の外観
(外形 600^W x 430^D x 440^H)

表 2-3 従来スイッチング電源の主要定格

出力電圧	±2.5 kV 以上
出力電流	25 A 以上
繰り返し	10 kHz-1 MHz
立ち上がりスピード	25 ns 以下

上に述べたように従来のスイッチング電源 (SPS) は 1 アームを 7 個の MOSFET で構成している。このため SPS 全体では 28 個の MOSFET とそれらをドライブするゲート駆動回路が必要となっている。さらに FET はそれぞれ電位が異なるため、ゲ

ート駆動回路には絶縁された電源から電力を供給する必要があった。そのため必然的に部品点数の増加、装置の大型化を招いていた。さらに駆動パルスを送送するために28本の光ケーブルを敷設する必要もあり、装置の設置に多大な手間とコストを必要としている。

またSPSは1MHzという高周波でオン、オフするので各アームを多数の直列接続されたFETで構成する場合、つぎのような課題がある。図2-8に直列接続されたFETの等価回路を示す。図2-8において C_s は各FETのドレインソース間のキャパシタンスを、 $C_{gi}(i=1\sim7)$ は対地間のキャパシタンスをそれぞれ表している。物理的には C_s は主として素子自身の出力容量であり、 C_{gi} は素子と放熱フィン間の静電容量並びにゲート回路絶縁部の静電容量の和である。直列接続されたFETの電圧分担は直流的には各FETの漏れ電流(i_{DSS})によって決まるが、高周波ではキャパシタンスの比率で決定されることになる。特に図2-8に示したように対地間にキャパシタンスが存在する場合には C_s を充電する電流が高電圧側程大きくなるために、結果として高電圧側のFET程高い分担電圧となる。図2-9にFETを5直列にした場合の分担電圧の実測値と計算値を比較した例を示す²⁾。電圧分担を改善するためにはFETと並列に補償用のキャパシタンスを接続する必要があるが、補償用のキャパシタンスの大きさは素子毎の内部キャパシタンスのバラツキを考慮した上で決定する必要があり、実際には分担電圧を測定しながら容量値を決定するという煩わしさがある。

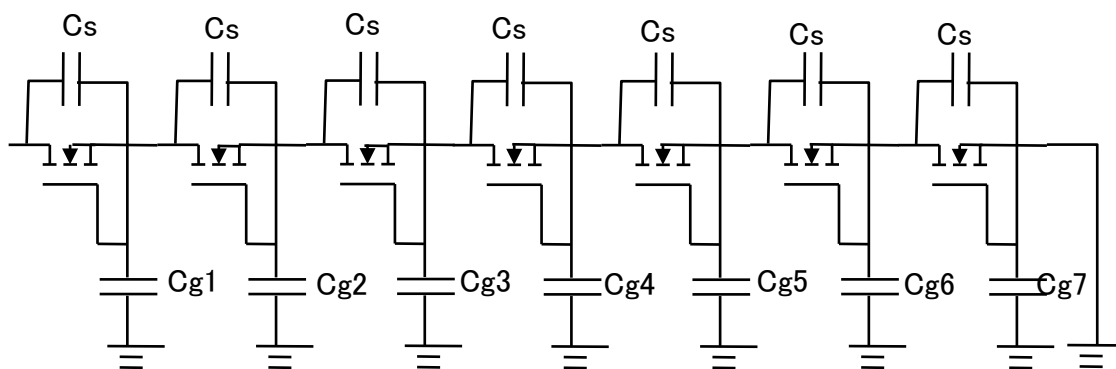


図 2-8 7直列 FET の等価回路

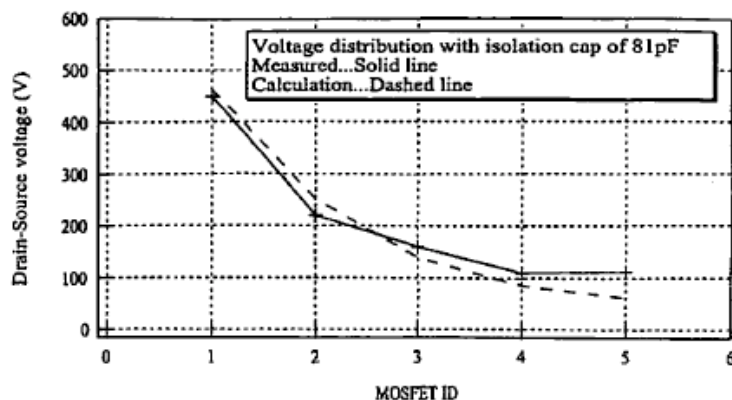


図 2-9 5直列 FET 分担電圧の計算値と実測値の比較²⁾

分担電圧に影響を与えるもう一つの要因としてターンオン、ターンオフのスイッチングまでの遅延時間のばらつきがある。直列接続された素子のオン、オフタイミングに分布がある場合、例えば1つの素子だけがオフで他の素子がオンしているような状況が発生すればオフ状態の素子に過大な電圧分担を強いることになる。この遅延時間は素子制御信号の伝送系、ゲート駆動回路、FET 素子自身を合わせた総合的なものであり、やはり分担電圧を測定しながらの調整を必要とする。

このように従来の Si-MOSFET を用いた SPS では煩雑な電圧分担調整が 28 個の FET それぞれについて必要であった。これを解決するためには FET の直列数を減らす必要があるが、その場合、素子 1 個あたりの平均分担電圧が大きくなり素子損失が大きくなる。しかし、すでに素子損失は 150W/個程度あり排熱的には限界に近い^{[1][2]}。したがって素子性能の根本的な向上無しには SPS の小型化、高信頼性化は不可能というのが現状である。また、今後誘導加速シンクロトロンの特徴である長大なバンチ生成能力を生かしてさらに大型の加速器への適用^[10]を考える上でも、より大電力が取り扱える新型高性能パワーデバイスの開発が必要である。

2.5 加速シナリオ

2.2、2.3、2.4 節に示したように誘導加速には様々な制約条件が課せられている。そこで実際のビーム加速においては入射から加速終了までを複数のステージに分割し、1次巻線2ターンの加速セル2台と1ターンのセル2台を組み合わせることでステージ毎に最適の加速電圧を得る手法を用いることとする。

以下に Ar⁸⁺イオンを KEK-DA の最大磁場まで加速する場合のステージ分割の例を示す(図 2-10)。なお、ここでは1ターンセルを駆動するパルス電源の直流電圧は 1.8 kV、2ターンセル用パルス電源は 2.2 kV とする。

ステージ 1 (入射初期、加速電圧(V_{acc}) < 1.1 kV)

図 2-4 にも示したようにイオンがリングに入射された直後はエネルギーが低いいため、周回周期が長く加速電圧もロングパルスとする必要があるが、加速電圧そのものは低くともよい。そこでこのステージにおいては1次コイル2ターンのセル2台を用い、パルス発生有位相差を設けることにより等価的に2倍のパルス幅を得る。ステージ1においてはビーム入射時の加速電圧のパルス幅を 4 μ s とするが、周回周期が 12 μ s より短くなって以降は周回周期の 1/3 を加速電圧のパルス幅とする。

ステージ 2 (1.1 kV < V_{ACC} < 1.8 kV)

V_{ACC} が 1.1 kV よりも高くなると 2ターンのセルでは加速電圧を発生できなくなるので1ターンのセルに切り替える。

ステージ 3 (1.8 kV < V_{ACC} < 2.2 kV) ~ ステージ 6 (2.2 kV < V_{ACC} < 2.9 kV)

ステージ3以降では2台のセルの電圧を重畳することにより高い電圧に対応させる。

ステージ7 (2.2kV < V_{ACC} < 2.9 kV) ~ ステージ8 (2.2kV < V_{ACC} < 2.9 kV)

加速の最後の段階では周回周期が1 MHz以上となり、パルス電源の定格を越えるため2組のセルを交互に運転することによりパルス電源の実効的なパルス発生周波数を1 MHz以下に保つ。

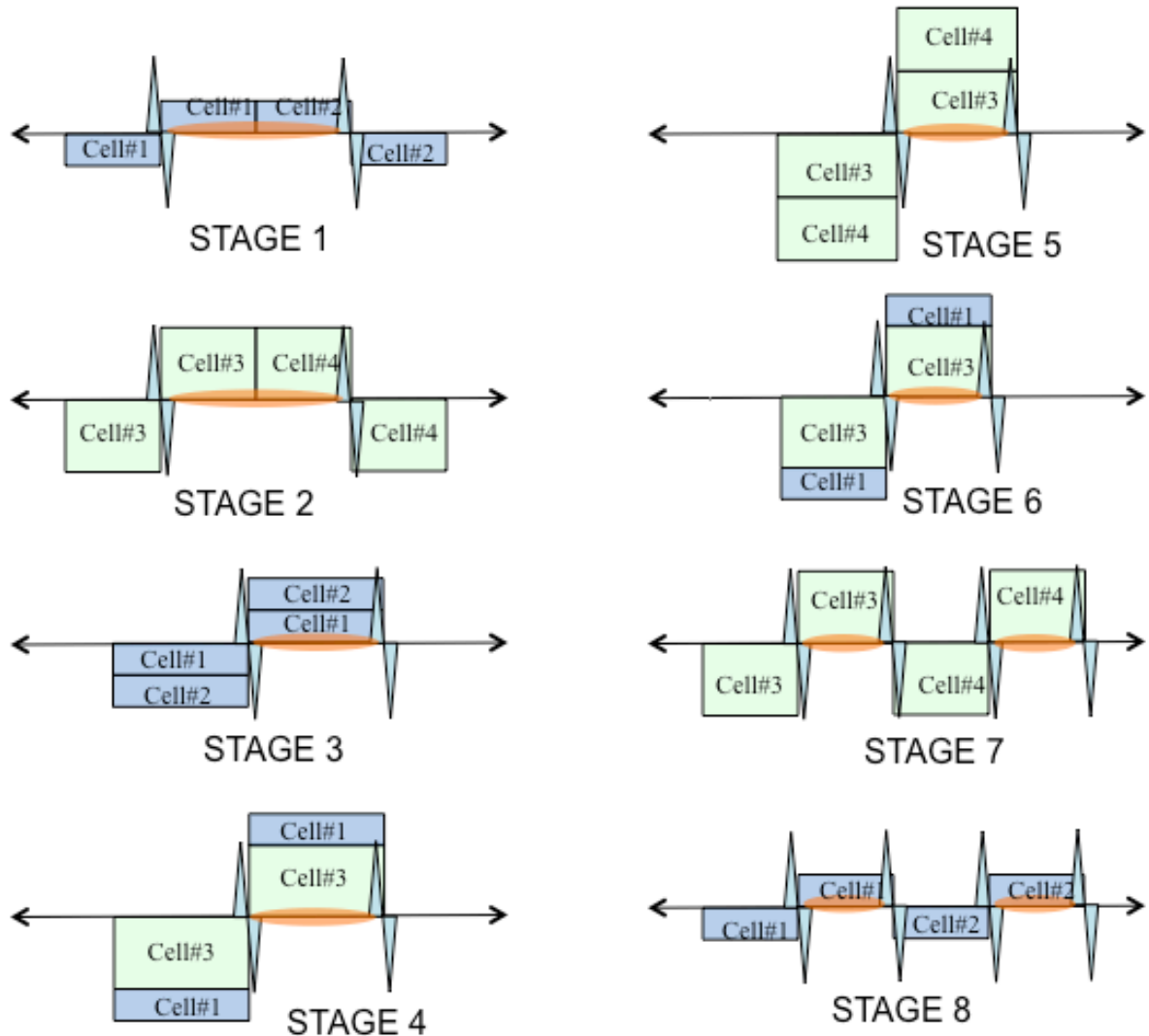


図 2-10 加速シナリオ

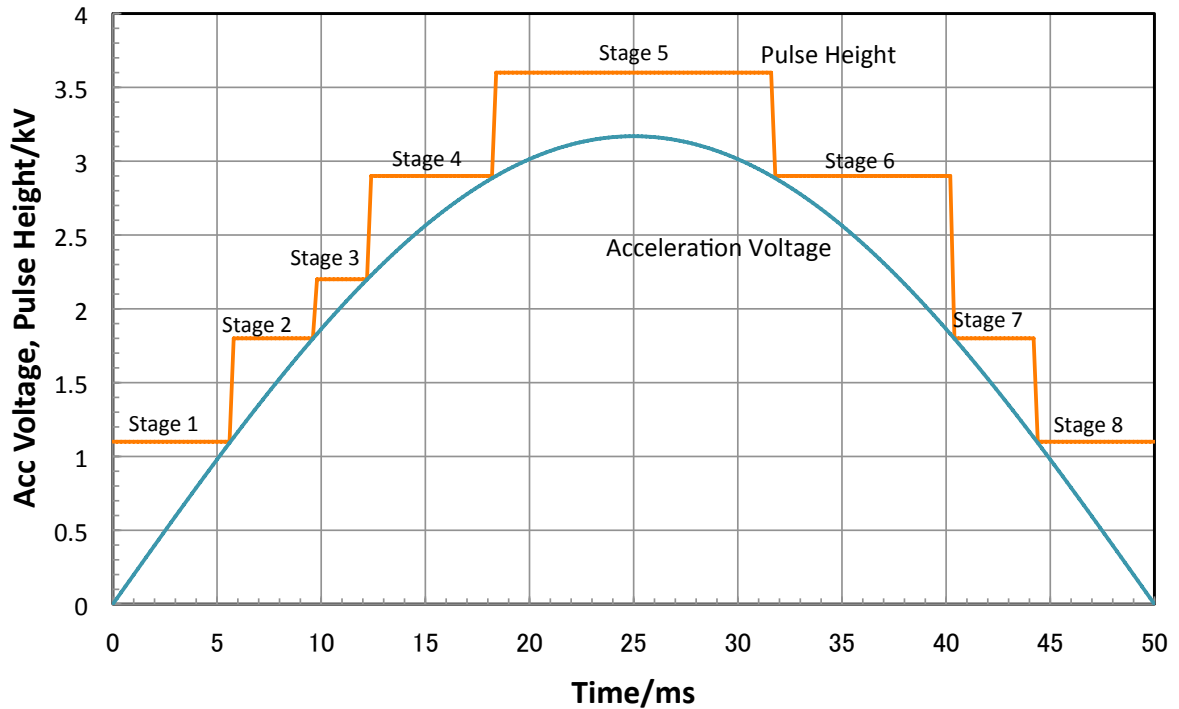


図 2-11 ステージ毎のパルス電圧高さと加速電圧の比較

図 2-11 に各ステージにおける必要な加速電圧とパルス電圧高さの関係を示す。また、図 2-12 に加速開始から終了までの加速電圧、パルス密度、周回周期の関係を示す。デジタル加速器ではこのように発生パルス電圧の量子化とパルス密度変調により必要な加速電圧を得ているということもできる。

図 2-13 には 1 パルスあたりのコアの磁束密度振幅 ΔB とパルス密度を考慮した等価的なパルス周波数を示す。ビームが加速されるにつれて周回周期が短くなるためにパルス幅も短くなり、単一のステージの中では ΔB は減少する。

図 2-14 は 1 パルス当たりのセルの損失と加速周期 (100ms) 内での平均損失を示している。1 ターンセルは磁束密度振幅が大きいため、損失も大きく、最大で 16kW を越えており設計値に近いが、それは瞬間的な値であり平均的には 4kW 以下であって設計値の 17.1 kW に対して充分余裕がある。

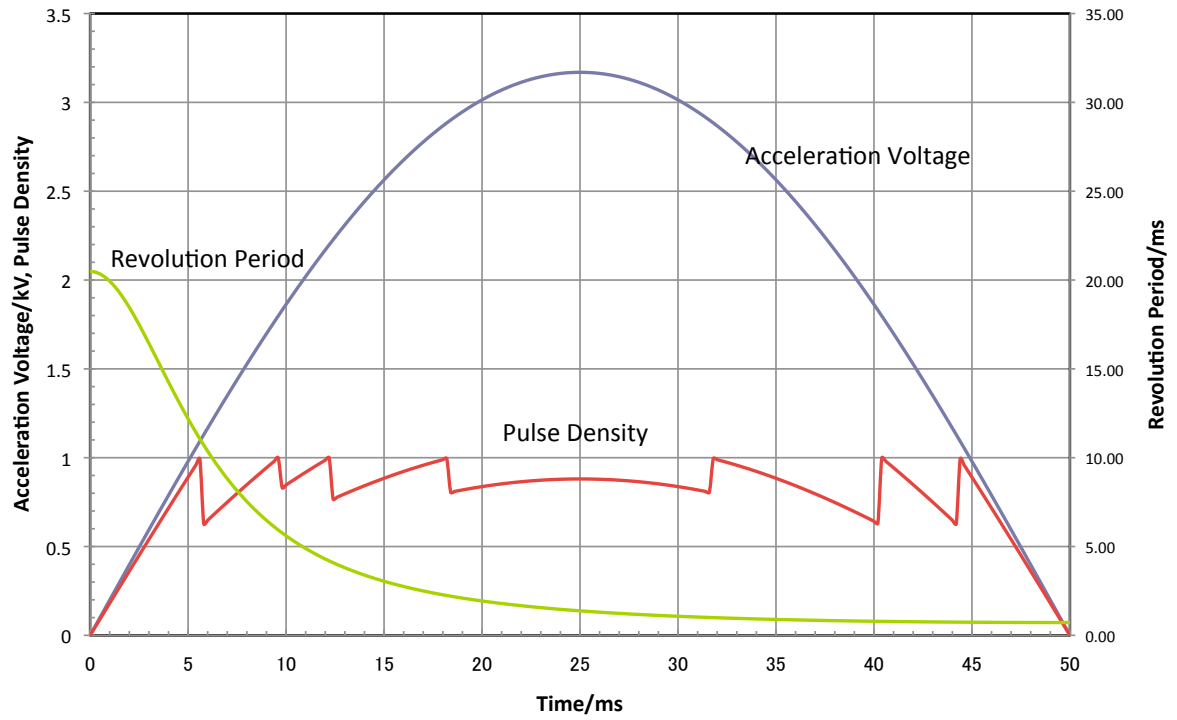


図 2-12 加速開始から終了までの加速に必要な電圧、周回周期、パルス密度の変化

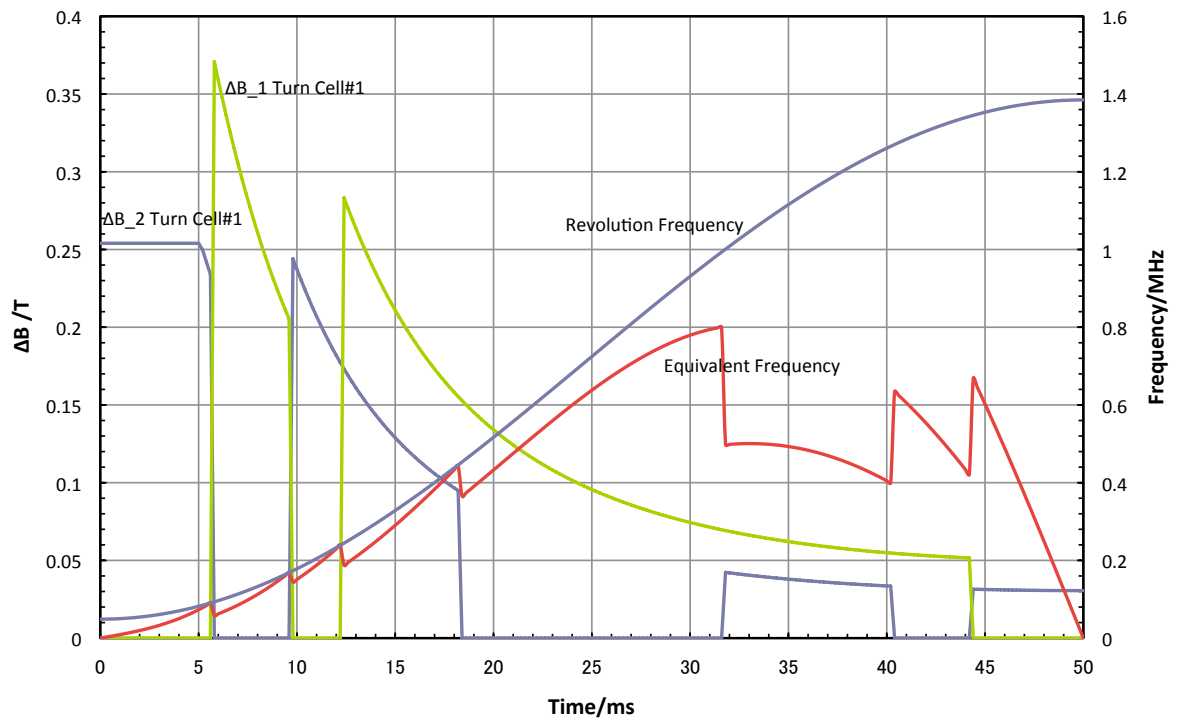


図 2-13 加速シナリオに基づいた ΔB と等価周波数

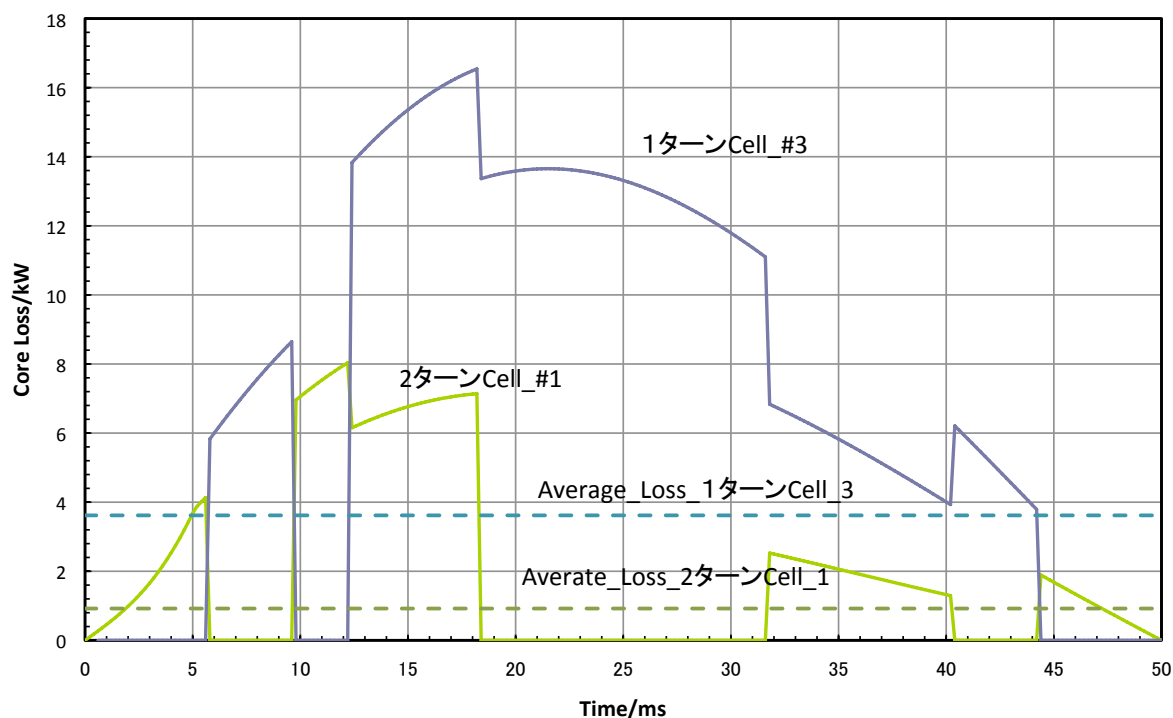


図 2-14 加速シナリオに基づいて計算したコアロス

2.6 第2章のまとめ

本章では次章以降に加速セル駆動用半導体スイッチング電源の各論を展開するのに先だって誘導加速システム全体の技術について俯瞰した。2.1 節では加速システムの等価回路とともに動作原理について示した。2.2 節ではシンクロトロン動作を記述するにあたって重要となるいくつかの式を導出し、KEK-DA のパラメータを代入することで、KEK-DA に必要となる加速電圧を示した。2.3 節では加速セルに必要な加速電圧を発生させるための技術的制約条件として

- 一定の直流電圧の元で加速電圧を連続的に変化させる必要があること
- 加速セルのコア損失を冷却可能な設計値以内に制限する必要があること

を述べた。

2.4 節では、これまで用いられてきた誘導加速セル駆動用パルス電源の課題として、Si-MOSFET が各アーム 7 直列で用いられているために装置が大型化していることのみならず、素子分担電圧を均等化するために多大な労苦を要しており、これを解決するためにはより大電力の取り扱える高電圧の新型パワーデバイスの開発が期待されている事を述べた。

最後に 2.5 節において、現状の加速セルの技術的限界を克服する手段として、加速の初期から終了迄を 8 段階に分割して複数の加速セルを組み合わせる加速シナリオを新たに提案し、この加速シナリオに従った場合、加速セルの損失が設計上限に収まる事を示した。

参考文献

- [1] 鳥飼 幸太 博士論文 「誘導加速シンクロトロンにおける高繰り返し誘導加速装置の開発と陽子ビーム加速の実証」, p.77, 九州大学大学院 (2005)
- [2] 小関、高山:「誘導加速シンクロトロンのためのMHz動作高電圧パルス電源の開発」, 電学論 A, Vol.126-A, No.3, pp.121-126 (2006)
- [3] T. Iwashita, K. Okamura, et al.: “KEK Digital Accelerator”, Phys. Rev. ST. AB vol.14, 071301 (2011)
- [4] T. Yoshimoto, K. Okamura, et. al.: “Heavy Ion Beam Acceleration in The KEK Digital Accelerator: Induction Acceleration from 200 keV to a Few Tens of MeV”, Nuclear Instruments and Methods in Physics Research A733 (2014) 141-146
- [5] 鳥飼 幸太 博士論文 「誘導加速シンクロトロンにおける高繰り返し誘導加速装置の開発と陽子ビーム加速の実証」, p.73, 九州大学大学院 (2005)
- [6] 渡辺 真朗 博士論文 「制御制と高繰り返し性をもつ誘導加速モジュール」, p.45, 東京工業大学 (2001)
- [7] C. H. Smith: “Applications of amorphous magnetic materials at very-high magnetization rates”, J. Appl. Phys., Vol.67, No.9, pp.5556-5561 (1990)
- [8] M. Wake, Y. Arakida, K. Koseki, Y. Shimosaki, K. Takayama, K. Torikai, W. Jiang, K. Nakahiro, A. Tokuchi, and A. Sugiyama: “Switching Power Supply for Induction Accelerators”, Proceedings of PAC 2007, pp.251-253 (2007)
- [9] K. Koseki, M. Wake, and K. Takayama: “Significance of Isolation Impedance in a Solid State Power Modulator”, Nucl. Instr. And Meth. A, Vol. 554, No.1-3, pp. 64-74 (2005)
- [10] 高山, 下崎, 木代:「誘導加速シンクロトロンの実証とその応用」, 日本物理学会誌, Vol.59, No.9, pp.601-610 (2004)

第3章 半導体スイッチのパルスパワーへの応用と誘導加速への適用可能性検討

第2章において Si-MOSFET を用いた従来型のスイッチング電源の課題を述べ、その限界を超えるためには新型半導体パワーデバイスの開発が必要であることを述べた。誘導加速セル駆動用スイッチング電源は高繰り返し型パルスパワー電源の典型例ということができるが、これまでもパルスパワー電源に半導体を適用するために様々な試みがなされている。本章ではそれらの研究についてレビューし、スイッチング電源への適用可能性について検討する。

3.1 パルスパワーシステム

パルスパワーは電磁エネルギーを時間的・空間的に圧縮、高密度化したパルス電力を作り出し、これを粒子ビーム、レーザー、マイクロ波などに変換して利用する技術で 1990 年代以降大きく発展してきた^[1]。図 3-1 にパルスパワー発生システムのブロック図を示す。

最初に低密度のパワーソースから時間をかけてエネルギーの蓄積を行う。エネルギー蓄積の媒体としてはキャパシター、インダクター、単極発電機などが可能であり、これらの媒体におけるエネルギー形態はそれぞれ静電エネルギー、誘導エネルギー、運動エネルギーである。

次に蓄積したエネルギーを高速スイッチにより取り出す。スイッチはその機能面においてクロージングスイッチとオープニングスイッチに分類することができる。クロージングスイッチはオフ状態からオン状態に遷移を行うスイッチであって、代表的なものにはギャップスイッチやサイラトロンなどがある。高速のクロージングスイッチをキャパシターと組み合わせると、充電したエネルギーを短パルス大電流という形で取り出すことができ、パルスパワーを発生することが出来る。オープニングスイッチはクロージングスイッチとは逆にオン状態からオフ状態への遷移を行うスイッチであって、代表的なものにヒューズがある。オープニングスイッチをインダクターと組み合わせると電流を遮断することによりパルス高電圧を発生することが出来る。

スイッチにより取り出されたパルスパワーは伝送線路等を介して最終的なエネルギー変換装置に導かれる。場合によってはこの伝送途中において、MPC (Magnetic Pulse Compression: 磁気パルス圧縮) 回路、テーパー線路、多段積み線路等を用いてパルスの整形、電圧増幅などが行われることもある。いずれにせよ高速短パルスの伝送においてはわずかの距離でも分布定数回路として取り扱う必要があるためインピーダンスマッチングに充分注意を払う必要がある。

パルスパワーは放電、高電圧といった電気エネルギーの形のままで応用されることもあるが、最終的にはマイクロ波、光、X線といった電磁波や粒子ビームの形に変換

される場合も多い。電磁加速器はレールガンとも呼ばれ、2本のレール間に可動導体を挿入し、パルス電流を流すことで加速し、高速で放出するものである。高速飛翔体を衝突させることで超高圧、高密度を発生させ、新たな研究の展開が期待されている。

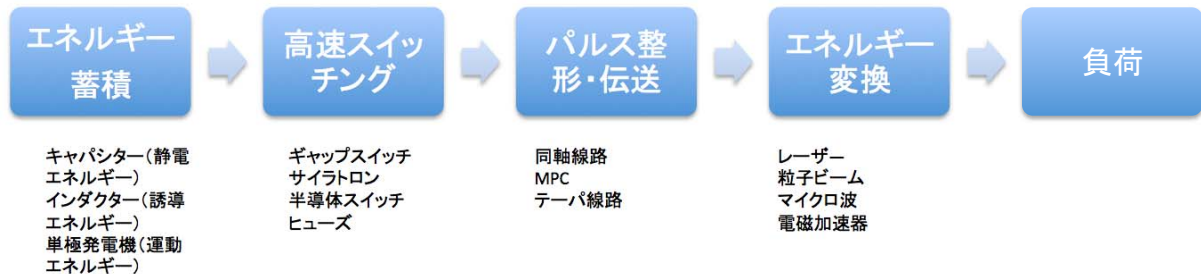


図 3-1 パルスパワーシステム

3.2 半導体スイッチの必要性

前節で述べたように、パルスパワーシステムにおいてスイッチは高速パルスを作り出す重要なコンポーネントである。要求される性能は多くの用途において数 10kV、数 kA というものであったためデバイスとしてはギャップスイッチやサイラトロンが主に用いられてきた。しかしながら、これらのスイッチは電極間の放電現象を利用したスイッチであるために、繰り返し使用による電極の摩耗が不可避であり、寿命が短く信頼性に欠けるといった欠点があった。このため放電スイッチに比べると格段に長寿命である半導体パワーデバイスによる置き換えが切望されて今日に至っている。半導体パワーデバイスは、機能的には非可制御バルブデバイス、オン制御バルブデバイス、オンオフ制御バルブデバイスの3種類に分類できる^[2]。非可制御バルブデバイスは制御端子をもたず、一方向のみに通電可能なデバイスである。代表的な物にダイオードがある。制御端子をもたないことからパルスパワー用のスイッチング素子には適さないように思われていたが、ダイオードが逆回復する時に電流を高速遮断するスイッチ作用を利用して超短パルスを発生させる回路方式と専用の SOS (Semiconductor Opening Switch) ダイオードが開発され^[3]、オープニングスイッチとしての本格的利用が研究されている。オン制御バルブデバイスはサイリスタに代表されるようにオフからオンへの制御のみを制御端子(ゲート)から制御できるデバイスであり、オンからオフへの状態遷移は外部回路条件により電流が0になった時に行われる。オンオフ制御バルブデバイスは MOSFET や IGBT のようにオフからオンへ、オンからオフへの双方向の制御が可能なデバイスである。図 3-2 に各種のパワーデバイスの適用範囲と一般的なパワーエレクトロニクスでの応用例を、横軸にスイッチング周波数、縦軸に出力パワーを取って示した^[4]。本章では各種半導体パワーデバイスの特徴とパルスパワーへの適用研究成果について述べ、さらに誘導加速セル駆動電源への適用可能性について検討する。

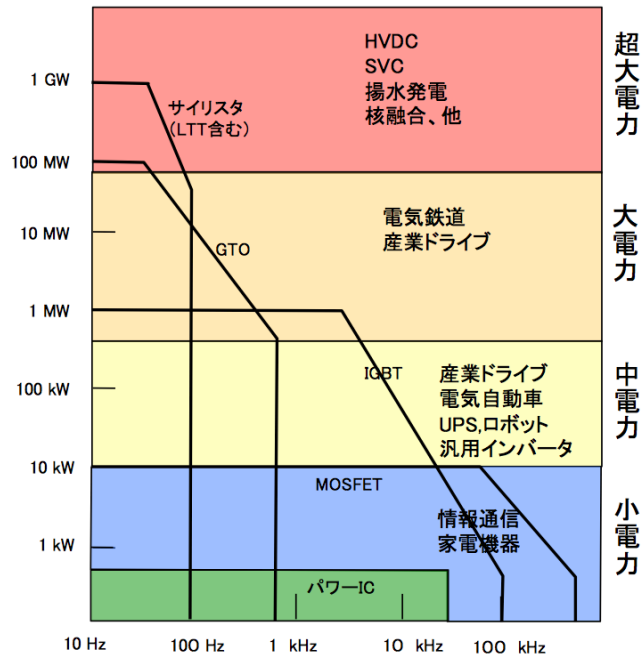


図 3-2 各種パルスデバイスの適用範囲と応用例^[4]

3.3 各種 Si 半導体スイッチ素子とパルスパワーへの適用

3.3.1 サイリスタ

サイリスタは **pnpn** の 4 層構造をもつオン制御パルスデバイスである。図 3-3 にその基本構造と 2 つのトランジスタで表した等価回路モデルを示す^[5]。サイリスタの動作はゲート端子から電流が注入されると **pnp** トランジスタと **npn** トランジスタの正帰還作用により両トランジスタともにオン状態とな

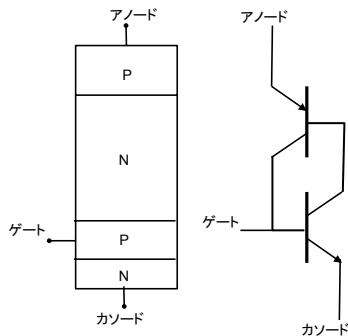


図 3-3 サイリスタの構造断面と 2 トランジスタ等価回路

ってサイリスタ全体がオン状態になる。オフ状態になるためには外部回路で通電電流が一定値 (保持電流) 以下になるまで下げるしかない。サイリスタは比較的単純な構造の素子であるため、高電圧、大電流化が容易であるが、一方でスイッチング速度が遅いという欠点がある。高速スイッチングサイリスタではこの点を補うために、ゲートパターンを単純なセンターゲートではなく放射状や渦巻き状にしている^[6]。また回路上も、磁気アシスト方式によりサイリスタの特性を補うことでスイッチング性能を向上させることが可能である。

磁気アシストとはサイリスタに直列に可飽和リアクトル (磁気スイッチともいう) を接続し、サイリスタのターンオン直後のサイリスタ全体にキャリアが拡散していない状態においては直列接続されたリアクトル部分が電流を阻止し、キャリアが拡散した後、リアクトルが飽和して電流が流れるようにした方式をいう。可飽和リアクトルの

鉄心材料（鉄系アモルファス、コバルト系アモルファス、ファインメット）の比較を行い^[7]、さらにアシスト時間（可飽和リアクトルが電圧を保持する時間）の最適化を行った結果、 $60\text{kA}/\mu\text{s}$ という高 di/dt のスイッチング性能が実現されている^[8]。図 3-4 に磁気アシスト方式によりサイリスタの di/dt 性能を向上させた例を示す。ゲート電流が流れることによってサイリスタがターンオンし、アノード電圧が低下しても磁気アシスト効果によって $0.7\ \mu\text{s}$ の間、アノード電流の上昇が抑えられていることが分かる。

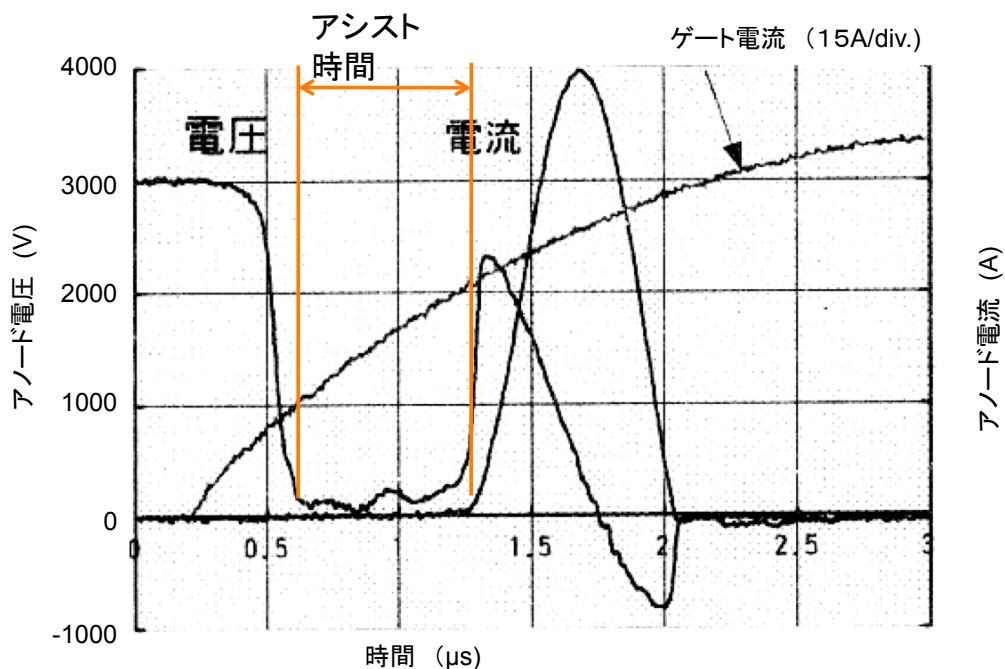


図 3-4 磁気アシストを用いたサイリスタの高 di/dt スwitching 波形^[8]

図 3-5 は 10 直列の磁気アシスト付きサイリスタスイッチにさらに従属点弧回路方式を採用したレーザー電源回路とその波形である^[9]。図 3-5 では電圧波形としてスイッチ全体、即ちサイリスタ 10 個分と、10 個のサイリスタのうち下側 5 個の各サイリスタの個々の電圧波形が示されている。この電源回路の開発に当たっては予備実験においてアシスト時間と許容 di/dt の関係が調査された結果、アシスト時間は $1.1\ \mu\text{s}$ に決定されている。

従属点弧回路とは直列接続されたサイリスタの全てにゲート回路を接続するのではなく、アース電位に近い最下段のサイリスタのみゲートドライブ回路を接続し、最下段のサイリスタが点弧した後は各サイリスタに並列に接続した抵抗、コンデンサからなる電圧分担回路の充電電流をゲートに流し込むようにして各サイリスタを順次点弧するようにした回路である。従属点弧回路の採用により、多直列回路で課題となる高電位に接続されたサイリスタのゲート回路への電力と制御パルスの供給という課題が解決された。図 3-5 では、最下段のサイリスタがターンオンしたあと 2 段目から 5 段目迄のサイリスタが順次ターンオンして行く様子が分かる。従属点弧回路では

サイリスタの点弧タイミングが同時にはならないため、一般的にはターンオン過電圧の問題が生じやすいが、本例では磁気アシストを併用しているために全サイリスタのターンオンが完了するまでは電流が制限され、ターンオン過電圧を 120%以下とすることに成功した。

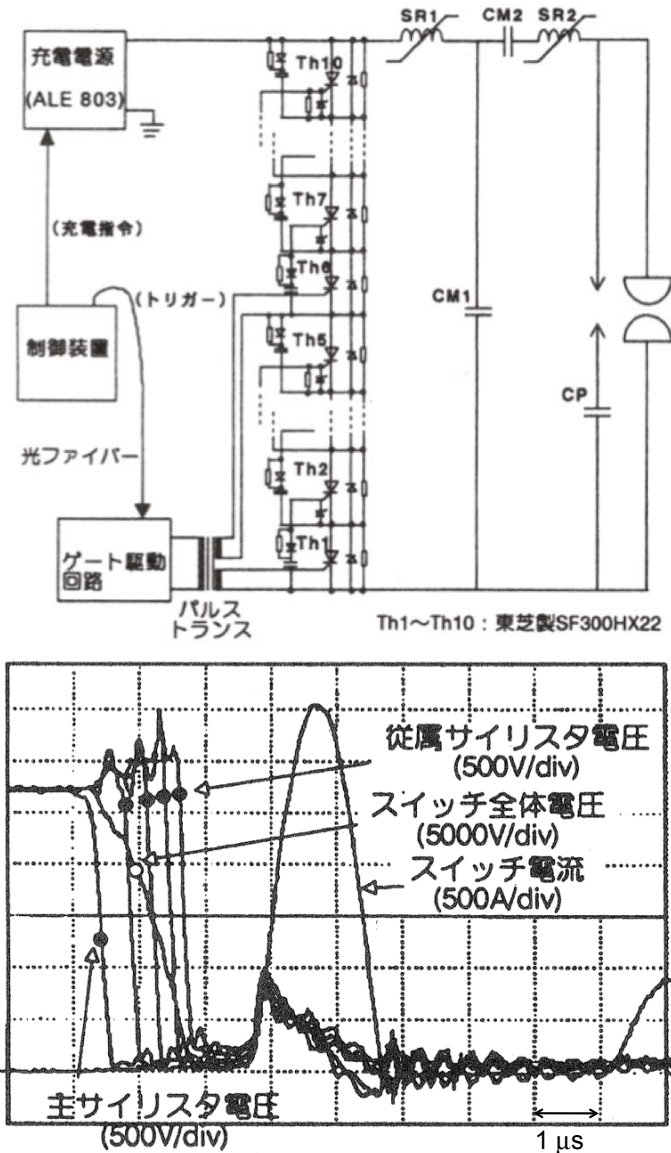


図 3-5 10 直列磁気アシスト付き従属点弧サイリスタスイッチを採用したレーザー電源回路回路 (上) とスイッチ部の波形 (下) ⁹⁾

3.3.2 MOSFET (Metal Oxide Semiconductor Field Effect Transistor)

MOSFET はゲート電圧によってドレイン、ソース間のチャネルの多数キャリアを制御してオン、オフするスイッチング素子である。図 3-6 にパワーMOSFET の基本構造を示す¹⁰⁾。バイポーラデバイスのように少数キャリア蓄積効果が存在しないことから極めて高速のスイッチング動作が可能となる。一方で、多数キャリアのみの素子であることから電流密度を高くすることができず、高耐圧、大電流の素子とすることが

困難であったが、誘導加速シンクロトロンのような 1MHz を越える高繰り返しのパルス電源を実現することのできる唯一の素子であり、実際、誘導加速シンクロトロンの実証用電源として MOSFET を 7 直列にした Hブリッジ電源が採用されている^[11]。

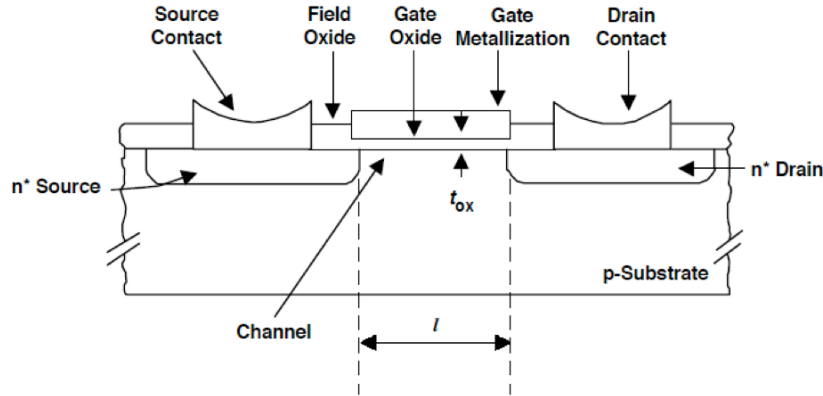


図 3-6 POWER MOSFET の基本構造^[10]

図 3-7 は MOSFET を 125 直列にして 100kV のスイッチングを可能にしたパルススイッチである^[12]。このスイッチではゲート駆動を容易にするためにパルストランス駆動が採用されている。パルストランス方式によるゲート駆動の場合、コアの飽和を防止するために数 μs 程度の短パルスでしか駆動できないことが多いが、本例では長パルスでの運転を可能にするためにゲート回路に補助 FET を用いたラッチ方式ゲートドライバー回路が用いられている。これによりパルストランス方式でありながら 5ms 以上のオン時間を得ることに成功している。

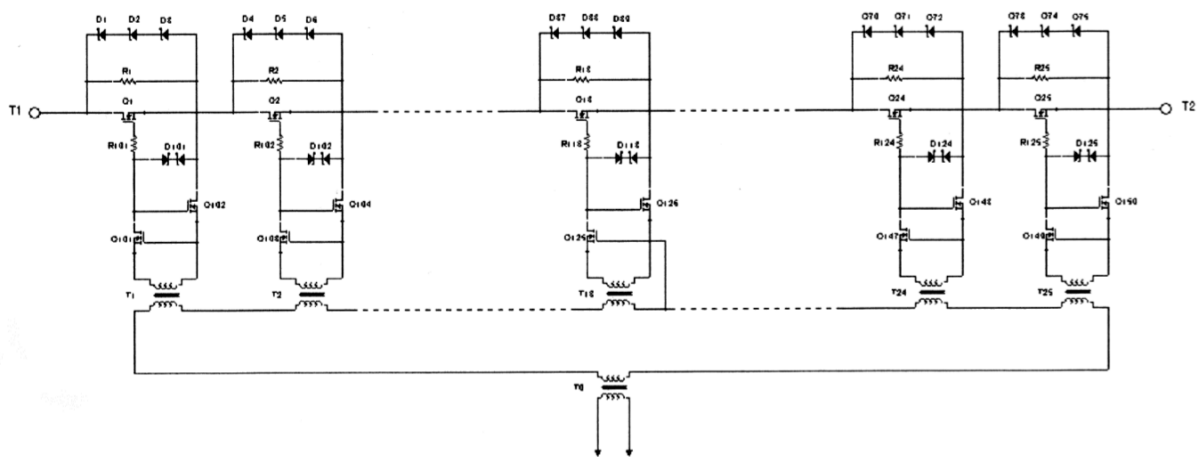


図 3-7 MOSFET 125 直列スイッチ回路^[12]

3.3.3 MAGT (Mos Assisted Gate-triggered Thyristor)

MAGT は、等価回路上はサイリスタのゲート部分を MOS (Metal Oxide Semiconductor) 構造とし、高速化を図ったものである。図 3-8 に MAGT の基本構造と等価回路を示す^[13]。ターンオン時に電子がカソードから MOSFET を介して直接

n ベースに注入されるため、高速ターンオンが可能となる。さらに MAGT は p ベースの厚さを最適化し、n エミッタから n ベースへのキャリア注入効率を高くすることにより n ベースのキャリア蓄積を高めるなど、ターンオン特性の向上が図られたパルスパワー専用のパワーデバイスである^{[14][15]}。図 3-9 に MAGT のスイッチング波形の例を示す^[13]。この時、ピーク電流 3050 A (21.8 kA/cm²)、 $di/dt=14.8$ kA/μs (106 kA/μs/cm²) が達成された。MAGT は高繰り返しエキシマレーザ用パルス電源への適用を目標として開発され、従来使われていたサイラトロンスイッチに置き換え可能であることを実証するとともに^{[16][17]}、MAGT を使用したパルス電源で XeCl レーザーを繰り返し 3 kHz で発振させることにも成功した^{[18][19]}。

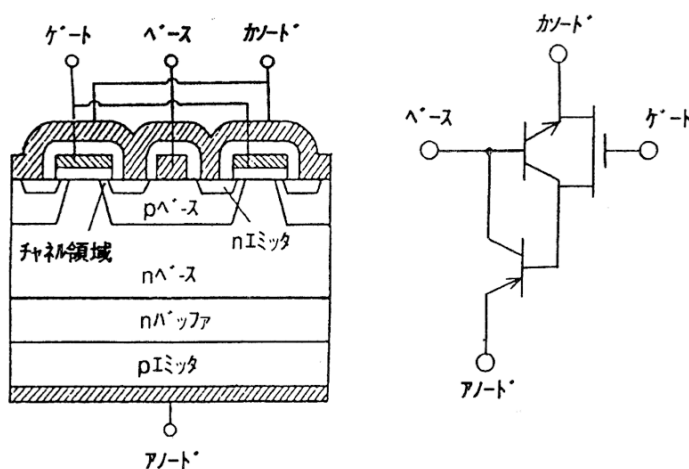


図 3-8 MAGT の基本構造と等価回路^[13]

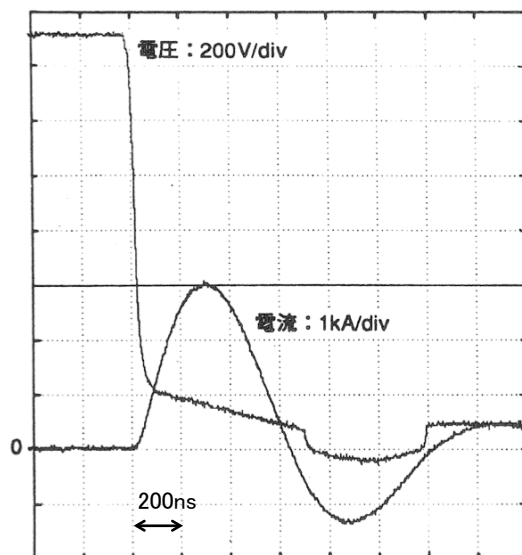


図 3-9 MAGT の短パルススイッチング波形^[13]

図 3-10 にレーザー発振実験回路を示す。レーザーを発振させるためには約 25kV の電圧が必要であるため、この実験では MAGT 素子を 8 個直列にした同軸構造の基本モジュール 4 台を直列に接続して使用している。このように多数の素子を直列にし

たときに問題となるのは電圧分担であるが、ここではモジュール単位で電圧バランス改善用の並列キャパシタンスの値を変え、さらにゲート駆動回路にプログラマブル遅延回路を挿入することでターンオンタイミングの時間差を±2 ns 以下とすることで電圧バランスを改善している。

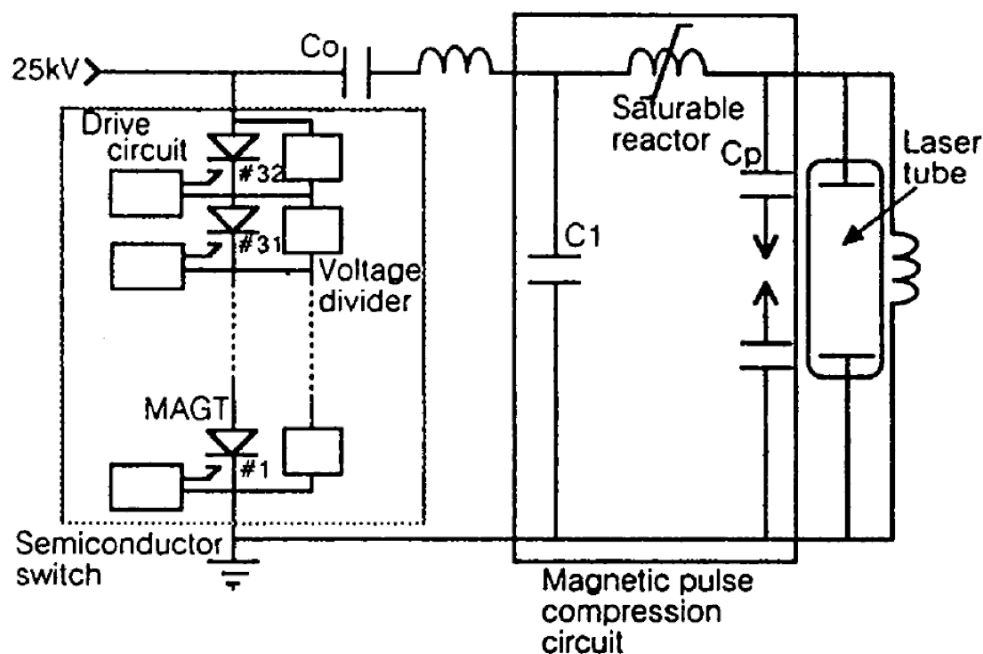
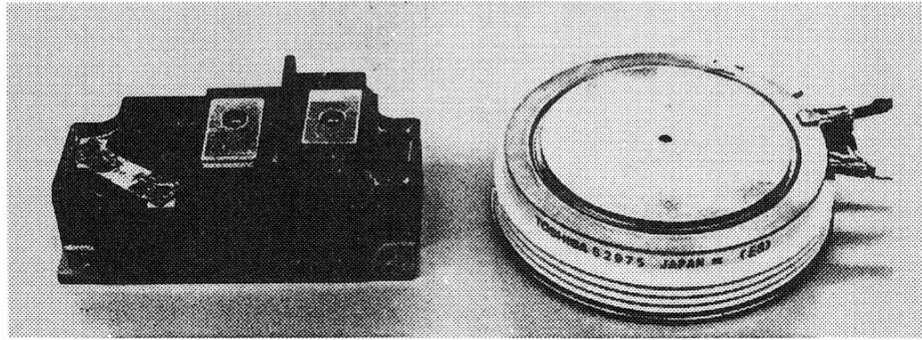


図 3-10 MAGT を用いた XeCl レーザー発振実験回路^[18]

3.3.4 IGBT (Insulated Gate Bipolar Transistor)

IGBT は MOS ゲートからの多数キャリア注入によってパワートランジスタを制御するオンオフ制御バルブデバイスであり、MOSFET の高速スイッチング特性とバイポーラトランジスタの大電流通電特性を兼ね備えた素子といえる。IGBT は当初 600-1200V クラスの中小型素子から量産が開始され、パルスパワーへの適用研究も比較的小型のパワーモジュールで行われたが^[20]、順次大電力素子への移行が図られサイリスタのような平型圧接素子も開発されるに至った。図 3-11 にパワーモジュール型素子と圧接型素子の外形比較を示す^[21]。図 3-12 は圧接型 IGBT を 10 直列にした銅蒸気レーザー用パルス電源の出力波形である^[22]。この電源ではスイッチ部のインダクタンスを小さくするため、同心状の銅母線配置を行い直列スイッチモジュール部でのインダクタンスが 170nH まで低減されている。



(a) パワーモジュール型IGBT

(b) 圧接型IGBT

図 3-11 パワーモジュール型と圧接型 IGBT の外形比較^[21]

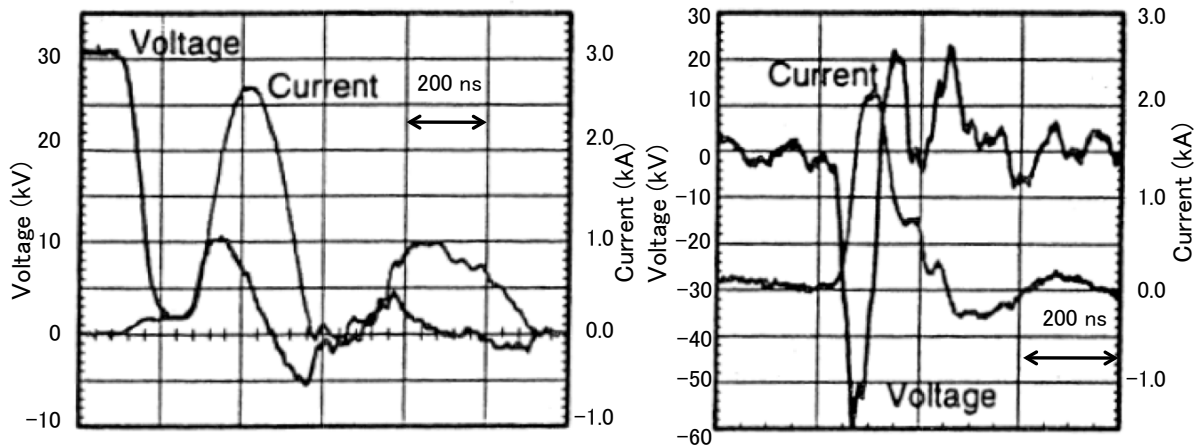


図 3-12 圧接型 IGBT を用いた銅蒸気レーザ電源波形^[22]

(左) : スイッチ波形、(右) : レーザ管

3.3.5 IEGT (Injection Enhanced Gate bipolar Transistor)

IGBT はベースとなる素子がバイポーラトランジスタであるため、高耐圧化を図ろうとすると n ベース層の抵抗が大きくなり、通電損失が増加するという課題があった。この欠点を克服するために開発されたのが IEGT である。IEGT の構造断面図と IEGT と IGBT の縦方向のキャリア密度分布比較を図 3-13 に、圧接型 IEGT パッケージの外観と内部チップ配置を図 3-14 に示す。IEGT ではエミッタ面に形成されたゲートの長さを最適化することにより、エミッタ側からの電子注入促進作用 (Injection Enhancement Effect) によってエミッタ近くにおけるキャリア密度を高める様工夫されている。これにより IEGT では高耐圧化しても GTO サイリスタ並みの低損失化が可能とされている^[23]。

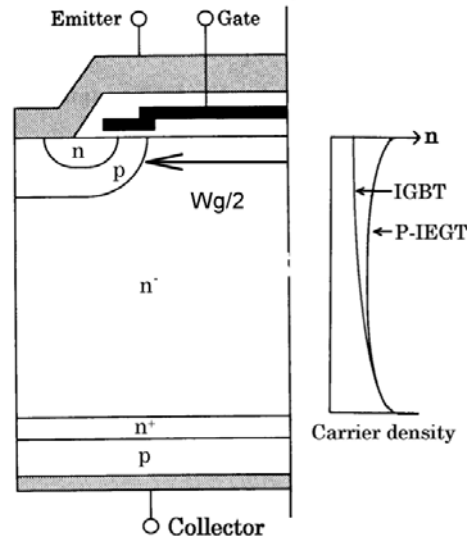


図 3-13 IEGT の構造断面 [23]

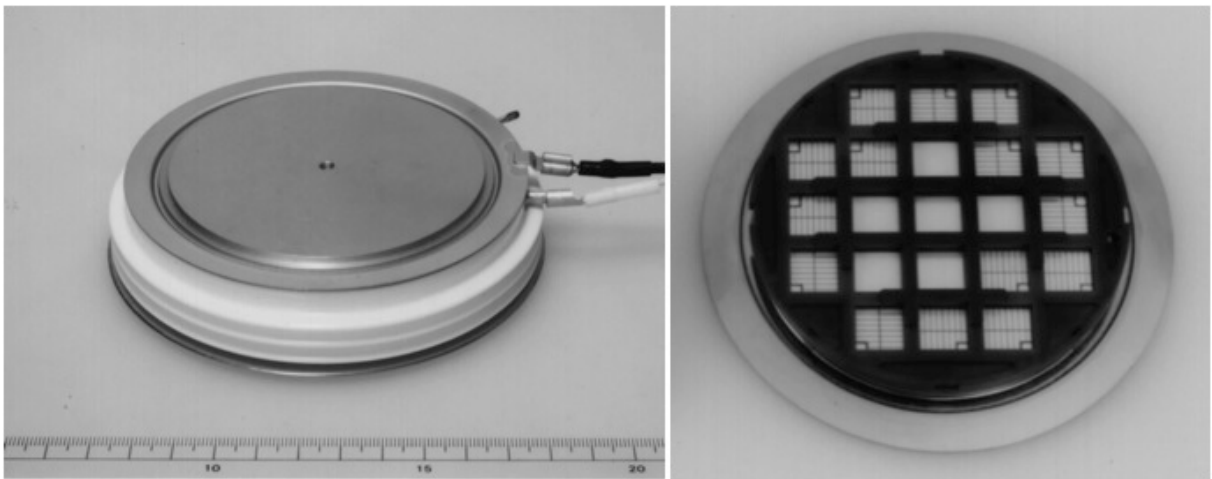


図 3-14 圧接型 IEGT の外観 (左) と内部チップ配置 (右)

IEGT のパルスパワーへの適用を図るにあたり、最初に小サイズの素子チップを用いて IEGT のパルス通電特性の調査が行われた[24][25]。その結果 IEGT を IGBT と比較すると同一の電圧・電流定格とした場合、損失を 50%に低減できることが明らかとなった。さらに 12 ないし 15 個のチップを圧接型パッケージに封入したデバイスを用いて大電流通電時のパルススイッチング特性の調査も行われた[26]。この研究ではパルス波形としてレーザー電源等への応用を考えた短パルス通電とクライストロンモジュレータ等への応用を考えた矩形波パルス通電の両特性の調査も行われた。図 3-15 と図 3-16 にそれぞれ短パルス通電と矩形波パルス通電の波形を示す。

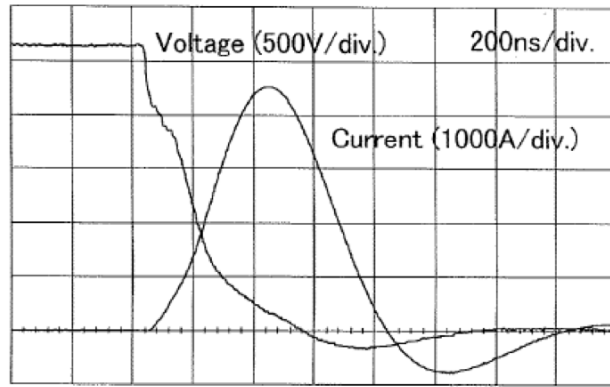


図 3-15 IEGT 短パルス通電波形 [26]

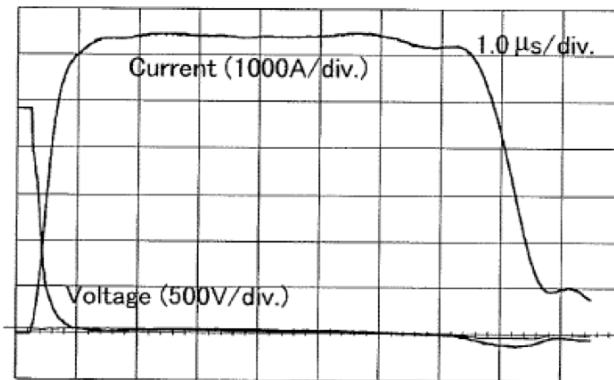


図 3-16 IEGT 矩形波パルス通電波形 [26]

これらの結果により、IEGT がパルスパワー用途に有望であることが明らかとなった。図 3-17 に圧接型 IEGT を 10 直列にしたクライストロンモジュレータ用パルス電源の出力波形を示す[27]。本モジュレータは放射光施設 Spring-8 のクライストロン電源に組み込まれ、約 1 ヶ月に渡って 24 時間連続運転テストに供され、順調に稼働する事が確認された。

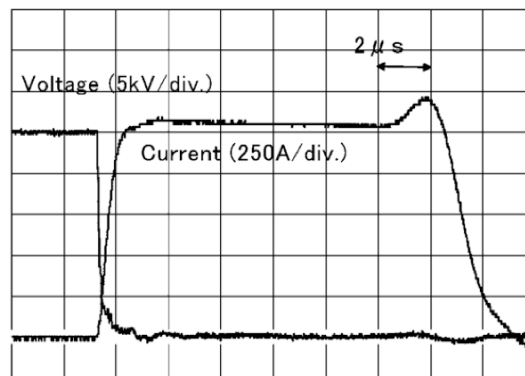


図 3-17 IEGT を適用したクライストロンモジュレータの出力波形 [27]

さらにシングルチップの IEGT をモールドした図 3-18 に示すようなディスクリート IEGT が開発された。この素子はクライストロンの M アノード変調器用として開発されたものである。円盤状の基板 1 枚に素子を 11 個直列接続し(図 3-19)、さらに基板 5 枚をスタックすることで全体では 55 直列に接続された超高圧のスイッチモジュールが開発された[28]。電圧が高いため本スイッチは絶縁油中で使用される。またゲ

ート駆動は図 3-20 に示すようにパルストランス方式としている。図 3-21 にスイッチの外形を、図 3-22 に 120kV 充電時の基板 1 枚当たりのスイッチング波形を示す。

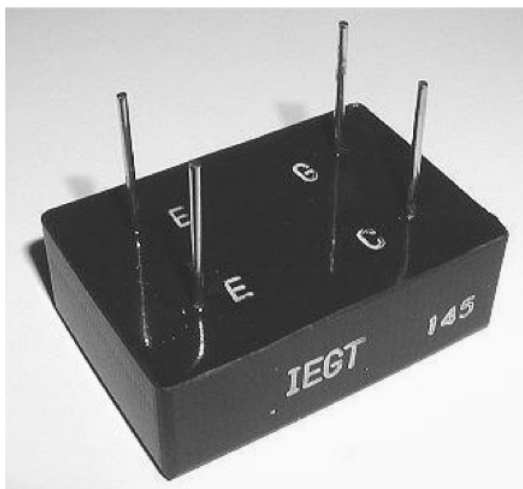


図 3-18 モールドパッケージのディスクリート IEGT

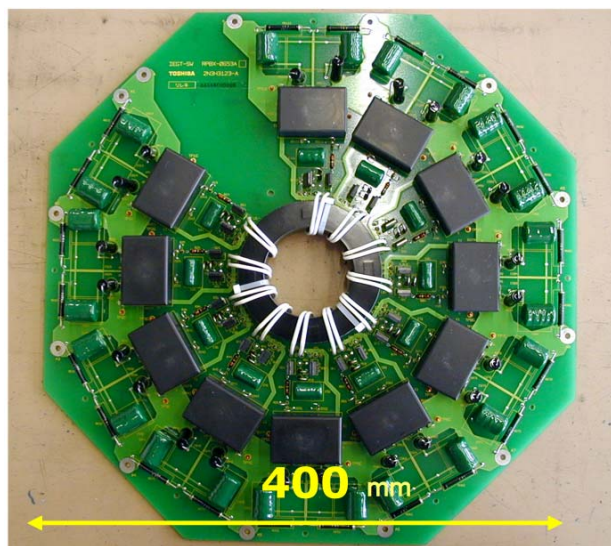


図 3-19 M アノード変調器用 IEGT 基板

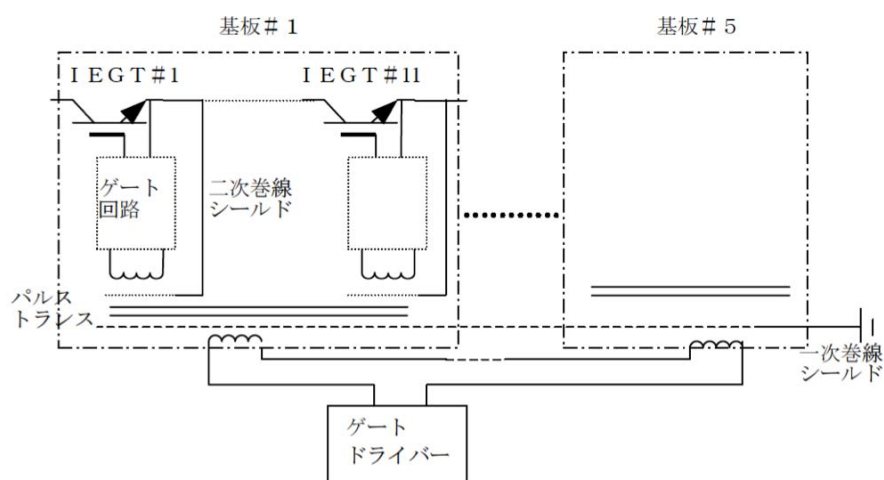


図 3-20 M アノード変調器用スイッチ回路^[28]



図 3-21 M アノードモジュレータスイッチ

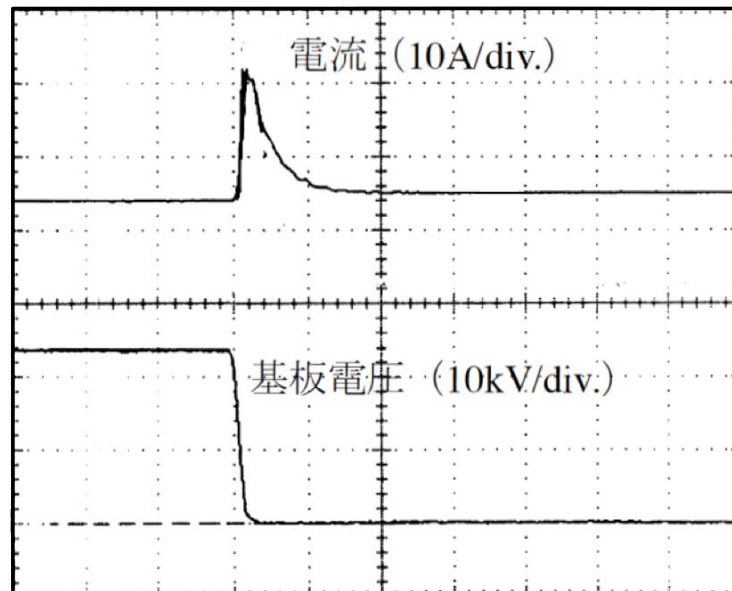


図 3-22 120kV 充電時基板 1 枚当たりの波形^[28] (2 μ s/div.)

3.3.6 SI サイリスタ (Static Induction サイリスタ)

SI サイリスタは静電誘導効果を利用してオン、オフ制御を行うサイリスタであり、 $p^+n^-n^+$ ダイオードの n^- 層内にゲートの働きをする p^+ 層を埋め込んだ構造となっている (図 3-23 ^[29])。SI サイリスタは電圧制御型デバイスであり高速動作が可能である上に、高耐圧化が容易であるという特徴がある。図 3-24 に示すような小型の SI サイリスタを用いてパルス通電特性が調査された。図 3-25 にスイッチング波形を示すが 2.5 kV という高電圧でも問題なく動作することが確認されている^[30]。しかしターンオフ時のテール電流が数マイクロ秒に渡って流れておりターンオフ損失がスイッチング損失の殆どを占めているという事も分かった。連続スイッチング実験では 50 kHz の動作を確認することができたが、70 kHz では素子が破壊した。ターンオフ特

性をいかに改善するかが SI サイリスタの課題と考えられる。

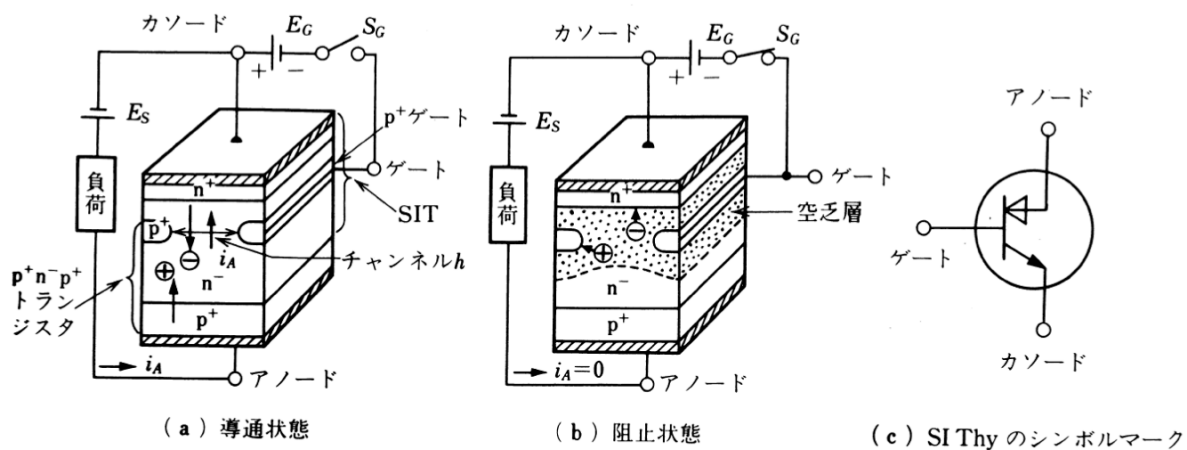


図 3-23 SI サイリスタの構造、シンボルと動作説明^[29]

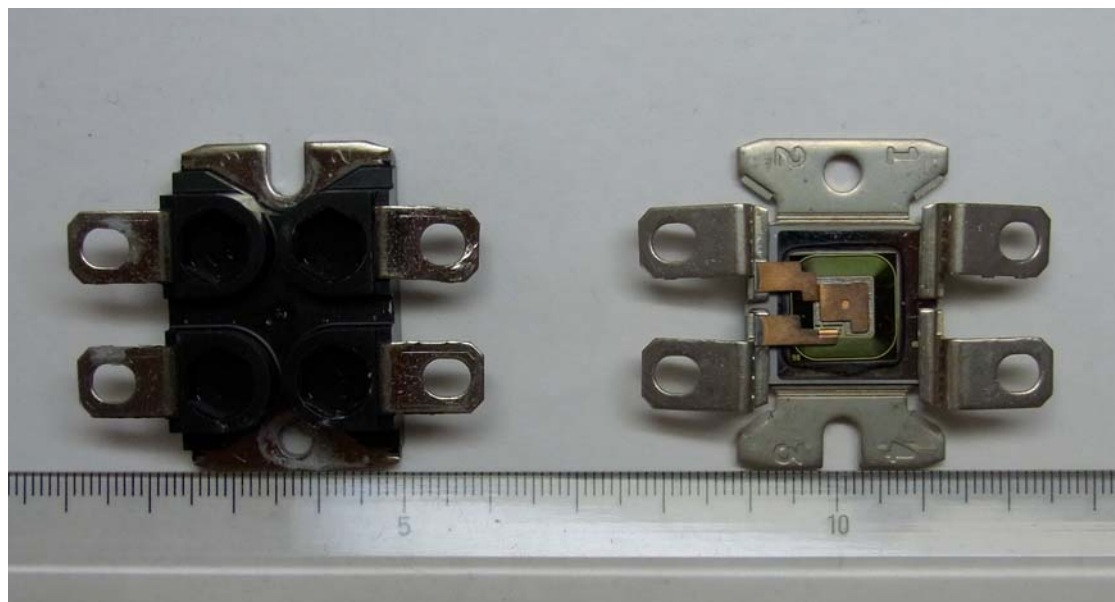


図 3-24 小型 SI サイリスタパッケージ

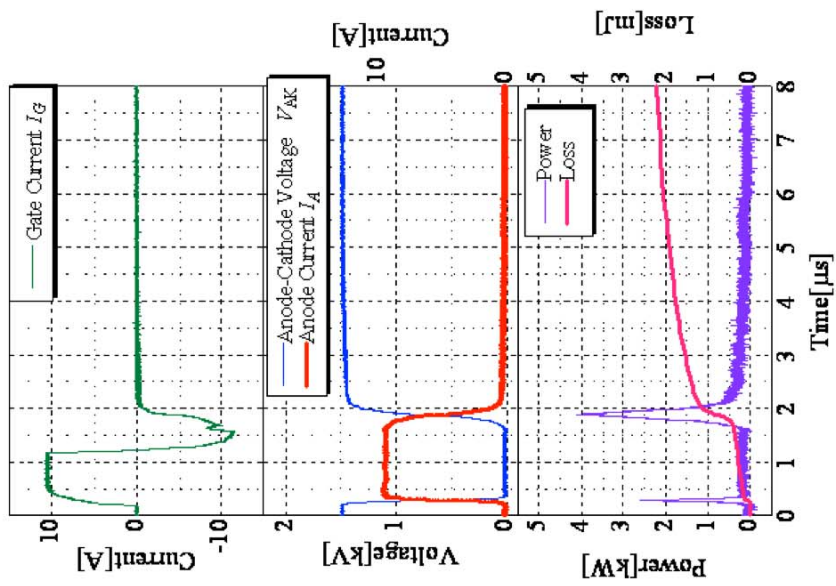
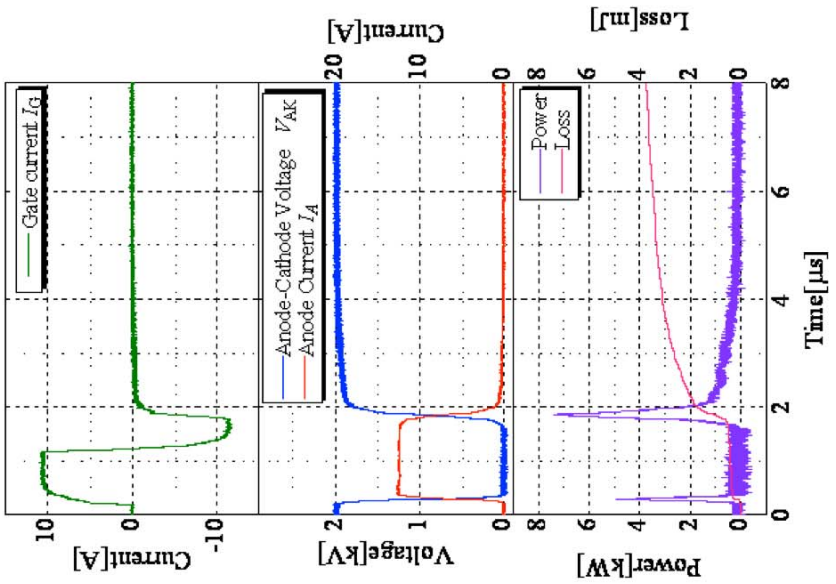
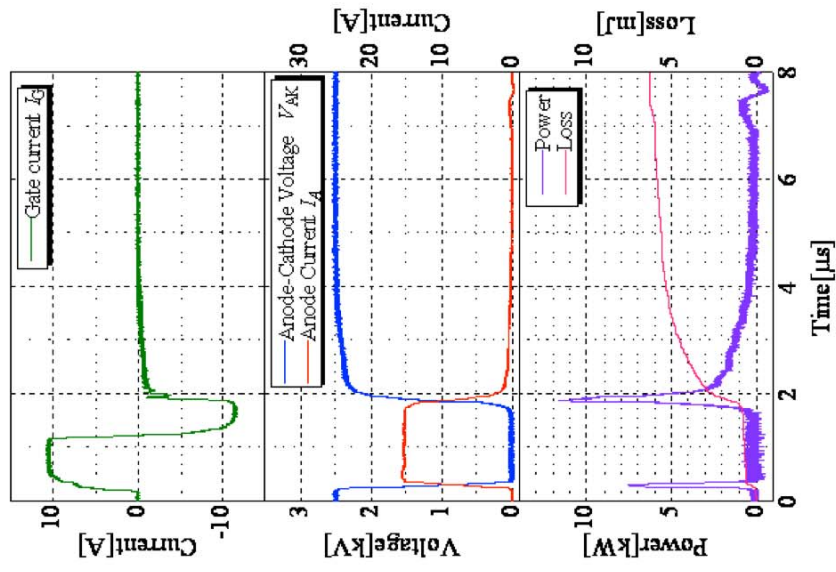


図 3-25 SI サイリスタのスイッチング波形^[30]

3.4 SiC 半導体スイッチ素子

3.4.1 SiC パワーデバイスの優位性

これ迄述べた半導体バルブデバイスは、全て Si を素材とした半導体デバイスであった。Si 半導体デバイスは 1950 年代に開発されて以降、低損失化、高耐圧化、ハイパワー化の改良が進められてきたが、そろそろ材料的な限界が見えてきたとも言われている。そこで Si に代わる素材として期待されているのが SiC 等のいわゆるワイドギャップ半導体である^[31-35]。表 3-1 に SiC と Si、GaAs の物性値を比較して示す^[36]。SiC は Si に比べて(1)バンドギャップが 3 倍、(2)絶縁破壊電界が 10 倍、(3)熱伝導率が 3 倍、(4)融点が 2 倍というパワーデバイスとして極めて優れた特徴を持っていることが分かる。ワイドギャップ半導体は高温における漏れ電流が少なく、動作上限温度を高くすることができるということの他に、加速器用電源を用途とするときには耐放射線という観点からも重要な意味を持つ。即ち、Si 半導体パワーデバイスを適用していた場合には放射線に弱いために加速器トンネル内に設置することができなかった電源本体を、SiC デバイスに置き換えることで加速器トンネル内に設置することを可能にし、その結果として伝送ケーブルを短くし、高効率、高性能化を図ることが可能になると期待される。

表 3-1 半導体材料物性値の比較^[36]

項目	4H-SiC	Si	GaAs
バンドギャップ E_g [eV]	3.2	1.12	1.42
電子移動度 μ_n [cm^2/Vs]	800	1450	8500
電子飽和速度 V_s [cm/s]	2.0×10^7	1×10^7	1×10^7
絶縁破壊電界 E_c [V/cm]	2.2×10^6	2.5×10^5	3×10^5
比誘電率 ϵ	9.7	11.8	12.8
熱伝導率 κ [W/cm $^\circ\text{C}$]	4.9	1.5	0.46
融点 [$^\circ\text{C}$]	2800	1412	1238

また、絶縁破壊電界が高いことからデバイスの厚さを薄くすることができオン抵抗が小さい、即ち低損失の素子とすることが可能である。図 3-26 は逆電圧を印加したときの空乏層内の電界強度分布を表したものである。電界強度の変化が直線的であると近似すると絶縁破壊電圧 V_{BD} は

$$V_{BD} = \frac{1}{2} W_D \cdot E_C \quad (3-1)$$

と表される。ここで W_D は空乏層の厚さ、 E_C は絶縁破壊電界である。この時のドリフト層の不純物ドーピング濃度 N_D は、ポアソンの関係式から

$$\begin{aligned} N_D &= \epsilon E_C / q W_D \\ &= \epsilon E_C^2 / 2q V_{BD} \end{aligned} \quad (3-2)$$

となり、Si の 100 倍高濃度にできる^[37]。高耐圧素子では、耐圧を維持するためデバイスの大半をドリフト領域が占めるので、同耐圧の素子で比較すると SiC は Si より

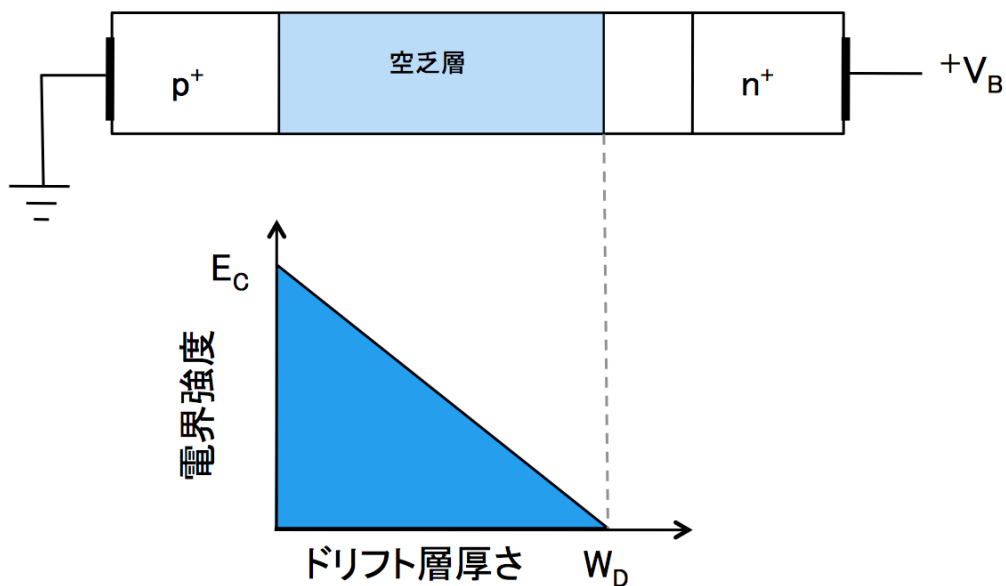


図 3-26 空乏層の広がり と電界分布

ドリフト領域を 1/10 にでき、かつドナー濃度を 100 倍にできることからオン抵抗を 1/1000 にできることになる。いま、ユニポーラ型パワーデバイスを念頭におくものとして、理想的なオン抵抗 R_{ON} は電子移動度を μ_n として

$$R_{ON} = W_D / q\mu_n N_D \quad (3-3)$$

と表すことができるので、 W_D および N_D と E_C の関係を代入すると次式のようなになる。

$$R_{ON} = 4V_{BD}^2 / \epsilon\mu_n E_C^3 \quad (3-4)$$

図 3-27 は(3-4)式に表(3-1)の各値を代入し、計算したものである。但し、この図ではそれぞれ抵抗率 $0.01 \Omega\text{cm}$ 及び $0.02 \Omega\text{cm}$ 、厚さ $300 \mu\text{m}$ の Si および SiC 基板の抵抗が付加されている。ブレークダウン電圧 100 V 以下では基板抵抗のために SiC の

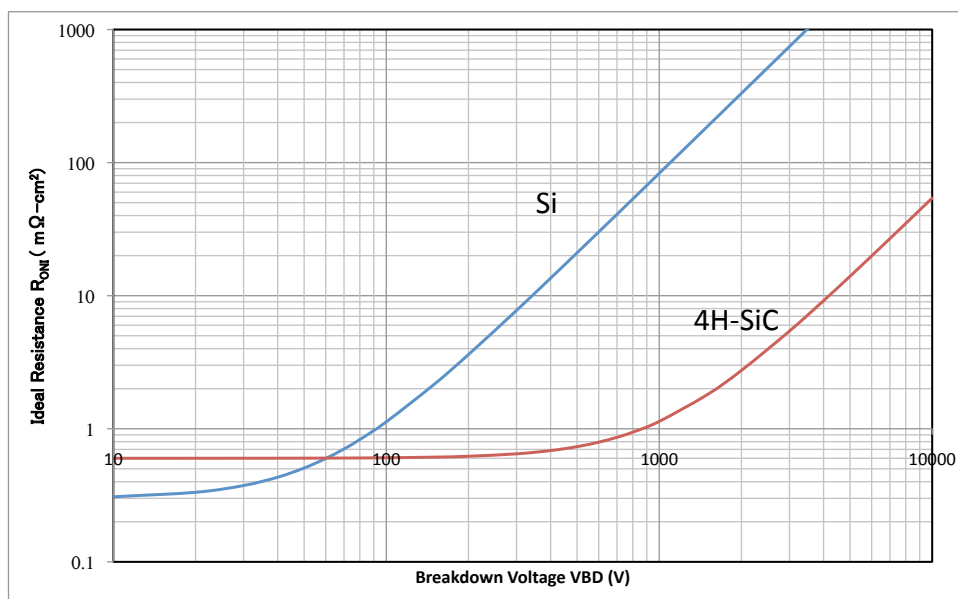


図 3-27 Si と SiC のオン抵抗比較

メリットは見いだせないが、1000 V 以上の高耐圧素子では 2 桁以上オン抵抗が小さく、SiC が優位であることが明らかである。

このように SiC デバイスは Si デバイスと比べて圧倒的な優位性を持っていることは早くから知られていたが、良質の結晶を得ることの困難さから素子開発はなかなか進まなかった。しかし、「ステップ制御エピタキシャル成長」と呼ばれる結晶成長技術が開発され^[38]、これがブレークスルーとなって 1990 年代から急激に素子開発が進展した。これまでに Si で実用化されているような PiN ダイオード^[39]、SBD(Shottky Barrier Diode: ショットキーダイオード)^[40]、BJT(Bipolar Junction Transistor: バイポーラトランジスタ)^[41]、JFET(Junction Field Effect Transistor)^[42]、MOSFET^[43]、IGBT^[44]、GTO(Gate Turn-Off)サイリスタ^[45]など多くのデバイスが報告されている。しかしながら多くの素子は研究段階に留まっており、現在市販されているのは SBD、JFET、MOSFET のみである。

3.4.2 SiC-JFET

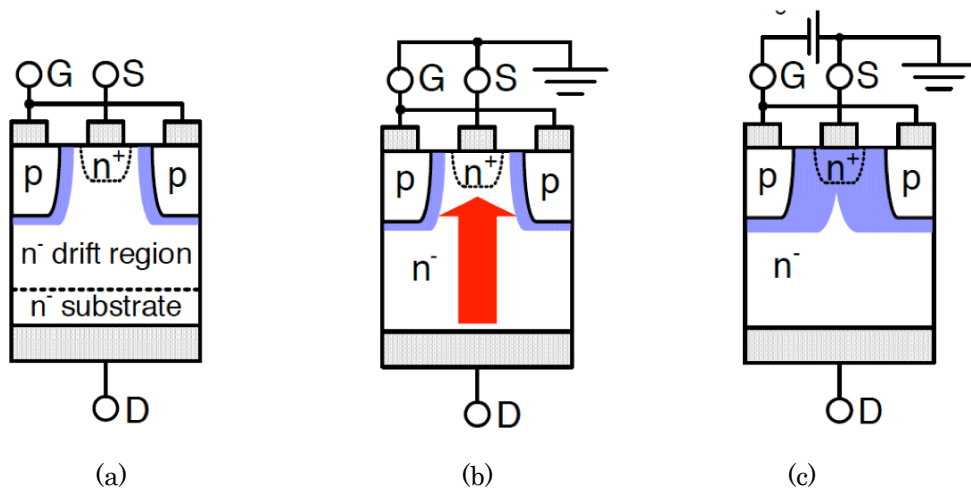


図 3-28 JFET の構造と動作原理

JFET は SiC の高いバルク移動度をチャネル領域として利用でき、かつゲート酸化膜を使わないので高い信頼性を得る事が出来るため、SiC デバイスの中で可制御バルブとしては最も早く実用化レベルに達したデバイスである。JFET の模式的断面図とその動作原理を図 3-28 に示す。JFET は n-の基板の上に同じく n-のドリフト層が形成され、ソースは n+となっている。また、ゲート-ソース間には pn 接合が形成される。ゲートに電圧が印加されない 0 バイアスの状態 (図 3-28(b)) では空乏層が広がらないためデバイスとしてはオン状態であるが、ゲートを負バイアスにすることにより空乏層が広がり、ピンチオフし、オフ状態が実現する (図 3-28(c))。このように JFET は MOSFET のように絶縁層を形成する必要がないため、MOSFET の最大の課題である絶縁破壊の問題がなく、早期に実用化が可能となった。ドイツ SiCED 社が開発

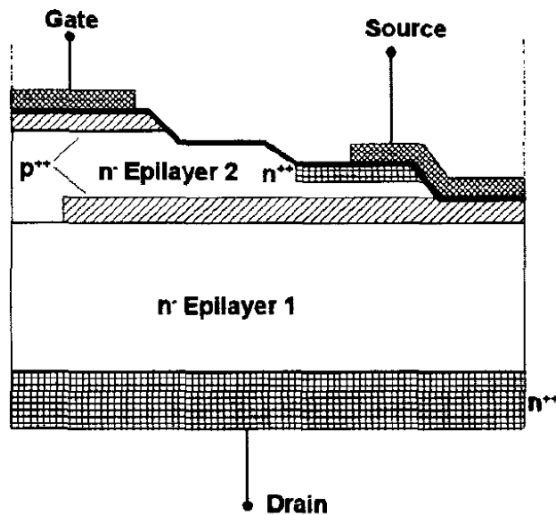


図 3-29 SiCED 社が開発した LCJFET [46]

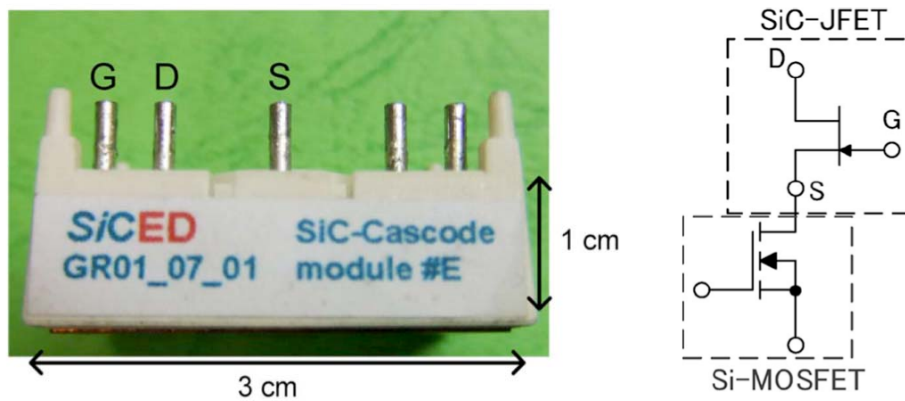


図 3-30 評価用 SiC-JFET の外観と内部回路

した LCJFET (Lateral Channel Junction Field Effect Transistor)の模式断面図を図 3-29 に示す[46]。Lateral Channel とは横方向にチャンネルを形成するという意味であるが、この構造によりチャンネルのパラメータの最適化と製造の容易さを両立させている。次節において SiCED 社より提供された試作 JFET を用いたパルス通電試験の試験結果について述べる。

3.4.3 サンプル SiC-JFET の評価結果[47]

評価に用いたサンプル供給 JFET の外観と内部回路図を図 3-30 に示す。評価用素子は内部回路で低圧の Si-MOSFET と高耐圧(1200V)の SiC-JFET を直列に接続した回路となっている。これは JFET がノーマリオンタイプで通常の FET 用ゲート回路では使い難いため、見かけ上ノーマリオフとして使うためであるが、今回の評価では負バイアス付きのゲート回路を用意して純粋に JFET 部分だけの評価実験とした。

・伝達特性

最初に静的特性として伝達特性を調査した。結果を図 3-31 に示す。この結果よりピンチオフ電圧は -12.5V であることがわかる。

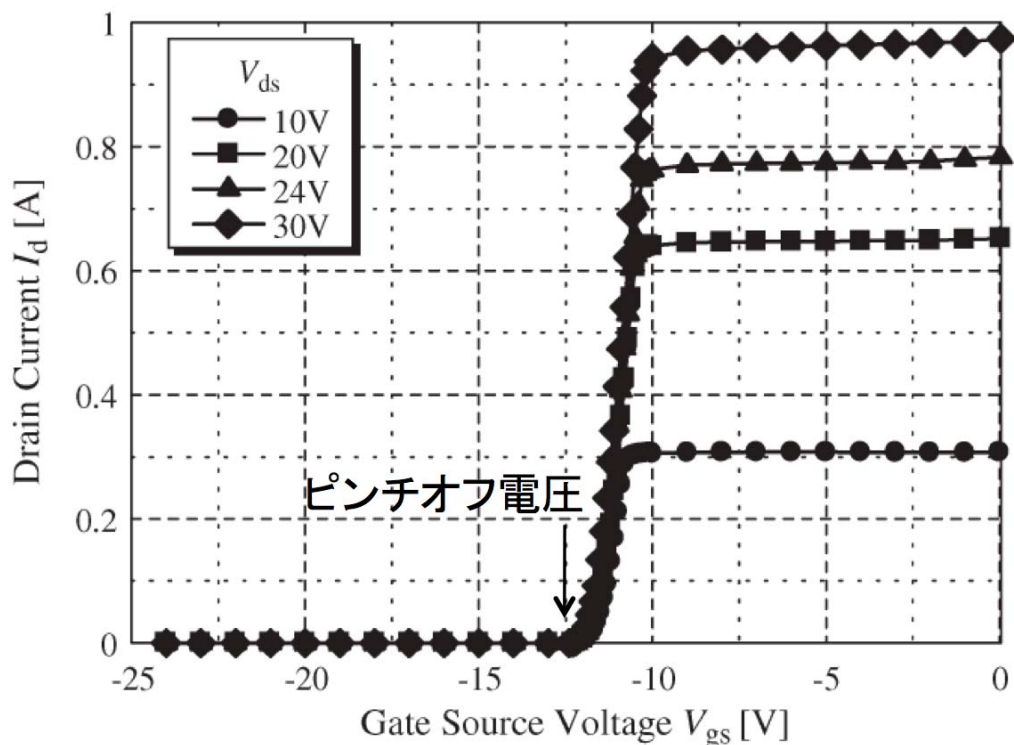


図 3-31 評価素子の伝達特性の測定結果

・ゲート駆動回路

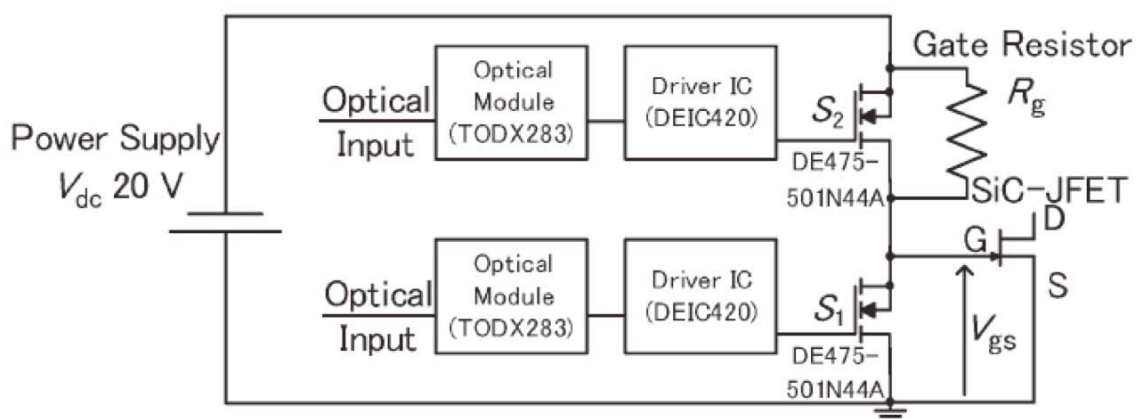


図 3-32 ゲート駆動回路

ピンチオフ電圧が -12.5V であることより、負バイアスを -20V とすることとし、図 3-32 に示すようなゲート駆動回路を作成した。本回路では出力段が Nch MOSFET を用いたトータムポール回路となっている。JFET をオフにするためには S_1 をオフ、 S_2 を

オンにすることで JFET のゲートに負バイアスを印加する。一方 JFET をオンにするためには S_1 をオンに、 S_2 をオフにすることで JFET のゲート、ソース間を短絡する。 S_2 を省略しても JFET のオン、オフは可能であるが、その場合 JFET をターンオフさせる時にゲートソース間の容量を R_g を介して充電することになり、高い周波数で用いる場合には R_g の値を 10Ω 以下にしなければならない。一方オン期間中は負バイアス電圧が R_g に印加されることになるので $P=V_{dc}^2/R_g$ により R_g の損失が大きくなる。本回路の採用により R_g を $1\text{ k}\Omega$ としても 1 MHz 動作が可能であることを図 3-33 に示す。

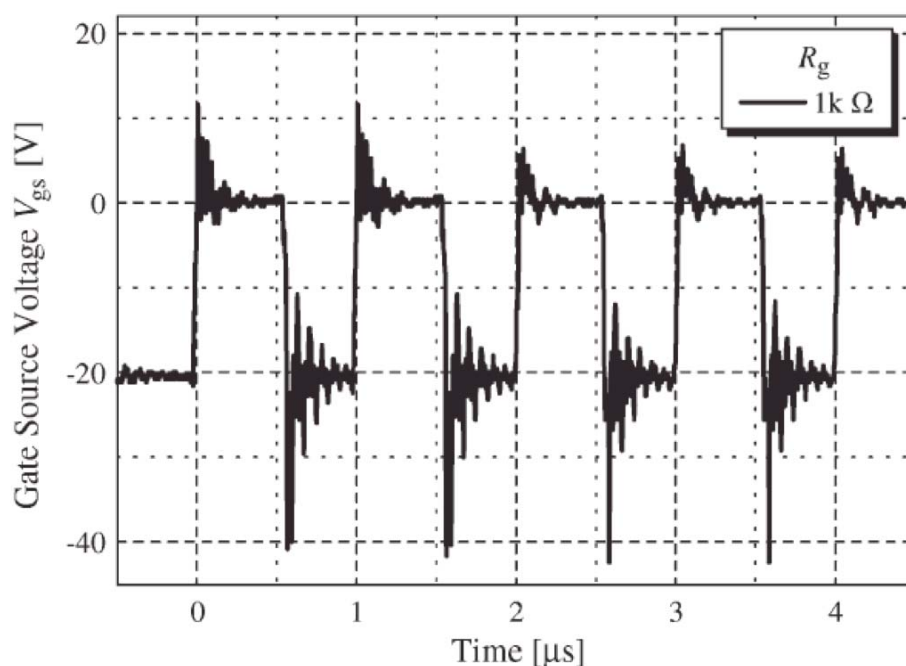


図 3-33 ゲート駆動波形

・スイッチング特性評価

スイッチング特性の評価回路を図 3-34 に示す。負荷抵抗 R_l を 56Ω 、直流電源電圧を 1 kV 、通電電流 17 A の時のゲート波形とスイッチング波形を図 3-35 に示す。

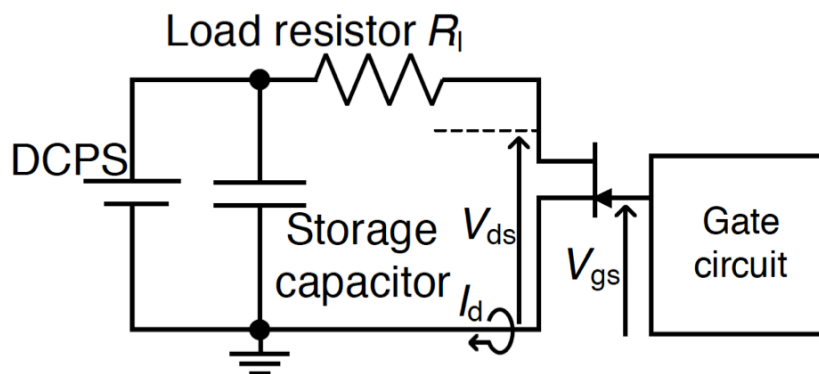


図 3-34 スwitching特性評価回路

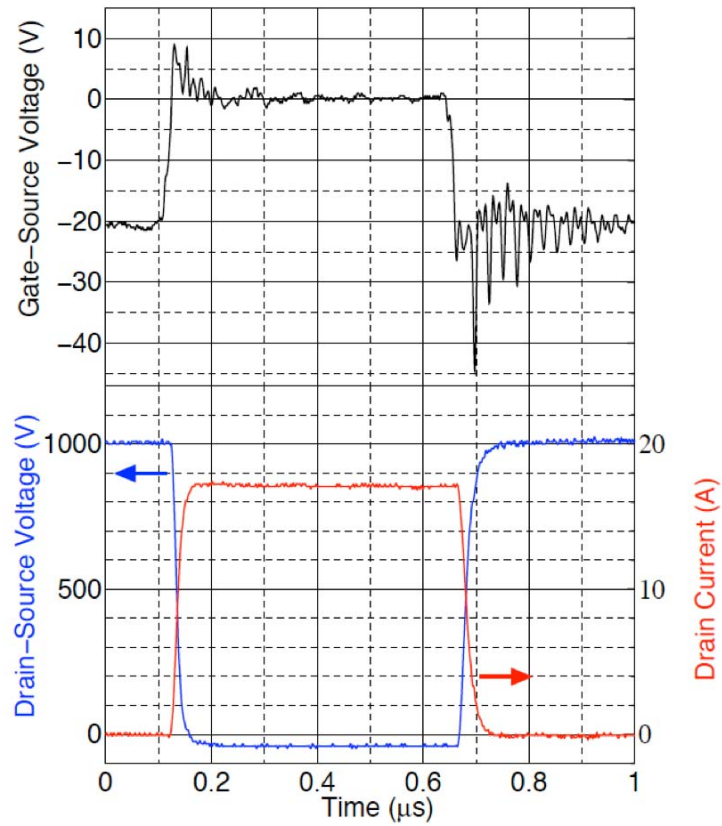


図 3-35 1kV-17A スイッチング波形

図 3-35 においてオン期間中におけるドレイン電圧波形が負に振れており、オン抵抗 R_{ON} を評価することができない。これは高電圧プローブでオフ時の電圧と低いオン電圧の両方を測定しようとする測定上の誤差に起因するものと考えられる。そこで負荷抵抗を 2.2Ω と小さくし、低い直流電圧でも同等のパルス電流が流れるようにしてオン電圧を正確に測定する事を試みた。ドレイン電流を 25 A としたときのオン電圧波

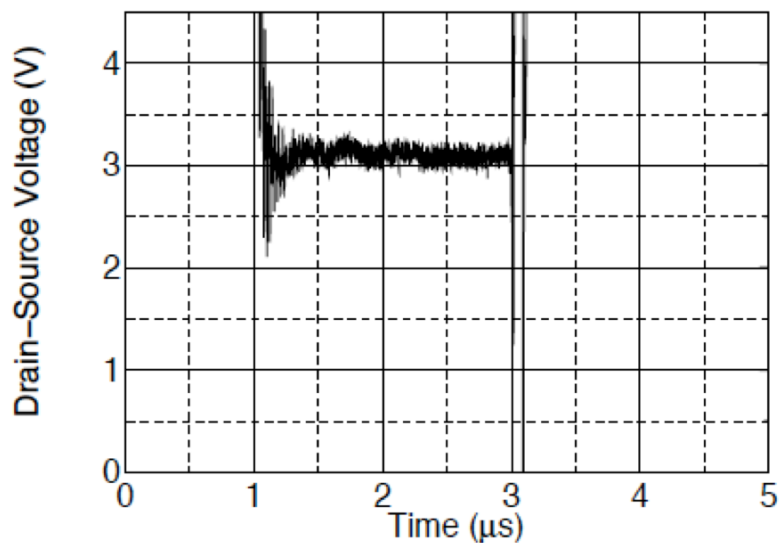


図 3-36 低電圧大電流スイッチング実験におけるオン電圧拡大

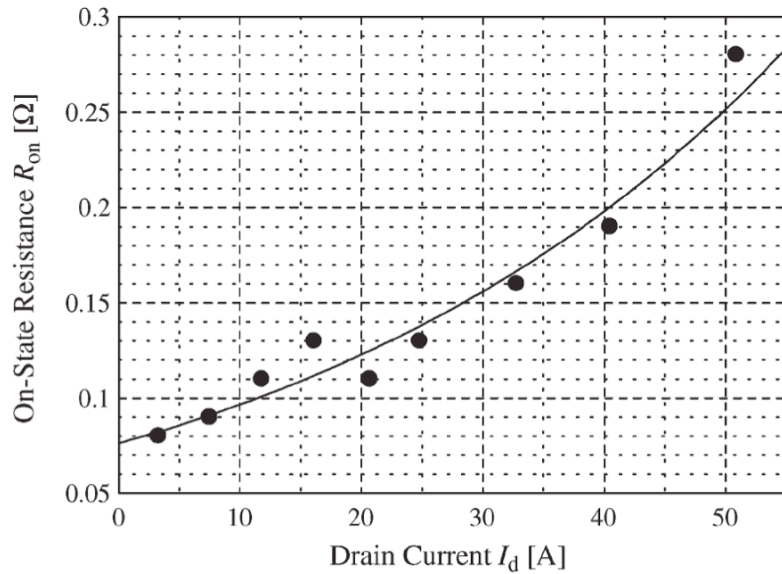


図 3-37 オン抵抗のドレイン電流依存性

形を図 3-36 に示すが、負に反転する事無く測定できている事が分かる。直流電圧を変えることによってオン抵抗 R_{ON} とドレイン電流 I_D の関係をプロットしたのが図 3-37 である。図 3-35 のスイッチング波形から過渡的なスイッチングロス、図 3-37 のオン抵抗特性から通電ロスを算出し、両方を合成して 1 周期の損失としたのが図 3-38 である。ターンオン損失、ターンオフ損失、通電損失はそれぞれ 0.06 mJ、0.12 mJ、0.01 mJ であり、トータルでは 0.19 mJ であった。そのうちターンオフ損失が全体の 63% を占めている。

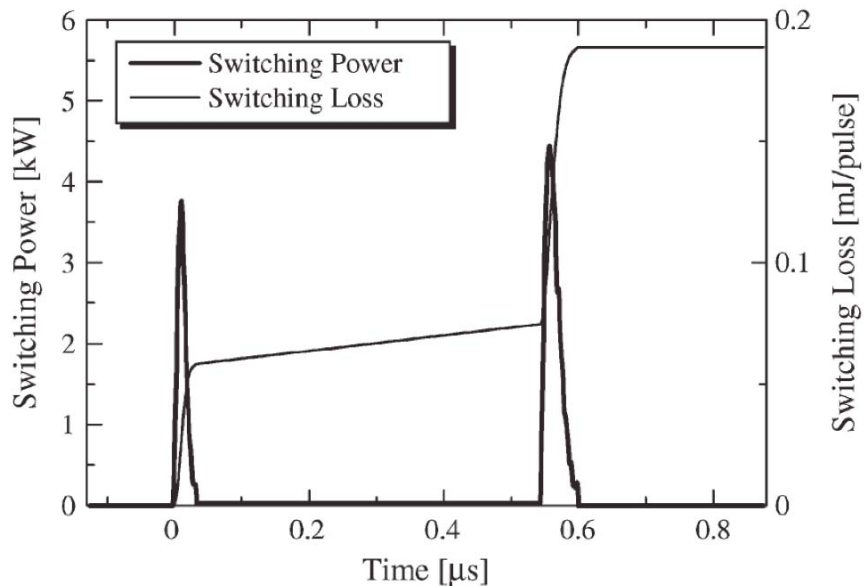


図 3-38 パルス通電時の損失

3.4.4 SiC-JFET の誘導加速セルドライバ適用可能性の検討

次に SiC-JFET を用いてデジタル加速器用 1 MHz パルス電源を実現する可能性について検討した。バーストモードで 1MHz 相当のスイッチングを行ったときの電圧、

電流波形を図 3-39 に示す。供試素子は放熱特性を考慮したパッケージングが行われていないため、連続での実験は出来なかったが、もし通常のパッケージであったなら最高温度がどの程度になるかを検討した。パッケージを平均的な TO-247 型とするならば、素子-ケース間の熱抵抗は $0.4 \text{ }^{\circ}\text{C/W}$ 程度が期待できる。また、冷却方式として水冷フィンを用いるならば、フィン-周囲（水）間の熱抵抗を $0.1 \text{ }^{\circ}\text{C/W}$ 以下にすることは容易である。さらにケース-フィン間の接触熱抵抗を $0.2 \text{ }^{\circ}\text{C/W}$ とすると総合熱抵抗は $0.7 \text{ }^{\circ}\text{C/W}$ となる。前述の損失から、 1 MHz のスイッチングを仮定すると平均損失は 190 W なので、素子の温度上昇は $133 \text{ }^{\circ}\text{C}$ となり、水温を $35 \text{ }^{\circ}\text{C}$ とすれば最高温度は $168 \text{ }^{\circ}\text{C}$ と求められる。これは充分余裕のある値といってよい。言い換えると SiC-JFET を高放熱のパッケージに実装すれば、 1 MHz で動作するデジタル加速器用パルス電源に適用可能なことが期待される。

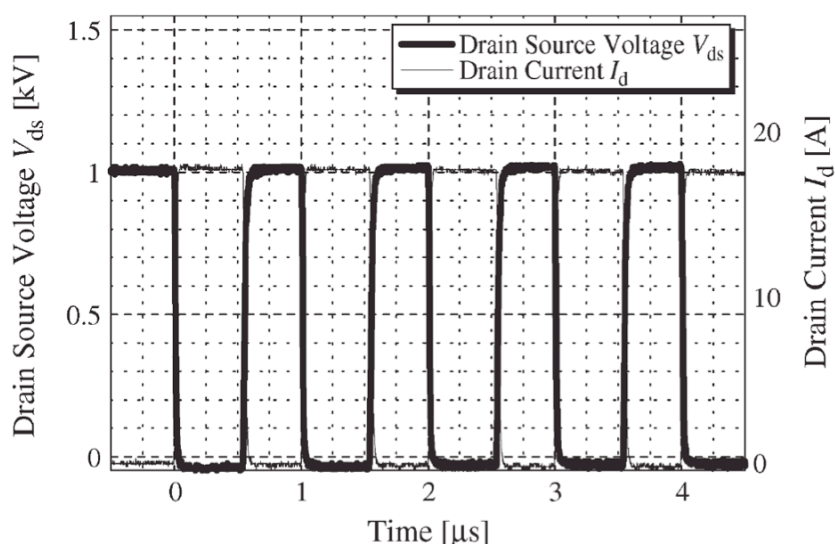


図 3-39 1MHz バースト運転時のスイッチング波形

3.5 第 3 章のまとめ

第 3 章では各種 Si 半導体パワーデバイスの特徴とパルスパワーへの応用の例、さらには次世代半導体パワーデバイスとして期待される SiC パワーデバイスの特徴とその代表例として SiC-JFET についてのこれまでの研究成果を述べた。本章のまとめとして、誘導加速セル駆動用半導体スイッチとしての各種半導体デバイスの評価結果を表 3-2 に示す。

表 3-2 各種半導体デバイスの誘導加速セル電源への適合性評価

評価項目	目標性能	サイリスタ	MOSFET	MAGT	IGBT	IEGT	SI サイリスタ	SiC-JFET (ノーマリオン)
繰り返し	~1MHz	数 kHz	1MHz	数 kHz	100 kHz	数 kHz	数 10kHz	1 MHz
耐電圧	>2kV	~10kV	1kV	4.5 kV	数 kV	数 kV	数 kV	1.2kV
立上り時間	<数 10ns	~1us	数 10ns	100ns	数 100ns	数 100ns	100ns	数 10ns
総合評価		×	△	×	×	×	×	○ (※)

(※) 今後の耐電圧向上見込みと高放熱パッケージの開発が前提

総合評価の結果として、市販されている半導体パワーデバイスの中では MOSFET が高速スイッチング、高繰り返しという点で最も優れてはいるが、SiC-JFET がそれ以上に有望であるということが分かる。但し、SiC-JFET はその基本的優位性を生かすだけのハイパワーパッケージに収納された形では市販されていない。そこで本研究では、入手可能な SiC-JFET ダイを用いて独自のハイパワーパッケージを開発することで、円形誘導加速器用加速セルドライバーに適用することを目的とする。次章以降において次世代加速セルドライバー開発の詳細について述べる。

参考文献

- [1] 原, 秋山: 高電圧パルスパワー工学, p.1, 森北出版 (1991)
- [2] 電気学会・半導体電力変換システム調査専門委員会 (編): パワーエレクトロニクス回路, p.11, オーム社 (2000)
- [3] I. V. Grekhov, G. A. Mesyats: "Physical Basis for High-Power Semiconductor Nanosecond Opening Switches", IEEE Trans. Plasma Science Vol.28, No.5, pp.1540-1544 (2000)
- [4] 今井孝二監修: パワーエレクトロニクスハンドブック, p.32, R&D プランニング (2002)
- [5] 同上, p.78
- [6] 渥美, 遠藤, 岡村, 金子, 大島: 「汎用サイリスタのパルス通電特性評価」, H7 電気学会全国大会, No.673 (1995)
- [7] 渥美, 岡村, 遠藤, 金子: 「高速サイリスタのパルス通電特性」, 電気学会プラズマ研究会, EP-96-30 (1996)
- [8] 渥美, 遠藤, 岡村: 「サイリスタの超高 di/dt スイッチング能力」, H9 電気学会全国大会, No.73 (1997)
- [9] 岡村, 渥美, 山崎, 金子: 「従属点弧方式パルスレーザー電源の開発」, H6 電気学会全国大会, No.493 (1994)
- [10] International Rectifier Application Note AN-1084, インフィニオンテクノロジーズ
- [11] 小関, 高山: 「誘導加速シンクロトロンのための MHz 動作高電圧パルス電源の開発」, 電学論 A, Vol.26, No.3, pp.121-126 (2006)
- [12] K. Okamura, M. Mizumoto, J. Kusano, E. Chishiro, Y. Ohnishi, and C. Yamazaki: "A 100kV FET Switch for a Klystron Anode Modulator", Proc. of the

-
- 12th Symposium on Accelerator Science and Technology, pp.272-274 (1999)
- [13] 遠藤, 渥美, 岡村, 渡辺, 金子, 大島: 「パルスパワー用半導体素子 MAGT のパルス通電特性」, 電学論 D, Vol.113, No.4, pp.445-452 (1993)
- [14] 南, 他: 「N バッファ型 2500V MAGT」, 平 3 電気学会全国大会, No.468 (1991)
- [15] T. Shinohe, et al. "Ultra high di/dt pulse switching of 2500 V MOS Assisted Gate-triggered Thyristors (MAGTs)", IEDM Tech. Dig., p. 301 (1989)
- [16] T. Goto, K. Kakizaki, S. Takagi, S. Sato, T. Shinohe, H. Ohashi, F. Endo, K. Okamura, A. Ishii, T. Teranishi, and K. Yasuoka: "Design concept and performance considerations for fast high power semiconductor switching for high repetition rate and high power excimer laser", Rev. Sci. Instrum. Vol.68, No7, pp.2658-2665 (1997)
- [17] T. Goto, S. Takagi, K. Kakizaki, S. Sato, S. Kosugi, T. Ohishi, Y. Kanazawa, A. Ishii, T. Teranishi, K. Yasuoka, T. Shinohe, H. Ohashi, F. Endo, and K. Okamura: "Development of key components and technologies for high repetition rate and high-power excimer laser", Rev. Sci. Instrum. Vol.69, No.1, pp.1-9 (1998)
- [18] 遠藤, 岡村, 高木, 金子: 「高繰返しエキシマレーザー用全固体電源の開発」, レーザー研究, Vol.24, No.10, pp.1114-1122 (1996)
- [19] F. Endo, K. Okamura, K. Kakizaki, S. Takagi, E. Kaneko: "All-Solid-State Exciter for High-Power, High-Repetition-Rate Excimer Laser", 1996 22nd Int'l Power Modulator Symposium, pp.63-66 (1996)
- [20] K. Okamura, Y. Watanabe, I. Ohshima, and S. Yanabu: "High-speed, High-Power Switching of Semiconductor Devices, Proc. 7th IEEE Pulsed Power Conference, pp.836-839, Monterey (1989)
- [21] 岡村, 嶋村, 金子: 「2500V-1000A 圧接型 IGBT のパルス通電特性」, H8 電気学会全国大会, No.117 (1996)
- [22] K. Okamura, H. Shimamura, N. Kobayashi, and K. Watanabe: "Development of A Semiconductor Switch for High Power Copper Vapor Lasers", Proc. of 11th IEEE International Pulsed Power Conference, pp.975-980 (1997)
- [23] 松田: 「IEGT の開発状況」, 電学誌, Vol.118, No. 5, pp. 278-281 (1998)
- [24] K. Okamura, N. Nakajima, M. Souda, F. Endo, H. Matsuda, and E. Kaneko: "Sub-Microsecond Pulse Switching Characteristics of a 4500-V IEGT, Conf. Record of 1998 23rd International Power Modulator Symposium, pp. 123-126 (1998)
- [25] 岡村, 左右田, 遠藤, 松田, 金子: 「4.5kV 級 IEGT のパルス通電特性」, H10 電気学会全国大会, No.32 (1998)
- [26] K. Okamura, F. Endo, K. Atsumi, and K. Yokokura: "Pulse Switching Characteristics of Multi-Chip Flat Packaged 4500-V IEGT", Proc. of 12th IEEE Intl. Pulsed Power Conf., pp.1492-1495 (1999)
- [27] K. Okamura, C. Yamazaki, Y. Ohnishi, T. Hori and H. Hanaki: "Development of IEGT Switch for a Klystron Modulator", Proc. of 25th Lin. Accelerator Meeting in Japan, pp. 243-245 (2000)
- [28] 岡村, 千代, 吉川, 山崎, 中川: 「M アノードモジュレータ用 IEGT スイッチ」, 第 26 回リニアック技術研究会プロシーディング, pp. 234-236 (2001)
- [29] 西沢監修, 村岡, 龍田編: 「SI デバイス」, p.37, オーム社 (1995)
- [30] K. Okamura, M. Wake, T. Iwashita, K. Takayama, H. Tanaka, K. Ise, K. Takaki, and W. Jiang: "Novel Switching Power Supply for a Digital Accelerator",

-
- Proc. of 2010 IEEE International Power Modulator and High Voltage Conference. pp. 290-293 (2010)
- [31] M. Bhatnagar and B. J. Baliga: "Comparison of 6H-SiC, 3C-SiC, and Si for power devices", IEEE Trans. Electron Devices, Vol. 40, No. 3, pp. 645-655 (1993)
- [32] K. Shenai, R. S. Scott, and B. J. Baliga: "Optimum Semiconductors for High-Power Electronics", IEEE Trans. Electron Devices, Vol. 36, No. 9, pp. 1811-1822 (1989)
- [33] H. Okumura: "Present Status and Future Prospect of Wide-gap Semiconductor High-Power Devices", J. J. Appl. Phys., Vol. 45, No. 10A, pp. 7565-7586 (2006)
- [34] 松波弘之:「半導体 SiC 技術と応用」、日刊工業新聞社 (2003)
- [35] 高橋、長谷川、吉川:「ワイドギャップ半導体光・電子デバイス」、森北出版 (2006)
- [36] 今井孝二監修:「パワーエレクトロニクスハンドブック」、p.160、R&Dプランニング (2002)
- [37] 今井孝二監修:「パワーエレクトロニクスハンドブック」、p.160、R&Dプランニング (2002)
- [38] N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishio, H. Matsunami: "Step controlled VPE growth of SiC single crystals at low temperatures", Ext. Abst. SSDM '87, pp. 227-230, 1987
- [39] Y. Sugawara, et al.: "6.2 kV 4H-SiC pin Diode with Low Forward Voltage Drop", Silicon Carbide and Related Materials, 1999 Material Science Forum, Vol. 338-342, pp. 1371-1374 (2000)
- [40] A. Itoh, et. al. : "High Performance of High Voltage 4H-SiC Schottky Barrier Diodes", IEEE Electron Device Letters, Vol. 16, pp. 280-282 (1995)
- [41] S-H. Ryu, et al.: "1800 V NPN Bipolar Junction Transistors in 4H-SiC, IEEE Electron Device Lett. Vol. 22, pp. 124-126 (2001)
- [42] P. Friedrichs, et al.: "Static and Dynamic Characteristics of 4H-SiC JFETs Designed for Different Blocking Categories", Mte. Sci. Forum, Vol. 338-342, pp. 1243-1246 (2000)
- [43] P. M. Shenoy, B. J. Baliga: "The planar 6H-SiC ACCUFET : A New High-voltage Power MOSFET Structure", IEEE Electron Device Lett., Vol. 18, pp. 589-591 (1997)
- [44] Q. Zhang, et al., "Design and Fabrication of High Voltage IGBT on 4H-SiC", Proceedings of the 18th ISPSD, pp. 285-288 (2006)
- [45] S-H. Ryu, et al. : "3100 V, Asymmetrical, Gate Turn-Off (GTO) Thyristors in 4H-SiC, IEEE Electron Device Lett., VOL. 22, pp. 127-129 (2001)
- [46] H. Mitlehner, et al.: "Dynamic Characteristics of High Voltage 4H-SiC Vertical JFETs", Proceedings of the 11th ISPSD, pp. 339-342 (1999)
- [47] K. Ise, H. Tanaka, K. Takaki, M. Wake, K. Okamura, K. Takayama, W. Jiang: "Development of a Megahertz High-Voltage Switching Pulse Modulator Using a SiC-JFET for an Induction Synchrotron", IEEE Trans. on Plasma Science, Vol. 39, pp. 730-736 (2011)

第4章 SiC-JFET 用高放熱パッケージの開発

本章では、本研究において新たに開発した SiC-JFET 用のカスタムパッケージについて、その構造、スイッチング特性、放熱特性の評価結果等について述べる。放熱特性については実験結果と熱解析の比較も行われる。

4.1 開発目標

第3章で述べたように SiC-JFET は優れたスイッチング性能を有しており、これを連続通電に耐えうるパッケージに封入することによりデジタル加速器のパルス電源に適用できることが期待される。また、SiC のスイッチングデバイスの中で最も速く実用域に達したデバイスであり、著者が研究の途についた 2009 年は Preliminary ながら量産品の仕様も公開されるにいたっていた^[1]。表 4-1 に SemiSouth (米) が発表した SiC-JFET の定格を示す。この JFET は Si パワーデバイスの標準的なパッケージである TO-247 パッケージに実装され、最大放熱量 P_D (ケース温度が 25°C に固定される理想的な放熱条件の元での許容損失) は 250W である。しかし、スイッチング損失がドレイン電圧 600 V、ドレイン電流 24 A という条件下で 460 μJ なので、1MHz 繰り返しでは 460 W もの損失となり加速セルドライバースとしては適用困難である。

表 4-1 SemiSouth 社 SJEP120R063 の定格

型式	SJEP120R063
ドレインソース遮断電圧	1200 V
最大電流 (DC) @175°C	20 A
最大電流 (パルス)	60 A
ゲート電圧しきい値 (TYP)	1 V
オン抵抗	0.063
ターンオン損失 E_{ON} @600 V 24 A $T_j=150^\circ\text{C}$	180 μJ
ターンオフ損失 E_{OFF} @600 V 24 A $T_j=150^\circ\text{C}$	280 μJ
最大放熱量 P_D @ $T_C=25^\circ\text{C}$	250 W
熱抵抗 R_{j-c}	0.6 K/W

一方、3.4.4 で検討したように SiCED 社の SiC-JFET の場合には、190W 以上の損失を放熱可能なパッケージを開発すれば、1 MHz の連続運転が可能、すなわち、誘導加速セル用スイッチング電源に適用可能と期待される。そこで本研究では、SiCED 製のダイを用いたハイパワー SiC-JFET を開発することとした所期の開発目標を表 4-2 に示す。

表 4-2 パッケージ開発目標

ダイ サイズ	4.16 mm x 4.16 mm
素子耐圧	1200 V
熱抵抗 (ジャンクション→ケース)	0.4 K/W 以下
水冷フィン実装時最大除熱量 (※)	200W 以上

※ P_D とは異なり、実質的な最大許容損失を開発目標とした

4.2 パッケージの試作^{[2][3]}

パッケージの試作は(株)サンエーとの共同開発で行われた。開発したパッケージの外形と模式的な断面図をそれぞれ図 4-1 と図 4-2 に示す。パッケージの外形は45mm x 65mm x 9mm(H)である。

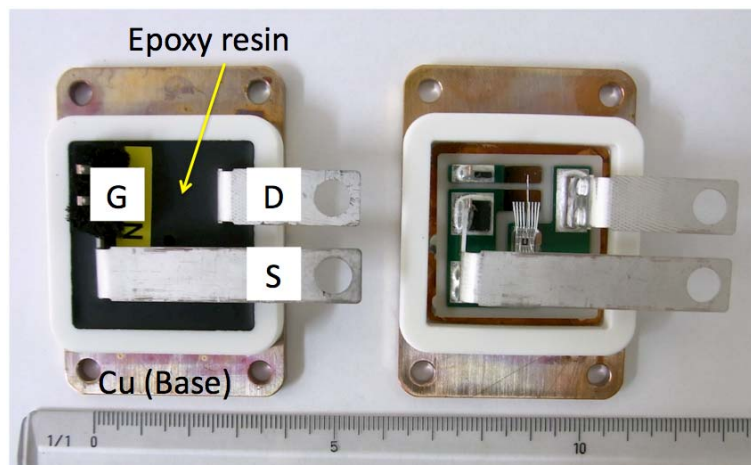


図 4-1 パッケージ外観 (左：モールド後、右：モールド前)

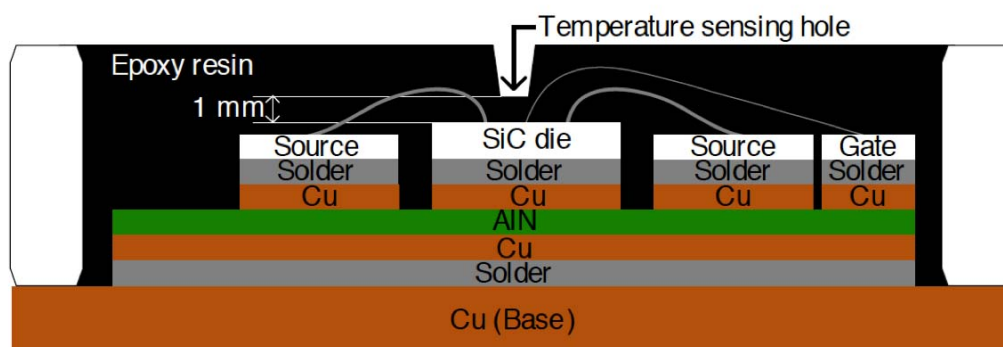


図 4-2 パッケージ断面図

パッケージ加工の工程は概ね下記のようなものである。(1)ベースとなる絶縁基板に熱伝導の良い窒化アルミニウム (AlN) 基板を用い、この上に銅箔によってパターンを形成し、SiC-JFET のチップ (die) のドレイン面を銅パターンの上にハンダ付けする。(2)カソードとゲートの電流引き出し用としてそれぞれ $\phi 300 \mu\text{m} \times 16$ 本、 $\phi 150 \mu\text{m} \times 1$ 本のアルミニウムワイヤを超音波ボンダー (Orthodyne M360c) で配線する。(3)基板を銅ベースにハンダ付けしたのち周囲をプラスチックリングで囲い、エポキシを充填して固める。図 4-1 の右側の図は上記の工程のうち、エポキシ充填前、左はエポキシ充填後のものである。また図 4-2 に示したようにパッケージ中央のチップ直上のエポキシモールド部に凹みを設け、後述する通電試験時にチップ温度が測定できるようにした。

これらの工程において、超音波ボンディングの工程は完成した素子の信頼性に関わる重要な工程である。そのため、実際の加工に先だって機械サンプルチップ (電氣的

機能を有しないサンプルチップ) を用いて加工パラメータの最適化研究を行った。パラメータとしては圧接力、超音波パワー、継続時間の3種類を選んだ。表 4-3、表 4-4 にそれぞれソース電極 (ワイヤサイズφ300 μm)、ゲート電極 (ワイヤサイズφ150 μm) の加工パラメータを示す。各サンプルは加工後、シャーを用いて専断し、破断面を目視で確認することで接合の良否を判定した。最終的に決定したパラメータは表の中に太字斜体で示している。

表 4-3 ソース電極用ワイヤボンディングパラメータ調査

		1st Bond (SiC チップ側)	2nd Bond (ケースパッド側)
圧接力 [g]	開始時	400, 500 , 600	300, 400 , 500
	終了時	500, 600 , 700	500, 550 , 600, 700
超音波パワー [arb.]	開始時	70, 80 , 90	70, 80 , 90
	終了時	85, 90 , 95, 105	85, 90, 95 , 105
時間[ms]	上昇、下降時間	25 , 50	25, 50
	印加時間	100, 120, 150, 180 , 220, 250	150, 200 , 250

表 4-4 ゲート電極用ワイヤボンディングのパラメータ調査

		1st Bond (SiC die side)	2nd Bond (pad side)
圧接力 [g]	開始時	80 , 90, 100	80, 90 , 100
	終了時	130 , 150	140, 150 , 160
超音波パワー [arb.]	開始時	23, 25, 27 , 30 , 40	40
	終了時	26, 30 , 35, 40	42
時間[ms]	上昇、下降時間	10	10
	印加時間	50 , 100, 150	50

エポキシ充填を含むパッケージングの全行程完了後、ゲート遮断電圧測定と定格電圧を印加したドレイン漏れ電流(I_{DSS})試験を実施した。サンプル数は19個である。結果をそれぞれ図 4-3 と図 4-4 に示す。ゲート遮断電圧はほぼ-16V で安定していたが、 I_{DSS} は19個中2個が1mA以上あり、不良と判断した。従って良品の収率は17/19=0.895であった。

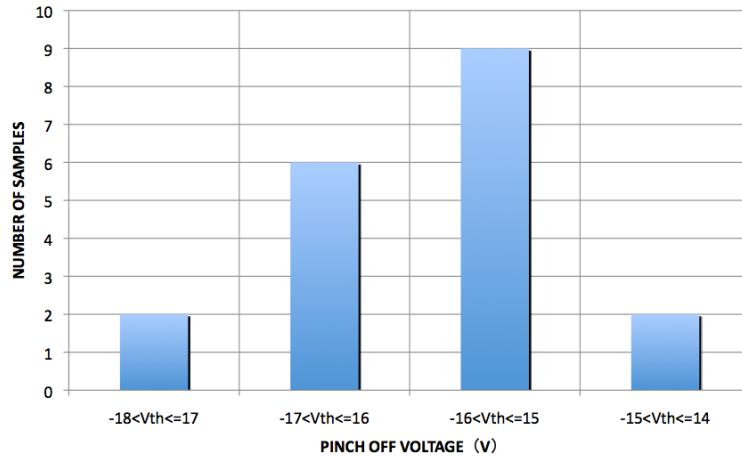


図 4-3 試作素子のゲート遮断電圧分布

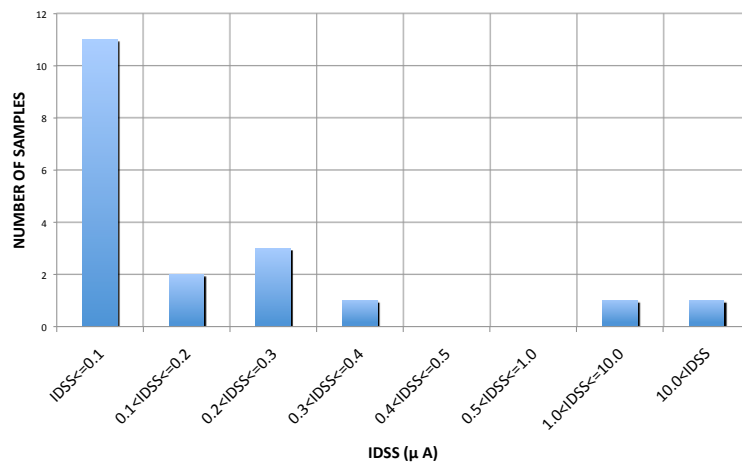


図 4-4 試作素子の漏れ電流分布

4.3 試作素子の特性評価^[4]

4.3.1 単発スイッチング試験

単発スイッチング試験の回路図とその写真をそれぞれ図 4-5、図 4-6 に示す。使用した測定器は最低でも 150 MHz の帯域を持ち、十分な応答速度を持つものとした。供試素子は水冷銅ヒートシンクにマウントした上で断熱材（発泡スチロール）の箱の中に収納した。負荷抵抗はセラミック製の円盤抵抗を水冷フィンと交互に積層した公称抵抗値 75 Ω のものを 2 並列にして用いた。直流電源は 3 kV-15 kW 容量のものを用い、リップル除去用に 150 μF のキャパシタを接続した。

スイッチング波形の例を図 4-7 に示す。直流電圧を 1 kV とした時、27 A のパルス電流が得られた。

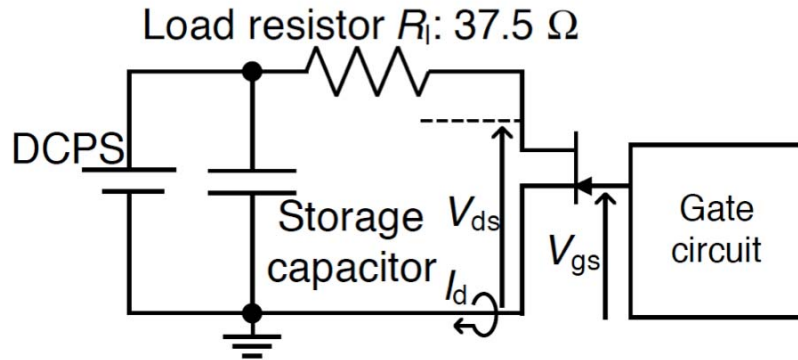


図 4-5 単発スイッチング実験回路

(使用測定器 ; V_{ds} :PMK 社 PHV663-L 高圧プローブ(150 MHz)、 V_{gs} :Lecroy 社 PP009 プローブ(500 MHz)、 I_d : Pearson 社 6585 型 CT(200 MHz)、オシロスコープ : Lecroy 社 6050A (500 MHz)

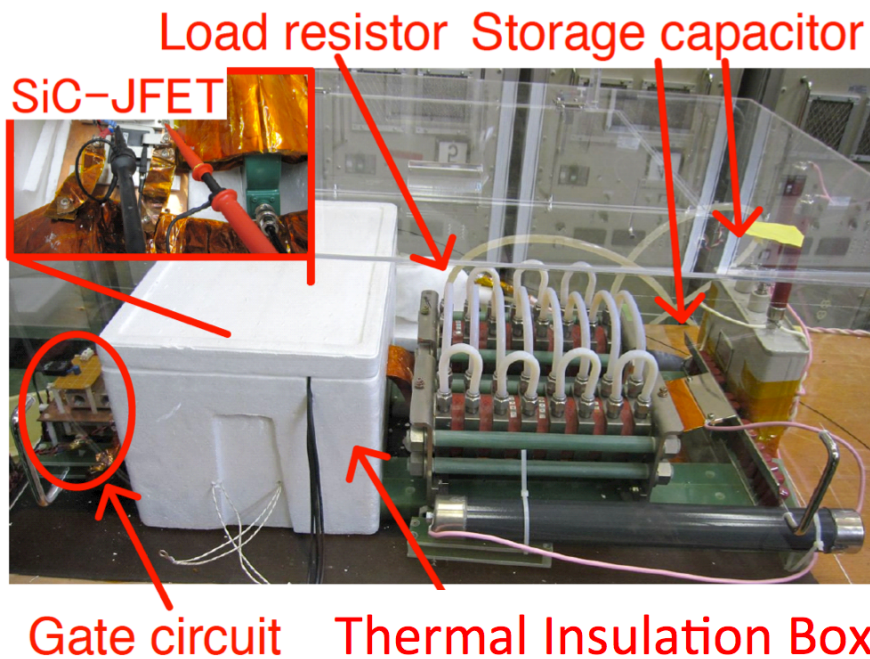


図 4-6 スwitching実験の様子 (白い部分が断熱容器、左上に内部の様子を示す)

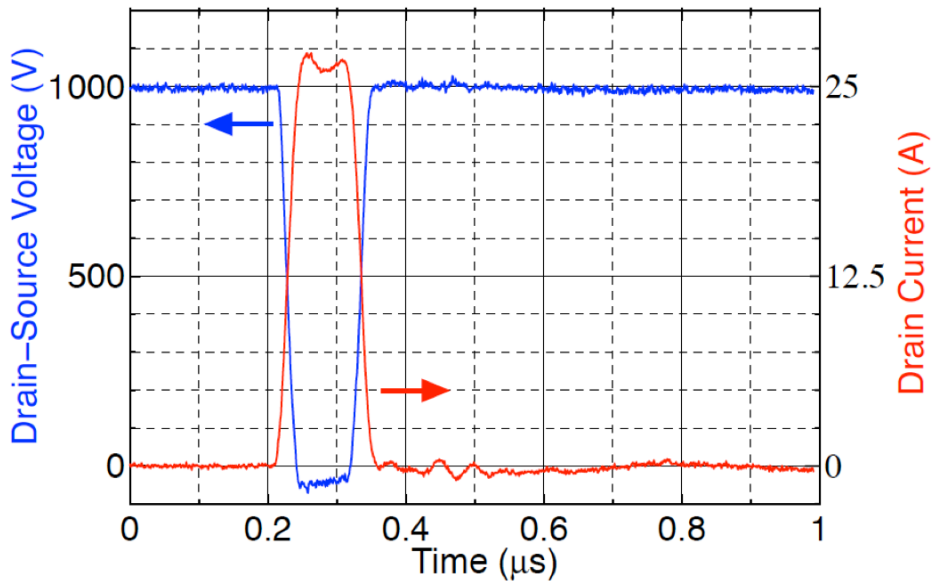


図 4-7 単発スイッチング波形

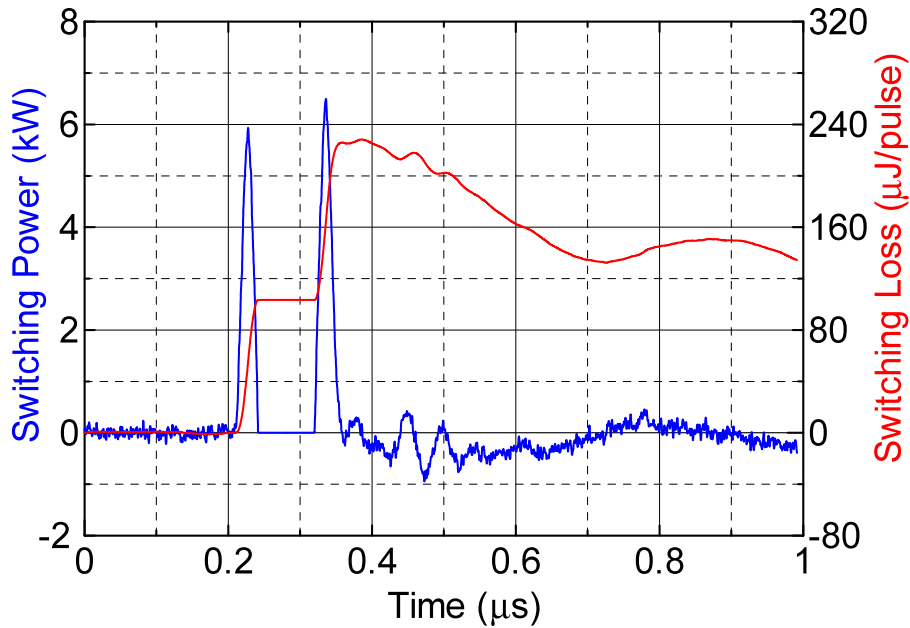


図 4-8 スイッチングロス波形
(ドレイン電圧の測定値が負になっている区間は0として計算した)

測定結果からスイッチング損失と通電損失を評価した。損失は電圧と電流波形の演算により求めることができるが、図 4-7 から分かるように電流のフラットトップ部分においてはドレイン電圧が負に見えているために波形演算から損失を評価することができない。これは第 4 章でも述べたように、1 本の高電圧プローブでオフ時の電圧とオン時の電圧を測定する困難さに起因している。ドレイン電圧が負になっている区間では電圧をゼロとして計算した損失波形を図 4-8 に示す。図 4-8 においてターンオフ後、損失の積分値が下がっているように見える。これは、図 4-7 において電流波形がマイナスに振れているためである。電流波形がこのようにマイナスに振れて見える原因は、電流測定用の CT が直流に対しては応答できないために生じたドループによってパルス下降時にオーバーシュートしているためであると考えられる。そこでこの減少分は損失評価上は無視することとし、ターンオン損失は 104 μJ 、ターンオフ損失は 124 μJ と評価した。

通電損失については、第 4 章でも述べたように負荷抵抗の値を小さく (3.3 Ω) し、低い直流電圧でも大電流が流れるようにした等価電流法を用いて評価を行った。この測定では被測定素子を温度コントロール可能なホットプレートに固定し、素子温度を変化させることによって、オン抵抗の温度依存性も測定した。なお素子温度は、図 4-2 の素子断面図に示した温度測定用凹みに光ファイバー温度センサーを入れる事によって測定した。典型的なドレイン電圧(VDS)、ドレイン電流(ID)波形を図 4-9 に示す。本結果においてオン期間におけるドレイン電圧をオン電圧(VON)、オン電圧とド

ドレイン電流(I_D)の比をオン抵抗と定義した。また温度を変化させたときのドレイン電圧波形変化の例を図 4-10 に示す。温度が高くなるとオン電圧が高くなっていることからオン抵抗が正の温度係数をもつことが分かる。

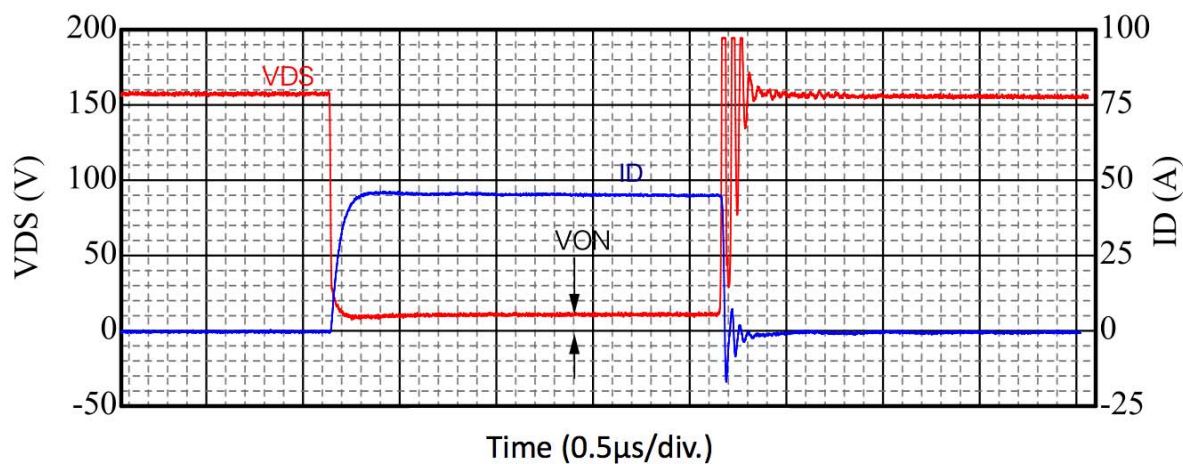


図 4-9 等価電流法で測定したドレイン電流 I_D とドレイン電圧 V_{DS} 波形の例
直流電圧 160V、ケース温度 150°C

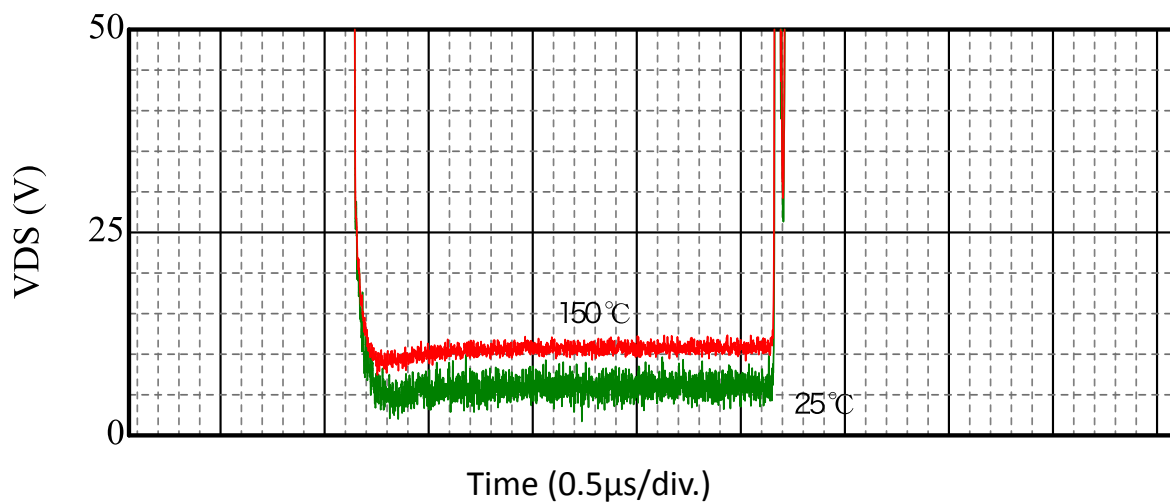


図 4-10 ケース温度 25°C と 150°C の時のドレイン電圧波形の比較
直流電圧 160V、ドレイン電流約 45A

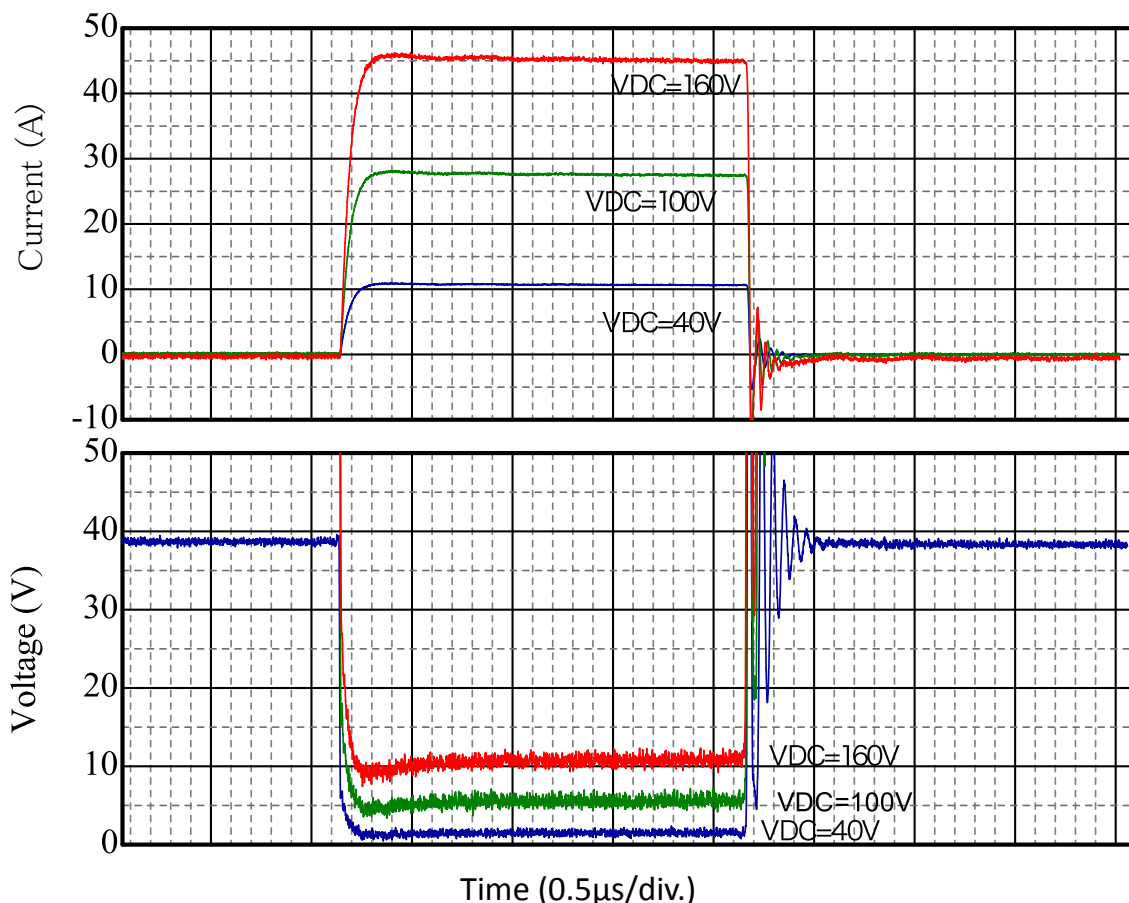


図 4-11 ドレイン電流を変えたときのオン電圧変化の様子

図 4-11 は、直流印加電圧(VDC)を変えてドレイン電流を変化させたときのオン電圧の変化の例を示したものである。当然のことながらドレイン電流を増加させることによりオン電圧も高くなっている。図 4-12 は、オン電圧のドレイン電流依存性を温度をパラメータにしてプロットしたものである。この測定において温度測定を行ったのはケース上面の凹みであるが、全体を一様に加熱しているため、ジャンクション温度そのものであると考えることができる。図 4-12 において、プロット点の傾きがオン抵抗となる。図 4-13 は、オン抵抗の温度依存性を示したものである。上に述べた通り、正の温度係数を示しており、(5-1)式で示されることが分かった。

$$R_{ON} = 5.53 \times 10^{-3} T_j + 1.14 \times 10^{-1} \quad (4-1)$$

ここで R_{ON} 、 T_j はそれぞれオン抵抗、ジャンクション温度(°C)である。(5-1)式より 20 °C の時のオン抵抗を算出すると 0.125 Ω となる。この値を用いて図 4-7 に示した単発スイッチング時の通電損失を計算すると約 9 μJ となる。これに先に示したスイッチング損失を加算することにより単発スイッチング時の全損失は 237 μJ と評価された。この結果、損失の殆ど(96%)がスイッチング損失で占められている事が分かった

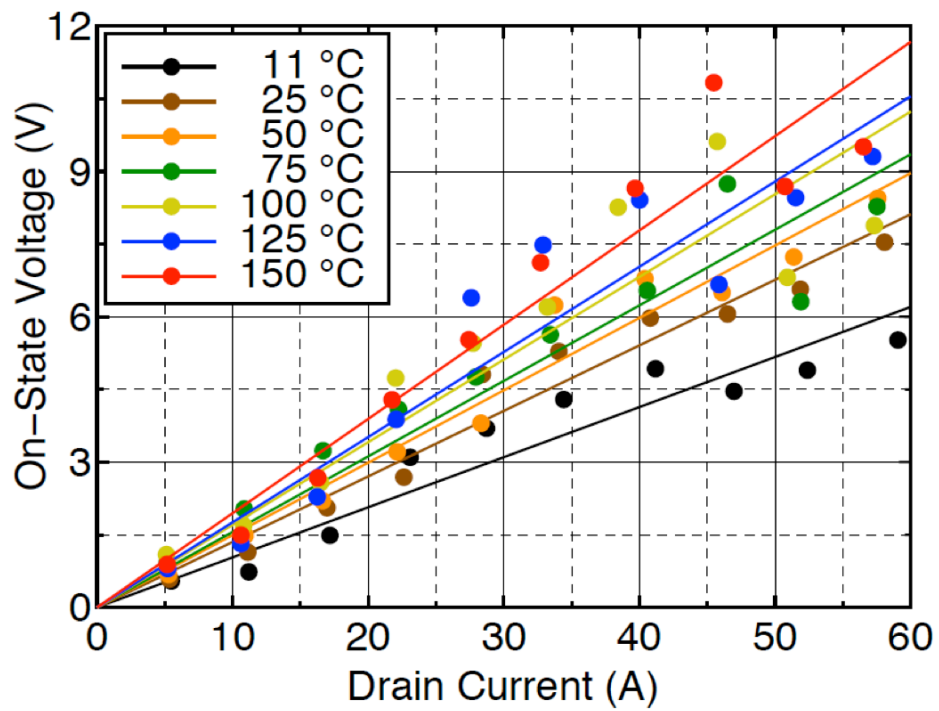


図 4-12 オン電圧のドレイン電流依存性

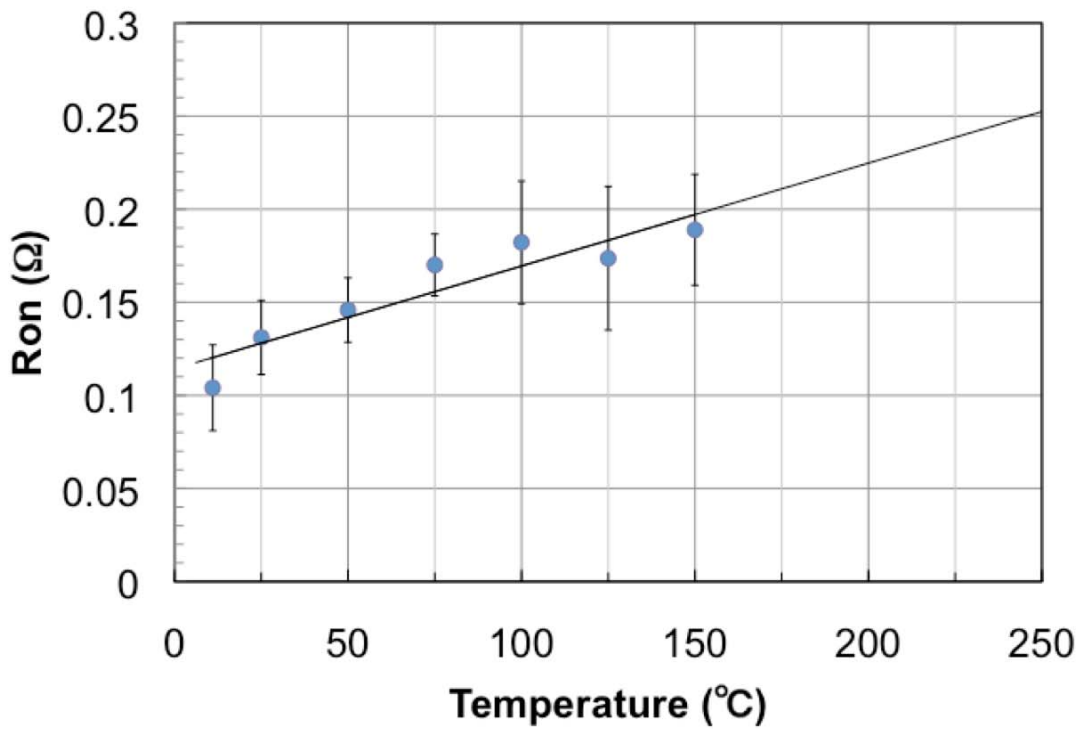


図 4-13 オン抵抗の温度依存性

4.3.2 連続スイッチング試験

次に、前節で述べた単発スイッチング実験と同じ回路条件で連続スイッチング実験を実施した。素子は銅製の水冷ヒートシンクにマウントされ、ケース上面凹み温度（以下ケース上面温度という）、冷却水入口-出口温度差、出口温度、ケース底面温度、ヒートシンク温度を測定した。冷却水温度は配管に熱電対を固定することで測定したが、入口-出口温度差は 2 組の熱電対を直列に接続することにより測定した。ケース底面温度はケース底面に約 1mm 深さの溝を掘り、光ファイバー温度センサーをチップ直下まで挿入することで測定した。温度測定点を図 4-14 に示す。冷却水流量は 1.7

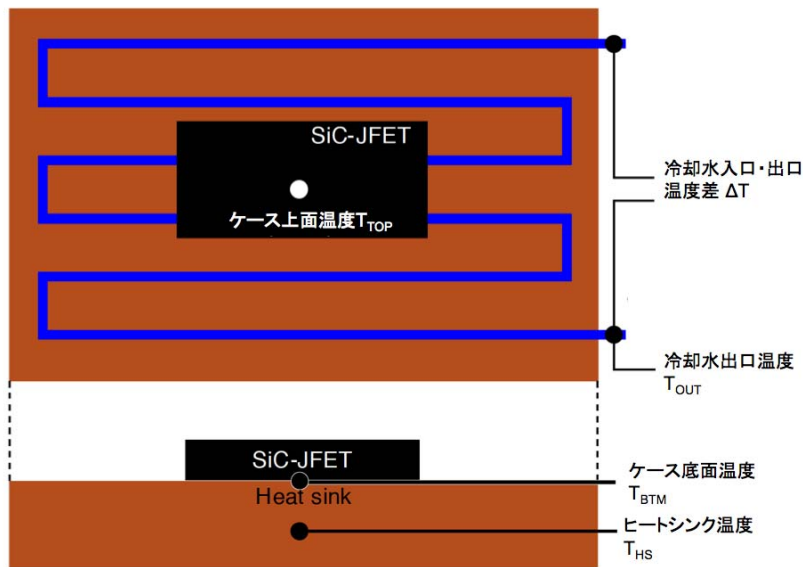


図 4-14 連続運転時の温度測定点

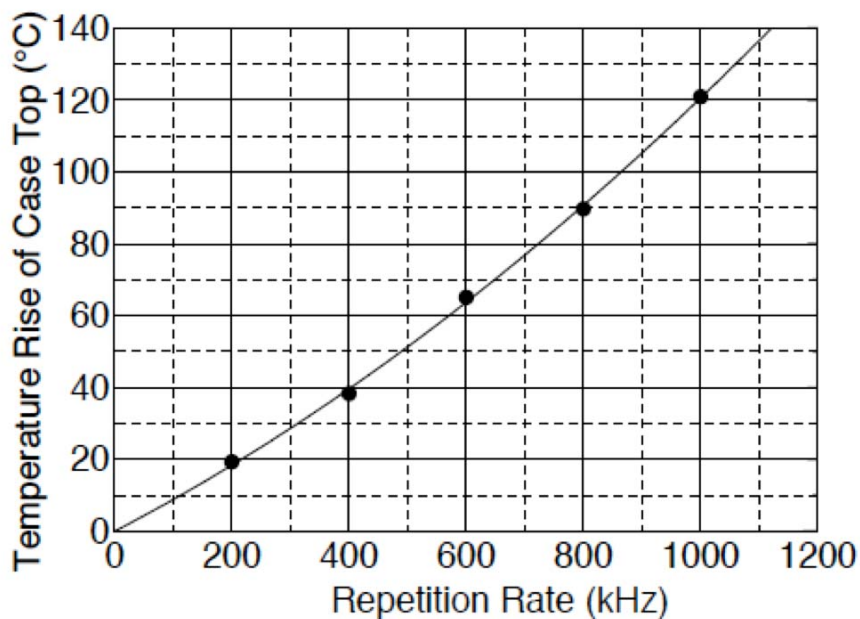


図 4-15 連続運転時のケース上面温度上昇

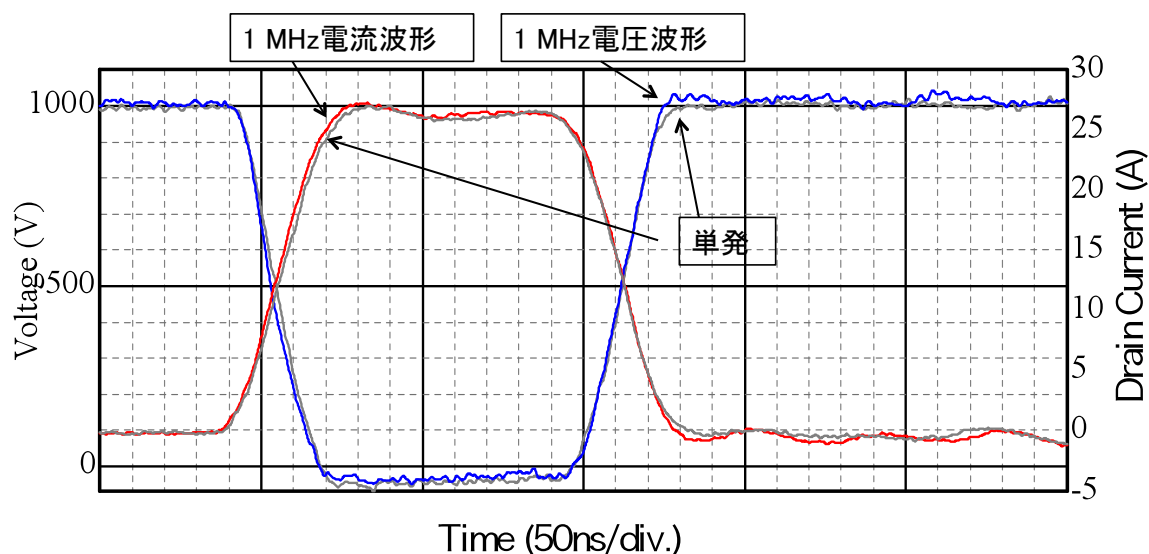


図 4-16 1MHz 連続動作時のスイッチング波形

L/min.であった。

繰り返し周波数を変えたときのケース上面温度の変化を図 4-15 に示す。各周波数における通電時間は温度が安定になるまでの 10 分程度である。周波数の上昇とともに温度上昇がやや非線形に上昇していることがわかるが、これはオン抵抗が正の温度係数を持っているので温度上昇とともに損失がさらに増加したためと考えられる。

次に繰り返し 1 MHz での連続動作試験を行った。図 4-16 に連続運転中 2 時間経過後と単発（灰色で示した）のスイッチング波形の比較を示す。ターンオン、ターンオフ共、連続と単発とで殆ど差異はみられない。2 時間後の測定温度を表 4-5 に示す。2 時間後のケース上面の温度は 140°C であり、安定していた。

表 4-5 1MHz 連続動作時の温度

測定箇所	記号	温度 (°CまたはK)
ケース上面	T_{TOP}	140
冷却水入口出口温度差	ΔT	1.47
冷却水出口	T_{OUT}	22.3
ケース底面	T_{BTM}	51.4
ヒートシンク	T_{HS}	25.3

冷却水の入り口出口温度差の測定値 ΔT (K) から(5-2)式を用いて素子損失 P (W) の評価を行った。

$$P = 4.18 \times \Delta T \times \frac{10^3}{60} Q \times \rho \times C \quad (4-2)$$

ここで Q は冷却水流量(L/min.)、 ρ は水の密度(g/mL)、 C は水の比熱(cal/°Cg)である。この結果、冷却水による除熱量は 174 W と計算された。冷却水流量を 0.85 L/min. に低下させた場合、水の入口出口温度差は 3.09°C となって、除熱量は 183 W と評価され、ほぼ同様の結果であった。これらの値は単発スイッチング時に計算された 1 パルス当たりの損失 237 μ J に 1 MHz を乗じた値 237 W の 73% に過ぎないが、図 4-16 から分かるように単発と 1MHz でスイッチング波形の差は殆どないので、連続運転時に温度上昇によって急激に損失が増加したとは考え難い。

従って、この差は対流、放射等により素子表面から除熱されたものによるものではないかと考えられる。次項において結果の妥当性を熱解析により検討する。

4.3.3 連続スイッチング試験時の熱解析

次に 1MHz 動作時の素子温度を評価するために、有限要素法解析ソフト ANSYS を用いて熱解析を行った。その解析モデルと形状、物性パラメータをそれぞれ図 4-17 と表 4-6 に示す。

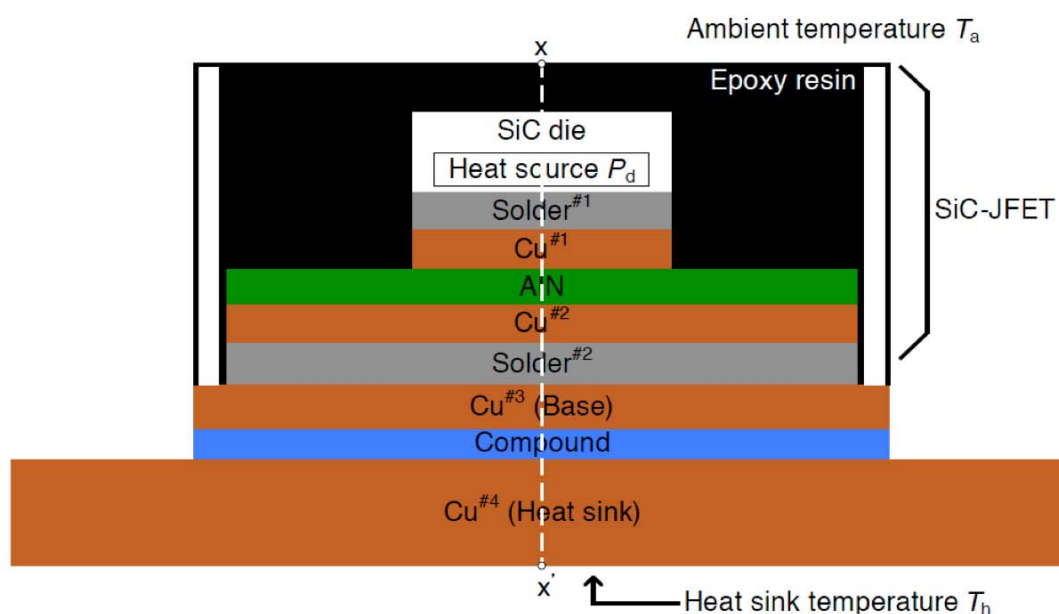


図 4-17 熱解析モデル

表 4-6 解析モデルの形状と物性パラメータ

材料	Length (mm)	Width (mm)	Thickness (mm)	Thermal Conductivity (Wm ⁻¹ K ⁻¹)
SiC	4.1	4.1	0.36	230
Solder#1	4.1	4.1	0.17	55
Cu#1	7.5	16.2	0.3	398
AlN	31.8	31.8	0.635	180
Cu#2	27.8	27.8	0.3	398
Solder#2	27.8	27.8	0.2	55
Cu#3	65	45	3	398
Compound	65	45	0.05	4.5
Cu#4	120	120	6	398
Epoxy Resin	35	35	35	0.6

この解析では周囲温度 $T_a(^{\circ}\text{C})$ 、ヒートシンク温度 $T_h(^{\circ}\text{C})$ 、素子発熱量 $P_d(\text{W})$ 、を拘束条件として用い、 $T_a=20^{\circ}\text{C}$ 、 $T_h=25.3^{\circ}\text{C}$ と固定した。しかし、 P_d についてはオン抵抗が温度依存性を持つため一意には定められない。そこで次のようにして繰り返し計算を行う事で P_d を決定した。即ち、1回目の解析では P_d としてスイッチング波形から求められるターンオンとターンオフのスイッチングロス(223 W)だけを考慮した解析を行い、素子温度を計算した。2回目の解析では1回目の解析で求めた素子温度を用いてオン抵抗に起因する損失を加算して熱解析を実施し、素子温度を求めた。このような計算を素子温度の変化がその前の計算と 0.1°C 以下になるまで繰り返したところ3回目の計算で結果が収束したため、計算を終了した。3回目の計算後の素子中心(図 4-17 の $x-x'$ 軸)に沿った温度分布を図 4-18 に示す。同図に表 4-5 に示した実測結果もプロットしたが、解析結果とほぼ一致することがわかる。本解析により 1 MHz 運転時の全損失は 235 W (うち通電損失 12 W)、素子最高温度は 183°C と評価された。またこの結果よりパッケージの熱抵抗(ジャンクション-ケース間)を評価すると 0.57 K/W となり、目標に対して 40%過大となった。目標を達成するためには 40 K 程度温度上昇を改善せねばならないが、表 4-6 および図 4-18 より、大きな温度上昇の原因となっているのは熱伝導率の低いハンダ層と厚みの大きい AlN 層であると分析されるため、改良の余地があると思われる。

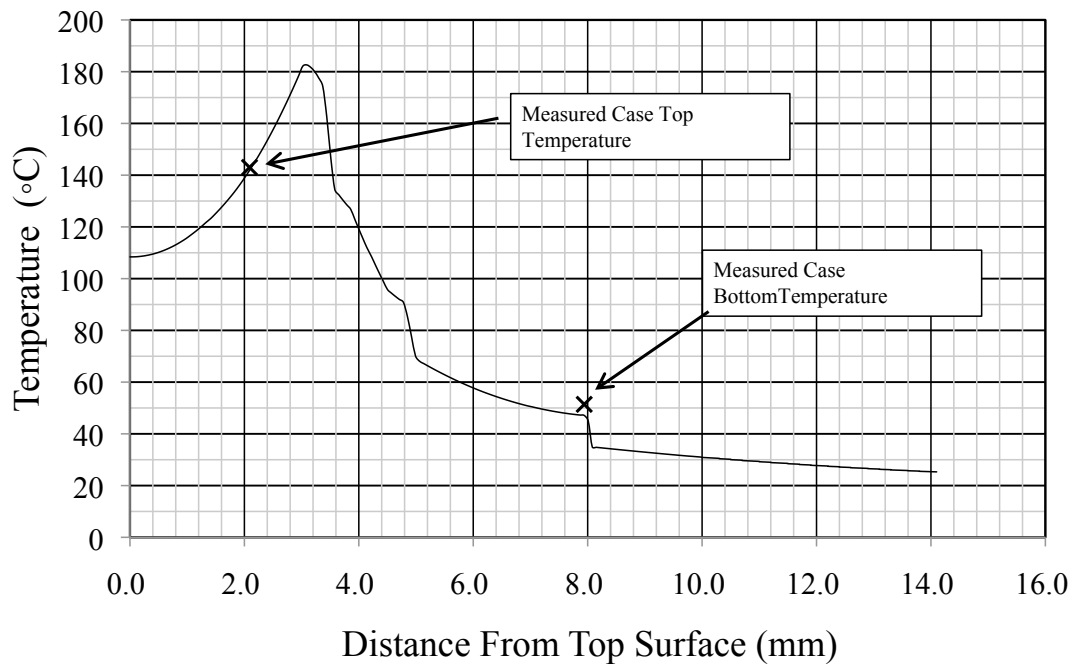
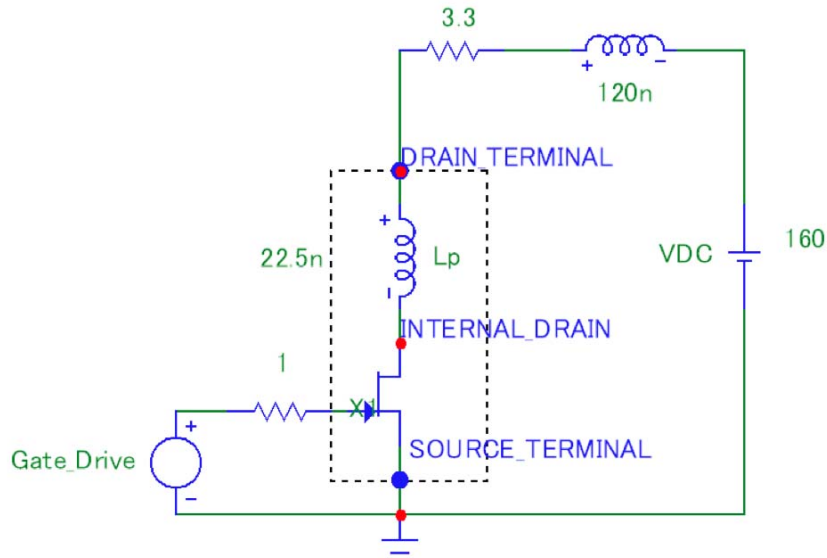


図 4-18 熱解析で得られた素子内部温度分布と実測値の比較

4.3.4 素子内部インダクタンスの評価

実測波形を回路シミュレーション結果と比較することにより、素子の内部インダクタンスの評価を試みた。図 4-19 にシミュレーション回路を示す。この回路は 5.3.1 で述べた低電圧電流等価実験回路を模擬している。このシミュレーションにおいて、JFET のモデルとしてはデバイスメーカー (SiCED) から提供された SPICE モデルを用いた。図の中で DRAIN TERMINAL と INTERNAL DRAIN の間に挿入されている $L_p (=22.5\text{nH})$ が素子内部インダクタンスを表している。実測とシミュレーションの比較結果を図 4-20 に示す。図 4-20 において緑の線は実測されたオン電圧、赤の線はシミュレーションにおける DRAIN TERMINAL と SOURCE TERMINAL の間の電圧で”見かけの”オン電圧に相当する。また、青の線は同じくシミュレーションで INTERNAL DRAIN と SOURCE TERMINAL の間の電圧で”真の”オン電圧に相当する。黒の線は実測のオン電圧から(5-3)式を用いて”真の”オン電圧を推定したものである。



DC 0 AC 1 0 Pulse -22 0 29.2n 5n 5n 2u 10u

図 4-19 素子内部インダクタンス評価用シミュレーション回路

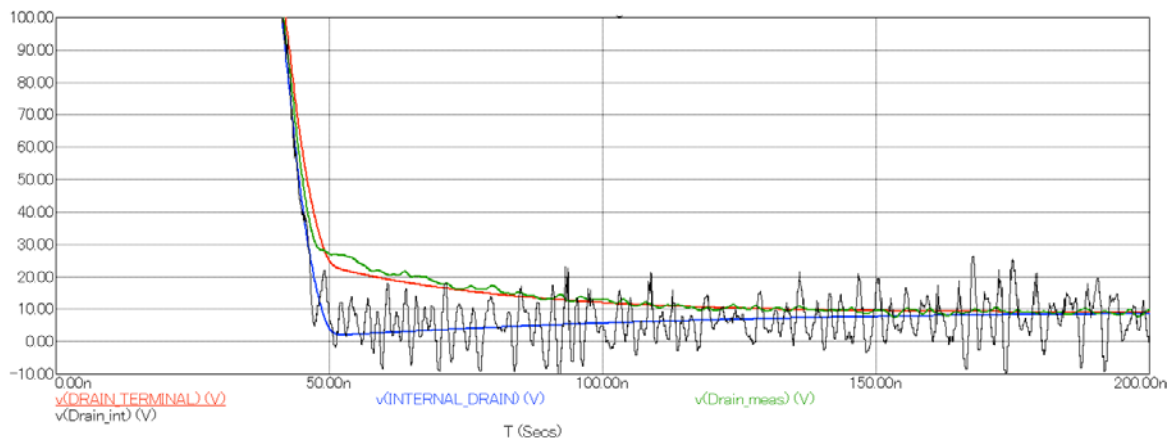


図 4-20 ターンオン波形の実測とシミュレーションの比較

$$V_{DS}(true) = V_{DS}(measure) - L_p \times \frac{d}{dt}(I_D) \quad (4-3)$$

ここで $V_{DS}(true)$ は”真の”オン電圧、 $V_{DS}(measure)$ は”見かけの”オン電圧、 L_p は素子内部インダクタンス、 I_D はドレイン電流である。(5-3)式に微分項があるために計算された”真の”オン電圧には振動が重畳されているが、大略シミュレーションと一致しており、内部インダクタンスを 22.5 nH と評価してよいと結論される。

4.3.5 重負荷限界通電試験

これまでに、試作した SiC-JFET が 1 MHz-1 kV-27 A の連続スイッチング実験に

耐えることを示したが、さらに負荷抵抗を 37.5Ω から 18.8Ω と小さくすることでドレイン電流を 48 A として素子損失を大きくし、試作素子がどの程度の損失に耐えることができるのかを調べた。直流電圧 900 V の時の単発スイッチング波形とターンオン、ターンオフ損失波形をそれぞれ図 4-21 と図 4-22 に示す。なお、図 4-22 においては参考のために $1\text{ kV}\text{-}27\text{ A}$ の時の損失波形も合わせて示した。

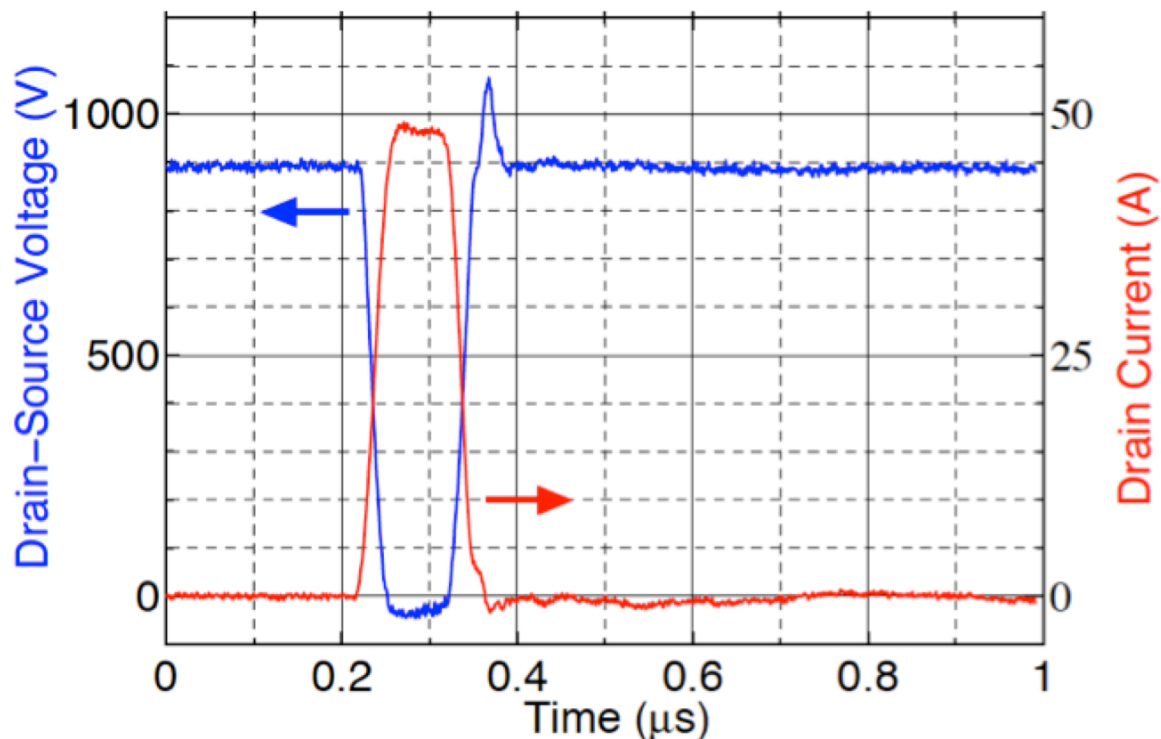


図 4-21 重負荷限界通電試験時の単発スイッチング波形 ($R_L=18.8\Omega$)

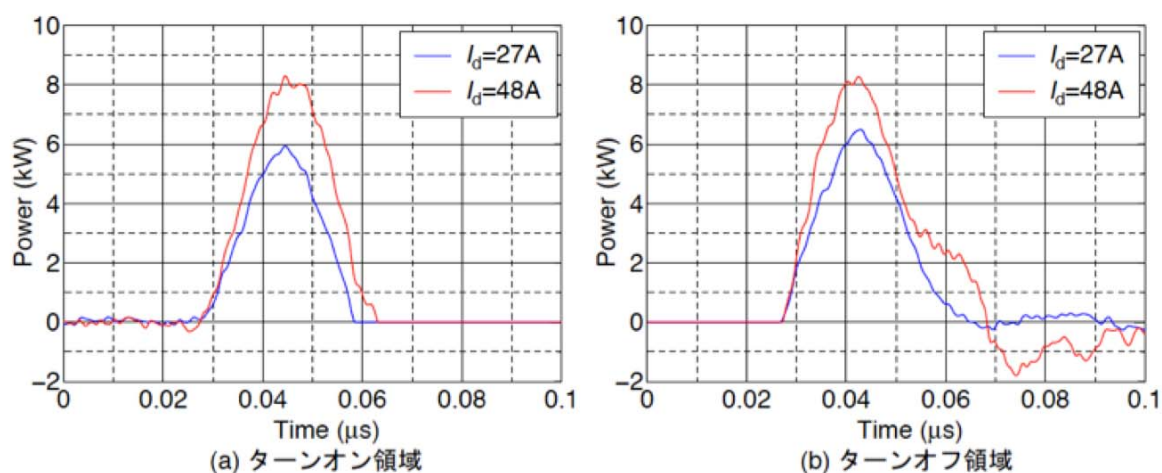


図 4-22 重負荷限界通電試験時と $1\text{ kV}\text{-}27\text{ A}$ 通電時のスイッチング損失比較

ドレイン電流が 27 A の時と比べるとターンオフ時に電圧の跳ね上がりが生じているが、ピーク電圧で 1080 V であり、素子の絶対最大定格 1200 V には達していない。この時の損失は通電損失を除くスイッチング損失のみで $335\mu\text{ J}$ であり 27 A 通電のときの 1.5 倍であった。

次に連続動作実験を行った。繰り返し周波数を 200 kHz から 100 kHz ステップで上げて行ったときの温度上昇の様子を図 4-23 に示す。温度測定点はケース上面である。200 kHz から 700 kHz までは到達温度が 15 °C/100 kHz の割合で上昇していたが、800 kHz になるとそれまでとは温度上昇傾向が変化し、約 2 分後に素子故障に至った。故障素子のモールド樹脂を取り去り、開封した写真を図 4-24 に示す。素子周囲のガードリング部が焼損し、またチップに割れが生じていることが分かった。

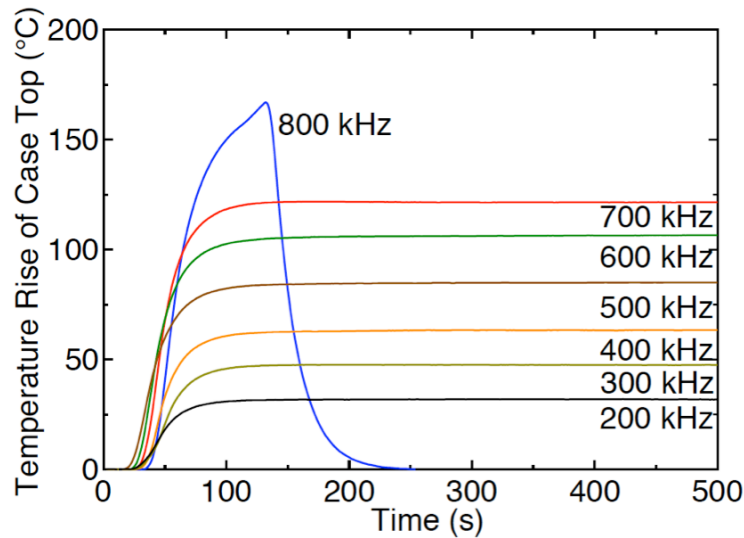


図 4-23 重負荷連続運転時の素子上面温度上昇特性

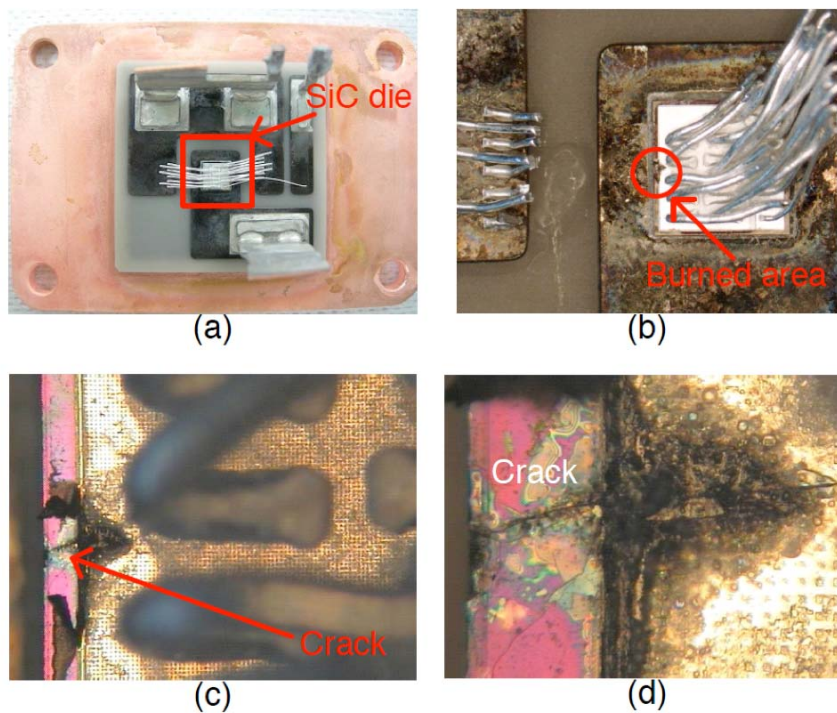


図 4-24 故障素子のパッケージ開封写真

故障時の素子温度と故障原因を推定すると概略次のように考える事ができる。まず

素子損失であるがスイッチング損失は単発波形から 335 ($\mu\text{J}/\text{パルス}$)とする。通電損失はドレイン電流の 2 乗に比例するものとする。 $I_D=27\text{A}$ 、1 MHz の時の通電損失が 12 W であったことから (5.3.3 節)、1 パルス当たりでは 12 μJ となるので、48 A に換算すると、 $12 \times (48/27)^2 = 38$ ($\mu\text{J}/\text{パルス}$)となる。これより 800 kHz の時の損失を計算すると $(335 + 38) \times 0.8 = 298$ (W)と求められる。温度上昇については損失に比例すると考えると 1 MHz-1 kV-27 A の時が損失 235 W で温度上昇が 163 K (水温 20 °C) であったことから 800 kHz-900 V-48 A では 206 K と推定され、素子最高温度は 216 °C (水温 10°C) と推定される。試作したパッケージにおいて素子チップを基板に接着しているハンダの融点は 217 °C であり、素子の温度上昇によりハンダが溶解し素子が固定できなくなっていたと考えられる。液化したハンダは素子端面から溶出し、ガードリング部の電界ストレスを高め、また、エポキシモールドもこのような高温では正常な絶縁を保てなくなった結果、ガードリング部で絶縁破壊した可能性が高いと考えられる。

4.4 第 4 章のまとめ

本章では誘導加速セル駆動用 SPS のために新たに開発した SiC-JFET パッケージの性能評価結果について述べた。

このパッケージは SiCED 社で開発された 1200 V 耐圧の SiC-JFET チップ 1 個を封入したもので、1MHz の連続スイッチング動作と 200 W 以上の最大排熱を目標とするものであった。開発したパッケージは SiC-JFET チップのドレイン面を基板上の銅箔パターンにハンダ付けし、ソースとゲートの配線はワイヤボンディングによって行う片面冷却構造であった。

次に試作した素子の単発のスイッチング特性を測定し、抵抗負荷において 1kV-27A のパルス通電が問題なく行えることを確認した。この時、ターンオン損失は 104 μJ 、ターンオフ損失は 124 μJ と評価された。オン抵抗は非常に小さく、直接測定が出来なかったため、負荷抵抗を小さくして、低い直流電圧でも大電流が流れるようにした等価電流法によって測定した。等価電流法によれば 20°C におけるオン抵抗は 0.125 Ω と評価された。

さらに、試作素子水冷ヒートシンクにマウントし、連続スイッチング実験を試み、1 kV-27 A-1 MHz の動作条件において、冷却水出口温度 22.3°C の時にパッケージ上面の温度は 140°C まで上昇したが、安定に動作することが確認された。有限要素法を用いた熱解析により、このときの全損失は 235 W、素子最高温度は 183 °C と評価された。

回路シミュレーションの結果と実測波形を比較することにより、パッケージの内部インダクタンスを検討し、22.5 nH であると評価された。

最後に、試作した素子がどの程度の損失に耐え得るのかを評価するために、900 V-48 A の条件における連続動作試験を行った。繰り返し周波数を 200 kHz から、100 kHz ステップで上昇したところ 800 kHz で急激に温度が上昇し、約 2 分後に素子故障に至った。試験終了後、故障素子を分解したところ、素子周辺のガードリング部が焼損するとともに、チップが割れていることが判明した。800 kHz 動作時の素子損失は 298 W であり、最高温度はハンダの融点 (217 °C) 近くに達していたと推定される。この結果、ハンダが素子端面から溶出し、ガードリング部の電界ストレスを高め、エポキシモールドの高温における絶縁劣化と合わせてガードリング部の絶縁破壊に至ったと推定された。

以上の結果をまとめると、開発した SiC-JFET パッケージの許容損失は 235 W～300 W 程度、パッケージの熱抵抗 (ジャンクション-ケース間) は 0.56 K/W と評価され、開発目標に対して熱抵抗は大きいものの、最大除熱量は目標を達成した。

参考文献

-
- [1] SemiSouth Laboratories Inc. SJEP120R063 Data Sheet PRELIMINARY (2008)
 - [2] K. Okamura, M. Wake, I. Iwashita, K. Takayama, K. Ise, Y. Osawa, and K. Takaki: “Novel Switching Power Supply Utilizing SiC-JFET and Its Potential for The Digital Accelerator”, Proceedings of IPAC2011, pp. 3400-3402 (2011)
 - [3] K. Okamura, K. Ise, M. Wake, Y. Osawa, K. Takaki, and K. Takayama: “Characterization of SiC-JFET in Novel Packaging for 1 MHz Operation”, Materials Science Forum, Vols. 717-720, pp. 1029-1032 (2012)
 - [4] K. Okamura, K. Ise, M. Wake, K. Takaki, Y. Osawa, and K. Takayama: Novel Package of SiC-JFET for a Switching Pulse Supply Operating at a 1 MHz for an Induction Synchrotron”, IEEE Transaction on Plasma Science, Vol. 40, No.9, pp. 2205-2210 (2012)

第5章 SiC-JFET を用いたスイッチング電源の試作とその評価

第4章では新規に開発した SiC-JFET 用カスタムパッケージが良好な性能を持つことが示された。本章では、その結果を受け、同素子を用いたスイッチング電源の試作、および性能評価試験の結果について述べる。性能評価試験においては模擬負荷抵抗を接続した 1MHz 連続動作試験、加速セルを接続した波形確認試験の結果などについて述べる。

5.1 スwitchング電源(Switching Power Supply: SPS)の試作

5.1.1 スwitchング電源の回路

スイッチング電源 (SPS) は図 5-1 に示すように単相 H ブリッジ回路で構成される。現行の SPS では各アームに 7 個の Si-MOSFET を直列接続にしているが、今回の試作では開発した SiC-JFET を各アームに 1 個ずつ用いる構成である。

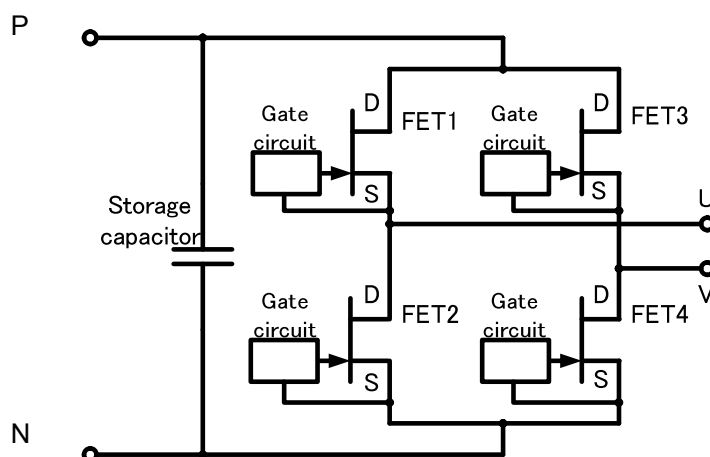


図 5-1 スwitchング電源(SPS)の基本回路

5.1.2 ゲート駆動回路

第5章の素子評価に用いたゲート駆動回路は出力段に高速の大型 MOSFET を 2 個トータムポールで用い、各 FET に専用のドライブ IC を接続した複雑な回路であった (図 5-2)。このような回路は複雑であるばかりでなく、消費電力も大きく SPS の小型高効率化を阻害する要因となる。そこで SPS の試作に当たってはより回路を単純化するために、文献[1]を参考にドライバー IC を 1 個のみ使用し、直接 JFET を駆動する回路を開発した。新型ゲート駆動回路を図 5-3 に示す。この回路の特徴はドライバー IC の V_{cc} 端子を回路全体の共通電位に接続し、ドライバー IC の GND 端子を負バイアス (-24V) に接続したところにある。これによりドライバー IC の入力が 0 の時は JFET のゲートは負バイアスされ、入力が 1 の時はゲートが 0 電位になって JFET がターンオンする。この回路を用いたときのゲート電圧波形を図 5-4 に示す。

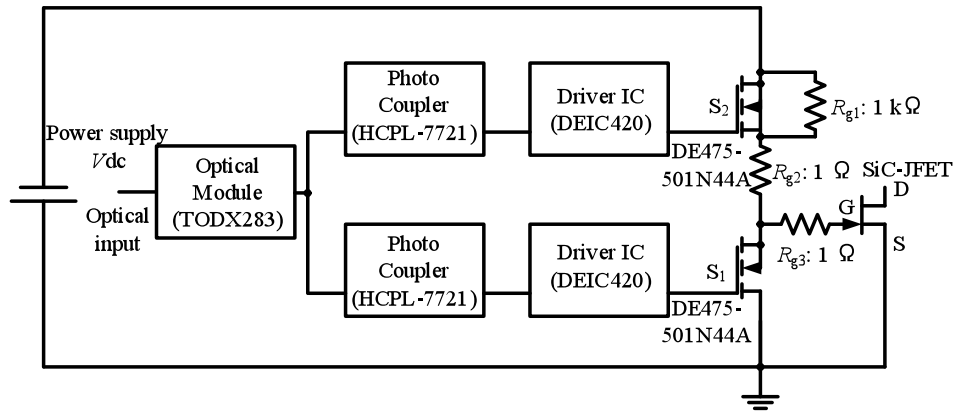


図 5-2 出力団をトータムポール接続とした従来のゲート駆動回路

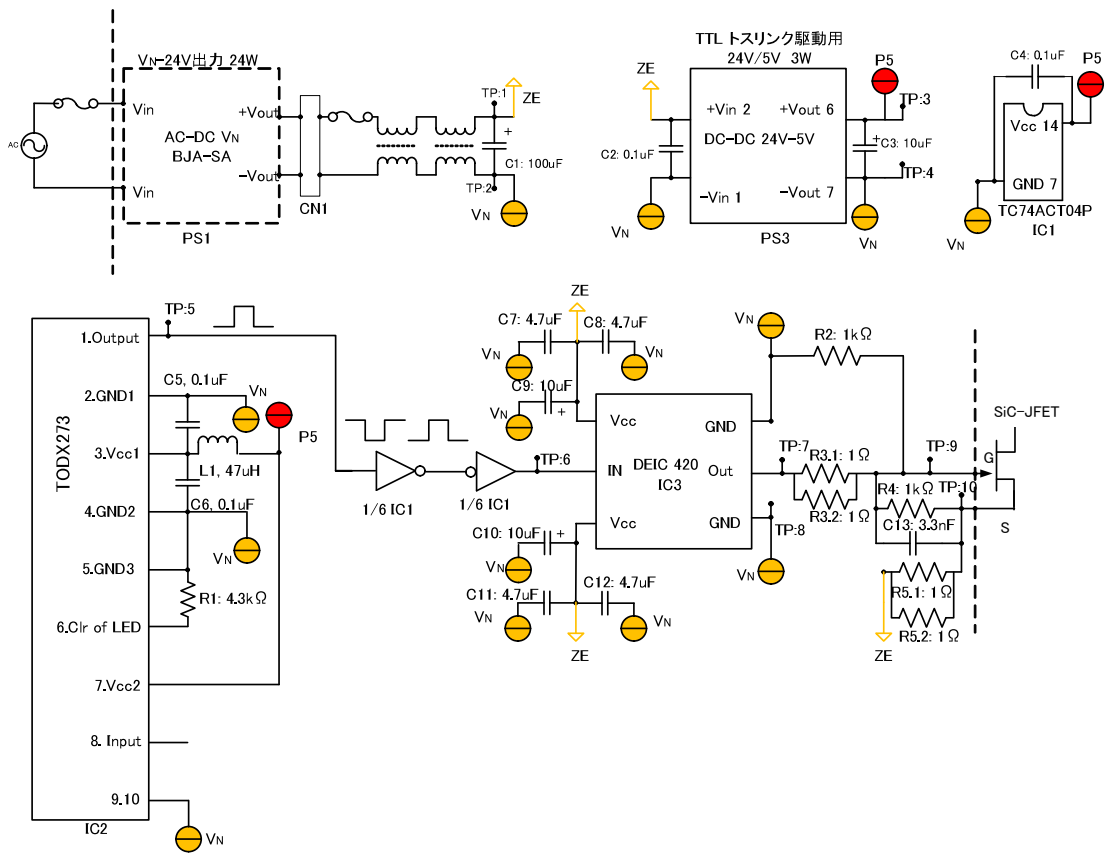


図 5-3 新型のゲート駆動回路

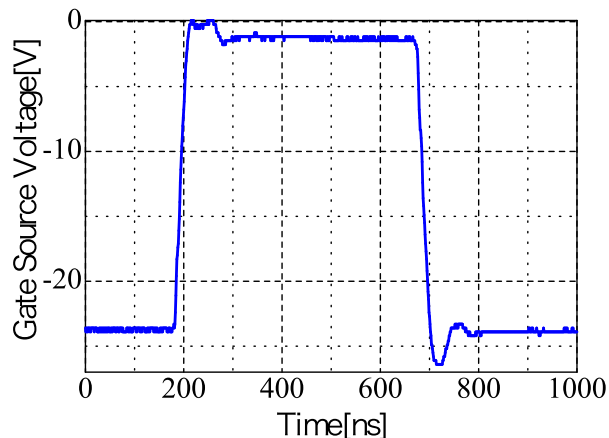


図 5-4 ゲートソース間電圧波形

5.1.3 全体レイアウトと導体配置

装置の部品レイアウトを図 5-5 に示す。ストレージキャパシタは直流電源と H ブリッジの間に接続され、SPS から見た電源の高周波インピーダンスを下げています。ストレージキャパシタには高周波特性に優れたフィルムコンデンサを用い、1 個当たり 33 nF のコンデンサを 18 並列したバンク基板を 2 台、トータルで 1188 nF とした。デジタル加速器の SPS では電流の変化率が数 100 A/ μ s にもなるので、配線インダクタンスを小さくし、浮遊インダクタンスに起因するサージ電圧の発生を抑制することが重要である。そこで試作 SPS では積層した Cu 板の間に絶縁紙（厚さ 0.25 mm のノーメックス®紙×2 枚）を挟んだ平行平板構成を用いた。図 5-5 において全体の中央を通っているのが平行平板導体である。

銅板個々の形状を図 5-6 に示す。P 導体と N 導体、U 導体と N 導体がそれぞれペアとなって逆方向の電流を流し、磁束の打ち消しを行っている。

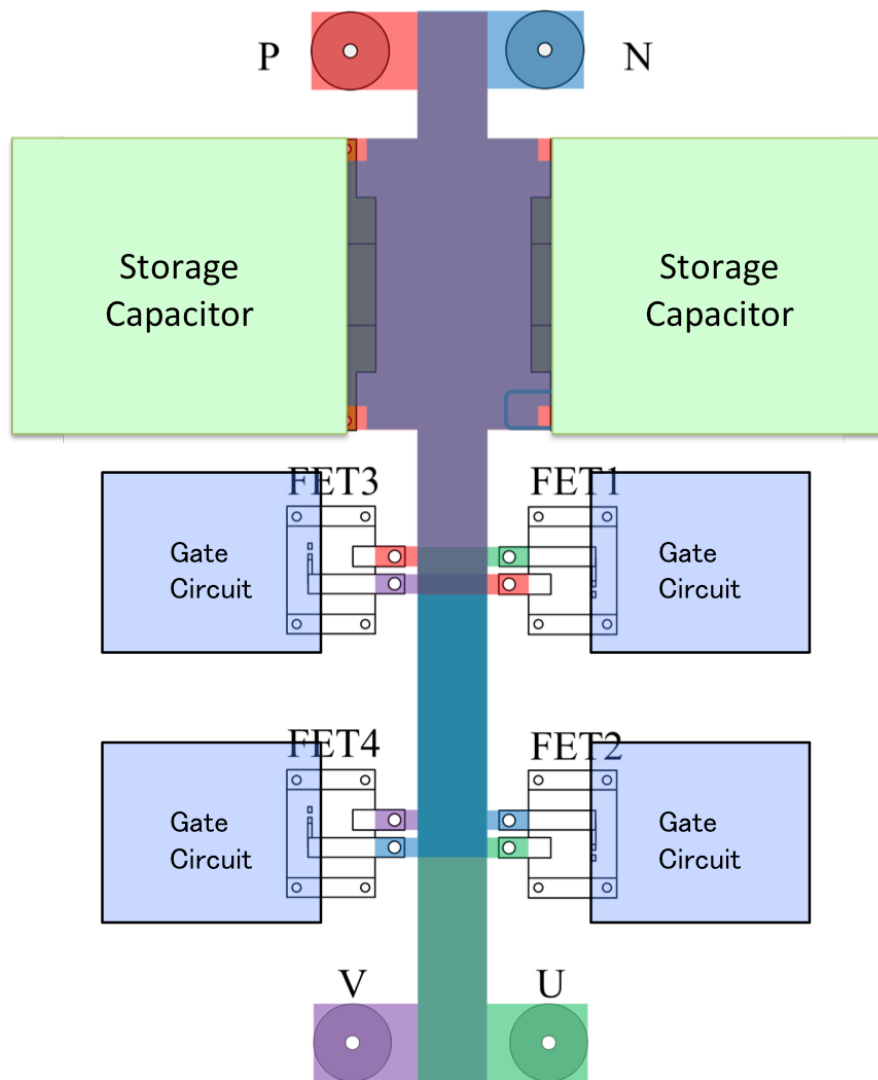


図 5-5 SPS レイアウト

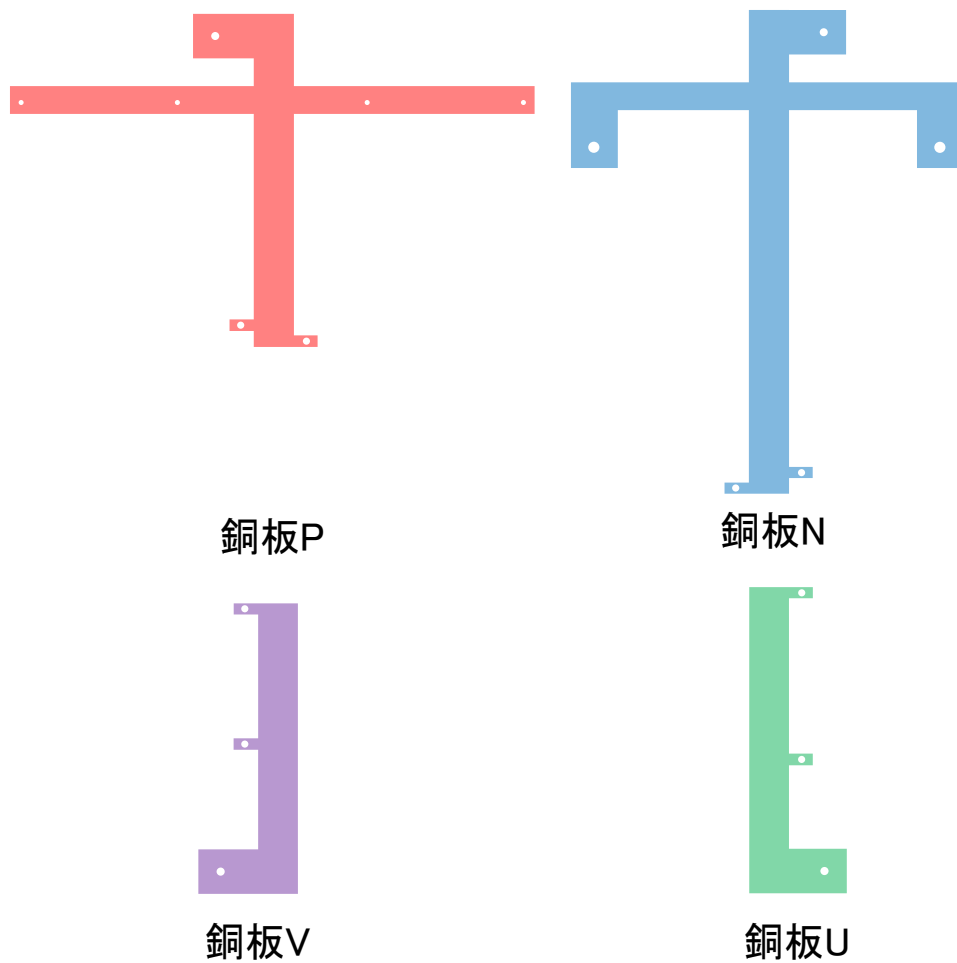


図 5-6 銅板個々の形状

5.1.4 冷却

冷却は銅ブロックの中に水を流して冷却する水冷方式とした。冷却フィンの定格を表 5-1 に、形状を図 5-7 にそれぞれ示す。

表 6-1 冷却フィンの定格

材料	質量	熱抵抗	定格流量
無酸素銅	約 3 kg	0.03 K/W	6 ~ 10 L/min.

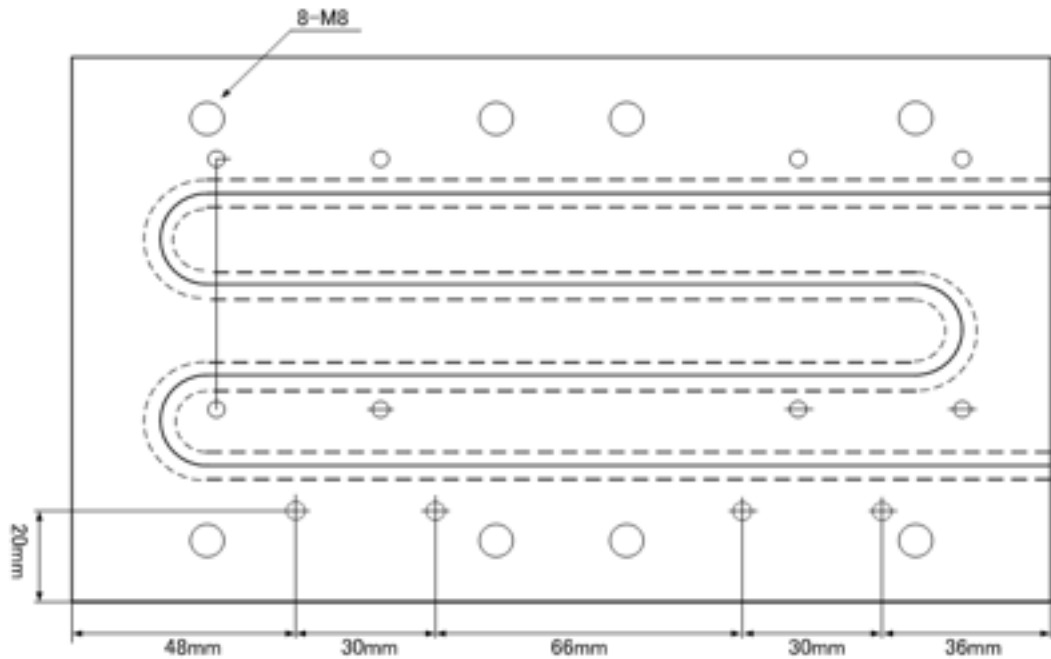


図 5-7 冷却フィンの形状

5.1.5 スナバ回路

スイッチング時の過渡振動電圧（サージ電圧）を抑制する目的でスナバ回路を挿入した。スナバ回路には種々の方式があるが、本 SPS では効果が大きく、かつ高繰り返しでも損失が小さい放電阻止型のスナバ回路²⁾を各アーム毎に接続した(図 5-8)。

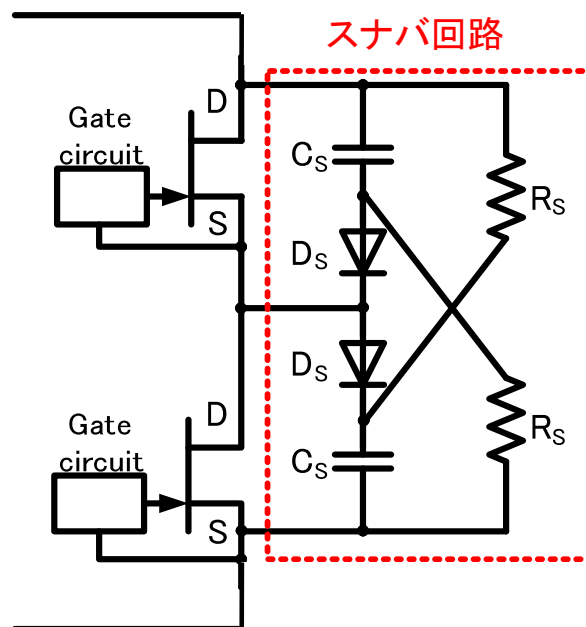


図 5-8 放電阻止型スナバ回路

スナバ回路の定数はスナバ抵抗 R_s : 220 Ω 、スナバコンデンサ C_s : 100 nF である。また、スナバダイオードには日本インター製 FSU05B60 を 2 直列にして用いた。FSU05B60 の主な定格を表 5-2 に示す。

表 5-2 スナバダイオード (FSU05B60) の主な定格 [3]

Item	Symbol	Conditions	Typ.	Max	Unit
Repetitive Peak Reverse Voltage	V_{RRM}	600	600		V
R.M.S Forward Current	IF(RMS)	7.8	7.85		A
Peak Forward Voltage	V_{FM}	$T_j=25^{\circ}\text{C}, I_{FM}=5\text{A}$	2.3	2.7	V
Reverse Recovery Time	t_{rr}	$I_{FM}=5\text{A}, -di/dt=50\text{A}/\mu\text{s}, T_j=25^{\circ}\text{C}$	19	30	ns

またスナバ回路の外観を図 5-9 に示す。

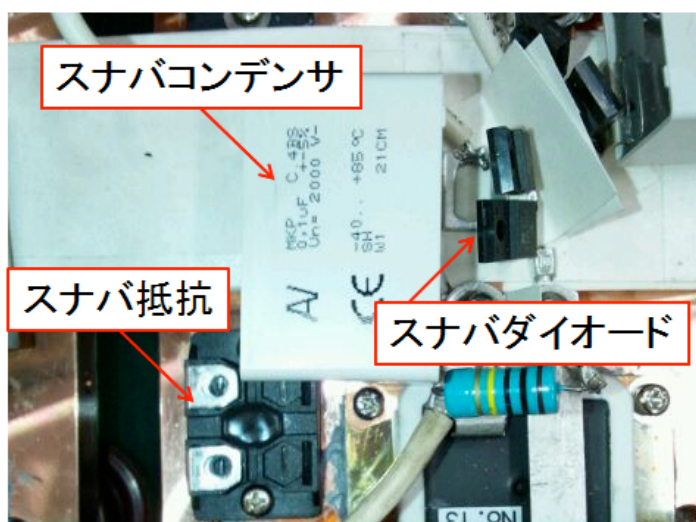


図 5-9 スナバ回路の外観 (1 回路)

5.2 試作スイッチング電源の性能評価

5.2.1 抵抗負荷試験 [4-7]

最初に、試作スイッチング電源 (SPS) を抵抗負荷に接続し、スイッチング試験を行った。図 5-10 に実験回路を、図 5-11 に入力電圧 800 V、繰り返し周波数 1 MHz (短時間のバーストモード)、負荷抵抗 40 Ω のときの SPS 出力電流波形と FET 1 の DS 間電圧波形を示す。

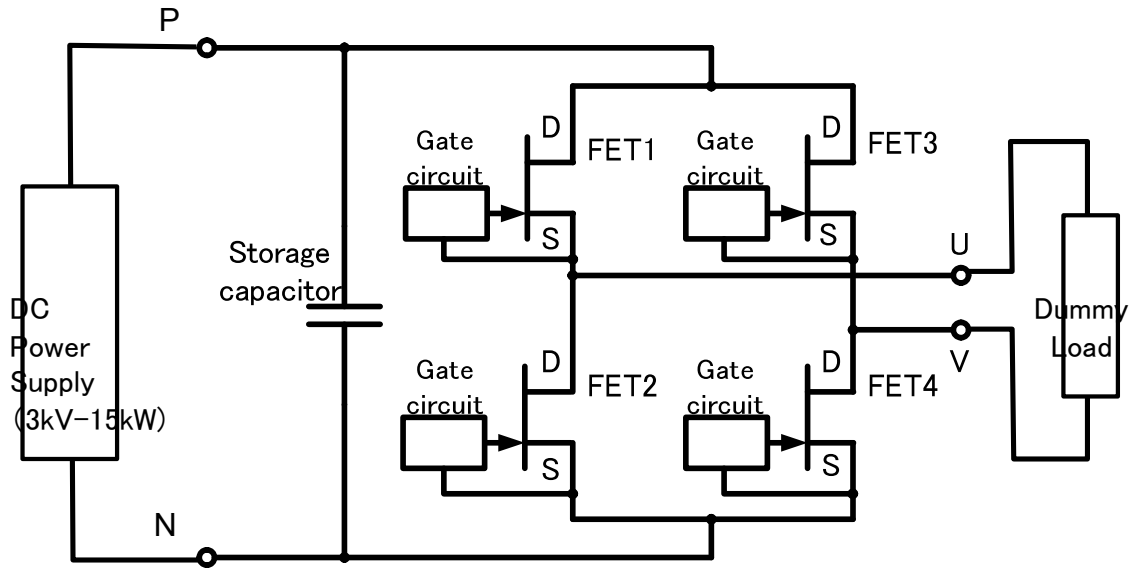


図 5-10 SPS 動作実験回路

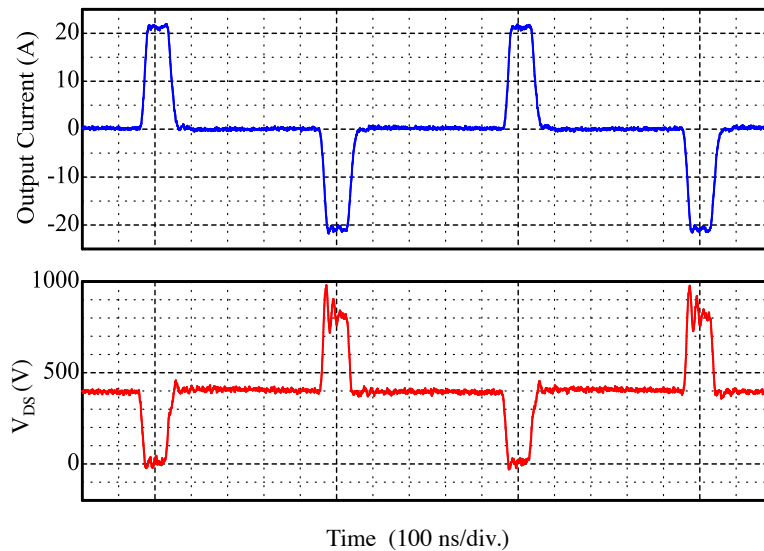


図 5-11 SPS 動作波形 (800V-1MHz-40Ω)
 (上: SPS 出力電流、下: FET1 D-S 間電圧)

FET 素子の DS 間電圧に若干の振動が見られる。FET1、FET2、FET3、FET4 の振動電圧ピーク値 (V_{DSP}) を表 5-3 に示す。FET1、FET2 側が、FET3、FET4 側に比べてやや大きいという結果であった。

表 5-3 FET ドレイン-ソース間のピーク電圧 V_{DSP}

FET #	V_{DSP}
FET1	966 V
FET2	955 V
FET3	895 V
FET4	894 V

5.2.2 回路シミュレーション

素子ターンオフ時の過電圧は回路のインダクタンス、キャパシタンスに起因する過渡現象によると考えられる。そこで回路各部のインダクタンス、キャパシタンスを織り込んだ回路シミュレーションを行って実測との比較を試みた。図 5-12 にシミュレーションの基本となるインダクタンスとキャパシタンスの配置を示す。但し、図 5-12 は図 5-5 と図 5-6 に示した部品と銅板の配置を配線パートに分割してインダクタンス、キャパシタンスで表したものである。各定数は次のようにして決定した。

まずインダクタンスについては銅板の重なりを考慮し、往復電流によって磁界の打ち消しが期待できる部分と磁界の打ち消しが期待できない部分とでそれぞれ (5-1)式と (5-2)式を使って計算した。

$$\text{往復導体のインダクタンス} \quad L_p = \mu_0 l \frac{d}{b} \quad (5-1)$$

$$\text{単板導体のインダクタンス} \quad L_s = \mu_0 \frac{l}{2\pi} \left\{ \log \left(\frac{2l}{(a+b)} \right) + \frac{1}{2} \right\} \quad (5-2)$$

ただし、 μ_0 :真空の透磁率、 l :導体長さ、 a :導体厚さ、 b :導体幅、 d :往復導体の間隔である。また、導体間のキャパシタンスは(5-3)式を使って計算した。

$$\text{導体間のキャパシタンス} \quad C = \epsilon_s \epsilon_0 \frac{S}{d} \quad (5-3)$$

ただし、 ϵ_s : ノーマックス紙の比誘電率(=2.5)、 ϵ_0 : 真空の誘電率、 S : 導体重なり部分の面積である。表 5-4 にインダクタンスの計算結果を、表 5-5 にキャパシタンスの計算結果を示す。

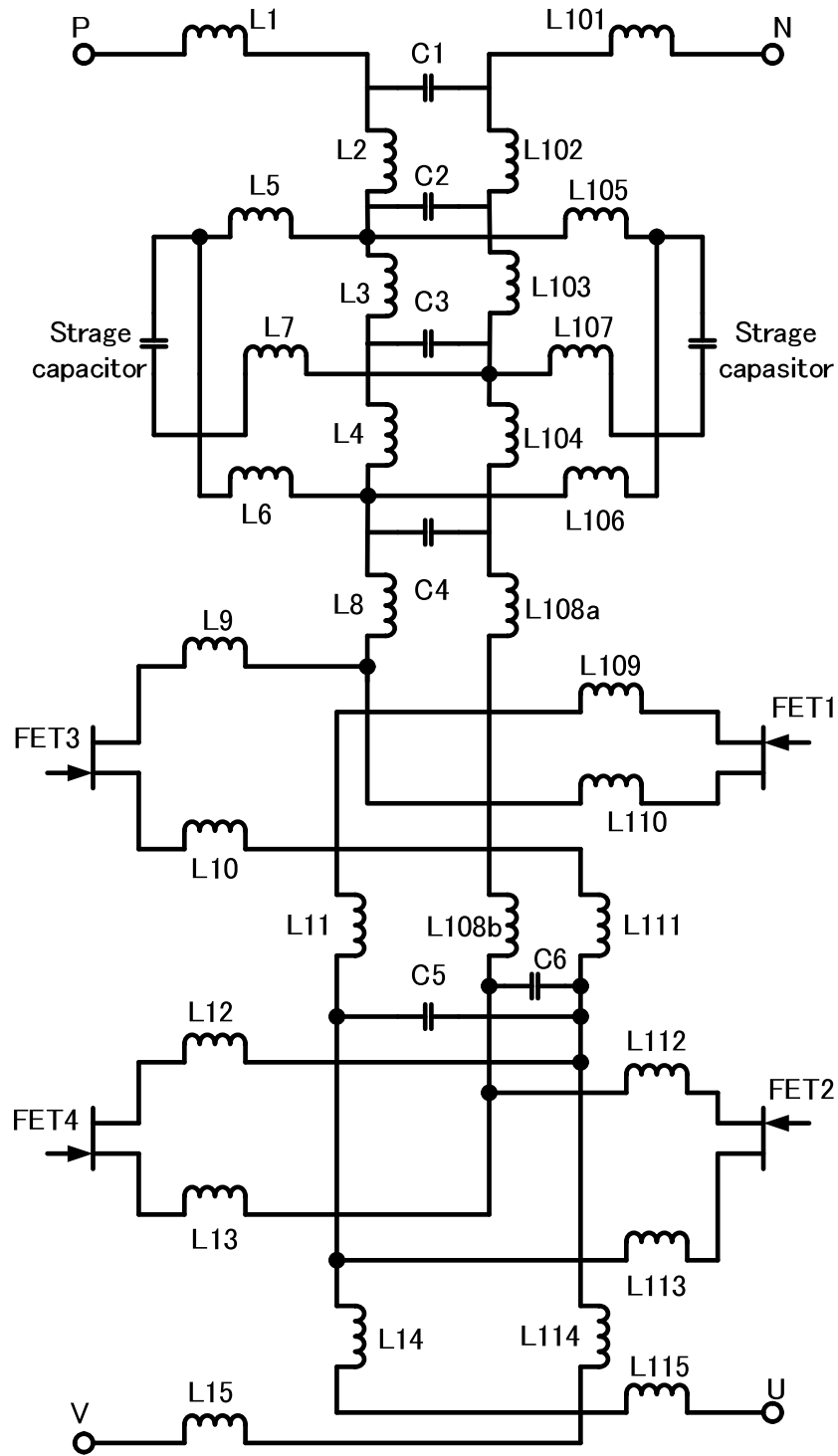


図 5-12 SPS の等価回路

表 5-4 インダクタンスの計算結果

	a[mm]	b[mm]	l[mm]	L(往復電流)[H]	L(単体)[H]
L1	5.00E-04	4.00E-02	5.50E-02		1.02733E-08
L2			6.50E-02	5.67E-10	
L3			1.50E-02	5.24E-11	
L4			1.05E-01	3.14E-10	
L5	5.00E-04	1.50E-02	1.80E-02		3.11749E-09
L6	5.00E-04	1.50E-02	1.80E-02		3.11749E-09
L7	5.00E-04	3.50E-02	6.00E-02		1.23474E-08
L8			7.50E-02	6.54E-10	
L9	5.00E-04	1.00E-02	2.00E-02		4.32348E-09
L10	5.00E-04	1.00E-02	2.00E-02		4.32348E-09
L11			1.60E-01	1.40E-09	
L12	5.00E-04	1.00E-02	2.00E-02		4.32348E-09
L13	5.00E-04	1.00E-02	2.00E-02		4.32348E-09
L14			1.15E-01	1.00E-09	
L15	5.00E-04	4.00E-02	5.50E-02		1.02733E-08
L101	5.00E-04	4.00E-02	5.50E-02		1.02733E-08
L102			6.50E-02	5.67E-10	
L103			1.50E-02	5.24E-11	
L104			1.05E-01	3.14E-10	
L105	5.00E-04	1.50E-02	1.80E-02		3.11749E-09
L106	5.00E-04	1.50E-02	4.50E-02		1.13752E-08
L107	5.00E-04	3.50E-02	6.00E-02		1.23474E-08
L108a			7.50E-02	6.54E-10	
L108b	5.00E-04	3.60E-02	1.60E-01		4.61714E-08
L109	5.00E-04	1.00E-02	2.00E-02		4.32348E-09
L110	5.00E-04	1.00E-02	2.00E-02		4.32348E-09
L111			1.60E-01	1.40E-09	
L112	5.00E-04	1.00E-02	2.00E-02		4.32348E-09
L113	5.00E-04	1.00E-02	2.00E-02		4.32348E-09
L114			1.15E-01	1.00E-09	
L115	5.00E-04	4.00E-02	5.50E-02		1.02733E-08

表 5-5 キャパシタンスの計算結果

	縦[mm]	横[mm]	C [nF]
C1	6.50E-02	3.60E-02	10.3
C2	1.50E-02	9.00E-02	0.0598
C3	1.20E-01	1.05E-01	0.558
C4	7.50E-02	3.60E-02	0.120
C5	1.60E-01	2.50E-02	0.177
C6	1.35E-01	3.60E-02	0.215

導体の他にも、JFET 素子自身に関連するインダクタンス、キャパシタンスが存在する。素子内部インダクタンスについては 5.3.4 において 23 nH と評価した。またキャパシタンスについては端子-ケース間のキャパシタンスを LCR メータ（日置 3532-50）を用いて実測し、ドレイン-ケース間を 28 pF、ソース-ケース間を 44 pF とした。

これらの結果を基に回路シミュレーション用の等価回路にしたものが図 5-13 である。回路シミュレーションソフトウェアは Spectrum 社の Micro-Cap^[8]を用い、シミュレーション条件は実験と同じく直流電圧 800 V、パルス幅 100 ns、繰り返し周波数 1 MHz とした。図 5-14 にシミュレーション結果を、表 5-6 に実測とシミュレーションにおける V_{DSP} の数値比較を示す。

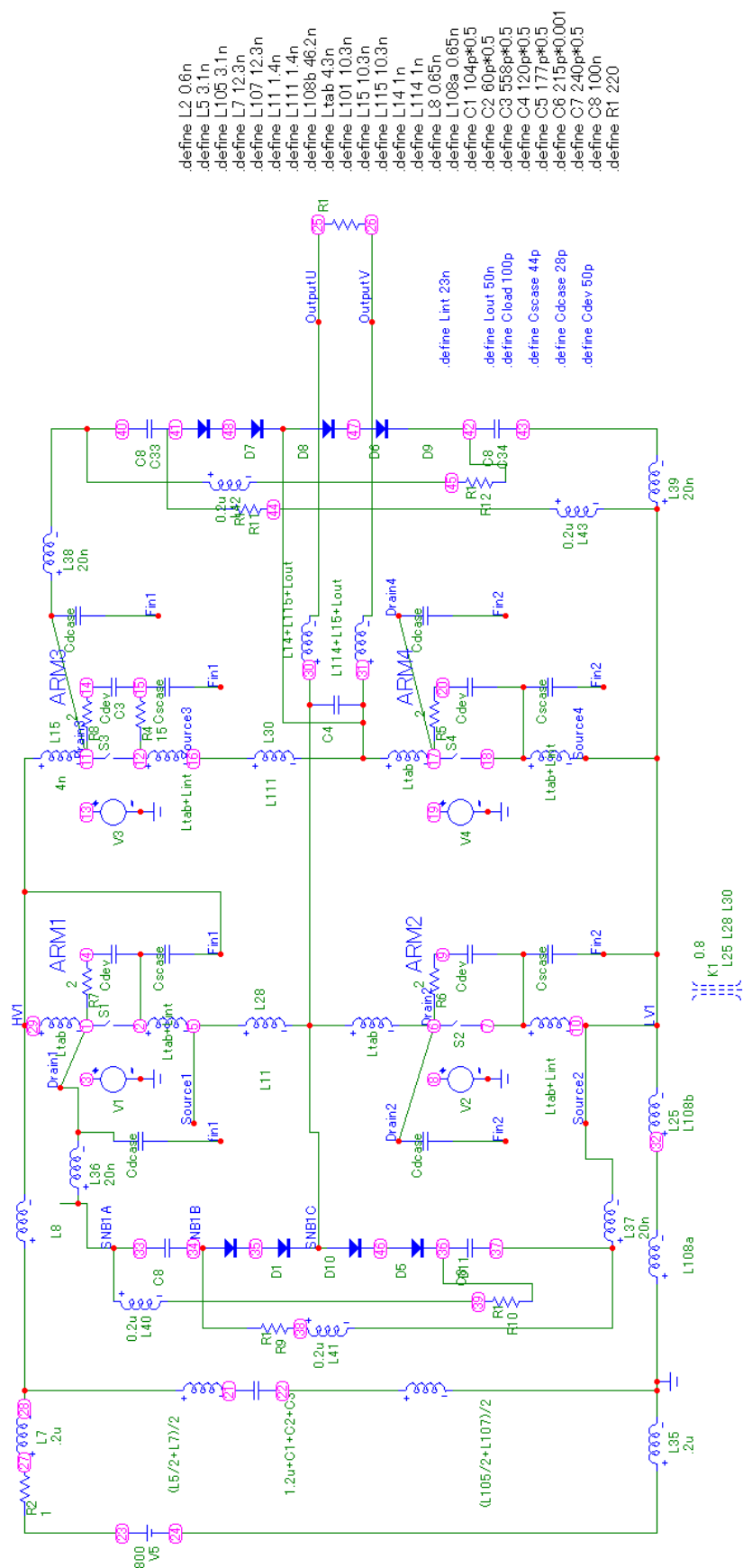


図 5-13 シミュレーション回路

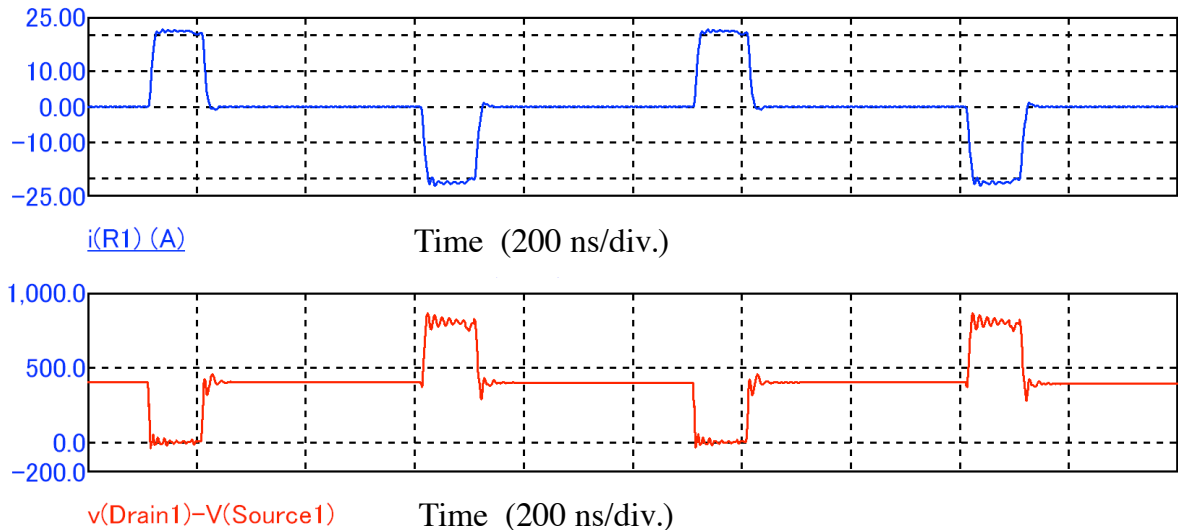


図 5-14 シミュレーション結果
(上：SPS 出力電流、下：FET1 D-S 間電圧)

表 5-6 V_{DSP} の実測とシミュレーションの比較

FET	実測電圧 (V)	シミュレーション (V)
FET1	966	862
FET2	955	873
FET3	895	831
FET4	894	851

シミュレーションにおいても実測で観測されたような FET のドレイン電圧の振動が現れているがそのピーク値は実測の方が 5-10% 高めであった。

5.2.3 温度上昇

つぎに、連続動作実験を行った。連続動作実験においてはチラーと循環ポンプを一体化したユニットクーラーを用いて冷却水を循環した。図 5-15 に周波数 1 MHz で連続スイッチング実験中の FET 1 の温度上昇の様子を示す。温度は素子単体試験と同様に素子上面の測定ホールにおいて測定した。最初の 1 分間は急激に温度が上昇するが、その後は水温の上昇に伴ってゆるやかなカーブとなっている。さらに冷却水の温度制御が働くようになると、その制御に同期して温度上昇と下降を繰り返す準定常状態となっている。最も高い直流電圧である 800 V においても最高温度上昇は 35 K 以下に過ぎず、素子単体評価の時の温度に対して充分低い温度であった。これは通電電流が素子単体評価の時に比べて小さい 20 A であったこと、回路がブリッジ構成となっているため 1 素子当たりの電圧が半分の 400 V となっているためである。図

5-16 に赤外線放射温度計で映像を通常写真と共に示す。最も温度が高くなったのはスナバ回路のダイオードで表面温度が 71 °C であった。

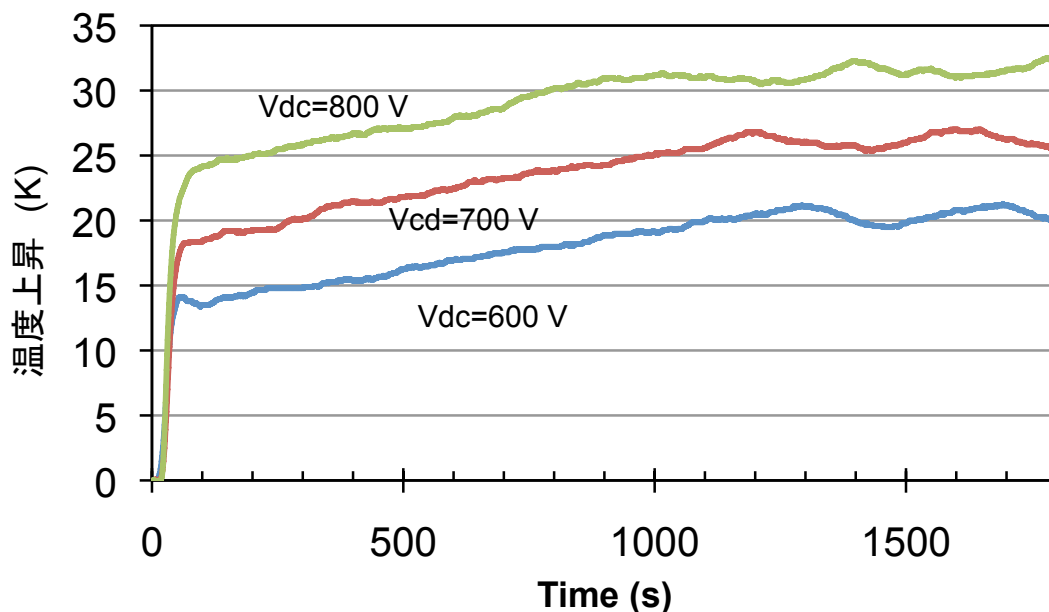


図 5-15 1MHz 動作時の素子温度上昇

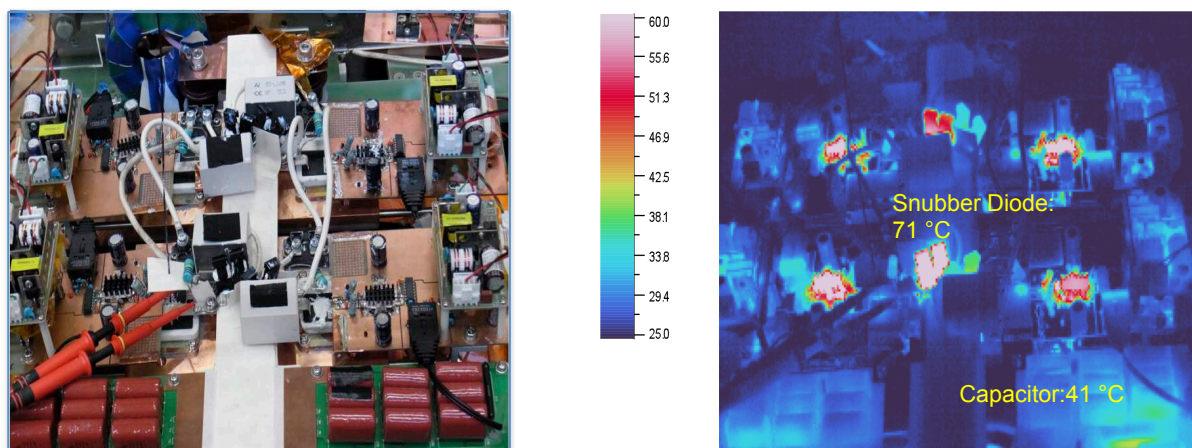


図 5-16 800V-1MHz 動作時の赤外線画像（右）と可視光画像（左）

5.2.4 加速セル接続実験^[9]

つぎに、試作 SPS を実際の加速器トンネルに設置し、加速セルと接続した通電実験を実施した。SPS と加速セルとの間は約 40 m の平衡型高電圧ケーブル（特性インピーダンス 120 Ω）で接続した。セル端には 240 Ω（セルとの合成抵抗としては約 140 Ω）の整合抵抗を接続した他、今回の実験ではさらに SPS の出力側にも整合抵抗（混乱を避けるため以降出力抵抗と呼ぶことにする）を接続することを試み、その有無による波形の違いを比較した。図 5-17 に出力抵抗（120 Ω）の有無によるセル入力電圧波形と SPS 出力電流波形の違いを比較して示した。なお本図でセル入力電

圧波形が遅れているのは、測定ケーブルによる遅延である。出力抵抗を接続したほうがパルスの立ち下がり時間が小さくなっていることがわかるが、これは出力抵抗を接続したことで電源インピーダンスが等価的に低くなり、ターンオフ時の出力静電容量への充電時間が短くなるためと考えることで説明できる。これを確かめるために、図 5-18 の等価回路を用いて回路シミュレーションを行った。このシミュレーションは電源内部の振動を解析することが主目的ではないため、6.1.2 で述べたシミュレーションと比較すると電源内部のインダクタンス、キャパシタンスは簡易化して表現し、SiC-JFET は図 5-19 に示すように電圧制御スイッチ、逆並列ダイオード、並列容量 (C_o) の並列回路と内部インダクタンスで模擬した。また加速セルはインダクタンス、抵抗、静電容量の並列回路で表現した^[10]。さらに加速セルは絶縁油で満たされた金属タンクに収納されているので、対タンクの静電容量 (320 pF) もつけ加えている。

FET の並列容量を 200 pF としたときのシミュレーション結果を図 5-20 に示す。シミュレーションにおいても実測波形と同様の立ち下がり時間の違いが見られることが分かる。なお、図には示していないがシミュレーションにおいて並列容量を 0 とした場合には、出力抵抗の有無による立ち下がり時間の違いはみられないことも分かった。これらのことより立ち下がり時間の差異は JFET の並列容量に起因するものであり、並列容量は 200 pF 程度と評価される。この結果をふまえて 6.3 節で述べる実加速試験では出力抵抗を接続して実験を行うこととした。

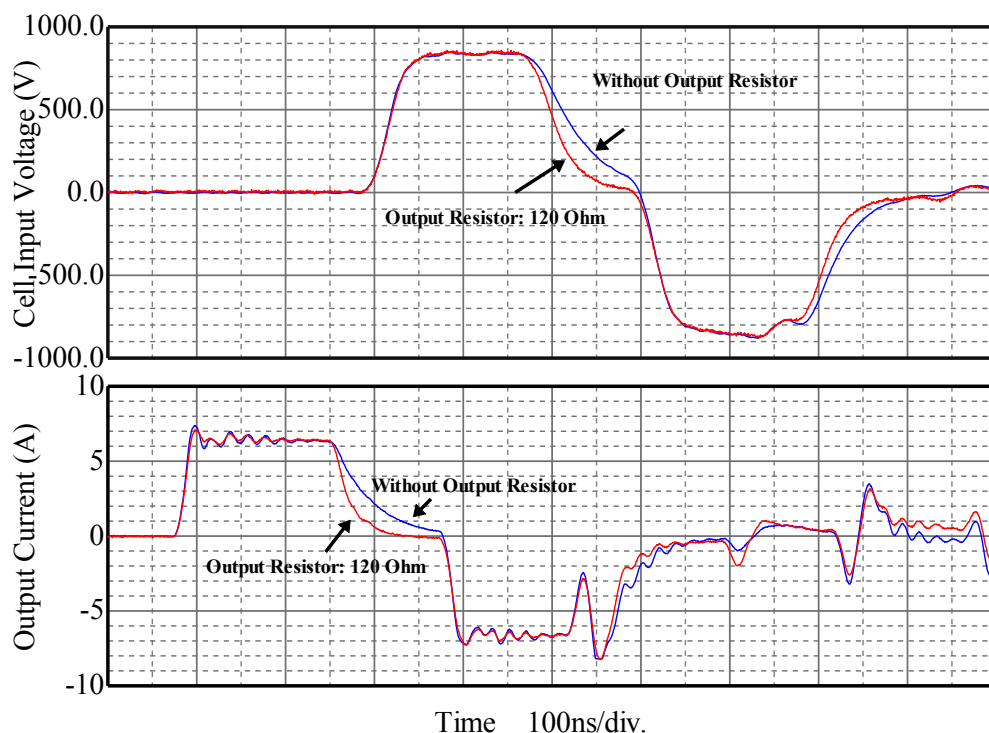


図 5-17 加速セル組み合わせ試験における測定波形 (上：セル入力電圧、下：SPS 出力電流)

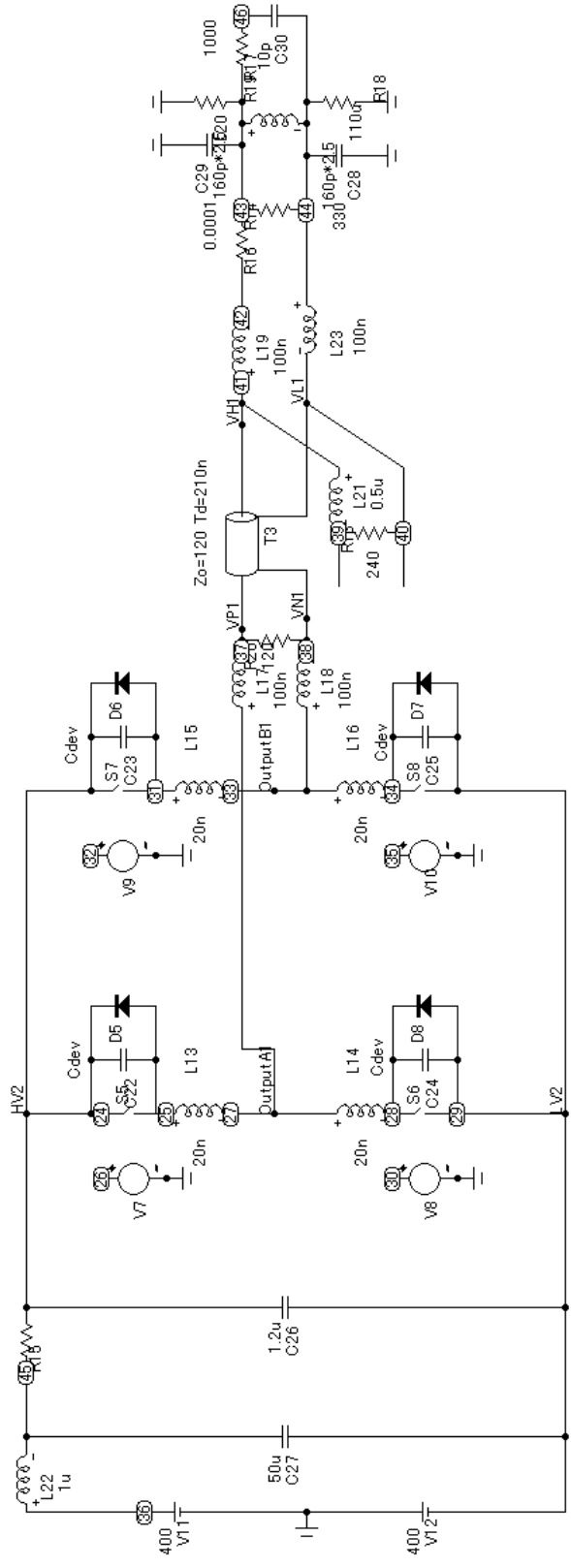


図 5-18 加速セル組み合わせ実験のシミュレーション回路

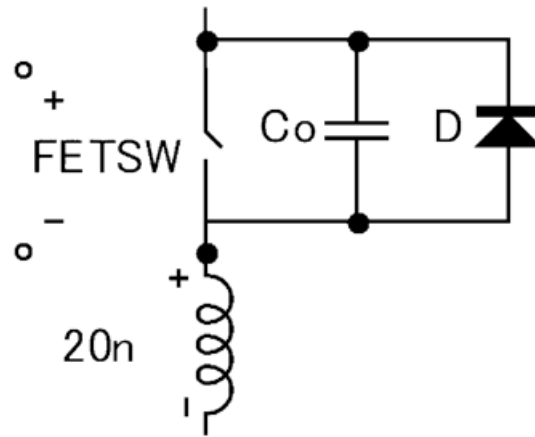


図 5-19 FET 等価回路

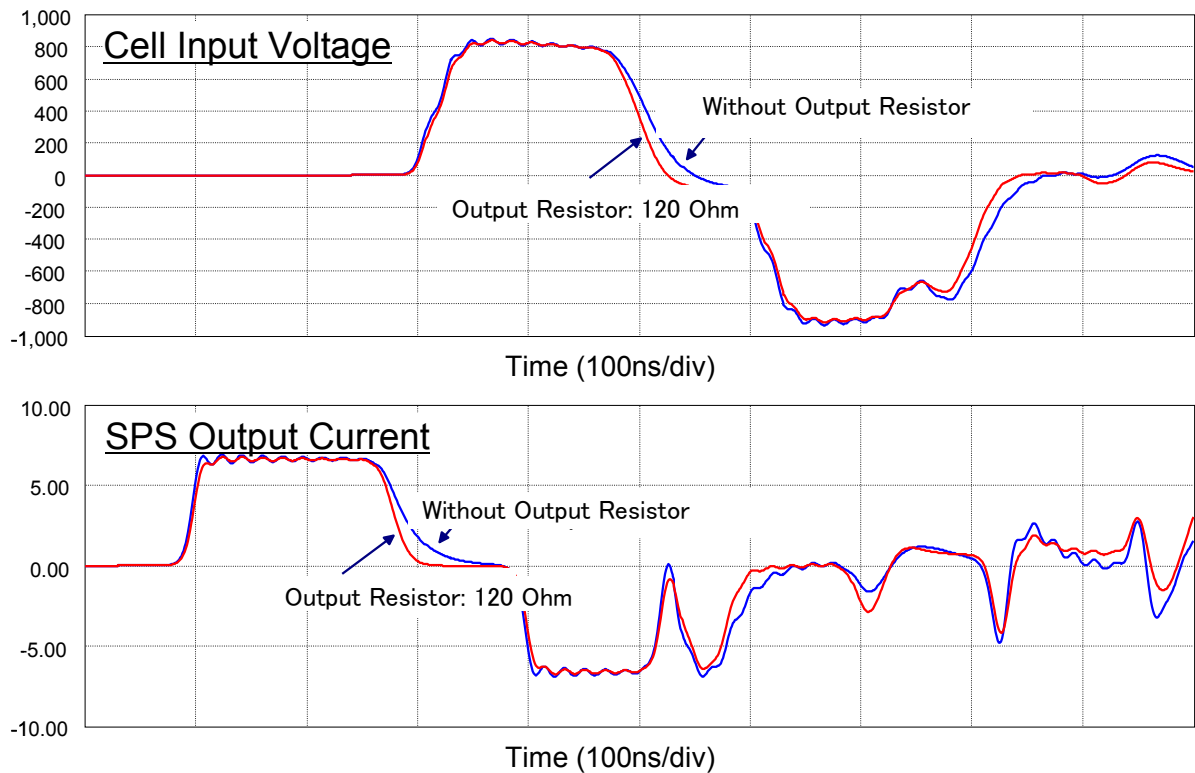


図 5-20 加速セル組み合わせ実験のシミュレーション結果

5.2.5 加速セルと SPS の直接接続の検討

2.1 節に述べたように、SPS は加速セルと高電圧ケーブルを介して接続されている。これは SPS に使用している高電圧 Si-MOSFET の放射線に対する耐性が小さく、加速器リング本体の近くに配置することが困難なためであるが、SiC パワーデバイスは放射線に対する耐性が高いことが期待され^[11]、将来的に加速器リングの近傍に SPS を設置することができる可能性がある。そこで今回は SPS を加速セルの直近に設置することで、加速セルの入力電圧波形がどのように変化するかを調査した。

最初に加速セルと SPS の間を、ツイストした高電圧電線（長さ約 2m）で接続し

た。図 5-21 にセル側整合抵抗のみ ($240\ \Omega$)、セル側整合抵抗と出力抵抗 ($120\ \Omega$) の両方とした場合のセル入力電圧の波形を示す。どちらの場合も反射に起因するとみられる振動が発生しており、長さ $2\ \text{m}$ の接続ケーブルといえどもインピーダンス整合を考慮する必要があることを示唆している。ケーブルの特性インピーダンスを $106\ \Omega$ 、遅延時間を $10\ \text{ns}$ とした回路シミュレーションを図 5-22 に示すが、高い周波数の振動を除いて大略一致した。同じシミュレーション回路で SPS の出力抵抗を $106\ \Omega$ 、セル側の抵抗を $106\ \Omega$ として整合を図ったシミュレーションの結果も同図に示すが、振動が低減しており、整合の効果が見られる。

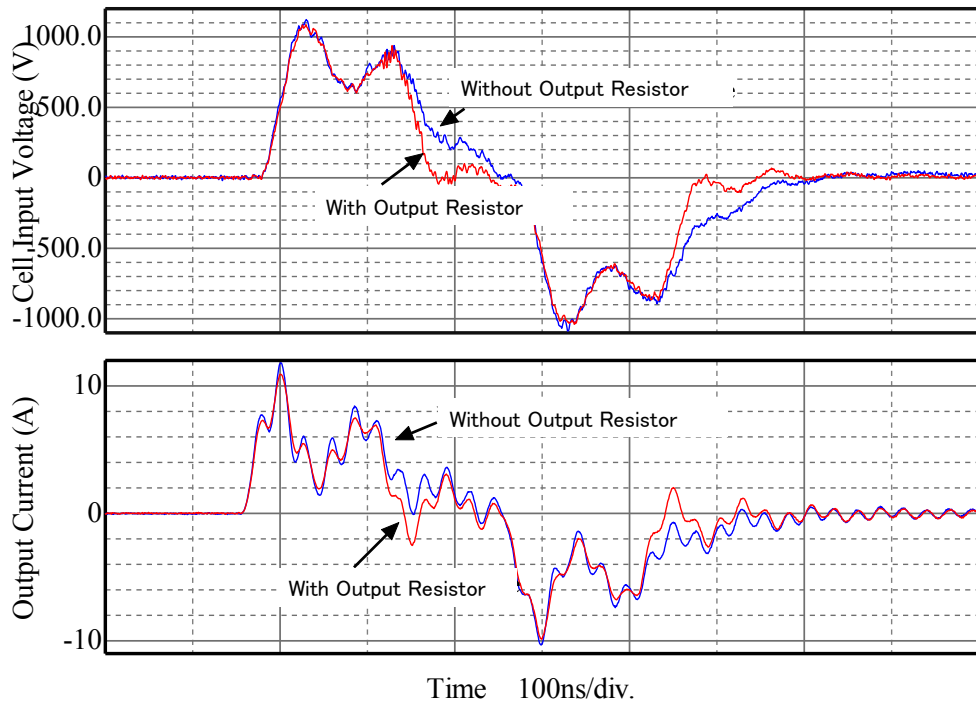


図 5-21 短いツイスト電線でセルを接続したときの出力波形

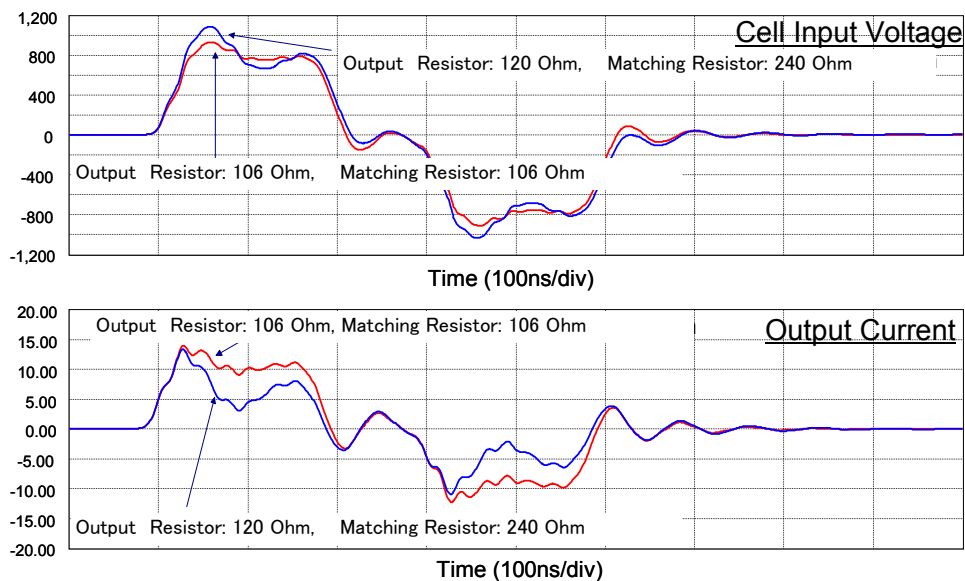


図 5-22 ケーブルの特性インピーダンスを $106\ \Omega$ とした回路シミュレーション結果

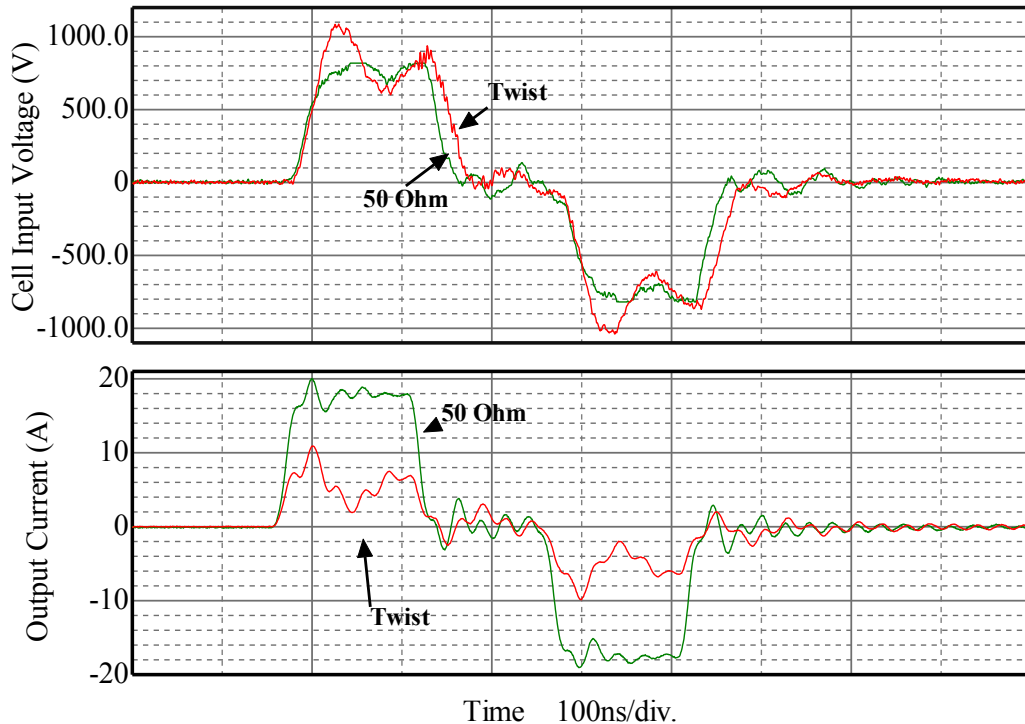


図 5-23 50 Ω ケーブルとツイスト電線の出力波形比較

次に特性インピーダンスが既知のケーブルとして同軸ケーブル（3D-2V : 50 Ω）を用いた実験を行った。ケーブル長は 2m である。整合用として SPS 側、セル側にそれぞれ 50 Ω の抵抗を接続した。結果をツイストケーブルの場合と比較して図 5-23 に示すが、波形の振動が小さくなり改善されていることが分かる。またセル電圧の立ち上がり、立ち下がり時間はそれぞれ 35 ns、27 ns であった。セットパルスの立ち下がりからリセットパルスの立ち下がりまでが 500 ns 以内で完了していることは、この SPS を用いることで従来の Si-MOSFET ではできなかった 2 MHz の運転も可能であることを示している。

このように SPS を加速セル近傍に設置し、ケーブルとのインピーダンス整合をとることで、SiC-JFET の高速スイッチング性能がより生かされることが分かった。

5.3 第 5 章のまとめ

本章では、開発した SiC-JFET を用いた SPS の試作について、まずその設計内容について説明し、つぎにその評価結果について述べた。

5.1 節においては、SiC-JFET を用いた SPS の設計について述べた。試作した SPS は SiC-JFET を各アーム 1 個ずつ用いた単相 H ブリッジ回路で構成されており、ゲート駆動回路をこの SPS のために新たに開発した。また主回路は浮遊インダクタンスを低減するために積層した銅板の間に絶縁紙を挟んだ平行平板構成とし、さらにスイッチングに伴う過電圧の発生を抑制するために、放電阻止型のスナバ回路を各アーム

ム毎に接続した。

5.2 節においては、試作 SPS の評価試験の結果について述べた。抵抗負荷試験では、負荷抵抗として $40\ \Omega$ の純抵抗を接続し、直流電圧 $800\ \text{V}$ を印加して $1\ \text{MHz}$ の連続スイッチング実験に成功した。

次に加速セルを接続した実験を行い、これまでの Si-MOSFET を用いた SPS と同様に SPS と加速セルの間を約 $40\ \text{m}$ の平衡型高電圧ケーブルで接続した試験の他に、将来的に SPS を加速セルの直近に設置する場合のことを考慮した短ケーブルでの実験も行った。

長距離の高電圧ケーブルで接続した実験においては、ケーブルのセル側にのみ整合抵抗を接続した場合と SPS 側とセル側の両方に整合抵抗を接続した場合を比較し、両側に抵抗を接続した方が発生パルス電圧の立ち下がり時間が小さくなり、より好ましい事を見いだした。この現象は回路シミュレーションにおいても確認する事が出来、FET 素子の並列容量の充放電に起因するものと推定された。

SPS を加速セルの直近においた実験においては、最初に SPS と加速セルの間をツイストした高電圧電線（長さ約 $2\ \text{m}$ ）で接続した実験を行ったが、反射に起因すると思われる振動が観測され、近距離といえどもインピーダンス整合の重要性が強く示唆された。次に特性インピーダンス $50\ \Omega$ の同軸ケーブルに変更し、SPS 側、セル側それぞれの整合を図ったところ、予想通り振動が小さくなり、波形が改善されることが確認された。このことより、将来的には SPS を加速セル直近に設置し、かつケーブルとのインピーダンス整合を取る事により、SiC-JFET の高速スイッチング性能をより生かせる事を明らかにした。

参考文献

-
- [1] Semisouth Laboratories, Inc: Application Note AN-SS3 Rev3, “SGDR600P1: 6A JFET Gate Driver Reference Design and Demo Board” (2011)
 - [2] 富士電機: 「富士電機 IGBT モジュールアプリケーションマニュアル」、
<http://www.fujielectric.co.jp/products/semiconductor/technical/application/pdf/RH984b/RH984b.pdf>
 - [3] 日本インター株式会社: 「FSU05B60 データシート」、
<http://www.niec.co.jp/products/pdf/discrete/fsu05b60.pdf>
 - [4] K. Okamura, M. Wake, T. Iwashita, K. Takayama, T. Mizushima, and K. Takaki: “A Compact Switching Power Supply for The KEK Digital Accelerator Utilizing A SiC-JFET”, Proceedings of IPAC 12, New Orleans, pp. 3677-3679 (2012)
 - [5] K. Okamura, T. Mizushima, K. Takaki, T. Iwashita, M. Wake, and K. Takayama: “Development of A Compact Switching Power Supply for The KEK Digital Accelerator Utilizing A SiC-JFET”, 第 9 回加速器学会年会、大阪大学、pp.

1248-1251 (2012)

[6] K. Okamura, T. Mizushima, K. Takaki, and K. Takayama; “A Compact Switching Power Supply Utilizing SiC-JFET for An Induction Synchrotron”, *Material Science Form Vols. 740-742 pp. 1077-1080* (2013)

[7] 岡村、伊勢、水島、大沢、高木、和気、高山：「SiC-JFET を用いた誘導加速シンクロトロン用パルス電源の開発」、平成24年電気学会基礎・材料・共通部門大会 XII-5、秋田大学 (2012)

[8] <http://www.spectrum-soft.com/index.shtm>

[9] 岡村、伊勢、水島、佐々木、高木、田村、由元、大沢、高山：「SiC-JFET を用いた誘導加速シンクロトロン用パルス電源の開発」、*電学論 A*、Vol. 134, No. 6, pp. 402-409 (2014)

[10] 鳥飼 幸太：九州大学大学院博士論文(2005)

[11] R. Irsigler, M. Back, O. Heid, T. Hughes, Th. Kluge, J. Sirtl, R. Baumgartner, M. Kaspar, K. Widner, M. Zerb: “Compact solid state rf-modules for direct drive rf-linacs”, *Proc. of IPAC2011*, pp 382-384, San Sebastian (2011)

第6章 SiC-JFET スwitching電源を用いた実ビーム加速

第5章では SiC-JFET を用いたスイッチング電源の試作と評価結果について述べた。本章では KEK-DA リングの誘導加速セルに SiC-JFET を用いた SPS を接続し、イオンビームを実際に加速した実験結果について述べる^[1]。

6.1 実験のセットアップ

加速実験に利用したのは KEK-デジタル加速器 (KEK-DA) である^[2]。KEK デジタル加速器は旧 PS の 500 MeV ブースターシンクロトロンを誘導加速方式に改装したものである。KEK デジタル加速器の構成を図 6-1 に、主要なパラメータを表 6-1 に示す。以下に KEK-DA の主要機器について説明する。

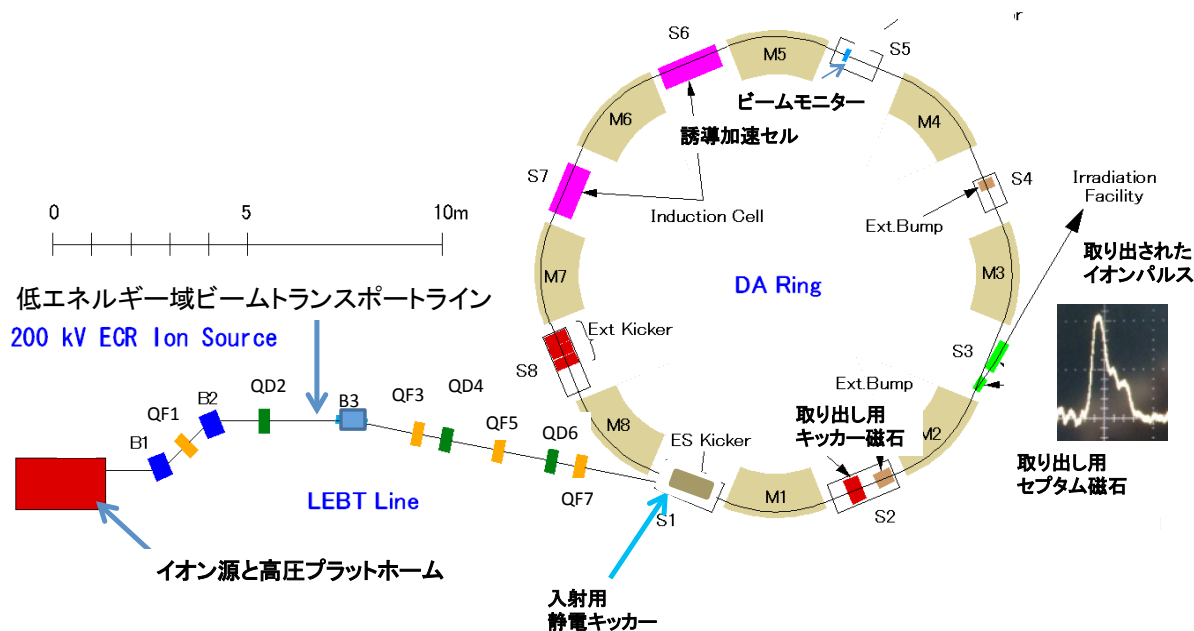


図 6-1 KEK デジタルアクセラレータ概要

表 6-1 KEK-DA のパラメータ

項目	記号	[単位]	値
周長	C	[m]	37.7
曲率半径	ρ	[m]	3.3
主電磁石交流周波数	f	[Hz]	10
最小磁束密度	B_{MIN}	[T]	0.0292
最大磁束密度	B_{MAX}	[T]	0.84

6.1.1 ECR (Electron Cyclotron Resonance)イオン源^[3]

KEK-DA では種々のイオンの加速実験が行えるように ECR イオン源が採用されている。ECR の原理はつぎのようなものである。まず、ミラー磁場が形成されたプラズマ容器内にイオンの元となる中性ガスを流しておく。そこにマイクロ波でエネルギーを供給し電子を過熱する。加速された電子はミラー磁場にトラップされながら、

ガス分子との衝突、電離を繰り返しイオンを生成する。図 6-2 に ECR の原理図を示す。KEK-DA ではイオン源全体を高電圧プラットフォーム(High Voltage Platform: HVP)と称する筐体に収納し、HVP 全体を 200kV に浮かせることでイオンを加速して取出す。図 6-3 に HVP の外観を示す。

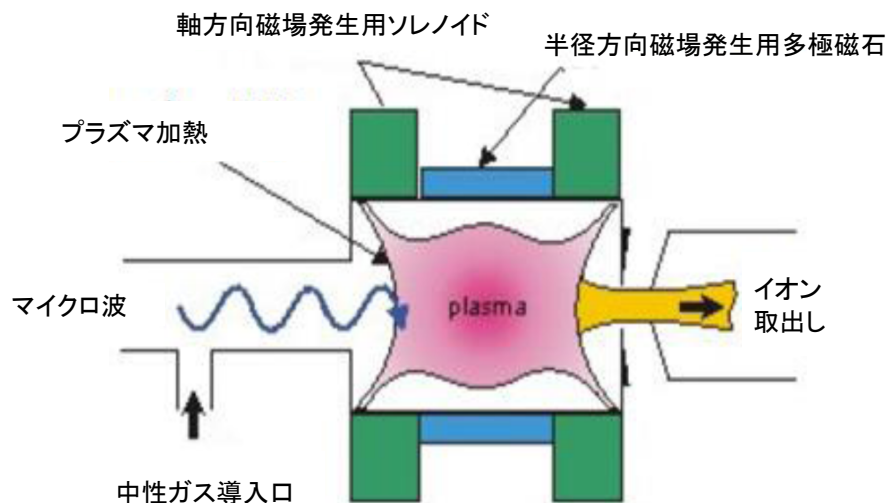


図 6-2 ECR イオン源原理図



図 6-3 高電圧プラットフォーム外観
(手前：リング側、内部に ECR イオン源が収納されている)

6.1.2 Einzel レンズビームチョッパー

イオン源の後段には Einzel レンズビームチョッパーが設置される。ビームチョッパー電極には正極性の直流電源と負極性のパルス電源が直列で接続される。パルス電圧が重畳されないとき、イオン源から到達するビームはブロックされ、パルス電圧が重畳されている間だけ、ビームが後段に伝達されるようになっている。図 6-4 にビームチョッパーの原理図を、図 6-5 にビーム波形の例を示す。パルス電源には MOSFET

をスイッチに用いた Marx 方式のパルス発生器が用いられる^[4]。イオン源のパルス幅は約 5 ms であるが、チョッパーを用いることにより 5 μ s のビームを取出すことができる。イオン源のビーム強度は時間的に減衰傾向を示すためチョップするタイミングを変えると図 6-5 の右図に示すようにビーム強度が変化する。

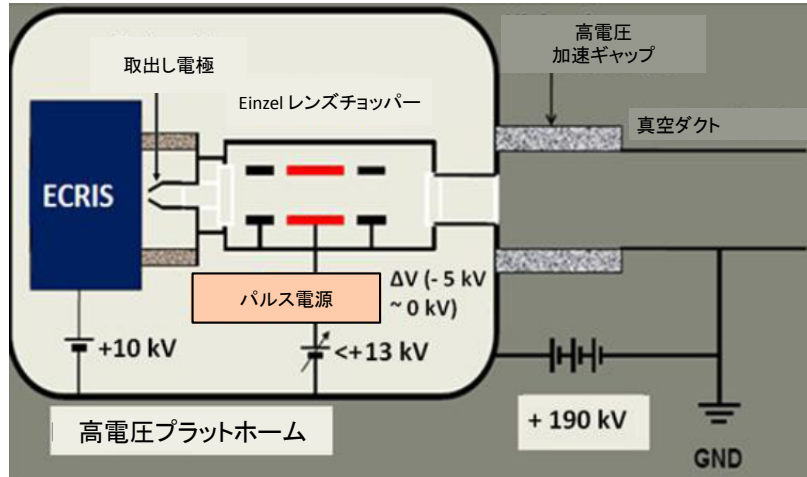


図 6-4 Einzel ビームチョッパーの原理

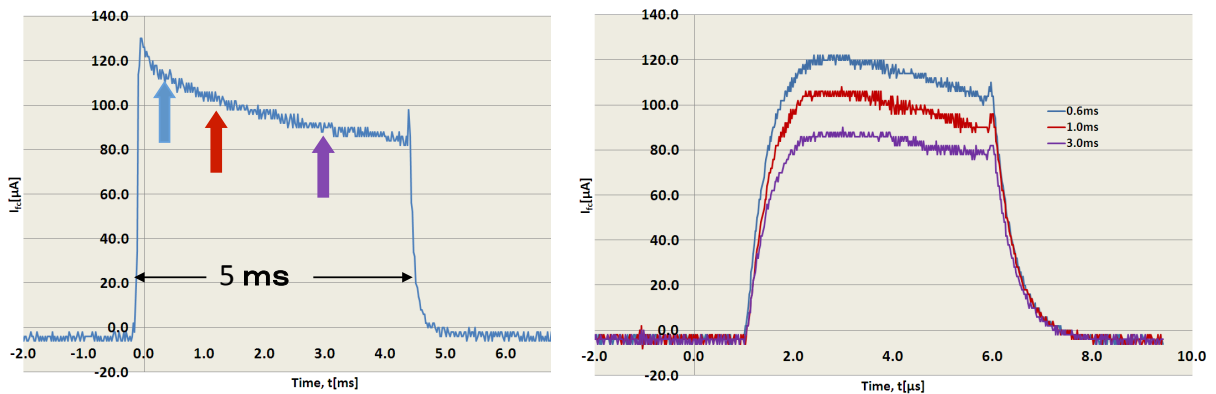


図 6-5 イオン源のビーム波形（左）とビームチョッパーによって取出されたビーム波形（右）の例

6.1.3 LEBT

取出されたイオンは LEBT (Low Energy Beam Transport Line) と呼ばれるビームラインを経由して、DA リングに導かれる。LEBT は必要な価数のイオンのみを選択する分析電磁石、イオンビームを DA リングの入射角度に合わせる偏向電磁石、ビームを収束する四極電磁石等からなる。図 6-6 に LEBT の外観を示す。

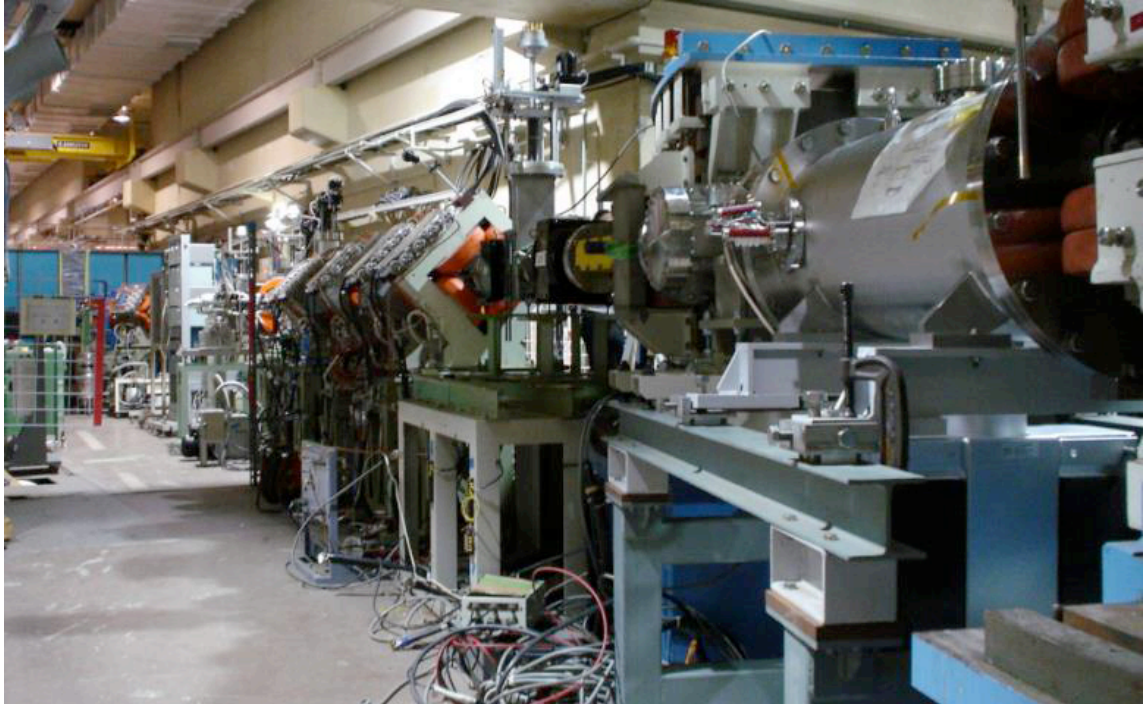


図 6-6 LEBT ライン

6.1.4 静電入射キッカー^[5]

高エネルギーのビームを円形加速器に入射する場合、キッカー電磁石を用いることが多いが、KEK-DA では電界でビーム軌道を曲げる静電キッカー方式を採用している。これは KEK-DA では直線加速器を前段に用いず、低エネルギー入射を行うので、電界だけで十分な偏向角が得られるためである。静電キッカーは電極間の僅かな静電容量の充放電エネルギーしか要しないため、磁石方式にくらべてドライブが容易という特徴がある。図 6-7 に静電キッカーの回路を、図 6-8 に静電キッカーの断面写真をしめす。主電極間には中間電極が挿入され、抵抗分圧した電圧を印加することによって空間的に均一な電界が得られるように工夫されている。

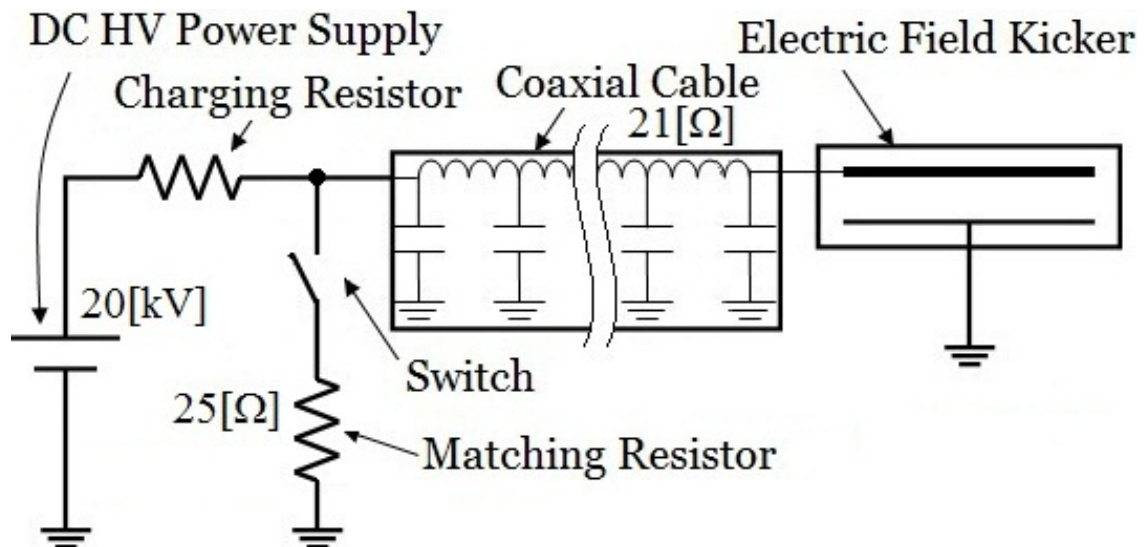


図 6-7 静電入射キッカー回路

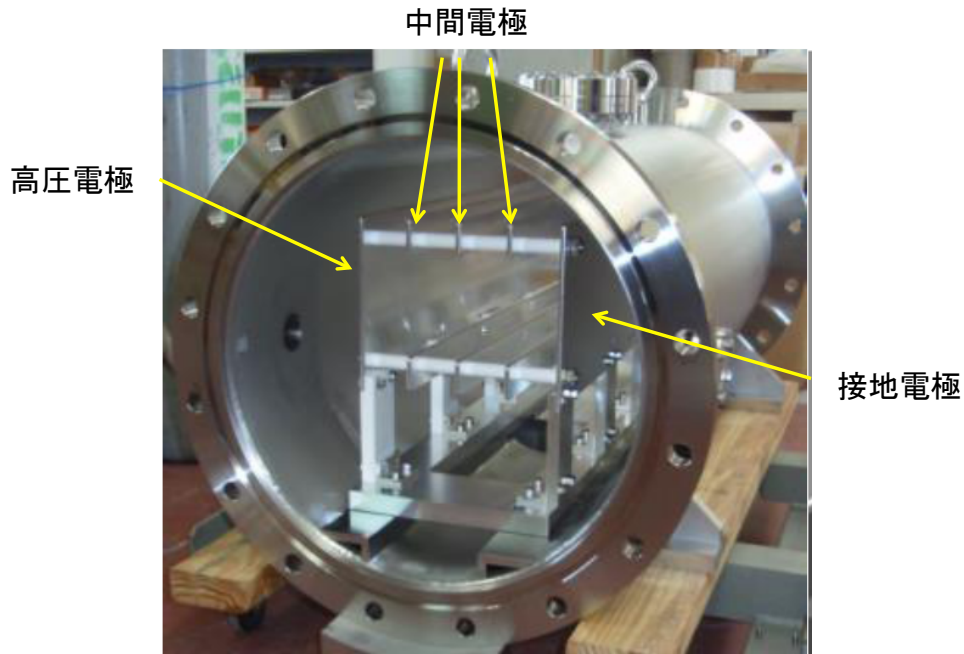


図 6-8 静電入射キッカー断面写真

静電入射キッカーのスイッチとしては、当初はサイラトロンが用いられていたが、その後 SI サイリスタを 10 段直列接続したスイッチに交換された^[6]。図 6-9 に高圧電極の波形を示す。スイッチがオフ状態の時は高圧電極には直流電圧が印加されており、この状態においてビーム入射が行われる。スイッチが投入されると、伝送ケーブルの往復時間後に高圧電極の電圧は 0 になり、周回ビームは静電キッカーの影響を受けずにリングを周回できるようになる。サイラトロンと SI サイリスタを比較すると SI サイリスタの場合は電極電圧の立ち下がり時間が若干鈍っているが、ビームに対する影響は無視することができる。

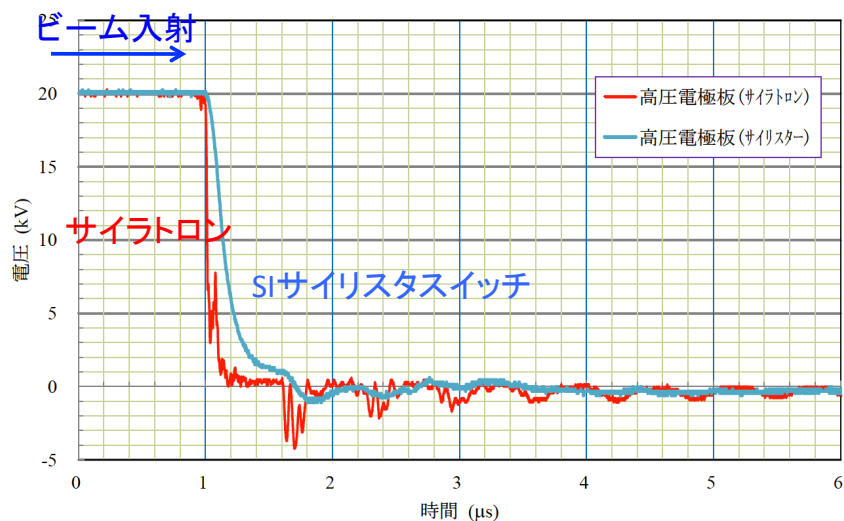


図 6-9 静電入射キッカー高圧電極波形

6.1.5 リング偏向電磁石

加速リングは FDFO ラティスが採用されており、収束と偏向を兼ねた機能結合型電磁石 8 台によって構成されている。図 6-10 に電磁石の構造を示す。機能結合型電

磁石では鉄心が3つの区間に分割され、両端ではギャップが内側に向かって広く（Fセクション）、真ん中では外側に向かって広く（Dセクション）なっており、磁場に四極成分を持たせている。図6-11に電磁石1台あたりの β 関数を示す。なお、図6-11においてO部は磁石外の空間である。

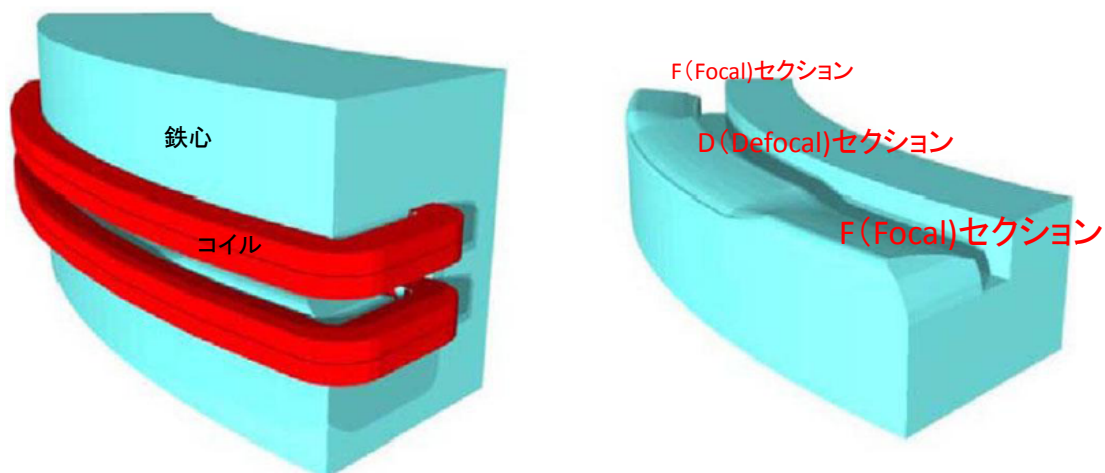


図 6-10 機能結合型電磁石の外観（左）と磁極形状（右）

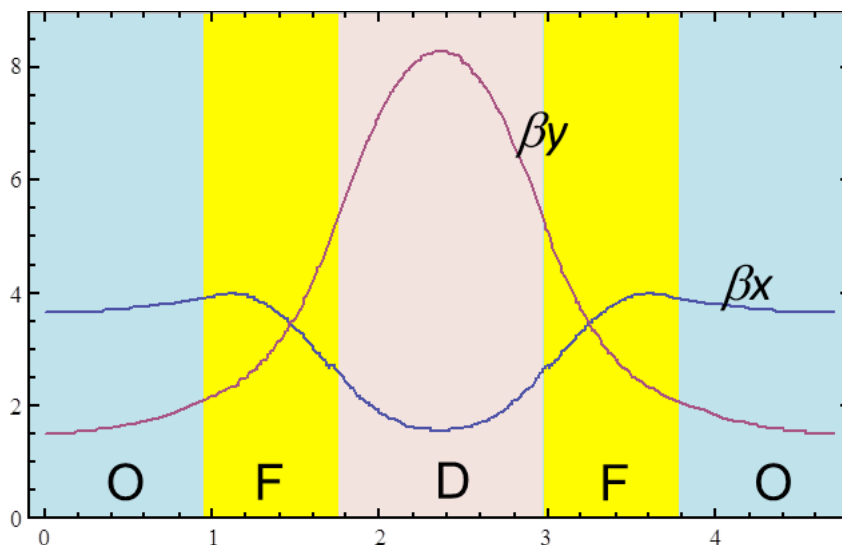


図 6-11 リング偏向電磁石のラティスと β 関数

6.1.6 誘導加速セル

誘導加速セルの詳細については既に第2章に記述した。KEK-DAではS6及びS7と呼ばれる2カ所の直線部に誘導加速セルが配置される。

6.1.7 スイッチング電源（SPS）

スイッチング電源は第5章で述べたSiC-JFET方式新型SPSを加速用ドライバーとして、従来型のSi-MOSFET方式SPSをバリア用ドライバーとして用いた。図6-12に両SPSの外観を対比して示す。

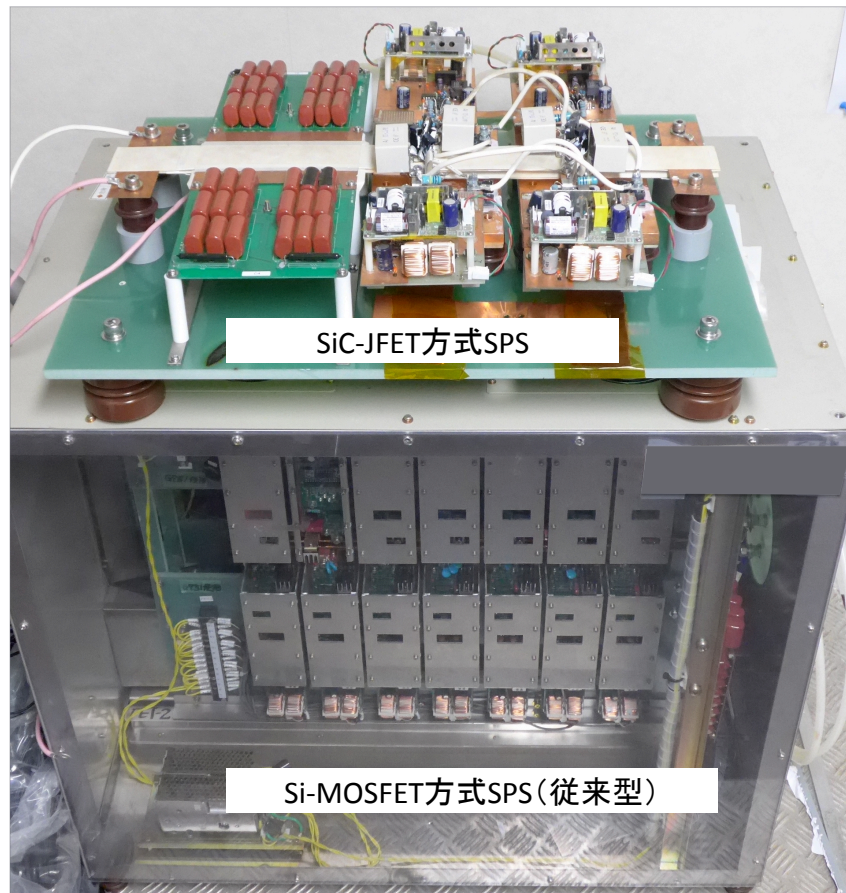
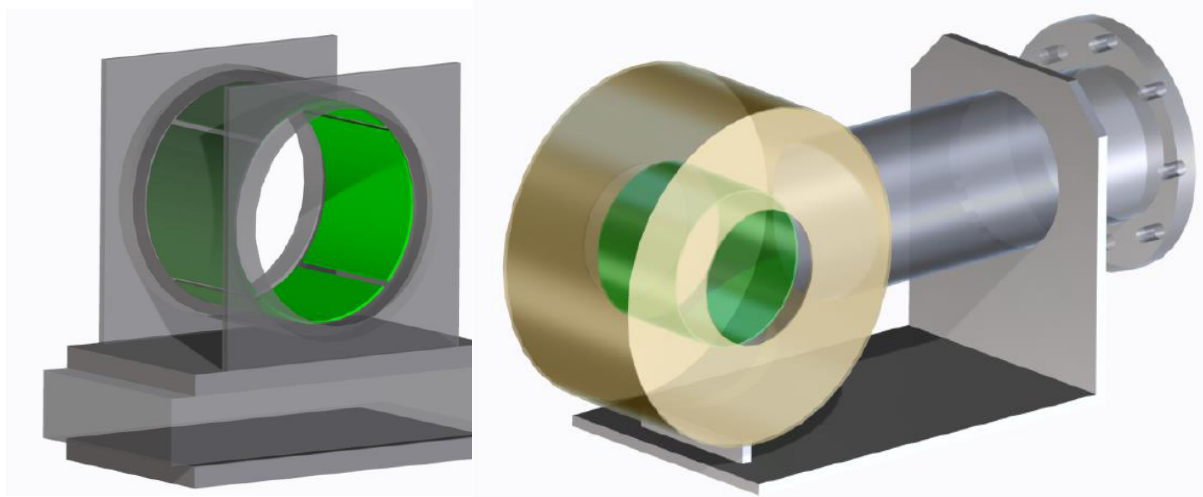


図 6-12 ビーム加速実験で用いた SPS

6.1.8 静電モニター^[7]

KEK デジタル加速器には 3 種類の静電モニター（ポジションモニターA、ポジションモニターB、バンチモニター）が設置されている。位置モニターは、ビームを取り囲むように設けた 4 つの電極にビームが誘起する電圧を用いてビーム重心の水平・垂直位置を電気信号として取出すしくみである。バンチモニターの動作原理はポジションモニターと同じであるが、その目的はビーム強度、ビームの通過タイミングを知ることにある。従って電極は分割されていない。図 6-13(a)(b)にポジションモニターとバンチモニターを示す。



(a)ポジションモニターB

(b)バンチモニター

図 6-13 静電モニター

6.1.9 取出し機器

今回の実験では使用していないが、ビーム取り出し用機器についても簡単に述べる。**KEK-DA** ではビーム取出しは速い取出し方式を用いており、そのための機器として取出しキッカー電磁石とセプタム電磁石を組み合わせる。

ビームの取出しポイントにはセプタム電磁石が置かれる。セプタム電磁石の断面構造を図 6-14 に示す。セプタム電磁石では磁場の存在する空間と磁場の存在しない空間がセプタム（隔壁）コイルとよばれる薄いコイルによって隔てられる。周回ビームはセプタムコイルの外側を通るので磁場の影響を受けないが、次に述べるキッカーマグネットによって進行方向を少し曲げられ磁場のある空間に入るとセプタム電磁石の磁場の力で取出しビームラインの方に進行方向が曲げられる。

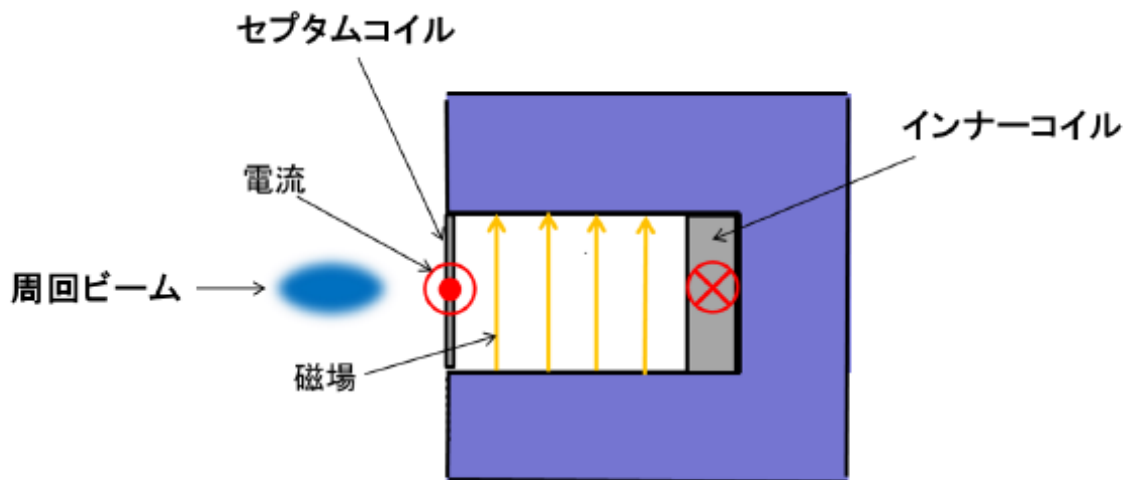


図 6-14 セプタム電磁石の断面構造

キッカーマグネットは上に述べたようにビームを周回軌道から取出し軌道に入れ

る役割を果たす。キッカーマグネットの磁場は周回ビームに影響を与えないように周回ビームが通り過ぎた後、1周回して戻ってくる迄の間に立ち上がる必要がある。このため、キッカーマグネットの励磁にはサイラトロンを用いたパルス電源が用いられる。図 6-15 にキッカーマグネット電源回路を示す。

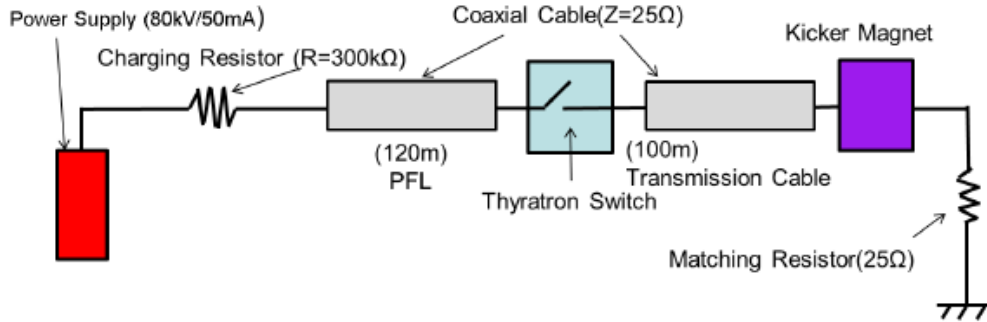


図 6-15 キッカーマグネット電源

6.1.10 ゲートパルス発生システム^[4]

スイッチング電源を制御するためのゲートパルスは FPGA(Field Programmable Gate Array)によって発生させる。第 2 章に示したように磁場パターンが決まれば発生すべき加速電圧は一意に決まるので FPGA が発生すべきパルスパターンも事前に決めておくことができる。図 6-16 にパルス発生システムの概念図を、図 6-17 にビーム 1 周回の中でのタイムチャートを示す。但し、第 2 章で示したように KEK-DA では加速電圧を一定直流電圧の元で見かけ上連続可変とするためにパルス密度変調を用いている。図 6-16 のタイムチャートはパルスを発生する周回のものを示している。

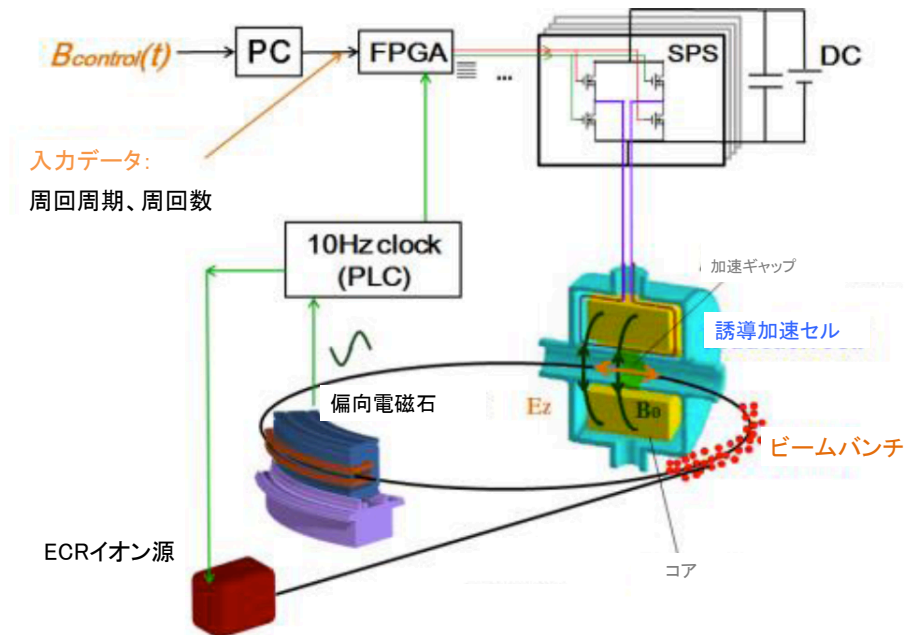


図 6-16 ゲートパルス発生システム

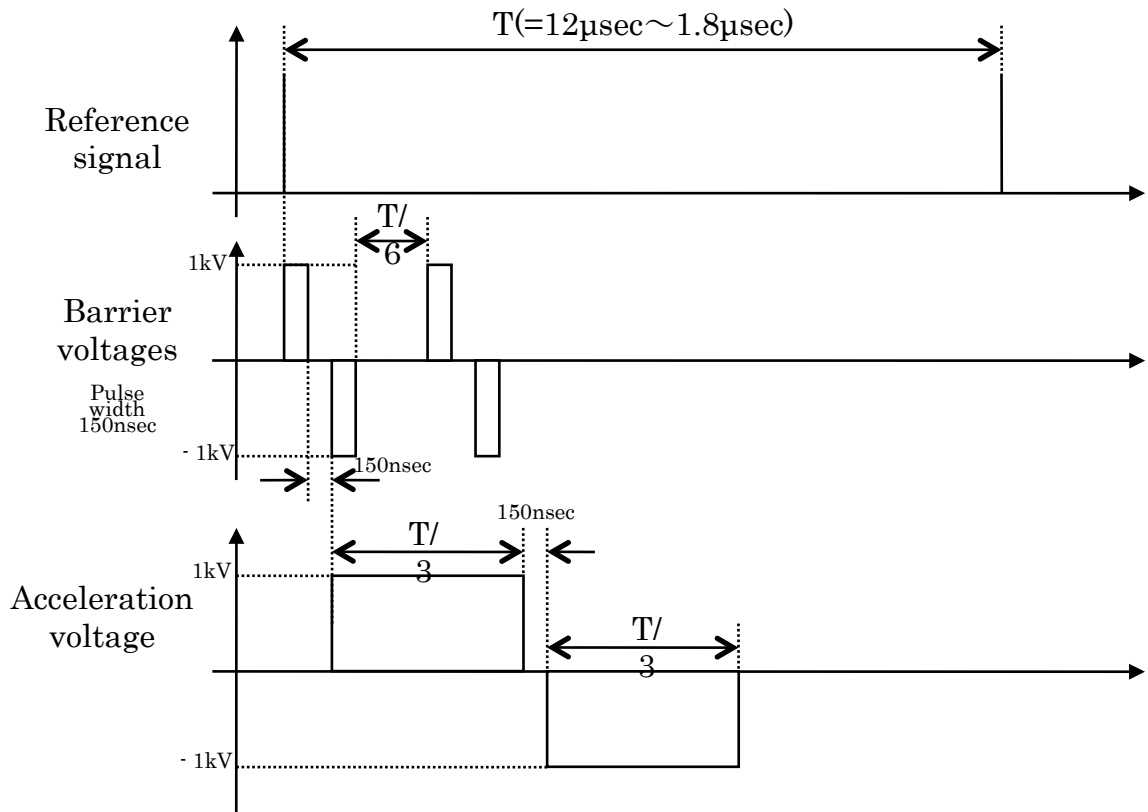


図 6-17 ゲートパルスタイミングチャート

6.2 実験条件

第 2 章において KEK-DA で必要とされる加速電圧について検討したが、試作した SiC-JFET 方式 SPS では発生電圧に制約があるため、最大磁場を 0.23 T とした。ビーム加速の諸パラメータを表 6-2 に示す。

表 6-2 ビーム加速実験パラメータ

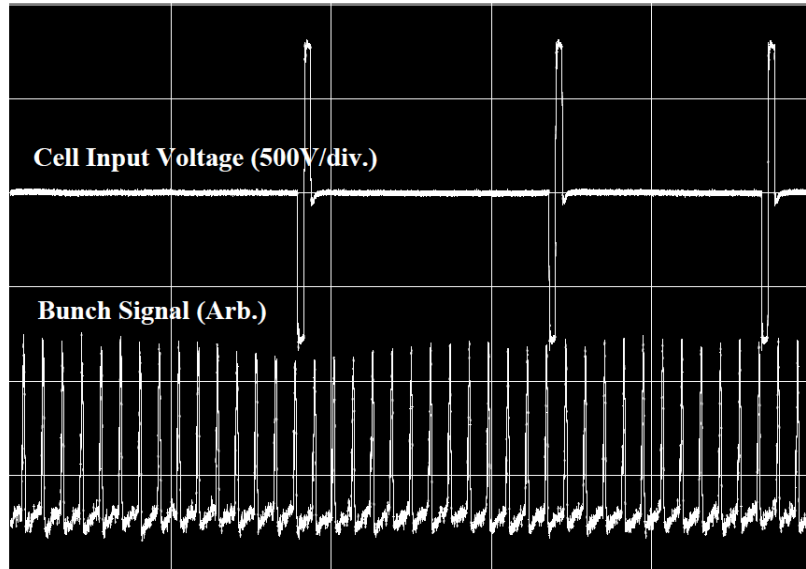
リング周長 C	37.7 m
偏向電磁石曲率半径 ρ	3.3 m
最大磁場 B_{MAX}	0.23 T
最小磁場 B_{MIN}	0.039 T
イオンの 質量数/価数	4
加速電圧	747 V
周回周期 (入射時→加速終了時)	$12 \mu\text{s} \rightarrow 2.1 \mu\text{s}$
加速終了時のエネルギー	6.9 MeV

6.3 実験結果

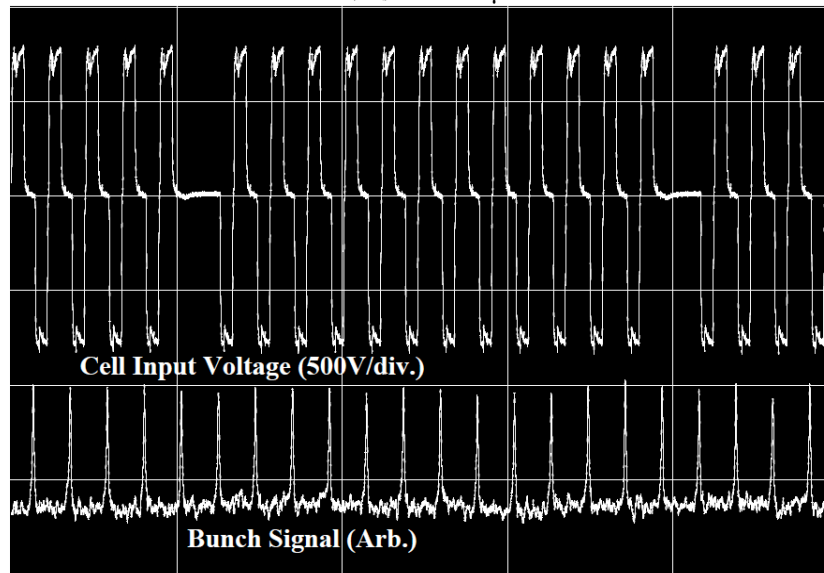
図 6-18 (a)、(b)、(c)に入射直後の $500 \mu\text{s}$ 区間、約 20 ms 後の $100 \mu\text{s}$ 区間、 35 ms 後の $100 \mu\text{s}$ 区間における加速セル入力電圧波形とバンチ信号を示す。(ただし、この図では加速セル入力電圧波形は正負が反転して表示されている)。バンチ信号とセル

波形の比較により、それぞれにおけるパルス密度は 0.073、0.91、0.78 となっていることが分かる。ただし、ここでパルス密度は区間内における（パルス発生数／バンチ数）として定義した。従って各区間における等価加速電圧は 58 V、730 V、624 V である。これらの値を(2-11)式を用いて計算したグラフ上にプロットしたものを図 6-19 に示す。実測した実効加速電圧が理論的に計算した加速電圧とよく一致しており、PDM の制御が機能していることが確認できた。なお、図 6-18 においてバンチ信号の大きさが後になるほど小さくなるのは加速に伴ってイオンバンチの進行方向長さ（バンチ長）が小さくなるため、検出感度が低下することと、加速器真空ダクト内の残留ガスとの衝突によってビーム損失が起きているためである⁸⁾。

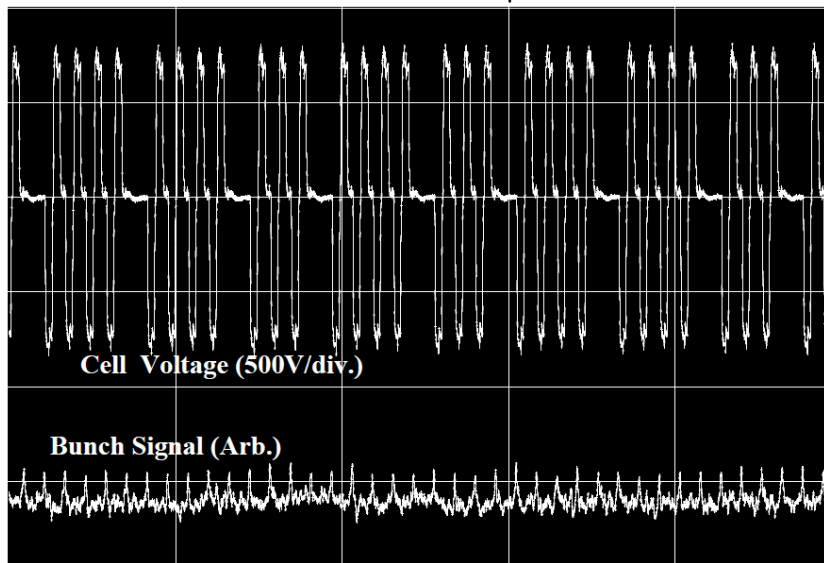
図 6-20 は加速電圧を周回内の時刻-周回数軸上に投影した 2 次元の分布図（マウンテンビュー）である。入射直後はバンチ長が長いいため、加速電圧のパルス幅も長いが、加速されるにつれてバンチが圧縮されて加速電圧のパルス幅も短くなり、最終的には 600 ns 程度となっている。これに対して、図 6-21 はバリア電圧のマウンテンビューである（電圧極性を示す色が加速電圧と異なることに注意）。バリア電圧は加速電圧のセット（正極性）パルスの平坦部分を挟むように減速バリア電圧と加速バリア電圧をペアで発生させている。一方、図 6-22 はバンチ信号のマウンテンビューである。この図において白く抜けている部分が信号強度の一番強い部分であり、信号強度が弱くなるにつれて黄→オレンジ→青と変化している。またバンチ信号の両側に広がる緑の部分はバックグラウンドノイズである。入射直後は加速電圧に若干のミスマッチがあるために前縁が少し減速されてパルス幅が短くなっているが、その後はバリア電圧に挟まれた領域に安定しており、イオンビームが加速電圧に同期しながら加速されていることが確認できた。



(a) 入射直後 (100 μ s/div.)



(b) 入射後 20ms (20 μ s/div.)



(c) 入射後 35ms (20 μ s/div.)

図 6-18 加速電圧とビームバンチ信号波形

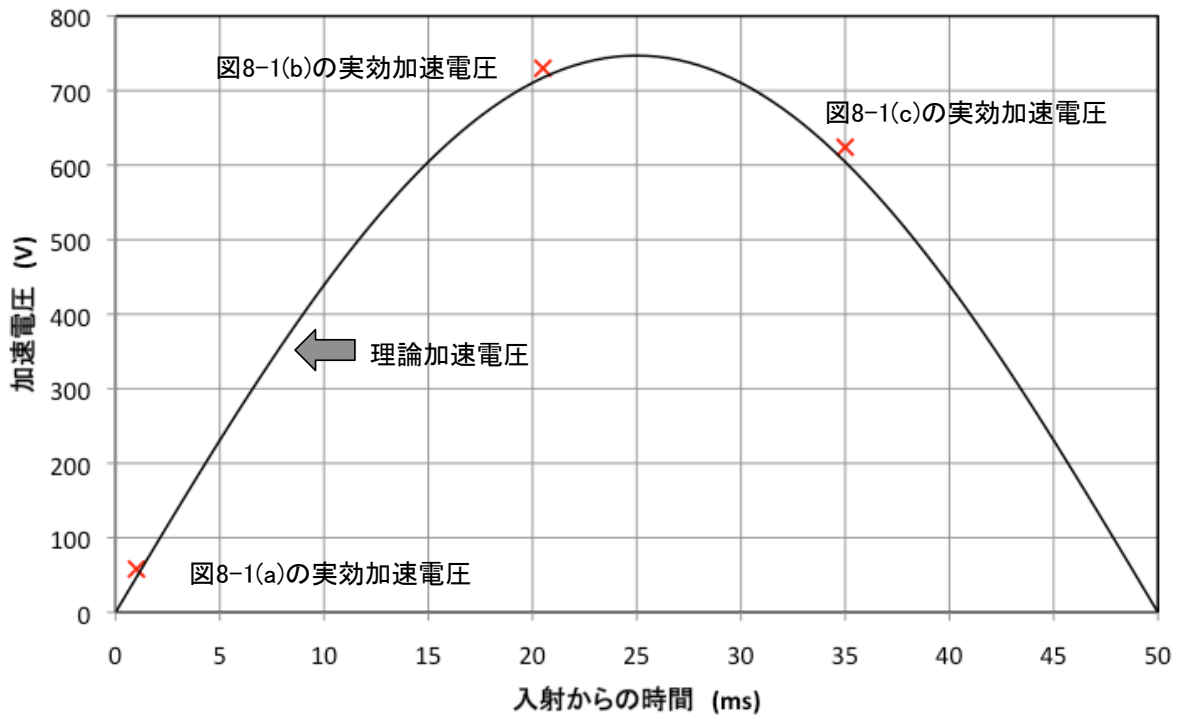


図 6-19 実測実効加速電圧と理論計算値の比較

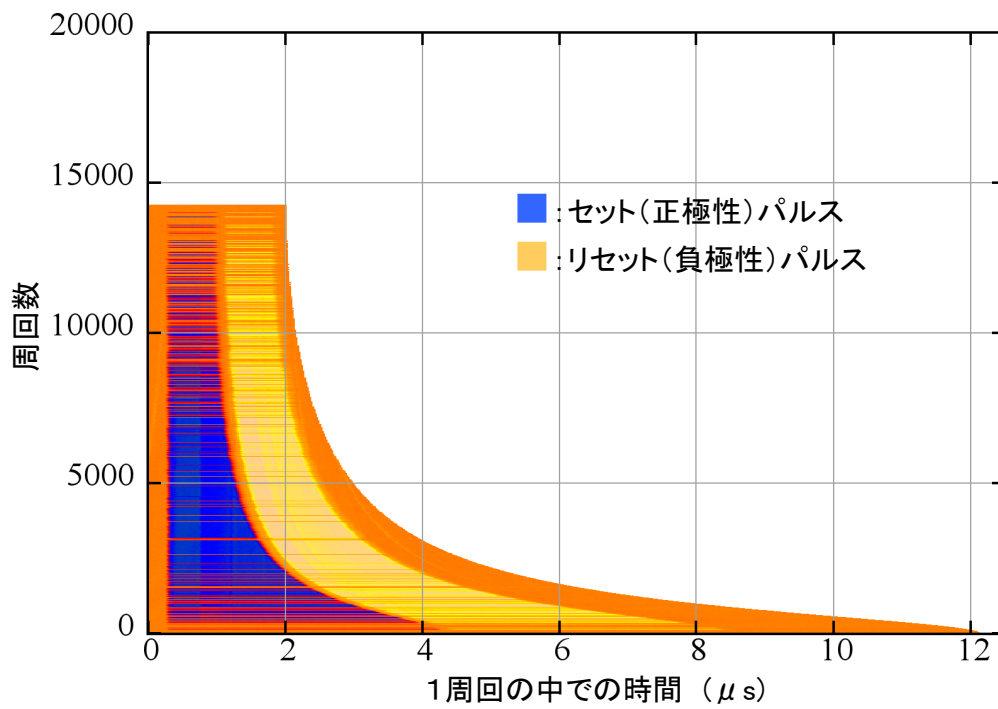


図 6-20 加速電圧の2次元投影図

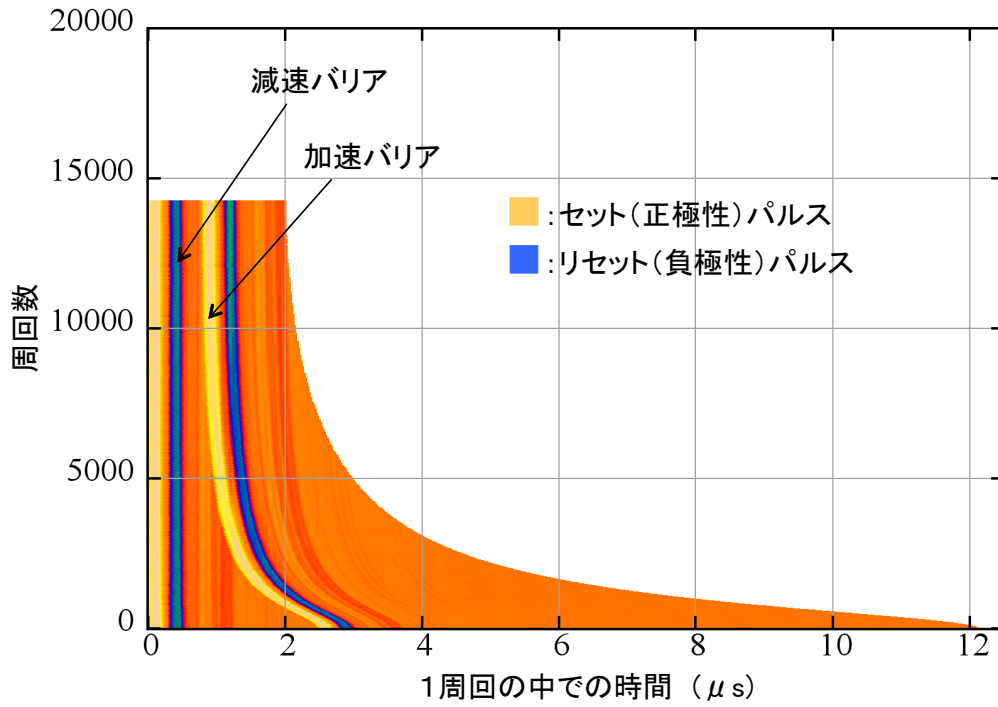


図 6-21 バリア電圧の 2 次元投影図

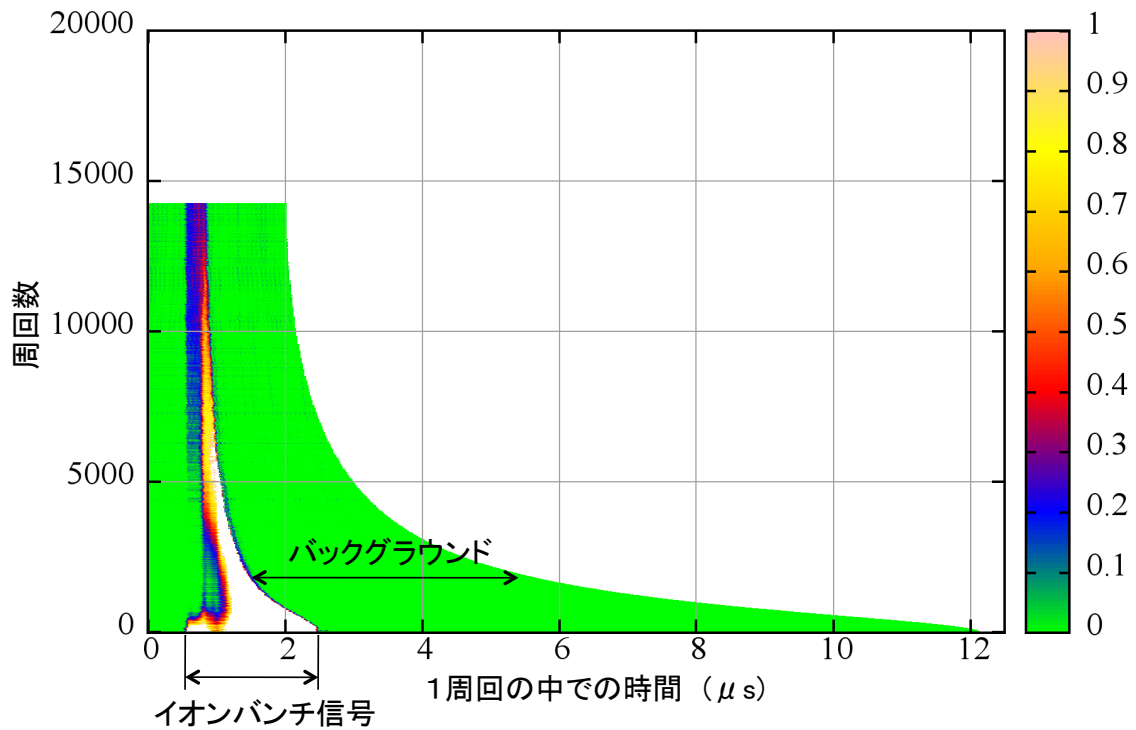


図 6-22 バンチ信号の 2 次元投影図

6.4 ビームローディングの影響

誘導加速システムを等価回路で表すと、負荷であるイオンビームはパルス電流源と

なり（第2章図2-1）、イオンビームが加速ギャップを通過する時、加速ギャップには逆起電力が発生する。逆起電力の大きさはビーム電流波高値とビームから見た電源インピーダンスの積に比例する。KEK-DAでは電流波高値が小さい(1 mA程度)ため、ビームローディングの影響は殆ど見えないが、今後、よりハイパワーの加速器への適用を考えればビームローディングの影響を無視することはできない。ここではビーム電流が加速電圧に与える影響について回路シミュレーションを用いて考察する。KEK-DAを模擬した等価回路を図6-23に示す。このシミュレーションにおいてビーム電流はパルス電流源で模擬されている。図6-23の等価回路でイオンビームが二つのパルス電流源になっているのは独立した二つのパルスを模擬するためである。

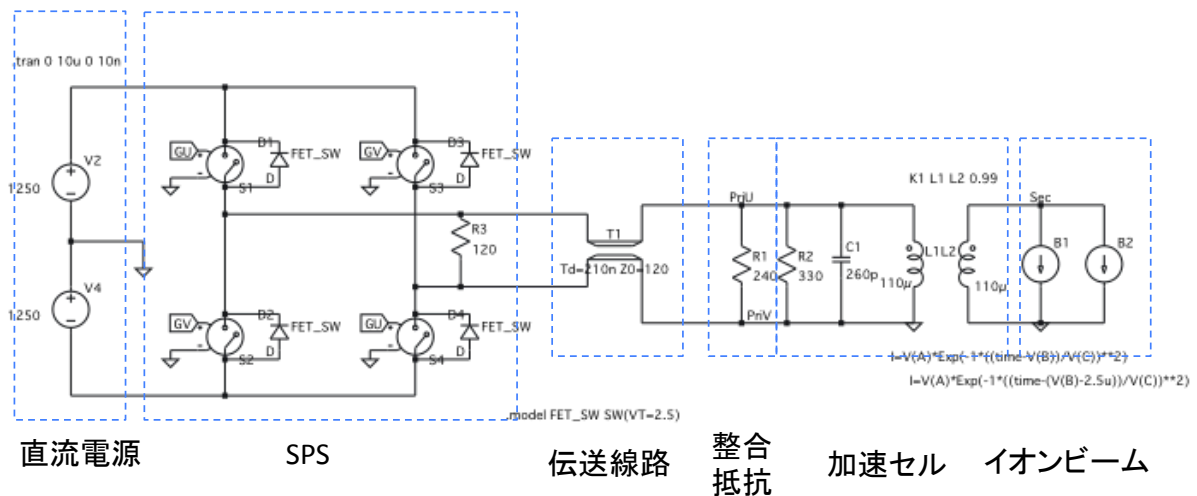


図6-23 ビームローディング検討等価回路

シミュレーション結果の例としてビーム電流の波高値を1 mAとした時の加速電圧（加速セル発生電圧）とビーム電流波形を図6-24に示す。

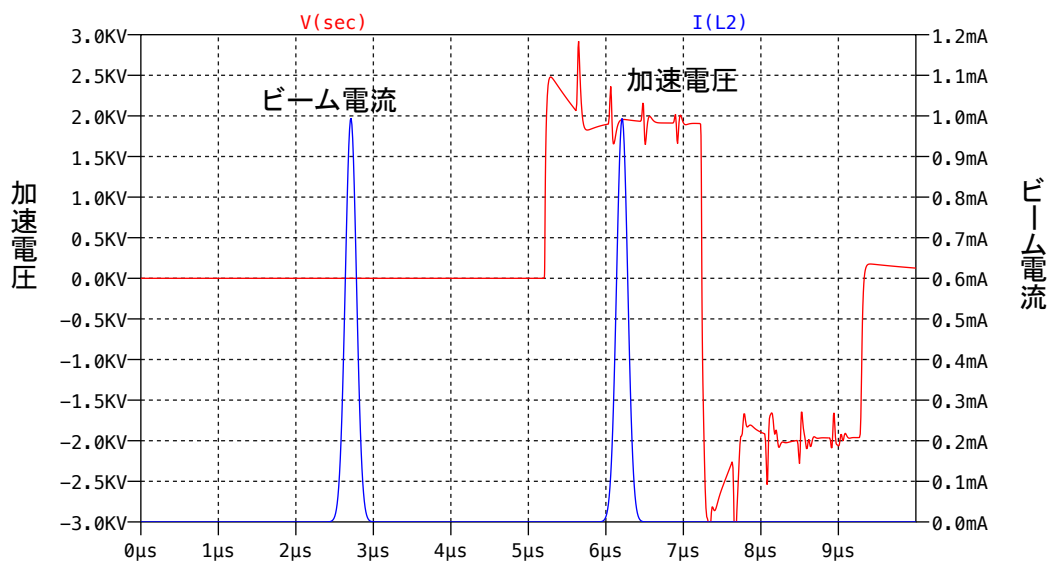


図6-24 ビーム電流1 mAとした時のシミュレーション結果

このシミュレーションでは加速電圧を発生した時としていない時の両方の場合のシミュレーションを行っているが、どちらの場合も加速セルの発生電圧には変化は見られず、ビームローディングの影響はないということが出来る。なお、加速電圧波形において約 $0.4 \mu\text{s}$ 周期のパルス性振動が重畳されているのは伝送ケーブルの反射によるものであり、ビームローディングとは無関係である。

次にビーム電流を 1 mA 、 1 A 、 10 A と変えた場合のシミュレーション結果を図 6-25 に示す。ビーム電流 1 A では殆ど影響が出ないが、 10 A になると加速電圧に 600 V 程度の変歪が生じ、無視できなくなる。

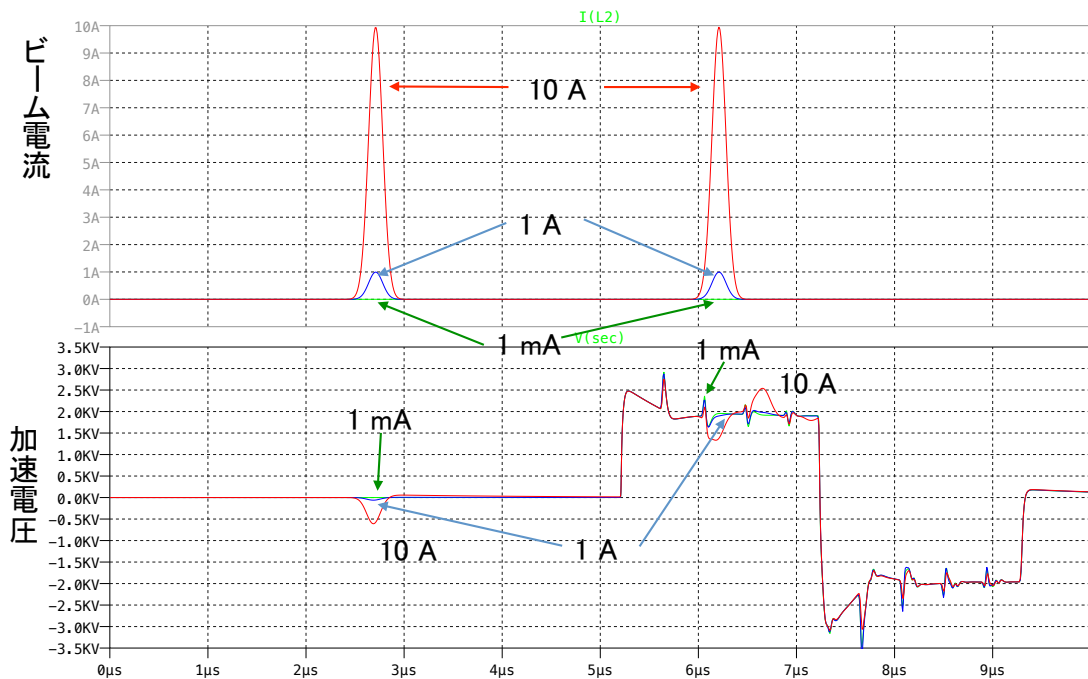


図 6-25 ビーム電流を増加させた時のビームローディングの影響

ビームローディングの影響を小さくするためには電源のインピーダンスを小さくすることが有効である。5.2.5 節で述べたように SPS と加速セルの間を低インピーダンスの同軸ケーブルで接続した場合には必然的に電源インピーダンスも低下する。ケーブルインピーダンスを 50Ω 、遅延時間を 25 ns とした時のビームローディングの影響を図 6-26 に示す。加速電圧の変歪は 300 V 程度であり、ほぼインピーダンスに比例して低減されている。但し、FET に流れる電流は 120 A にも達し、単一素子の許容電流を大きく超える。しかし、FET はオン抵抗が温度に対して正の依存性を持つため、並列接続は直列接続に比べてはるかに容易であり、大電流化することに大きな障害はないと考えられる。

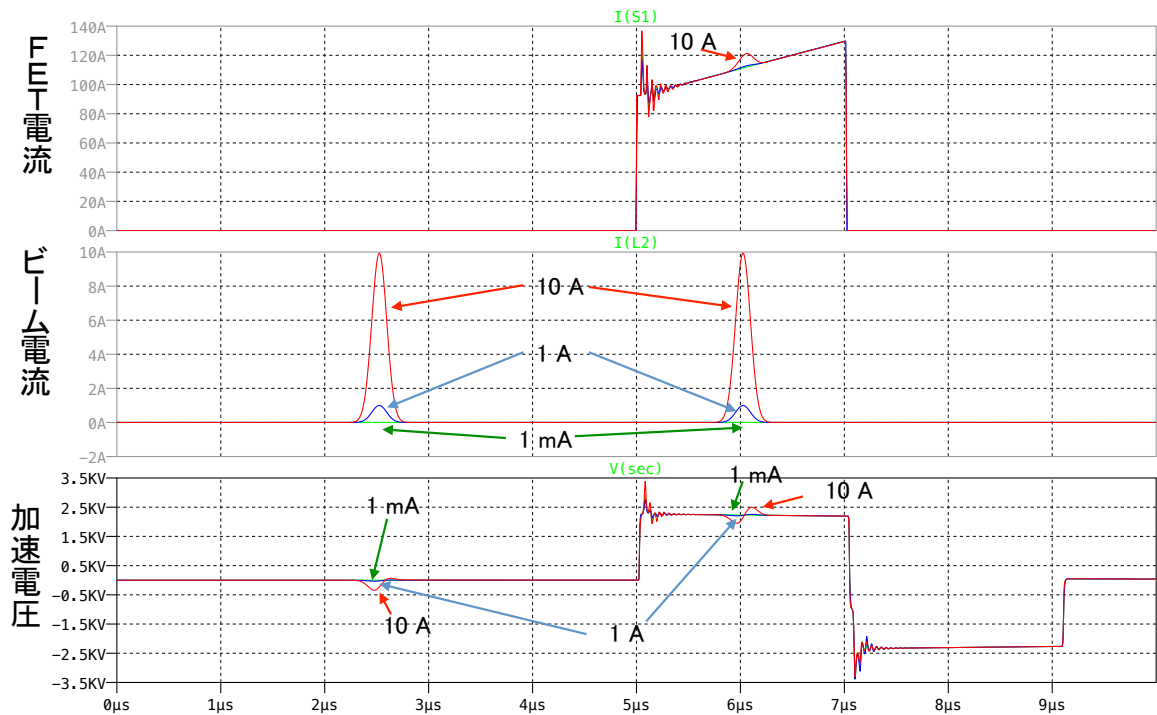


図 6-26 ケーブルインピーダンスを 50Ω とし低インピーダンス化を図った場合の
 ビームローディングの影響

6.5 第 6 章のまとめ

本章では、試作 SPS を KEK-DA の加速セルドライバーとして使用し、実際のビーム加速に供した世界初の実験結果について述べた。イオンの質量対価数比は 4、最大磁場は 0.23 T であった。この結果、SiC 方式スイッチング電源を用いて入射磁場から最大磁場まで安定した加速を行えることが検証された。この結果は SiC デバイスの加速器応用への大きな前進といえることができる。

将来、デジタル加速の性能をフルに生かす 2 kV 以上の加速電圧を発生するためには、より高電圧の SPS を開発する必要がある。その方法の一つがより高耐圧の SiC デバイスを開発することである。次章では将来的な展望として次世代素子パッケージ開発、および誘導加速方式を適用した円形加速器の今後の展開についてのべる。

参考文献

- [1] 岡村、伊勢、水島、佐々木、高木、田村、由元、大沢、高山：「SiC-JFET を用いた誘導加速シンクロトロン用パルス電源の開発」、電学論 A、Vol. 134, No. 6, pp. 402-409 (2014)
- [2] T. Iwashita, T. Adachi, K. Takayama, K. W. Leo, T. Arai, Y. Arakida, M. Hashimoto, E. Kadokura, M. Kawai, T. Kawakubo, T. Kubo, K. Koyama, H. Hakanishi, K. Okazaki, K. Okamura, H. Someya, A. Takagi, A. Tokuchi, and M. Wake, “KEK Digital Accelerator”, Phys. Rev. ST-AB, vol. 14, 071301 (2011).

-
- [3] Leo Kwee Wah Ph. D Thesis Chapter 3, The Graduate University for Advanced Studies (2012)
- [4] T. Adachi, T. Arai, K. W. Leo, K. Takayama and A. Tokuchi: “A Solid-State Marx Generator Driven Einzel Lens Chopper”, *Rev. Sci. Instrum.*, vol. 82, 083305 (2011)
- [5] T. Adachi, T. Kawakubo, “Electrostatic Injection Kicker for the KEK digital Accelerator”, *Phys. Rev. ST-AB*, vol. 16, pp. 053501-13, 2013
- [6] H. Kobayashi, T. Kawakubo, and A. Tokuchi: “Electrostatic Injection Kicker for KEK Digital Accelerator Driven by Si-Thyristor Matrix Array Power System”, *Proc. of 5th Euro-Asian Pulsed Power Conference*, Kumamoto, Japan OB1-2 (2014)
- [7] T. Yoshimoto, M. Barata, T. Iwashita, S. Harada, D. Arakawa, T. Arai, X. Liu, T. Adachi, H. Asao, E. Kadokura, T. Kawakubo, T. Kubo, K. W. Leo, H. Nakanishi, Y. Okada, K. Okamura, K. Okazaki, H. Someya, K. Takayama and M. Wake: “Heavy Ion Beam Acceleration in the KEK Digital Accelerator: Induction Acceleration from 200 keV to a Few Tens of MeV”, *Nuclear Instruments and Methods in Physics Research A* 733 (2014) 141-146
- [8] K. Takayama, T. Yoshimoto, M. Barata, Leo Kwee Wah, Liu Xingguang, T. Iwashita, S. Harada, T. Adachi, T. Arai, D. Arakawa, H. Asao, E. Kadokura, T. Kawakubo, H. Nakanishi, Y. Okada, K. Okamura, K. Okazaki, A. Takagi, S. Takano, and M. Wake: “Induction acceleration of heavy ions in the KEK digital accelerator: Demonstration of a fast-cycling induction synchrotron”, *Phys. Rev. ST Accel. Beams* 17, 010101 (2014)

第7章 SiC デバイスパッケージの更なる進化とその加速器への応用展開

第6章までで述べたように、新しく開発した SiC-JFET は優れたスイッチング性能を有しており、これを用いたスイッチング電源 (SPS) によって実イオンの加速にも成功した。しかしながら今回試作した JFET 素子 (本章以降これを第1世代素子と呼ぶ) は耐圧が 1.2kV であり、Si-MOSFET の 1 kV より高いものの本来必要とされる 2kV 以上には及ばない。そこで次のステップとして高耐圧チップを使用した次世代 JFET 素子パッケージの開発が始まっている。本章では、前半部分において次世代素子の開発について、その目標、目標を達成するための技術、設計の状況について述べ、さらに後半部分においては、次世代素子が適用されると想定される誘導加速方式円形加速器の今後の展望について述べる。

7.1 デバイスパッケージのさらなる改良

7.1.1 開発目標

第4章で述べたように、第1世代パッケージの開発を開始した時点においては量産化された SiC スwitchング素子は JFET のみであったが、現在では MOSFET も入手可能になっている。表 7-1 に現在入手可能な SiC-JFET と SiC-MOSFET の代表的な特性例を示す。なお、第4章で例として示した SemiSouth はその後解散し、現在は入手不可である。JFET、MOSFET 共に市販素子のパッケージは TO-247 型となっている。これは TO-247 が世界的な標準となっているためである。そのジャンクション-ケース間の熱抵抗は 0.6 K/W 程度であり、著者の開発した第1世代パッケージとほぼ同程度であるが、TO-247 の放熱面の大きさは 16 mmx21 mm と第1世代パッケージのそれ (45 mm x 65 mm) と比べると面積が 1/8 以下である。このため、ケース-フィン間の熱抵抗が 8 倍になってしまい、実効的に放熱可能な損失は半分以下と考えられる。また、両者とも耐圧は 1.2 kV であり、加速セルドライバー用として目標とするレベルには達していない。

表 7-1 市販 SiC スwitchングデバイスの特性

型式	IJW120R080T1 ^[1]	SCH2080KE2
メーカー	Infion	ローム
デバイスタイプ	JFET	MOSFET
パッケージ	TO-247	TO-247
ドレインソース遮断電圧	1200 V	1200 V
最大電流 (DC)	14 A @150°C	28 A @100°C
最大電流 (パルス)	88 A @150°C	80 A
ゲート電圧しきい値	-15.7~-12.4 V	1.6~4.0 V
オン抵抗	0.130 @150°C	0.125 @125°C
ターンオン損失	800 μJ @V _{DS} =800V, I _D =25A	174 μJ @V _{DS} =600V, I _D =10A
ターンオフ損失	250 μJ @V _{DS} =800V, I _D =25A	51 μJ @V _{DS} =800V, I _D =10A
最大放熱量 P _D @T _C =25 °C	238 W	262 W
熱抵抗 R _{j-c}	0.63 K/W	0.57 K/W

次世代(以下第2世代)素子パッケージではこれら市販の素子を完全に凌駕すべく、目標を設定している。第2世代パッケージの開発目標を、第1世代と対比して表7-2に示す。

表 7-2 第2世代 SiC-JFET 素子パッケージ開発目標

	第1世代	第2世代
内部接続	ディスクリット	2 in 1
ダイ サイズ	4.16 mm x 4.16 mm	2.4 mm x 2.4 mm
チップ製造	SiCED	同左
素子耐圧	1200 V	2400 V
熱抵抗 R _{j-c}	0.57 K/W	0.15 K/W 以下
最大除熱量	235W	1000W 以上
内部インダクタンス	23 nH	10 nH 以下

・ダイサイズの比較

図7-1に第1世代素子として用いたJFETダイおよび第2世代素子で用いるJFETダイの形状を比較して示す。新旧のJFETダイはその大きさだけでなく、ゲートの配置(端部ゲートとセンターゲート)においても異なっている。1.2kV素子も初期にはセンターゲートであったが後期においては端部ゲートに改められた経緯がある。ゲートを端部に移動することによりカソード面の実通電面積を大きくする事ができ、オン抵抗をより小さくすることができるためである。この点で2.4kV素子は半導体チップとしては1.2kV素子よりも、実際には旧世代に属している。

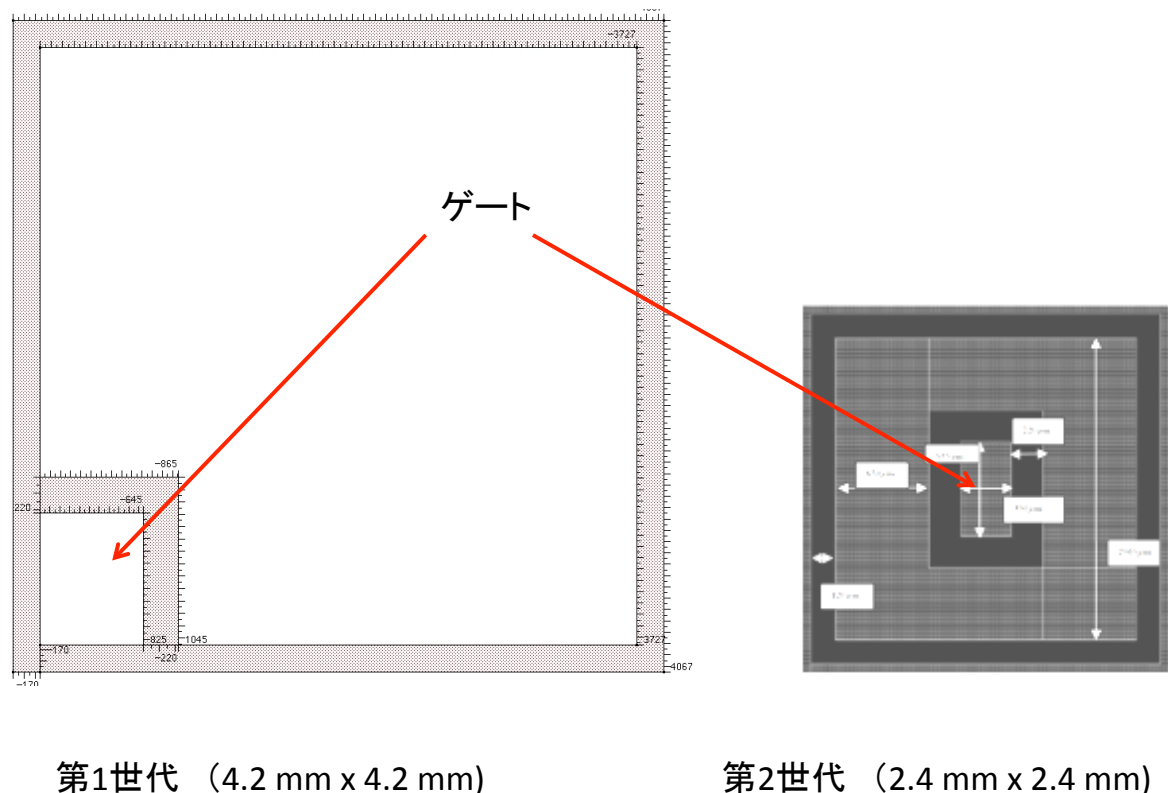


図 7-1 新旧世代の JFET ダイ比較

・内部接続

第1世代素子はディスクリート素子であり、SPSのHブリッジ回路を構成するためには4個の素子を必要とした。しかし、4個の素子でHブリッジを構成するためには外部に素子間の接続導体が必要であり、そのために大型化と配線インダクタンスの増加を招いていた。特に後者は、高速パルス発生装置としてのSPSにとっては重要な課題であり、実際、第1世代素子を用いて製作したSPSにおいてはスナバ回路を設けたにも関わらず、ターンオフ時に約10%の過電圧を観測した。これは素子の電圧利用率(直流印加電圧/素子耐圧)を下げることになり、SPSとしての最大定格を制約することになる。従って、第2世代素子では2 in 1構成を取ることで、Hブリッジの1レグを1個の素子で接続することを目標とする。また、素子のダイサイズは2.4 mm x 2.4 mmと第1世代素子の1/4の面積に過ぎないため、2並列構成とすることによってオン抵抗の増大を防止する。図7-2に第2世代素子の接続図を示す。

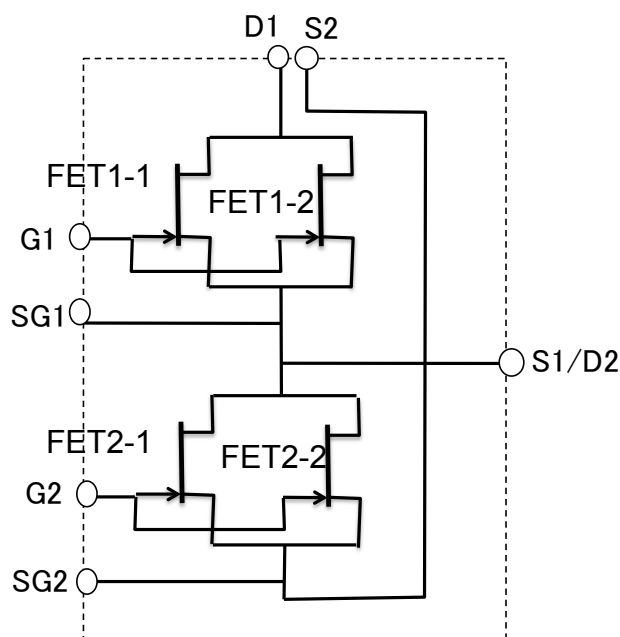


図7-2 第2世代素子の内部接続

・熱抵抗、最大除熱量

第1世代のパッケージでは熱抵抗(ジャンクション→ケース)は0.57 K/Wと目標値(0.4K/W)に達しなかった。第2世代ではダイサイズが小さい事、高耐圧のためにオン抵抗が高いと予想されることなどにより、除熱条件はさらに過酷となることが予想される。第1世代での最大除熱量が235 Wであったことから、第2世代ではその4倍の1 kW以上を目標とすることにした。また熱抵抗は0.15 K/W以下を目標とする。この場合ケース-フィン間の接触熱抵抗を0.05K/W程度とするとジャンクション-フィン間の熱抵抗 R_{thj-f} は0.2 K/Wとなり、フィン温度を35 °Cとすると1000 W

を除熱するとき、ジャンクション最高温度は 235 °Cとなる。第 1 世代のパッケージではハンダ接合を用いていたため、推定素子温度 216°Cにおいて素子故障にいたったが、第 2 世代パッケージでは、後でも述べるように純銀に近い素材を用いて接合するため、235°Cでも問題ないと考えられる。

- ・内部インダクタンス

第 1 世代素子の課題の一つに、内部インダクタンスが 23 nH あり、パルス用素子としては大きいことが上げられる。図 7-3 に第 1 世代のパッケージを示すが、上面から見た時にドレイン端子からソース端子に向かう電流の向きが反時計方向に 1 ターンのループを描いており、これがインダクタンス増につながったものと考えられる。そこで第 2 世代素子ではこのようなループ構造を排し、2 in 1 モジュールのハイサイドドレイン(D1)端子→ローサイドソース(S2)端子間で 10 nH 以下とすることを目標とする。

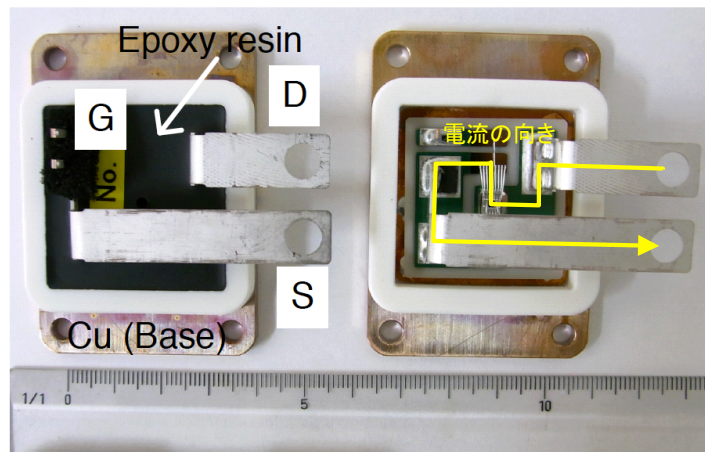


図 7-3 第 1 世代素子におけるパッケージ内電流の向き

7.1.2 目標達成の方法

- ・熱抵抗の低減

第 1 世代のパッケージではセラミック（窒化アルミニウム）絶縁基板の片面に銅パターンを形成し、その上に JFET チップのドレイン面をハンダで接合する構造であった。また、ソース側はアルミ線を超音波ボンディングにより接合し、電流を引き出している。この構造はシリコン半導体のパワーモジュールで最も一般的に採用されている構造ではあるが、基本的に熱伝導はドレイン面からしか期待できない。また、ハンダは熱伝導率が 50 W/(mK)^[3]と銅の 400 W/(mK)^[4]と比べると 8 分の 1 しかなく、除熱の制約要因となっている。

金属同士を接合する技術としては銀ろう接合が広く知られているが、銀ろう接合では銀ろうを溶かして接合部に流しこむために 700 °Cにも加熱する必要がありセラミック基板の反りを招く可能性がある。そこで新パッケージにおいてはダイボンディング

グ技術としてナノ粒子分散型接着剤を用いる事にした。ナノ粒子分散型接着剤とは Au、Ag などの微粒子をフィラーに用いる一種の導電性接着剤である^{[5][6]}。接着後、加圧しながら温度を 200℃以上に上げると、基剤部分が燃焼、ガス化して遊離するため、フィラー部分だけが残されてほぼ純金属に近い熱伝導率が得られるようになる。第 2 世代パッケージでは銀ナノ粒子接着をドレイン側、ソース側の両面に用い、ワイヤボンディングを廃する事で、両面からの冷却を可能にする

- ・内部インダクタンスの低減

第 1 世代パッケージにおいて内部インダクタンスが大きくなった要因として、同一平面内で配線を引き回したために 1 ターンのコイルを形成してしまったことが挙げられる。そこで第 2 世代パッケージでは多層配線を行う事によりドレイン側の導体とソース側の導体とで一種のストリップラインを形成し、磁界の打ち消し効果によりインダクタンスの低減を図る (図 7-4 参照)。

7.1.3 第 2 世代パッケージの構想案

現在構想している第 2 世代パッケージ案を図 7-4 に示す。

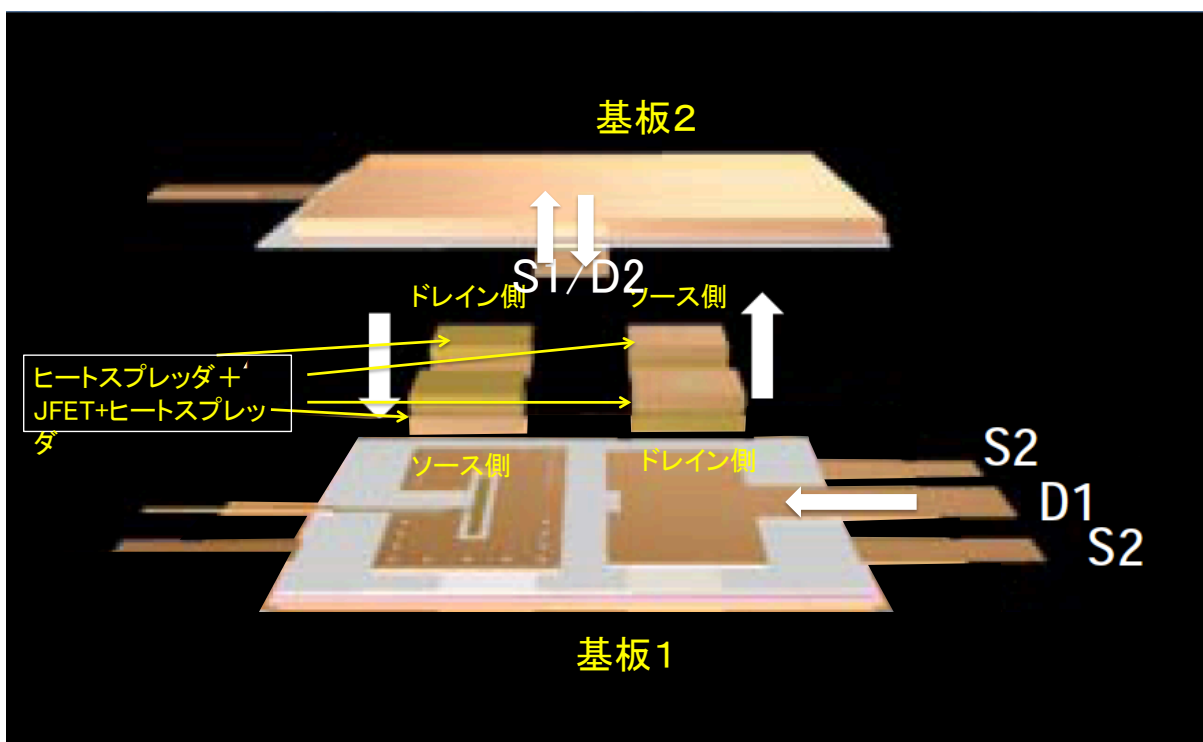


図 7-4 第 2 世代パッケージの構想
(矢印は電流の向きを示している)

このパッケージは、(1)SiC-JFET とそれを両側から挟む形でダイボンディングした金属ブロックのヒートスプレッダ (熱拡散ブロック) と、(2)セラミック絶縁基板の両面に銅パターンを貼付けた上下の基板を積層することで構成されている。図 7-4 は(1)

と(2)を分解して示している。(1)のヒートスプレッダは JFET のチップ毎に1ブロックとし、平面的には2x2配置となっている。

ヒートスプレッダ (HS) ブロックの拡大図を図 7-5 に示す。

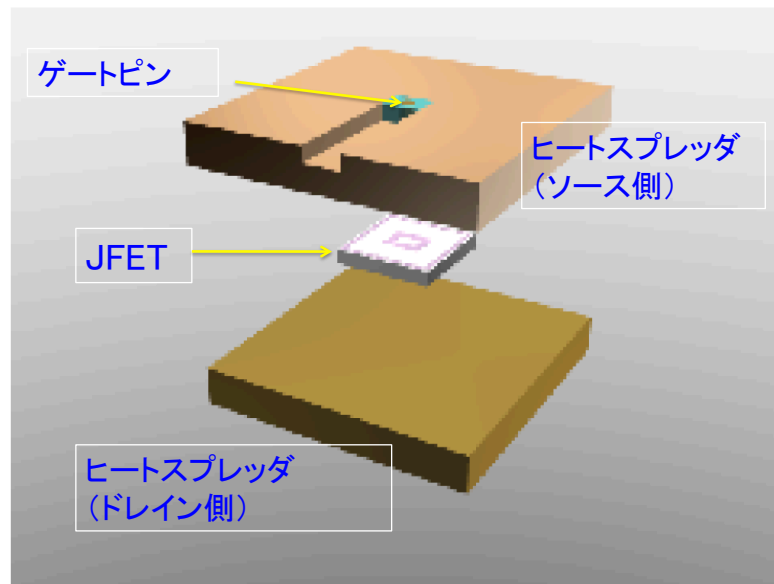


図 7-5 ヒートスプレッダブロック拡大図

JFET のソース側に接合される HS は中央に穴が明けられ中心にゲート接続用のピンが通される。ゲートピンは、後で述べるように第 2 基板上的銅パターンを通じて外部に接続されるため、HS には水平方向にもトレンチが形成されている。HS の材料としては導電率、熱伝導の観点からは銅が優れているが、銅は熱膨張係数が $16.5 \times 10^{-6} \text{ K}^{-1}$ [7]と SiC のそれ ($4.5 \times 10^{-6} \text{ K}^{-1}$) [8]と比べて 1 桁大きく、素子の温度サイクルによって劣化する恐れがある。そこで今回は、金属でありながら熱膨張係数が $9.5 \times 10^{-6} \text{ K}^{-1}$ (Cu30%の場合) と低い [9]銅タングステン合金をヒートスプレッダとして用いることにした。

基板 1 と基板 2 は、両面に銅板を貼付けたセラミック (Si_3N_4) 板をそれぞれ 2 枚ずつ張り合わせて構成する。

基板 1 の構成を図 7-6 に、基板 2 の構成を図 7-7 にそれぞれ示す。

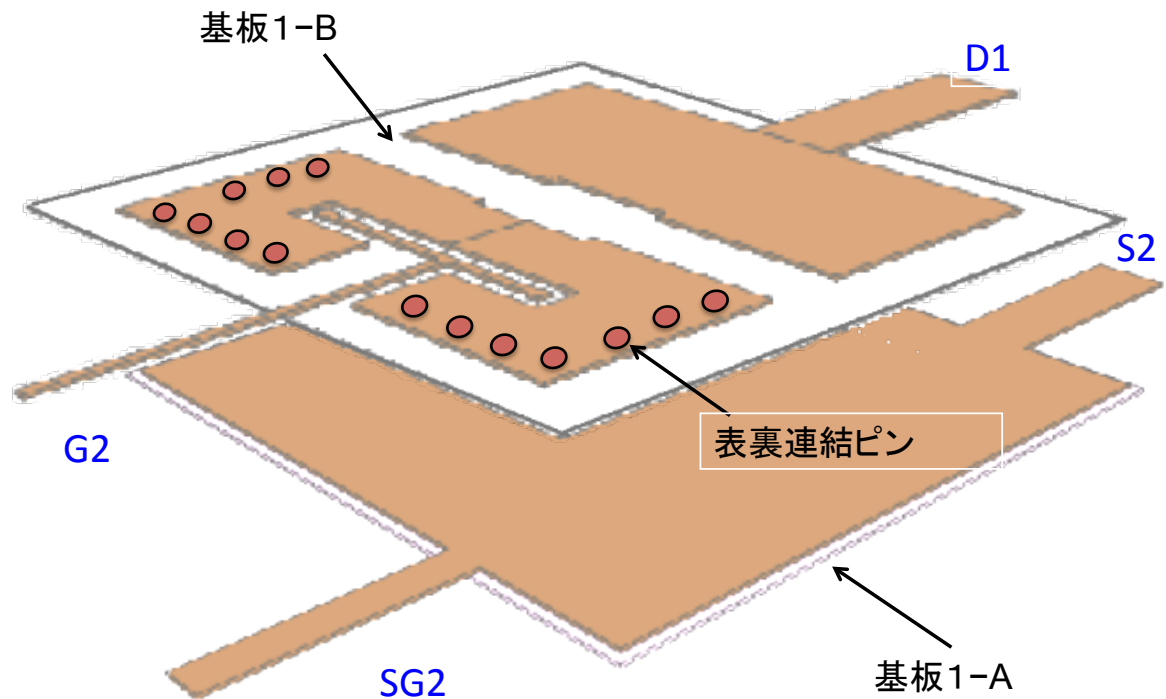


図 7-6 基板 1 の構成

基板 1 は基板 1-A、基板 1-B の 2 枚の基板を張り合わせて構成される。図 7-6 は基盤 1 を基板 1-B 側から見たものである。基板 1-B は FET1-1 と FET1-2 のドレイン側ヒートスプレッドを張り合わせるための銅箔、FET2-1 と FET2-2 のソース側ヒートスプレッド、およびゲート端子引き出しのための銅箔が貼り合わされる。基板の表から裏にむかって銅のピンが貫通しており、表と裏が電氣的に接続される。裏面は全面が銅板となっており、S2 端子につながる。基盤 1-A は両面共、全面銅貼りの基盤である。S2 端子と SG2 端子は基盤 1-A から引き出される。

図 7-7 は基板 2 を下側（ヒートスプレッド側）から見た図になっている。図 7-7 で見える表面には FET1-1 と FET1-2 のソース側ヒートスプレッドと FET2-1 と FET2-2 のドレイン側ヒートスプレッドが接合されるが、これらは電氣的には全て同電位であり、H ブリッジの上下アームの接続点となる。端子 S1/D2 は基板の左右両側に設けられる。これにより、モジュール 2 個で H ブリッジを構成した場合に対称配置が可能となって、図 7-8 に示すように小型の SPS を構成することが出来る。

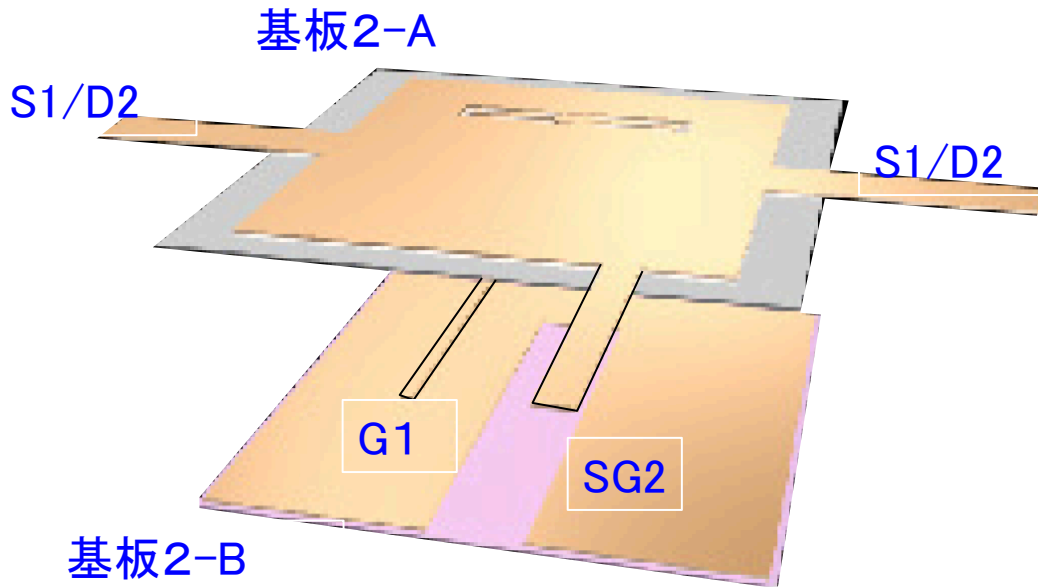


図 7-7 基板 2 構成図

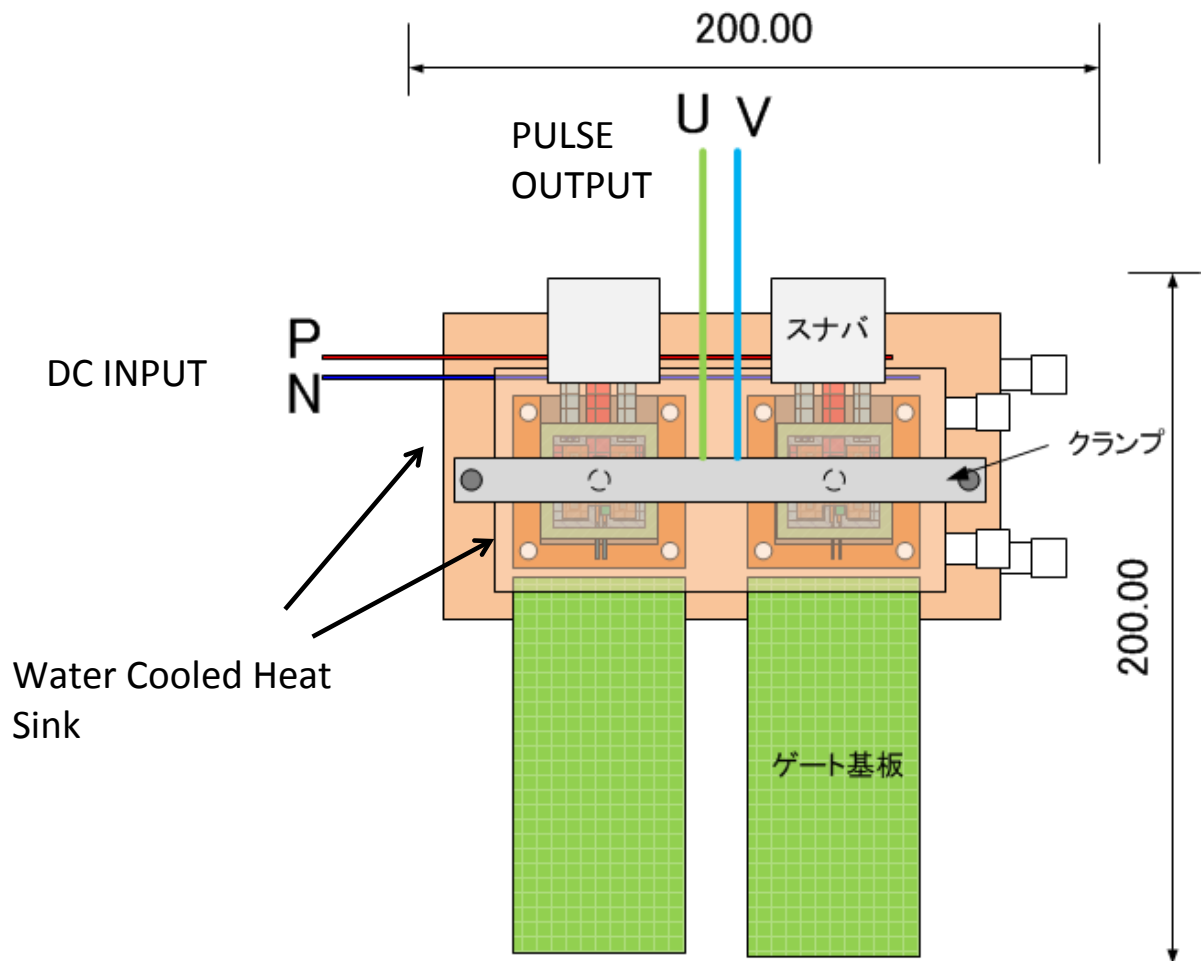


図 7-8 第 2 世代 JFET を使用したスイッチング電源 (SPS) の予想図

これらの基板においてセラミック板として最も一般的な窒化アルミ (AlN) 基板ではなく、窒化シリコン基板を用いるのは機械的に強靱で熱膨張率が小さいためである。京セラ (株) が公表しているセラミック材料の特性比較とヒートサイクル試験の結果を表 7-3、表 7-4 に示す^[10]。

表 7-3 セラミック材料の特性比較^[10]

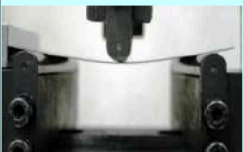

材質	Si ₃ N ₄ (SN460)	AlN (Reference)	Al ₂ O ₃ 96% (Reference)
熱伝導率 (W/m・K)	58	170	20
熱膨張係数 (ppm/K)	2.7	4.5	7.1
破壊靱性 (MPa m ^{1/2})	5.0	2.7	3.3
抗折強度 (MPa)	850	400	350
抗折強度の 測定例	 荷重700MPaの様子	 荷重500MPaで破損	

表 7-4 セラミック材料ヒートサイクル試験結果比較^[10]

	銅箔厚み (mm)			
	0.2	0.3	0.4	0.5
Al ₂ O ₃ 96% 0.635mmt	500	300	200	100
AlN 0.635mmt	300	200	剥離	剥離
Si ₃ N ₄ 0.32mmt	>5000	>5000	>5000	>5000

熱抵抗同等

試験条件：-40℃ (30分) ⇒ +40℃ (30分) ⇒ -40℃ (30分) の繰り返し
表内の数字はクラックが発生するまでのサイクル数を示す。
但し、剥離とあるのはサンプル作成後、ヒートサイクル試験に入る前に銅箔が剥離して試験に入れなかったことを示す。

Si₃N₄はAlNと比べると熱伝導率が3分の1程度と低いが機械的強度は2倍程度あり、薄板化が可能であることが表 7-2 から読み取れる。またヒートサイクルの試験結果についても、0.3 mm の銅箔を貼付けた厚さ 0.635 mm の AlN が 200 サイクルにしか耐えないのに対して、0.5 mm の銅箔を貼付けた厚さ 0.32 mm の Si₃N₄ 板は 500 サイクル以上に耐えており、総合的に評価して同等の熱抵抗であるならば、Si₃N₄ の

方が信頼性の高い基板にできると評価される。

7.1.4 パッケージの熱解析

7.1.3 で示した第 2 世代のパッケージの設計案に対して、汎用有限要素法解析プログラム ANSYS®を用いて放熱特性の解析を行った。SiC ダイ、銀ナノペースト、ヒートスプレッタ、セラミック板、セラミック板に貼付けた銅パターン、連結ピンの全てをモデルの中に組み込むために、一般 3 次元の解析手法を用い、パッケージ全体を解析対象とした。FET ソース側に接着されるヒートスプレッタにはゲート配線を通すための切り欠きが存在するが、これもモデルに反映し、この部分は熱伝導のない空間とした。同様に、銅箔パターンの切り欠きとパッケージ側面の空間部分も熱伝導のない空間とした。表 7-5 に解析に用いた各材料の熱伝導率を示す。ここで銀ナノペーストは完全に銀化するものと考え、銀の物性値を用いた。図 7-9 にモデル形状を、図 7-10 に解析結果を示す。但し、素子発熱は 250 W/チップとし、境界条件は放熱フィン温度を 30°C 一定として与えた。また、JFET のソース面のゲート配線部分及びパッケージ側面の空間の熱伝導はないものとしている。図 7-10 よりチップで発生した熱はヒートスプレッタの中を同心円上に広がりながら基板面まで伝わっており、ヒートスプレッタの幅が適切であると判定できる。また最高温度は 200.8°C である。図 7-11 にチップの中心軸に沿ったパッケージ内の温度上昇分布を示す。図 7-11 において FET1 はドレイン面が下側の FET であり、FET2 はソース面が下側にある FET である。どちらもソース面に接する側のヒートスプレッタにはゲートリードを貫通させるための溝があるため、その部分での温度データはないことに注意を要する。また、この溝部分では熱伝導がないため、直下の基盤表面の温度は溝の無いドレイン側に比べると 40°C 程度低いことが分かる。チップ最高温度上昇は 170.8K、ケースの温度上昇はドレイン側が 18.9 K、ソース側が 13.0 K となった。ドレイン側の温度上昇が大きいのは、言い換えるとドレイン側の熱流速が大きい事を示している。解析ではヒートシンク温度は 30°C で一定としているのでジャンクション-ヒートシンク間の熱抵抗 R_{thj-f} を計算すると 0.17 K/W と評価され、目標の 0.2 K/W を達成している。

表 7-5 パッケージ構成材料の熱伝導率

材料	熱伝導率 (W/mK)	Ref.
SiC	490	[11]
Cu	398	[2]
Ag	407	[2]
CuW	190	[6]
Si ₃ N ₄	58	[7]
サーマルコンパウンド(G-751)	4.5	[12]

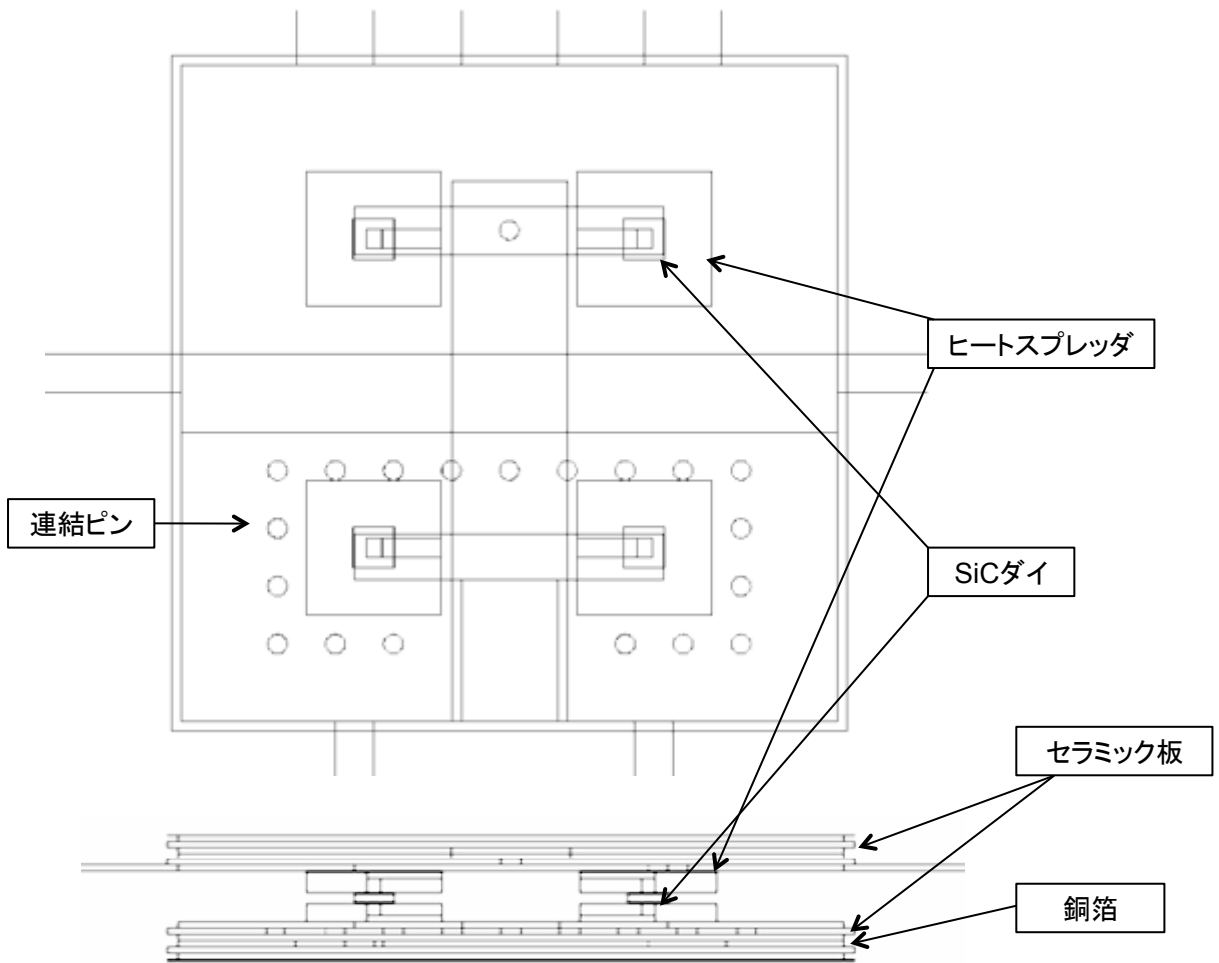


図 7-9 熱解析のモデル形状

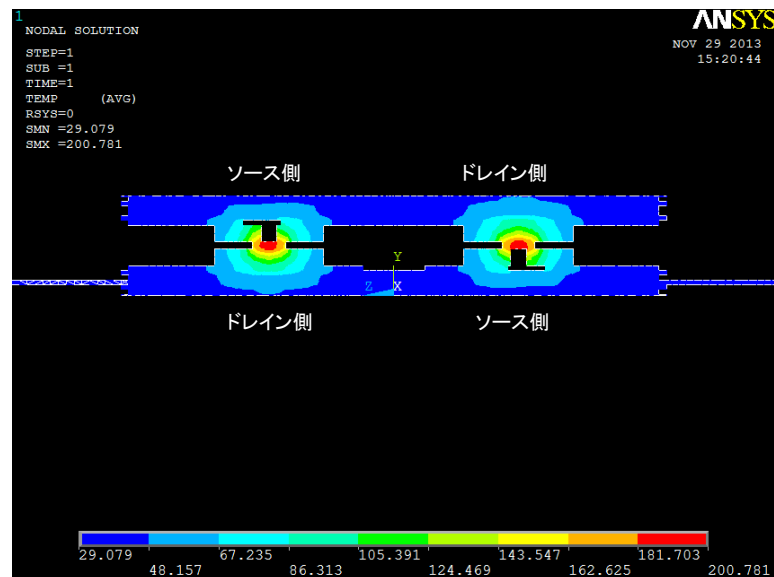


図 7-10 解析結果

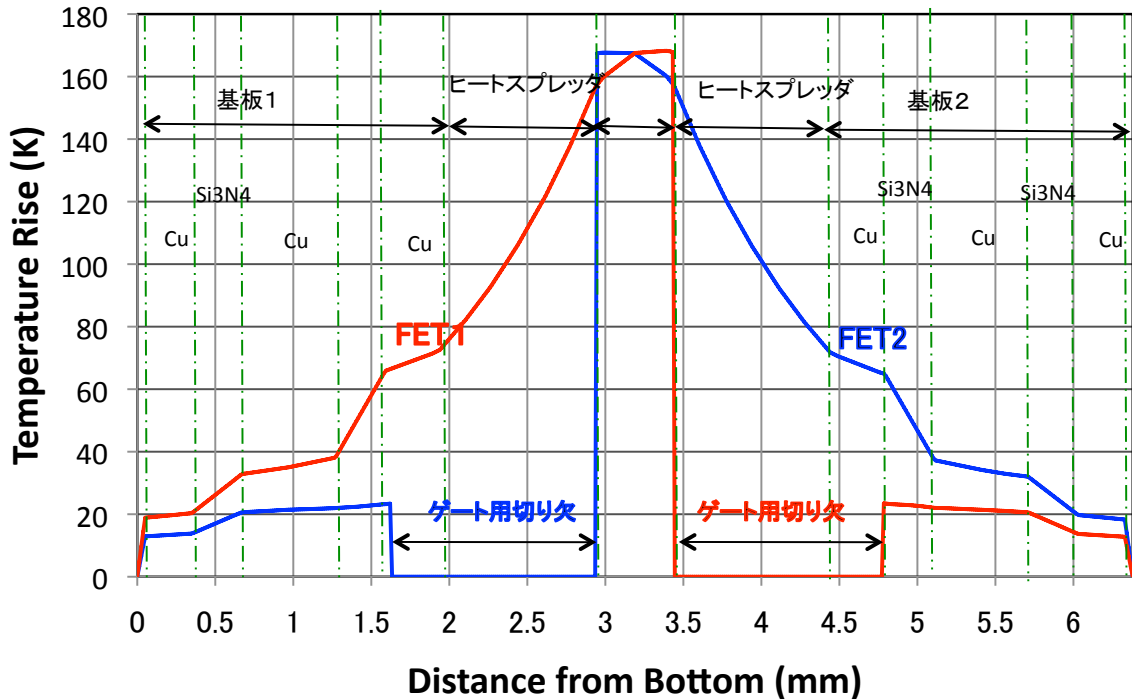


図 7-11 チップ中心軸に沿ったパッケージ内の温度上昇の分布
FET1:ドレイン面が下側、FET2:ソース面が下側

7.1.5 モックアップパッケージの試作とその評価^{[13][14]}

設計案に基づいてモックアップパッケージを試作した。モックアップパッケージは実パッケージとは、(1)使用する FET 素子が実際にスイッチング機能を有する素子ではなく、製造工程で出た不良品であり、常にオン状態にあること、(2)樹脂封止を行っておらず開放構造であること、の 2 点で異なっているが、工作性の検証、放熱性能の検証、パッケージ内部インダクタンスの検証の目的で製作した。

・モックアップパッケージ試作

新型パッケージの組み立てにおいて、最も大きな課題は FET チップがもともと従来型の組み立て手法である、ハンダ付けと Al ワイヤボンディングを前提として製造されていることである。このため供試 FET は裏面（ドレイン面）が Ag メッキ、表面（ソース面）が Al メッキされた状態で出荷されている。しかし Al 面は表面が酸化物の Al_2O_3 で覆われるため銀と接合しない。今回は前処理として、Al 表面をジンケート処理した上で Ni と Au メッキ処理を行った。また裏面の Ag も酸化物で覆われている可能性があるため、Au メッキ処理を行った。メッキ処理後の FET の状況を図 7-12 に示す。メッキ処理を終えた FET チップは Ag ナノペーストを用いてヒートスプレッドと接合した。接合条件は 1MPa 加圧@200°Cとした。両面をヒートスプレッドと接合した状態を図 7-13 に示す。

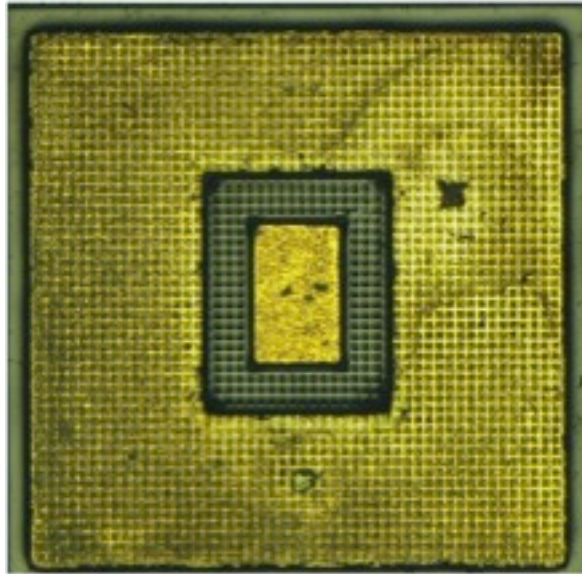


図 7-12 表面処理後の FET チップ (ソース面)

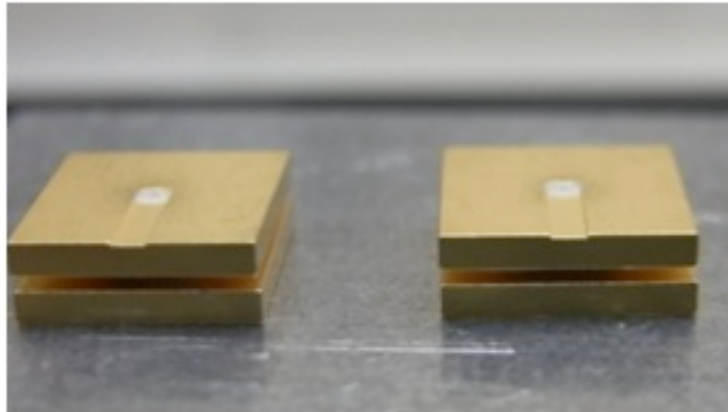


図 7-13 FET 素子両面をヒートスプレッダとダイボンディングした状態

ヒートスプレッダで挟まれた素子はそれぞれドレイン面を基盤に接合した後、基板同士を接合してパッケージとして組み立てられた。モックアップパッケージの外観を図 7-14 に示す。

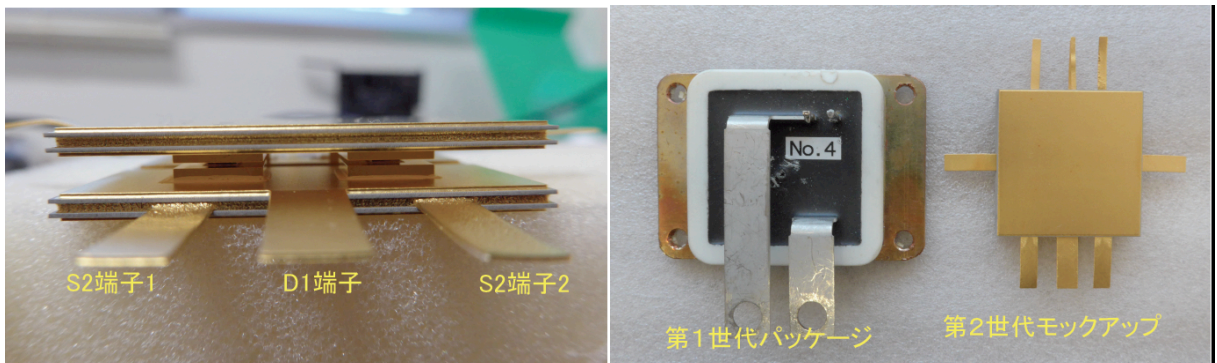


図 7-14 モックアップパッケージ外観
(左) 正面 (右) 平面 (第 1 世代と比較)

・モックアップパッケージのインダクタンス評価

D1 端子から S2 端子の間にパルス電流を通電し、電流の di/dt と端子電圧の関係からパッケージの内部インダクタンスを評価することを試みた。測定波形を図 7-15 に示す。但し、モックアップ自身にはスイッチ機能がないため図 7-13 のパルス電流は外部に接続した別の FET スイッチで発生させたものである。

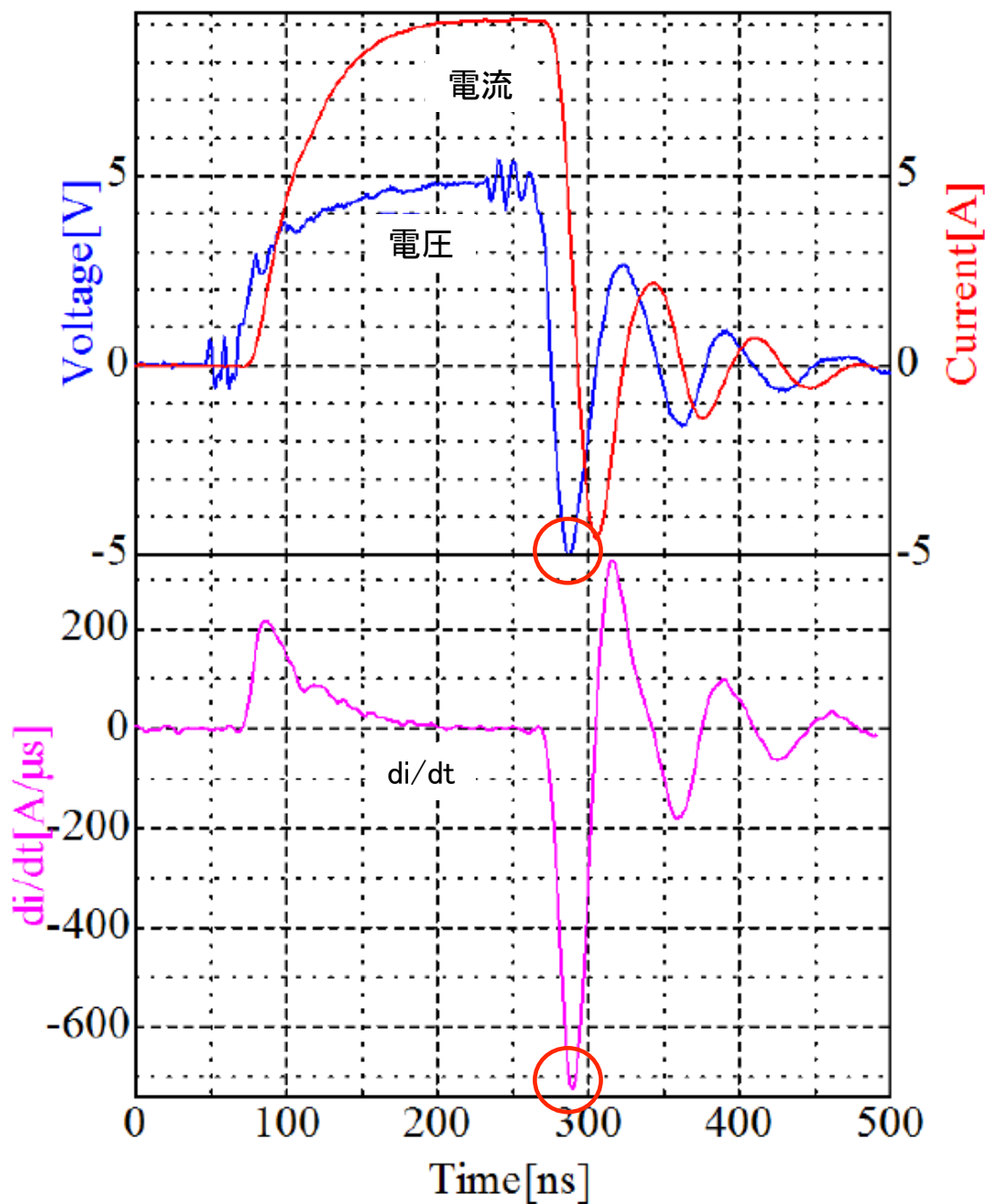


図 7-15 モックアップパッケージのパルス通電波形

di/dt がピークとなるポイント（図中に○で示した点）でデータを読み取ると、端子電圧が 5.07 V、 di/dt が 724 A/ μ s であることから、内部インダクタンスは 7.0 nH

と評価された。この結果は 6.1 節で示した設計目標を満足するものであった。

・モックアップパッケージの放熱特性評価

試作したモックアップ素子に直流通電することにより放熱特性を評価した。最初に、素子を恒温槽内で加熱することにより槽内温度と素子の D1-S2 間抵抗の関係を評価した。この試験では素子自身の発熱は殆ど無いので、ジャンクション温度は槽内温度に一致すると考えられる。結果を図 7-16 に示す。

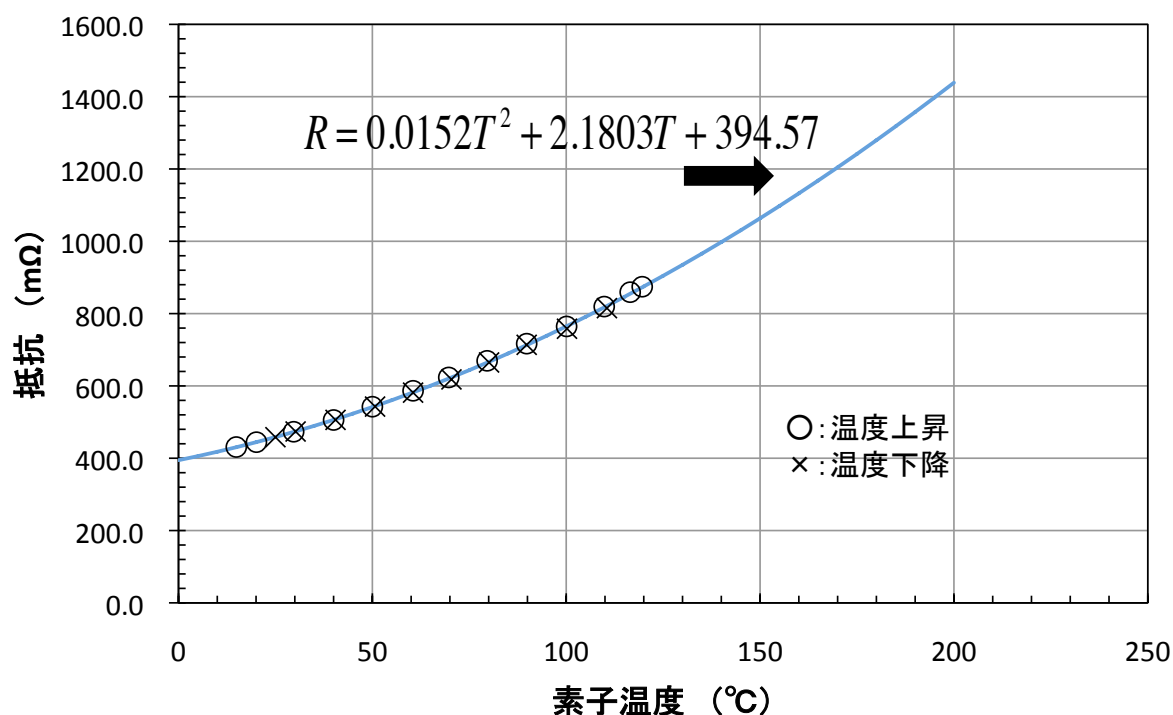


図 7-16 D1-S2 端子間抵抗と温度との関係

温度を上昇させながら測定した測定点も下降しながら測定した測定点も同一の曲線上に乗っていることから前記の仮定は正しいと考えられる。この結果、素子抵抗 R [mΩ] と温度 T_j [°C] との関係は

$$R = 0.0152T_j^2 + 2.1803T_j + 394.57 \quad (1)$$

で表されることが分かった。次に素子を水冷フィンにマウントし、直流通電することによって、投入電力と素子抵抗との関係を調べた。結果を図 7-17 に示す。投入パワーを増やすにつれて抵抗値も大きくなるのは素子温度が上昇するためである。(1) 式により示された抵抗値と温度の関係から素子温度を逆算した結果を図 7-18 に示す。実験した範囲においては、投入電力の増加とともにほぼ直線的に温度が上昇していることが確認された。

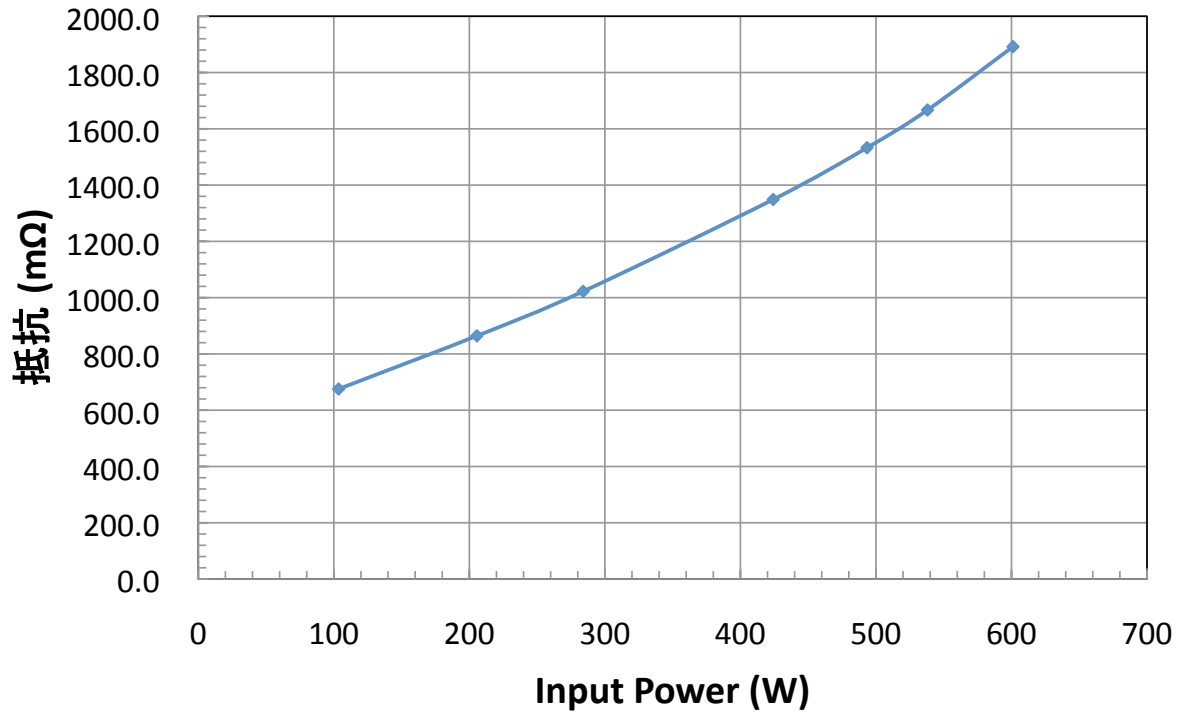


図 7-17 投入パワーと D1-S2 間抵抗との関係

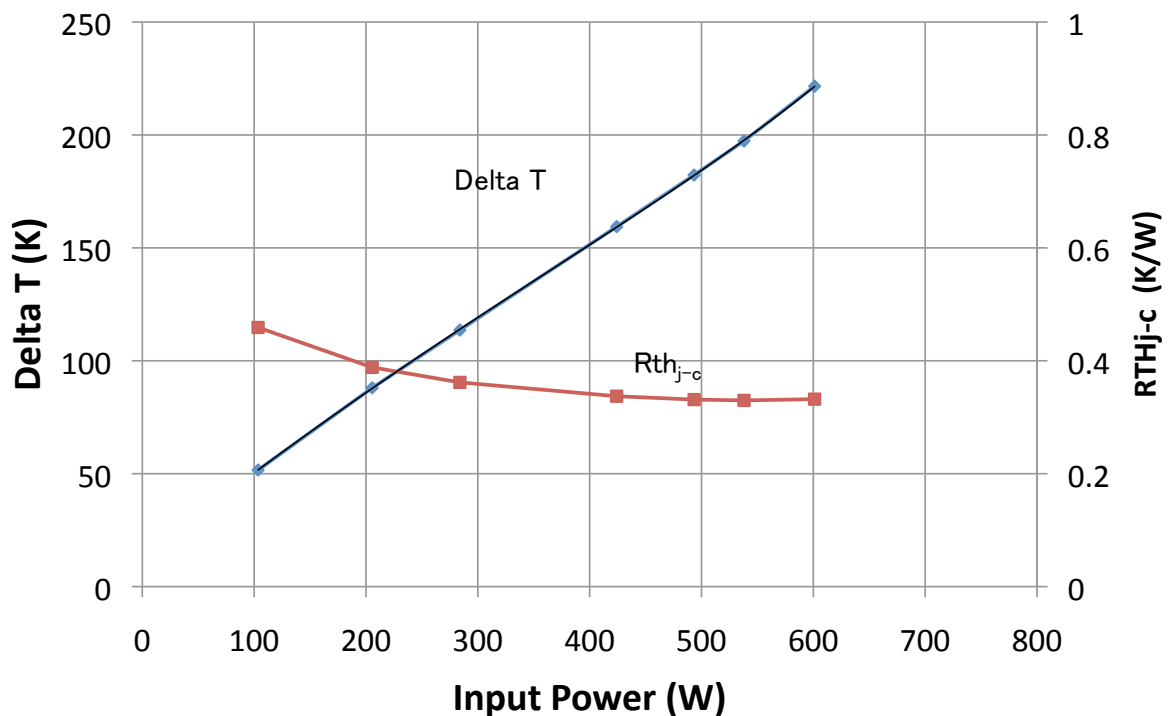


図 7-18 モックアップパッケージの温度上昇特性

図 7-18 にはジャンクション-ケース間の熱抵抗も示した。ここでケース温度は素子パッケージ下面の 3 カ所の温度を平均したものである。

表 7-1 に示したように、第 1 世代のパッケージではジャンクション-ケース間の熱抵抗は 0.57 K/W であったのに対して、今回の実験では 0.36 K/W 程度が得られてお

り、大幅に改善されている。また、除熱量も 600W 以上を達成しており、これも第 1 世代に比べると 2 倍以上にすることができた。しかしながら、7.1.4 に示した熱解析では 1000W 投入時にチップの温度上昇は 170.8 K であったのに対して、実験では 600W 投入で 220 K にもなっている。これは 1 kW 換算では 367 K であり、解析に比して 2 倍にも達する。温度上昇が解析よりも悪くなった原因としては、Ag ナノペーストを使用したダイボンディングが不完全であったことが考えられる。試作したモックアップのうち、実験準備段階においてダイボンディング部で剥離してしまった物の観察写真を図 7-19 に示すが、本来白色に広がっているべき Ag が剥がれている事が分かった。これは Ag 層とチップ表面 Au 層の接着が不十分であることを示しており、熱伝導も設計通りではなかったと考えられる。

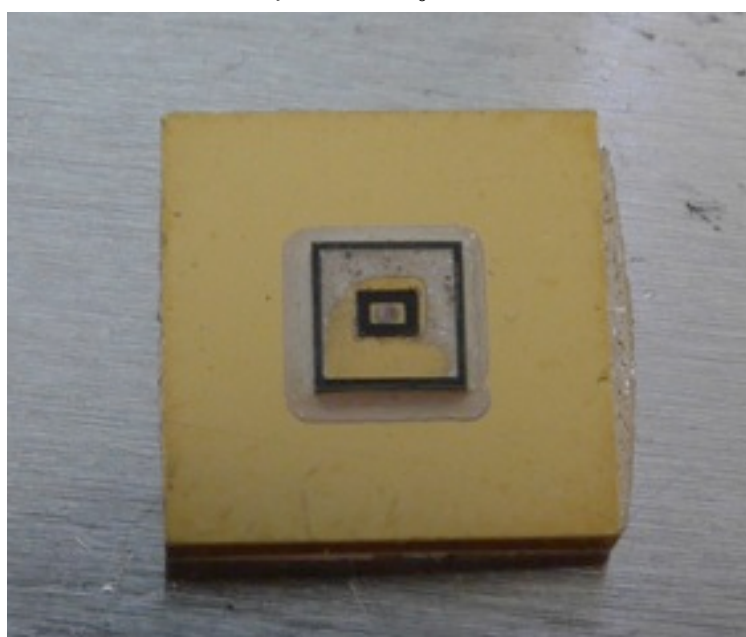


図 7-19 剥離したダイボンディング部の表面

7.1.6 二次試作に向けて

ダイボンディングが不完全であった理由としては、チップの前処理工程に原因があったと考えられるので、その改良を検討中である。有力な候補としては、ジンケート処理の後 Ag/Au メッキ（前回は Ni/Au）する方法があり、接着の機械強度テストにおいて良好な結果が得られることを確認した^[12]。

また、モックアップパッケージではパッケージを両側から挟んだ時の応力が全て FET チップの接合面に集中する構造であったため、次期試作においては、図 7-20 に示すようにヒートスプレッドの間に FET チップとともに応力緩和用のダミーチップ（窒化アルミニウム製）を挟んだ構造とすることにした。これにより機械強度がより増すことが期待される。

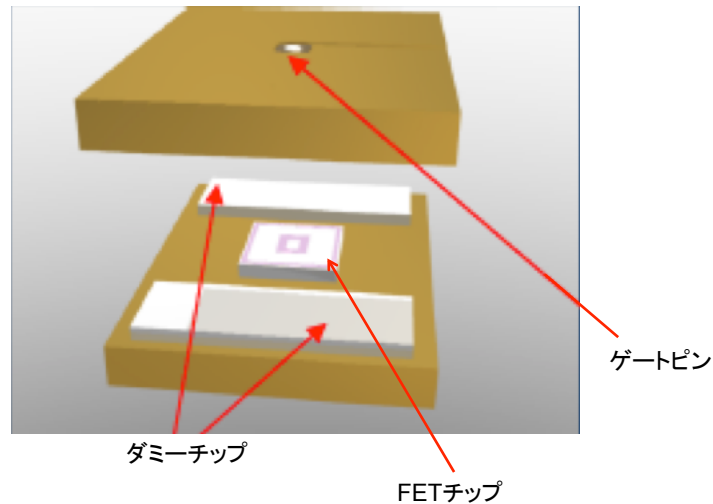


図 7-20 ダミーチップを追加したヒートスプレッダの接合構造

7.2 誘導加速方式を適用した円形加速器の今後の展望

7.2.1 次世代 SPS

現在世界で唯一運転稼働している誘導加速シンクロトロンである KEK-DA では Si-MOSFET 方式のスイッチング電源を採用している。著者はこれをより小型、高信頼性化すべく SiC-JFET スイッチを開発してきた。表 7-6 に現行の SPS、第一世代 SiC-JFET 方式の SPS、第二世代 SiC-JFET 方式の SPS、そして今後建設される各種の実用型誘導加速方式円型加速器に適用が期待される次世代 SPS を比較して示す。但し、表 7-6 における各 SPS の損失は次のようにして求めた。

- 現行電源：文献^[15]で示された素子 1 個あたりの損失をもとに SPS 内の全アーム分 (28 素子) を算出した。
- 第一世代 SiC: 本論文第 5 章 5.2.3 の 1 MHz 運転時の素子表面の温度上昇 (30 K) と第 4 章 4.3.2 の素子単体評価実験時の素子表面温度上昇 (120 K)、損失 (235 W) を比較し、SPS の 800 V-20 A-1 MHz 運転時の損失を $235 \text{ [W]} * (120/30) * 4 \text{ [アーム]}$ として算出した。
- 第 2 世代 SiC: 第 2 世代 SiC の損失は未評価であるので、第一世代の損失を基準に、 $(\text{素子耐圧比}) * (\text{ダイサイズ比})^2 * (\text{出力電圧比}) * (\text{出力電流比})^2$ として推定した。
- 次世代: 次世代 SPS については素子自身未定であるので損失評価はしていない。

表 7-6 からわかるように、第二世代 SiC-JFET 方式 SPS といえども、今後の実用型誘導加速方式円型加速器の加速セルを駆動するには不十分であり、次世代ドライバーの開発は必須である。そこで使われる素子のタイプは未定であるが、市販のパワーデバイスがそのまま使える可能性は皆無であり、本研究の成果を生かし、デバイスメーカーと共同で開発したカスタムチップを高放熱低インダクタンスの専用パッケー

ジに封入する必要があると考えられる。

表 7-6 開発中の各世代 SPS の性能比較

	現行	第一世代 SiC	第二世代 SiC	次世代
デバイスタイプ	Si-MOSFET	SiC-JFET	SiC-JFET	未定
素子耐圧	1 kV	1.2 kV	2.4 kV	3.3 kV 以上
素子直列数	7 直列	1 直列	1 直列	1 直列
出力電圧	2 kV	800 V	1.8 kV	2.5 kV
出力電流	16.7 A	20 A	15 A	50 A
繰り返し周波数	1 MHz	1 MHz	1 MHz	1 MHz
損失	2.7 kW *1	235 W *2	1.8 kW *3	不明

7.2.2 デジタル加速器のビーム利用運転

これまで述べてきたように誘導加速シンクロトロンには、(1)長大なビームバンチが形成可能、(2)前段加速器が不要で、あらゆる種類のイオンが加速可能という、二つの大きな特長がある。(1)の特長を大型の加速器に適用した場合、大出力シンクロトロンで問題となるスペースチャージに起因するビーム不安定の低減が可能になり、低損失で大出力の加速器が実現できる。一方、(2)の特長を生かすと低コストでコンパクトな医用、産業用、学術研究用の加速器が実現できる。KEK デジタル加速器は fast cycling synchrotron として世界初の実証機であると同時に(2)の特長を生かした応用が計画されている^{[16][17]}。まずデジタル加速器からのイオンビームは当面、総合研究大学院大学の学融合研究プロジェクト「模擬宇宙線による実験室宇宙科学の展開」を遂行する共同研究チームへビームを供給することになっている。ここでは二つの研究テーマが予定されている。一つは生命の根源を探ることを目的として、星間に存在するアイスマントルを人工的に作り、これに模擬宇宙線としてのデジタル加速器からの高速重粒子線を照射し、アミノ酸前駆物質を作り出し、その後の化学変化の推移をリアルタイムの赤外線分光で把握しようというものである。もう一つの研究テーマは将来の太陽系深部探査ミッションに使用する電子機器に使用するLSIへの宇宙線ダメージの把握と、ダメージ補償用のバックアップシステム構築のための試験を実用規模で行うものである。現在、このための専用のビームラインを建設している。

デジタル加速器の特徴（任意のイオン種を、任意の価数、リング磁石が許す最大エネルギー以下の任意エネルギーで供給）を最大限活かすために、平成 27 年度以降には実用加速器として初めてレーザーアブレーションイオン源（Laser Ablation Ion Source: LAIS）を導入する予定である^[18]。LAIS によって C¹²⁺の他、Fe、Cu、Ag、さらには Au までも含めた高価数イオンが加速可能になる(表 7-7)。KEK デジタル加速器の重イオンビームファクトリーとしての将来像を図 7-21 に示す。このビームラインは

2006 年までニュートロン科学、ミューオン科学実験、陽子線によるガン治療試験に利用されていたものを流用して建設され、その下流において Laboratory I、Laboratory II の実験ラインに分岐される計画である。

表 7-7 デジタル加速器で加速可能なイオン種と最大エネルギー [20]
磁気剛性： $B\rho=1.1\text{ T}\times 3.3\text{ m}=3.63\text{ Tm}$ ，繰り返し：10 Hz，入射電圧：200 kV

典型的イオン種	質量数/最大価数	最大エネルギー/核子 (MeV)	粒子数/秒	線エネルギー付与 (keV/um)	飛程 (水) (mm)	飛程 (Al) (mm)
H	1/1	500	3.5×10^{11}	0.28	1160	549
^3He	3/2	248.5	1.75×10^{11}	1.58	279	133
He	4/2	146.8	1.75×10^{11}	2.22	151	72
C	12/6	146.8	5.8×10^{10}	19.6	51	25
N	14/7	146.8	5.0×10^{10}	27.2	43	21
O	16/8	146.8	4.0×10^{10}	39.74	38	18
Ne	10/10	146.8	3.5×10^{10}	62.09	30	14.6
Ar	40/18	120.5	1.9×10^{10}	215.3	13	6.2
Fe	56/26	127.8	1.3×10^{10}	406	10.2	5.0
Cu	63/29	125.7	1.2×10^{10}	511	9.1	4.4
Au	197/79	96.8	4.4×10^9	4393	3.1	1.5

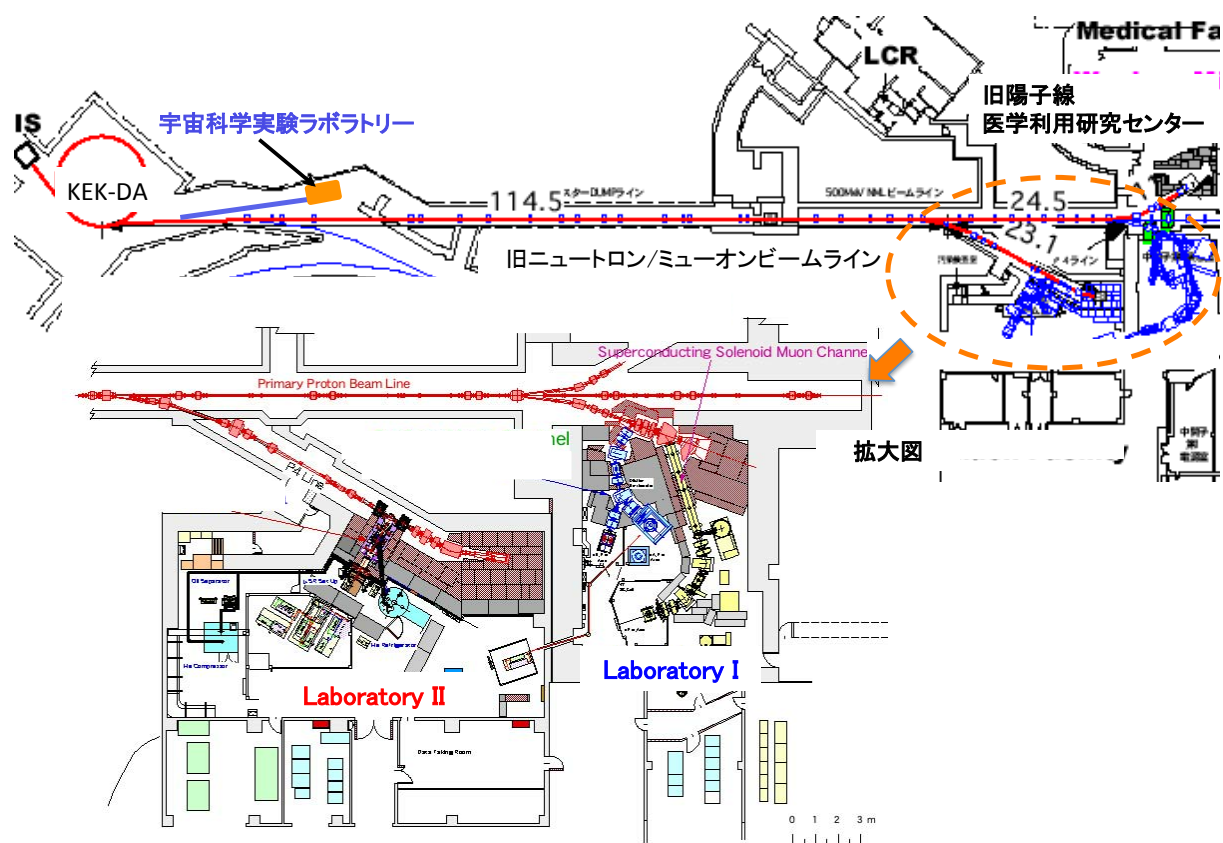


図 7-21 KEK デジタル加速器の重イオンビームファクトリーへの展開 [17]

図 7-21 に示されたビームラインの完成後は重イオンビームを利用した種々の実験への応用が期待される。その一つに Warm Dense Matter の実験がある [19]。Warm

Dense Matter とは温度が数千度から数十万度で密度が固体密度の 1/1000 程度から 10 倍程度の領域にある物質状態をさし、核融合、惑星科学などの様々な分野でその重要性が指摘されているにも関わらず、その生成過程があまりにも複雑で過渡的にしか存在しなかったために研究が進んでいなかった学術分野であるが(図 7-22)、デジタル加速器の完成により大きな進歩が期待される。

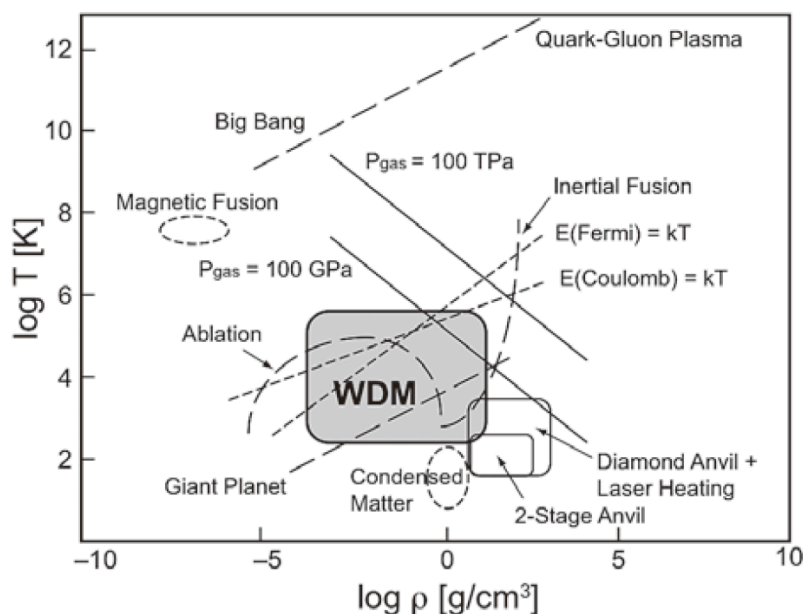


図 7-22 密度—温度平面上で定義した Warm Dense Matter (WDM)領域と関連する学術分野 [19]

7.2.2 誘導加速マイクロトロン

マイクロトロンは第 2 次世界大戦末期から戦後にかけて Veksler、Shwinger、伊藤、小林、Shiff によって独立に考案された円形加速器であり、1948 年にカナダのグループによって初めて実証された^[20]。当初は円軌道の一部に加速空洞を置いたレイアウトであったために加速電圧の制約があり、大きな加速エネルギーは得られなかったが、軌道をレーストラックとし、さらにはマグネットを分割して **double-sided** とすることで数百 MeV の加速エネルギーも得られるようになった^[21]。

マイクロトロンはこれまで電子用しか存在しなかったが、誘導加速の原理を導入すると通常のイオンのみならず、質量数対価数比 (A/Q) が 100 から 1000 に達するクラスターイオンの加速も可能となる^{[22][23][24]}。図 7-23 に $(Q/A) \cdot 50 \text{MeV}$ /核子まで加速可能な誘導加速マイクロトロンの構成を示す。クラスターイオンの高エネルギー加速の研究はこれまで静電加速でしか出来なかったが、その到達エネルギーには制約があった。誘導加速マイクロトロンによってその制約が大幅に緩和され、高速クラスターイオンを物質と相互作用させることによる物質原子の急激な電子励起の結果、画期的な新材料の生成が期待されている。また、同様に星間物質である宇宙塵の加速も可能

であり、生命誕生の謎に迫ることにも多大な期待が寄せられる。

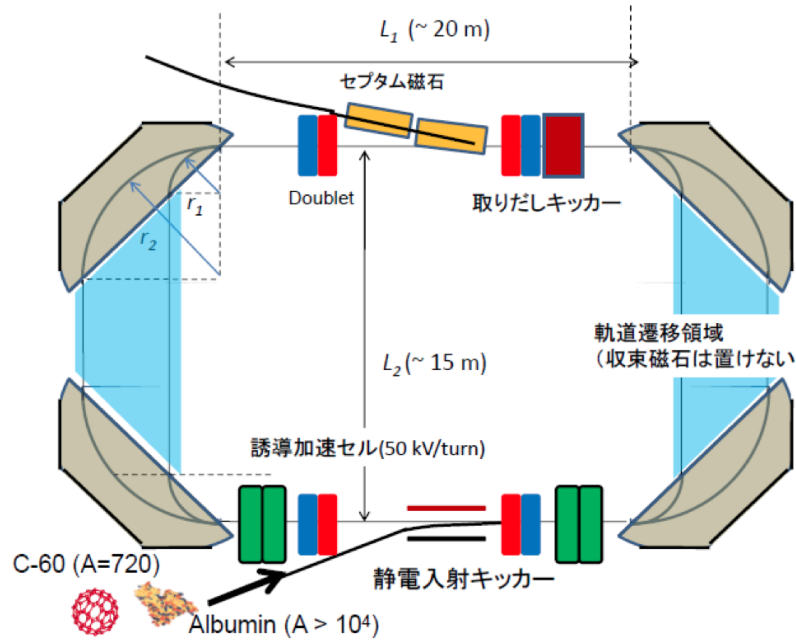


図 7-23 クラスタイオン加速用マイクロトロン概念図

7.2.3 大強度陽子加速器施設 (J-PARC) への誘導加速技術の適用

ここでは誘導加速技術の大強度加速器への適用の可能性として大強度陽子加速器施設 J-PARC (Japan Proton Accelerator Research Complex) を取り上げて検討する。J-PARC は茨城県東海村に建設された世界最高強度の陽子ビームを発生し、そのビームを用いた研究を行う施設であり素粒子物理、原子核物理、物質科学、生命科学、原子力など幅広い分野の最先端研究を行うための陽子加速器群と実験施設群を指している^{[25][26]}。加速器施設としては初段が 400 MeV まで加速するリニアック、次に 3 GeV まで加速する RCS (Rapid Cycling Synchrotron)、さらに RCS の出力ビームの一部 (残りのビームはエネルギー 3 GeV のまま物質生命実験施設で利用) を 30 GeV まで加速する MR (Main Ring) から構成される。図 7-24 に J-PARC の俯瞰図を示す。ここではこれらの加速器のうち MR への誘導加速技術の適用について検討する。MR の主要なパラメータを表 7-8 に示す。

表 7-8 MR の主要なパラメータ

周長 [m]	1567.5
対称性	3 回対称
繰り返し周波数 [Hz]	~0.4
入射エネルギー [GeV]	3.0
取り出しエネルギー [GeV]	30
ハーモニック数	9
バンチ数	8
RF 加速周波数 [MHz]	1.67~1.72

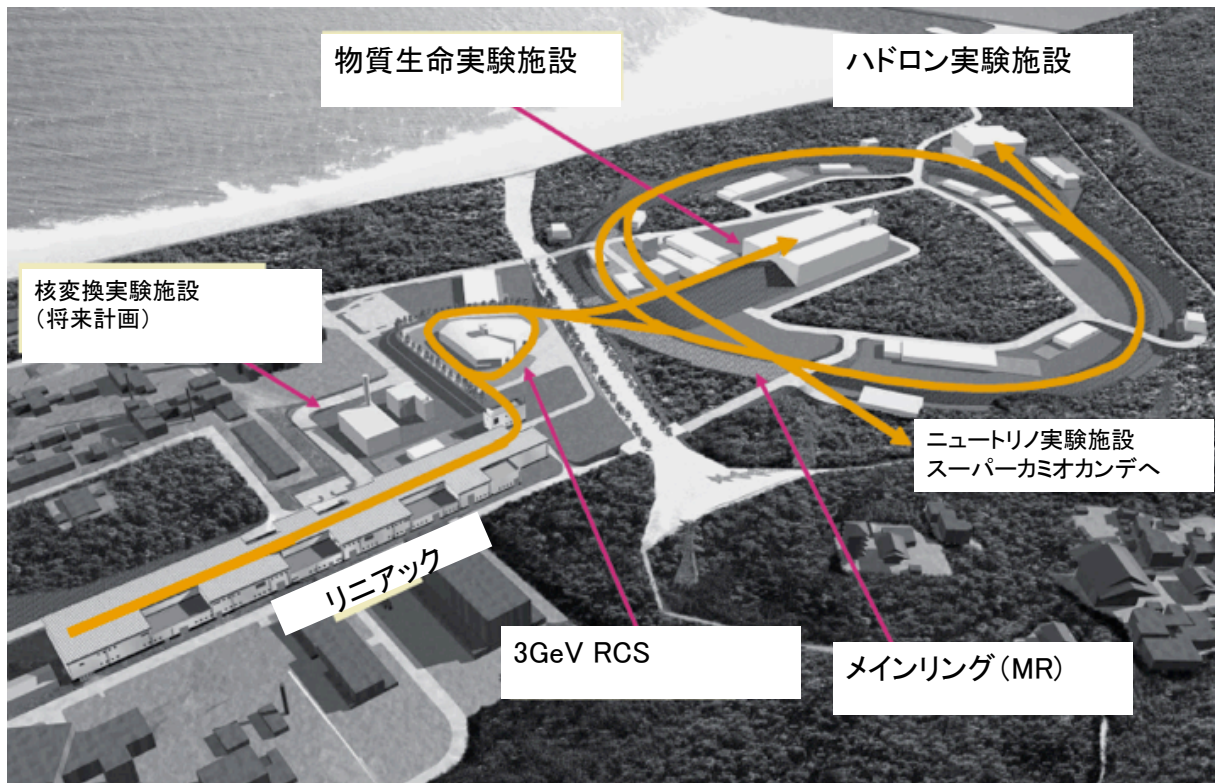


図 7-24 J-PARC 俯瞰図

まず MR の現況について説明する。上にも述べたように MR には RCS から出力ビームが入射されるが、RCS は周波数 25 Hz (40 ms 周期) で運転する高繰り返しシンクロトロンであり、ハーモニック数 2、言い換えると 1 周期の中に 2 バンチのビームが周回しているため 40ms 毎に 2 バンチのビームが MR に入射する。MR の 1 周期には RCS から 4 回のビーム入射を行うので MR には合計 8 バンチのビームが蓄積され、加速されて取り出される (図 7-25)。

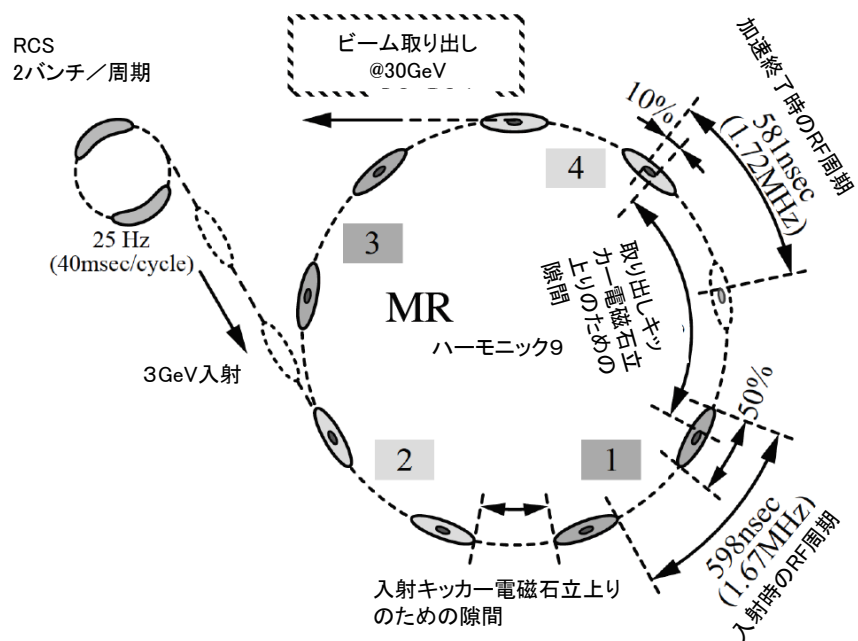


図 7-25 MR のバンチ配置

図 7-25 でわかるように、8 バンチのビーム入射完了時、MR 内は入射キッカー電磁石の磁場立ち上がり、立ち下がり時間のための隙間 (300 ns と想定されている) と取り出しキッカー電磁石の立ち上がり時間 (1100 ns と想定されている) を除いてはビームが全周に分布し、これ以上のビーム入射は使用機器の性能限界のために不可能である。

この状況の中、誘導加速技術を導入し、ビームハンドリングの自由度を大幅に改善すれば、より多くの粒子を入射することが出来ると期待される。これは J-PARC のビームパワー増強に直結する。以下に図 7-26 を参照してそのシナリオを示す。

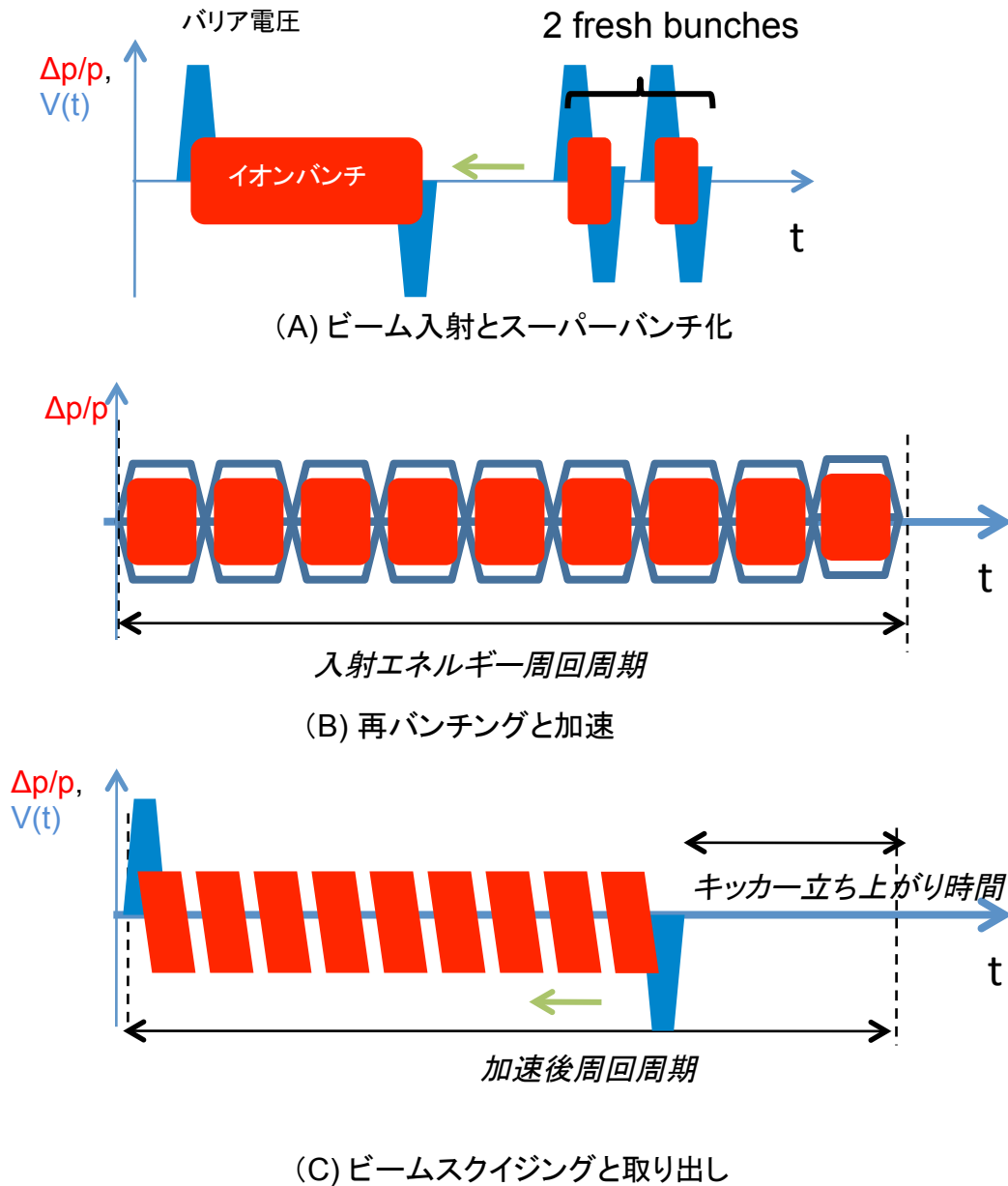


図 7-26 誘導加速技術適用による J-PARC MR の出力増強シナリオ

図 7-26 は入射から取出しにおけるバリア電圧、イオンバンチの分布、RF バケツの形状を模式的に示したものである。

(A) 入射とスーパーバンチ化

2 バンチ単位でビーム入射を行うのは従来のシナリオと同様であるが、入射後誘導加速セルによるバリア電圧を用いて第 1 バンチと第 2 バンチを独立のバリアバケットに捕捉する。第 2 バンチの位置を第 1 バンチに近づけ（これをビームスクイジングと呼んでいる^[27]）、バンチ間の時間差をなくし、連続した一つのバンチ（一連の入射プロセスの中で最初のビームコアになる）とする。2 回目以降の入射（第 3、第 4、……バンチ）も同様の操作を繰り返し、ビームコアに全入射バンチをマージさせる。このように入射するバンチを次々に隙間なく詰めることによってビーム周回軌道の利用率を高める。RF によってビームをキャプチャーした場合のバンチ間隔が 300 ns であるからこれを全部詰めることにより 2 倍のバンチ数、即ち 16 バンチの入射が可能である。

(B) 再バンチングと加速

加速電圧には従来通り RF を用いる。これは MR の加速には 280 kV という高電圧が必要^[28]なため、誘導加速で全てをまかなうためには既存の RF 加速空洞を全て取り去るという大改造が必要となるからである。但し、既に述べたように RF 加速ではスーパーバンチの加速は行えない。そこでスーパーバンチを 9 バンチに再分割する。このとき急激な再バンチングを行うとビームロスが発生するため、adiabatic re-bunching とする必要がある。この加速においてはハーモニック数 9 の基本波の他にハーモニック数 18 の 2 倍高調波を加えてフラットトップの広がったバケットを利用する。加速終了時には、9 個のフラットなバンチが加速器リング全周に渡って一様に分布している。

(C) ビームスクイジングと取り出し

ビームを取り出すためには取り出しキッカーの立ち上がり時間分（1 μs）の隙間を空ける必要がある。これは入射時と同様のビームハンドリング法（ビームスクイジング）を用いて行う。即ち、RF 電圧をオフにし、バリア電圧をオンにする。片側のバリア電圧のトリガータイミングを少しずつ早めて、ビームを断熱的にスクイジングしてこのスペースを産み出す。

2015 年 11 月現在、MR は 2.48 秒周期で運転され、出力は 320 kW が得られているが、上記のシナリオを適用するとビーム出力は次のようになると期待される。

- 取り出し 1 パルス当たりの陽子数：2 倍
- 入射時間（ビームスクイジング時間含む）：0.12 秒→0.37 秒
- 繰り返し周期：1.1 倍(=(2.48+(0.37-0.12))/2.48)
- ビーム出力：582 kW (=320 kW x 2 /1.1)

なお、誘導加速を用いない場合の今後の増強計画は次のようになっている^[29]。

- (1) 2015 年：リニアックの 400 MeV 化に伴う、入射プロトン数の増加と MR 自

身の繰り返し周期の短縮化 (2.48 s→2.40 s)

これによりビームパワーは 400 kW となることを見込まれている。

- (2) 2017 年 : MR 電磁石電源の更新により繰り返し周期の更なる短縮化 (2.40 s →1.3 s)

これによりビームパワーは MR の第 1 期設計値である 750 kW を得る。

誘導加速の適用はこの計画と矛盾することなく両者を同時に進めることが可能である。表 7-9 は上に述べた 2014 年のリニアック 400 MeV 化達成後と 2017 年の電磁石電源更新後のそれぞれのビーム取り出し周期、陽子数/パルス、パワーが同じ条件で誘導加速を併用した場合にどのように変化するかを比較したものである。誘導加速を併用した場合、入射時にビームスキージングが行われるために周期が 0.25 秒長くなるが、1 パルス当たりの陽子数が 2 倍になるために大きなパワー向上が見込めることが分かる。これは巨額の投資を必要とする大型加速器をもう 1 基建設するに等しいことであり、その効果は大きい。

表 7-9 MR パワー増強の中期計画に誘導加速を適用しない場合と適用した場合の比較

	2014 年			2017 年		
	周期 [s]	陽子数/パルス [個]	パワー [kW]	周期 [s]	陽子数/パルス [個]	パワー [kW]
RF のみ	2.4	2.6E14	400	1.3	2.6E14	727
誘導加速併用	2.65	5.2E14	724	1.55	5.2E14	1220

以上述べたように誘導加速技術を用いた円型加速器は、入射加速器を用いない比較的小型のデジタル加速器、巨大クラスターイオンの加速も可能とする誘導加速マイクロトロン、大強度陽子加速器など種々の加速装置への応用が期待される。また、現在インド、マレーシアにおいても誘導加速方式を適用した円型加速器の設計が進行中である^{[30][31]}。

7.3 第 7 章のまとめ

本章の前半においては将来の SiC パワーデバイス高性能化計画の一つとして、2.4kV 耐圧の SiC-JFET を 2 in 1 パワーモジュールに組み込んだ、高耐圧、高放熱パッケージの計画について述べた。ダミー素子を組み込んだモックアップパッケージの結果によれば、内部インダクタンスは目標の 10 nH 以下を達成し、放熱性能も第一次パッケージの 2 倍以上の 600 W 排熱を達成した。但し、放熱性能についてはなお、改良の余地があるという状況である。

後半では誘導加速方式を適用した円形加速器の今後の展開として、(1)現在既にビームコミッショニングが始まっている KEK デジタルアクセラレータのユーザー利用運転計画、(2)従来の加速器では全く不可能であった巨大クラスターイオンも加速可能

な誘導加速マイクロトロン計画、(3)世界最大級の陽子加速器である J-PARC メインリングのパワー増強計画について述べた。このように高性能新パワーデバイスの開発と誘導加速円形加速器への応用展開により、今後加速器が産業、医療、高エネルギー物理の発展にますます寄与していくことが期待される。

参考文献

-
- [1] IJW120R070T1, 1200 V CoolSiC Power Transistor, Final Datasheet Rev. 2.0, Infineon, (2013)
 - [2] SCT2080KE N-ch SiC power MOSFET Datasheet Rev. D, ROHM, (2014)
 - [3] 松村、山本:「鉛フリーハンダによるアセンブリ技術」、雑誌 FUJITU, Vol. 56, No. 6, pp. 545-551 (2005)
 - [4] 理科年表、国立天文台編 p. 403、丸善 (2003)
 - [5] 異種材料の接着・接合技術 p. 255、東レリサーチセンター (2007)
 - [6] 守田 「Ag ナノ粒子を用いた高耐熱低熱抵抗 Pb フリー接合技術とパワー半導体モジュール実装への展開」、大阪大学工学研究科博士論文 (2009)
 - [7] 理科年表、国立天文台編 p. 399、丸善 (2003)
 - [8] <http://www.shinano-sic.co.jp/w>
 - [9] http://www.tohokinzoku.co.jp/technical/powder_phys.html
 - [10] 京セラ技術資料「パワーモジュール用窒化珪素 AMB 気密封止パッケージ&基板」、RA100198
 - [11] 四戸:「SiC パワーデバイス」、東芝レビュー、Vol. 59, No. 2、pp.49-53 (2004)
 - [12] <http://www.silicone.jp/j/products/notice/heat/oil.shtml>
 - [13] 岡村、佐々木、渡部、山田、和気、高山:「高耐圧・高放熱 SiC-JFET パワーモジュールの開発と加速器への応用」、平成 26 年 電気学会基礎・材料・共通(A)部門大会、22-A-a2-4、長野 (2014)
 - [14] K. Okamura, Y. Yamada, M. Wake, K. Takayama: “Development of High Power and Low Inductance SiC-JFET Power Module for High Repetition Rate Pulsed Power”, 5th Euro-Asian Pulsed Power Conference, OB1-1 (invited), Sep 8-12, 2014, Kumamoto Japan.
 - [15] 小関、高山:「誘導加速シンクロトロンのための MHz 動作高電圧パルス電源の開発」、電学論 A, Vol. 126-A, No.3, pp. 121-126 (2006)
 - [16] 高山、岡村:「デジタル加速器と高繰り返しスイッチング電源」、電学論 A, vol. 132, No.1、pp. 13-16 (2012)
 - [17] K. Takayama, K. Okamura, et al.: “Heavy Ion Beam Factory for Material Sciences based on the KEK Digital Accelerator”, Nuclear Instrument and Methods in Physics Research, B314 (2013) 11-17
 - [18] N. Munemoto, K. Takayama, S. Takano, M. Okamura, M. Kumaki: “Development of the C(6+) laser ablation ion source for the KEK digital accelerator”, Rev. Sci. Inst. Vol. 85, 02B922 (2014)
 - [19] 堀岡一彦 他:「パルスパワー技術による Warm Dense Matter 実験」、プラズマ・核融合学会誌、vol. 86, 269 (2010)
 - [20] Staffan ROSANDER: “The Development of the Microtron”, Nucl. Inst. Methods, vol. 177, 411-416 (1980)

-
- [21] 亀井・木原：「加速器科学」、p. 202、丸善（1993）
- [22] 高山健、安達利一、和気正芳、岡村勝也：「クラスターイオン用誘導加速マイクロトロン」、第10回加速器学会年会、SUOT04（2013）
- [23] K. Takayama, T. Adachi, M. Wake, and K. Okamura: “Racetrack-shape fixed field induction accelerator for giant cluster ions”, Phys. Rev. ST-AB vol. 18, 050101（2015）
- [24] K. Takayama: “The KEK Digital Accelerator and Its Brothers”, Proc. of The 2nd J-PARC International symposium on Science at J-PARC, Sep. 12-15, Tsukuba（2014）
- [25] <http://j-parc.jp/ja/jparc.html>
- [26] OHO '10 高エネルギー加速器セミナー 「大電流ビームを作る」～J-PARCのビームコミッショニング～、1-1（2010）
- [27] K. Takayama, K. Okamura, et al.: “KEK Digital Accelerator and Its Beam Commissioning”, Proc. of IPAC2011, pp. 1920-1922, San Sebastian（2011）
- [28] OHO '10 高エネルギー加速器セミナー 「大電流ビームを作る」～J-PARCのビームコミッショニング～、3-1（2010）
- [29] 佐藤陽一：private communication
- [30] Conceptual Design Report on Center for Accelerator Research, Phase I and Phase II, Indian Institute of Technology, 2012
- [31] Leo Kwee Wah: Lecture at KEK-Nuclear Malaysia Accelerator School 2014

第 8 章 結論

サイクロトロンが発明されて以来、半世紀以上の間、全ての円形加速器が、加速空洞に定在波として励起される高周波電界(RF)を荷電粒子の加速に利用してきた。しかし RF 方式の加速器には、1) 空洞共振のバンド幅の制約から低エネルギーから高エネルギーまで一つのリングでは加速できない、2) 正弦波電圧で加速とバンチ閉じ込めの両方を行わせるという原理上、安定な加速を行うためにはバンチ長の制限がある、という課題があった。これに対して 2000 年に初めて提案されたパルストランスを介して加速電圧を印加する誘導加速方式の円形加速器には上記の制約がないため、一つの加速リングにおいてあらゆるイオン種のビームを自由にハンドリングできる、巨大加速器において長大バンチを生成して空間電荷効果に制約されないハイパワーを実現できる、という特徴がある。誘導加速方式の円形加速器は、高エネルギー加速器研究機構の旧 PS 主リングにおいて Slow Cycling Synchrotron として最初に実証された後、現在は同じく旧 PS のブースターリングを改装して Fast Cycling Synchrotron としての性能実証が行われており、さらにはマイクロトロンへの適用も検討されている。

誘導加速方式を今後さらに発展させて行く上での課題の一つに半導体スイッチング電源 (Switching Power Supply: SPS) の小型化、高性能化がある。従来の SPS ではスイッチング素子として Si-MOSFET を用いていたが、Si パワーデバイスには既に性能的に限界が見えており、本研究では次世代の半導体パワーデバイスとして期待される SiC のパワーデバイスを用いた新型 SPS の研究を行った。研究の成果は以下のように要約される。

1. SiC パワーデバイスパッケージ設計指針の確立 (第 3 章、第 4 章)

SiC は Si に比べて(1)バンドギャップが 3 倍、(2)絶縁破壊電界が 10 倍、(3)熱伝導度が 3 倍、(4)融点が 2 倍というパワーデバイスとして極めて優れた特徴を持っていることから、早くから次世代の半導体パワーデバイスとして着目されていたものの、良質の結晶を得ることの困難さから素子開発はなかなか進まなかった。ステップ制御エピタキシャル成長技術の開発により、漸く 1990 年代から実際の素子開発が進展し、2010 年代以降実用的なサイズのデバイスも発表されるようになってきている。しかし、現在においても Si パワーデバイスに比べて高価であり、大サイズのチップを得ることが困難であることには変わりがない。このことは損失の絶対量では Si に比べて優位であっても発熱密度では Si よりも大きくなることを意味し、これを克服することに SiC の持つ能力をフルに発揮するパッケージ開発の意義がある。本研究において材料とした SiC-JFET もチップサイズは 4.2mm 角であり、ドレイン面からの熱流

束は 1 kW/cm^2 以上となっていたが、チップサイズに対して十分大きな放熱用 Cu ベース板を用いることにより、熱伝達の上でボトルネックとなるパッケージ表面と外部ヒートシンクの境界面の面積を広げることで放熱を可能にした。また、実測温度上昇と熱解析がよく一致することも検証した。本研究の成果は、このように SiC の微小チップから有効に放熱を行う設計手法を確立したこと、熱解析の有効性を確認したことである。第 7 章で述べた次世代パッケージではこの考え方をさらに推し進め、放熱面をドレイン側、ソース側の両面に持つことで有効放熱面積を広げるとともにチップ直近にヒートスプレッダを接着することで熱流束を下げる設計となっている。

2. SiC-JFET 方式 SPS の開発 (第 5 章)

1 MHz という高繰り返しで加速セルを駆動する SPS は立ち上がり、立ち下がりともに数 10 ns という超高速パルスが発生する必要がある。このような高速パルスが発生させる SPS においては、不要な過電圧を抑制するために極力配線インダクタンスを小さくしなければならない。そのために本研究では積層した銅板の間に絶縁紙を挟んだラミネート方式の配線構造を開発した。その結果、1 GA/s という高 di/dt のパルス通電をおこなってもスイッチングに伴う素子過電圧は 20%程度に抑制することができた。また、配線各部のインダクタンスを分割評価し、回路シミュレーションをおこなった結果、実測の波形をよく近似した波形を得ることができた。今後、新規の SPS の設計に際しては事前にスイッチングサージ電圧を予測し、適切な設計マージンを得ることが可能となった。このように低ストレーインダクタンス SPS 設計手法を確立したことが本研究の第 2 の成果である。

3. SPS と負荷加速セルとの整合 (第 5 章)

これまでの Si-MOSFET を採用した SPS においては放射線の影響によるスイッチング素子が劣化、故障を防止する観点から SPS と負荷の間を 40m もに及ぶ高電圧伝送ケーブルで接続していた。しかし、高い耐放射線強度が期待できる SiC 素子では将来的に加速セルとの SPS の間の伝送距離をずっと短くできる可能性がある。このような観点から 2m の距離で SPS と加速セルを接続する実験をおこなった。その結果、高速スイッチングを行う SPS では僅か 2 m といえども、インピーダンスの整合を行うことが重要であり、インピーダンスが既知の同軸ケーブルを用い、ケーブルの両端でインピーダンス整合を行うことで立ち上がり、立ち下がりともに 30ns 程度のパルス波形が得られることを確認した。さらに、インピーダンスが既知のケーブルとして 50Ω の同軸ケーブルを使った場合には、インピーダンス整合を取る事で立ち上がり時間、立ち下がり時間としてそれぞれ 35ns、27ns が得られ、2 MHz 以上の繰り返し周波数も可能であることを明らかにした。

4. SiC スイッチングデバイス方式 SPS によるイオン加速の実証 (第6章)

さらに開発した SPS を実際に KEK デジタル加速器の加速セルドライバースとして供用し、イオン加速実験を実施した。加速対象としたのは $m/q=4$ の重イオンで、実験条件は最大磁場 0.23 T、最大エネルギー 6.9 MeV であった。本実験において SPS はデジタル加速器の制御システムに接続され、パルス幅 $4\ \mu\text{s}\sim 1\ \mu\text{s}$ 、加速電圧 50 V \sim 747 V の制御を行えることが確認された。この結果、開発した SPS は SiC パワーデバイスを用いたパルス電源として世界で初めてイオンビーム加速を実証した。

5. 第二世代 SiC-JFET パッケージの開発と誘導加速方式円型加速器の将来展望

最後に第7章では両面冷却方式高放熱低インダクタンスの第二世代パワーモジュールの開発と誘導加速方式円形加速器の将来の展望について述べた。第二世代パッケージは素子単体の耐圧が 2.4 kV と第1世代の2倍と高く、両面ダイボンディング、両面放熱構造の採用で放熱性能も飛躍的に向上する。さらに、パッケージ内の接続を 2 in 1 として SPS の基本回路構成である H ブリッジにより適したものとなる。この第二世代パッケージは SiC-JFET パワーモジュールのプロトタイプとの位置づけではあるが、この開発成果は SiC-JFET のみに留まる技術ではなく、現在国内においても積極的な開発が進み、大きな成果が得られ始めている SiC-MOSFET のデバイス技術とも融合し得るものである。

一方、誘導加速方式の円型加速器の今後と展開については、1)KEK デジタル加速器のユーザー供用計画、2)誘導加速マイクロトロンへの適用による巨大クラスターイオンの高エネルギー加速応用、3)大強度陽子加速器 J-PARC 主リングのさらなるハイパワー化の例を示した。

最後にこれらの言わば実用型誘導加速方式円型加速器に適用される次世代型の誘導加速セルドライバースの展望を示すことによって本論文をまとめることにする。図 8-1 に次世代型誘導加速セルドライバースシステムの構成を示す。

直流電源はアクティブコンバータと双方向チョッパによって構成される。第2章で述べたように、現行の誘導加速システムでは直流電圧は一定とし、パルス密度制御を行うことによって、等価的に加速電圧を連続に変化するように見せていた。しかし、厳密に言えば、この方式ではイオンバンチが加速セルを通過するターン毎に加速電圧にミスマッチが生じており、ビームロスがさげられない。次世代システムではこれを回避するためには直流電圧を可変にする。

スイッチング電源は本研究で開発した SiC 方式のパワーモジュールを使用する。但し、本研究で対象とした SiC-JFET は今後安定した供給を受けることは難しいと考えられるため、素子自身は現在進展の著しい MOSFET で置き換えることになる。KEK ではすでに 3.3 kV 級の MOSFET の評価に着手しており、今後チップサイズの

拡大とともに直列接続不要で 2.5 kV のパルスを発生する SPS の実用化が期待される。

SPS と加速セルを結ぶ伝送線路については、これまでは高圧のケーブルを数 10 m も引き回していたが、ビームローディングの影響を最小にするためには電源インピーダンスは低い方が好ましく、SiC 素子の高耐放射線特性を生かして、SPS を加速セルの直近に設置し、低インピーダンスのバスバーで直結する方式とする。

このような次世代型加速セルドライバーが今後各地で建設されるであろう誘導加速方式の円形加速器に適用され、加速器の世界に革新をもたらすものと期待し、本論文の結言とする。

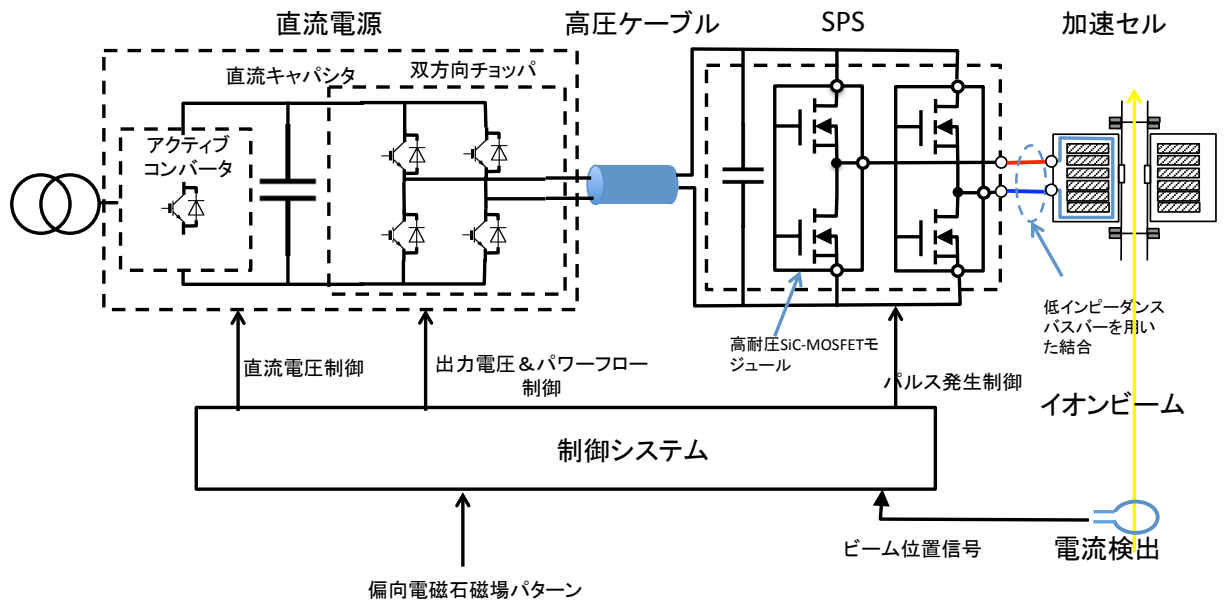


図 8-1 次世代型加速セルドライバー構成図

謝辞

本論文をまとめるにあたり、大勢の人々のご指導とご協力を頂いたことに深く感謝申し上げます。

本研究を行うにあたり研究の方向性に明確な進路を示すとともに終止熱心にご指導いただいた高エネルギー加速器研究機構の高山健教授に謹んで感謝の意を表します。

東京工業大学総合理工学研究科、堀田栄喜教授には電気学会パルス電磁エネルギー技術委員会の活動を通じてご指導を頂くとともに本論文の完成にご助言、ご指摘をいただき深く感謝します。また、本論文をまとめるにあたり、有益なご教示をいただきました総合理工学研究科、堀岡一彦教授、理工学研究科、安岡康一教授、原子炉工学研究所、林崎規託准教授にお礼申し上げます。

研究の遂行にあたっては**KEK** デジタル加速器グループのメンバーである安達利一教授、和気正芳シニアフェロー、岩下大器研究員（現日本アドバンステクノロジー）、高木昭講師のご助言、有意義な議論なしには進めることはなしえませんでした。同じく川久保忠通名誉教授、支援技術者新井輝夫氏、高野進シニアフェロー、派遣技術者岡崎浩二氏にも大変お世話になりました。本当にありがとうございました。

東京工業大学の堀岡一彦教授、岩手大学の高木浩一教授、長岡技術科学大学の江偉華教授にはパルスパワーの発生と応用についてご指導を頂きました。深く感謝いたします。

研究室の学生諸氏にも大変お世話になりました。博士課程の学生である由元崇さん、Liu Xingguang さんからは研究についての多くのヒントを得る事が出来ました。また装置の製作、実験、データ整理にと苦労を共にした、田仲泰君、伊勢慶一君、水島俊也君、佐々木遼介君、冨手拓海君（以上岩手大学）田村文裕君（長岡技術科学大学）、渡部知弘君（千葉工業大学）等の学生の方々にも深く謝意を評したいと思います。

また、本研究の中核を成すのは **SiC-JFET** を用いたパルス電源ですが、デバイスの提供については **SiCED**（独）の **Peter Friedrichs** 氏（現勤務先 **Infinion**）に、パッケージの開発については（株）サンエー（現新電元工業（株）広島分室）の大沢裕氏、（有）ディアックスの山田義則氏のお世話になりました。感謝いたします。

研究の機会を与えてくださった高エネルギー加速器研究機構小林仁（現名誉教授）

に慎んで感謝の意を表します。また、本務である大強度陽子加速器施設（J-PARC）の他に本研究に時間を取る事を許容していただいた小関忠、内藤富士雄両主幹にも深く感謝いたします。

前職の東芝在職中に電力システム技術開発センターにおいてパルスパワー研究への道を拓き、多くのご助言をいただいた当時の上長である柳父悟氏、大島巖氏、玉川徹氏、池田久利氏、金子英治氏にも深く感謝します。また当時の同僚であり苦労を共にした横倉邦夫氏、遠藤文彦氏、渥美薫氏にも謝意を表したいと思います。同じくパワーエレクトロニクス部においてパワエレ技術に関してご指導いただいた池田博氏、堺高見氏、菊池秀彦氏、吉野輝雄氏、川口章氏、山崎長治氏、パワー半導体について熱く情熱を語ってくださった東芝研究開発センターの大橋弘通氏にも感謝いたします。

最後に転職の我儘を受け入れ、いつも暖かく見守ってくれた妻郁子と、二人の子、萌子、祥子への感謝を表したいと思います。

岡村 勝也 研究業績

学術論文

第1章

1. T. Iwashita, **K. Okamura**, et al., “KEK digital accelerator”, Phys. Rev. ST-AB, vol. 14, 071301 (2011).
2. K. Takayama, **K. Okamura**, et al., “Induction acceleration of heavy ions in the KEK digital accelerator: Demonstration of a fast-cycling induction synchrotron”, Phys. Rev. ST Accel. Beams 17, 010101 (2014)

第3章

3. 遠藤文彦, 渥美薫, **岡村勝也**, 渡辺幸夫, 金子英治, 大島巖: 「パルスパワー用半導体素子MAGTのパルス通電特性」, 電学論D, Vol.113, No.4, pp.445-452 (1993)
4. 遠藤文彦, **岡村勝也**, 高木茂行, 金子英治: 「高繰返しエキシマレーザー用全固体電源の開発」, レーザー研究, Vol.24, No.10, pp.1114-1122 (1996)
5. T. Goto, K. Kakizaki, S. Takagi, S. Sato, T. Shinohe, H. Ohashi, F. Endo, **K. Okamura**, A. Ishii, T. Teranishi, and K. Yasuoka: “Design concept and performance considerations for fast high power semiconductor switching for high repetition rate and high power excimer laser”, Rev. Sci. Instrum. Vol.68, No7, pp.2658-2665 (1997)
6. T. Goto, S. Takagi, K. Kakizaki, S. Sato, S. Kosugi, T. Ohishi, Y. Kanazawa, A. Ishii, T. Teranishi, K. Yasuoka, T. Shinohe, H. Ohashi, F. Endo, and **K. Okamura**: “Development of key components and technologies for high repetition rate and high-power excimer laser”, Rev. Sci. Instrum. Vol.69, No.1, pp.1-9 (1998)
7. K. Ise, H. Tanaka, K. Takaki, M. Wake, **K. Okamura**, K. Takayama, W. Jiang: “Development of a Megahertz High-Voltage Switching Pulse Modulator Using a SiC-JFET for an Induction Synchrotron”, IEEE Trans. on Plasma Science, Vol. 39, pp. 730-736 (2011)

第4章

8. **K. Okamura**, K. Ise, M. Wake, Y. Osawa, K. Takaki, and K. Takayama, “Characterization of SiC-JFET in Novel Packaging for 1 MHz Operation”, Materials Science Forum Vols. 717-720 pp. 1029-1032 (2012).
9. **K. Okamura**, K. Ise, M. Wake, K. Takaki, Y. Osawa, and K. Takayama, “Novel Package of SiC-JFET for a Switching Pulse Supply Operating at 1 MHz for an Induction Synchrotron”, IEEE Trans. Plasma Sci., Vol. 40, pp. 2205-2210 (2012).

第5章

10. **K. Okamura**, T. Mizushima, K. Takaki, and K. Takayama, “A Compact Switching Power Supply Utilizing SiC-JFET for an Induction Synchrotron”, Materials Science Forum Vols. 740-742 pp. 1077-1080 (2013).

第6章

11. T. Yoshimoto, **K. Okamura**, et al., “Heavy Ion Beam Acceleration in the KEK Digital Accelerator: Induction Acceleration from 200 keV to a Few Tens of MeV”, Nuclear Instruments and Methods in Physics Research A733 (2014) 141-146
12. **K. Okamura**, Y. Osawa, M. Wake, T. Yoshimoto, R. Sasaki, K. Takaki, and K. Takayama, “Beam Acceleration Experiment with SiC Based Power Supply and the Next Generation SiC-JFET Package”, Material Science Forum 778-780, pp. 883-886 (2014).
13. **K. Okamura**, K. Ise, T. Mizushima, R. Sasaki, K. Takaki, F. Tamura, T. Yoshimoto, Y. Osawa, and K.

Takayama, "Development of a Compact Switching Power Supply for an Induction Synchrotron Utilizing a SiC-JFET", IEEJ Transactions on Fundamentals and Materials Vol. 134 No. 6 pp. 402-409 (2014).

第 7 章

14. K. Takayama, **K. Okamura**, et al., "Heavy Ion Beam Factory for Material Science based on the KEK Digital Accelerator", Nuclear Instrument and Methods in Physics Research, B314 (2013) 11-17.
15. K. Takayama, T. Adachi, M. Wake, and **K. Okamura**: "Racetrack-shape fixed field induction accelerator for giant cluster ions", Phys. Rev. ST-AB vol. 18, 050101 (2015)

国際学会

第 3 章

1. **K. Okamura**, Y. Watanabe, I. Ohshima and S. Yanabu, "High-Speed High-Power Switching of Semiconductor Devices", Proc. of 7th IEEE Intl. Pulsed Power Conf., pp. 836-839, Monterey, U.S.A., June 11-14 (1989).
2. **K. Okamura**, Y. Watanabe, K. Yokokura, and I. Ohshima, "High Repetition Rated Semiconductor Switch for Excimer Laser", Conference Record of 1990 19th Power Modulator Symposium, pp. 407-410, San Diego, U.S.A, June 26-28 (1990).
3. **K. Okamura**, Y. Watanabe, Y. Takagi, Y. Yokokura, and I. Ohshima, "High Power Command Charging Circuit for High Repetition Rated Laser", Conference Record of 1990 19th Power Modulator Symposium, pp. 153-154, San Diego, U.S.A, June 26-28 (1990).
4. **K. Okamura**, H. Shimamura, N. Kobayashi and K. Watanabe, "Development of a Semiconductor Switch for High Power Copper Vapor Lasers", Conference Record of 11th IEEE International Pulsed Power Conference, pp. 975-980, Baltimore, U.S.A (1997).
5. **K. Okamura**, N. Nakajima, M. Souda, F. Endo, H. Matsuda and E. Kaneko, "Sub-Microsecond Pulse Switching Characteristics of a 4500-V IEGT", Conference Record of 1998 23rd International Power Modulator Symposium, pp. 123-126, Rancho Mirage, U.S.A, June 22-25 (1998).
6. **K. Okamura**, F. Endo, K. Atsumi, and K. Yokokura, "Pulse Switching Characteristics of Multi-Chip Flat Packaged 4500-V IEGT", Proc. of 12th IEEE Intl. Pulsed Power Conf., pp.1492-1495 (1999).
7. **K.Okamura**, M. Wake, T. Iwashita, K. Takayama, H. Tanaka, K. Ise, K. Takaki, and W. Jiang, "Novel Switching Power Supply for A Digital Accelerator", Proceedings of the 2010 IEEE International Power Modulator and High Voltage Conference (2010 IPMHVC), pp. 290-293, Atlanta, U.S.A, May 23-27 (2010).

第 4 章

8. **K.Okamura**, K. Ise, M. Wake, Y. Osawa, K. Takaki, and K. Takayama, "Characterization of SiC JFET in novel packaging for 1 MHz Operation", The International Conference on Silicon Carbide and Related Materials (ICSCRM 2011), Cleveland, U.S.A. Sep. 11-16 (2011).
9. **K.Okamura**, M. Wake, T. Iwashita, K. Takayama, K. Ise, Y. Osawa, and K. Takaki, "Novel Switching Power Supply Utilizing SiC-JFET and Its Potential for the Digital Accelerator", International Particle Accelerator Conference 2011 (IPAC2011), THPO027, pp. 3400-3402, San Sebastián, Spain, Sep. 4-9 (2011).
10. **K. Okamura**, "Development of a Noble Switching Power Device for the Next Generation o Induction Synchrotron", The 3rd International Workshop on Recent Progress in Induction Accelerators (RPIA 2011), Dujiangyan, China, Oct. 17-21 (2011).

第 5 章

11. **K. Okamura**, T. Mizushima, K. Takaki, and K. Takayama, “A Compact Switching Power Supply Utilizing SiC-JFET for an Induction Synchrotron”, 9th European Conference on Silicon Carbide and Related Materials (ECSCRM2012), Sep. 2-6, (2012).
12. **K. Okamura**, M. Wake, T. Iwashita, K. Takayama, T. Mizushima, and K. Takaki, “A Compact Switching Power Supply Utilizing SiC-JFET for The Digital Accelerator”, International Particle Accelerator Conference 2012 (IPAC2012), THPPD071, pp. 3677-3679, New Orleans, U.S.A., May 20-25 (2012).
13. **K. Okamura**, “Pulsed Power Technology in Industry and Accelerators”, 4th Asian Forum for Accelerators and Detectors (AFAD '13), Novosibirsk, Russia, Feb. 25-26 (2013).

第 6 章

14. **K. Okamura**, Y. Osawa, M. Wake, T. Yoshimoto, , R. Sasaki, K. Takaki, and K. Takayama, “Beam Acceleration Experiment with SiC Based Power Supply and The Next Generation SiC JFET Package”, The International Conference on Silicon Carbide and Related Materials (ICSCRM2013), Mo-P-49, Miyazaki, Japan. Sep. 29-Oct. 4 (2013).
15. **K. Okamura**, M. Wake, K. Takayama, R. Sasaki, K.Takaki, T. Yoshimoto, and F. Tamura, “SiC-JFET Switching Power Supply toward for Induction Ring Accelerators”, Proceedings of International Particle Accelerator Conference 2014 (IPAC2014), MOPME068, pp. 523-525, June 15-20, Dresden, Germany (2014).
16. **K. Okamura**, M. Wake, Y. Yamada, and K. Takayama, “ Development of High Power and Low Inductance SiC-JFET Power Module for High Repetition Rate Pulsed Power”, 5th Euro-Asian Pulsed Power Conference, OB1-1, Kumamoto, Japan, Sep. 8-12 (2014) (invited).

第 7 章

17. K. Takayama, **K. Okamura**, et al., “KEK Digital Accelerator and Its Beam Commissioning”, IPAC 2011, WEOBA02 (2011).

国内学会

第 3 章

1. **岡村勝也**, 星公弘, 渡辺幸夫, 玉川徹, “高繰り返しレーザー用半導体スイッチの開発”, 平成 3 年電気学会全国大会, No-448 (1991).
2. **岡村勝也**, 平川和樹, 金子英治, 大島巖, “レーザー用パルス電源におけるエネルギー回生に関する一考察”, 平成 4 年電気学会全国大会, No-568 (1992).
3. **岡村勝也**, 渥美薫, 山崎長治, 金子英治, “従属点弧方式パルスレーザー電源の開発”, 平成 6 年電気学会全国大会, No-493 (1994).
4. **岡村勝也**, 小林徳康, 嶋村英明, 金子英治, “大出力銅蒸気レーザー用半導体スイッチの開発”, 平成 6 年電気学会電力・エネルギー部門大会, No-581 (1994).
5. 渥美薫, 遠藤文彦, **岡村勝也**, 金子英治, 大島巖 : 「汎用サイリスタのパルス通電特性評価」, H7 電気学会全国大会, No.673 (1995)

6. 渥美薫, 岡村勝也, 遠藤文彦, 金子英治 : 「高速サイリスタのパルス通電特性」, 電気学会プラズマ研究会, EP-96-30 (1996)
7. 岡村勝也, 嶋村英明, 金子英治, “2500V-1000A 圧接型 IGBT のパルス通電特性”, 平成 8 年電気学会全国大会, No-117 (1996).
8. 渥美薫, 遠藤文彦, 岡村勝也 : 「サイリスタの超高 di/dt スイッチング能力」, H9 電気学会全国大会, No.73 (1997)
9. 岡村勝也, 左右田学, 遠藤文彦, 松田秀雄, 金子英治, “4.5kV 級 IEGT の短パルス通電特性”, 平成 10 年電気学会全国大会, No-32 (1998).
10. **K. Okamura**, M. Mizumoto, J Kusano, E. Chishiro, Y. Ohnishi, and C. Yamazaki, "A 100kV FET Switch for a Klystron Anode Modulator", Proc. of the 12th Symposium on Accelerator Science and Technology, pp272-274, Oct. 27-29, Wako, Japan (1999).
11. 岡村勝也, 遠藤文彦, 安井祐之, “パルスパワーによるダイオキシン処理”, 平成 12 年電気学会全国大会シンポジウム, 1-S5-5 (2000).
12. **K. Okamura**, C. Yamazaki, Y. Ohnishi, T. Hori, and H. Hanaki, “ Development of IEGT Switch for a Klystron Modulator”, Proceedings of the 25th Linear Accelerator Meeting in Japan, 12P-39, pp. 243-245, July 12-14, Himeji, Japan (2000).
13. 岡村勝也, 千代悦司, 吉川博, 山崎長治, 中川敏, “M アノードモジュレータ用 IEGT スイッチ”, Proceedings of 26th Linear Accelerator Meeting in Japan, 1p-38, pp. 234-236, Aug. 1-3, Tsukuba, Japan (2001).
14. 岡村勝也, 伊勢慶一, 水島俊也, 大沢裕, 高木浩一, 和気正芳, 高山健, “SiC-JFET を用いた誘導加速シンクロトロン用パルス電源の開発”, 電気学会 基礎・材料・共通(A)部門大会, XII-5, 秋田大学, 9月20日～21日 (2012).
15. 岡村勝也, 水島俊也, 高木浩一, 岩下大器, 和気正芳, 高山健, “Development of A Compact Switching Power Supply for The KEK Digital Accelerator Utilizing A SiC-JFET”, 第9回加速器学会年会, 大阪大学, p1248 -1251(2012).
16. 岡村勝也, 高山健, ”高耐圧・高放熱 SiC-JFET パワーモジュールの開発と加速器への応用”, 電気学会 基礎・材料・共通(A)部門大会, 22-A-a2-4, 信州大学, 8月21日～22日 (2014).

第7章

17. 高山健, 安達利一, 和気正芳, 岡村勝也, “クラスターイオン用誘導加速マイクロトロン”, 第 10 回加速器学会年会, SUOT04 (2013)

国内研究会講演

第3章

1. 岡村勝也, 金子英治, 寺西常春, 大島巖, “パルスパワー技術と産業応用”, 電気学会プラズマ研究会, EP-91-57 (1991).
2. 岡村勝也, 中島直哉, 左右田学, 遠藤文彦, 横倉邦夫, “パルスパワー用クロージングスイッチとしての IEGT の特性検討”, 電気学会プラズマ研究会, EP-98-125 (1998).
3. 岡村勝也, 山崎長治, 大西嘉道, 堀利彦, 花木博文, “クライストロンモジュレータ用 IEGT スイッチの開発”, 電気学会パルスパワー研究会, PPT-00-54 (2000).

4. 田仲泰, 伊勢慶一, 高橋和貴, 向川政治, 高木浩一, 藤原民也, 和気正芳, **岡村勝也**, 高山健, “半導体スイッチを用いた誘導加速シンクロトロン用高繰り返しパルスパワー発生装置の開発”, パルスパワー研究会, PPT-10-015 (2010)
5. 水島俊也, 高木浩一, 藤原民也, 田仲泰, 伊勢慶一, **岡村勝也**, 高山健, “SIThyを用いた誘導加速シンクロトロン用スイッチング電源の開発”, パルスパワー研究会, PPT-11-008 (2011)
6. 佐々木遼介, 高木浩一, 水島俊也, **岡村勝也**, 高山健, 中西克文, 杉山明, 渡部昌也, “高速スイッチング電源開発における SI サイリスタの特性評価”, パルスパワー研究会, PPT-12-055 (2012)

第4章

7. 伊勢慶一, 田仲泰, 高橋和貴, 高木浩一, 和気正芳, **岡村勝也**, 高山健, “SiC-JFET 駆動用ゲート回路の開発”, パルスパワー・放電合同研究会, PPT-10-028 (2010)
8. 伊勢慶一, 高木浩一, **岡村勝也**, 和気正芳, 高山健, 大沢裕, 江偉華, “SiC-JFET を用いた誘導加速シンクロトロン用高速・高電圧スイッチング電源の開発”, プラズマ・パルスパワー合同研究会, PPT-10-124 (2010)

第5章

9. 佐々木遼介, 高木浩一, 田村文裕, **岡村勝也**, 和気正芳, 高山健, “SiC-JFET スwitchング電源による誘導加速セル試験”, パルスパワー研究会, PPT-12-147 (2012)