

論文 / 著書情報
Article / Book Information

題目(和文)	革新的なFPGAアクセラレータのための効率的な開発基盤
Title(English)	Efficient Development Infrastructure for Innovative FPGA Accelerators
著者(和文)	小林 諒平
Author(English)	Ryohei Kobayashi
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10238号, 授与年月日:2016年3月26日, 学位の種別:課程博士, 審査員:吉瀬 謙二,横田 治夫,宮崎 純,金子 晴彦,渡部 卓雄
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10238号, Conferred date:2016/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	小林 諒平		
論文審査 審査員		氏名	職名		氏名	職名
	主査	吉瀬 謙二	准教授		渡部 卓雄	准教授
	審査員	横田 治夫	教授	審査員		
		宮崎 純	教授			
		金子 晴彦	准教授			

論文審査の要旨 (2000 字程度)

本論文は「Efficient Development Infrastructure for Innovative FPGA Accelerators」と題し、高性能な FPGA アクセラレータの効率的な開発を実現する基盤について論じるものであり、英文 6 章から構成されている。

第 1 章「Introduction」では、汎用的なコンピューティングデバイスである CPU や GPU に関する技術動向と問題点、この問題に対して高性能な FPGA アクセラレータの開発が有効であることを述べている。一方で、高性能 FPGA アクセラレータの効率的な開発が困難である点を指摘し、その問題の原因と効率的な開発を支援する基盤を実現するための課題を整理し、提案手法の概要と貢献および論文の構成に関して述べている。

第 2 章「FPGA-based Accelerators」では、研究の背景として、FPGA に関する前提知識について説明し、FPGA アクセラレータを効率的に開発する既存手法やアクセラレーションすべき重要な計算カーネル群を俯瞰している。そして、本論文で対象とすべき計算カーネルとしてステンシル計算とソーティングが適切であることを、それぞれの計算カーネルの特性と実アプリケーションに対する応用の面から論じている。

第 3 章「A Scalable Stencil-computation Accelerator by Employing Multiple Small FPGAs」では、多数の小容量 FPGA から構成される 2 次元ステンシル計算を高効率に実行するアクセラレータを提案し、その具体的な設計および実装について述べている。この計算カーネルはメモリバンド幅が律速となるため、データセットを DRAM ではなく FPGA の内部メモリに格納する。そのため、アクセラレータを構成する FPGA の数にしたがって、計算可能な問題サイズを変更することができる。各 FPGA の位置を考慮して計算順序を最適化するスケジューリング手法、高度にパイプライン化された演算器、全ての FPGA を正常に同期させる機構を実装することにより、提案する高性能アクセラレータが実現可能であることを示している。また評価結果は、その電力効率が GPU と比較して優れていることを明らかにしている。

第 4 章「A High Performance FPGA-based Sorting Accelerator with a Data Compression Mechanism」では、FPGA を用いた高性能ソーティングアクセラレータを提案している。このアクセラレータは設計パラメータを調節することでハードウェア資源の使用量と性能とをカスタマイズ可能である。また、提案する性能モデルにより設計前にアクセラレータの性能を見積もることができる。さらに、メモリバンド幅によって実効性能が制約される問題を解決するため、ソーティングアクセラレータに適したデータ圧縮手法を提案している。評価結果はそのアクセラレータの高い性能を明らかにするとともに、その性能が導出した理論性能と同等であることを示している。また、アクセラレータの性能がメモリバンド幅に制約される場合においては、提案するデータ圧縮手法が有効であることも明らかにしている。

第 5 章「Essential Components for Efficient Development Infrastructure」では、効率的な FPGA アクセラレータの開発に必要な基盤について論じている。実装するアクセラレータの規模が大きい場合、従来のシミュレータではアクセラレータの挙動を現実的な時間で検証することが困難である。これに対処するため、高速な検証を可能にする環境である SimVerilog を提案している。SimVerilog では OpenMP による並列化によってシミュレーションの高速化を図ることができる。マルチコア環境で提案手法と商用シミュレータとの速度を比較した結果から、提案手法の優れたシミュレーション速度を明らかにしている。また、アクセラレータの開発から得られた知見および基盤の有用性を、異なるハードウェアプラットフォームや計算カーネルを対象に議論している。

第 6 章「Conclusion」では、本論文をまとめるとともに、今後の展望について述べている。

以上を要するに、本論文は、2 つの基本的な計算カーネルを対象とした高性能な FPGA アクセラレータと、それらの開発の中で得られた知見から高性能な FPGA アクセラレータの効率的な開発を実現するための基盤とを提案し、それらの適用性、有用性、発展性を明らかにしている。その成果は工学上貢献するところが大きい。よって本論文は博士 (工学) の学位論文として十分価値があるものと認める。