

論文 / 著書情報
Article / Book Information

題目(和文)	機能素子内蔵基板の配線設計技術に関する研究
Title(English)	
著者(和文)	大島大輔
Author(English)	Daisuke Ohshima
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10341号, 授与年月日:2016年9月20日, 学位の種類:課程博士, 審査員:益一哉,松澤昭,筒井一生,若林整,石原昇,伊藤浩之
Citation(English)	Degree:, Conferring organization: Tokyo Institute of Technology, Report number:甲第10341号, Conferred date:2016/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

博士論文

機能素子内蔵基板の配線設計技術に
関する研究

大島 大輔

指導教員 益 一哉 教授

2016年9月

東京工業大学大学院 総合理工学研究科
物理電子システム創造専攻

目次

第 1 章	序論	1
1.1	はじめに	1
1.2	半導体技術と実装技術	3
1.3	実装技術とモジュラー設計	8
1.4	2008 年時点の半導体パッケージ技術	10
1.4.1	SiP の薄型化を実現する技術課題	11
1.4.2	機能素子内蔵基板による SiP の薄型化	14
1.4.3	機能素子内蔵基板の課題	17
1.5	本研究の目的と章構成	18
第 2 章	受動素子内蔵基板による最適インダクタンス設計技術	21
2.1	はじめに	21
2.2	従来構造とその課題	21
2.3	配線の寄生インダクタンス低減手法	22
2.4	薄型化を実現する新構造	25
2.4.1	キャパシタの内蔵	25
2.4.2	抵抗の内蔵	29
2.4.3	インダクタの内蔵	29
2.4.4	モジュールへの適用例	31
2.5	考察	38
2.6	まとめ	38
第 3 章	2D-SiP 用機能素子内蔵基板薄型化のための最適インダクタンス設計技術	41
3.1	はじめに	41
3.2	従来構造とその課題	41
3.3	薄型化を実現する新構造	42
3.3.1	新構造の概要	42

ii 目次

3.3.2	新構造実現のための課題	44
3.3.3	最適インダクタンス設計技術による配線層数削減	45
3.3.4	題材とした機器	57
3.3.5	配線層数削減の検討手順	62
3.3.6	各層の配線パターン	63
3.4	電気特性の評価	63
3.4.1	信号品質	63
3.4.2	電源品質	77
3.5	動作実証	86
3.5.1	LSI テスト	86
3.5.2	PC 相当機器に組み込んだ動作実証	87
3.5.3	EMI 特性	89
3.6	考察	95
3.7	まとめ	96
第 4 章	3D-SiP 用機能素子内蔵基板薄型化のための最適インダクタンス設計技術	98
4.1	はじめに	98
4.2	従来構造とその課題	98
4.3	薄型化を実現する新構造	99
4.3.1	新構造の概要	99
4.3.2	新構造実現のための課題	100
4.3.3	剛性の確保	100
4.3.4	チップ・パッケージ協調設計	103
4.3.5	各層の配線パターン	107
4.4	電気特性の評価	112
4.4.1	信号品質	112
4.4.2	電源品質	118
4.5	動作実証	122
4.6	考察	126
4.7	まとめ	127
第 5 章	結論	129
5.1	はじめに	129
5.2	現在の半導体パッケージ技術	129
5.2.1	SiP を実現する実装技術の現在	129

5.2.2	機能素子内蔵基板の現在	130
5.3	本研究の結論	132
5.4	今後の展望	137
5.4.1	IoT 時代に求められる実装技術	137
5.4.2	コモディティ化とモジュラー設計	140
	参考文献	143
	研究業績一覧	156

第 1 章

序論

1.1 はじめに

資源の乏しい我が国にとって，第二次産業，第三次産業の振興が持続的な発展には不可欠である．明治維新以降，欧米列強に追いつくべく富国強兵の政策が推進され，官民一体となつて，特に第二次産業の振興に励んできた．勤勉で手先が器用という国民性もあり，世界で類を見ない速さで我が国の国力は増大していった．第二次世界大戦の敗戦で著しく国力は低下したが，戦後の復興と高度成長により世界の経済大国となった．戦後の高度成長期を支えた第二次産業は，石炭産業，繊維産業，鉄鋼産業，造船産業が 1950 年代から 1960 年代前半であった．エネルギー革命により石炭から石油の時代になり，重厚長大産業の成長も一段落したのが 1960 年代後半である．そして，電機産業が新たな牽引役として登場した．現在も自動車産業と並び，我が国の経済基盤を支える主力産業である．電機産業で特に国際競争力を有していた製品は半導体であった．半導体は電気機器だけでなく，自動車，機械，化学など様々な産業でも用いられるため，これら他の産業の競争力を高める相乗効果があった．

1940 年代のトランジスタの発明と，1950 年代の集積回路の発明により，電機（エレクトロニクス）産業は成長期を迎えた．以降，Information and Communication Technology (ICT) 機器の高機能化に対する旺盛な要求により，半導体は高集積化の一途をたどってきた [1-3]．20 世紀末には半導体は産業のコメと呼ばれ，特に DRAM を主力製品として，1990 年前後には我が国の電機メーカーが売上高で世界の上位を占めていた．図 1.1 に 1990 年の世界半導体売上高上位 10 社の比率を示す．10 社中我が国の NEC（日本電気），東芝，日立製作所，富士通，三菱電機，松下電機産業（現パナソニック）の 6 社がランクインしている．バブル景気とも相まって，このころが我が国の電機産業の最盛期であった．図 1.2a に地域別で見た世界の半導体市場推移を示す [4]．全世界では増加傾向にある．地域別に見ると，我が国を除くアジアは増加，欧州は微減，北米は微増，そして我が国は減少している．つまり，半導体は依然として ICT の発展に不可欠なものであるが，先進国，特に我が国では需要が伸び悩んでいるこ

2 第1章 序論

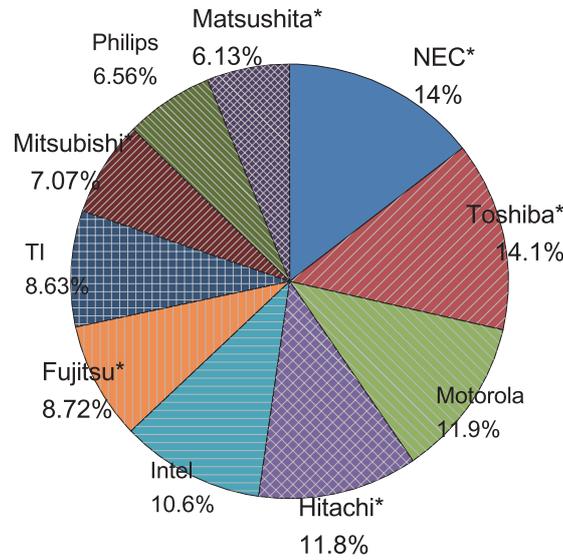
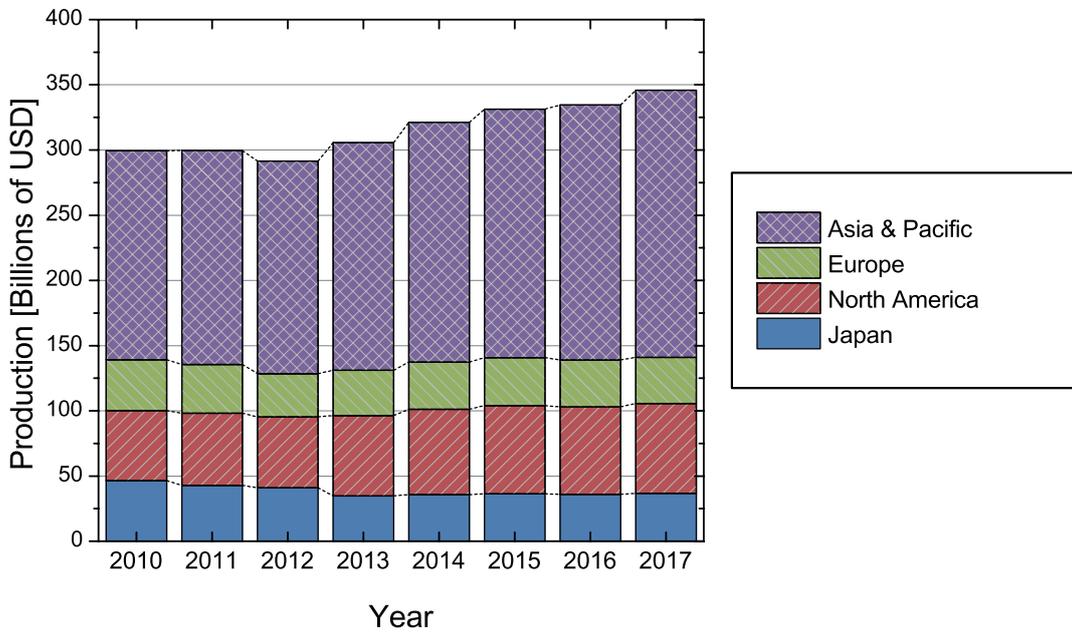


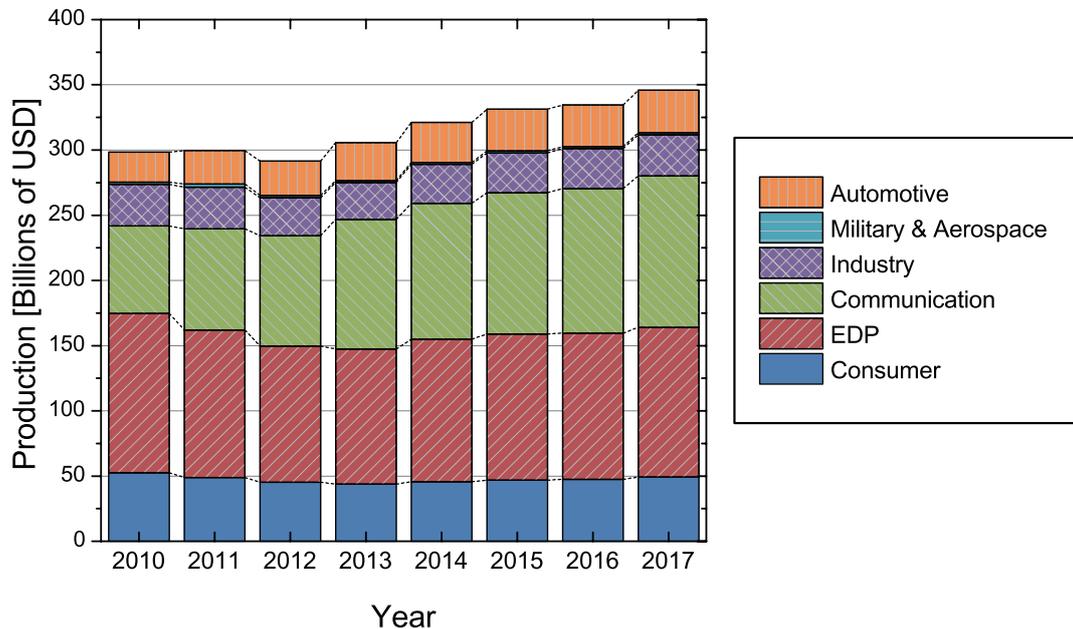
図 1.1: 1990 年の世界半導体生産額割合 [4]

とがわかる。また，図 1.2b に用途別で見た世界の半導体市場推移を示す。通信機器，車載機器が伸びていることがわかる。図 1.2 より，今後は我が国を除くアジアやアフリカで，通信機器や車載機器に用いられる半導体をターゲットとすることが有望であると考えられる。



(a) 地域別市場推移

図 1.2: 世界の半導体市場推移 [4]



(b) 用途別市場推移

図 1.2: 世界の半導体市場推移 [4]

1.2 半導体技術と実装技術

本節では、実装技術と半導体技術を比較し、実装技術の持つ課題について述べる。半導体産業の隆盛を支える周辺技術は、露光機、ドライエッチング装置を初めとする半導体製造装置の生産技術、そして半導体を機器として動作させるため実装技術がある。しかし、前者は今でも我が国のシェアが高いものの、後者である実装技術は半導体産業と同様に、苦境を迎えている。実装技術自身は特定の産業を興したり、あるいは他の産業を牽引したりする主要技術ではなく、あくまで半導体のような付加価値の高い技術を製品化したり、製品の付加価値を向上させたりするための周辺技術であると位置づけられる。我が国で製造される半導体の付加価値が低下した現在、実装技術の将来像を描けなくなりつつある。

初めに、取り扱う寸法の観点で半導体技術と実装技術を比較する。表は Intel の代表的な CPU を発表年順に整理し、テクノロジーノードとピン(端子)間隔を比較したものである。8086 のように端子数が少ない時代はプリント配線板に貫通穴をあけ、端子を貫通させた裏面ではんだ付けする挿入実装が主流であった。そして端子数が増加した近年は、プリント配線板表面で端子をはんだ付けする表面実装が主流である。また、テクノロジーノードは 1978 年の 8086 の $3\mu\text{m}$ から 2015 年の Core i7 の $0.014\mu\text{m}$ (14nm) に至るまでに約 1/200 に微細化した。その一方で、ピン間隔は 1978 年の 2.54 mm から 2015 年の 1.01 mm と、約 1/2 にしかならない。

表 1.1: Intel の CPU にみる実装技術の歴史

発表年	1978	1989	2015	1978 年比
CPU	8086	80486	Core i7	–
テクノロジノード	3 μm	0.8 μm	0.014 μm	1/200
ピン間隔	2.54 mm	2.54 mm	1.01 mm	1/2

この寸法差は、単なる技術革新の進化の違いではない。先述したように、我々が取り扱うためのサイズまで半導体デバイスを大きくする必要があるのである。半導体がいかに微細化するとしても、我々が取り扱うことのできるサイズは今後も大きく変わることはないため、この寸法差が埋まることはない。

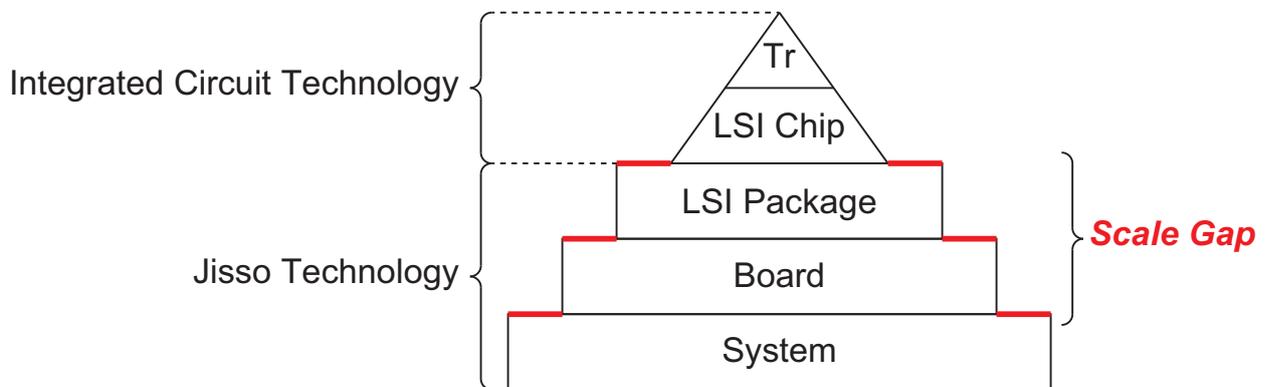


図 1.3: 電子情報機器における階層の概念図とその集積技術

図 1.3 は、一般的な電子情報機器における LSI からシステムまでの階層を模式的に表したものである [5]。そして、その集積技術を構造が微細な順に並べると、集積回路技術、実装技術となる。集積回路技術はシリコン基板上にトランジスタ等の素子を形成して集積回路とする技術であり、同種の素子を一括形成によって高集積化することができる特徴がある。実装技術は、集積回路をパッケージ、ボード（モジュール基板やメイン基板）に搭載し、電子機器として組み上げるための技術であり、異種の素子をさまざまなプロセスによって集積するという特徴がある。このように階層によって集積技術が異なる理由の一つは、取り扱う構成要素の寸法が異なるからである。最小配線幅でいえば、半導体は nm のオーダーであるが、パッケージやボードは μm のオーダーである。

この寸法差は、伝送路のインピーダンスのミスマッチングをもたらす原因となる。同じ機能がシステムレベルで 1 チップ化する System on Chip (SoC) と複数チップを同一パッケージに混載して収容できる System in Package (SiP) で提供できるとすれば、SoC の方が高性能化の余地がある。チップの外に配線が出た瞬間、上述のミスマッチングにより高周波特性が悪化するためである。また、悪化した特性を補償するため、ドライブ能力を増加させざるを得ず、結果として消費電力の増大を招く。なお、半導体とパッケージ、ボードの不連続な寸法差は、高

周波特性に影響を与えることが知られており、この挙動をシミュレーションで正確に把握するため、筆者らは実装構造を考慮した等価回路モデル作成の方法論を提案している [6, 7]。不連続な寸法差を含め、伝送線路は分布定数線路として表すことができる。集中定数である受動素子と、伝送線路の持つ回路図からは見えない素子の相互作用により、高周波特性が変化する。

さて、半導体技術には実装技術とは異なる微細化の課題がある近年は技術開発面で変曲点を迎えている。2000年代の前半にはムーアの法則の限界が顕著になってきており、2つの方向性が検討されるようになった。一つは、それでも微細化を追求する More Moore と呼ばれる方向性、もう一つは、異種機能との組み合わせで新たな価値を見いだす More than Moore と呼ばれる方向性である [8, 9]。ICTを支える電子機器の高機能化、つまり高性能化や多機能化への要求に対して、従来は SoC がその解であった。しかし、SoC は初期投資とリードタイムに課題があり、今後予想されるさらなる多様なニーズの実現に 대응することが難しくなっている。そして、SoC では提供が困難な異種機能の混載を実現できることから、今日では SiP のニーズが強くなってきている。かつての SiP の位置づけは、SoC で製品実現させるまでの端境期を埋め合わせるものであったが、今日の SiP は決して技術的に容易ではない水準となっている。多様な組み合わせ、かつ複数の異種デバイスを収納できるパッケージ構造において、最先端のデバイスが動作することが要求されているためである。そのため、SiP の技術開発の発展が近年の半導体パッケージ技術全体の発展そのもの、ひいては More than Moore の牽引役となりつつあると言っても過言ではない。

次に、開発プロセスの観点で半導体技術と実装技術を比較する。図 1.4 は、ものづくりプロ

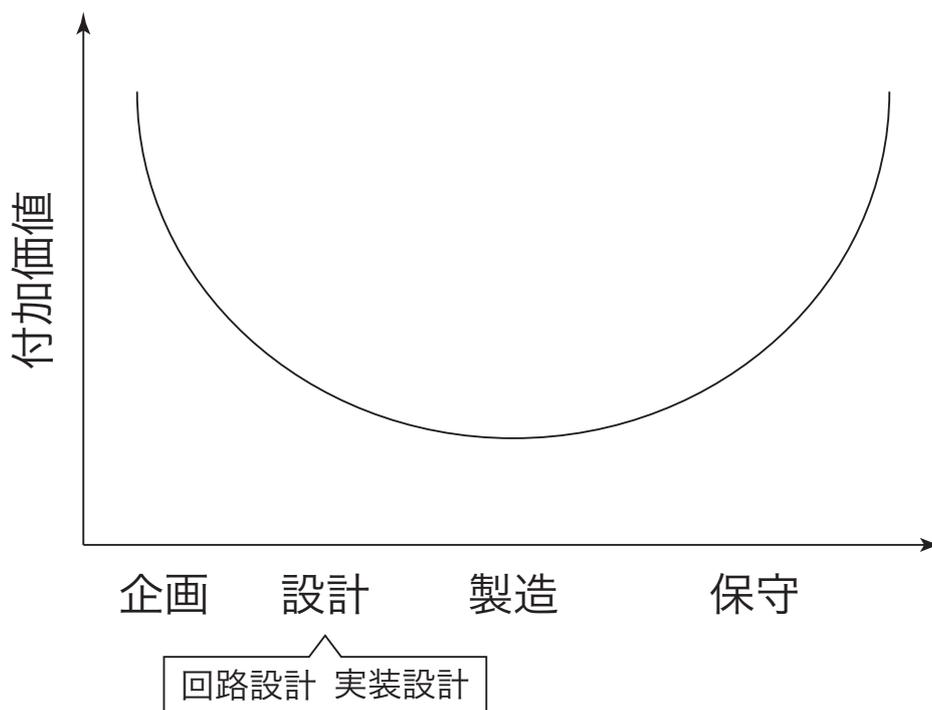


図 1.4: ものづくりプロセスにおけるスマイルカーブの概念 [10]

セスにおける付加価値を概念的に示したものである [10]。企画，設計，製造の順に付加価値は低下していき，製造で極小となる。そして，流通，サービス，保守と再び上昇する。この付加価値が描く曲線はスマイルカーブと呼ばれている。図 1.4 の設計工程のうち，電気設計に限定すれば回路設計，実装設計の順番に分解できる。SoC 設計は回路設計，SiP 設計は実装設計とみなせる。また，一般に製造工程は，集積回路を前工程，組み立てを後工程として区別している。これも設計工程と同様に，SoC 製造が前工程，SiP 製造が後工程とみなせる。これより，実装設計は半導体設計よりも付加価値が低いと解釈することができる。しかし，実装設計を初めとする実装技術の付加価値が相対的に低いとみなすのは早計である。半導体技術に対する実装技術，つまり半導体パッケージ技術の目指す一貫した方向性は，軽薄短小である。半導体の性能を最大限発揮し，軽薄短小を追求する技術が求められてきた。集積回路技術だけでは実現できない価値を提供することが，実装技術では可能である。そういった意味で，スマイルカーブが示唆するプロセスとして付加価値の低い実装ではなく，企画や設計段階で付加価値を上げることができる実装と解釈する方が合理的である。ただし，図 1.3 で述べたように，実装技術で取り扱う寸法の微細化には限界がある。また，半導体パッケージ技術による究極の小型化は Chip Size Package (CSP) であり，半導体の寸法が限界である。このように大幅な短小の実現は現実的に難しいため，次善の策として軽薄の実現が望まれる。薄型化の結果として軽量化が図られるとすれば，薄型化が具体的な方向性となる。

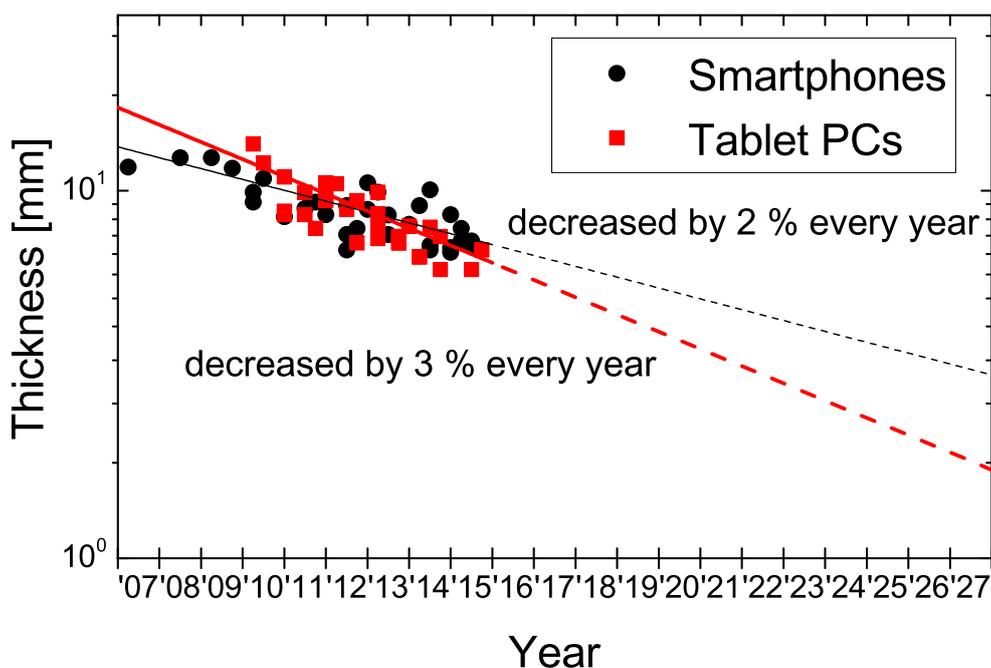


図 1.5: スマートフォン，タブレット PC の薄型化動向

ここで，軽薄短小の事例を紹介する。図 1.5 にスマートフォン，タブレット PC の薄型化動

向を示す．スマートファンは毎年約 2%，タブレット PC は毎年約 3% ずつ薄型化が進んでいる．そして，図 1.6 に iPhone の構成要素別重量を世代ごとに比較したものを示す [11]．全体の重量は大型化とともに増加傾向で，バッテリーやディスプレイの比率が高い．一方，ボードやパッケージを含む回路基板の重量は微減している．大型化と軽量化を両立するには，各構成要素の軽量化が必須である．以上に示したスマートフォンやタブレット PC は特に薄型化が望ま

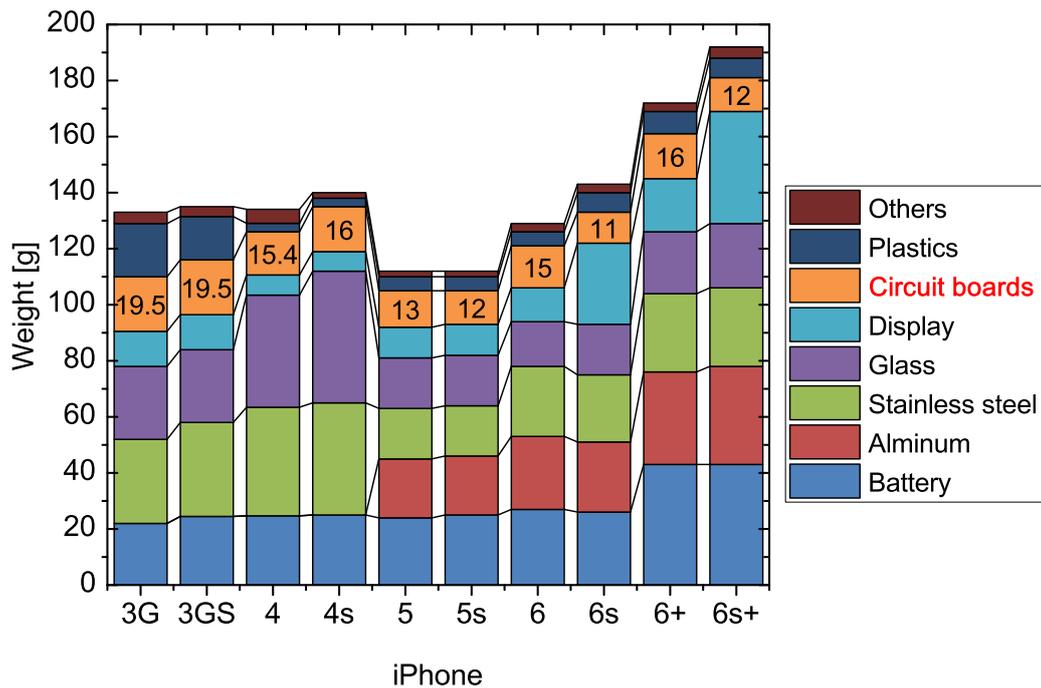


図 1.6: iPhone の構成要素別重量

れている機器であるが，実装技術の方向性である軽薄短小の好例である．

1.3 実装技術とモジュラー設計

前節で実装技術の方向性は軽薄短小であると述べた。これは、半導体技術を初めとした実装技術を必要とする上位技術が存在することが前提である。それでは、実装技術が主体的に立ち振る舞えると仮定したときの方向性はどうなるのであろうか？ その姿は、要求性能を損なうことなく所望の形状を実現することであると考える。形状に関する要求は企画段階で生じ、例えば実装技術が主体的であっても、能動的に形状を決定することはない。所望の形状を実現するためには、図 1.7 のように各構成要素の物理形状が玩具のブロックのようになっていけばよい。ブロックの組み合わせを変えることで、図 1.8 のように所望の形状に合わせることができる。そして分解能を上げるためには、ブロックは軽薄短小、特に薄型・小型である必要がある。このことより、上位技術の有無にかかわらず、実装技術の方向性は軽薄短小であるといえる。各構成要素が有する機能は露出することなくすべてブロックに包含し、ブロック表面には他のブロックと接続するための端子のみが存在する。端子を接続することで、ブロック同士を隙間なく配置することができる。ここで接続とは、単に電気信号を授受するだけでなく、熱や光、応力などの授受も含む。

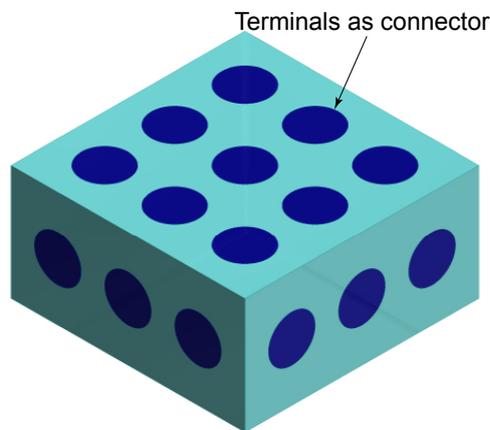


図 1.7: 単位機能ブロック

上述した概念はモジュラー設計 [12–14] との親和性が高い。モジュラー設計はシステムをモジュールに分割し、モジュールの組み合わせにより多種多様のニーズに応えることを可能にする設計手法である。近年は自動車メーカーで導入が進んできている [15]。モジュール間のインターフェースを規定することで、モジュール単位で性能保証すればシステムへの組み込みが可能になる。従来のすり合わせ型設計では設計工数が増大し、多品種への拡張（マス・カスタマイゼーション）が困難であったが、モジュラー設計ではモジュールを組み合わせることでシス

テムを実現できるため、設計工数を飛躍的に削減することができる。上述した概念は、モジュラー設計におけるモジュールにブロックという物理的形状を与えたものと考えることができる。1.2 節で述べたように、スマイルカーブからは実装技術は半導体技術よりも付加価値が低いと解釈できるが、実装技術には軽薄短小だけでなくマス・カスタマイゼーションという付加価値を向上させる潜在能力を有しているといえる。

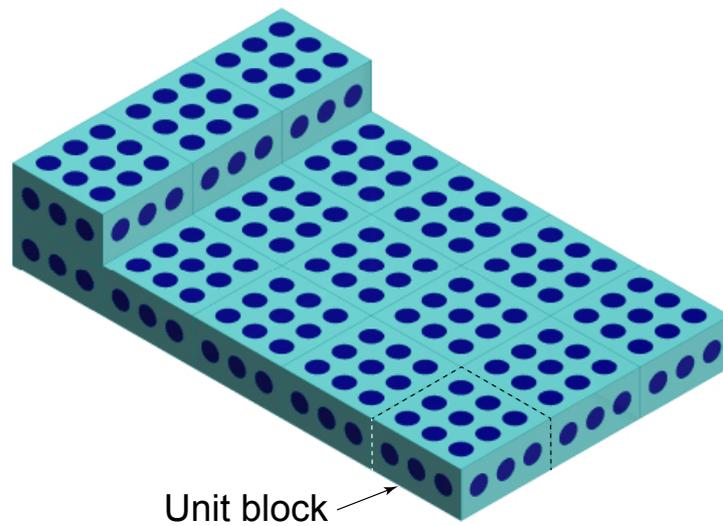


図 1.8: 機能ブロックの組み合わせにより実現する形状の一例

1.4 2008年時点の半導体パッケージ技術

図 1.9 に、本研究を行った 2008 年時点の半導体パッケージ技術の動向を示す．このころは、ITRS2005 で登場した More Moore と More than Moore の概念図に基づき、More than Moore を実現する一手段である SiP の研究が盛んに行われてきた時期である．SiP は、ロジックとメモリ、アナログとデジタル、RF、MEMS などの異種機能を単一のパッケージに混載した実装形態を指す．

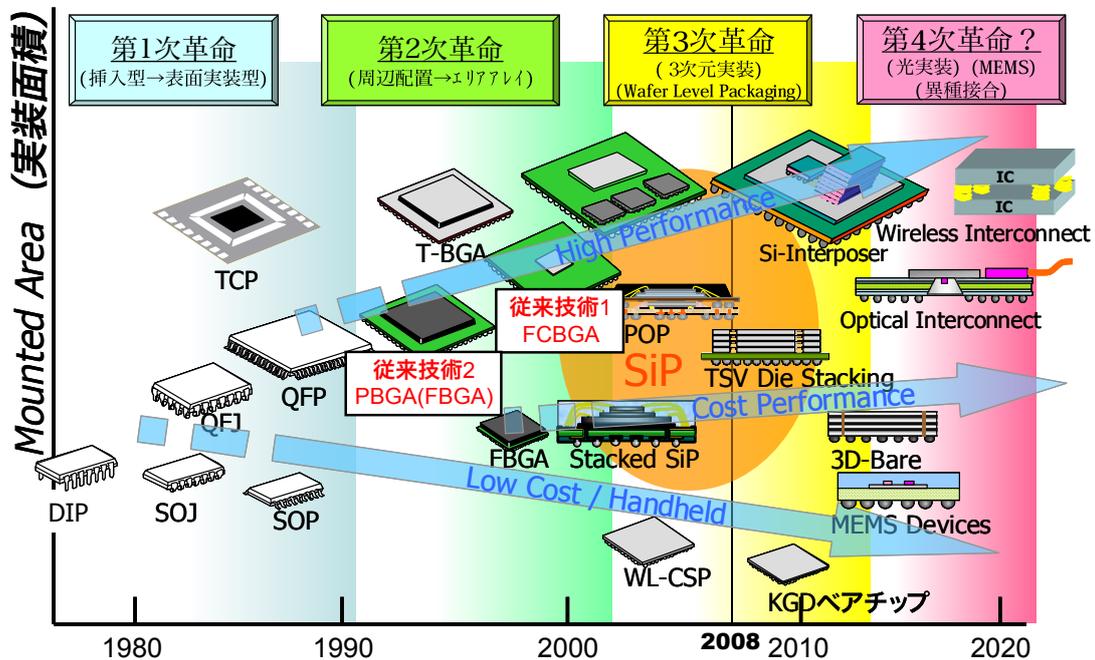


図 1.9: 2008 年時点の半導体パッケージ技術動向 [16]

その SiP を支える従来技術として、図 1.9 に示したように Flip Chip Ball Grid Array (FCBGA) と Plastic Ball Grid Array (PBGA) の 2 種類がある．両者の断面模式図と薄型化 (低背化) のための技術課題 (丸数字) を図 1.10 に示す．まず構造について説明する．前者はエアアレイ (正方格子状) 端子のチップをビルドアップ基板に微細なはんだボールである Controlled Collapse Chip Connection (C4) バンプで表面実装するパッケージであり、多ピン LSI 向けである．後者は周辺端子のチップをビルドアップ基板に金ワイヤで表面実装するパッケージであり、少-中ピン向きである．なお、パッド間隔が狭い (概ね 1 mm 以下) PBGA を特に区別して Fine-pitch Ball Grid Array (FBGA) と呼んでいるが、本研究では区別せず PBGA として扱う．

次に、従来構造と対象機器の関係を明確化する．文献 [17] では、半導体パッケージのアプリ

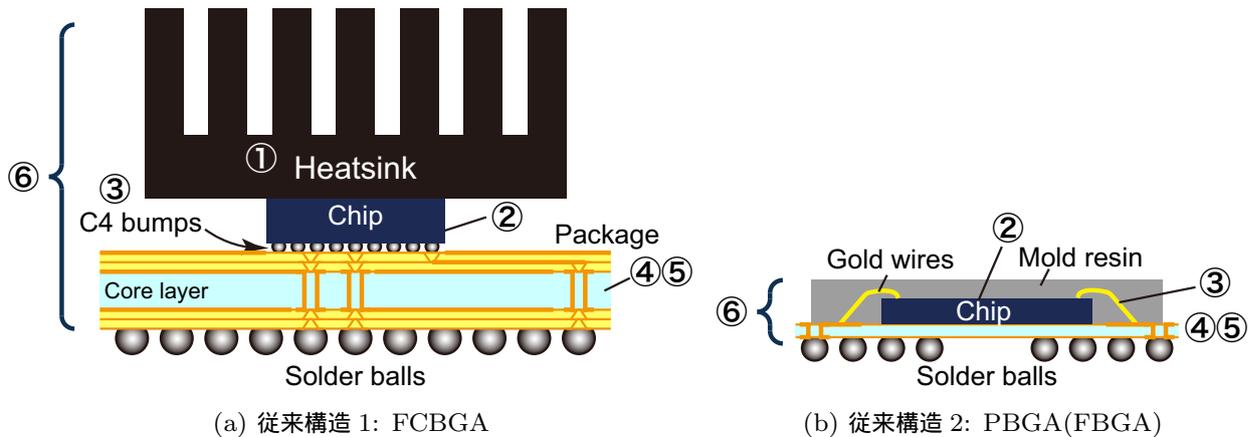


図 1.10: SiP を支える従来構造と薄型化を実現する技術課題（丸数字）

ケーションを以下のように分類して定義している。

1. 低価格民生品: 約 3 万円以下の民生用電子機器。例えば DVD レコーダ、テレビ、ラジオ、プリンタなど。
2. 携帯電子機器: 例えば Digital Still Camera (DSC) や Digital Video Camcorder (DVC), 携帯電話, スマートフォン, モバイルデジタル, ウェアラブル機器の携帯 Audio Video (AV) 機器, Wrist Type Wearable (WW) 機器, Personal Navigation Device (PND), タブレット PC など。
3. メモリ: DRAM, Flash など。
4. コストパフォーマンス: 3 万円から 30 万円台の電子機器。例えば, ノートブック PC, デスクトップ PC, 高性能ゲーム機, カーナビゲーションなど。
5. 高性能電子機器: 30 万円以上の高性能電子機器。例えば, ハイエンドワークステーション, サーバ, スーパーコンピュータ, 高度な技術を要する電子機器など。
6. 厳環境用途: 車のエンジンルーム内や宇宙環境等の特別な環境で使用される電子機器。

筆者らは上記のアプリケーションのうち、携帯電子機器とコストパフォーマンス機器を題材として検討を進めることとした。実装技術による高付加価値製品の実現により、一定の市場競争力を持つことができると売上が期待できると考えたためである。従来構造との関係は、携帯電子機器の SiP を PBGA、コストパフォーマンス機器の SiP を FCBGA とみなすことができる。

1.4.1 SiP の薄型化を実現する技術課題

実装技術の方向性が軽薄短小にあり、特に半導体パッケージ技術に限れば方向性は薄型化にあることは 1.2 節で述べた。そこで、この 2 つの従来構造を薄型化するための技術課題を表

1.2 に示す．図 1.10 中の丸数字と対応している．課題 ① から ⑤ は，パッケージの各構成要

表 1.2: SiP の薄型化を実現する技術課題と従来構造

薄型化実現の技術課題	従来構造 1 FCBGA	従来構造 2 PBGA
① ヒートシンクに代わる薄型放熱部品の開発		
② チップ薄型化技術開発		
③ C4 バンプやワイヤに代わる微細接続技術開発		
④ 薄型パッケージ基板製造技術開発		
⑤ 配線層数削減設計技術開発		
⑥ チップを表面実装する従来構造を抜本的に解決する技術開発		

素を薄型化するための課題で，課題 ⑥ はこれらを含む抜本的な薄型化の課題を示している．

課題 ① のみ FCBGA 固有の課題であるとしているが，実際はチップの消費電力に依存する．一般的な FCBGA に実装されるチップの最大消費電力は数十–100 W 程度であり，チップ上に放熱性を向上させるためのヒートシンクと呼ばれるフィンのついた金属を設ける．そして放熱設計に基づき，ヒートシンクのための自然空冷またはヒートシンクとファンによる強制空冷が選択される [18, 19]．なお，放熱性を向上させるためにヒートスプレッドと呼ばれる金属キャップでチップを覆い，ヒートスプレッド上にヒートシンクを設ける場合もある．ヒートシンクやヒートスプレッド，特に前者はパッケージ全体の厚みの大半を占めることになり，薄型化の大きな障害要因である．

課題 ② に関しては，未研削のチップの厚みは約 $725\ \mu\text{m}$ であるが，研削することにより 2008 年時点でも一般製品向けで厚み $70\ \mu\text{m}$ ，薄型製品向けで厚み $30\ \mu\text{m}$ が実現されている [16, 20, 21]．しかし，今後 low-k 材料を使ったウェハの割合が増加すると，クラックの問題が発生すると思われる [22]．

課題 ③ に関しては，チップのパッドとパッケージ内部接続部の電気的接続方法は，ワイヤボンディング技術，フリップチップ技術，TAB (Tape Automated Bonding) /COF (Chip on Film) 技術に分類される [16]．このうち，FCBGA にはフリップチップ技術，PBGA にはワイヤボンディング技術が用いられている．フリップチップ技術は，チップとパッケージを微細なんだボール (C4 バンプ) で接続する技術である．微細といっても，ボール径は $100\ \mu\text{m}$ 程度あり，研削されたチップより厚い．また，ワイヤボンディング技術は，図 1.10(b) のようにチップ厚みよりもワイヤ高さのほうが必ず大きくなる．さらにチップを樹脂で封止するため，薄型封止技術開発も必要となる．

課題 ④ に関しては，一般的に用いられるパッケージ基板であるビルドアップ基板または多層基板の薄型化が求められる．これらの基板は剛性を高めるためコア層とよばれる樹脂層があり，これが $200\text{--}800\ \mu\text{m}$ 程度の厚みを持つ．したがって，剛性を維持したままコア層を薄型化

する技術開発，そしてビルドアップ層と配線層を薄型化する技術開発が重要な課題である．

ここで，パッケージ基板として用いられるプリント配線板 (Printed Wiring Board: PWB) について補足する [23, 24]．プリント配線板は，基材の柔軟性により，リジット基板，フレキシブル基板，リジットフレキシブル基板に大別される．そして，構造により，片面基板，両面基板，多層基板に大別される．プリント配線板は半導体の高集積化に伴う多ピン化に対応するため，高密度化・多層化が進んでいる．多層化に適したものはリジット基板である．多層基板は，2枚以上の両面基板を張り合わせて1枚の板にしたものが従来の製法であった．層間接続はドリルで穴をあけ，めっき処理したスルーホールである．スルーホールは構造上微細化が難しく，半導体の高集積化による多ピン化への対応が課題であった．さらに，寸法差による高周波特性の悪化が，半導体の高速・高周波化の障害となっていた [25–28]．そこで，IBM が Surface Laminar Circuit (SLC) 基板という，半導体と同様の構造を持つプリント配線板の工法を開発した [29]．従来の多層基板をコア層として，この両面にビルドアップ層と呼ばれるコア層より薄い配線層を積層することが特徴である．ビルドアップ層には極小径のビアを設けることができるので，従来の多層基板に比べて高密度配線が可能となる．このような構造のプリント配線板は，国内ではビルドアップ基板，海外では High Density Interconnection (HDI) と呼ばれる．このように，ビルドアップ基板の登場により，従来の多層基板の課題であった半導体の多ピン化への対応が可能となった．しかし，ビルドアップ基板も，コア層は従来の多層基板を用いるため，微細化が困難で高周波特性を悪化させるスルーホールは残ったままである．また，基板の反りを抑制するため，コア層に対して両面に対称となるようビルドアップ層を設ける必要があり，しばしば必要以上の配線層数となることがあった [30]．この問題を解決するために，コア層を除去してビルドアップ層のみとした構造が開発された．パナソニックの Any Layer Interstitial Via Hole (ALIVH) [31] や大日本印刷の Buried Bump Interconnection Technology (B²it) [32] が代表的な製品である．このような構造のプリント配線板は，コアレス基板と呼ばれる．Sony では，2010年から Cell プロセッサのパッケージとしてコアレス基板が量産された実績がある [33]．なお，コアレス基板は全層ビルドアップ基板とも呼ばれる．したがって，コアレス基板はビルドアップ基板の一形態と見なすことができるが，本論文では両者をコア層の有無で区別して定義する．

課題 ⑤ に関しては，配線層が1層増えるとビルドアップ層（樹脂層）も増えるため，合計で1層当たり約 50–60 μm の厚みが増す．配線層数の増加は，部材，製造工数，そして設計工数の増加によるコストアップにつながる．チップの性能によって，配線層には電源専用層とグランド専用層があるため，設計技術によりこれらを削減することが可能になれば薄型化とコストダウンに寄与する．

最後に ⑥ に関しては，従来構造を抜本的に見直し，薄型化を実現する新構造の創出が求められる．FCBGA パッケージの構成要素をチップ側から挙げると，ヒートシンク，チップ，C4 バンプ，パッケージ基板，はんだボールとなるが，各構成要素が薄型化しても単純に積層され

る限りは抜本的な薄型化にはつながらない。

1.4.2 機能素子内蔵基板による SiP の薄型化

以上の課題を踏まえ、本研究では抜本的な薄型化の解決策として機能素子内蔵基板を採用した。機能素子内蔵基板とは、受動素子や能動素子を埋め込んだプリント配線板であり、部品内蔵基板とも呼ばれる。機能素子を埋め込むことで、パッケージ基板の上にチップが積層されなくなるため、チップの厚みと C4 バンプやボンディングワイヤの高さ分の薄型化を図ることができる。機能素子内蔵基板は 2003 年ごろ実用化され、2007 年以降は年間生産額が 200–300 億円で推移している [17]。

初めに、機能素子内蔵基板の効果について具体的に説明する。図 1.11 は一般的なチップ、パッケージ、ボードの実装構造を模式的に表したものである。左側が従来構造で、チップがパッケージ上に実装され、それが他の素子とともにボード上に並置されている。パッケージ上に実装されたチップをロジック、ボード上に実装された素子をメモリとすると、ロジック、メモリ間の配線経路は矢印で図示したようにロジック、パッケージ、ボード、メモリとなる。また、ロジックとデカップリングキャパシタも同様の経路である。このように、並置構造においては素子間の配線が長くなり、寄生インダクタンスが電気特性に悪影響を与える場合がある。例えば、デカップリングキャパシタが高周波帯域でインダクタとみなせてしまい、本来の機能を発揮しないことがある。さらに、実装面積も大きくなるため、小型化の要求に応えることができない。

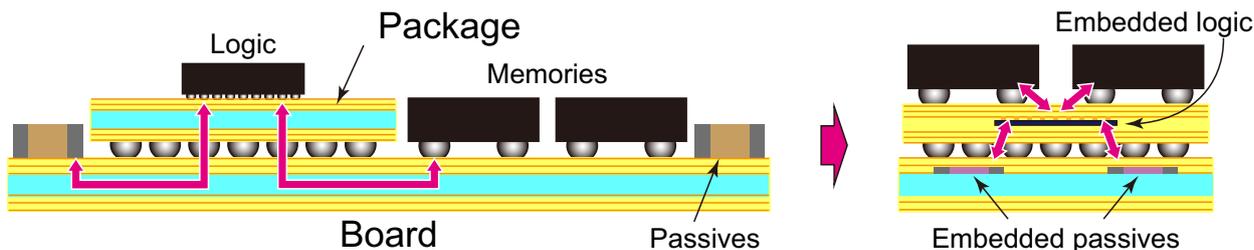


図 1.11: 機能素子内蔵基板による機器の小型化と配線の短縮化

これらの問題を解決するため、図 1.11 の右側のように、チップ、パッケージ、ボードを積層する。積層すると素子間の物理的距離が縮まるため、一般的に配線長も小さくできる。したがって、配線の寄生インダクタンスを低減できる。そして、積層により実装面積を小さくすることができる。また、これは SiP 全般の効果であるが、電子機器の中で最も高速で高密度配線となるロジック・メモリ間を同一パッケージに収めることとなるため、ボードの配線層数を削減することができ、コストダウンを図ることができる。なお当然のことだが、積層するとパッケージ全体の厚みが増加する。機能素子内蔵基板が実現する SiP の究極の薄型化とは、ボー

ド上に複数の機能素子が埋め込まれた極薄パッケージ基板のみが実装された状態である。図 1.11 の例では、右側の図においてメモリもパッケージ基板に埋め込んだ構造である。

次に、前節で挙げた課題①から⑤について、これを解決する技術を述べる。

課題①“ヒートシンクに代わる薄型放熱部品の開発”については、薄型のヒートスプレッドを採用することを解決策とした。あわせて、パッケージを薄型化することで発熱源であるチップとボードの距離が短くなることから、ボードへの放熱量が増加することを期待している。

課題②“チップの薄型化技術開発”については、チップ研削技術が解決策とした。現状の開発水準であれば本研究においては実用上問題ないため、これを活用する立場を採る。

課題③“C4 バンプやワイヤに代わる微細接続技術開発”については、シームレス接続を解決策とした。シームレス接続とは、C4 バンプの代わりに微細な銅ポスト（銅ピラー）を採用し、パッケージ基板の銅配線とめっき接続する技術である [34, 35]。異種材料を含まないため、熱膨張係数の違いによる応力が発生しないことや、はんだ接続の場合に問題となるはんだフラッシュを回避できるため、接続信頼性が高いことが特徴である。図 1.12 に、第 3 章の能動素子内蔵基板におけるシームレス接続の断面写真を示す。一般的な C4 バンプ高さは $100\ \mu\text{m}$ 程度であるのに対して、銅ポスト高さは $15\ \mu\text{m}$ と薄型化が図られている。

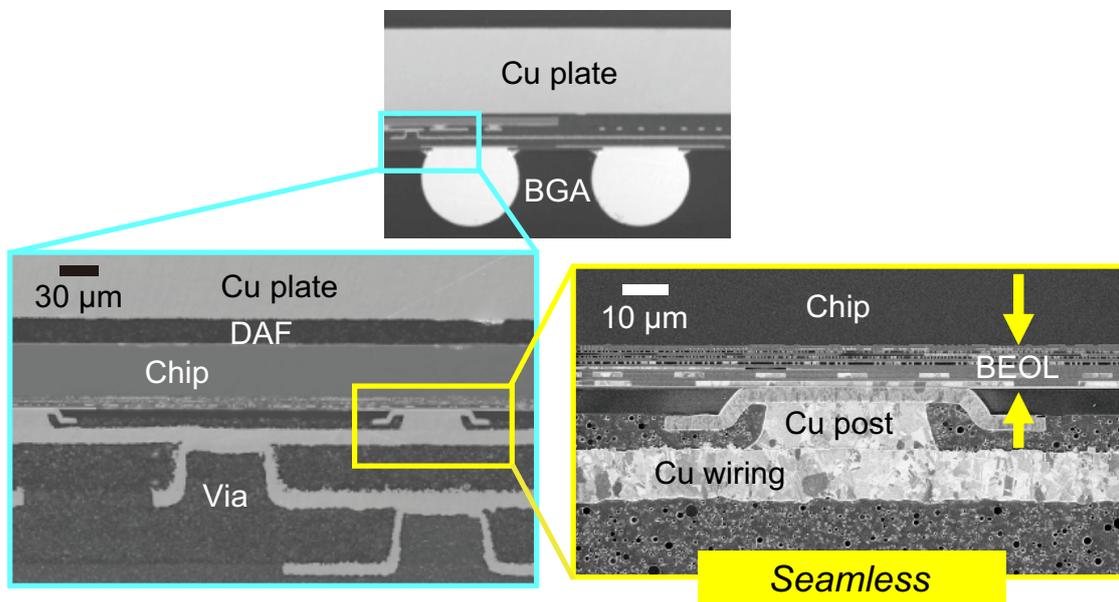
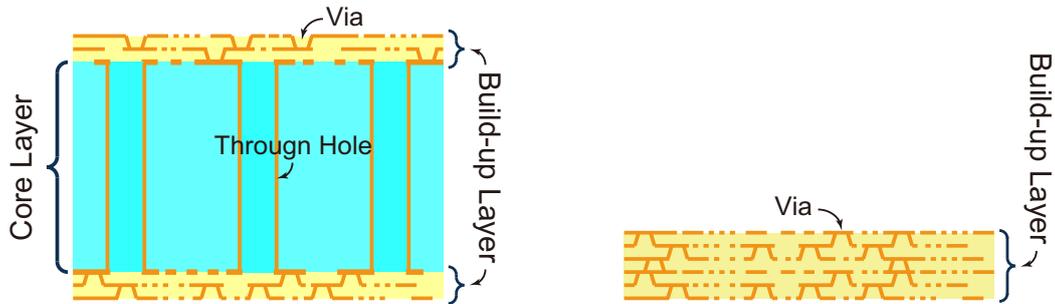


図 1.12: シームレス接続 [34]

課題④“薄型基板”については、コアレス基板を解決策とした。コアレス基板とは、ビルドアップ基板からコア層を取り除いた、ビルドアップ層のみで構成されるプリント配線板である。図 1.13 に断面模式図を示す。ビルドアップ基板では、コア層を貫通するためにスルーホールが必要であるが、コアレス基板ではビルドアップ層を貫通するビアだけでよい。スルーホールからビアに置き換えることで寄生インダクタンスを大幅に削減することができるため、

信号品質や電源品質を向上させる特徴がある [25–28] . なお本論文では , コア層を貫通する接続体をスルーホール , ビルドアップ層を貫通する接続体をビアと定義する .



(a) ビルドアップ基板

(b) コアレス基板

図 1.13: ビルドアップ基板とコアレス基板の断面模式図

課題 ⑤ “配線層数抑制” については , 最適インダクタンス設計を解決策とした . 最適インダクタンス設計とは , 設定した配線の寄生インダクタンスの目標値を上回らないようにする設計手法である . 以下に詳細を述べる .

本研究では , 正常動作の指標として従来構造から算出したパラメータを用いる . 信号品質に関しては , S パラメータの周波数特性を絶対指標としておおよその評価は可能だが , 電源品質に関しては絶対指標に乏しく評価が難しい . ターゲットインピーダンスを設けてパッケージ設計に活用する事例があるが [36] , 本章で題材としたチップにはターゲットとなる Power Delivery Network (PDN) インピーダンスが定義されていなかった . そこで , 従来構造の PDN インピーダンスを 2.5D の電磁界シミュレータ [37] を用いて算出し , これを PDN インピーダンスの目標値と定義した . PDN インピーダンスは周波数特性を持つため , 比較するには取り扱いが面倒である . ほとんどの場合 , 1 GHz 未満の PDN インピーダンスは , ほぼインダクタンスに近似できる . そこで , 1 GHz 未満かつパッケージ内で最も高速な信号の周波数における PDN インピーダンスから PDN インダクタンスを定義し , これを指標とした .

第 3 章で述べる配線層数削減設計の要点は , コアレス基板の採用により向上した電気特性を配線層数の削減による電気特性の悪化で相殺していくものである . このとき , 図 1.14 のように従来構造の PDN インダクタンスをバジェットとしておき , これを超えないようにすることで , 正常動作の可能性の高い設計を行うことができる . 本研究ではこの手続きを最適インダクタンス設計と呼ぶことにする .

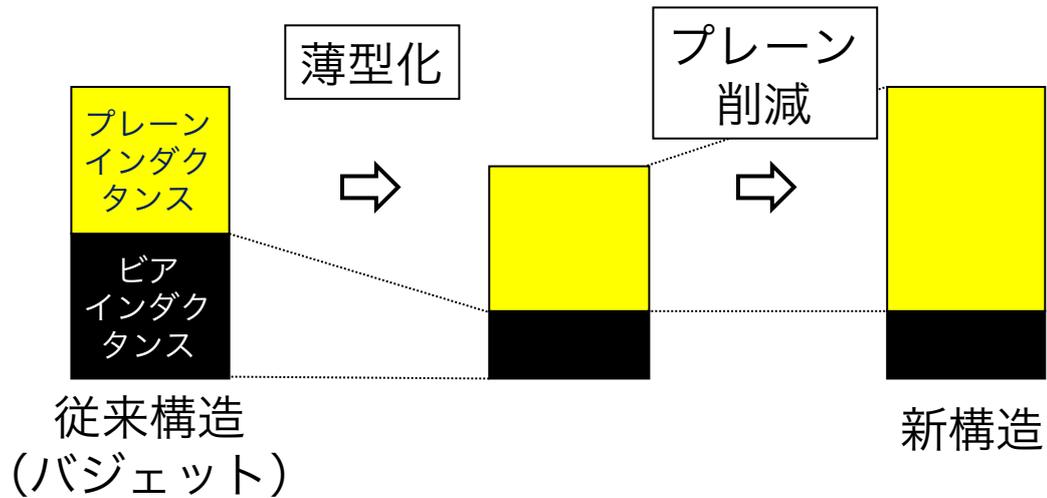


図 1.14: 最適インダクタンス設計の概念

1.4.3 機能素子内蔵基板の課題

機能素子内蔵基板はチップ、パッケージ、ボードの実装構造を小型化し、電気特性を改善する手段として有望であるが、課題もある。機能素子内蔵基板は携帯電話向けモジュール製品での採用が多く、同じモジュールを共用するタブレット PC を含めると、2012年時点で全用途の99%を占める。しかし、携帯電話以外での採用事例はほとんどない。これは以下の理由によるものである [17]。

1. CAD を含めた設計技術 [38]
2. 信頼性 [39,40]
3. 適正なコスト
4. サプライチェーンと品質保証体系の構築
5. キラーアプリケーションの存在

本研究に最も関連するのは、1. の課題である。この課題は、素子を基板に内蔵するという従来の設計では想定外となる構造に対して、Design Rule Checker (DRC) の整備、CAD のライブラリ作成、設計ガイドラインの構築、などを意味する。これらは従来構造でも対応されてきた、解決方法が明確な課題である。DRC や CAD ライブラリは量産時に必須の課題であるが、本研究のように研究開発段階においては手作業で回避できる。設計ガイドラインは、受動部品については第 2 章で述べる。特にインダクタンス成分が変化するため、設計に当たっては注意が必要である。

1.5 本研究の目的と章構成

本研究の目的は、機能素子内蔵基板による SiP の薄型化である。従来構造の持つ課題を解決することで、SiP の薄型化を実現する。特に目標となる電気特性が得られるよう、代表的な従来構造を題材にして、配線の寄生インダクタンスを最適化する設計技術を開発することが目的である。

図 1.15 は、本論文の構成である。本章で本研究の序論を述べ、第 2 章から第 4 章で機能素子内蔵基板の設計技術について述べる。そして、第 5 章で本研究の結論と今後の展望について述べる。

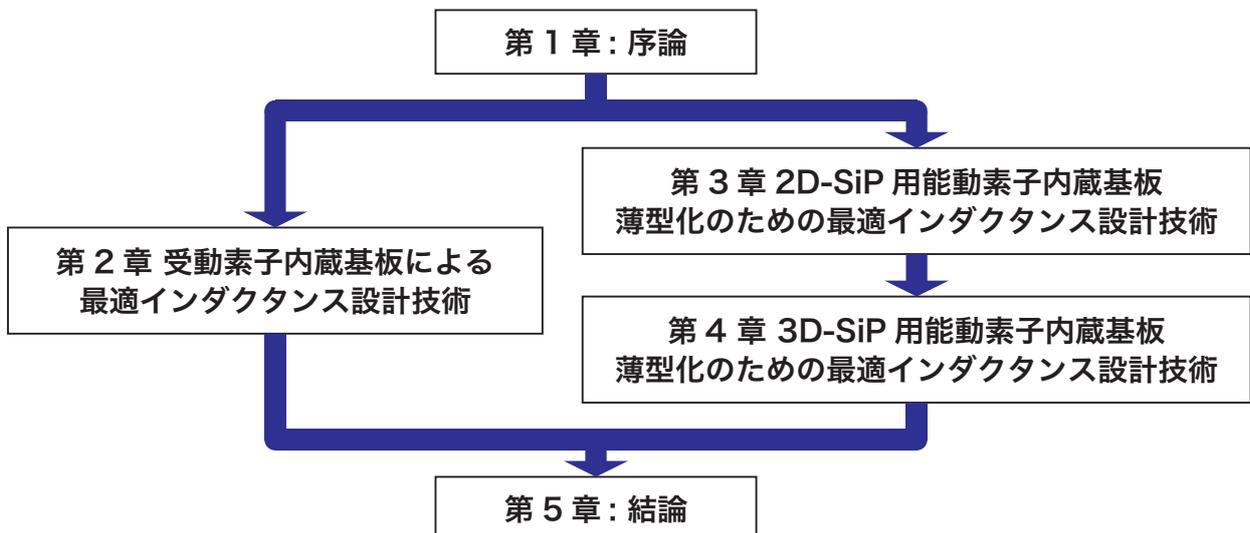


図 1.15: 本論文の構成

第 2 章以降の概要は以下のとおりである。

第 2 章では、パッケージ、ボードに共通的に適用可能な受動素子内蔵基板の設計技術について述べる。内蔵する対象を、数が多いものの単価が安いチップ型の受動素子に限定した。限定することで、特にボードに適した構造となる。ボードには実装される素子が多いため、これらをすべて内蔵しようとする歩留まりが低下する懸念がある。また、ボードは面積が大きく剛性を保つ必要があることから、ビルドアップ基板を採用した。ビルドアップ基板に薄膜技術で形成したインダクタ、キャパシタ、抵抗を内蔵し、電気特性について考察し、設計指針を導出している。また、これらを内蔵した RF モジュールを試作し、非内蔵のリファレンスと同等の電気特性が得られた。さらに、量産性を考慮し、一括形成により低コスト化が期待できる印刷技術についても検討している。高周波特性への影響が軽微である抵抗のみを内蔵した RF モジュールを 880 個試作し、非内蔵のリファレンスと比較して電気特性のばらつきが同等である

ことが得られたことにより，量産性を確認している．

第3章，第4章では，特にパッケージに適した能動素子内蔵基板の設計技術について述べる．SiPのアプリケーションとして想定されるノートブックPC，ゲーム機などのコストパフォーマンス機器とスマートフォンなどの携帯電子機器に適した構造の薄型化を実現する設計技術について述べる．

第3章では，2D-SiPであるMulti Chip Package (MCP) 構造に適した能動素子内蔵基板の設計技術について述べる．具体的には，コアレス基板の特徴である配線の寄生インダクタンスが小さいことを利用して，配線層数を削減する設計技術について述べる．従来構造はビルドアップ基板が用いられるFlip Chip Ball Grid Array (FCBGA) パッケージで，シングルチップである．電気特性に優れるコアレス基板の特徴を活かし，信号特性，電源特性とともに従来構造相当を維持しながら配線層数をリファレンスの6層から3層に半減させている．片面に銅板の支持体を設けたことが構造上の特徴であり，剛性，放熱性の向上や，グランド層としても機能する．そして試作の結果，当該機器で正常動作を確認でき，開発した設計技術の妥当性を例証できたことを述べる．

第4章では，3D-SiPであるPackage on Package (PoP) 構造に適した能動素子内蔵基板の薄型化設計技術について述べる．具体的には，内蔵するロジックチップのパッドレイアウト最適化を実現するチップ・パッケージ協調設計技術について述べる．既存のテスト環境が流用できるように，サイズを同じにしてテストレベルでの正常動作を確認した．また，小型化の検討も設計レベルでは行い，従来サイズと同等の信号，電源品質を有することをシミュレーションで確認した．

そして第5章で結論を述べる．

表 1.3: SiP の薄型化を実現する技術と各章の関係

解決する技術	第2章	第3章 FCBGA	第4章 PBGA	解決される課題
① 放熱技術				① 高放熱性
② チップ研削技術				② チップ薄型化
③ シームレス接続技術				③ 微細接続
④ コアレス基板技術				④ 薄型基板
⑤ 最適インダクタンス設計技術				⑤ 配線層数抑制
⑥ 機能素子内蔵基板技術	受動素子			⑥ 抜本的薄型化
	能動素子			

本研究では，SoC に対する SiP の特長である低コスト性と開発の迅速性に着目した．異種機能をシステムレベルで統合しない方向性が SiP で，そのメリットが低コスト性と開発の迅速性ならば，SiP の一形態である機能素子内蔵基板にも同様のメリットが求められる．そこで，

機能素子を内蔵するためのコストを最小限に留める方針とした。具体的には、内蔵に最適化するためにチップレベルでの再設計、再製造を行わない。安価な受動素子については独自構造も検討するが、能動素子については表面実装用として流通しているものを活用し、あくまでも実装技術の領域で内蔵に最適化する。このようにすることで、SiP のメリットを損なわずに機能素子内蔵基板が実現できると考えた。

第 2 章

受動素子内蔵基板による最適インダクタンス設計技術

2.1 はじめに

本章では，SiP の薄型化・小型化を支える共通技術として，受動素子（抵抗，インダクタ，キャパシタ）を内蔵した基板を検討する．受動素子は大量に実装されているため，これらを生蔵することは実装面積の削減につながる．また，安価である受動素子を使用した受動素子内蔵基板の原価もまた安価となる．筆者らは，チップ素子の小型化に限界があると考え，薄膜素子をプリント基板に作り込む構造を検討した．内蔵素子はチップ型素子に比べてリード線を短くできるため，一般に高周波特性に優れる．そこで，RF モジュールが受動素子内蔵基板の適用先として好適ではないかと考えた．RF モジュールは回路ブロックの切り出しが比較的容易であり，受動素子が多く使用されているためである．メイン基板への適用となると対象が大規模となり，検証が複雑になることを避ける狙いもある．しかしその一方で，素子内蔵により素子値の周波数特性が変化し，所望の性能を得られなくなる可能性がある．そこで，受動素子内蔵時の高周波特性の変化を明らかにし，設計に関する技術体系を確立することを目的とする．

2.2 従来構造とその課題

受動素子の従来構造は挿入実装型素子と表面実装型素子で，現在の主流は後者である．表面実装型素子は一般にチップ素子と呼ばれ，直方体の形状をしている．チップ素子は寸法により規格化されており，1608 ($1.6 \times 0.8 \times 0.8 \text{ mm}$) サイズ，1005 ($1.0 \times 0.5 \times 0.5 \text{ mm}$) サイズ，または 0603 ($0.6 \times 0.3 \times 0.3 \text{ mm}$) サイズなどがよく用いられている．チップ素子の一例を図 2.1 に示す．長手方向の両端に電極があり，プリント配線板にはんだ付けする．この電極が持つ寄生インダクタンスが素子の高周波特性を悪化させることが知られている．図 2.2 にキャパシタ

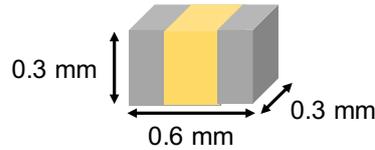


図 2.1: チップ素子 (0603 サイズ)

の等価回路を示す．本来のキャパシタンスのほかに直列に寄生インダクタンス成分と寄生抵抗成分を持つことがわかる．前者を等価直列インダクタンス (Equivalent Series Inductance: ESL), 後者を等価直列抵抗 (Equivalent Series Resistance: ESR) と呼ぶ．等価回路の図示を省略するが, 抵抗の場合は本来の抵抗のほかに ESL と ESR が, インダクタの場合は本来のインダクタンスのほかに ESL と ESR が加わる．このようにチップ素子には ESL と ESR が存



図 2.2: キャパシタの等価回路

在するが, 特に ESL は共振を発生させるため, この低減が課題である．

2.3 配線の寄生インダクタンス低減手法

本節では, チップ, パッケージ, ボード構造における寄生インダクタンスの低減手法と注意点について述べる．

チップ, パッケージ, ボード構造における配線はいくつかの種類がある．主な配線を列挙すると, マイクロストリップ線路, ストリップ線路, コプレーナ線路などのプリント配線板に形成される伝送路, スルーホール, ビアなどのプリント配線板の配線層間の接続体, ボンディングワイヤ, C4 バンプ, はんだボールなどのチップ, パッケージ, ボード間の接続体がある．本節ではこれらの配線をワイヤ形状と面形状でモデル化し, それぞれについて配線の寄生インダクタンスを低減させる手法について述べる．

まず, 図 2.3 に示す平行 2 線構造を考える．これは, スルーホール, ビア, ボンディングワイヤ, C4 バンプなどをモデル化したものである．ここで, d は線路径, g は線路間の距離, そして l は線路の長さとする．片側を短絡して閉ループを作り, もう片側から見たインダクタンス L_{wire} は次式で与えられる [41]．

$$L_{wire} = \frac{\mu_0 l}{\pi} \ln \frac{g-d}{d} \quad (2.1)$$

特に $g \gg d$ ならば,

$$L_{wire} = \frac{\mu_0 l}{\pi} \ln \frac{g}{d} \quad (2.2)$$

これより，線路のインダクタンスを小さくするには，線路を太くする，線路を短くする，線路間を短くする，のいずれかを満足すればよいことがわかる．これらの対策で比較的簡単なのは，線路を太く，短くすることである．一方，線路間を短くすることは対となる線路も対象に含める必要があるため，他の対策に比べてやや複雑である．したがって，まずは線路を太く，短くすることを優先し，それらが不可能な場合に線路間を短くすることを検討すればよい．そ

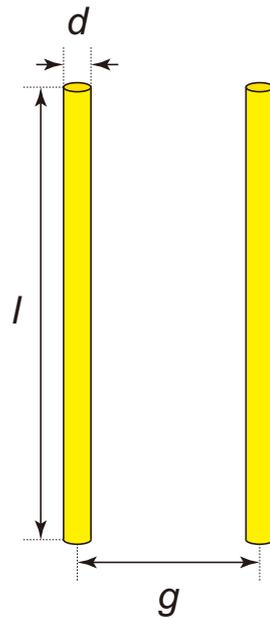


図 2.3: 平行 2 線構造

して，線路の抵抗率を ρ とすると，閉ループの抵抗 R_{wire} は次式で与えられる．

$$R_{wire} = \frac{8\rho}{\pi d^2} l \quad (2.3)$$

抵抗を小さくするには，線路を太くするか，短くするしかない．スルーホールやビアの場合は，多数を並列に配置することで抵抗を小さくすることが多い．

次に，図 2.4 のような平行平板構造の場合を考える．これは，マイクロストリップ線路，ストリップ線路などの伝送路をモデル化したものである．平行 2 線構造と同様に片側を短絡して，もう片側から見た閉ループのインダクタンスと抵抗を求める．層間距離を g ，プレーンの幅を w ，長さを l とすると，閉ループのインダクタンス L_{plane} は，

$$L_{plane} = \mu_0 \frac{g}{w} l \quad (2.4)$$

と書ける [42] ．

そして，プレーンの抵抗率を ρ ，幅を w ，厚みを t ，長さを l とすると，閉ループの抵抗 R_{plane} は，

$$R_{plane} = \frac{2\rho}{wt} l \quad (2.5)$$

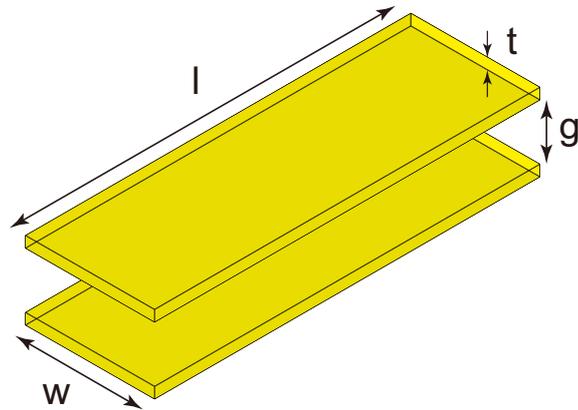


図 2.4: 平行平板構造

と書ける [42] . 抵抗はインダクタンスと異なり , w を小さくすると相殺するには l を小さくするしかなく , 制御が難しい . しかし , パッケージ内の配線幅はチップに比べて十分大きいいため , 多くの場合配線抵抗は問題にならない .

ここで , パッケージ配線の寄生インダクタンスが波形に与える影響について一例を示す . パッケージ内配線の寄生インダクタンスは , 一般に 1 mm 当たり 1 nH 程度とされている . 図 2.5 のようにパッケージの 1 辺の長さを W とするとき , パッケージ内の標準配線長を対角線の半分である $W/\sqrt{2}$ と定義する . 一般的なパッケージサイズである $W = 20 \text{ mm}$ のとき , 標準配線長の寄生インダクタンスは約 14 nH と見積もることができる . この配線が , 図 2.6 に

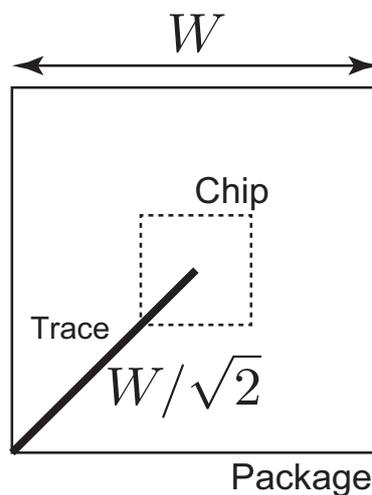


図 2.5: パッケージ内標準配線長

示す波源で励振されたときの応答波形を図 2.7 に示す . 配線容量と寄生インダクタンスが共振し , リンギングが発生している . このように , 配線の寄生インダクタンスは波形を歪ませる原因となるため , これを低減する設計が重要である .

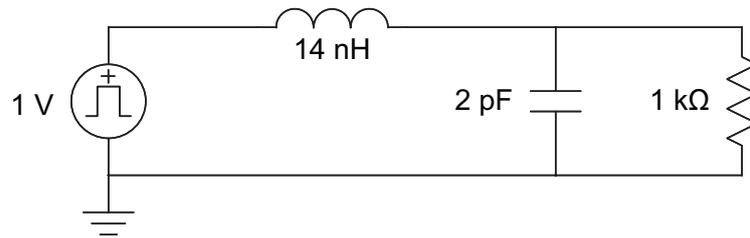


図 2.6: パッケージ内配線と励振源

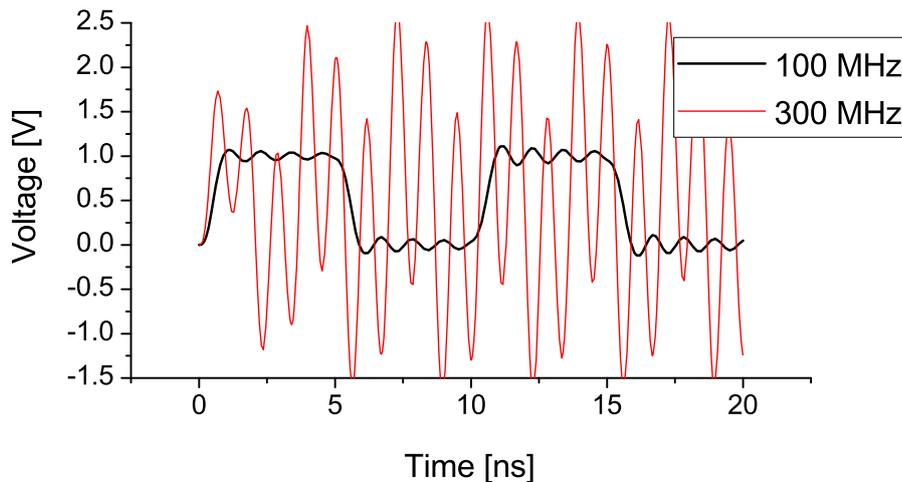


図 2.7: 寄生インダクタンスによる励振波形の変化

2.4 薄型化を実現する新構造

従来構造であるチップ素子の表面実装に対して、受動素子内蔵基板は受動素子をプリント配線板に埋め込んだものである。チップ素子を表面実装した構造に比べて、より小さな実装面積で同じ回路が実現できる。受動素子内蔵基板は、薄膜素子形成型とチップ素子埋め込み型に大別される。本章で検討する前者は、チップ素子では実現できない薄型化を図れること、そして電極も薄型化（短距離化）することで ESL が低減するというメリットがある。その反面、素子単体の品質保証を基板メーカーが負うことになるデメリットがある。後者のメリット、デメリットは前者の正反対である。課題は、高信頼性化と ESL の低減である。本節では、キャパシタ、抵抗、インダクタについて内蔵素子を開発し、設計に関する技術体系を構築した。

2.4.1 キャパシタの内蔵

図 2.8 に内蔵キャパシタの断面構造を示す [43-46]。フレキシブルフィルム（樹脂）を基材として、薄膜のメタル層に強誘電体層が挟まれた Metal-Insulator-Metal (MIM) 構造となっている。サイズは $1.8 \times 1.4 \text{ mm}$ と、チップ素子の主流サイズである 1005 ($1.0 \times 0.5 \text{ mm}$) や

0603 (0.6 × 0.3 mm) よりも大きいのが、内蔵するためそれほど大きな問題ではない。

図 2.8 を個片としてビルドアップ基板のコア層に埋め込むため、基材にはハンドリング性と耐クラック性が要求される。基材の候補には樹脂以外にもガラスやシリコンが考えられるが、クラックが入りやすいという欠点があることから、最終的に樹脂を選定した。しかし、樹脂を機材とする場合にも問題がある。薄膜キャパシタに適した高誘電率を有する薄膜は、そのプロセス形成に 450°C 以上を必要とするため、樹脂フィルム上に形成することが難しい。そこで、筆者らの研究グループは、400°C 以下で形成可能な薄膜強誘電体を開発することで、上記の問題を解決した。材料はチタン酸ストロンチウム (SrTiO₃: STO) で、比誘電率は約 110 である。上部電極の面積を変化させることで所望の静電容量を得る。

所望の静電容量、デカップリング特性の設計に、3D 電磁界シミュレーションの活用を試みた [47]。図 2.12 に、1000 pF の場合の電磁界シミュレーションと実測結果の比較を示す。実測はインピーダンスアナライザで行った。薄膜構造はアスペクト比が大きいため、シミュレーションで利用される有限要素法のメッシュを生成させづらい構造であるが、両者は比較的良好に一致していることがわかる。キャパシタンスはほぼ一致しており、Equivalent Series Resistance (ESR) と Equivalent Series Inductance (ESL) が実測より小さい傾向にあるといえる。実測でのプローブに相当する電磁界シミュレーションの観測ポートは理想状態に近いいため、寄生インダクタンスを持たない。実測ではケーブルを引き出して計測するが、電磁界シミュレーションではデバイス直近で何も引き出すことなく直接観測できる。また、プローブとデバイスを接触させる際の寄生成分も電磁界シミュレーションでは考慮されない。そして、電磁界シミュレーションでは薄膜界面の粗さが考慮されず、理想的に密着された状態とみなされる。このような性質の違いから、ほとんどの場合、実測よりも電磁界シミュレーションの方が寄生成分に起因する電気特性の悪化は過小評価されて算出される。本研究ではこのことを制限事項として考慮に入れた上で、以降は電磁界シミュレーションにより設計を行った。

次に、図 2.12 に 560 pF の内蔵キャパシタと 0603 サイズのチップキャパシタのインピーダンス特性 (実測) を比較したグラフを示す。図 2.12 中の Surface Mount Device (SMD) がチップキャパシタ、Embedded Passive Device (EPD) が内蔵キャパシタである。チップ素子の特性は 560 pF 単体および、39 pF を並列に接続した場合の 2 通りについて示してある。並列接続とした場合、共振点が 2 つ見える。1 つ目が大容量キャパシタの ESL による共振点、2 つ目が小容量キャパシタの ESL による共振点である。これは、一般的に小容量キャパシタの方が ESL が小さいためである。従来はこのような手法により、デカップリング特性を向上させていた。一方、内蔵キャパシタの共振周波数はチップ素子よりも高く (各々 1.1 GHz, 320 MHz)、高周波での使用に適している。単体でも並列接続したチップ素子よりも良好である。これは、電極及び誘電体が薄膜となったことにより、両電極間の距離 (電流距離) が小さくなったことによるものである [48, 49]。キャパシタ内を通過する電流により発生する磁界により発生する自己インダクタンスが ESL であり、電流距離に依存する。共振周波数から求め

た内蔵キャパシタの ESL は 35 pH であった . 図 2.10 に内蔵キャパシタの断面構造を示す .

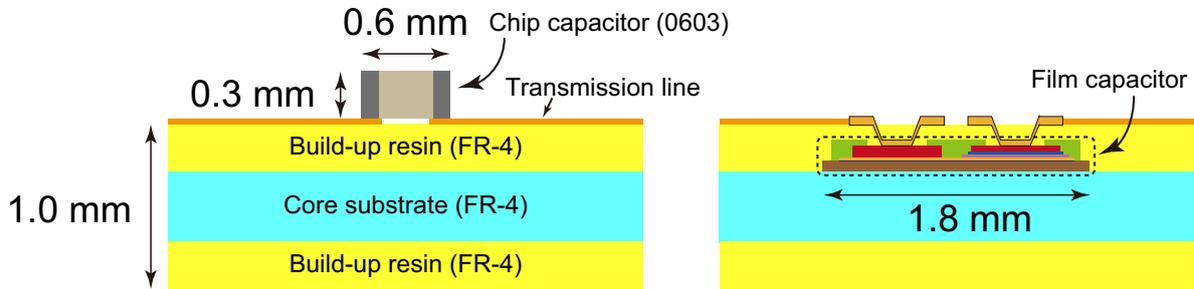


図 2.8: 配線を含めたチップキャパシタ (0603) と内蔵キャパシタの断面比較

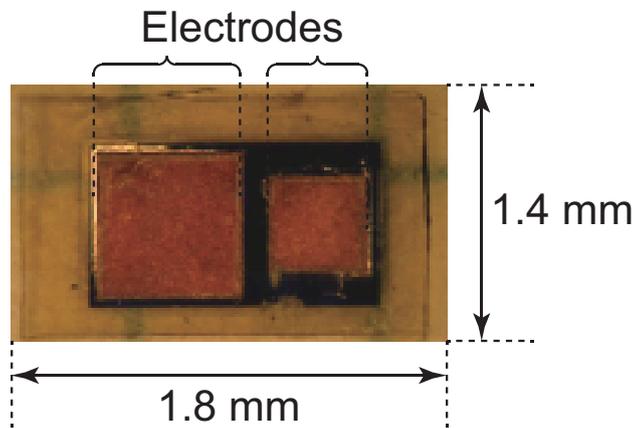


図 2.9: 内蔵キャパシタの外観写真

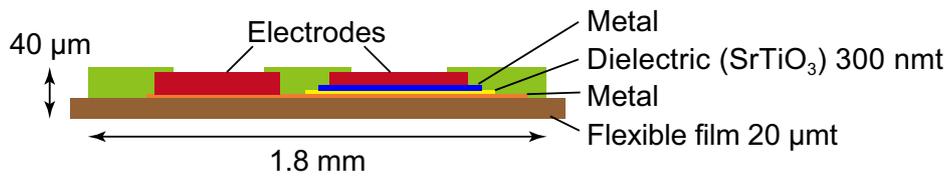


図 2.10: 内蔵キャパシタの断面構造

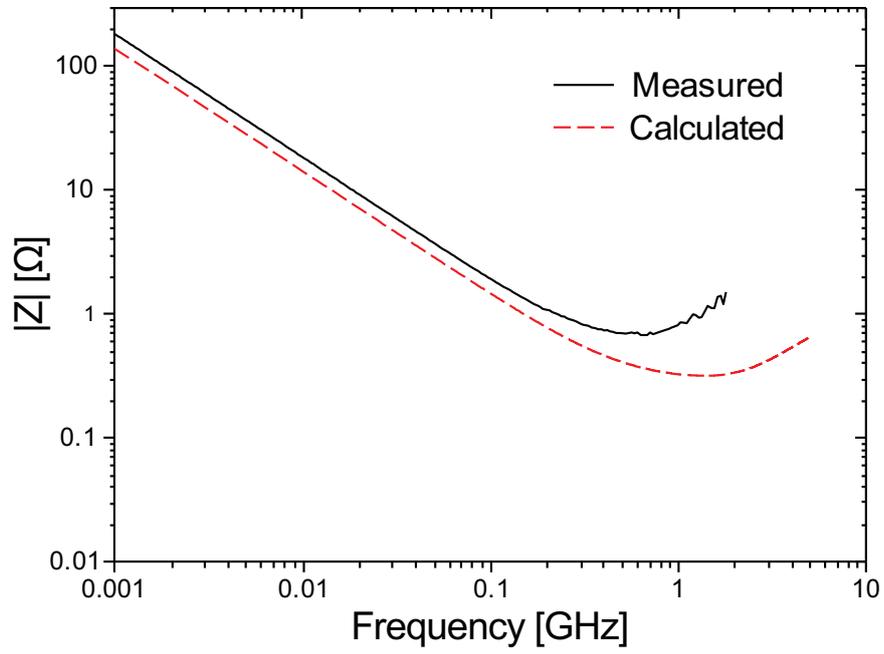


図 2.11: シミュレーションと実測の比較 (1000 pF)

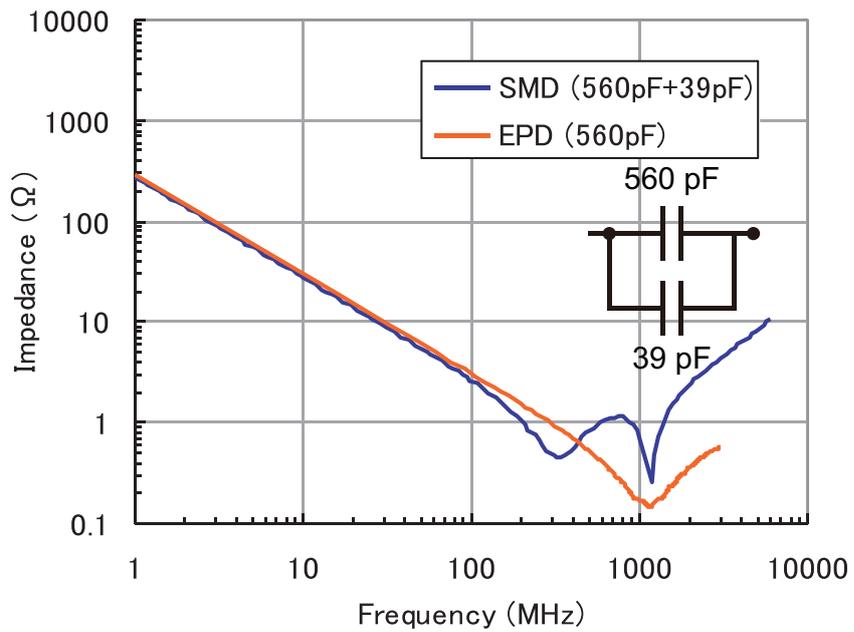


図 2.12: チップキャパシタ (0603) との比較

2.4.2 抵抗の内蔵

次に，抵抗素子の内蔵について述べる [43, 50]． $1\text{ k}\Omega$ の内蔵抵抗素子と 1005 サイズのチップ素子との周波数特性を比較したところ，図 2.15 のようにチップ素子と同等の特性が得られた．これは，インダクタ，キャパシタと異なり自身が共振に寄与しないためである．

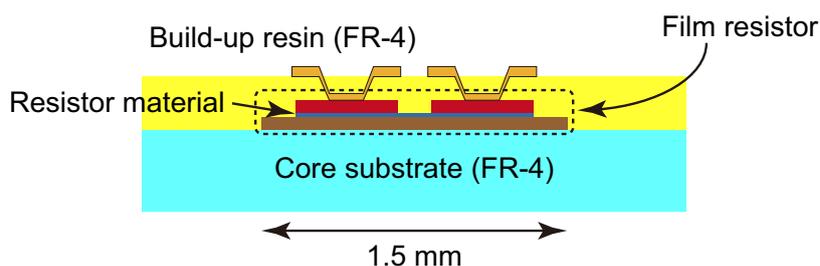


図 2.13: 内蔵抵抗の断面構造

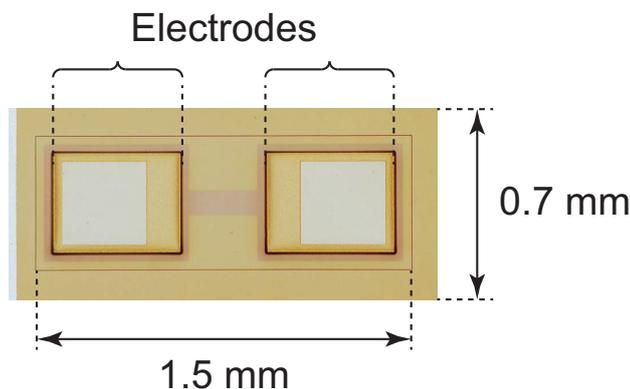


図 2.14: 内蔵抵抗の外観写真

2.4.3 インダクタの内蔵

インダクタは平面スパイラル構造とした [50]．図 2.16 に外観写真を示す．インダクタは，自身が発生する磁界を妨げる構造が近接する場合，特性が変化することが知られている．基板に内蔵する際に磁界を妨げる典型的な構造として，スルーホールを選定した．中心にスパイラル径 0.7 mm ， 10 nH のインダクタを図 2.17 のように配置し，近接したスルーホールとの距離 W を変えた場合の特性を求めた．スルーホールは第 1 層のグランドと第 3 層のグランド専用層を接続している．インダクタは第 2 層上に配置されており，第 1 層と第 3 層で構成されるマイクロストリップ線路で接続されている．なお，インダクタ直下の第 3 層もスルーホールと同様に特性に影響を与えるため，これを軽減するために穴を開けてある [51]．シミュレーション

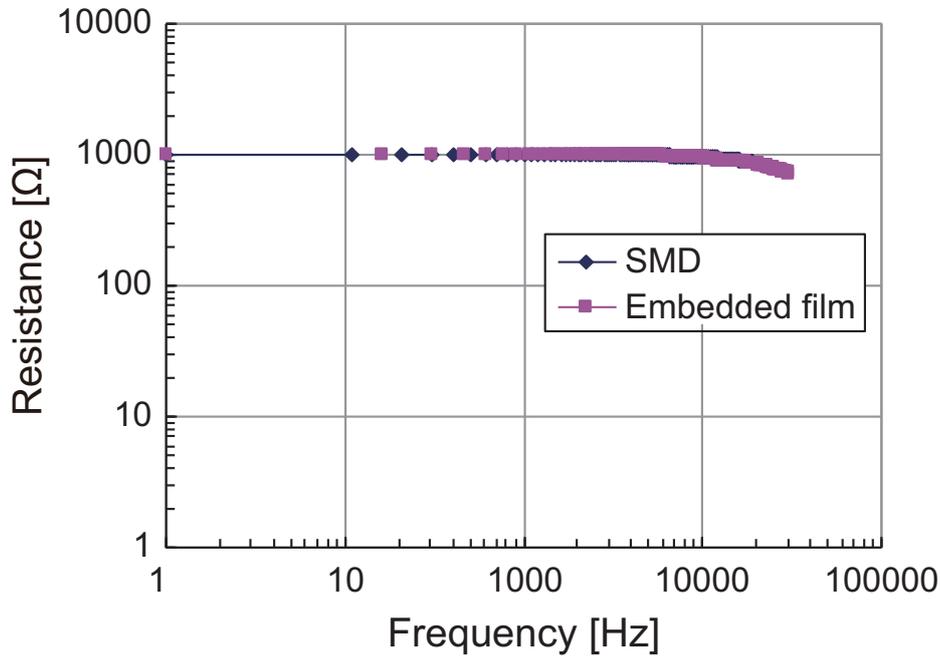


図 2.15: チップ素子 (1005) との実測比較 (1 kΩ)

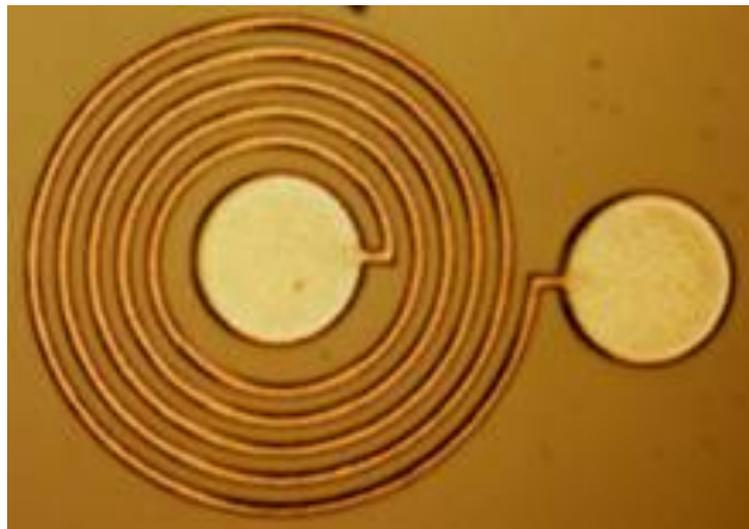


図 2.16: 内蔵インダクタの外観写真

には 3D 電磁界シミュレータ [47] を使用した。

図 2.18 にシミュレーション結果を示す。図の S パラメータは伝送線路の特性を含んだ値である。W は実装時の近接限界である $370\ \mu\text{m}$ ではほとんど差がなかったため [43]，構造上インダクタと交差しない限界である $45\text{--}370\ \mu\text{m}$ の範囲で変えた。その結果，W が小さくなるほどスルーホールの影響は次第に大きくなり，インダクタンスを低下させることがわかった。ただし，約 2 GHz まではほとんど変わらないので，周波数が低い場合は無視できる。また，高い周波数の場合，本研究で開発したインダクタ構造では実装上の制約で $370\ \mu\text{m}$ 未満にスルーホールを配置できないため問題はないが，将来インダクタが小型化した場合であっても $300\ \mu\text{m}$ 程

度は離れた方がよいと考えられる。

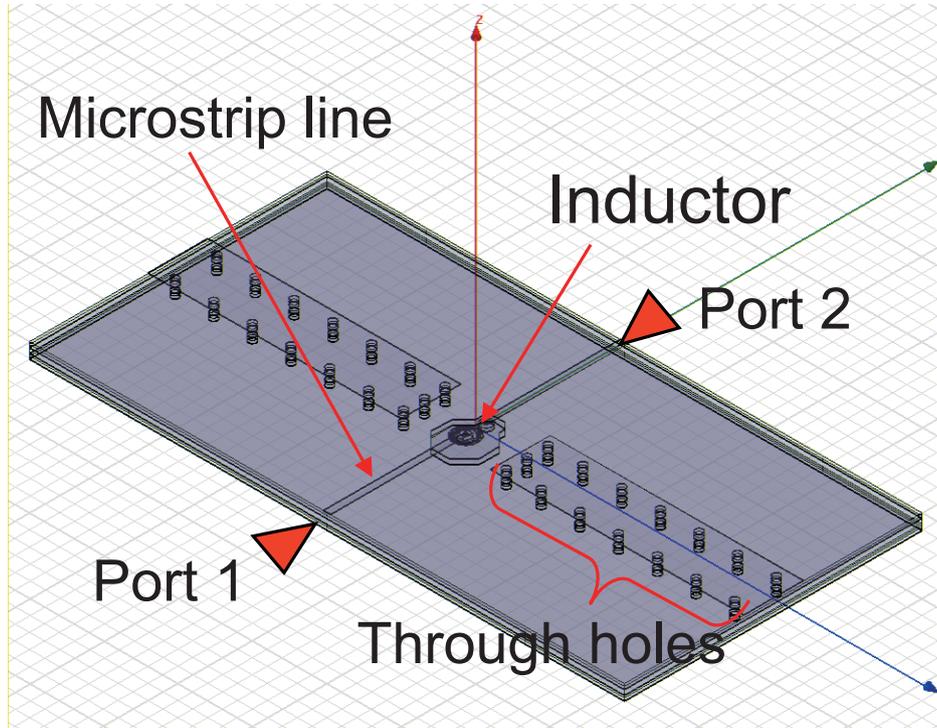


図 2.17: 内蔵インダクタとスルーホール

2.4.4 モジュールへの適用例

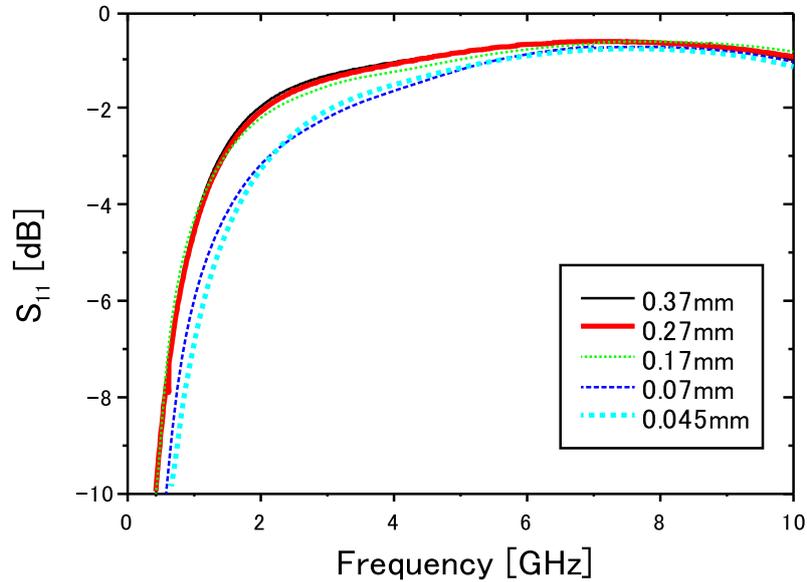
前節で述べた受動素子をプリント配線板に埋め込んだ受動素子内蔵基板を用いて、2 GHz 帯の RF モジュールを試作した。図 2.19 に示す試作フローについて概略を説明する。この中で最も重要なことはモジュール化する回路ブロックの切り出しである。その基準は、ある程度成熟した回路であるか、受動素子を多く使用しているか、評価がしやすい切り出しであるか、などである。

小型化の実証のために薄膜技術による受動素子を内蔵したものと、量産時のばらつきの検証のために印刷技術による抵抗素子を内蔵したものの 2 種類のモジュールを試作した。

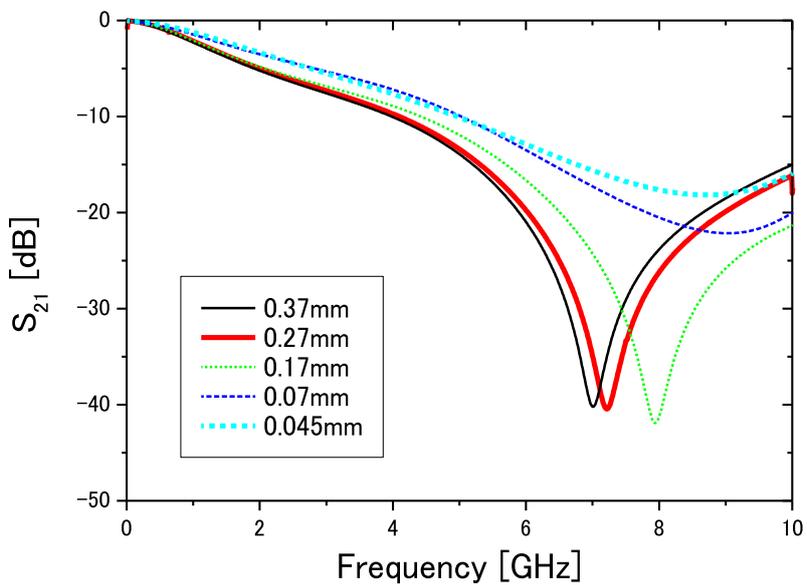
まず、薄膜技術による受動素子内蔵モジュールについて述べる。ブロック図を図 2.20、測定系を図 2.21 に示す。リファレンスがモジュールとして独立しているため、回路ブロックの切り出しもモジュール単位とした。また、内蔵した素子の一覧を表 2.1 に示す。小型化の実証のため、最大限の数である合計 13 個の素子を内蔵した。

試作したモジュールとリファレンスの写真を図 2.22 に示す。素子内蔵によりサイズが $24.7 \times 13.7 \text{ mm}$ から $21.7 \times 8.4 \text{ mm}$ に小型化し、面積にして約 55% の削減となった。

利得と雑音指数のリファレンスとの比較結果を表 2.4 に示す。素子を内蔵したことによって



(a) 反射損失



(b) 挿入損失

図 2.18: スルーホールがインダクタに与える影響のシミュレーション結果

面積が約 55% 削減されたにもかかわらず，電気特性は非内蔵版と遜色なかった．

次に，量産時のばらつきの検証のため，印刷技術で抵抗素子を一括形成したモジュールにつ

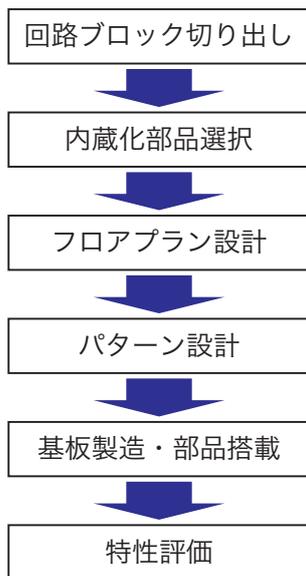


図 2.19: 受動素子内蔵基板の製造フロー

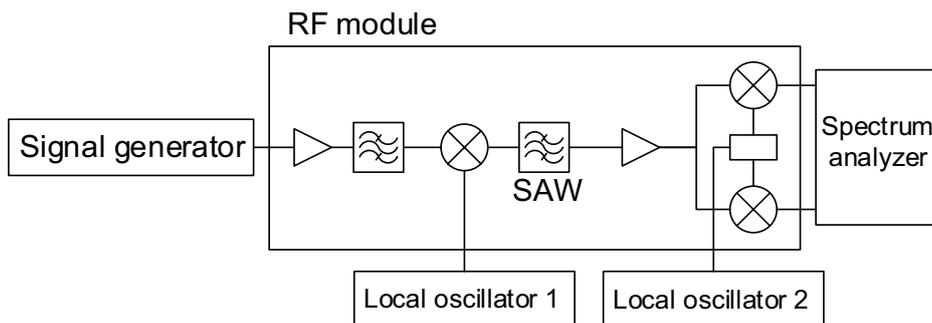


図 2.20: 薄膜技術による受動素子内蔵 RF モジュールのブロック図
表 2.1: 内蔵素子一覧

素子	個数	素子値	個数
Inductor	4	22 nH	1
		39 nH	1
		82 nH	2
Capacitor	8	1000 pF	6
		100 pF	2
Resistor	1	56 kΩ	1

いて述べる．ペースト状の高耐熱性材料を印刷，焼成することにより一括形成を実現している．印刷技術ではキャパシタと抵抗が形成可能である．ビルドアップ基板のビルドアップ層に形成する [52]．所望の素子値を得るため，キャパシタは下部電極の面積を，抵抗は塗布する材

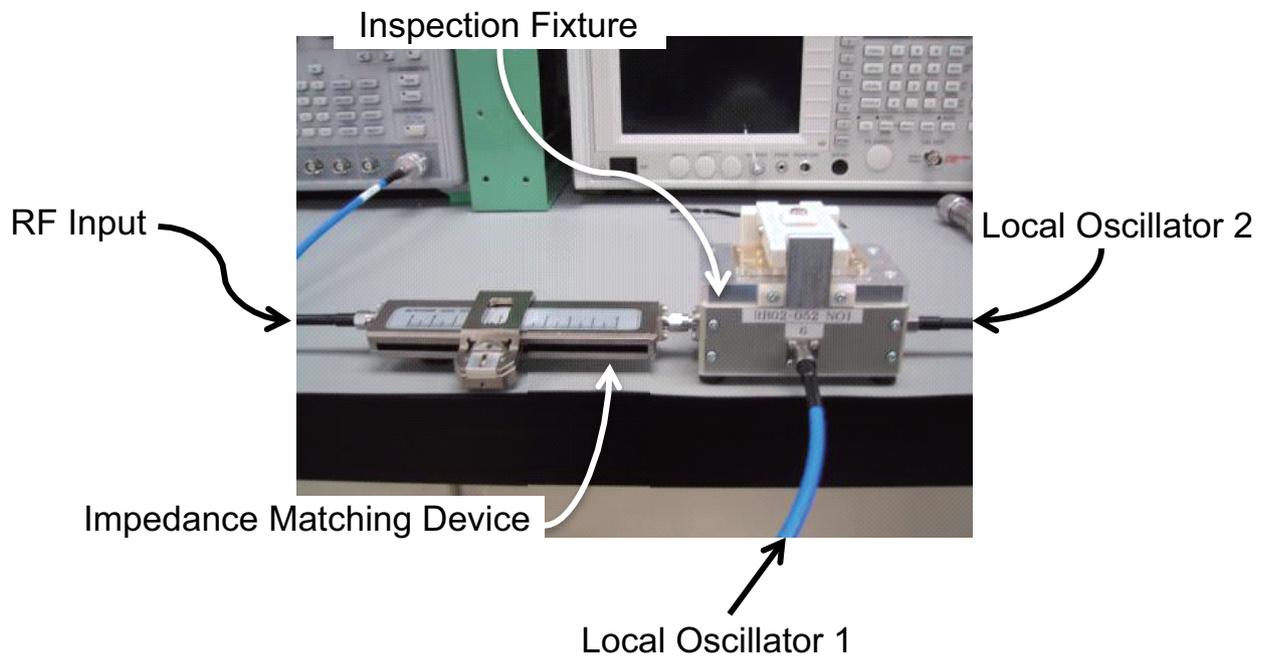


図 2.21: 薄膜技術による受動素子内蔵 RF モジュールの測定系

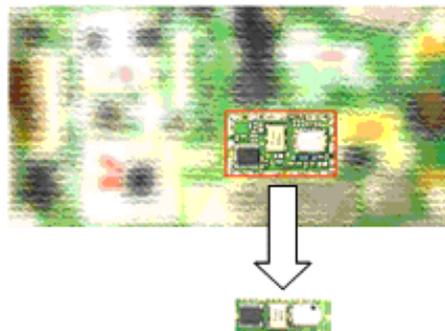


図 2.22: 薄膜技術による受動素子内蔵 RF モジュールとリファレンス
表 2.2: 測定結果比較

	受動素子内蔵	非内蔵 (リファレンス)
Gain [dB]	87	85
NF [dB]	5.7	4.3

料の種類を変化させる。抵抗は 0603 サイズ相当、キャパシタは 1005 サイズ相当の占有面積で形成できる。初期精度は抵抗で $\pm 5\%$ 、キャパシタで $\pm 10\text{--}15\%$ であり、必要に応じてレーザートリミングを行う。定数範囲は抵抗で $20\ \Omega\text{--}100\ \text{k}\Omega$ 、キャパシタは pF オーダである。

モジュール試作に当たっては、薄膜素子を内蔵した回路とは別の回路を使用した。送受信用

のメインチップは約 50 ピンである．表 2.3 に対象回路で使用される受動素子内蔵一覧を示す．このうち，表 2.4 の抵抗 16 個を内蔵した．16 個はダンピング抵抗，プルアップ抵抗，プルダウン抵抗である．図 2.23 に，受動素子内蔵 RF モジュールとリファレンスの比較を，図 2.24 に機能ブロック図を，そして図 2.25 にその測定系を示す．ここでは量産性を評価が主目的であること，また測定系を共通化したことから，両者の寸法は $20 \times 16 \text{ mm}$ と同一となっている．

表 2.3: モジュールで使用される受動素子一覧

素子	個数
Inductor	2
Capacitor	33
Resistor	44

表 2.4: 内蔵素子一覧

素子	個数	素子値	個数
Resistor	16	1 k Ω	9
		22 k Ω	2
		51 k Ω	2
		1.8 k Ω	1
		2.4 k Ω	1
		12 k Ω	1



(a) 受動素子内蔵基板



(b) リファレンス

図 2.23: 印刷技術による受動素子内蔵 RF モジュールとリファレンス ($20 \times 16 \text{ mm}$)

図 2.26 に測定結果を示す．

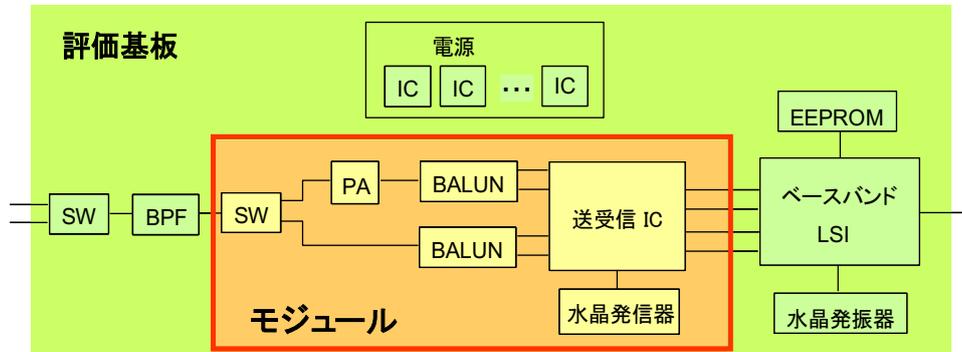


図 2.24: 印刷技術による受動素子内蔵 RF モジュールの機能ブロック図

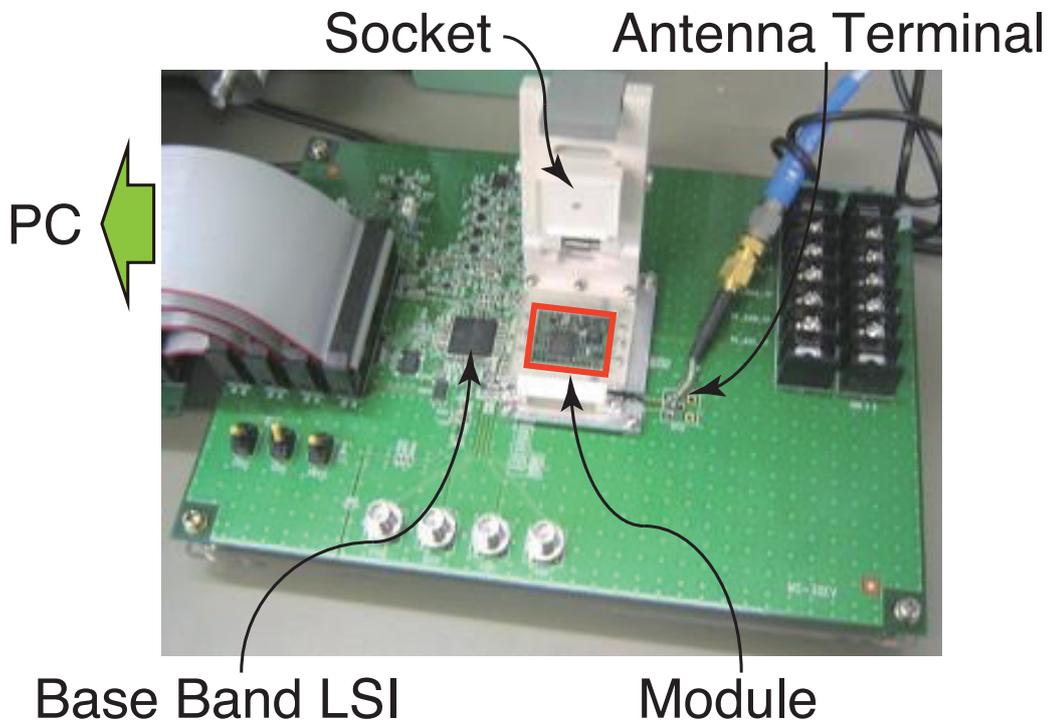
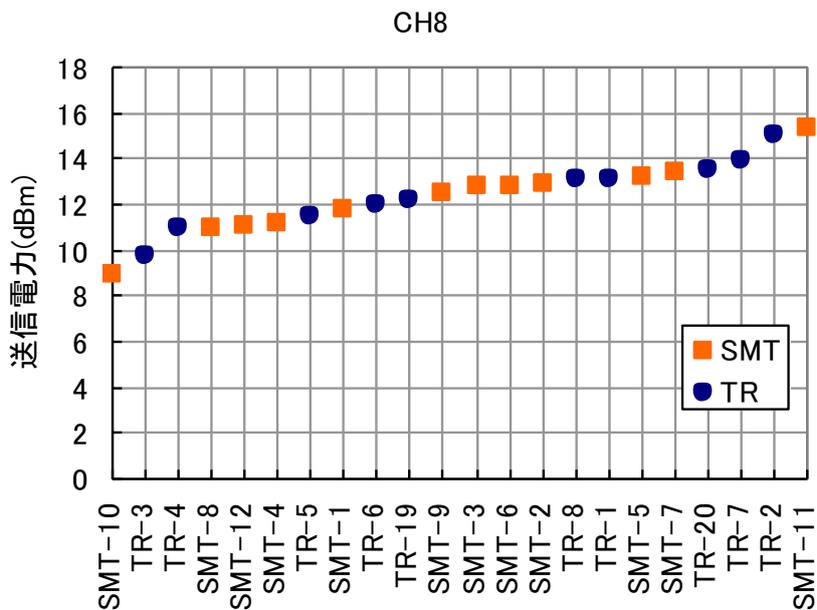
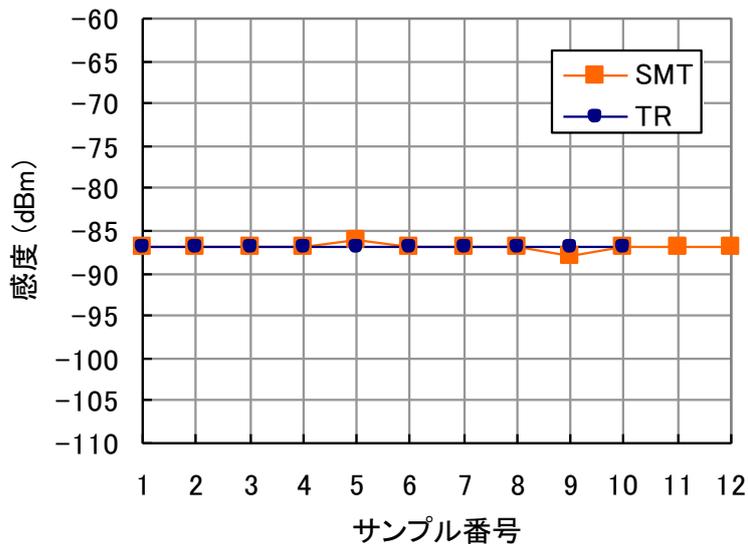


図 2.25: 印刷技術による受動素子内蔵 RF モジュールの測定系



(a) 送信電力



(b) 受信感度

図 2.26: 印刷技術による受動素子内蔵 RF モジュールとリファレンスの比較 [52]

2.5 考察

大量に表面実装されるチップ素子をプリント配線板に埋め込むことで機器の小型化を図ることが目的であったが、受動素子のみを内蔵しても依然として表面実装される能動素子の占有面積が大きく、小型化の効果が十分発揮できていないというのが実情である。

そして、抜本的な薄型化のために薄膜素子形成型を選択したが、2016年現在チップ素子の主要な寸法は1005サイズまたは0603サイズと呼ばれるものであり、0402や0201と呼ばれるものも登場してきている。図2.27にチップ素子のサイズ別構成比率の推移を示す。そして種類は少ないものの、銅めっきで接続できるよう銅端子とした低背構造も存在する。このようにチップ素子は確実に薄型化・小型化を達成してきているため、薄型化に難があるというデメリットが解決されつつある。また、素子値、精度、耐圧、温度特性などのラインナップの充実度の点で、チップ素子の方が優れている。したがって、2016年現在では薄膜素子形成型を積極的に選択する理由が乏しいのが実情である。

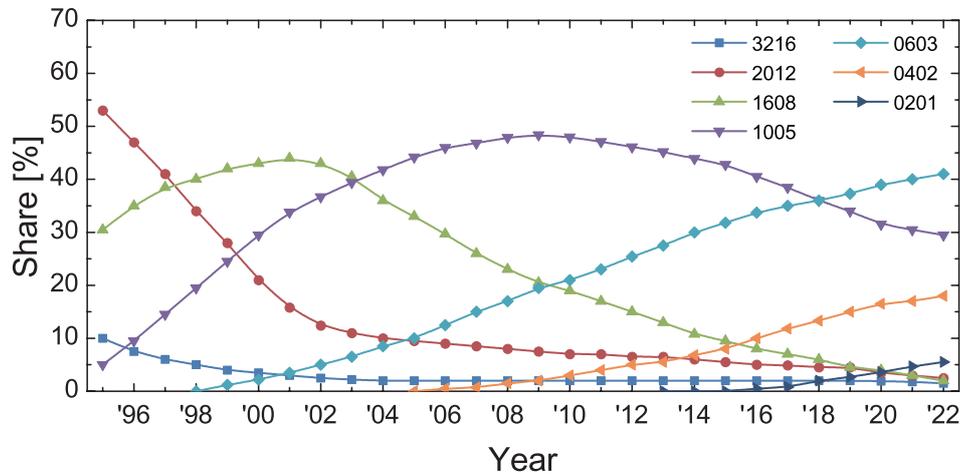
しかし、薄膜素子は抜本的な薄型化の実現だけでなく、チップ素子に比べてESLを低減できることも重要なメリットである。特に大容量チップキャパシタのESLが大きいという問題を解決できる薄膜素子内蔵は、有望な選択肢となりうる。しかも内蔵により能動素子の直近に配置できるため、配線の寄生インダクタンスも低減できる。ただし、上述したように開発した薄膜キャパシタでは静電容量のラインナップに難がある。デカップリングキャパシタとしては10000pF以上の大容量が望まれており、これを実現する強誘電体薄膜形成技術開発が課題である。

2.6 まとめ

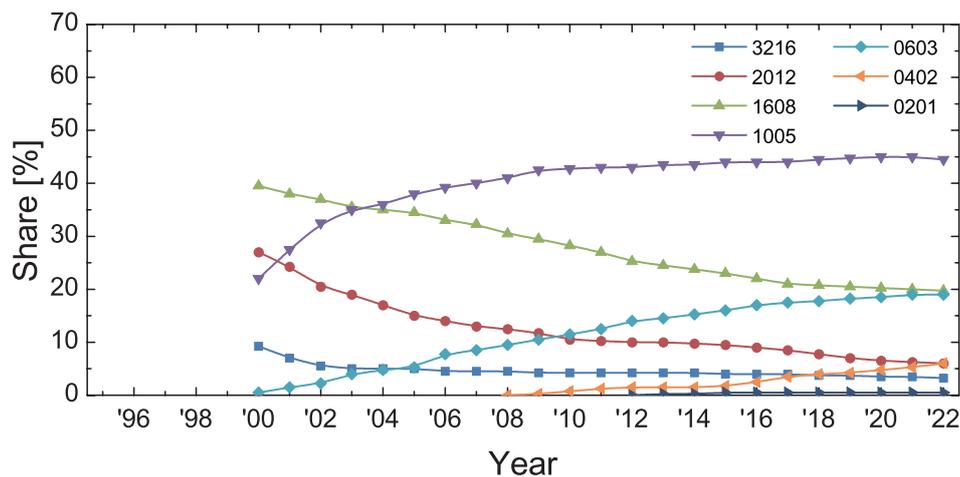
SiPの薄型化・小型化を支える共通技術として、受動素子内蔵基板の検討を行った。主要な製造方法である素子形成型とチップ素子埋め込み型の2種類のうち、抜本的な薄型化が期待できる前者の製法について検討し、電気特性を評価した。

内蔵した受動素子（キャパシタ、抵抗、インダクタ）の電気的特性を電磁界シミュレーションおよび実測により調べ、チップ素子との比較を行った。その結果、各素子について以下の知見が得られ、これを設計指針とした。

- キャパシタは内蔵することで電極の寄生インダクタンスを低減できるため、高周波特性が向上する。内蔵するデメリットはないため、積極的に内蔵すべきである。ただし、フィルタなど実装後に調整が必要となる可能性のある回路については、内蔵は慎重に検討すべきである。



(a) キャパシタ



(b) 抵抗

図 2.27: チップ素子のサイズ別構成比率の推移 [17]

- 抵抗は内蔵による電気特性の変化は見られない．キャパシタ同様に内蔵するデメリットはないため，積極的に内蔵すべきである．特に，他の素子と違い寄生成分による共振も発生しないため，最も内蔵に適している．しかし，キャパシタと同様にフィルタなど実装後に調整が必要となる可能性のある回路については，内蔵は慎重に検討すべきである．
- インダクタは内蔵すると，近接するグランドやスルーホールとの浮遊容量がより大きくなるため，これを低減する設計を行う必要がある．将来インダクタが小型化した場合であっても，これらとは $300\ \mu\text{m}$ 程度は離れた方がよいと考えられる．内蔵によりインダクタンスの高周波特性が予期しない値となる可能性があるため，内蔵は慎重に検討すべきである．

そして、上記の知見に基づき RF モジュールを試作した。RF モジュールは薄膜技術による受動素子を内蔵したものと、印刷技術による一括形成型抵抗素子を内蔵したものの2種類試作した。その結果、薄膜技術による受動素子内蔵モジュールでは同等程度の電気特性を維持したまま約55%の面積削減が実現でき、電子機器の小型化に有利であることが示せた。また、印刷技術による一括形成抵抗素子内蔵モジュールでは、量産レベルのばらつきを抑えることが可能であることが示せた。印刷技術による受動素子内蔵基板は、トッパン NEC サーキットソリューションズ（現在：京セラ）にて2006年に要素技術開発を完了し、量産準備に入った[53]。筆者らが開発した設計技術が差異化のポイントであった。本論文では切り出したモジュール基板での実証であったが、製造フローは共通であるため、メイン基板にも適用可能と考えられる。ただし、メイン基板に適用した場合は基板面積と内蔵素子数が増加するため、歩留まりが低下することに注意が必要である。以上の検討により、実用化レベルの受動素子内蔵基板のための設計に関する技術体系を確立することができた。

本章で得られたもう一つの知見は、内蔵に伴い変化する高周波特性の把握である。受動素子を内蔵することで、伝送路の特性インピーダンスを変化させる原因となるビアやスルーホールが必要になる。これは、フィルタの共振周波数を変化させたり、キャパシタの自己共振周波数を変化させたりする。したがって、上述した知見のように、一般的に内蔵受動素子は高精度が要求されず調整が不要な回路に適しているといえる。具体的にはデカップリング用のキャパシタやプルアップ用の抵抗である。一方、素子単体の高周波特性を把握しているだけでは正しい電気特性を知ることができないことから、この回路図だけでは把握できない高周波特性の変化を知識として蓄えておくことで、設計指針の基準値を超える薄型化や小型化が実現できる可能性がある。このように機能素子内蔵基板のメリットを巧みに活かした設計を行うことができれば、製品の差異化にもつながると考えられる。

最後に、受動素子内蔵基板の2016年時点の開発状況について述べる。受動素子内蔵基板はチップ素子の小型化が急速に進んだため、チップ素子埋め込み型が主流になっている。東芝と大日本印刷(DNP)が、チップ素子埋め込み型でセンサモジュールを商用化している[54]。抜本的な薄型化のためには本研究で検討した素子形成型が優れているが、素子形成技術とプリント配線板製造技術を併せ持つ必要があり、実現できるメーカーが限られることも要因の一つである。将来チップ素子の薄型化が限界に達したとき、再び薄膜素子が注目されると考えている。

第 3 章

2D-SiP 用機能素子内蔵基板薄型化のための最適インダクタンス設計技術

3.1 はじめに

本章では，2D-SiP の薄型化実現に必要な設計技術について述べる．第 1 章で分類したアプリケーションのうち，コストパフォーマンス機器をターゲットとする．コストパフォーマンス機器とは，3 万円から 30 万円台の電子機器．例えば，ノートブック PC，デスクトップ PC，高性能ゲーム機，カーナビゲーションなどを指す [17]．コストパフォーマンス機器は携帯電子機器と比較して小型化の要求が強くなく，また低コスト化のため，2D 構造の SiP が主流である．題材として PC 相当の機器の CPU が搭載された Flip Chip Ball Grid Array (FCBGA) パッケージの薄型化を検討する．具体的には，コアレス基板にチップを内蔵した薄型構造を提案し，その設計技術について述べる．

3.2 従来構造とその課題

図 3.1 に従来構造の断面模式図とその課題を示す．一般的な FCBGA パッケージである．放熱のためチップの上にヒートシンクが搭載されている．はんだボールを除くパッケージの厚みが 1.9 mm，はんだボールとヒートシンク込みの厚みが 11 mm である．2008 年当時，筐体厚み 15 mm のタブレット PC 相当の電子機器の開発に着手したが，CPU のパッケージが図 3.1 であり，そのまま筐体に収めることは非現実的であった．そのため，まずこのパッケージを薄型化する必要が生じた．

図 3.1 中に記載された従来構造 (FCBGA) を薄型化する 6 つの課題は，第 1 章で述べた以下の課題そのものである．

- ① ヒートシンクに代わる放熱部品の開発

- ② チップ薄型化技術開発
- ③ はんだボールやワイヤに代わる接続技術開発
- ④ ビルドアップ基板に代わる薄型配線基板製造技術開発
- ⑤ 配線層数削減設計技術開発
- ⑥ 上記技術課題を含んだ抜本的な薄型化技術開発

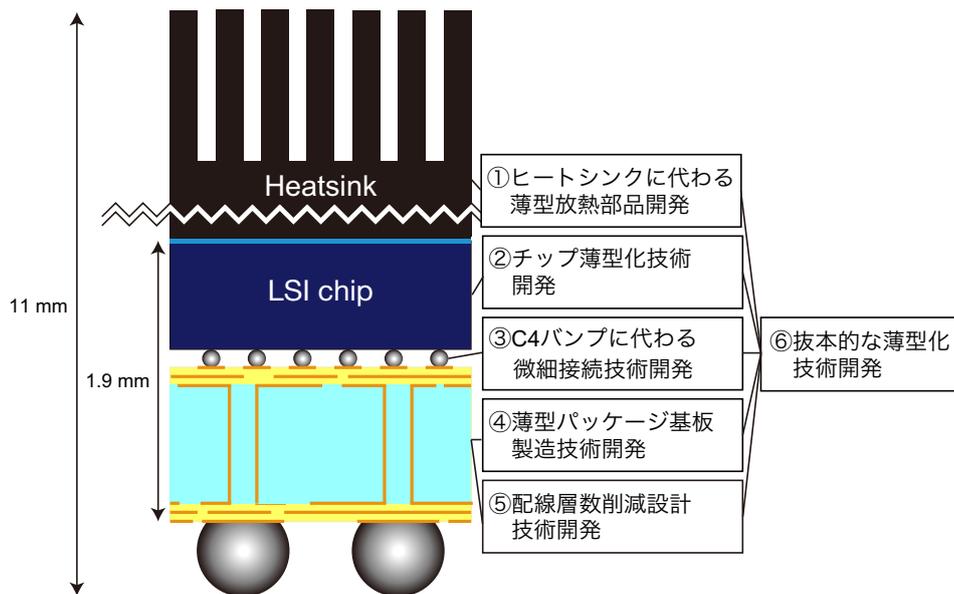


図 3.1: FCBGA パッケージの一般的な従来構造と薄型化のための課題

3.3 薄型化を実現する新構造

3.3.1 新構造の概要

図 3.2 に新構造の断面模式図とそれを実現する 6 つの要素技術を示す。抜本的な薄型化のため、機能素子内蔵基板を採用した。従来構造に比べて、凹凸の少ない形状であることがわかる。これは、1.3 節で述べた思想に基づくブロック形状を具現化したものである。ブロックの表面には $500\ \mu\text{m}$ 厚の銅板支持体を備えた。銅板は熱伝導性が高いためヒートスプレッドとして機能する上、コアレス基板の剛性を向上させる支持体としても機能する。銅板支持体により、2 点の課題を同時に解決することができる。しかも、銅板支持体は課題の解決のために新規で備えるわけではなく、図 3.3 で後述するように基板製造のために必要なものである。そのため、新たなコストアップ要素になることもない。

図 3.3 に新構造の製造プロセスの概略を示す。まず、個片化されたチップの端子面に高さ約 $15\ \mu\text{m}$ の銅ポストを形成する。その後、チップの裏面に Die Attach Film (DAF) を貼付

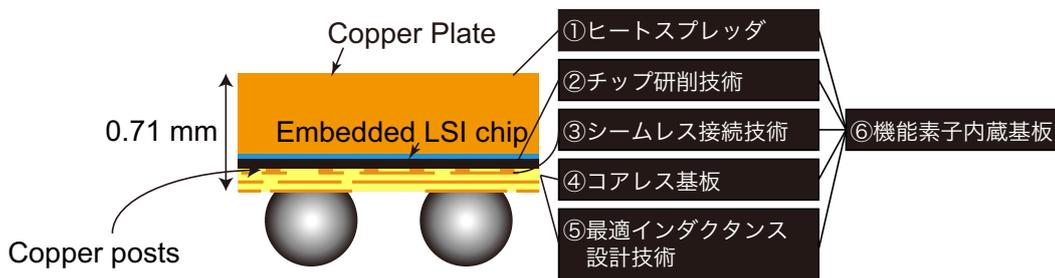


図 3.2: 新構造の断面模式図とそれを実現する要素技術

し， $500\ \mu\text{m}$ 厚の銅板支持体と接着する．次に，チップを覆うように樹脂でラミネートし，銅ポストの端部が露出するまで研削する．ラミネート後の仕上がりは平坦とならなければならないため，樹脂には良好な流動性が要求される．本研究では，低溶解粘度を有するエポキシ系樹脂を採用した．そして，通常のビルドアップ基板のビルドアップ層と同様に配線層を形成していく．最後に，はんだボールをつけた後に個片化して完成である．

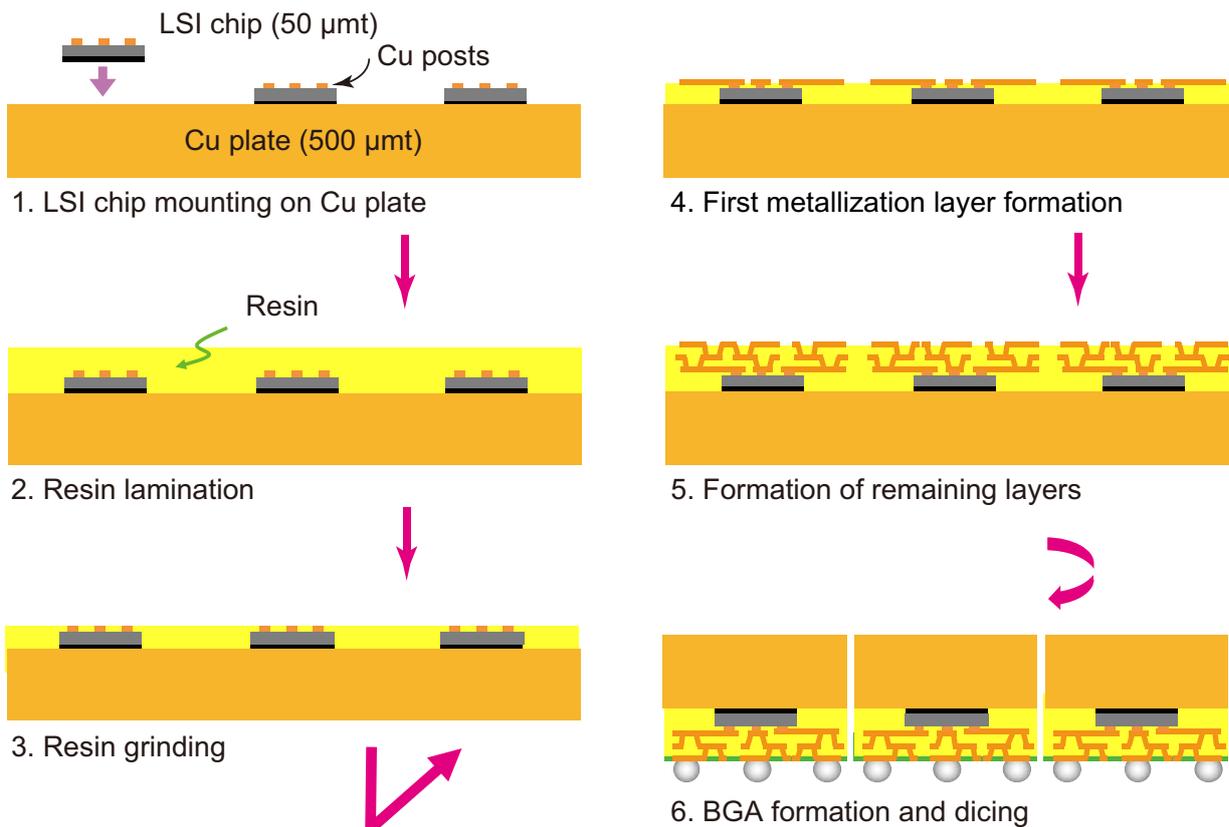


図 3.3: 能動素子内蔵基板の製造プロセス [34]

3.3.2 新構造実現のための課題

前節で挙げた新構造を実現するための6つの要素技術について、実現のための課題を整理する。

“① ヒートスプレッダ”については、ヒートシンクに代わる薄型の放熱部品として支持体である銅板をヒートスプレッダとして活用することとした。熱伝導性の低い樹脂基板に冷却が必要なチップを内蔵するとチップが熱暴走し、最悪の場合故障に至る問題があるため、パッケージ外部に効率よく放熱する構造でなくてはならない。そしてチップと銅板はDAFで挟まれるため、熱伝導率の高いDAFを選択する必要がある。なお、追加の放熱部品の要否はチップの消費電力に依存する。

“② チップ研削技術”については、厚みは $50\mu\text{m}$ 程度でよいため本研究で技術開発は行わず、既出の開発成果を活用する [16, 20, 21]。

“③ シームレス接続”については、配線の多層化が課題である [35]。シームレス接続にはチップレベルとパッケージレベルに大別され、本研究では後者を開発した。前者についてはスーパーコネクとも呼ばれ [55–57]、チップを個片化する前にウェハ上に銅配線を形成する技術である。特に単層配線は既に実用化されており、第4章で題材としたチップのウェハ上再配線として用いた [58]。一方後者については、個片化されたチップを支持体上に再配置した後にチップ上に銅配線を形成する技術である。銅配線の形成技術そのものは両者で変わらない。配線第2層以降の形成はビルドアップ基板と同様に樹脂層と配線層を交互に積層していくため、平坦性の確保が課題となる。

“④ コアレス基板”については、剛性の確保が課題である [25, 30, 33]。そこで、基板製造時に支持体とした銅板を残すこととした。樹脂であるビルドアップ基板のコア層よりも銅板の方が剛性が高いため、コアレス基板ながらビルドアップ基板以上の剛性を得ることができる。なお、パッケージの反りが大きいと、研削して薄型化したチップに応力がかかり、最悪の場合破損してしまう問題がある。チップのコストは受動部品のそれに比べてはるかに高く、内蔵プロセスでチップが故障することは避けなければならない。

“⑤ 最適インダクタンス設計”については、配線層数削減による両面端子により複雑化した配線経路の最適化が課題である [58]。図3.2に示すとおり、能動素子内蔵基板の厚みは、はんだボールを除いて 0.71mm と非常に薄く、従来構造であるFCBGAパッケージの 1.9mm と比べて半分未満である。しかも、銅板は放熱体の役割も担っているため、ヒートシンクが不要である。FCBGAパッケージはチップが基板表面に露出する構造であり、通常はヒートシンクやヒートスプレッダーなどの放熱部品が装着される。本章で題材としたFCBGAパッケージにはヒートシンクが装着されていた。放熱部品込みで比較すれば、新構造はさらなる薄型化を実現しているといえる。それでも、銅板支持体を採用することで基板の厚みは増加するため、

チップの研削 [59] と配線層数の削減により合計の厚みを抑える．電気設計の観点では，配線の微細化をせずに配線層数を削減することは，配線設計の難易度を上げる．そこで，段階を踏んで配線層数を削減していくこととした．

3.3.3 最適インダクタンス設計技術による配線層数削減

本節では，3.3.1 節で述べた要素技術 ⑤ を実現する配線層削減による薄型化を支える設計技術について述べる．説明の中で，他の要素技術も用いながら薄型化を図っていく．

3.3.3.1 ヒートスプレッダをグランド専用層として活用

本節は，3.3.1 節で挙げた要素技術 ① に該当する．新構造は，コアレス構造採用に伴い銅板を支持体として剛性を確保している．図 3.4(a) のように，表面から銅板，チップ，配線層，の構造であり，配線第 1 層を信号，第 2 層をグランドとするマイクロストリップ線路を構成している．この銅板を支持体だけでなくグランドプレーンとすれば，チップから引き出される配線層とでインバーテッドマイクロストリップ線路 (Inverted Microstripline: IMSL) 構造が実現できる．そのため，配線層の BGA 側にグランド専用層を設ける必要がなくなる．これを図 3.4(b) に示す．したがって，配線層を 1 層削減できると見積もれる．

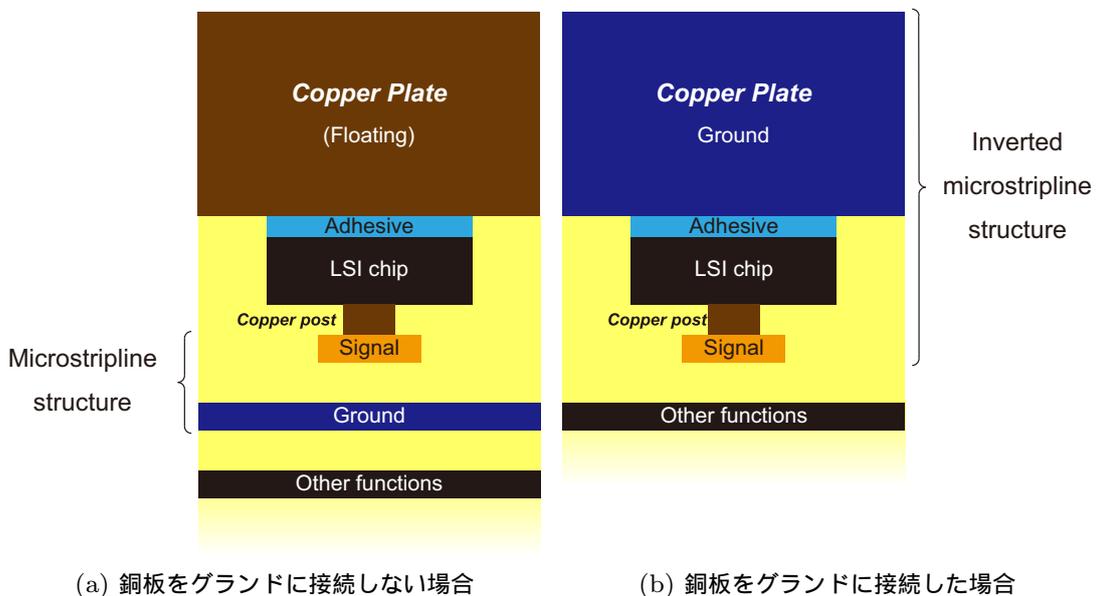


図 3.4: 銅板をグランドとした場合の配線層数

さらに，チップを内蔵することにより，信号配線の実効インピーダンスが制御でき，信号品質の改善につながる可能性がある．仮にチップを内蔵しない場合，図 3.5(a) のように，第 1

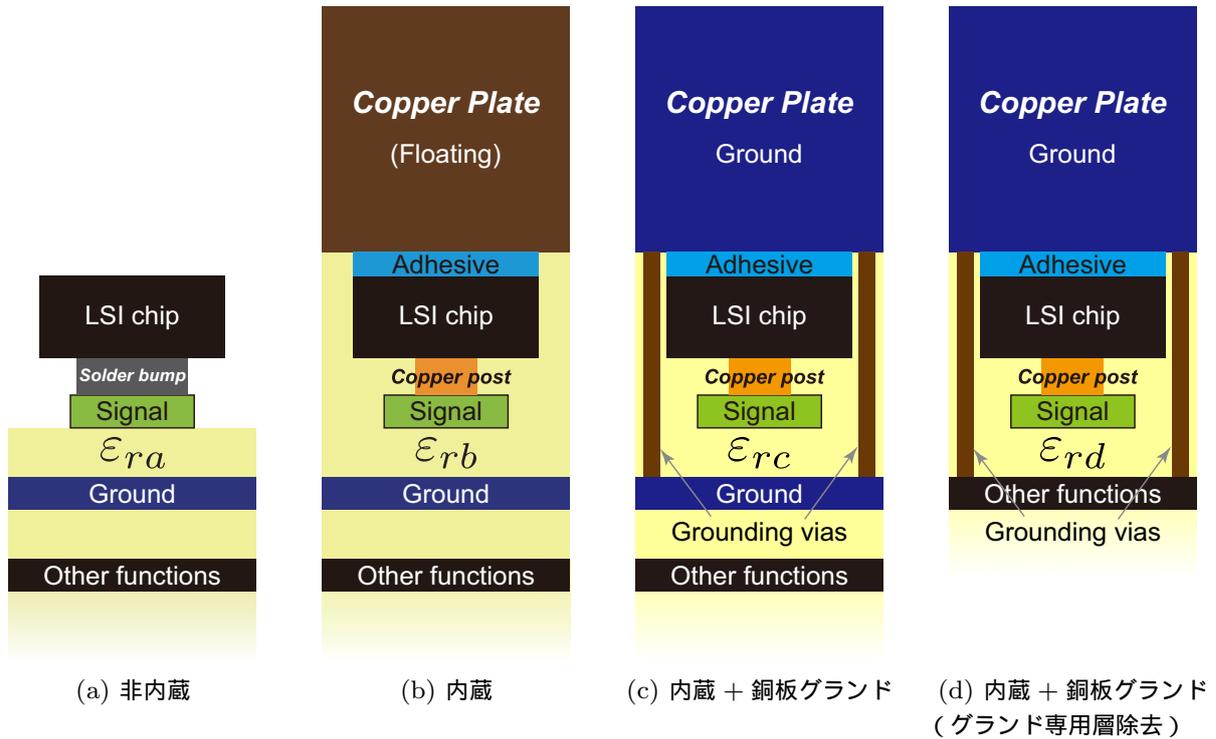


図 3.5: 線路構造の違いによる信号層（第1層）の実効比誘電率

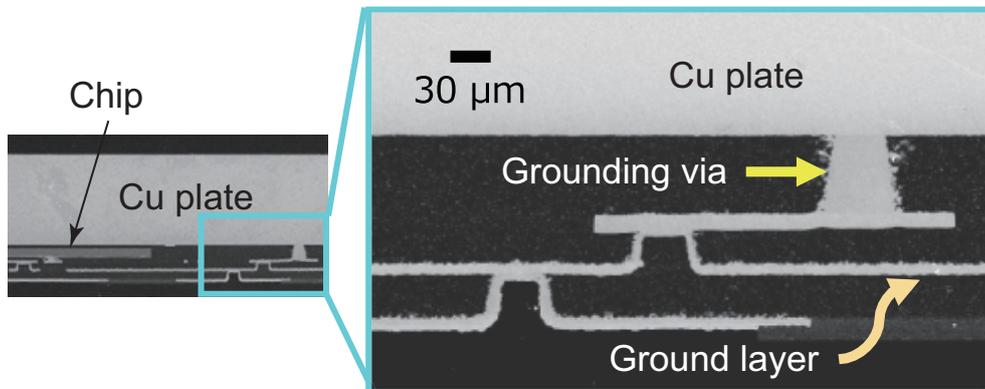


図 3.6: 図 3.5 の“(c) 内蔵 + グラウンド構造” の実際の断面写真

層の信号層はマイクロストリップ線路構造となる．このときの線路の比誘電率を ϵ_{ra} とする．それに対して，新構造は第1層の上部にチップが配置されるため，絶縁体は図 3.5(b) のように第1層が埋没した線路構造となっている．このときの線路の比誘電率を ϵ_{rb} とする．このとき，伝送線路の比誘電率は大きくなり，絶縁体の厚みと線路幅が同じならば，特性インピーダンスが低下する．そして，支持体である銅板をグラウンドに接続すれば，図 3.5(c) のようにストリップ線路構造とみなせ，線路の比誘電率を ϵ_{rc} はさらに増加する．図 3.6 に実際の断面写真を示す．高密度配線実現のために最小配線ルールを適用する場合，絶縁体の厚みに対して配線幅が小さくなり過ぎ，特性インピーダンスが高めになる傾向がある．素子内蔵に伴う図 3.5(c)

の構造により、それを補償できるため、クロストーク特性の改善など信号品質の向上が期待できる。銅板をグランド専用層とみなせれば、3.5(d)のように基板側のグランド専用層を除去することができる。ただし、線路の比誘電率 ϵ_{rd} は低下するため、3.5(c) で低減できた線路の特性インピーダンスが増加することに注意が必要である。

なお、逆に銅板をグランドとせず、ただの支持体として用いる場合、銅板がチップから放射されるノイズを増幅させるアンテナの役割を果たして、EMI 特性を劣化させる可能性がある。積極的に配線設計に活用するか否かにかかわらず、銅板はグランドに接続することが望ましい。

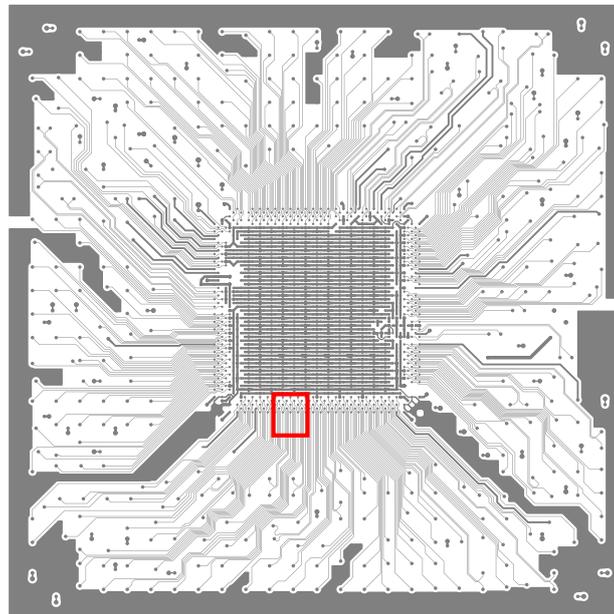
3.3.3.2 シームレス接続による配線の微細化

本節は、3.3.1 節で挙げた要素技術 ③ に該当する。微細化による寄与は、構造面と電気特性面の 2 点がある。まず構造面の寄与について述べる。チップとパッケージの接続に、C4 バンプより微細な銅ポストを用いることで、パッド径が小さくなり、チップから配線を効率的に引き出すことができる。図 3.7a のように、従来構造では、C4 バンプを受けるパッド径が $160\ \mu\text{m}$ 、パッド間隔が $320\ \mu\text{m}$ 、つまりパッド間の空間は $160\ \mu\text{m}$ であった。ここで、パッド間を単一層で引き出す配線の本数を n 、配線幅と配線間隔をそれぞれ l と s 、パッド径を d 、パッド間隔を g とすると、

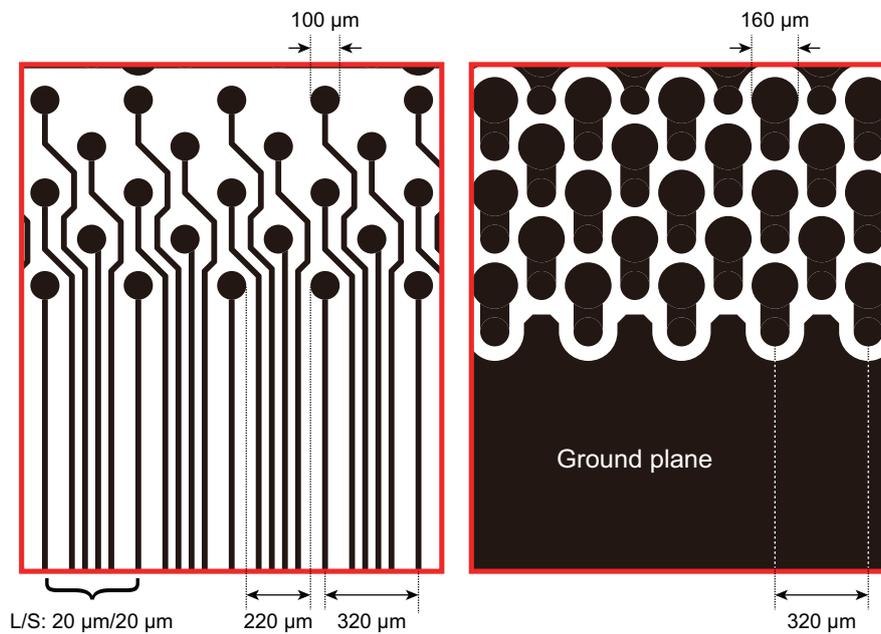
$$n \leq \frac{g - d - s}{l + s} < n + 1 \quad (3.1)$$

を満たす必要がある。再外周はパッド間を通らずに引き出せるため、 $n = 4$ を満たせば 5 本の配線を第 1 層で引き出すことができる。従来構造の場合は、 $l = s = 24$ 、 $g = 320$ 、 $d = 160$ であるので、(3.1) 式の中辺は約 2.8 となる。 $n = 4$ であるから条件を満たさない。そのため、ビアを介して第 2 層を使って引き出していた。ビアのパッド径は $100\ \mu\text{m}$ と C4 バンプの受けパッド径より小さい。 $d = 100$ として (3.1) 式に代入すると、中辺は約 4 となり、条件を満たす。したがって、第 1 層はベタグランドとして、必要な 5 本の配線はすべて第 2 層を用いて引き出している。新構造では、C4 バンプよりも微細な銅ポストを採用する。銅ポストの受けパッド径は従来構造のビアのパッド径と同じ $100\ \mu\text{m}$ と同じである。したがって、従来構造と同じ配線ルール、つまり配線幅と配線間隙 (Line/Space: L/S) が $24\ \mu\text{m}/24\ \mu\text{m}$ であれば、ベタグランド専用層を削減し、5 本の配線をすべて第 1 層で引き出すことができる。実際に採用した L/S は配線設計の余裕度向上と生産容易性を勘案して、 $20\ \mu\text{m}/20\ \mu\text{m}$ とした。

以上より、配線層を 1 層削減できると見積もれる。



(a) 全体図 (能動素子内蔵基板)



(b) 拡大図 (能動素子内蔵基板)

(c) 拡大図 (従来構造)

図 3.7: 第 1 層の比較

3.3.3.3 コアレス構造によるピアインダクタンス低減

本節は、3.3.1 節で挙げた要素技術 ④ に該当する。コアレス基板はビルドアップ基板に比べてピアインダクタンスが小さいため、良好な電気特性を有することは第 1 章で述べた。ピアインダクタンスの減少は PDN インピーダンスの減少につながるため、低インピーダンスを目的として大きなプレーン面積を必要としていた電源専用層を削減、またはプレーン面積を縮小しても同等の PDN インピーダンスを維持することができるはずである。副次効果として、削減された層数分、基板内の信号経路の不連続部となるピアなどの層間接続体が減少する。筆者らは不連続部が電気特性に与える影響について検討しており [6, 60]、コアレス化およびピアの減少は信号品質の向上につながるといえる。すなわち、コアレス基板はビルドアップ基板に比べて少ない層数でも電源品質、信号品質を保つことができると考えられる。

まず、何層の配線層が削減できるのか、参考文献から推定を試みた。文献 [60] では、簡易シミュレーションモデルを用いて 8 層のビルドアップ基板よりも、4 層のコアレス基板の方が信号品質に優れる事例が報告されている。このときのビルドアップ基板の層構成は、3 層がグラウンド、1 層が信号、1 層が BGA ランドである。一方コアレス基板の層構成は、2 層がグラウンド、1 層が信号、1 層が BGA パッドである。電源専用層についての記載はないが、ビルドアップ基板は 3 層、コアレス基板はゼロと推定される。したがって、削減できた配線層は、グラウンドが 1 層、電源が 3 層であるといえる。従来構造である FCBGA パッケージは 6 層で、信号は 1 層で文献 [60] と同様である。そのため、グラウンドが 1 層、電源が 1 層の合計 2 層削減できると見積もれる。

ここで、コアレス構造の採用により減少するピアインダクタンスを試算する。図 3.8 は、新構造と従来構造におけるピアサイズとその占有面積を比較したものである。パッケージサイズが大きくなる場合、反り抑制のために厚みの大きいコア層が用いられることが一般的である。アスペクト比が小さいと製造歩留まりが低下するため、コア層を貫通させるスルーホールの高さに加え、径も大きくなる。図 3.8 のように平行に隣接する 2 つの層間接続体を作る閉ループのインダクタンスを (2.3) 式を用いて求めてみる。従来構造では、ピア径は $300\ \mu\text{m}$ 、ピア長は $800\ \mu\text{m}$ 、そしてピア間隔は $1000\ \mu\text{m}$ であった。このとき閉ループのピアインダクタンスは約 $0.56\ \text{nH}$ となる。一方、新構造では、ピア径は $80\ \mu\text{m}$ 、ピア長は $35\ \mu\text{m}$ 、そしてピア間隔は $500\ \mu\text{m}$ であった。このとき閉ループのピアインダクタンスは約 $0.034\ \text{nH}$ となり、従来構造の約 $1/16$ に低減できることがわかる。図 3.8(a) からわかるように、新構造の層間接続体の占有面積は $500\ \mu\text{m}$ 径の円の面積である。一方、従来構造の層間接続体の占有面積は $1000\ \mu\text{m}$ 径の円の面積である。したがって、図 3.8(c) のように、新構造では 7 個の層間接続体を配置可能な占有面積に対して、従来構造では 1 個のみの占有面積に相当する。

そして、副次的な効果として、信号配線の不連続部となるピアが微細化することで、不連続部における信号の反射が抑制される [26, 61]。これは、ピア径と信号配線幅の差が小さくなる

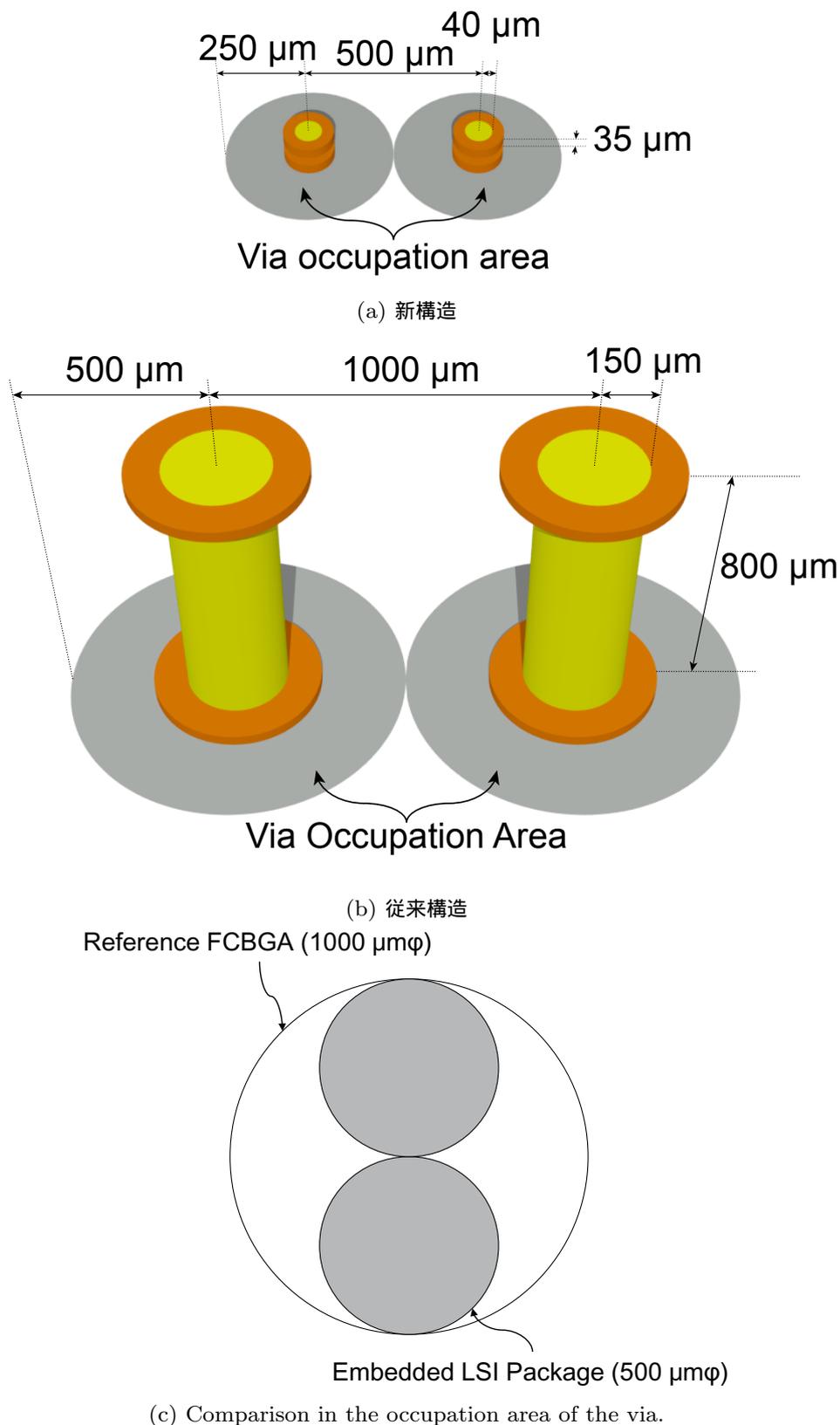


図 3.8: ビアサイズと占有面積の比較

ためである。なお、構造面の寄与で述べた銅ポストの採用によっても同様に電気特性面の寄与はあるはずだが、コアレス構造の採用で実現される微細化に比べてその度合いは小さいため、顕著な差はないと考えられる。

3.3.3.4 電源専用層の削減

これまで説明した3つの要素技術は、構造面からの薄型化を実現する技術であり、適用した結果として配線層数の削減につながるものであった。それに対して、この要素技術は純粋な配線層数削減を目的としているところが異なる点である。すなわち、本節は3.3.1節で挙げた要素技術⑤自身に該当する。

まず、一般的なチップ・パッケージ・ボード構造について説明し、本章で題材とした構造へ対応づけていく。図3.9は、チップ実装されたパッケージ（インターポザ）がボードに実装された、一般的なチップ・パッケージ・ボード構造である。パッケージ、ボードともに4層ビルドアップ基板としている。ボードに電源専用層、グランド専用層があり、外部から給電される。信号専用層はチップからパッケージ、ボードを介して、メモリまでの経路を例示している。チップへは、ボード、パッケージの順に給電される。パッケージにもプレーンとして電源専用層、グランド専用層を設けるのが一般的である。また、信号線特性インピーダンスを制御するため、グランド専用層が必要となる場合がある。特に高速信号の場合は必須である。グランド専用層には給電経路と信号経路の2つの役割がある。特に高速または高消費電力のチップの場合は、Power Distribution Network (PDN) のインピーダンスと抵抗を低減する目的で必ず設ける。本章でターゲットとしたコストパフォーマンス機器も対象である。そして、高周波帯域のPDNインピーダンスを低減する目的で、デカップリングキャパシタを設ける。第2章で述べたように、寄生インダクタンスを抑制するため、デカップリングキャパシタはチップの近傍に配置することが望ましい。

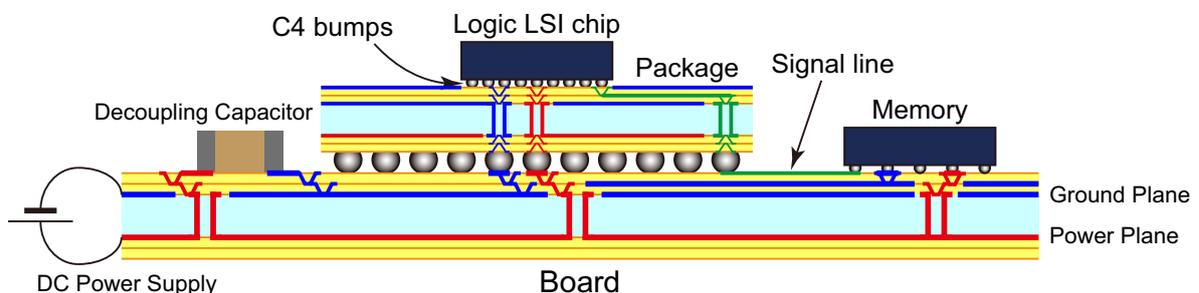


図 3.9: チップ・パッケージ・ボードの断面構造

ここで、信号専用層、電源専用層、グランド専用層について、配線層削減の可否を検討する。信号専用層については、配線の微細化が有効な対策である。2層以上割り当てられている場合も、微細化により1層に集約できる。一方、電源専用層、グランド専用層については、PDN

を正しく設計して、パッケージ、ボードの電源専用層、グランド専用層を適切に割り当てること重要である。PDN において電流が流れにくい経路をプレーンとしても、全体のインピーダンス低減には寄与しないからである。以下ではパッケージ、ボードに場合分けして PDN 設計について説明する。

最初に、パッケージについて述べる。図 3.10 はパッケージの断面模式図で、チップからボードにファンアウトされる配線経路を示したものである。第 1 章で述べたように、チップとボードの寸法差を解消するため、チップからボードへ配線はファンアウトされる。このとき、パッケージ内周部への配線（経路 A）に比べて、外周部への配線（経路 B）の配線長は大きくなる。経路 A は、チップ側のパッドからほぼ直下のボード側のパッドと接続することができる。実際の構造ではボード側よりもチップ側のパッド間隔の方が小さいため、ファンアウト配線は存在するが短い。チップのパッドの直下にボードのパッドが存在する場合は、ファンアウト配線は無視できると仮定する。したがって、電源専用層、グランド専用層を設けなくてもよい。一方経路 B は、パッケージ内の水平方向の配線を介して、チップ側とボード側のパッドが接続される。この水平方向の配線のため、電源専用層、グランド専用層の割り当てを検討する必要がある。詳細は次節で述べる。

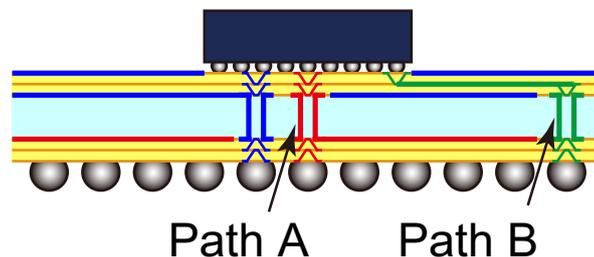


図 3.10: パッケージのパッドレイアウトと配線経路

次に、ボードについて述べる。ボードの電源専用層、グランド専用層は、ボードに実装される部品への共通の給電経路であるため、必ず電流が流れる。これらの除去は PDN インピーダンスの悪化につながり、機器の安定動作の観点から望ましくない。したがって、これらは最低各 1 層確保する。複数の電源がある場合は、単一の電源専用層内で分割するか、複数の層とする。

図 3.11 にパッケージの断面図と上面図を示す。配線のインダクタンスの影響を軽減させるため、チップ側のパッド間隔をボード側と一致させ、経路 A に近い構造とみなす。そして、チップの電源パッドと、直近のグランドパッドを観測点と定義し、PDN インピーダンス（インダクタンス）を算出する。第 1 層はチップとの接続面、第 4 層はボードとの接続面である。そして第 2 層はグランド専用層、第 3 層は電源専用層である。図 3.11 の断面図では電源とグランドが分断されているように見えるが、実際はプレーンであり、スルーホールパッド周辺

では両者が短絡しないよう円形の間隙（アンチパッド）を設けている．第 n 層と第 $n + 1$ 層の間のビアのインダクタンスを L_{vn} ，第 n 層の配線のインダクタンスを L_{hn} とすると，図 3.11 の等価回路は図 3.12 のように書ける．なお，基板両面を接続する電源・グランドを一对とした経路の数を N とすると，図 3.11 は $N = 2$ である．図 3.12 の電源側に着目すると，図 3.13

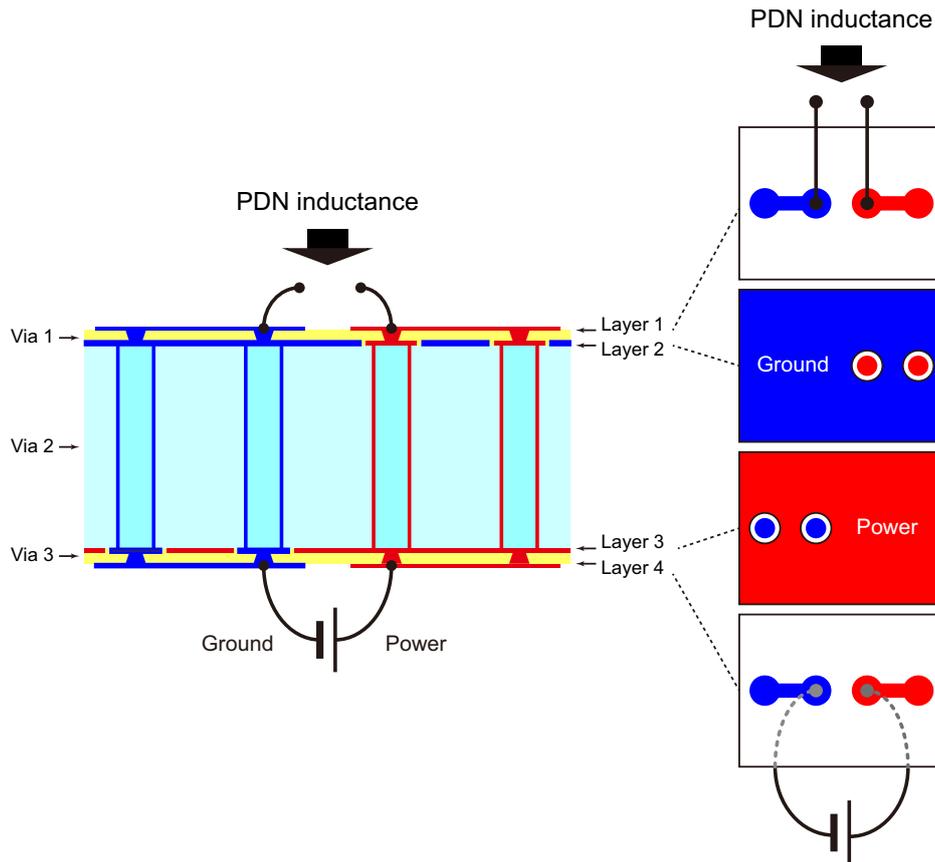


図 3.11: パッケージの模式図（左: 断面図，右: 上面図）と給電経路（経路 A）

のようなブリッジ回路になっていることがわかる．

このブリッジが平衡となる時，第 3 層に電流が流れなくなる．すなわち，第 3 層を除去しても PDN インダクタンスに影響を与えない．図 3.13 のモデルにおいて， L_{h3} ，つまり第 3 層に電流が流れない条件は

$$\frac{L_{h1} + L_{v1} + L_{v2}}{L_{v1} + L_{v2}} = \frac{L_{v3} + L_{h4}}{L_{v3}} \quad (3.2)$$

である [62]．グランドについても同様に，ブリッジが平衡となる時第 2 層に電流が流れなくなる．しかし，グランド専用層の除去は慎重な検討が必要である．グランドは給電経路だけでなく信号経路でもあり，グランド専用層を除去すると特に電気長が大きい場合に信号線のインピーダンス不整合が問題になる．また，グランド専用層の持つシールド効果が消滅するため，Electro-Magnetic Compatibility (EMC) の観点からも望ましくない．

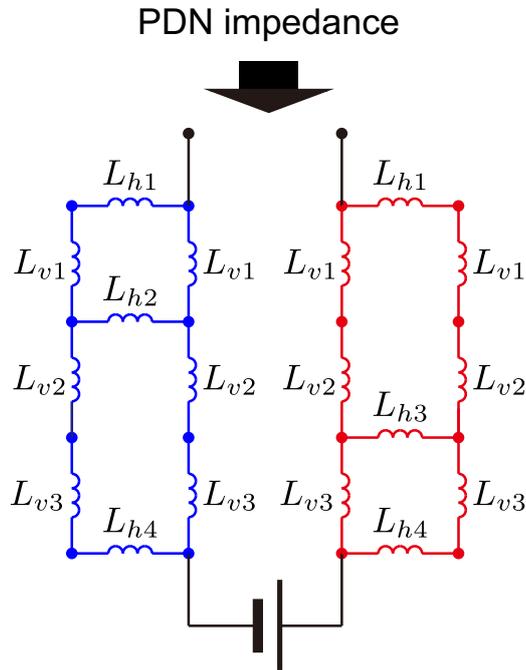


図 3.12: 図 3.11 の等価回路

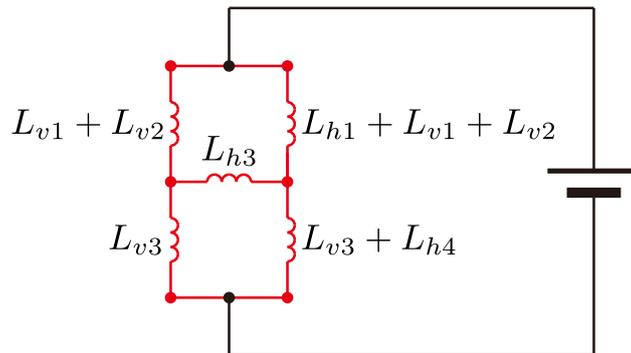


図 3.13: 電源側の等価回路

(3.2) 式は, 図 3.11 に示した説明を簡単にするための理想的な構造における平衡条件である. 現実には上式を満たすような L_{hm}, L_{vn} を選ぶことは困難であるため, 近似的に成立する条件を考える. 図 3.13 の等価回路における合成インダクタンスを L とすると, 以下のように書ける.

$$L = L_1 + \frac{(L_3 + L_4)(L_2 + L_5)}{L_2 + L_3 + L_4 + L_5} \quad (3.3)$$

ただし,

$$L_1 = \frac{L_a L_b}{L_a + L_b + L_c}$$

$$L_2 = \frac{L_b L_c}{L_a + L_b + L_c}$$

$$L_3 = \frac{L_c L_a}{L_a + L_b + L_c}$$

$$\begin{aligned}
 L_4 &= L_{v3} + L_{h4} \\
 L_5 &= L_{v3} \\
 L_a &= L_{h1} + L_{v1} + L_{v2} \\
 L_b &= L_{v1} + L_{v2} \\
 L_c &= L_{h3}
 \end{aligned}$$

簡単のため、 $L_{h1} = L_{h2} = L_{h3} = L_{h4}$ 、 $L_{v1} = L_{v3}$ を前提とする。このとき、 $L_{h1} \gg L_{v1}$ または $L_{h1} \ll L_{v1}$ ならば (3.2) 式は成立する。そこで、 L_{h1}/L_{v1} を変数として、第 3 層を除去あるいは強化、すなわちインダクタンスをゼロにしたことによる PDN インダクタンスの変化率を回路シミュレーションにより求めた。パッケージがビルドアップ基板とコアレス基板の場合を想定し、前者は $L_{v2} = 16L_{v1}$ 、後者は $L_{v2} = L_{v1}$ とした。また、第 3 層のプレーン面積を図 3.12 の等価回路の段数 N とみなし、 $N = 2, 5, 10$ と変化させた。算出結果を図 3.14 に示す。 L_{h1}/L_{v1} が非常に大きい、または小さい場合は (3.2) 式の条件を満たすため、PDN インダクタンスは増加しない。平衡にならない場合、後述の (2.4) 式より面積が大きいほどプレーンに電流が流れやすくなるため、これを除去あるいは強化すると PDN インダクタンスの変動が大きくなる。したがって、 N が大きいほど変動が大きくなる。なお、 $L_{h1} \gg L_{v1}$ の場合は平衡条件を満足するが、等価回路上は $N = 1$ とみなせる。このときはプレーンにほとんど電流が流れないため、実用的でない。

経路 A においては、平衡条件を満足できない場合においても、電源プレーンを除去することができる。簡易モデルでの検証では、除去によりビルドアップ基板は最大 5%、コアレス基板は最大 0.5% 程度 PDN インダクタンスが増加することが試算された。電源専用層を除去ではなく強化した場合を想定して、 $L_{h3} = 0$ として試算したところ、除去した場合とほぼ正反対の挙動を示した。ビルドアップ基板は最大 5%、コアレス基板は最大 0.5% 程度 PDN インダクタンスが減少した。経路 A にもファンアウト配線が存在するが無視できると仮定したが、結論として、特にコアレス基板の場合は平衡条件を意識することなく、電源プレーンを除去することが可能といえる。

なお、本節では配線インダクタンスのみを取り上げたが、全く同じ考え方が配線抵抗にも適用できる。一般的に、チップのパッド数が多い電源は、パッド当たりの電流密度を下げるのが目的であるため、パッケージ設計においてもビアの電流許容量を超えないように注意する必要がある。

図 3.15 に、経路 B の場合のパッケージ断面構造を、図 3.16 にその等価回路を示す。経路 B においてはブリッジ回路にはならないため、電源専用層、グランド専用層には必ず電流が流れる。したがって、各層のインダクタンスを小さくすることが必要である。

2.3 節で述べた平行平板構造で電源専用層、グランド専用層からなる給電経路をモデル化す

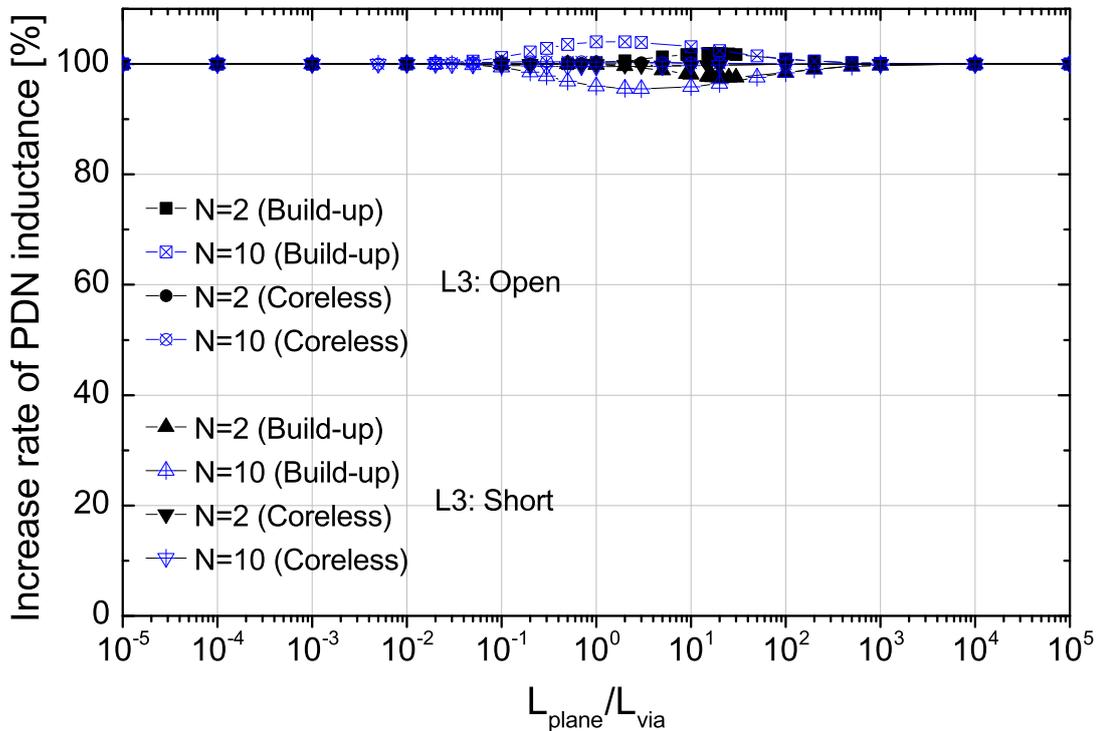


図 3.14: 第 3 層 (電源プレーン) 除去または強化による PDN インダクタンスの増加率

る。層間距離を g 、プレーンの幅を w 、長さを l とすると、インダクタンス L_{plane} は、

$$L_{plane} = \mu_0 \frac{g}{w} l \quad (3.4)$$

と書ける [42]。(2.4) 式より、電源専用層を削減することは w を小さくしてプレーンから配線にすることに相当する。 w のみ小さくすればインダクタンスは増加するが、同時に d も小さくすることができれば相殺できる。例えば、板の幅を $1/10$ にしたとしても、板の間隔も $1/10$ にできれば、インダクタンスは変わらない。 d が小さい構造の一例は、コアレス基板である。

また、経路 B では配線抵抗も考慮が必要である。配線抵抗が高いと IR ドロップ (電圧降下) が発生し、チップに所望の電圧が供給できなくなる [63]。あるいは、許容電流を超える電流が流れると、最悪の場合は配線が焼損する。チップのコア電源など、消費電力が大きく電圧の小さい電源は大電流が流れるため、配線幅を極力大きくしなければならない。プレーンの抵抗率を ρ 、幅を w 、厚みを t 、長さを l とすると、抵抗 R_{plane} は、

$$R_{plane} = \frac{\rho}{wt} l \quad (3.5)$$

と書ける [42]。なお、配線幅と許容電流の関係は MIL-STD-257 で規定されている。例えば、 $t = 35\mu\text{m}$ で雰囲気温度からの温度上昇を 10°C とするとき、 $w = 0.4\text{mm}$ ならば 1.0 A 、 $w = 1.0\text{mm}$ ならば 2.2 A と概算できる [64]。チップに比べてパッケージの配線幅は十分大き

いため、信号では多くの場合配線抵抗は問題にならない。しかし、電源やグランドの場合は配線幅が許容電流を超えないよう、設計時に注意する必要がある。

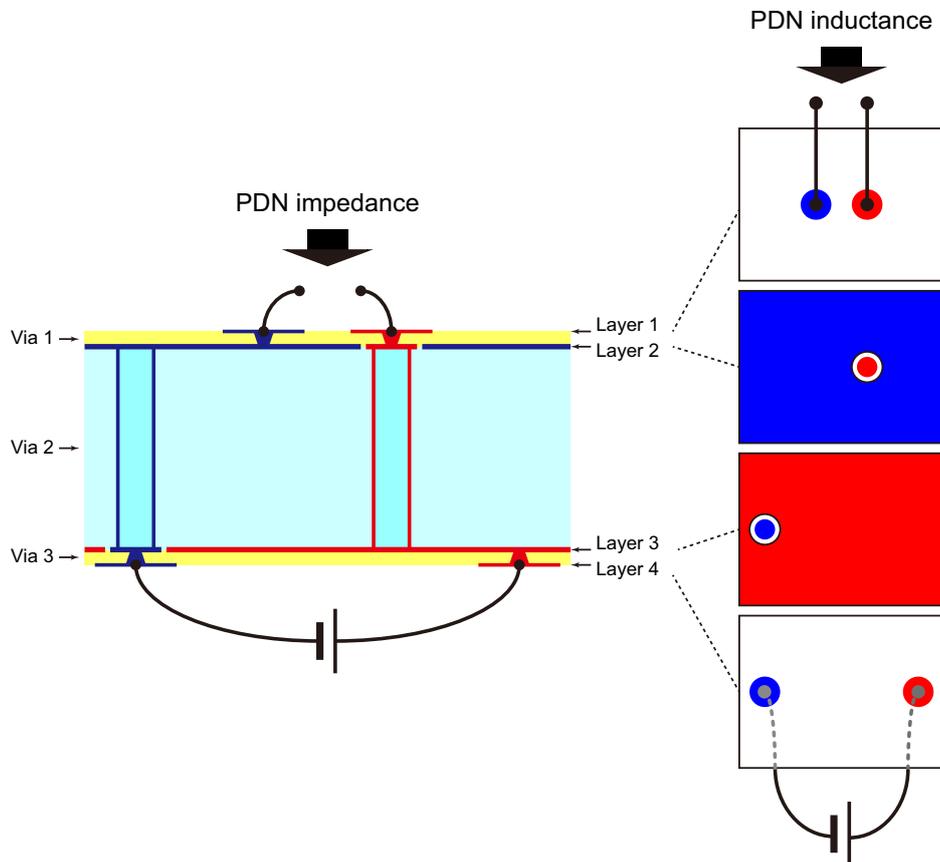


図 3.15: パッケージの模式図 (左: 断面図, 右: 上面図) と給電経路 (経路 B)

経路 B の場合も、電源専用層、グランド専用層間の小さいコアレス基板を用いれば、パッケージ内の電源専用層を削減することができる。ただし、電源専用層とグランド専用層は対向している必要があるため、経路 A よりも制約条件は厳しい。そして、電源専用層を削減すると配線抵抗が増加するので、大電流を流す必要がある場合は注意が必要である。

3.3.4 題材とした機器

本章の構造のターゲットは、コストパフォーマンス機器である。そこで、PC 相当の機器を題材として検討を行うこととした。以下にその諸元について説明する。機器の機能ブロック図を図 3.17 に示す。主なインターフェースとして PCI-Express, USB, イーサネット, DVI, オーディオを持つ。表 3.1 に、題材としたチップの機能とパッド数の関係を示す。約 1500 パッドを有し、うち電源、グランドで約 1000 パッドが割り当てられている。また、5 種類の独立した電源を持つ。次に、パッケージの比較を表 3.2 に示す。最大信号速度は 400 MHz で、

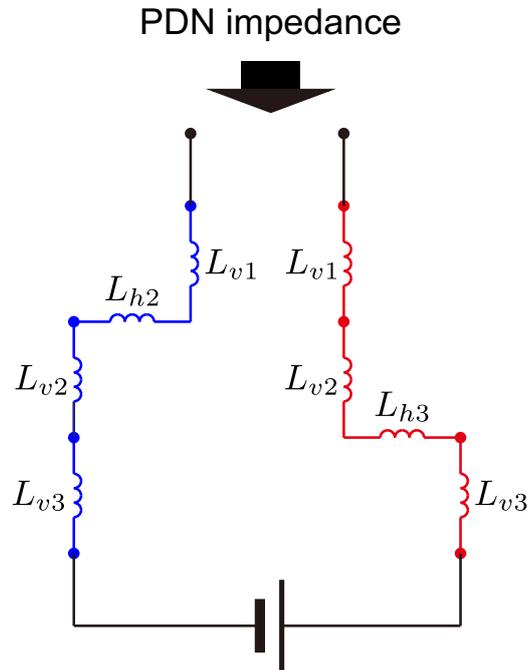


図 3.16: 図 3.15 の等価回路

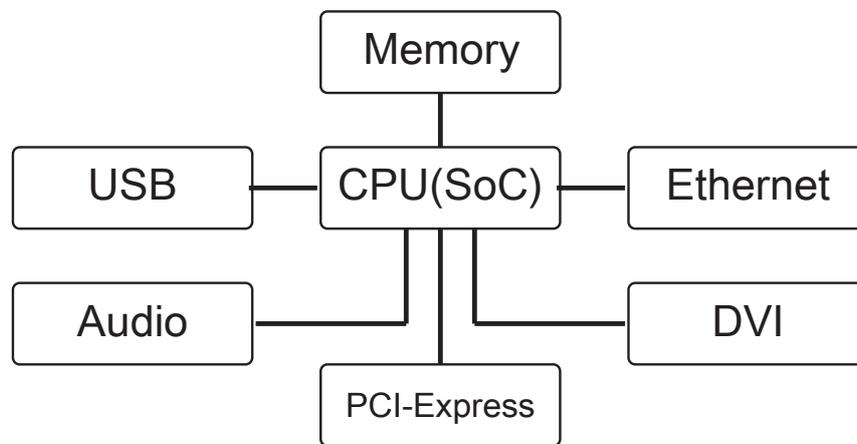


図 3.17: 題材とした PC 相当機器の機能ブロック図

メモリアンタフェースは DDR2-533 である。

そして、従来構造の層構成を図 3.18 に、各層のパターンを図 3.19 に示す。

表 3.1: チップの機能とパッド数の関係

機能	電圧 [V]	パッド数	用途
電源 1	1.2	454	コア電源
電源 2	1.8	42	DDR2-SDRAM 電源
電源 3	2.5	4	I/O 電源
電源 4	3.3	38	I/O 電源
電源 5	1.2	8	PCI-Express
グラウンド 1		501	電源 1-4 のグラウンド
グラウンド 2		8	電源 5 のグラウンド
信号・その他		約 450	
合計		約 1500	

表 3.2: パッケージの諸元

		能動素子内蔵 (本研究)	従来構造
チップ	サイズ	7.5 mm 角	←
	パッド数	約 1500	←
	パッド間隔	160 μ m 千鳥端子	←
	厚み	50 μ m	750 μ m
	最大信号速度	400 MHz	←
基板	サイズ	27 mm 角	←
	裏面パッド数	625	←
	厚み	0.71 mm	1.9 mm
	配線層数	3	6

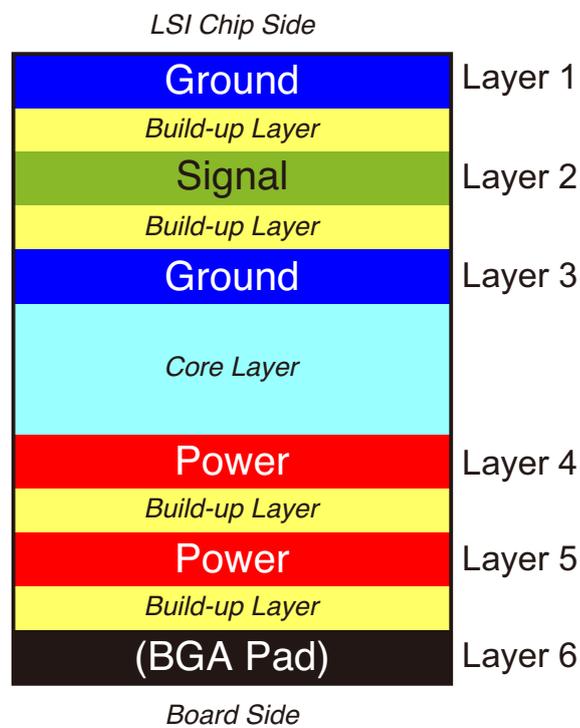


図 3.18: 従来構造 (FCBGA) の層構成

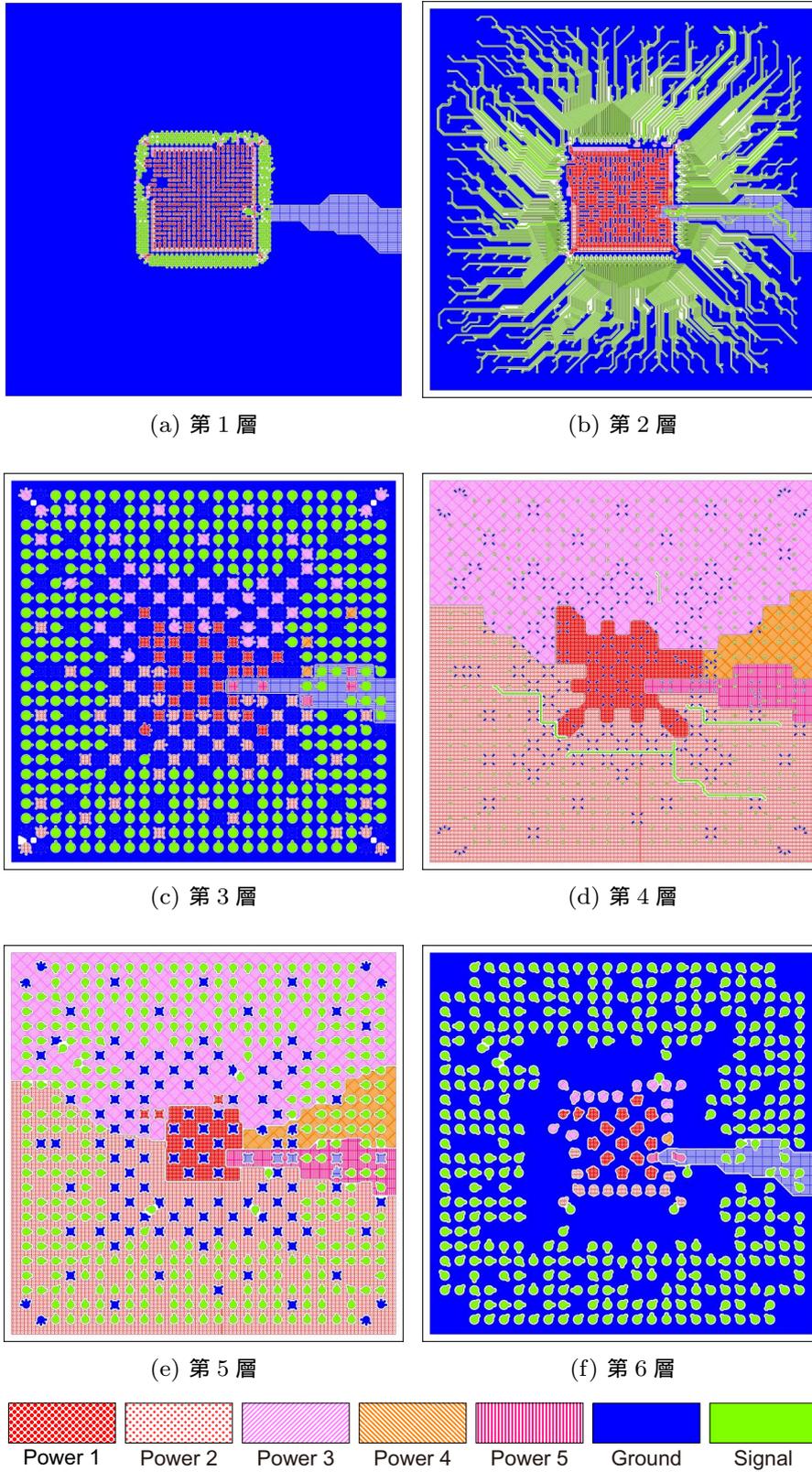
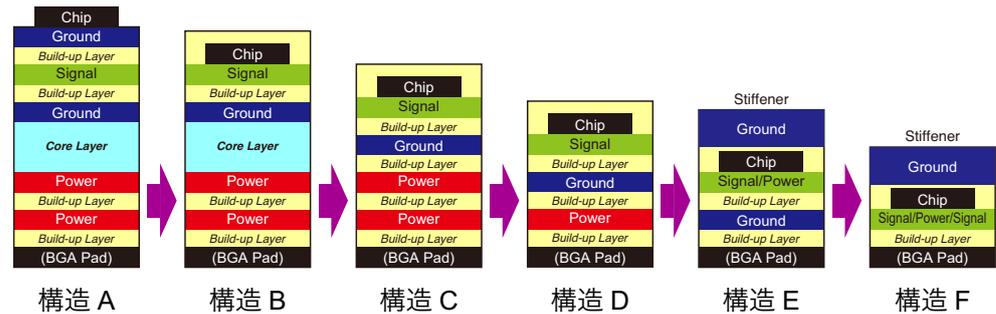


図 3.19: 従来構造の配線パターン (パッケージサイズ: 27 mm 角)

3.3.5 配線層数削減の検討手順

本節では，前節までに述べた3つの設計上の特徴を適用して，新構造の配線層数を削減する手順について述べる．



	Step 1	Step 2	Step 3	Step 4	Step 5
①ヒートスプレッド				○	○
②チップ研削				○	○
③シームレス接続	○	○	○	○	○
④コアレス基板		○	○	○	○
⑤最適インダクタンス設計		○	○	○	○
⑥機能素子内蔵	○	○	○	○	○

図 3.20: 配線層数削減の検討手順と適用した技術

層数削減は図 3.20 に示すように段階的に行った．各段階で信号品質，電源品質を従来構造と比較し，従来構造以下であれば次の構造を検討する方針とした．まず，従来構造である6層FCBGAパッケージを構造 A とする．構造 A の層構成は，チップ側から第1層とし，グラウンド，信号，グラウンド，電源，電源，BGAパッドの順である．信号層は第2層であり，第1層と第3層のグラウンド専用層に挟まれたストリップ線路構造になっている．最初は，チップと基板の接続に“③シームレス接続による配線の微細化”を適用する．これにより，構造 A から第1層のグラウンドプレーンを除去できる．このとき，ストリップ線路を構成する片側のグラウンドプレーンを除去することで，マイクロストリップ線路構造に変化するため，本来は信号線路幅を調整しないと特性インピーダンスが悪化してしまうが，検討の簡単化のため無視する．これを構造 B とする．

次に，構造 B に“④コアレス構造によるビアインダクタンス低減”を適用する．まず，構造 B のコア層の厚み (800 μm) だけを変化させ，ビルドアップ層と同じ厚み (35 μm) とする．これを構造 C とする．3.3.3.3 節のポイントは2層程度削減が期待できること，また電源専用層をゼロとできる可能性があるので，2層ある電源専用層を段階的に削減していくこととする．構造 C までは従来構造のレイアウトを流用したが，ここからは実際に試作することを念頭に

入れ、配線ルールを変更する。3.3.3.2 節で述べたとおり、最小の配線幅及び配線間隔を各々 $20\ \mu\text{m}$ とする。そして製造歩留まり向上のため、チップ側から見た第 2 層以降の配線幅及び配線間隔は微細化せず、各々 $50\ \mu\text{m}$ とする。配線ルールの変更に伴い、改めて配線設計を実施する。“⑤ 最適インダクタンス設計”により、構造 C から電源専用層を 1 層除去したものを構造 D、電源専用層を完全に除去したものを構造 E とする。

最後に、“① ヒートスプレッタをグランド専用層として活用”を適用し、構造 E からグランド専用層を除去する。これを構造 F とする。信号層と銅板でインバーテッドマイクロストリップ線路を構成するため、特性インピーダンスを構造 E と同等とするには、この層間距離はビルドアップ層と同じ $35\ \mu\text{m}$ としなければならない。しかし、このときチップは最大でも $35\ \mu\text{m}$ 厚と非常に薄くなるため、製造時の取り扱いが極めて難しい。さらに、銅板と配線層を接続するための製造工程もあり、歩留まりの低下が懸念される。そこで、あくまでも構造 F は理想的な構造と位置づけて製造容易性は考慮せず、試作による動作実証は構造 E で行うこととする。将来の製造プロセス改善を想定し、第 2 層の最小配線幅及び配線間隔も第 1 層と同じく、各々 $20\ \mu\text{m}$ として設計する。さらに、層数削減による PDN インピーダンスの増加を抑えるため、層間のビア配置を最適化する。

3.3.6 各層の配線パターン

以上の手順によって設計された、構造 F の配線パターンを図 3.22 に示す。第 1 層は信号線が優先的に配線され、余白にグランドを配置している。第 2 層は BGA ランドの余白にグランドを配置している。3 層の構造 E ではグランド専用層があり、電源専用層がないため、余白は優先して電源を配置していた。しかし、コアレス化による PDN インピーダンス減少の効果は大きいと予想されることと、銅板とグランドの BGA パッドとの接続を密にして信号品質を向上させたいことから、余白はグランドを配置し、多数のビアで層間を接続することとした。そして電源は配線を短く、かつ多数のビアを並列配置することにより、PDN インピーダンスの低下を図った。

3.4 電気特性の評価

3.4.1 信号品質

本章では信号品質を挿入損失 (S_{21}) とアイパターンで評価した。図 3.23 に示す系で、電磁界シミュレーション [37] によりすべての信号線の S パラメータを算出した。パッケージ基板に許容される挿入損失についての明確な基準は存在しないが、本論文では最大 0.5 dB であると仮定し、0.5 dB 以内となる帯域幅を評価基準として用いた。

はじめに、表 3.3 と図に 267 MHz における全信号の挿入損失比較を示す。全信号線の特性

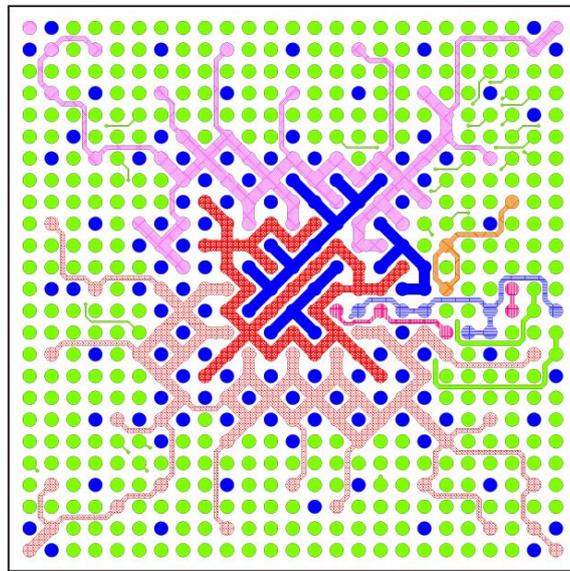
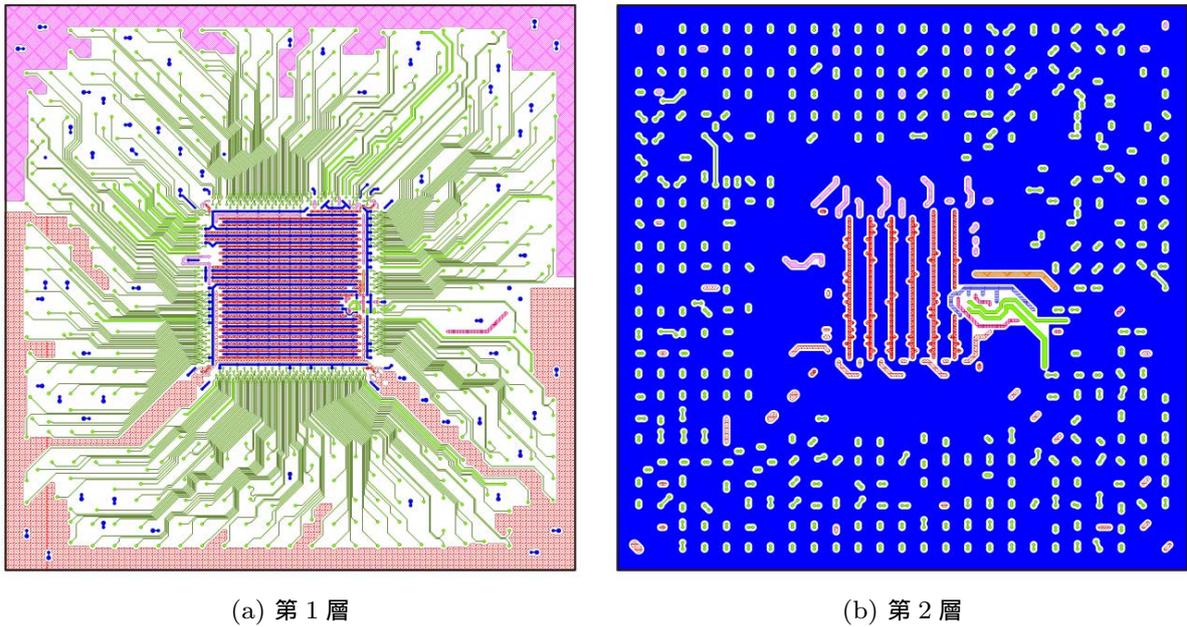


図 3.21: 構造 E の配線パターン (パッケージサイズ: 27 mm 角)

インピーダンスは 50Ω であると仮定した。最大，最小値ともに層数削減による影響は見られず，良好であった。また，配線自由度の低下に起因する信号線毎のバラツキは層数の減少により若干上昇する傾向にあるが，当初懸念していたほどではなかった。これは，信号線の帰路と

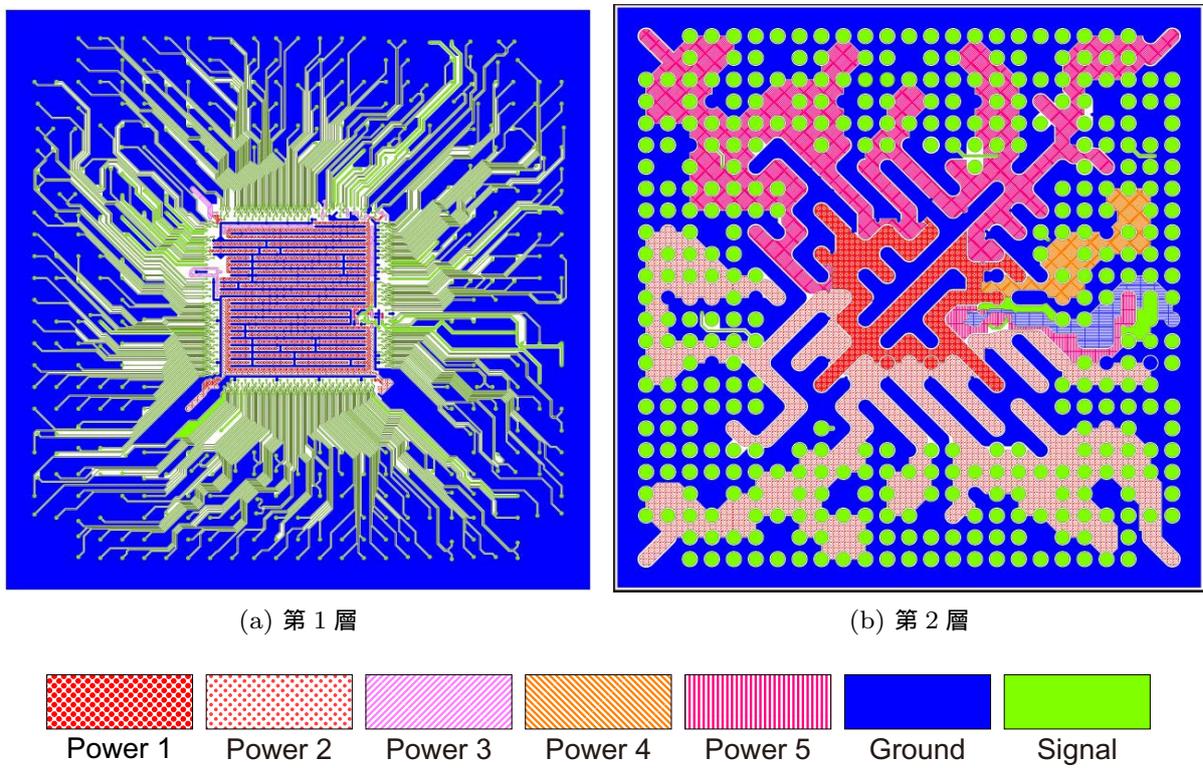


図 3.22: 構造 F の配線パターン (パッケージサイズ: 27 mm 角)

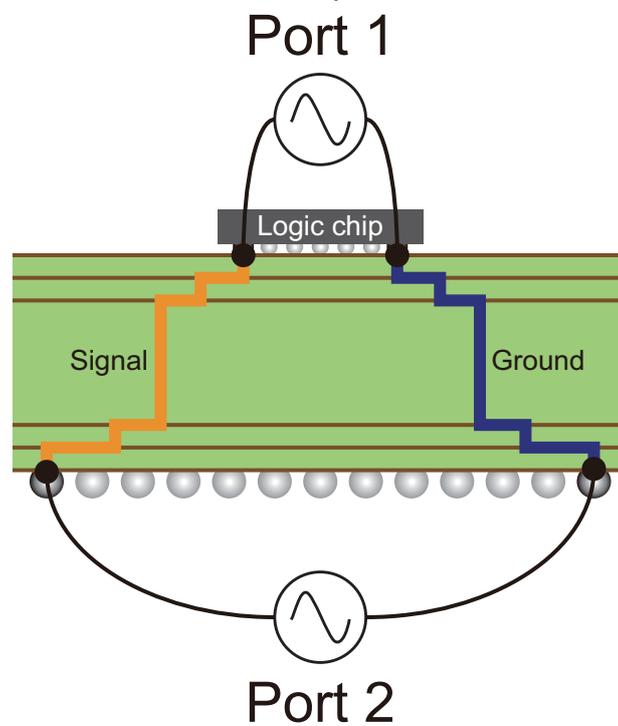


図 3.23: 信号品質の評価方法

なるグラウンド専用層を削減しなかったためと考えられる。その他の要因として、基板サイズが 27 mm 角であり配線長がそれほど長くないことが挙げられる。

表 3.3: 267 MHz における挿入損失比較

	構造 A	構造 B	構造 C	構造 D	構造 E	構造 F
最大	0.163	0.143	0.130	0.182	0.190	0.178
最小	0.029	0.023	0.026	0.017	0.022	0.019
平均	0.081	0.081	0.075	0.099	0.097	0.089
σ	0.023	0.023	0.022	0.033	0.033	0.030

Unit: dB

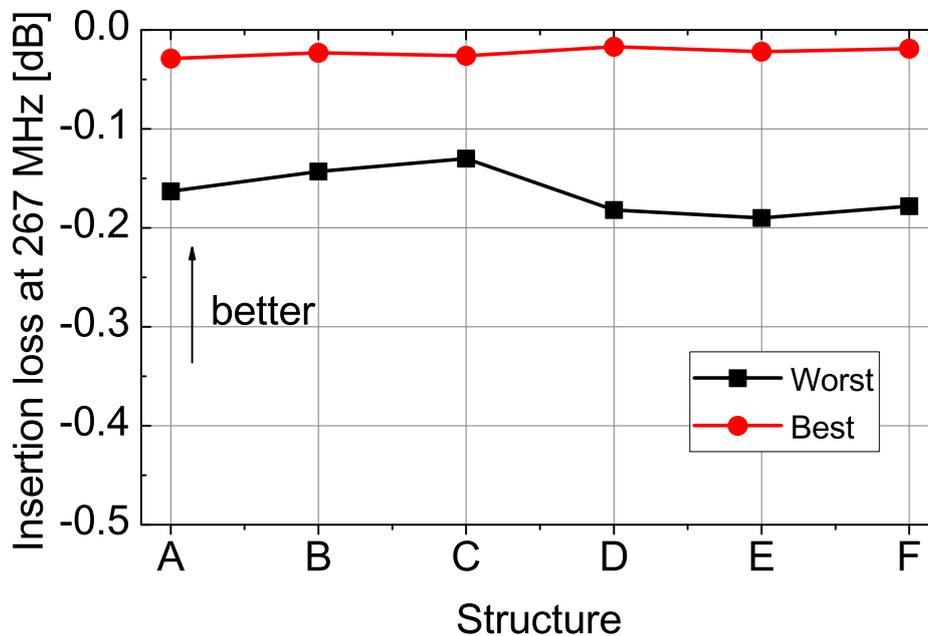


図 3.24: 267 MHz における挿入損失比較

次に，表 3.4 に挿入損失が 0.5 dB 以内となる帯域幅で各構造を比較したものを示す．最大値と平均値において，構造 F が最も優れていることがわかる．これは，信号経路の不連続部であるビアが，層数に比例して減少したためと考えられる．平均値で比較すると，層数の減少と帯域幅の増加に概ね相関があることから，ビアの数が挿入損失に影響を与えているといえる．また，標準偏差に着目すると，層数が少ない方が位置依存性が大きくなることがわかる．これは当初懸念した，配線自由度が低下することにより，配線容易性が優先され，電気特性が犠牲になる場所が存在することに起因していると考えられる．

挿入損失が 0.5 dB 以内となる帯域幅の構造による変化を明確化するため，変化率で評価する．構造 A の帯域幅を W_A ，構造 x ($x = B, C, D, E, F$) の帯域幅を W_x とするとき，構造 A

を基準とした構造 x における帯域幅の変化率 R_{Wx} を

$$R_{Wx} = \frac{W_x - W_A}{W_A} \quad (3.6)$$

と定義する．図 3.25 に，全信号線を対象とした R_{Wx} の相対累積度数分布を示す．図中に斜線で示した R_{Wx} が正の領域に分布していれば帯域幅が増加したことを意味し，正常動作の目安になる．これより，構造 B，構造 C と構造 D では一部に帯域幅が減少した信号線が存在するが，構造 E と構造 F はほぼすべての信号線で帯域幅が増加していることがわかる．

表 3.4: 挿入損失が 0.5 dB 以内となる帯域比較

	構造 A	構造 B	構造 C	構造 D	構造 E	構造 F
最大	3.31	3.31	2.95	4.79	4.07	7.41
最小	0.562	0.724	0.724	0.759	0.617	0.676
平均	1.53	1.71	2.02	2.02	2.21	2.70
σ	0.326	0.505	0.530	0.820	0.648	0.913

Unit: GHz

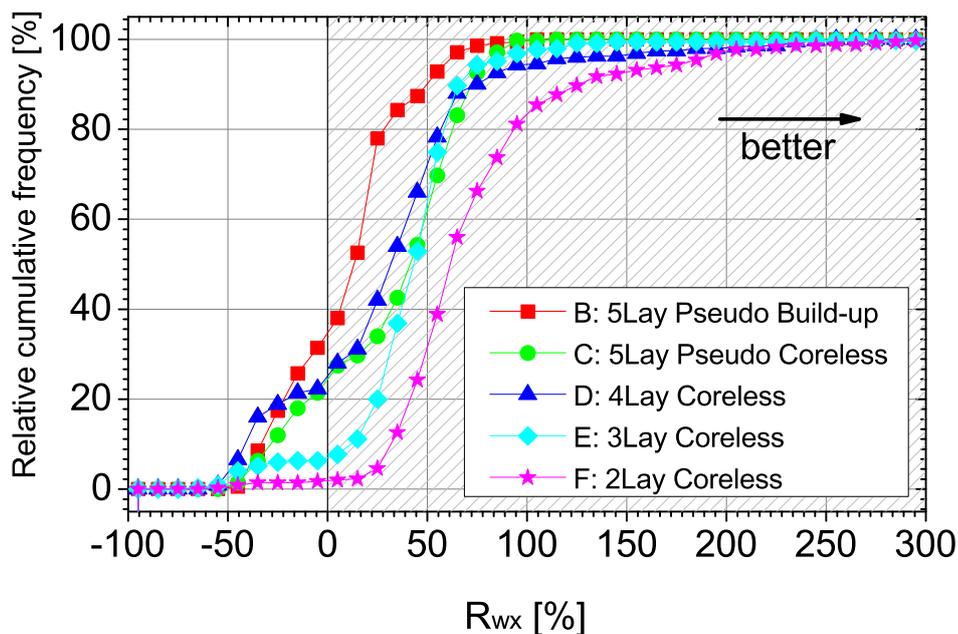


図 3.25: R_{Wx} ($x = B, C, D, E, F$) の相対累積度数分布

以上の結果より，構造 F の信号品質が最も良いことがわかった．ところが，3.3.5 節で層数削減の検討をした際は，層数の減少とともに信号品質が悪化することを予想していた．そのた

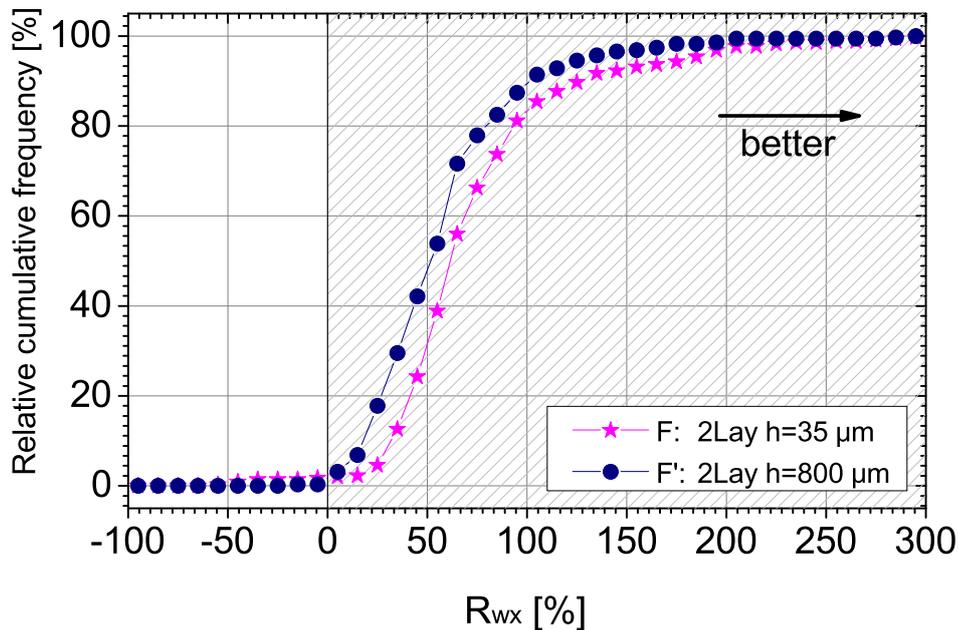


図 3.26: $R_{Wx}(x = F, F')$ の相対累積度数分布

め、構造 F の銅板と第 1 層の距離 (h とする) は製造容易性を犠牲にして、特性インピーダンスが $50\ \Omega$ となる $h = 35\ \mu\text{m}$ として設計していた。そこで、製造が容易な $h = 85\ \mu\text{m}$ としたときの信号品質についても算出し、構造 F と比較することとした。これを構造 F' とする。

図 3.26 に、全信号線を対象とした構造 F と構造 F' における R_{Wx} の相対累積度数分布を示す。構造 F' ではインピーダンス整合しないために信号品質の悪化が懸念されたが、 $R_{WF'}$ はほぼすべての信号線で正になっていることがわかる。ただし、構造 F に比べて増加幅は小さい。このことから、製造容易性を優先してチップを $50\ \mu\text{m}$ 厚としても [34, 65], 2 層とした能動素子内蔵基板は正常動作する可能性が見いだせた。これより、本章で対象とした基板サイズと動作周波数の範囲においては、厳密な特性インピーダンス設計を犠牲にしても、信号配線における層間の不連続部、つまりビアの数を削減するために配線層数を削減した方が信号品質が向上することが示唆された。一方、電源についてはビアインダクタンスを並列にして低減できるため、ビアの数はむしろ多い方がよい。

次に、構造 E について、アイパターン、クロストーク特性をシミュレーションにより求めた。先述したように、銅板をグランドとして活用することとした。ただし、単にグランドに接続するだけでなく、銅板が効果的に機能するためには条件がある。銅板と第 1 層との間隔は、第 2 層のグランド専用層と同様に第 1 層の帰路として機能するためには、できるだけ第 1 層と第 2 層の間隔 ($35\ \mu\text{m}$) に近づける必要がある。しかし、銅板と第 1 層の間にはチップと接着層があり、チップ厚が $50\ \mu\text{m}$ あるから、第 1 層と第 2 層の間隔より大きくなってしまふ。図 3.27 は、銅板と第 1 層の間隔と第 1 層の信号線の特性インピーダンスの関係を 3D 電磁界シミュレータ [47] を用いて算出したものである。このときの特性インピーダンスは、もしチップを研

削しなかった場合の厚み $725\ \mu\text{m}$ の場合で $71\ \Omega$ と目標値である $50\ \Omega$ に比べて高い。しかし、特性インピーダンスが $50\ \Omega$ になるようなチップ厚を求めると、接着層厚が $25\ \mu\text{m}$ あるため、約 $2\ \mu\text{m}$ となってしまう。チップ厚は、製造容易性を考えると $50\ \mu\text{m}$ が許容できる最小値である。したがって、特性インピーダンスが約 $65\ \Omega$ になるものの、チップ厚は $50\ \mu\text{m}$ とすることに決定した。なお、別の留意点として、従来構造と配線長が著しく変わらないようにした。

次に、図 3.28 に示す信号線の挿入損失と反射損失を算出した。配線長が大きいメモリとのインターフェースを 2 つ選定した。図 3.29 はその計算結果である。チップ厚が $725\ \mu\text{m}$ 、 $50\ \mu\text{m}$ の場合で比較した。挿入損失、反射損失ともに後者の方が特性が改善していることがわかる。

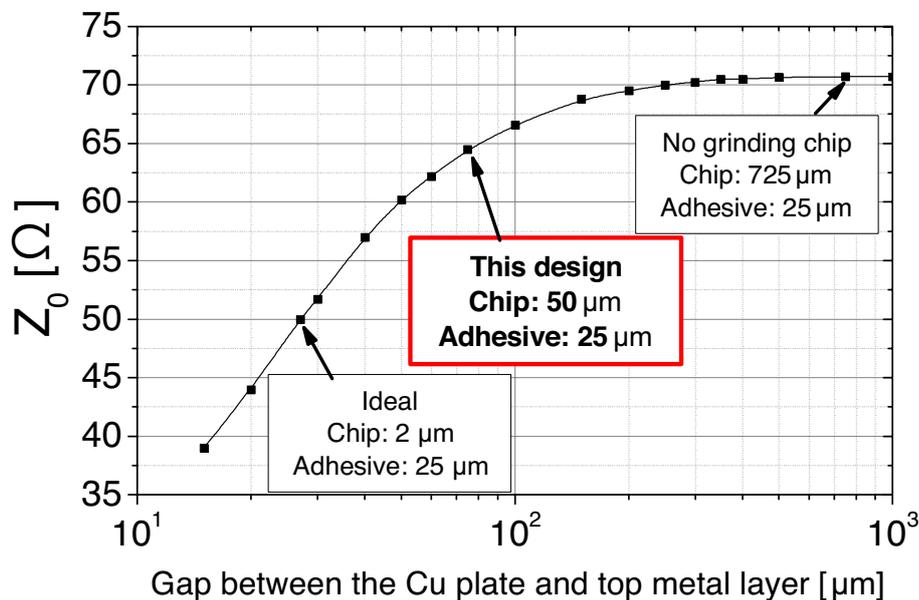


図 3.27: 銅板と第 1 層の間隔と特性インピーダンスの関係

さらに詳細に信号特性を検証するため、図 3.28 の信号線のアイパターンを回路シミュレータを用いて確認した [66]。図 3.30 に回路ブロックを示す。ボードの伝送路を考慮に入れるため、基板とメモリ間に伝送路モデルを挿入した。しかし、理想的な伝送路モデルであるため、信号特性への影響は軽微であり、ほぼパッケージモデルとみなせる。図 3.31 は新構造と従来構造のアイパターンの計算結果である。メモリバスの速度は $533\ \text{Mbps}$ であり、この速度では両者の差は無視できるものであった。また、新構造の特性インピーダンスは約 $65\ \Omega$ と高めであったが、従来構造と同等の電気特性を持つと判断した。

次に、ボードレベルのアイパターン算出を行った。図 3.32 のように、ボード上にメモリが 4 個実装され、パッケージからメモリまでの信号経路を備えたモデル化を行った。図 3.33 に算出結果を、表 3.5 に比較結果を示す。ボードレベルで比較すると、若干新構造の方が開口電圧、ジッタともに良好であった。なお、伝送速度を 2 倍にした場合の比較も参考として行った。この場合はアイが開かず、実用的でないことがわかる。

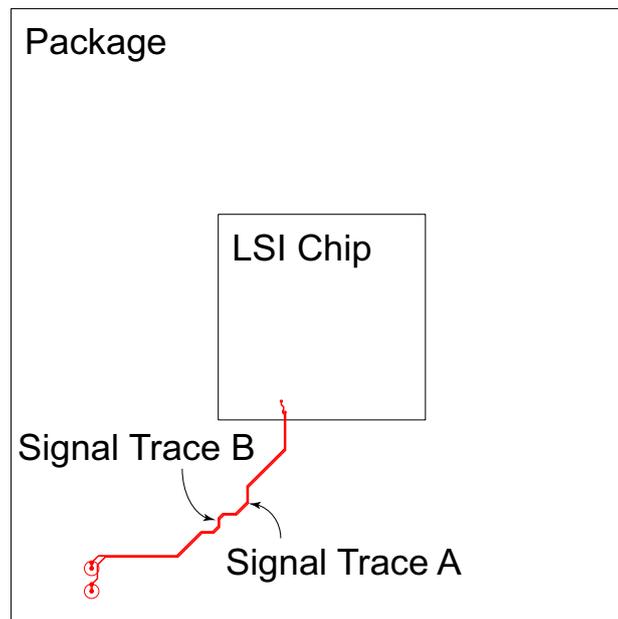
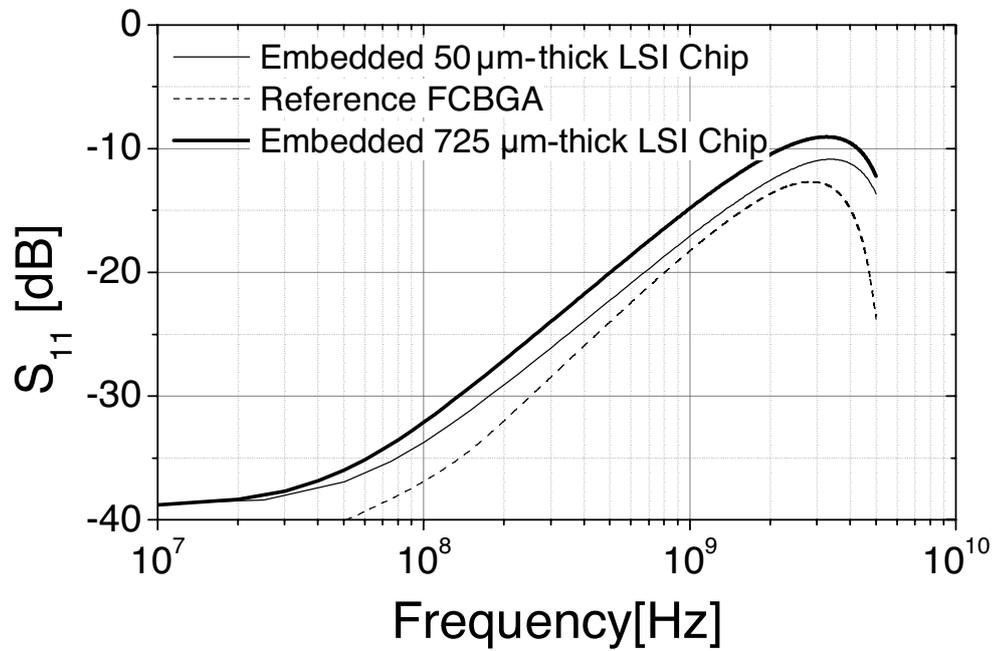


図 3.28: 検証対象とした信号線
表 3.5: ボードレベルのアイパターン算出結果

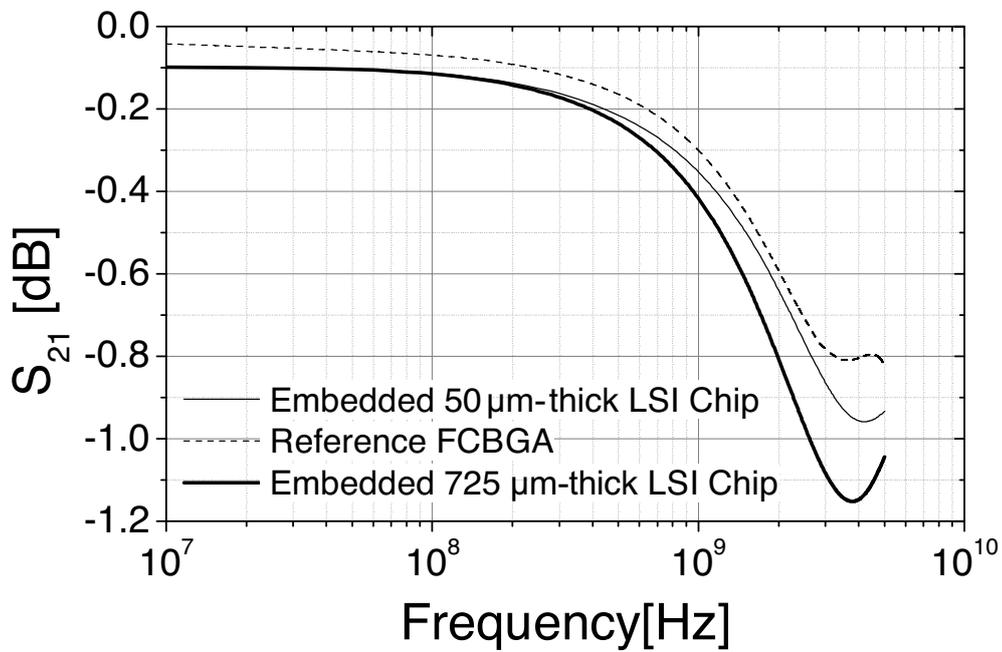
伝送速度 [Mbps]	構造	ジッタ [ps]	開口電圧 [V]
533	A	185	1.46
	E	180	1.47
1066	A	610	0.68
	E	563	0.70

最後に、クロストーク特性を算出した。図 3.28 にメモリインターフェースとして使われる隣接する長い信号線を示す。近端クロストーク (Near-end Crosstalk: NEXT) と遠端クロストーク (Far-end Crosstalk: FEXT) を算出した。図 3.34 がその計算結果である。近端クロストークは新構造の方が特性が悪化しているが、遠端クロストークは逆に改善している。新構造では線路間隔が $20\ \mu\text{m}$ と従来構造のその $30\ \mu\text{m}$ と比べて小さくなっているにもかかわらず、遠端クロストークは改善している。

以上の結果から、新構造は従来構造と同等程度の信号品質を有していることがわかった。



(a) 反射損失



(b) 挿入損失

図 3.29: 反射損失および挿入損失特性

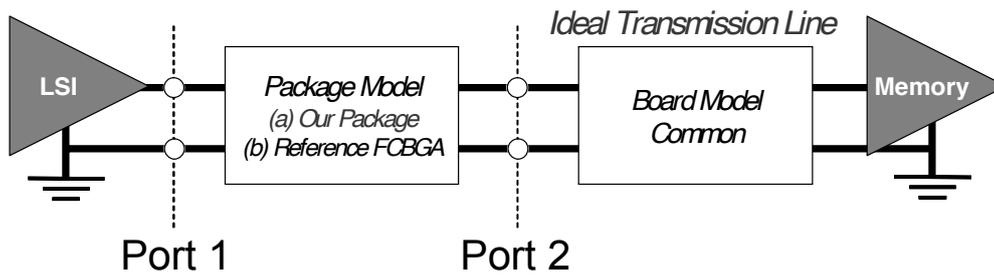


図 3.30: 回路シミュレーションによる評価系

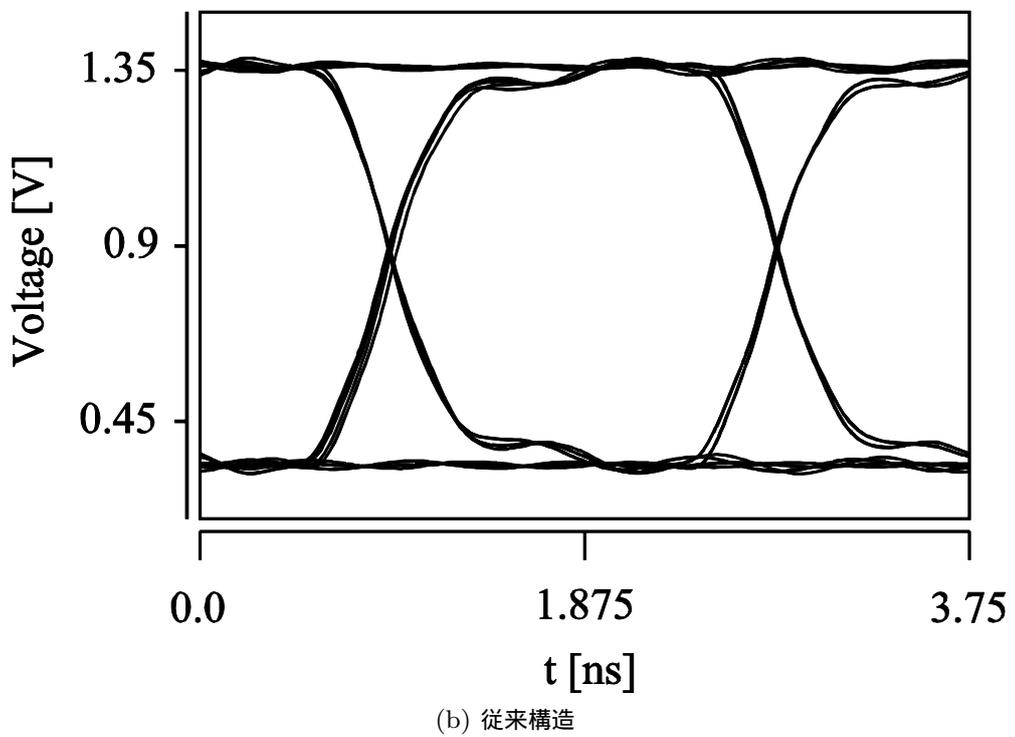
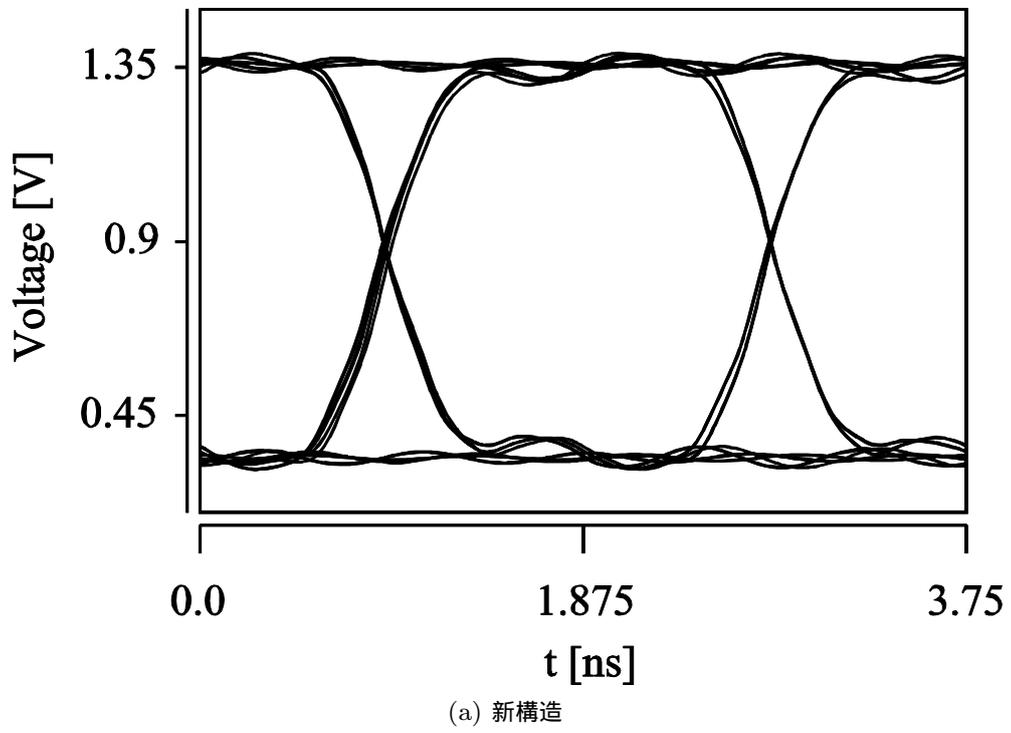


図 3.31: パッケージレベルでのアイパターンの比較

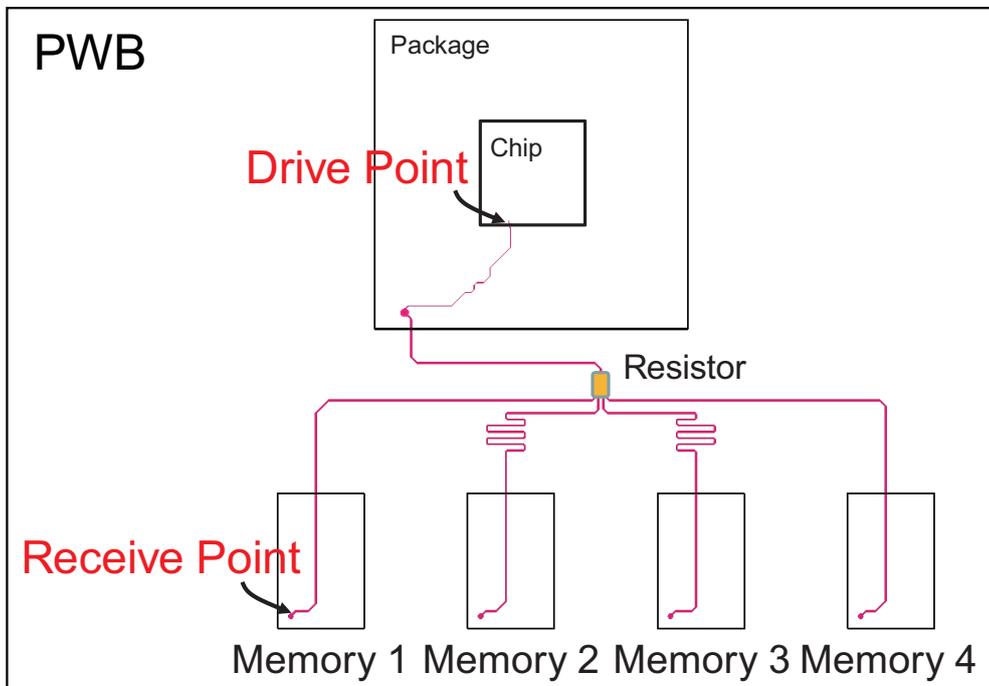
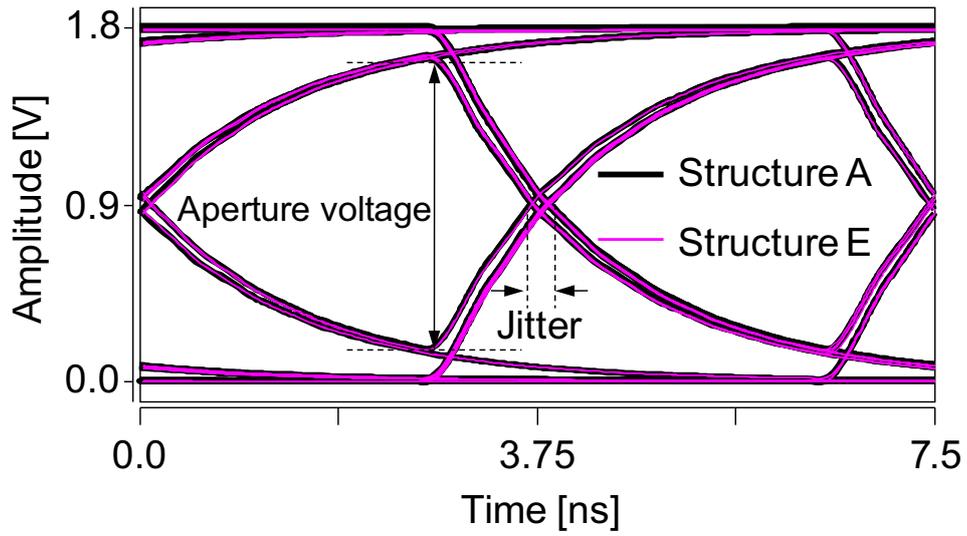
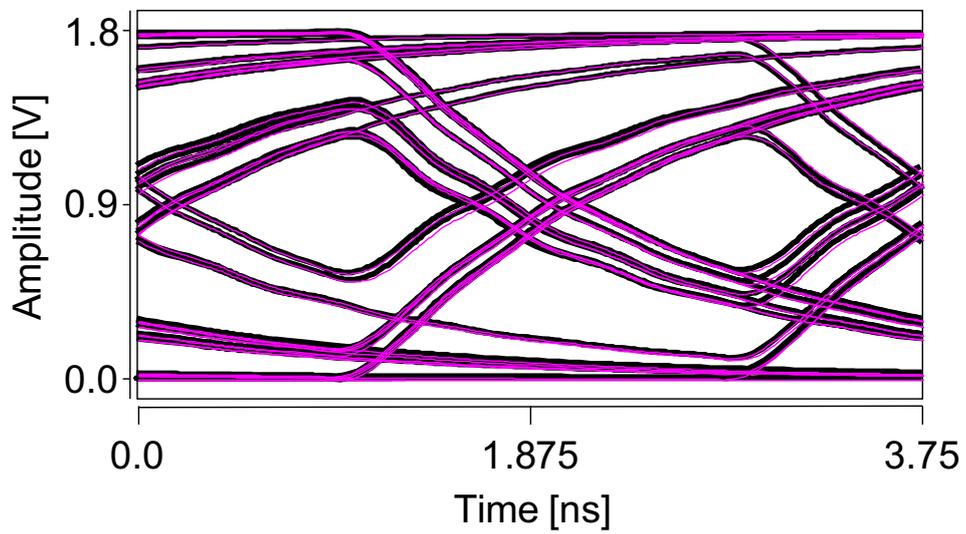


図 3.32: ボードレベルのアイパターン解析モデル



(a) 533Mbps (定格)



(b) 1066Mbps (参考)

図 3.33: ボードレベルでのアイパターンの比較

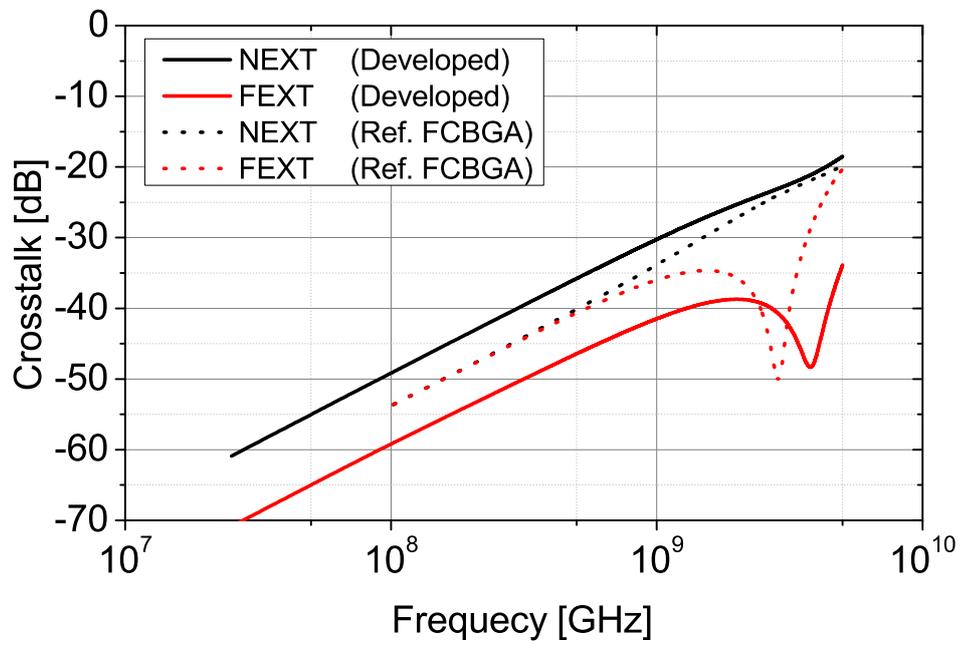


図 3.34: クロストーク特性

3.4.2 電源品質

電源品質はPDNインピーダンスで評価した。PDNインピーダンスは広帯域にわたって低く保たれていることが望ましい。第1章で述べたように、本研究では最適インダクタンス設計を行う。従来構造のPDNインダクタンス(インピーダンス)を算出してバジェットとして、構造を検討するごとにPDNインダクタンスを算出して比較していく。

図3.35に算出方法の概略図を示す。パッケージのボード側端子を完全導体面で短絡して閉回路を形成し、チップが接続される配線層の電源-グランドから見たPDNインピーダンスを算出した。図3.37はPDNインピーダンスの観測点である。配線第1層において、図3.36の

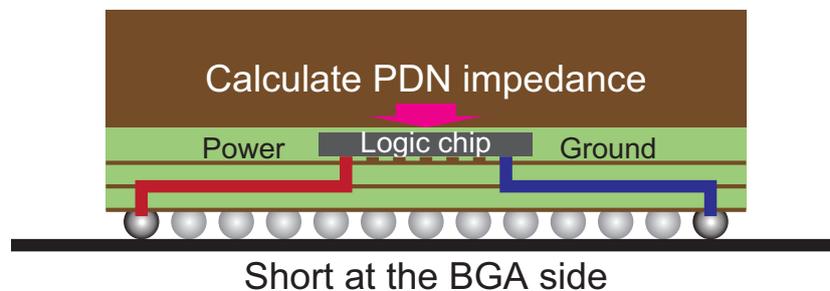


図 3.35: PDN インピーダンス算出方法

ようにチップ側端子付近を拡大して図示してある。

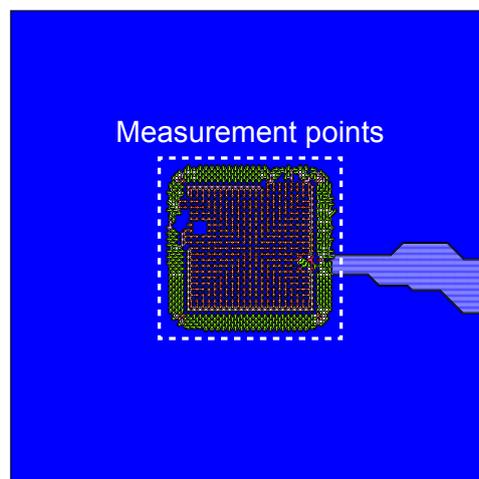


図 3.36: 配線第1層とPDNインピーダンスの観測点の関係

また、信号用のパッドは図示を省略している。各電源においてボード側を短絡して、で図示した電源パッドと、直近に位置するで図示したグランドパッドの組み合わせからボード側を見たPDNインピーダンスを算出している。

電源 1 における PDN インピーダンスの最悪値比較を図 3.36 に示す。構造 A の最悪値は正常動作限界の目安となる。すべての構造で概ね 1 GHz 以下の帯域では共振がなく、インダクタンスが支配的となっていることがわかる。他の電源も傾向は変わらないため省略した。構造 A に対する構造 B–F の電源品質比較を明確にするため、基板内を伝搬する最も高速な信号である、533 Mbps の DDR2-SDRAM のクロック周波数 267 MHz における PDN インピーダンスを特に PDN インダクタンスと定義し、指標とした。正常動作を確認している構造 A の PDN インダクタンス以下の領域を図 3.36 中に斜線で示した。構造 B–構造 F はすべて斜線の領域内に収まっており、正常動作が期待できる値となっている。

またすべての電源について、全観測点の PDN インダクタンスの最大、最小、平均、標準偏差を表 3.6 にまとめた。観測点とは、チップの電源パッドと、直近のグランドパッドから構成される。数値が最大の構造は下線、最小の構造は太線で示した。

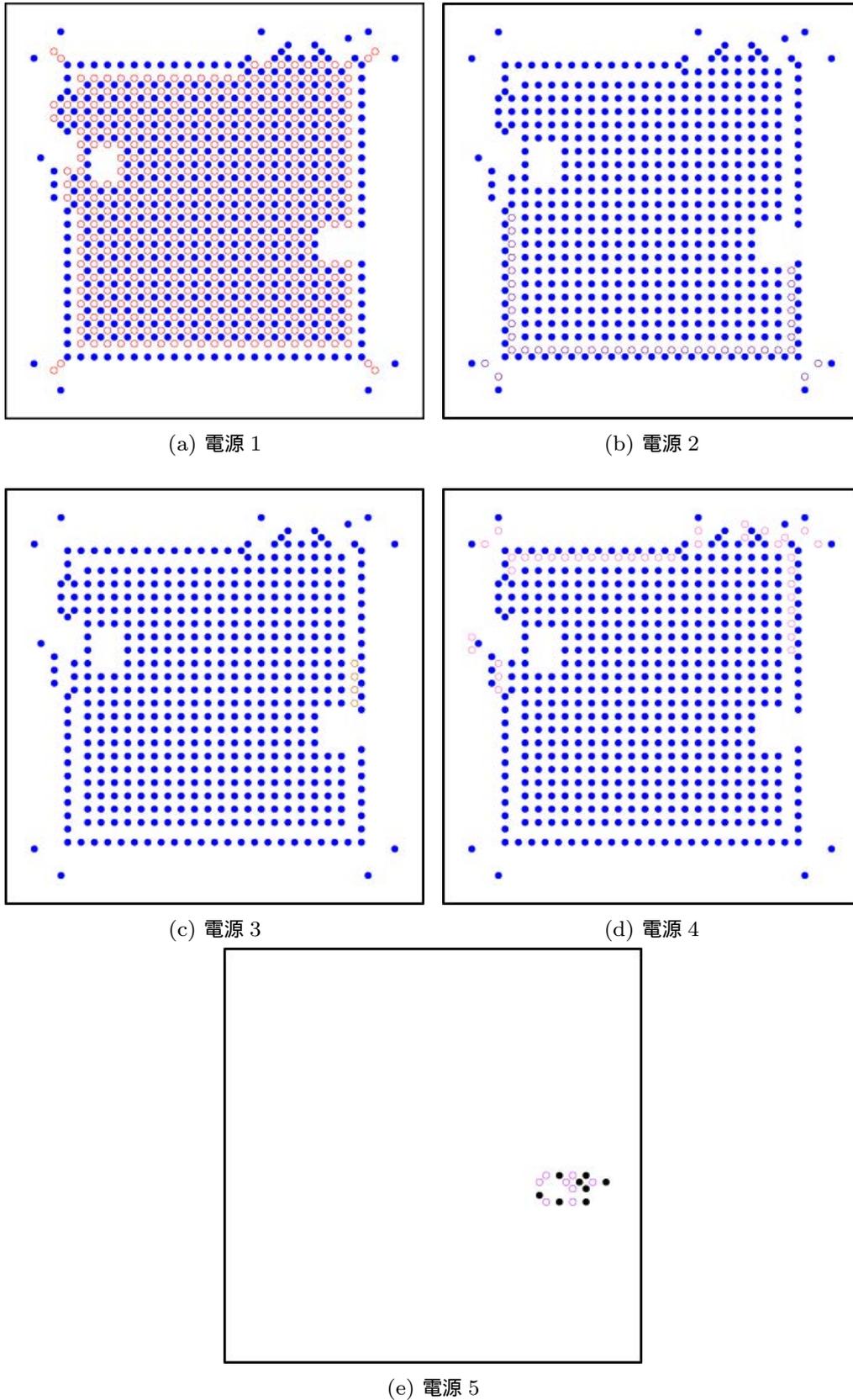
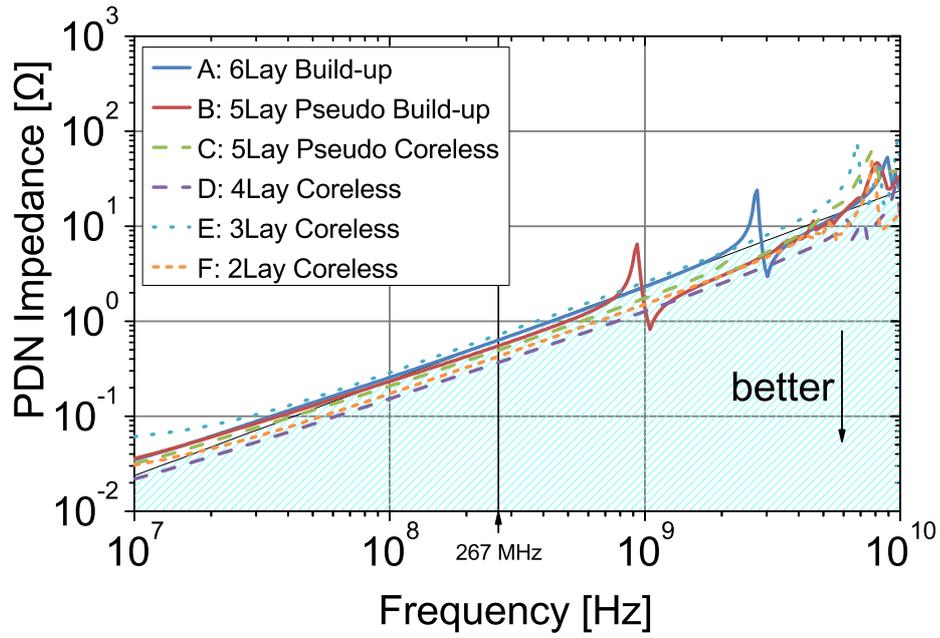
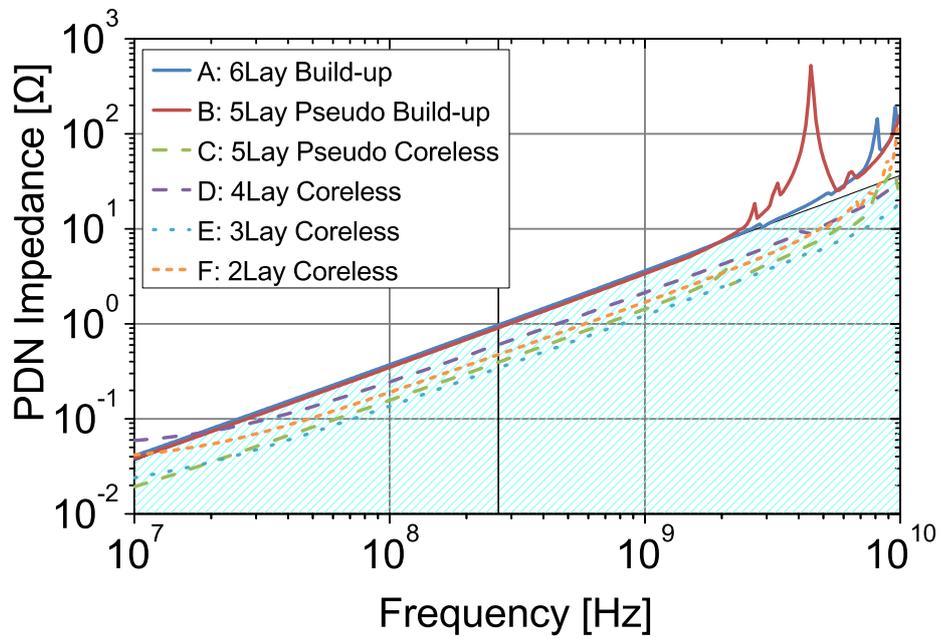


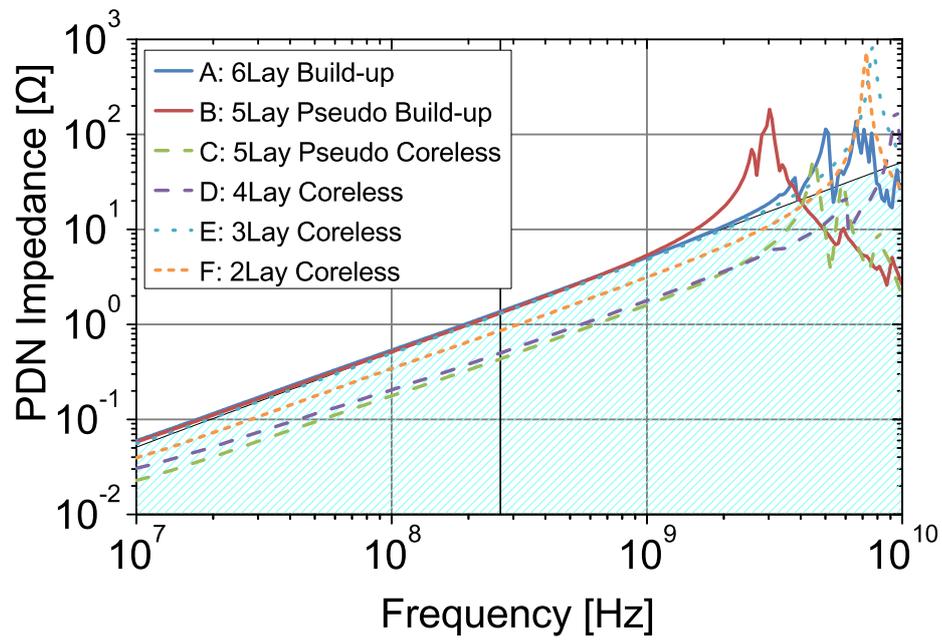
図 3.37: 各電源における PDN インピーダンスの観測点 (の電源パッドと直近に位置するのグランドパッドとの組み合わせ)



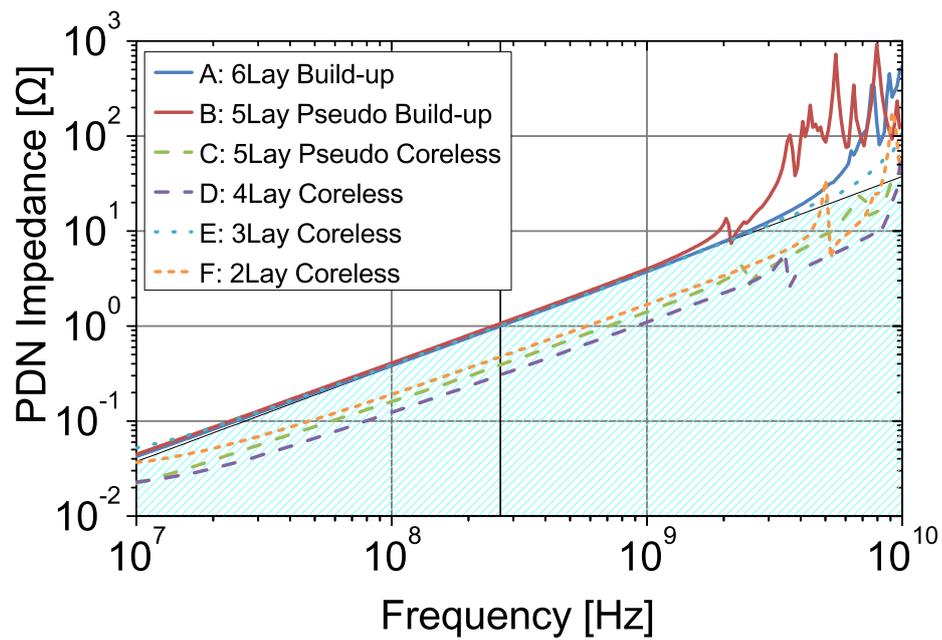
(a) 電源 1



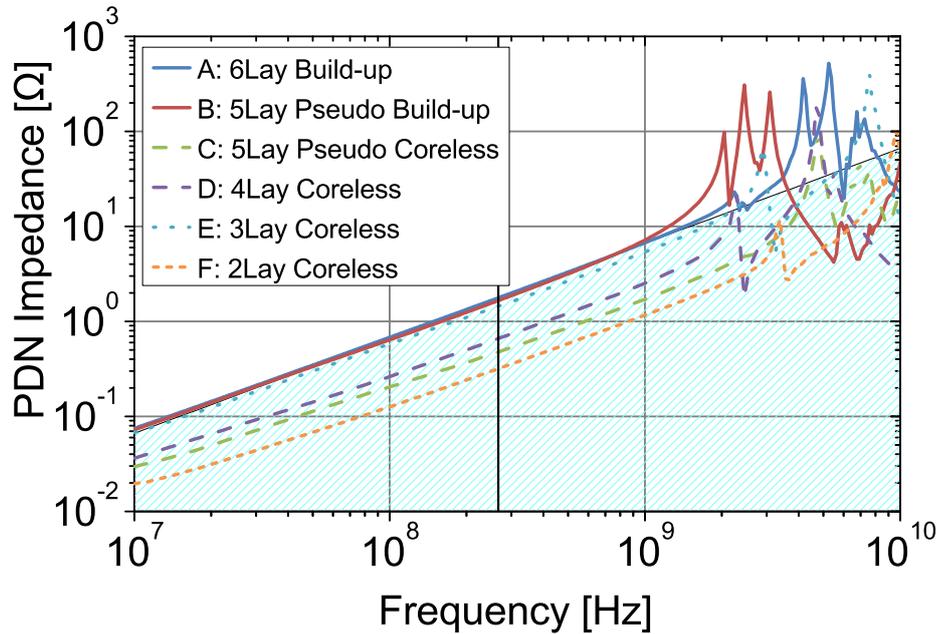
(b) 電源 2



(c) 電源 3



(d) 電源 4



(e) 電源 5

図 3.36: 各電源における PDN インピーダンスの最悪値比較と正常動作指標 (斜線部)

次に、算出した PDN インダクタンスの観測位置による依存性を比較した。当初の評価方法では、観測点は高々 10 点程度を抽出して PDN インピーダンスを議論していたが [67]、従来構造である 6 層の FCBGA パッケージ (構造 A) に比べて 3 層とした能動素子内蔵基板 (構造 E) の観測位置による依存性が大きい傾向があり、最悪値の比較では正常動作の範囲に収まっているものの、観測点によっては従来構造よりも悪化している懸念があった。そこで、表 3.6 の標準偏差に着目した。図 3.38 に、各構造と標準偏差の関係を示す。これより、5 層とした疑似コアレス基板の構造 C が最も PDN インダクタンスの観測位置による依存性が小さく、次に 4 層とした能動素子内蔵基板の構造 D がほぼ同等の値となっている。また、図 3.37 に各電源における PDN インダクタンスの最大値を構造別に比較したものをまとめた。

最後に、同一観測点における、構造 A を基準とした構造 B-構造 F の PDN インダクタンスの変化率を算出して評価した。ある観測点において、構造 A の PDN インダクタンスを L_A 、構造 x ($x = B, C, D, E, F$) の PDN インダクタンスを L_x として、構造 A を基準とした構造 x における PDN インダクタンスの変化率 R_{Lx} を

$$R_{Lx} = \frac{L_x - L_A}{L_A} \quad (3.7)$$

と定義する。そこで、全観測点における R_{Lx} を対象として、相対累積度数分布で評価した。最もパッド数が多く、動作に重要な電源 1 について図 3.39 に示す。すべての観測点において R_{Lx} が負になっていれば、PDN インダクタンスが従来構造の構造 A 以下であることを意味するため、正常動作の目安とすることができる。この領域を図中に斜線で示した。これより、

表 3.6: 各電源における PDN インダクタンス (下線の値 : 最大となる構造, 太字の値 : 最小となる構造)

	構造 A	構造 B	構造 C	構造 D	構造 E	構造 F
最大	<u>0.38</u>	0.33	0.30	0.22	0.43	0.26
最小	<u>0.070</u>	0.057	0.024	0.036	0.052	0.033
平均	<u>0.10</u>	0.077	0.043	0.059	0.093	0.073
σ	0.039	0.032	0.032	0.026	<u>0.050</u>	0.030

	構造 A	構造 B	構造 C	構造 D	構造 E	構造 F
最大	<u>0.58</u>	0.54	0.24	0.36	0.21	0.28
最小	<u>0.19</u>	0.14	0.057	0.052	0.060	0.055
平均	<u>0.27</u>	0.23	0.088	0.090	0.090	0.084
σ	<u>0.12</u>	0.12	0.044	0.061	0.027	0.045

	構造 A	構造 B	構造 C	構造 D	構造 E	構造 F
最大	<u>0.82</u>	0.79	0.26	0.30	0.78	0.51
最小	<u>0.76</u>	0.74	0.22	0.23	0.70	0.46
平均	<u>0.79</u>	0.76	0.24	0.26	0.74	0.48
σ	0.028	0.025	0.022	0.027	<u>0.032</u>	0.021

	構造 A	構造 B	構造 C	構造 D	構造 E	構造 F
最大	0.60	<u>0.63</u>	0.23	0.18	0.60	0.28
最小	<u>0.22</u>	0.20	0.056	0.057	0.093	0.056
平均	<u>0.41</u>	0.40	0.11	0.11	0.22	0.13
σ	0.14	0.15	0.052	0.036	<u>0.15</u>	0.068

	構造 A	構造 B	構造 C	構造 D	構造 E	構造 F
最大	<u>1.0</u>	0.99	0.28	0.39	0.86	0.19
最小	<u>0.61</u>	0.55	0.18	0.33	0.61	0.14
平均	<u>0.77</u>	0.72	0.23	0.36	0.79	0.17
σ	<u>0.18</u>	0.18	0.033	0.022	0.084	0.016

Unit: nH

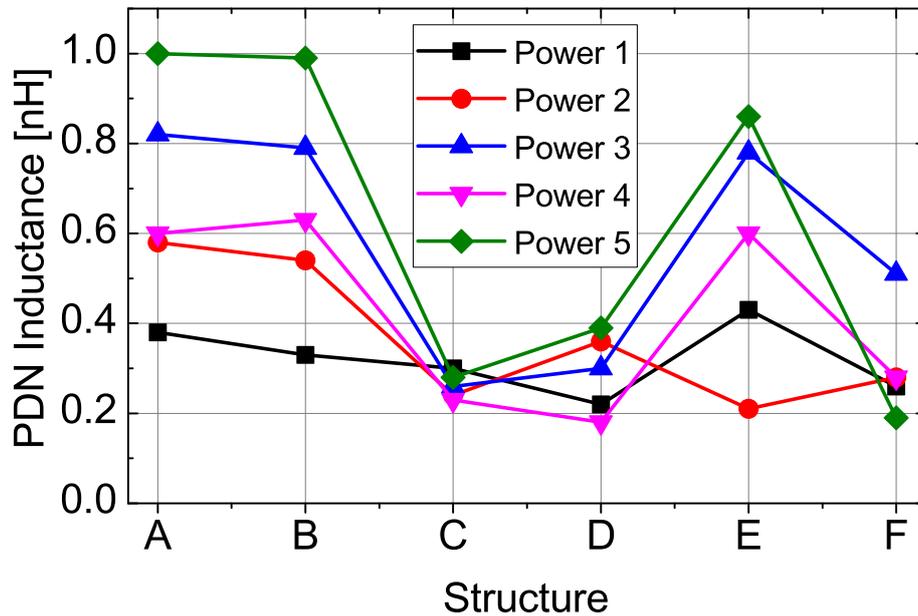


図 3.37: 各電源における構造別の PDN インダクタンスの最大値比較

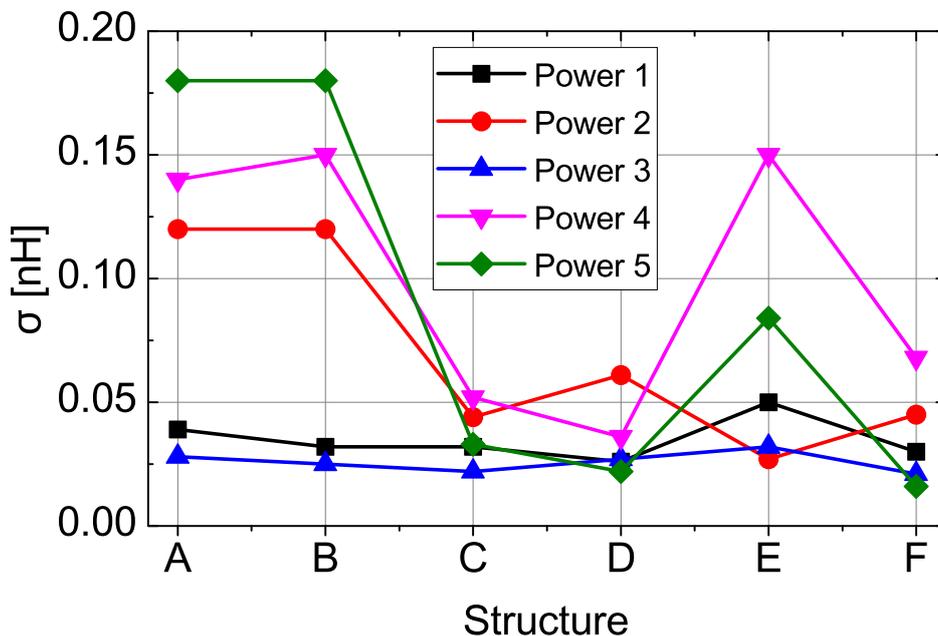


図 3.38: 各電源における構造別の PDN インダクタンスの標準偏差比較

電源 1 では構造 E で約 20%、構造 F では約 15% の観測点の PDN インダクタンスが構造 A に比べて増加していることがわかる。これは、構造 E, F が他の構造に比べて観測点の位置依存性が大きいことを示している。電源専用層が削減されたため、各観測点からの配線を束ねる PDN インダクタンスが小さい幹線が網羅的でなくなり、PDN インダクタンスが大きい支線を有する観測点が出現したものと考えられる。ただし、実際はチップ内部で配線が束ねられてい

るため、このことは大きな問題とはならない。詳細は 3.6 節で述べる。

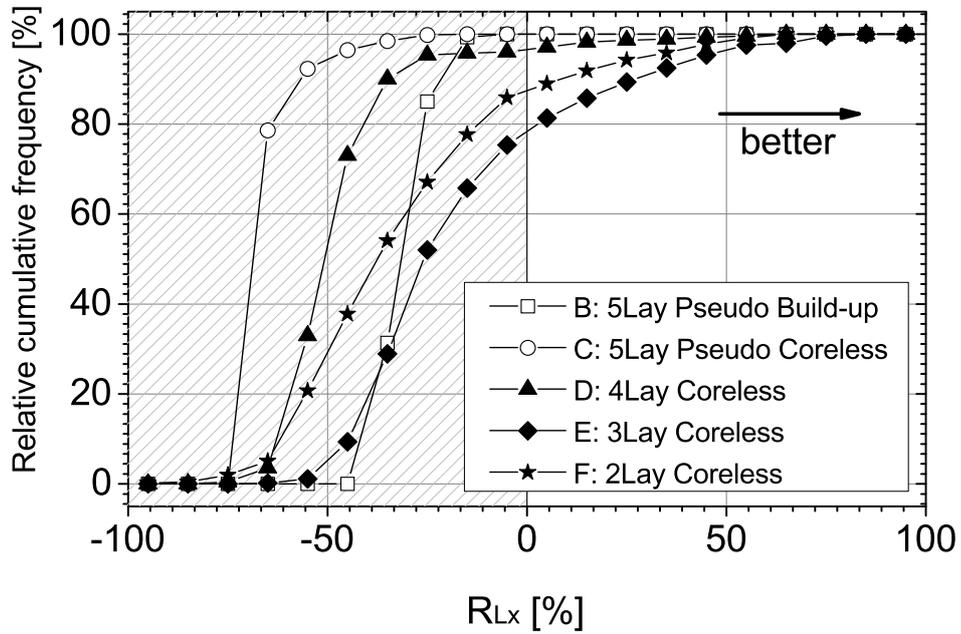


図 3.39: R_{Lx} ($x = B, C, D, E, F$) の相対累積度数分布 (電源 1)

以上より、信号品質、電源品質ともに新構造は従来構造と同等の特性を有していることがわかった。したがって、新構造の配線設計の妥当性が示された。

3.5 動作実証

試作した能動素子内蔵基板を、まず LSI テスタを用いて単体の動作を確認した。さらに、試作した能動素子内蔵基板をボードに実装して、機器全体の動作もあわせて確認した。

3.5.1 LSI テスト

新構造を、従来構造と全く同じテストプログラムを用いて、図 3.40 のテストでテストを行った。図 3.41 は従来構造と新構造の Shmoo プロットの比較である。Shmoo プロットとは、動

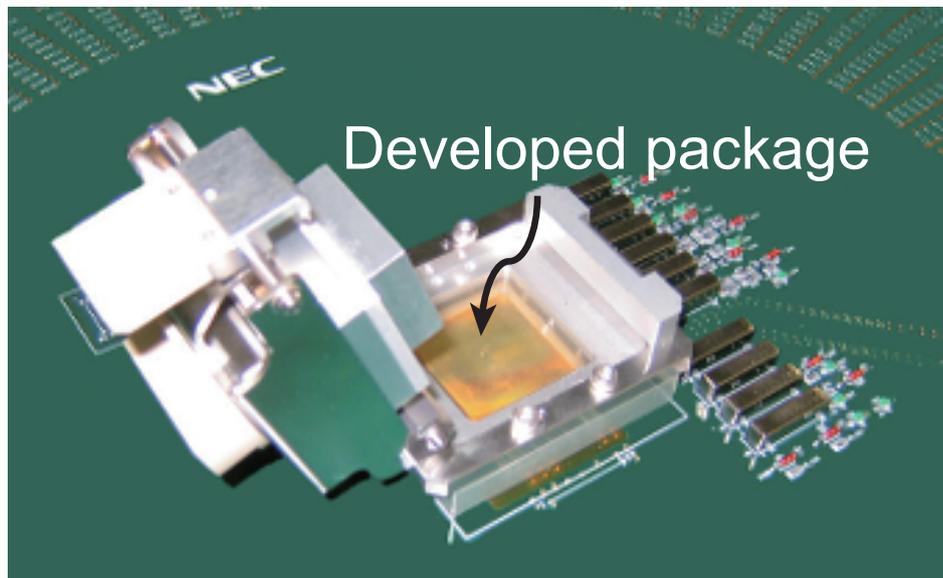


図 3.40: 使用した LSI テスタと新構造

作周波数、動作電圧などの相関のある 2 種類のパラメータを選び、動作の可否をプロットしたものである [68]。Shmoo プロットにより、テスト対象が定格に対してどの程度の動作マージンがあるかを視覚的に知ることができる。X 軸が動作速度、Y 軸が動作電圧である。動作周波数は 12 週倍される。定格周波数は 400 MHz であるため、動作速度は 30 ns である。また、定格電圧は 1.2 V である。定格周波数、定格電圧を図 3.41 中に記号で示した。この結果より、新構造は従来構造と同等の動作マージンを有していることがわかる。

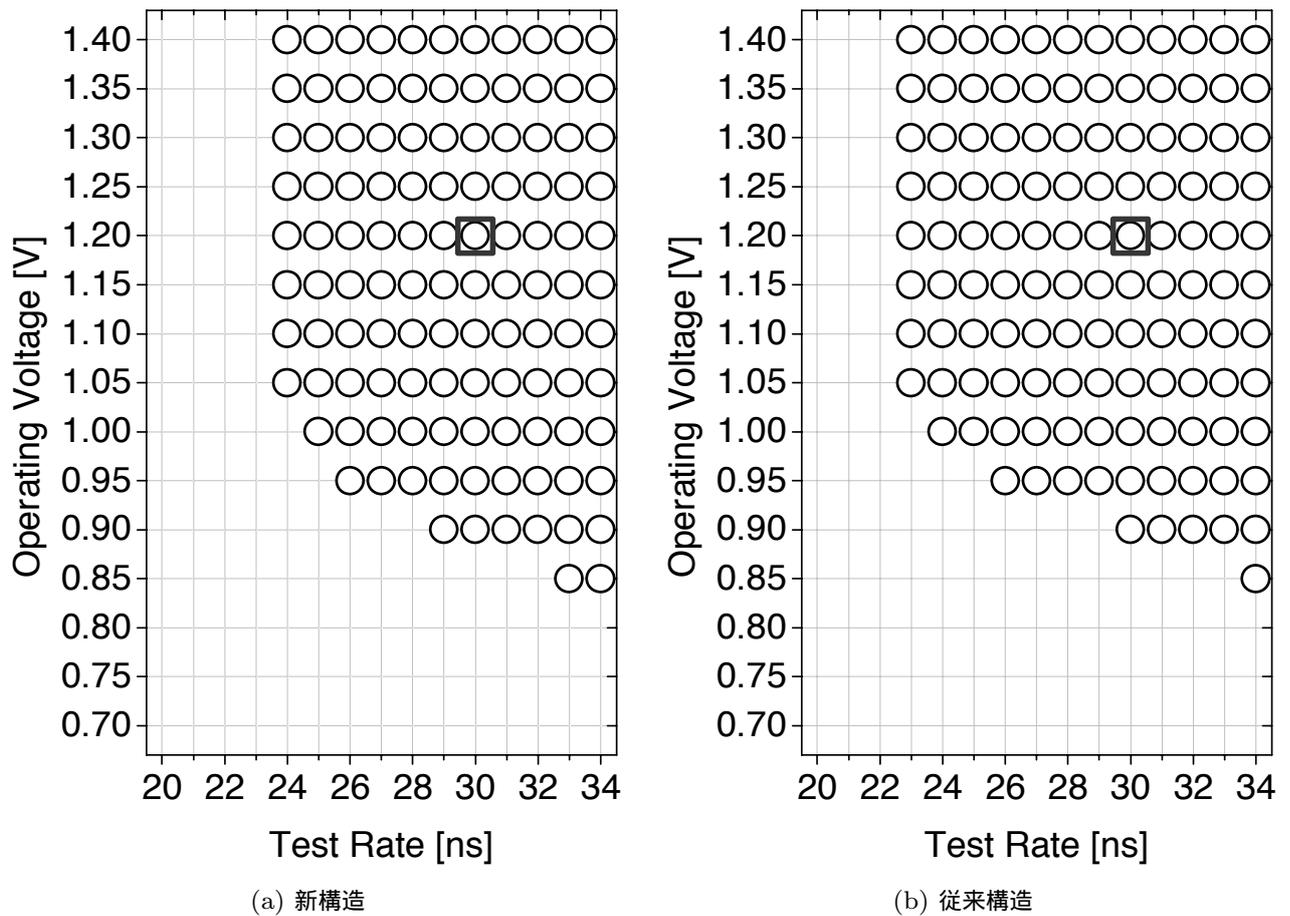


図 3.41: Shmoo プロットの比較

3.5.2 PC 相当機器に組み込んだ動作実証

試作した基板の写真が図 3.42 である．左側が銅板面，右側が端子面である．室温における基板最大反り量は $40\ \mu\text{m}$ と小さく，従来構造相当であった [69]．そこで，PC 相当の機器に実装して動作確認を行った．図 3.43 が実際に PC 相当の機器のボードに試作した能動素子内蔵基板を実装した写真である．そして，試作した能動素子内蔵基板は所望の動作（キーボード・マウス入力，インターネット接続，音声再生，動画再生）が正常に行えることが確認できた．高品質の動画を 1 時間程度連続再生させたが，熱暴走することなく正常動作した．一般的にチップの消費電力が約 3 W 以下ならば，ヒートシンクがなくても正常動作する場合が多いとされている [17]．本章で題材としたチップの最大消費電力は仕様では約 10 W であったものの，一連の動作確認では約 5 W であった．それでもヒートシンクが必要とされる消費電力であるため，新構造の銅板が良好な放熱体として機能していたことを裏付ける結果であるといえる．実際にチップからパッケージ周囲への熱抵抗を測定したところ，ヒートシンク付の従来

構造は $9.6^{\circ}\text{C}/\text{W}$ であるのに対して、新構造は $10.8^{\circ}\text{C}/\text{W}$ とほぼ同等であった [34]。なお、ヒートシンクなしの従来構造では $13.9^{\circ}\text{C}/\text{W}$ であった。パッケージが薄型化したことで、発熱源であるチップからボードへの放熱量が増加したことも、新構造が良好な熱抵抗を有する理由であると考えられる。

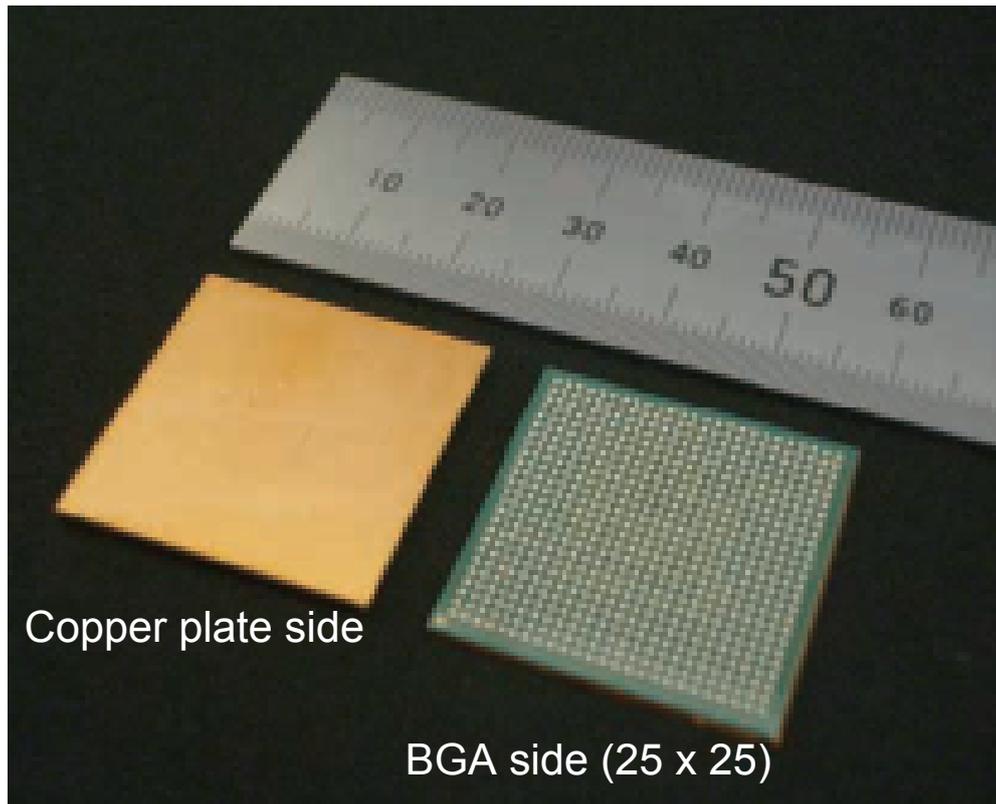


図 3.42: 試作した能動素子内蔵基板の外観写真

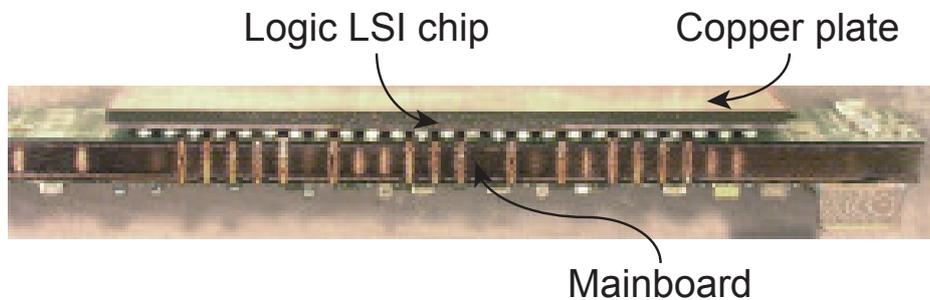


図 3.43: 試作した能動素子基板の断面写真

3.5.3 EMI 特性

次に，新構造が優れた Electro-Magnetic Interference (EMI) 特性を有することを述べる．一般の FCBGA パッケージの場合，放熱性向上のためにチップ上にヒートシンクが搭載される．このヒートシンクが電氣的に浮いた状態となっていると，EMI 問題が生じる．ゆえに，ヒートシンクをグランドに接続して電気特性を向上させることが議論されている [70–72]．新構造は，放熱体としてヒートシンクでなく銅板が用いられる．グランド接続の効果を確認するため，銅板とグランドを接続しない構造も試作した．

3.5.3.1 近傍磁界

まず，近傍磁界について述べる．CPU の動作周波数である 400 MHz において，能動素子内蔵基板周辺の磁界をプローブ (CP-2S [73]) で測定した [74]．試作した新構造を PC 相当の機器のボードに，従来構造と置き換えて実装された状態で測定した．走査領域は図 3.44 に示す能動素子内蔵基板周辺の 30 mm 角である．

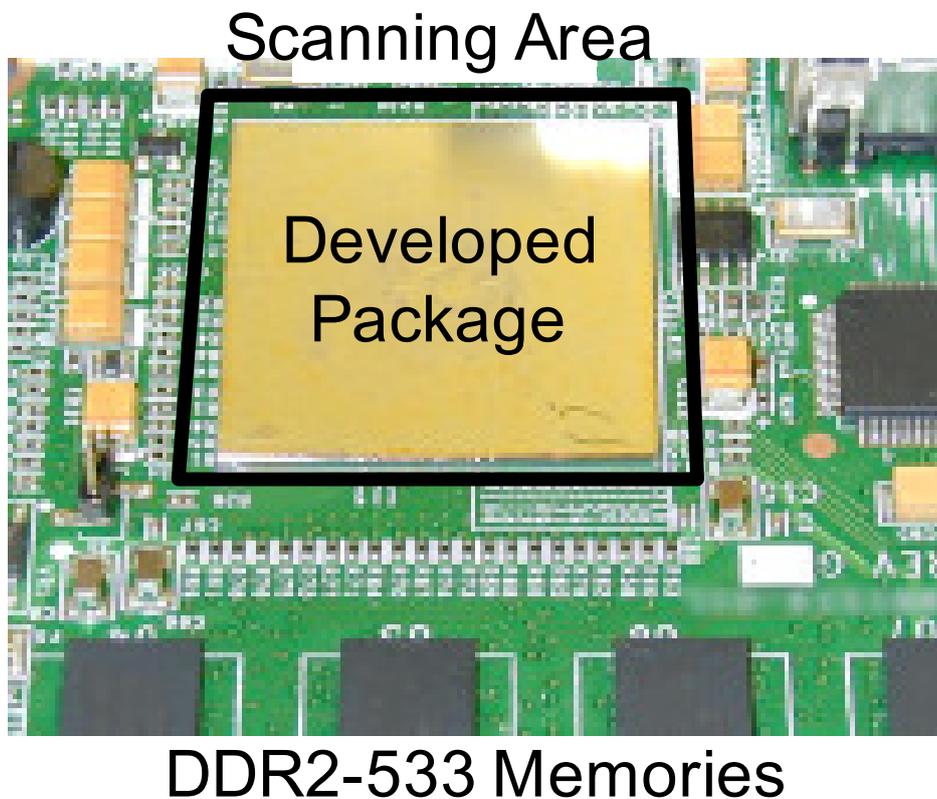
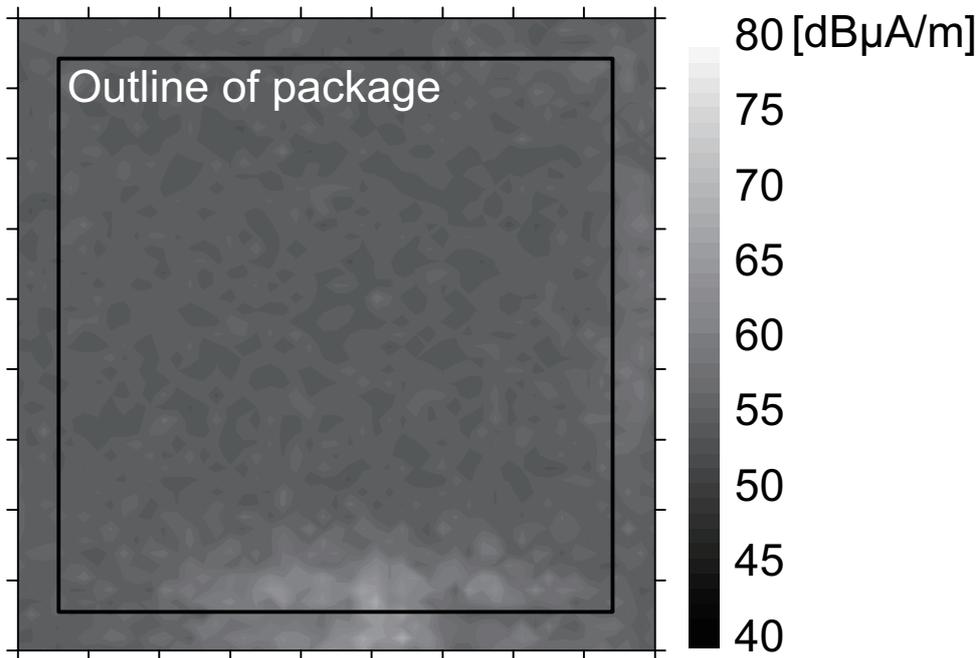
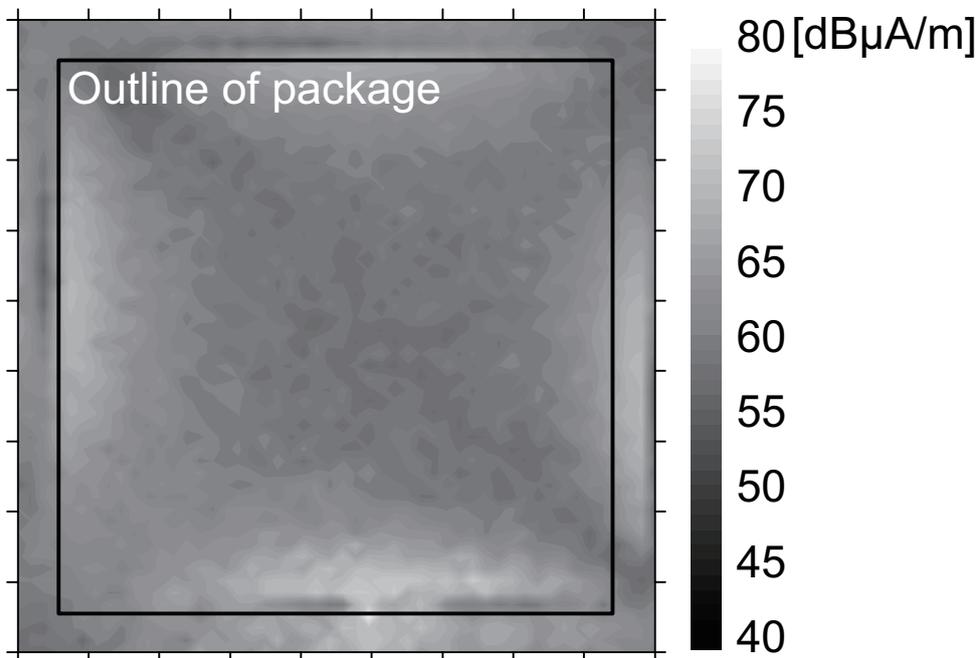


図 3.44: 近傍磁界の測定領域



(a) Our package with grounding the Cu plate.



(b) Our package without grounding the Cu plate.

図 3.45: 400 MHz におけるパッケージ基板近傍磁界の測定結果

このメカニズムを解釈するため、簡易的にモデル化し、電磁界解析を行った。励振源はパッチアンテナとしてモデル化した。第2層のグランド専用層は実際の構造をそのまま再現した。

表 3.7: シミュレーション (左) と実測 (右) の比較

		シミュレーション	実測
グラウンド接続あり	最大	68.3	69.1
	最小	52.4	2.44
	平均	55.4	41.2
グラウンド接続なし	最大	77.6	69.9
	最小	54.7	8.49
	平均	61.4	54.4

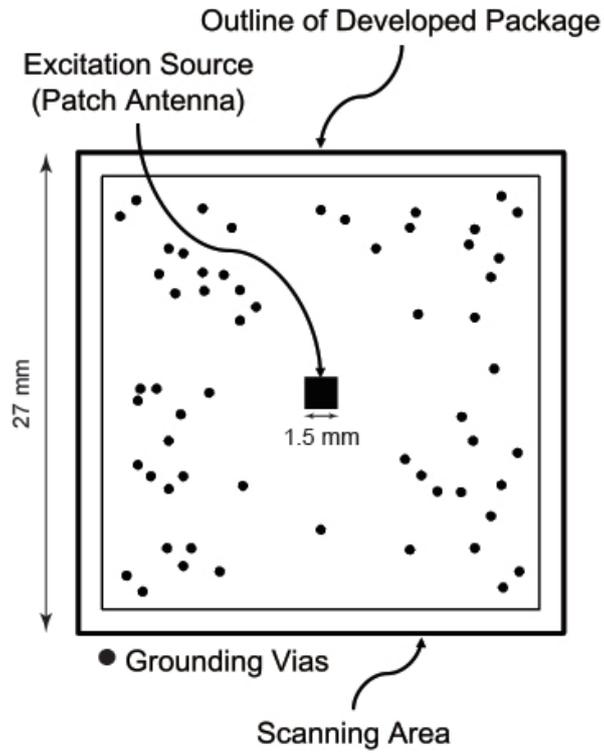
Unit: $\text{dB}\mu\text{A}/\text{m}$

ここで、内蔵チップを含む樹脂層を貫通するビアを本研究では Silicon Side Via (SSV) と呼ぶこととする。本章の場合、SSV はすべてグラウンドであり、そのレイアウトは図 3.46(a) のとおりである。入力電力を実測結果に基づき 5 W として、解析結果が測定結果に合うようフィッティングし、励振源のサイズを 1.5 mm 角とした。図 3.47 及び表 3.7 にシミュレーション結果を示す。これらは定性的に実測結果に一致しており、簡易モデルの妥当性が示された。特に基板下方向の領域において、グラウンド接続した実測結果とシミュレーション結果が類似している。グラウンド接続することにより近傍磁界が低減していることがわかる。本構造のようなシミュレーションには、励振源をパッチアンテナとして、グラウンド構造を正確にモデリングすればよいといえる。

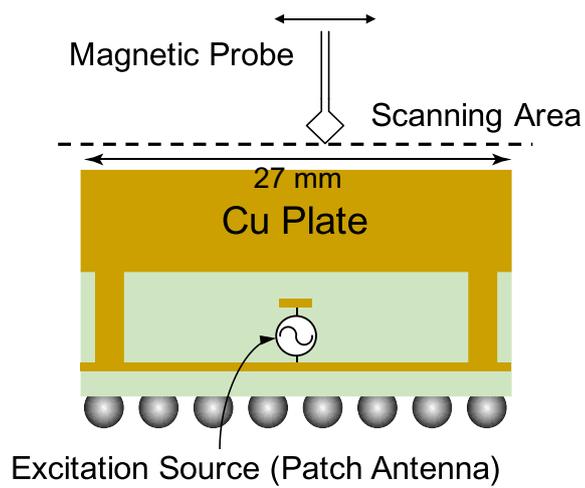
これらの結果より、新構造は銅板をグラウンドに接続することで近傍磁界を抑制できることがわかった。ただし、グラウンドに接続しない場合においても、PC 相当機器の動作に支障はなかった。

3.5.3.2 遠方電界

最後に 3 m 法により遠方電界を測定した [75]。水平偏波、垂直偏波の測定結果を図 3.48 に示す。銅板をグラウンドに接続したことでパッケージの近傍磁界は抑制できていたが、遠方電界ではその差が小さい。400 MHz 付近のスペクトルにおいて、銅板をグラウンドに接続した新構造の方が未接続の新構造よりも遠方電界が小さくなっていることが確認できるものの、逆に前者の方が大きくなっている周波数もあることから、有意差があるとは言いがたい。そして、新構造と従来構造との比較においても同様に有意差が認められない。したがって、機器内における支配的な電波の放射源がパッケージ以外に存在すると考えられる。なお、従来構造においても VCCI クラス B の規制値 [76] を超える周波数がある。これは、筐体の上蓋を開放した状態で測定したためである。

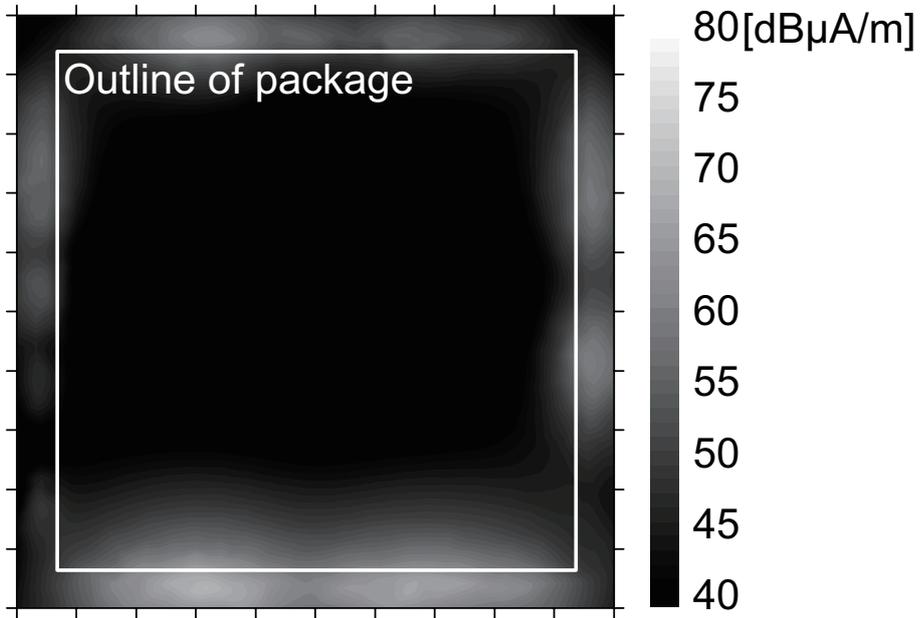


(a) 上面図

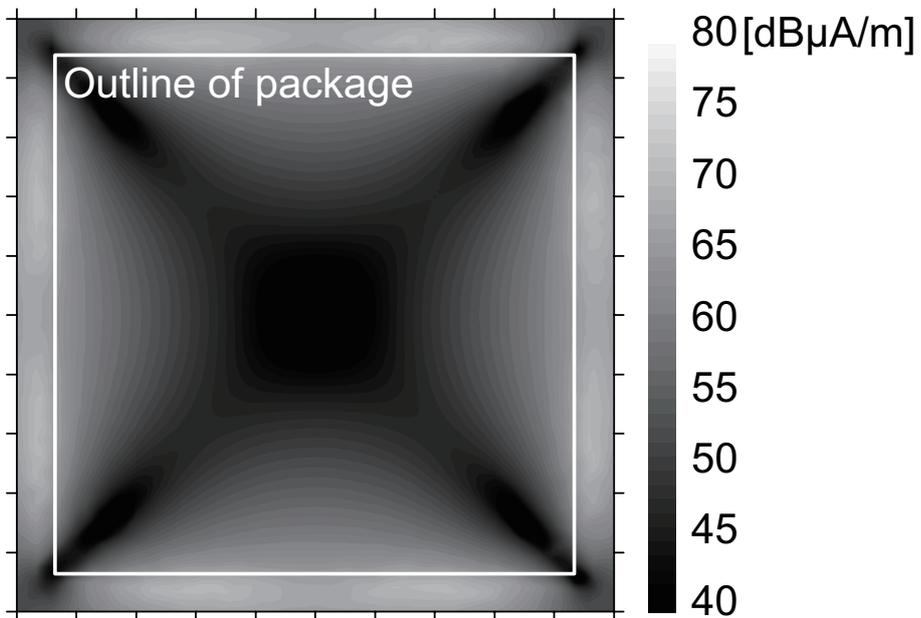


(b) 断面図

図 3.46: 基板近傍磁界のシミュレーションモデル



(a) Our package with grounding the Cu plate.



(b) Our package without grounding the Cu plate.

図 3.47: 400 MHz におけるパッケージ基板近傍磁界のシミュレーション結果

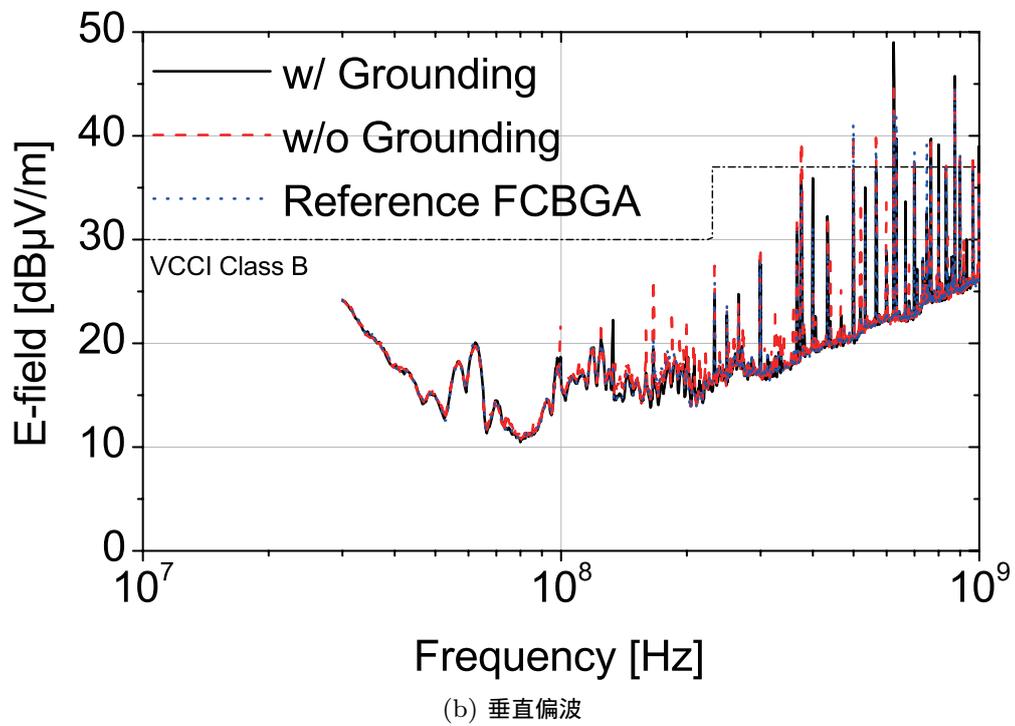
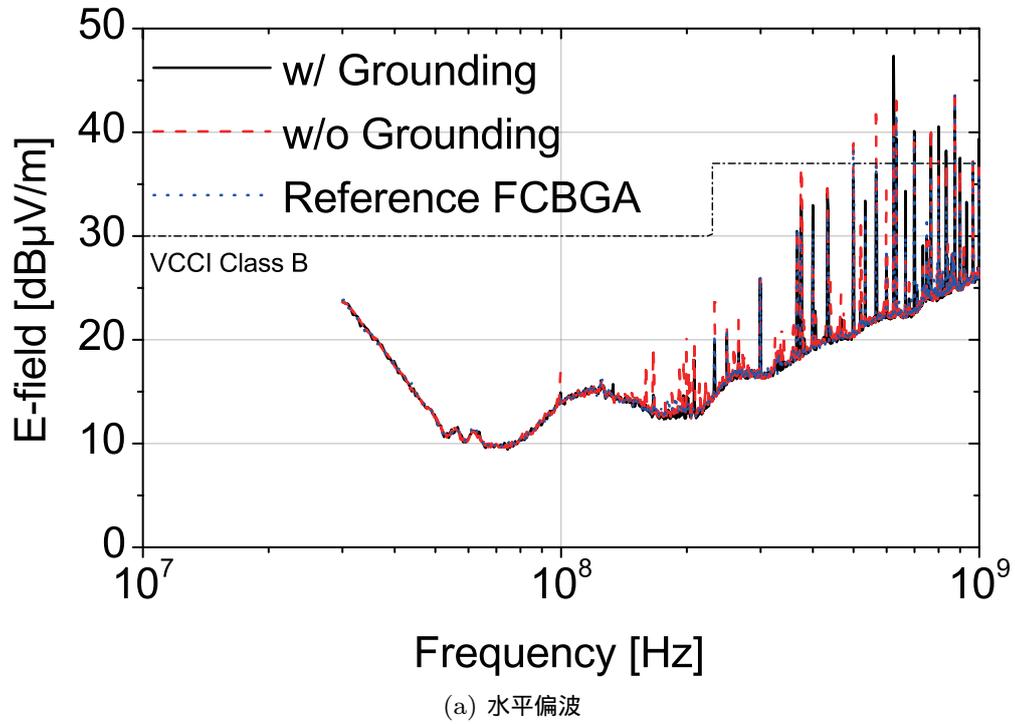


図 3.48: EMI 測定結果

3.6 考察

本章の新構造は、コアレス基板を作製する過程で必要であった銅板支持体を除去しないで活用するという着想から生まれた。このことにより、本来の支持体としてコアレス基板の剛性を高めることはもとより、放熱体としての役割や、配線層数削減設計を支えるグランド層としての役割も併せ持つ。また、薄型化によりボード側への放熱経路が生まれ、さらなる高放熱性を有することが判明している [34]。そして、高い剛性と信頼性を有することも文献 [34] で確認されている。ゆえに、課題として挙げた、高放熱性と剛性、そして高信頼性を有する構造の開発は達成されたものと考えられる。

本節では、各構造における PDN インダクタンスの観測点による位置依存性 (図 3.39) の問題について述べる。位置依存性が小さいということは、各観測点から見た経路の寄生インダクタンスが平準化されていることを意味する。具体的には、電源専用層が低インダクタンスの幹線となり、各観測点からの短い支線が幹線に流れ込むことで、経路の寄生インダクタンスの平準化を実現している。構造 E の位置依存性が大きくなっているのは、電源プレーンがすべて除去されたことにより幹線機能が消滅し、長い支線が増加したためである。一方、2 層とした能動素子内蔵基板の構造 F では、グランドプレーンも除去されたものの、各観測点からの支線が経路 A のように最短となるよう見直し、並列配置した多数のビアによって幹線機能を復活させ、PDN インピーダンスの上昇と位置依存性を抑えることができている。

しかし、電源 1 は 3.3.3 節で述べたファンアウトが不要な経路 A とみなせるため、層構成の違いにより PDN インダクタンスが変化しにくい、つまり位置依存性が小さいはずである。この理由は、図 3.12 で仮定した等価回路にある。等価回路において、PDN インダクタンスの観測点の直下に電源を接続している。つまり、観測点から電源までの最短経路にプレーンが含まれていない。この前提が成り立たない場合、経路 B に近い構造とみなせるため、層構成の違いによる影響を受けることとなる。構造 E の観測点には、直下のボード側に電源パッドのないものが約 40% 存在する。実装構造上、ファンアウトが不要な経路はほとんど存在しないため、経路 A と経路 B を厳密に場合分けするのではなく、あくまでも設計初期段階の見積もりとして位置づけた方がよい。経路 A と判断したものでも、図 3.39 のような結果となる可能性は高い。特に電源 1 の場合はパッケージの中央部であり、配線の自由度がほとんどない。上述のとおり、構造 F では経路 A となるよう観測点付近にビアを設けたが、電源 1 に関しては自由度がなく、修正できなかった。ただし、構造 E、構造 F とともに PDN インダクタンスの平均は構造 A 相当であること、電源 1 のパッド数は約 450 とチップの全パッド数 (約 1500) に対して多いこと、実際はチップ内部で各電源端子、グランド端子は接続されていることから、全観測点の PDN インダクタンスを構造 A 以下にする必要はないと考えた。実際に構造 E を試作して正常動作を確認できたことから、この判断は正しかったといえる。そして、構造 F の

R_{Lx} は構造 E のそれより小さいことから，構造 F も正常動作する可能性が高いと考えられる．

なお，図 3.39 において構造 B の減少が比較的小さいが，これは削減された層がビルドアップ層であり，削減により減少するビアインダクタンスが小さいためである．一方減少の度合いが最も大きいものは構造 C である．これは，スルーホールがビアになり，この部分のインダクタンスが約 1/16 に低下したためである．

3.7 まとめ

本章では，能動素子内蔵基板を用いた 2D-SiP の薄型化設計技術開発について述べた．内蔵のためにチップを再製造・再設計することなく，そのまま活用することができるため，初期コストと製造期間を大幅に低減することが可能である．新構造は 0.5 mm 厚の銅板を支持体としてコアレス基板を形成することを特徴としており，従来構造で採用されているビルドアップ基板に比べてパッケージ単体で 50% 未満の薄型化が実現できた．さらに銅板は支持体だけでなく，電気設計面ではグランドとなり，熱設計面では放熱体としても効果的に機能するため，近傍磁界の抑制効果や，従来構造では必須であったヒートシンクが不要となり，さらなる機器の薄型化が図れることを明らかにした．新構造は多ピンのチップを内蔵できることが特長であり，約 1500 ピンのチップを 27 mm 角，625 パッドのパッケージに内蔵した．これは，開発を行った 2009 年以降，世界最高クラスを維持している．そして，新構造が適用可能なチップの消費電力は，本章の実績よりヒートスプレッドのみでは 5 W，従来構造の実績より放熱部品付で 100 W 程度と見込まれる．チップの処理速度は，許容される消費電力に依存する．第 1 章で，コストパフォーマンス志向製品向け SiP は並置構造であることが特徴であると述べた．本章で提案した新構造は薄型で良好な電気特性を有し，かつ比較的 low コストで信頼性も高いため，図 3.49 のように複数チップを並置した Multi Chip Package (MCP) とすることでコストパフォーマンス志向製品向けへの適用が期待できる．大判の基板をダイシングして個片化するという新構造の製法上，パッケージの大型化は容易であり，ボードレベルのサイズであっても対応可能である．文献 [17] では，1 チップ当たりの最大ピン数を 2016 年時点で 1550，2022 年時点で 1730 と予想している．本章の実績では 2009 年に約 1500 ピンを達成しているため，新構造は十分要求に応えうるものと考えられる．あるいは，良好な放熱特性と信頼性を活かし

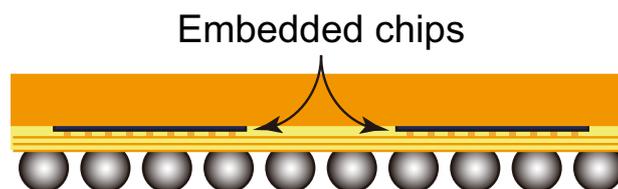


図 3.49: 新構造の MCP への応用

て、車載の Electronic Control Unit (ECU) が適用先の一つになると期待している。しかし、本章の構造は片面端子であるため積層できないという問題点がある。軽薄短小の実現のためには両面端子構造は必須であるため、次章でその解決策を述べる。

設計技術面での特徴は、配線削減設計技術による薄型化の実現である。ファンアウトの要否によって配線経路が異なることに着目し、それぞれの場合において最適な配線の寄生インダクタンス削減手法を提案した。ファンアウトが不要な経路では基板両面が垂直方向に最短で接続されているため、基板内部に電源専用層を形成したとしてもほとんど電流が流れず、PDN インダクタンスを低減させる効果が小さいことを等価回路モデルを用いて明らかにした。また、ファンアウトが必要な経路では配線長を短くすることには限界があるため、帰路であるグラウンド専用層を対向させることで配線間の距離を小さくし、PDN インダクタンスの低減を試みた。結果として、題材としたチップは 5 種類の電源を持ち、従来構造では 6 層中 2 層が電源専用層であったにもかかわらず、新構造においては電源専用層はゼロに、合計でも 3 層に半減させ、正常動作を確認した。

最後に、類似した構造の他社動向を述べる。Intel が文献 [77] で Bumpless Build-Up Layer (BBUL) という類似の構造を検討していたが、2016 年現在 BBUL は市場に現れていない。2009 年に NEC エレクトロニクスから発表された Seamless Interconnect for Re-Routing LSI Using Substrate technology (SIRRIUS) では、31 mm 角、900 パッドのパッケージにおいて実用レベルの信頼性を有していることが報告されている [78, 79]。SIRRIUS と本章で題材とした能動素子内蔵基板の違いは、内蔵チップとパッケージの接続手段がビアか銅ポストかという点であり、外観はほぼ同一である。また、2013 年に J-DEVICES から Panel Level Package (PLP) が発表された [80, 81]。PLP は量産準備段階にあるとのことであるため、歩留まりの問題が解決できたと考えられる。ただし、パッケージサイズは 5–10 mm 角程度と小さい。本章で検討した構造は製造後の信頼性が高いため、今後採用事例が増えれば、爆発的な普及につながる可能性がある。いずれにせよ、数社が実用化に向けて開発を進めていることは間違いない。

第 4 章

3D-SiP 用機能素子内蔵基板薄型化のための最適インダクタンス設計技術

4.1 はじめに

本章では，3D-SiP の薄型化実現に必要な設計技術について述べる．第 1 章で分類したアプリケーションのうち，携帯電子機器をターゲットとする．題材として 2 種類のパッケージが積層された Package on Package (PoP) 構造の薄型化を検討する．スマートフォンなどの携帯電子機器は薄型化，そして小型化への要求が特に強く，PoP の採用事例が多い．携帯電子機器で用いられるチップの最大消費電力は 1 W 程度のため，第 3 章の構造とは異なりヒートシンクは不要となっている．言い換えれば，ヒートシンクが不要な消費電力となるよう性能を調整している．そして，筐体へ効率的に放熱されるような機構設計がなされている．

4.2 従来構造とその課題

図 4.1 に従来の一般的な PoP 構造とその技術課題を示す．下段パッケージは Fine-pitch Ball Grid Array (FBGA) である．FBGA は構造的には Plastic Ball Grid Array (PBGA) と同一であり，パッド間隔が概ね 1 mm 以下のもの特に区別したものである．チップはボンディングワイヤで下段パッケージと接続される．一方上段パッケージは，下段パッケージ表面に実装されるチップと接触しないように大型のはんだボールを使って接続する必要がある．したがって，PoP 構造全体の厚みは下段パッケージ表面に実装されるチップの厚みに律速される．これが PoP 構造全体の厚みを増大させる原因となっている．

そのため，チップを含めた下段パッケージの薄型化が課題である．図 3.1 中に記載された従来構造 (FBGA) を薄型化する 5 つの課題は，第 1 章で述べた以下の課題そのものである．

なお，本研究と同様に，片面端子構造を活かして積層する Flexible carrier Folded real Chip

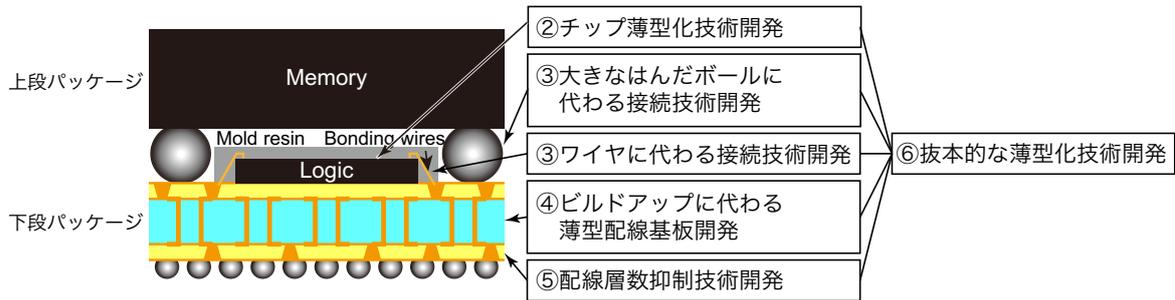


図 4.1: PoP の一般的な従来構造と薄型化のための課題

Size Package (FFSCP) [82,83] のようなアプローチもある．FFCSP は片面端子のパッケージをフレキシブルプリント配線 (Flexible Printed Circuit: PPC) で包み，両面端子を実現する構造である．既存のチップを活用するため安価である点がメリットである反面，チップが実装されたパッケージを FPC で包むため，PoP 全体の厚みが増大するというデメリットがある．

4.3 薄型化を実現する新構造

4.3.1 新構造の概要

第 3 章と同様に，機能素子内蔵基板により抜本的な薄型化を図ることとした．本章の構造も，1.3 節で述べた思想に基づくブロック形状を具現化したものである．能動素子内蔵基板の薄型化を支える図 4.2 に示す要素技術により，PoP 全体の薄型化を実現する．

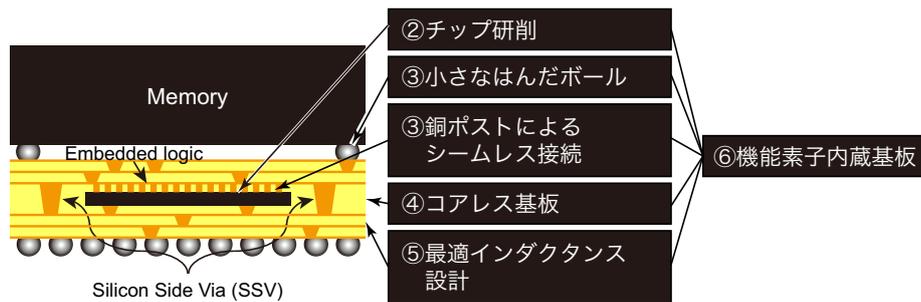


図 4.2: 新構造の断面模式図とそれを実現する要素技術

そして図 4.3 は，PoP 構造が機能素子内蔵基板により薄型化・小型化していく方向性を模式的に示したものである．本研究では，パッケージサイズは従来構造と同一として薄型化を図ることに注力した．実際にはパッケージサイズの小型化も望まれているため，最終的には薄型化と小型化を両立したパッケージの開発が必要である．図 4.3 では内蔵チップの端子面がフェースアップになっているが，これは周辺端子をグリッド状 (エリアアレイ) に変換して再製造したチップを内蔵した構造を意識して描いたものである．

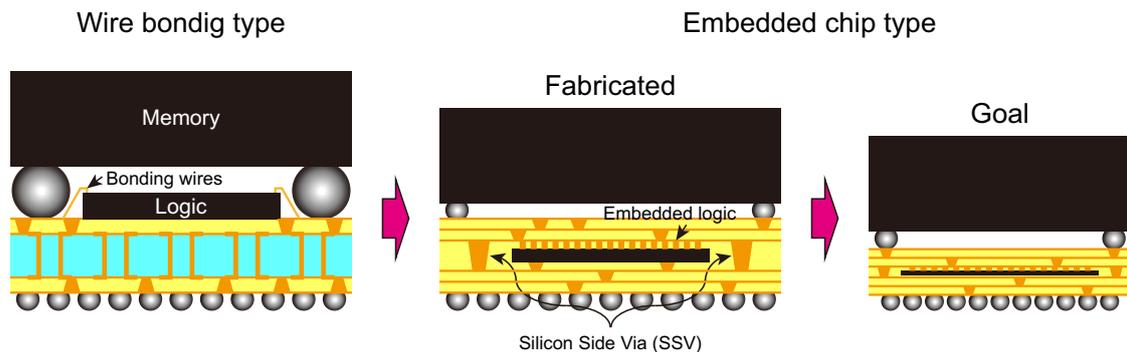


図 4.3: 対象とした PoP 構造と素子内蔵による薄型化・小型化の実現

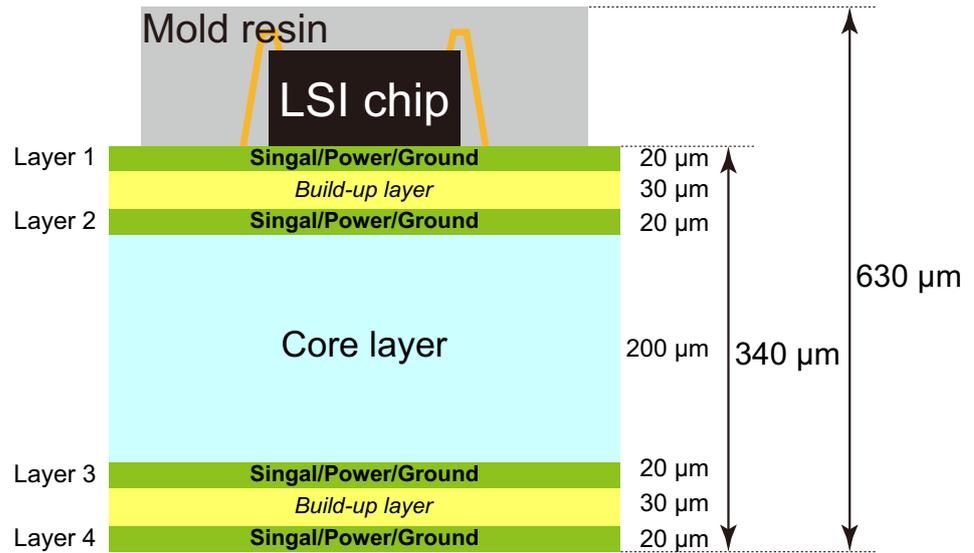
4.3.2 新構造実現のための課題

前節で挙げた新構造を実現するための 5 つの要素技術について、実現のための課題を整理する。第 3 章と本章の構造において最大の違いは、本章の機能素子内蔵基板は銅板の支持体がなく、両面端子構造となっていることである。5 つの要素技術に違いはないが、支持体がない本章の構造の方が解決すべき課題が多い。② のチップ研削と ③ の小さなはんだボールについては、本研究で技術開発は行わず既出の開発成果を活用する。③ のシームレス接続については、第 3 章の成果を活用する。④ のコアレス基板については、銅板に代わる支持体による剛性の確保が新たな課題である。⑤ の最適インダクタンス設計については、両面端子により複雑化した配線経路の最適化が新たな課題である。

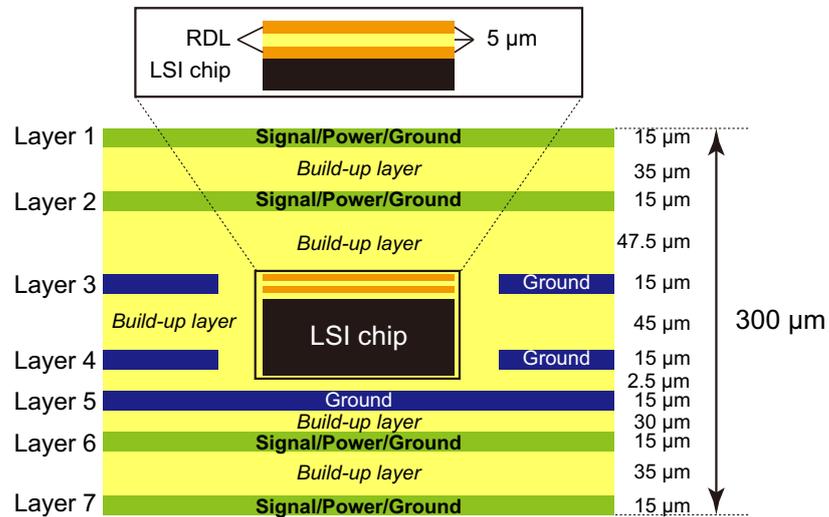
4.3.3 剛性の確保

銅板に代わる支持体により剛性を確保するため、べたグランド層の追加、そして樹脂の厚みと組み合わせの最適化を行った。図 4.2 に新構造と従来構造の層構成の比較を示す。従来構造が 4 層ビルドアップ基板であるのに対して、新構造は 2 層のべたグランド層と 1 層の位置合わせ層を含む 7 層コアレス基板である。ただし、配線層数は従来構造と同じ 4 層である。

表 4.1 に新構造と従来構造の諸元の比較を示す。ロジックは 7.5 mm 角で約 400 パッドの周辺端子を有する。パッケージサイズは 13 mm 角である。本章では、チップを含む樹脂層に配置されるビアを SSV (Silicon Side Via) と呼ぶことにする。そして、表 4.2 に下段パッケージのボード側のパッド数が信号、グランド、電源のいずれに割り当てられているかの内訳を示す。従来構造と比較して新構造は再配線層と SSV を含む導体層を余分に持つため、製造コスト上昇につながる。しかし、既存チップの流用による再設計コスト、マスクコストが発生しないこと、高価な金ワイヤを使わずに済むことによりその上昇を抑えている。



(a) 従来構造



(b) 能動素子内蔵

図 4.4: 下段パッケージの層構成

表 4.1: 題材としたロジックの諸元

		能動素子内蔵	非内蔵
ロジック	機能	アプリケーションプロセッサ	←
	サイズ	7.5 mm 角	←
	パッド数	約 400	←
	パッド間隔	350 μm エリアアレイ端子	70 μm 周辺端子
	最大信号速度	312 MHz	←
メモリ	バスクロック	266 MHz LPDDR	←
	容量	32 MB	←
パッケージ	サイズ	13 mm 角	←
	表面パッド数	約 140	←
	裏面パッド数	約 470	←
	配線層数	7	4

表 4.2: チップの機能別パッド数

機能	電圧 [V]	パッド数	用途
電源 1	1.85	12	ロジック
電源 2	1.2	16	ロジック
電源 3	1.85	12	メモリ
電源 4	1.85	5	メモリ
グラウンド 1	0	42	ロジック, I/O
グラウンド 2	0	17	メモリ
信号	-	約 300	ロジック及びメモリ

4.3.4 チップ・パッケージ協調設計

本章の新構造の実現可否を決める最も重要な要素は、形成可能な SSV 数である。パッケージの両面を接続する配線経路は、内蔵したチップを避けて SSV を経由しなければならないため、必要な配線経路数だけ SSV が形成できることが前提条件となる。パッケージ下面の BGA パッドに接続されるすべての配線は内蔵したチップを通り SSV に接続される。したがって、SSV 数は BGA パッド数と同数必要である。本章の場合は表 4.1 に示すとおり約 470 個必要である。

そこで、SSV の最大配置可能数を概算する。図 4.5 の構造において、SSV を配置可能な最大面積を S とすると、

$$S = (a - 2p)^2 - (b + 2q)^2 \quad (4.1)$$

と表せる。ここで、 a はパッケージ外形寸法、 b はチップ外形寸法、 p はパッケージ側禁止領域幅、 q はチップ側禁止領域幅である。これより、SSV の最大配置可能数を n とすると、

$$n = \frac{S}{g^2} \quad (4.2)$$

で概算できる。ここで、 d はパッド径、 g はパッド間隔である。なお、図 4.5 の右上には正方形配列、左下には千鳥配列を例示してある。両者は 45° 回転しているだけであり、SSV 数は変わらない。これは (4.2) 式からも明らかである。したがって、どちらを選択してもよい。本研究では製造歩留まりを考慮に入れて、 $p = q = 5 \text{ mm}$ 、 $g = 354 \mu\text{m}$ ($250 \mu\text{m}$ 千鳥配列)、 $d = 320 \mu\text{m}$ とした。 $a = 13 \text{ mm}$ 、 $b = 7.5 \text{ mm}$ であるので、(4.2) 式より SSV 数は約 570 個と見積もられる。SSV のレイアウト例を図 4.6 に示す。なお、 \square が SSV で、 \circ は内蔵チップの端子である。SSV の必要数である約 470 に対して、見積もられた約 570 は十分な数であるといえる。

次に、内蔵するチップのパッドレイアウトを最適化する。通常の PoP 向けチップはボンディングワイヤ接続またはフリップチップ接続を前提に設計、製造されている。このため、通常のチップのパッドレイアウトは内蔵に適さない。本章で用いたチップはパッド間隔が約 $70 \mu\text{m}$ の周辺端子構造であった。第 3 章で題材としたチップのパッド間隔は $160 \mu\text{m}$ 千鳥配列のエリアレイ端子構造であった [57, 65] ことを考えれば、本章で題材としたチップのパッドが微細ピッチであることがわかる。このパッド間隔は 2016 年時点のプリント配線板製造技術で内蔵するには微細すぎて現実的でない。

そこで、内蔵のためにパッドレイアウトを最適化したチップを再製造することを前提とした。ただし、再製造には非常に大きなコストがかかるため、本章では題材としたチップ端子面に再配線技術を用いて、Wafer Level Chip Size Package (WLCSP) を作製することで代替した。具体的には $350 \mu\text{m}$ 間隔で 20×20 のエリアレイ端子へ変換した [84]。再配線の L/S は

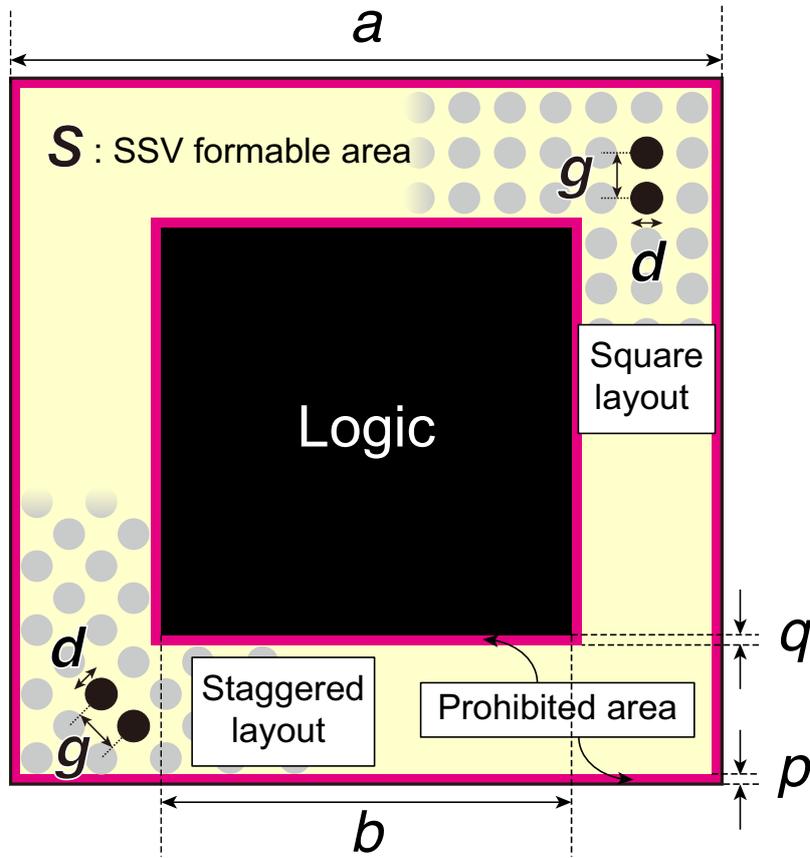


図 4.5: SSV の配置可能領域

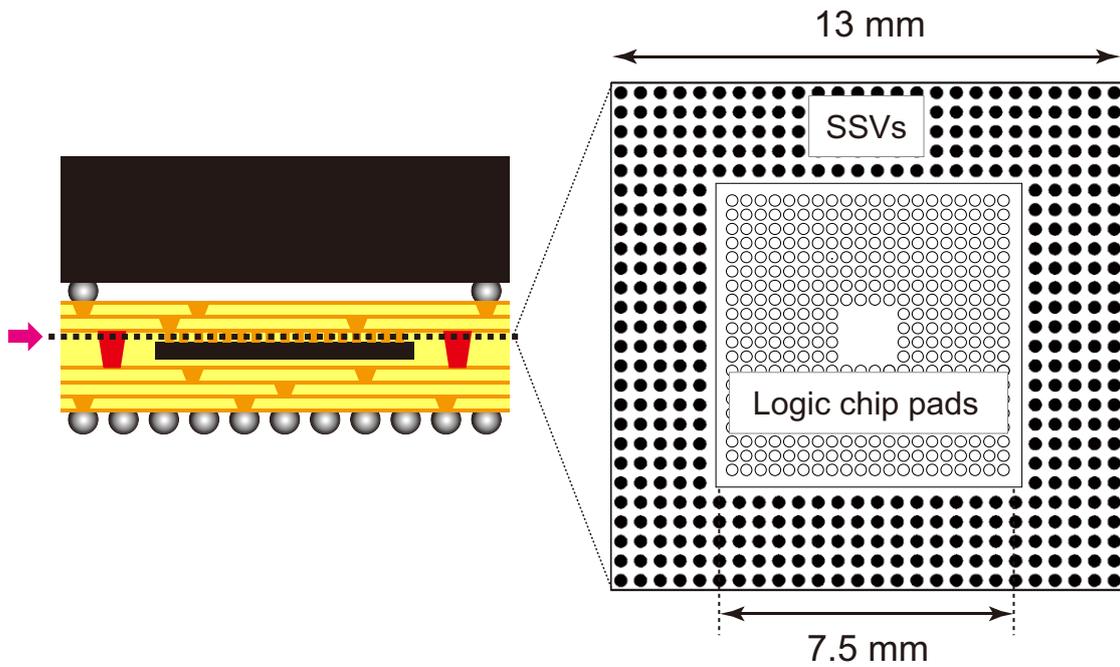


図 4.6: SSV のレイアウト見積もり例

5 μm /5 μm とした．これは現実的な値である．そして，図 4.7 に示すように，2 層の再配線層をチップ端子面上に形成した [34]．

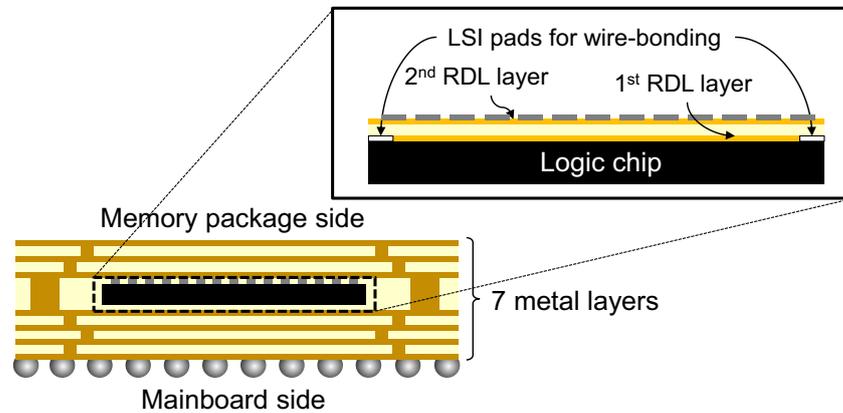


図 4.7: 再配線を形成したチップと新構造

パッドレイアウトの最適化は，パッケージ内の配線経路を分類することで効率的に行った．配線経路は図 4.8 と表 4.3 に示すとおり．グループ A とグループ B とグループ C の 3 つに分類できる．図 4.8 中のロジックチップはワイヤボンディング接続であるが，フリップチップ接続でも構わない．



図 4.8: 配線経路の分類

パッドレイアウトの最適化は，配線のビアを最小化する観点で行った．グループ A のみがチップから見てメモリとボードに分岐しているため，配線長が最も長くなりやすい．グループ A はメモリのインターフェースであり，通常はチップ-メモリの配線のみでよい．このような仕様となっているのは，メモリを搭載したテストボード上に，メモリ未搭載のチップをソケットで装着してテスト (Built Out Self Test: BOST) を行うためか，メモリを積層ではなくボード上に搭載して動作させることも想定しているかのいずれかであると考えられる．そこで，チップの端子レイアウトを決定する際，信号線全体の配線長を短くするため，グループ A

表 4.3: 配線経路の分類

分類	配線経路	配線経路数	機能
グループ A	ボード-ロジック-メモリ	約 100	ロジック・メモリ用信号
グループ B	ボード-ロジック	約 300	ロジック用信号, 電源・グランド
グループ C	ボード-メモリ	約 40	メモリ用電源・グランド

表 4.4: 配線層別の主な役割

層番号	主な用途
1	信号, 電源・グランド
2	信号, 電源・グランド
3	チップ位置合わせ
4	パッケージ反り抑制
5	パッケージ反り抑制
6	信号, 電源・グランド
7	BGA パッド

の端子が外周部に優先して割り当てられるようにした。

4.3.5 各層の配線パターン

まず，最適化した内蔵チップの端子レイアウトを示す．図 4.9 は，パッケージのチップと接続される配線層のレイアウトである．線の太い丸印がグループ A の端子である．必ずしも外周部にすべてが割り当てられていないが，これは再配線の制約である．内蔵用に端子レイアウトを最適化することを前提としているが，従来構造を再配線に変換する本研究の場合は，完全な最適化は難しいといえる．一般的にはチップ外周部に信号，中央部に電源，グランドを割り当ててるが，本章の構造はどちらかというとなっており，外周部に電源，グランド，中央部に信号が割り当てられている．これが電気特性が向上するようにビア数を最適化したチップ・パッケージ協調設計の成果である．

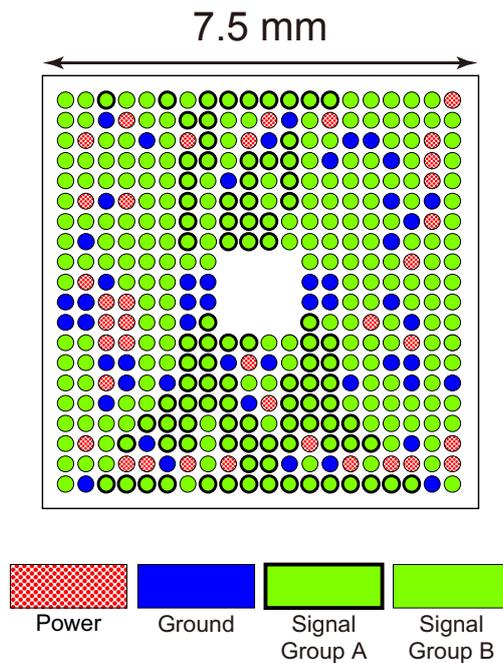


図 4.9: チップ側の端子レイアウト

次に，図 4.10 に新構造の各層のパターン図を示す．従来構造には電源，グランドプレーンがほとんど存在しないのに対して，新構造では十分大きな領域を確保した．べたパターンを設けて基板の反りを抑制することを期待したためである．第 1 層の役割は上段パッケージとの接続である．第 2 層はチップとの接続に用いられる．第 3 層はチップとの位置合わせ層である．第 4 層から第 5 層は補強層のため図示を省略した．第 6 層は配線層である．そして第 7 層はボードとの接続層である．

SSV はフィルドビアと呼ばれる，ビア内部も導体で充填された形状である．これは第 3 章

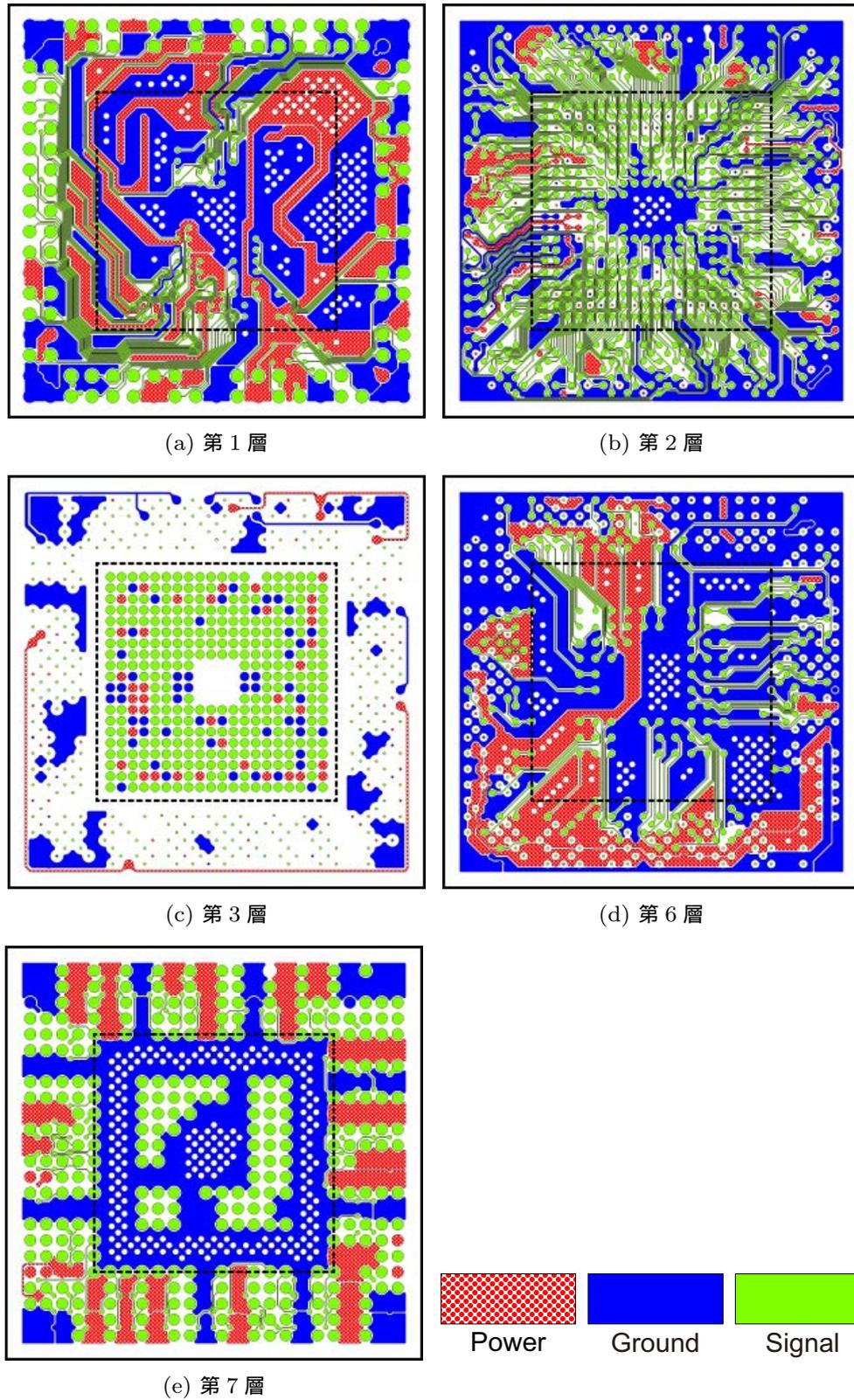


図 4.10: 新構造の配線パターン (パッケージサイズ: 13mm 角)

で述べた，銅板とグラウンドを接続するグラウンドビアと同じである．通常のコンフォーマルビアはビア内部に樹脂が充填されるため，ビアの直上にビアを形成できず，高密度実装に適さない．また，コンフォーマルビアに比べてフィルドビアは電流密度が小さいため，電流を多く流すことができる．後者の特徴を活かし，電源・グラウンドに割り当てられた SSV を集約することで配線自由度を向上させた．SSV 数は約 400 個とした．冒頭で見積もった約 570 個，及び本来の必要数である約 470 個に比べると少なくなっている．

表 4.5 に，約 300 の全信号線を対象としたチップの端子からボードの端子までの配線長の比較を，そしてそのヒストグラムを図 4.11 に示す．ここで，従来構造の場合はボードに実装する際のボンディングワイヤ（長さ約 $700\ \mu\text{m}$ ）を追加し，新構造の場合は図 4.12 の再配線部分は除外してある．これは，端子レイアウトが最適化されたエリアアレイ端子のチップを再製造して利用するという前提に基づくものである．これより，新構造は最大値で従来構造に劣るものの，最小値と中央値は優れていることがわかる．したがって，少数の配線が特異的に長くなっているものと考えることができる．図 4.11 から，16 mm 以上のレンジで従来構造より長い信号線が 10 本程度あるものの，新構造の方が平準化が図られていることがわかる．単純な見積もりとして配線長が同等レベルであるということは，寄生インダクタンスも同等であり，信号品質も同等であることが示唆された．

表 4.5: 全信号線（約 300）の配線長まとめ

	従来構造	新構造
最大値	18.4	19.2
最小値	3.13	1.42
中央値	5.81	5.11

Unit: mm

最後に，図 4.12 はチップ端子面に施された再配線層を示す．L/S が $5\ \mu\text{m}/5\ \mu\text{m}$ と，パッケージに比べて微細な配線が可能である．

参考のため，ボード側，メモリ側端子と配線を微細化して 10 mm 角に小型化したパッケージも配線設計を行った．各層のパターンを図 4.13 に示す．10 mm 角のパッケージは，最小 L/S は $10\ \mu\text{m}/10\ \mu\text{m}$ ，SSV 間隔は約 $320\ \mu\text{m}$ で SSV 径は $80\ \mu\text{m}$ とした．

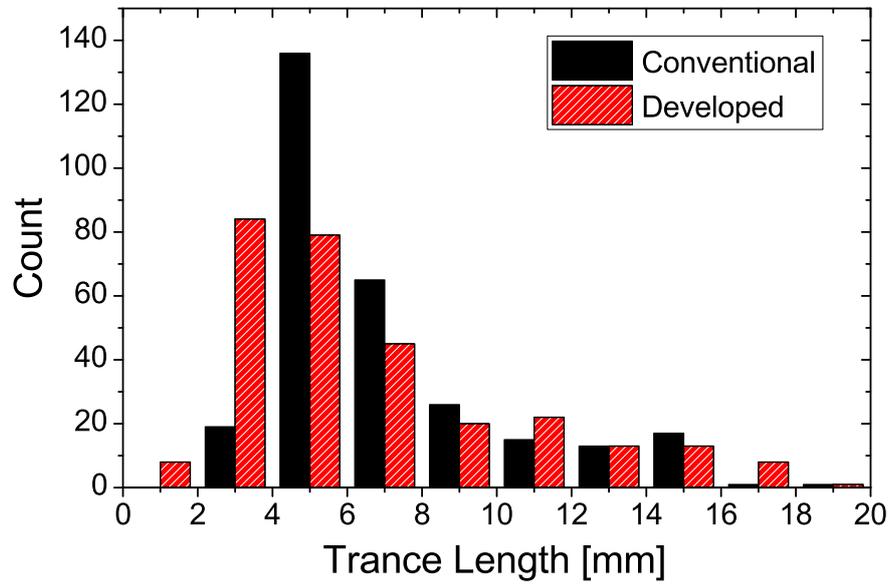


図 4.11: 全信号線の配線長のヒストグラム

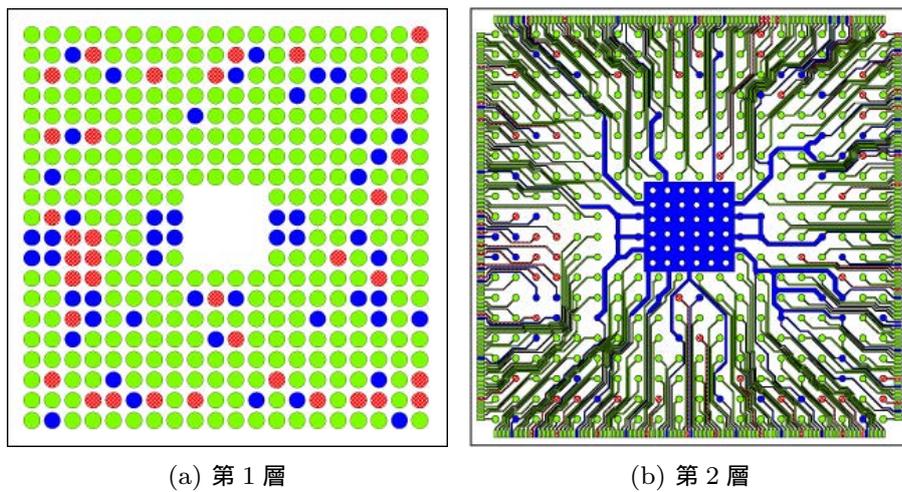


図 4.12: チップ表面の再配線パターン (チップサイズ: 7.5mm 角)

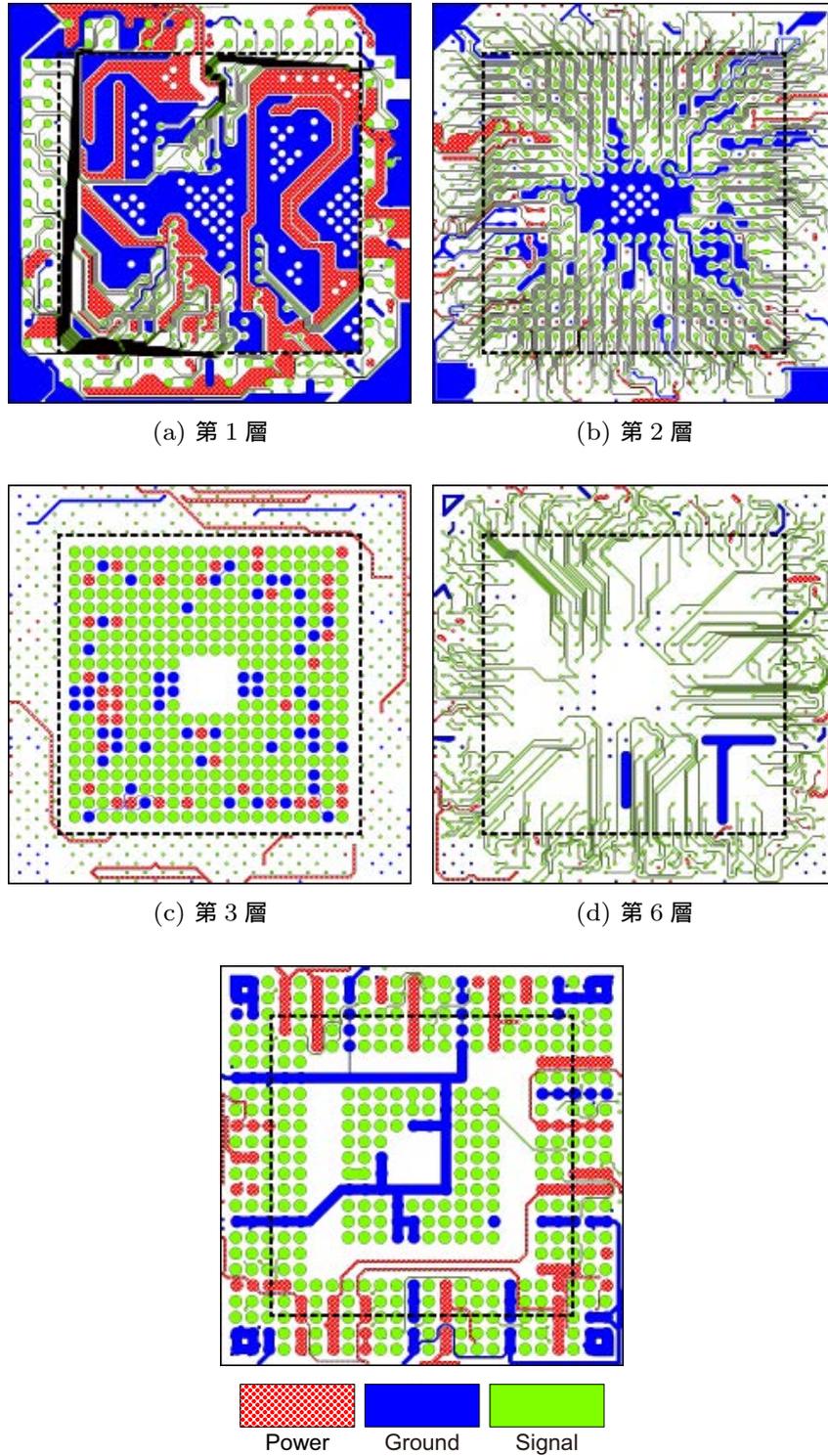


図 4.13: 新構造の配線パターン (パッケージサイズ:10 mm 角)

4.4 電気特性の評価

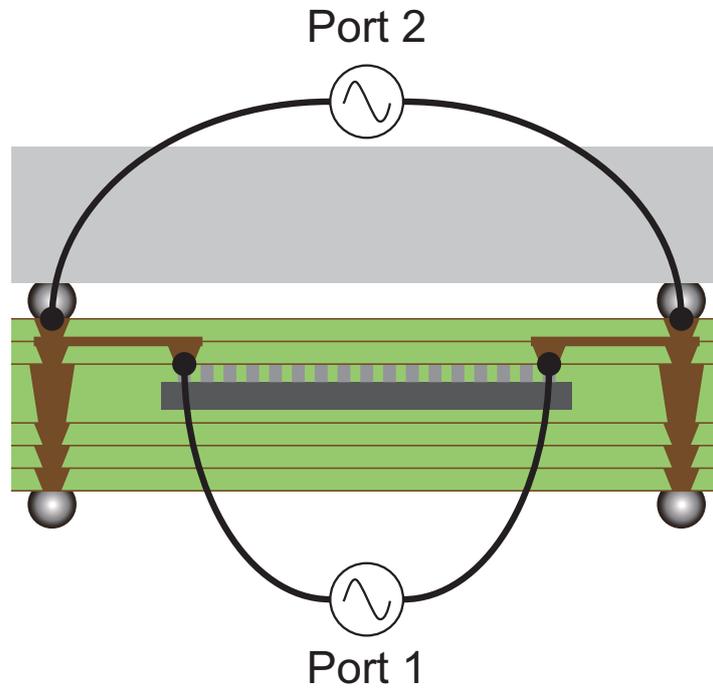
前節で設計したパッケージを，シミュレーションで事前評価した．第3章と同様に，従来構造と比較して特性が下回っていないことが評価基準となる．なお，チップ側の観測点は，従来構造はチップ側端子，新構造は再配線前のチップ側端子とした．後者についてはチップ再製造を想定しているため，本来は変換したパッケージのパッドとすべきである．また，参考のためにパッケージサイズを 10mm 角に小型化したものも比較対象に加えた．

4.4.1 信号品質

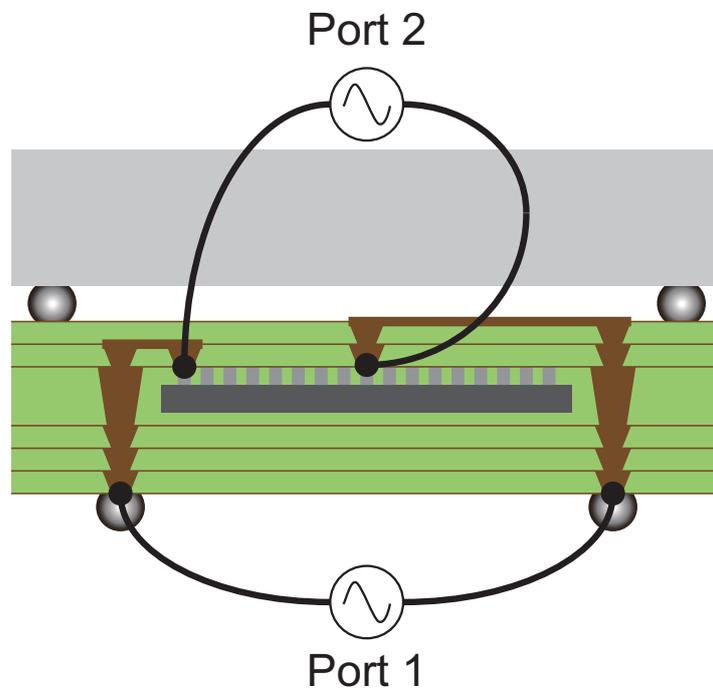
信号品質はサンプリングしたパッケージ内の高速信号を挿入損失 (S_{21}) で評価した．評価系は信号経路により変わる．図 4.14 にグループ A とグループ B の評価系を示す．Port 1 は両配線群ともチップ側，Port 2 はグループ A が上段パッケージ側，グループ B がボード側とした．

図 4.15 は新構造と従来構造でシミュレーションした挿入損失の結果である．新構造，従来構造ともにすべての信号線路で約 2 GHz までは -3 dB 以内に収まっている．チップで最も高速な信号クロック周波数が 313 MHz，メモリのバスクロックが 133 MHz である．したがって，これらの結果より新構造はビットエラー等の信号品質を悪化させる要因はないと考えられる．また，新構造は従来構造と同様の傾向を示しているといえる．

そして，図 4.16 は新構造と従来構造でシミュレーションしたクロストーク特性の結果である．近端クロストーク，遠端クロストークともに両構造で約 1 GHz まではほとんど差が生じていない．

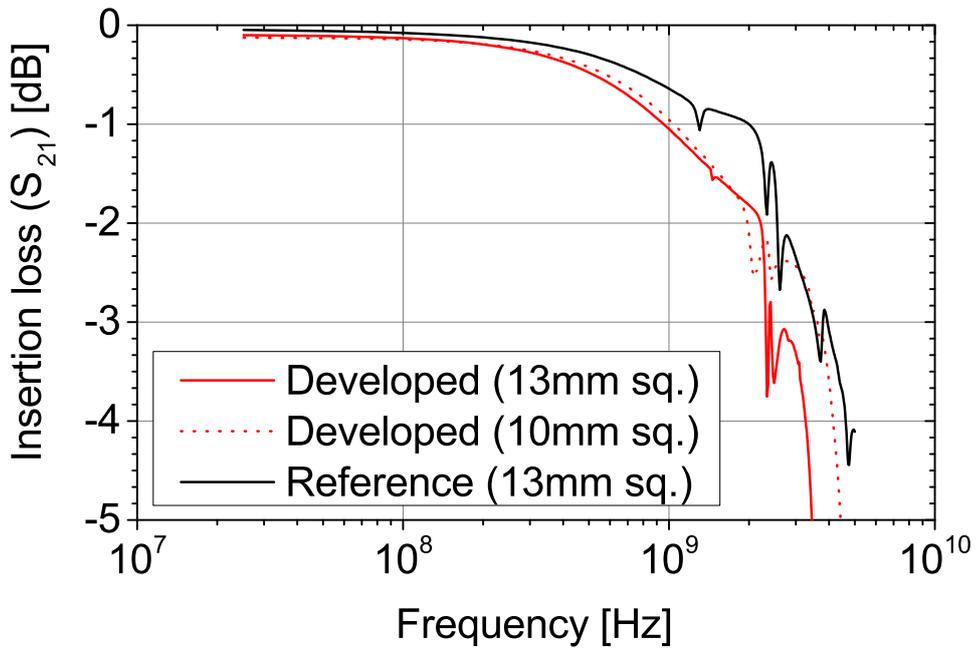


(a) グループ A の評価系

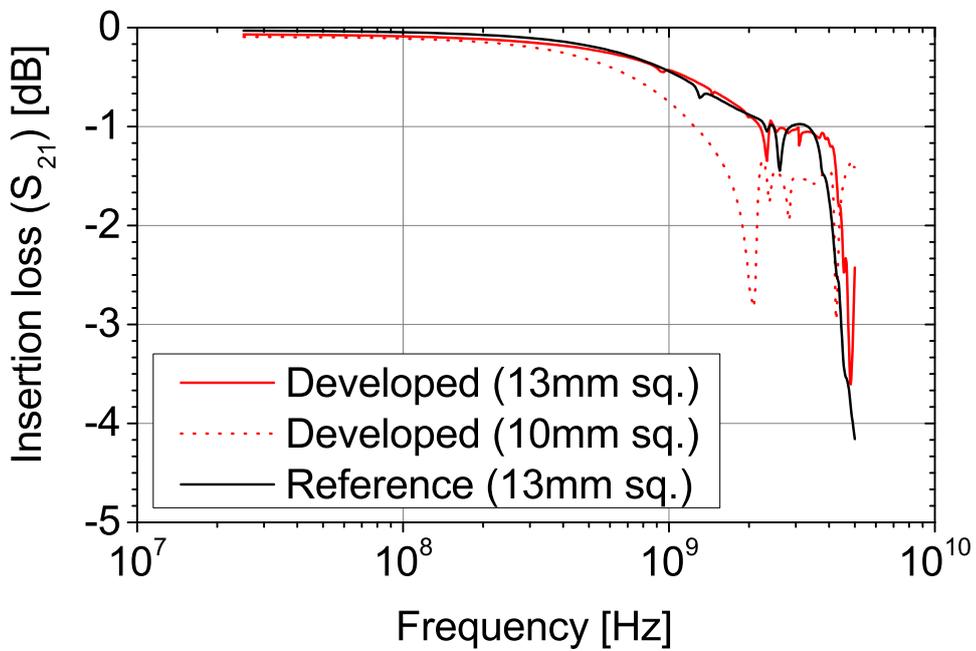


(b) グループ B の評価系

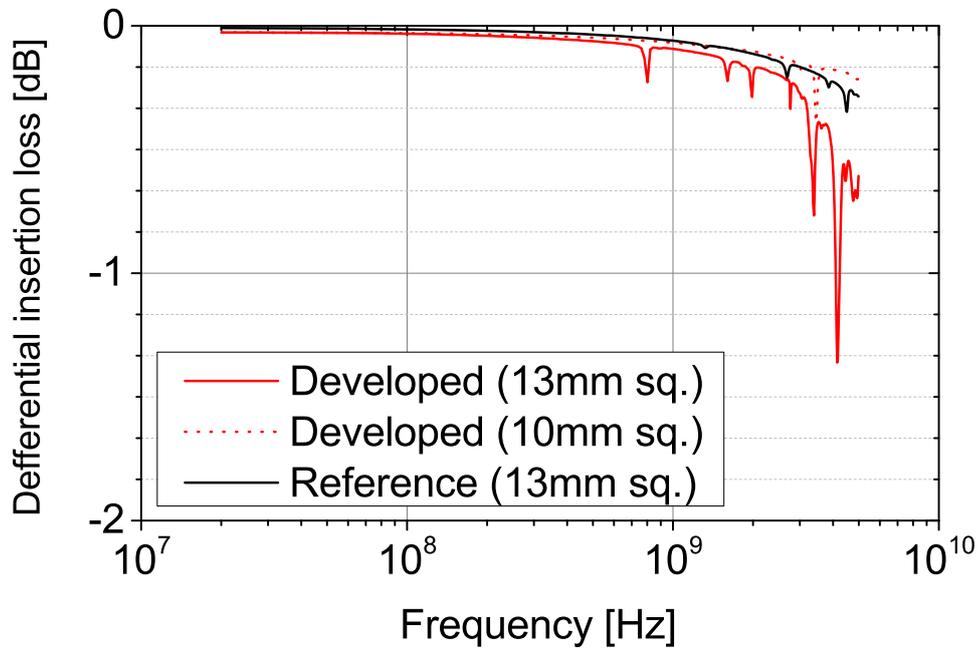
図 4.14: グループ A とグループ B の信号品質評価系



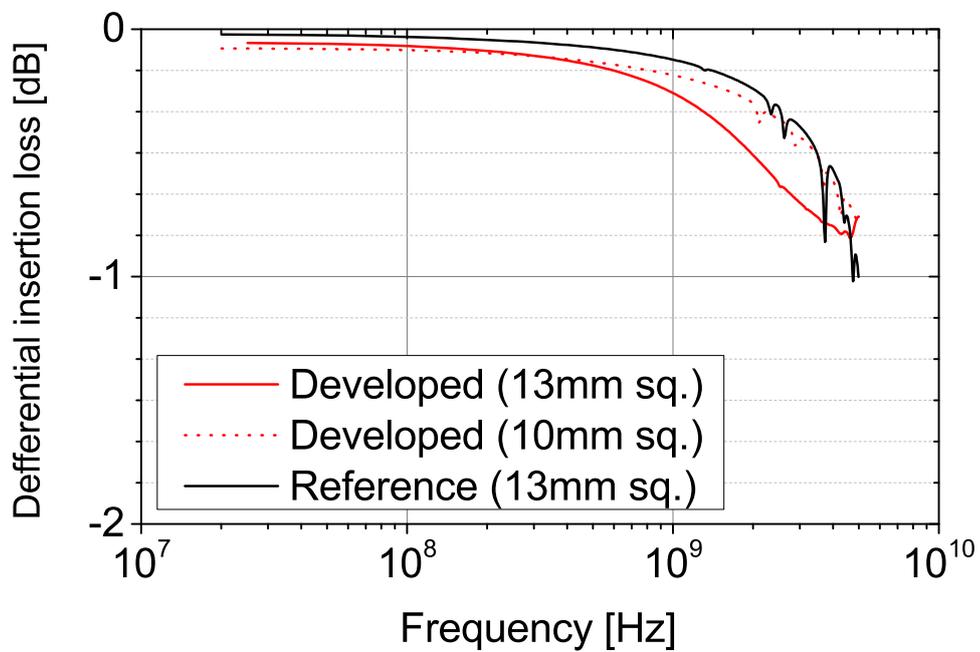
(a) グループ A の信号



(b) グループ B の信号

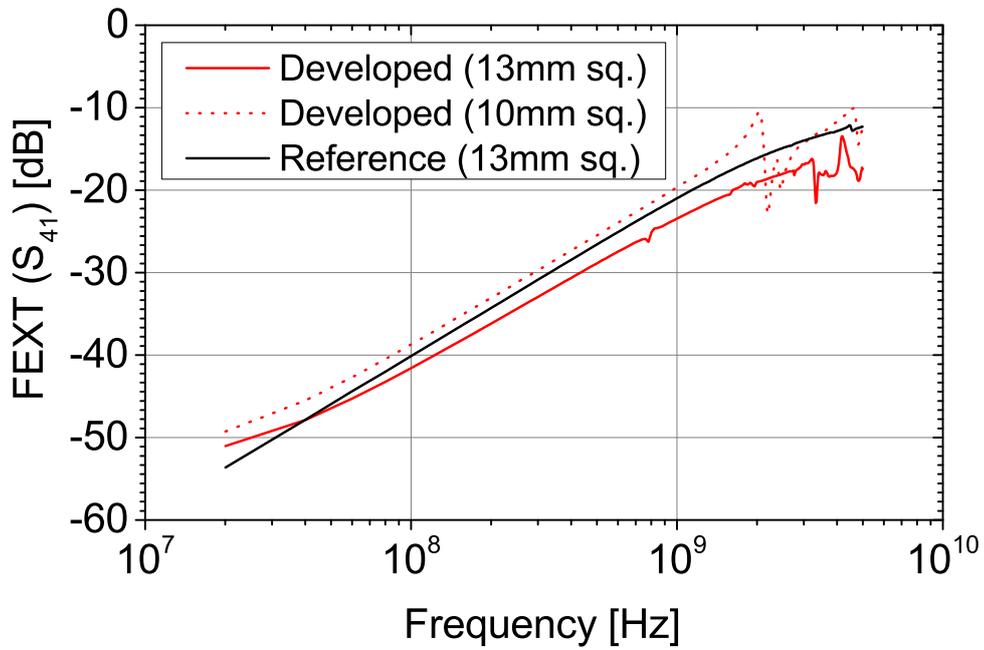


(c) グループ A の差動信号

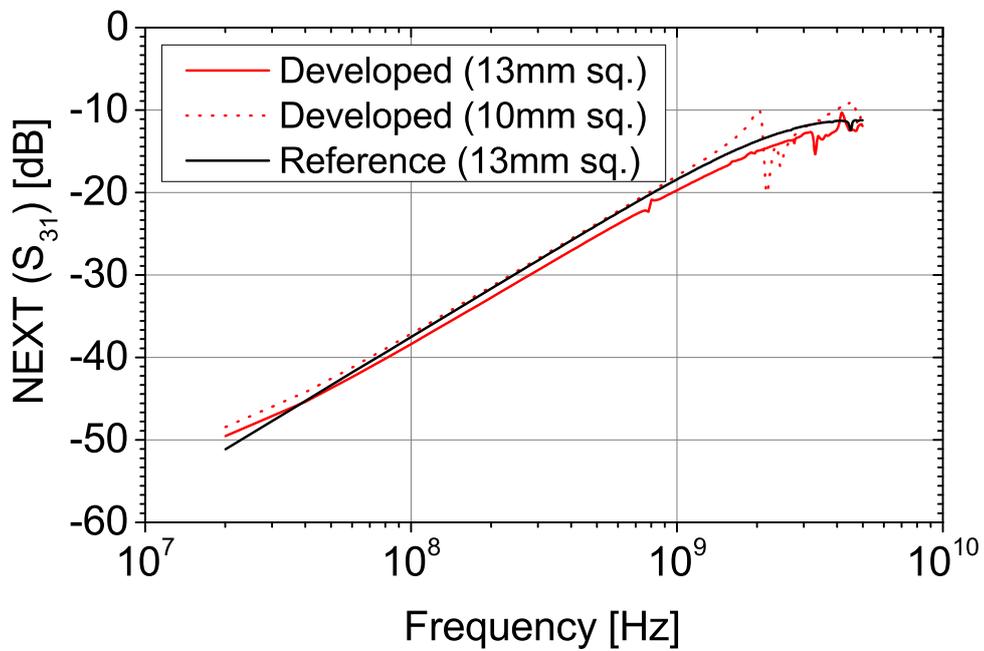


(d) グループ B の差動信号

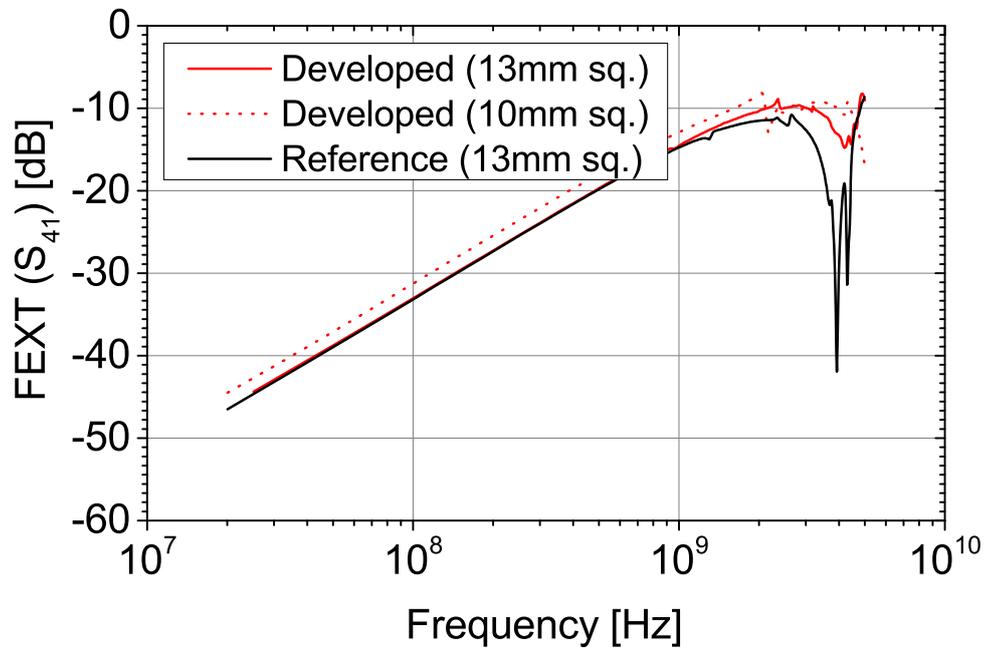
図 4.15: 挿入損失のシミュレーション結果



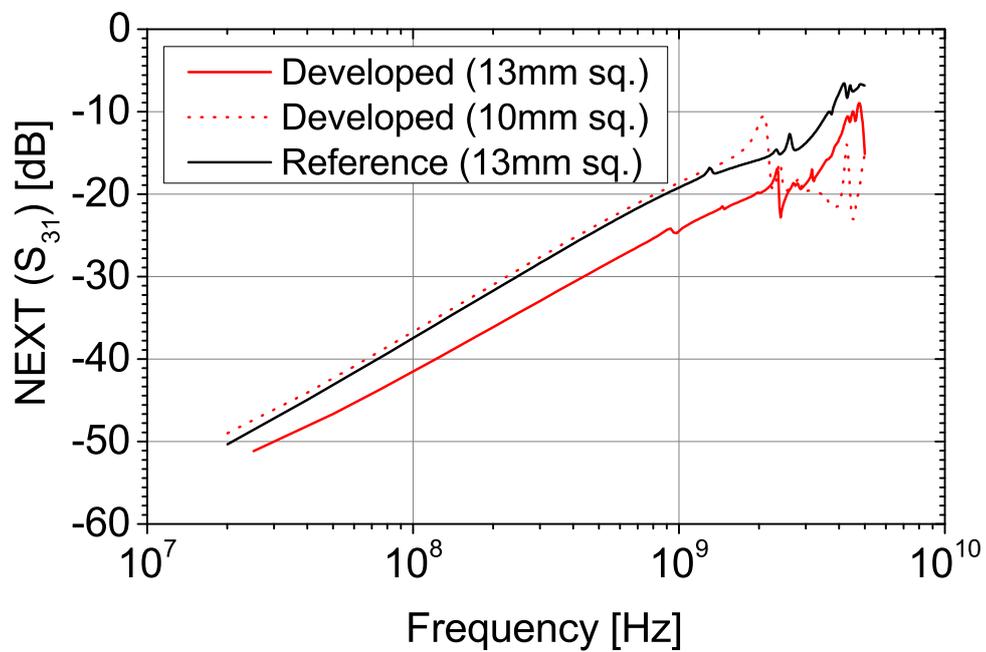
(a) グループ A の近端クロストーク



(b) グループ A の遠端クロストーク



(c) グループ B の近端クロストーク



(d) グループ B の遠端クロストーク

図 4.16: 差動線路のクロストーク特性のシミュレーション結果

4.4.2 電源品質

電源品質は PDN インピーダンスで評価した。評価系は第 3 章と同様に、観測面と反対の面を仮想的に完全導体で短絡して閉ループを作った。本章で題材としたチップとメモリは表 4.2 に示すとおり 4 種類の電源を持つ。新構造と従来構造について、すべての電源の PDN インピーダンス特性をシミュレーションにより求めた。図 4.17 に計算に用いたポート構成を示す。図 4.18 はすべての電源の計算結果である。能動素子内蔵基板の PDN インピーダンスは、パッケージ内の配線で最も高速な信号である 312 MHz の 5 倍高調波より大きい約 2 GHz まで、従来構造とほぼ同様の特性となっている。また、図 4.6 に全電源に対する PDN インダク

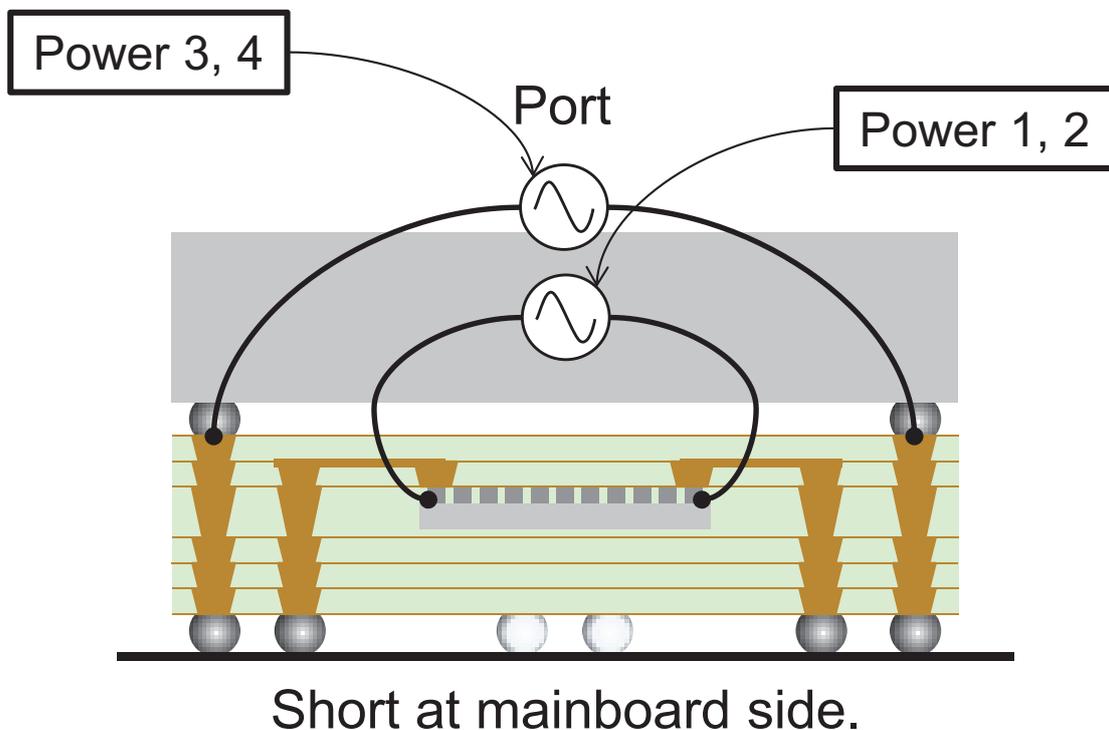
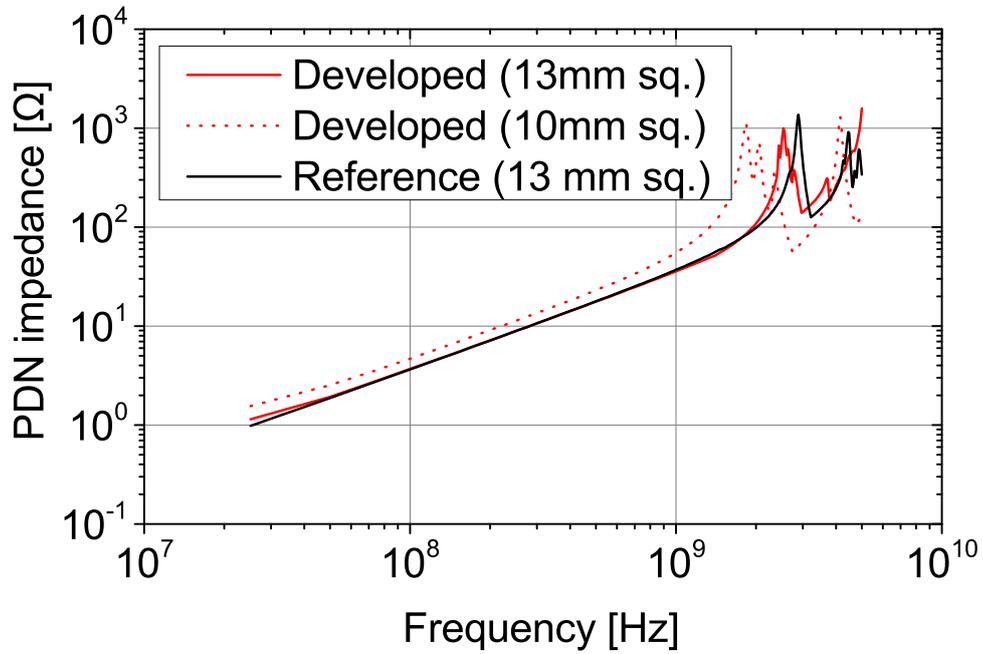
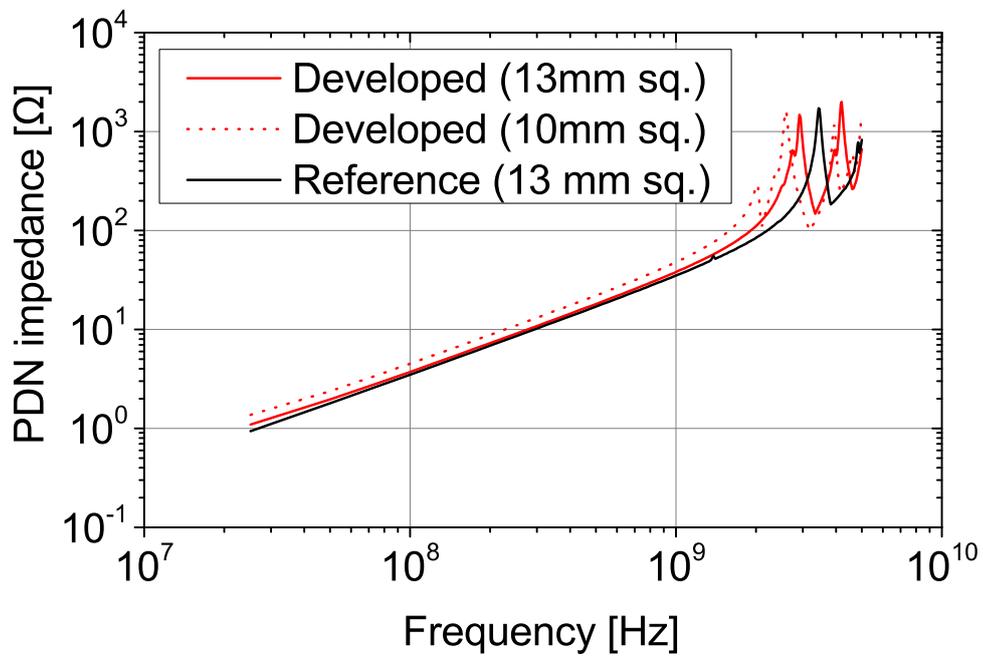


図 4.17: 電源品質の評価系

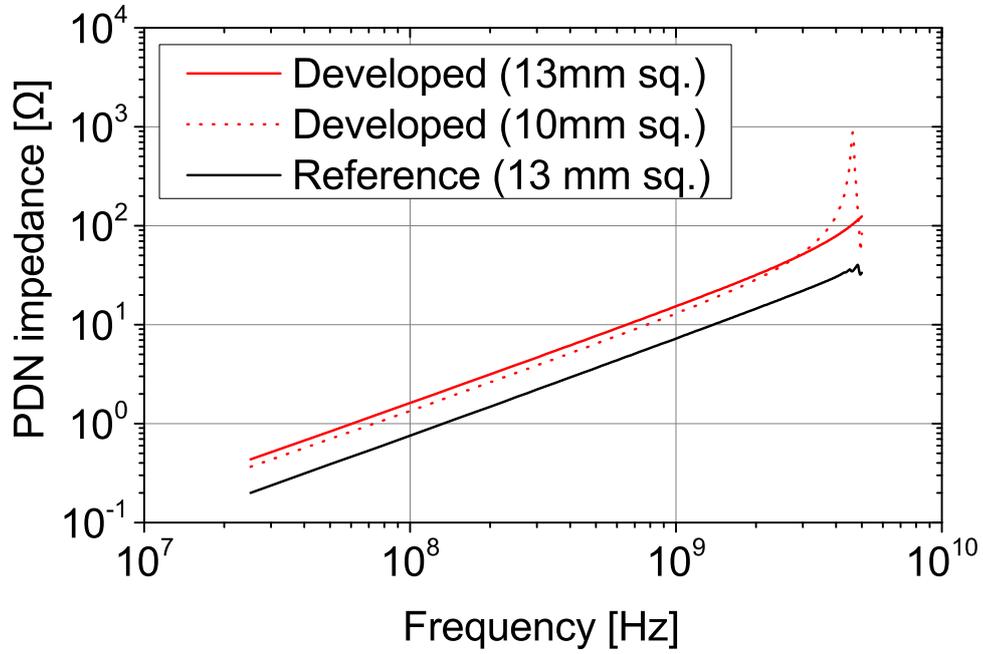
タンスの比較結果を示す。PDN インダクタンスは、パッケージ内の配線で最も高速な信号である 312 MHz 付近の PDN インピーダンスから求めた。これより、新構造は、最大値で比較すると電源 3 以外のすべての電源で従来構造より良好な PDN インダクタンスを有していることがわかる。また、新構造の電源 3 も中央値は従来構造よりも良好であるため、特異的な最大値があったものと考えられる。



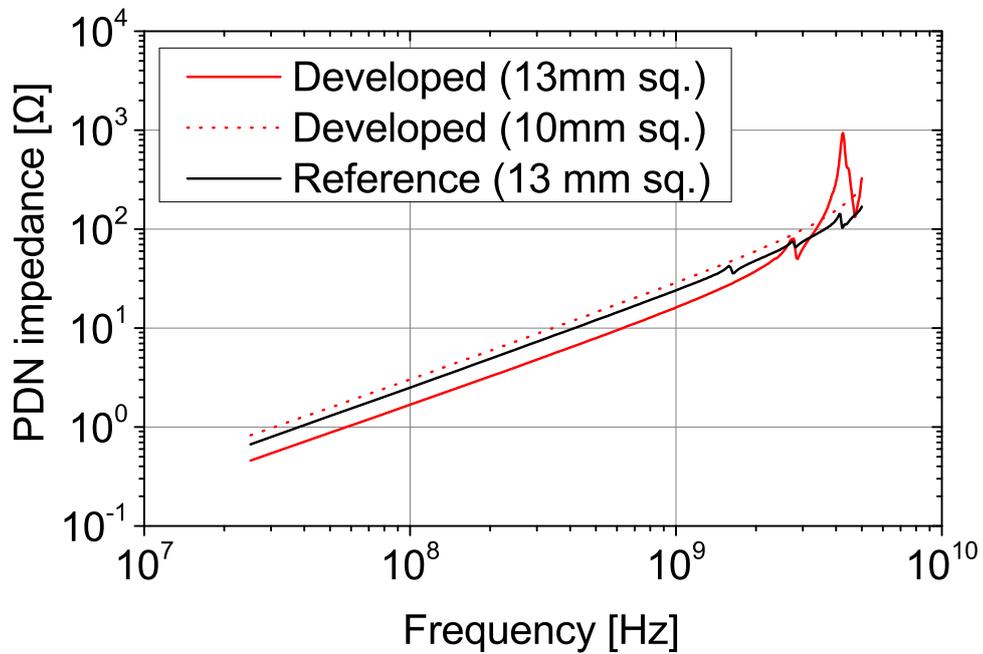
(a) 電源 1



(b) 電源 2



(c) 電源 3



(d) 電源 4

図 4.18: 全電源の PDN インピーダンス

表 4.6: PDN インダクタンスの比較

	従来構造				新構造			
	電源 1	電源 2	電源 3	電源 4	電源 1	電源 2	電源 3	電源 4
最大値	6.2	6.3	1.5	5.0	5.0	5.1	2.6	2.7
最小値	1.9	2.2	0.76	0.95	1.4	0.60	0.52	0.41
中央値	3.4	3.3	1.3	1.5	2.4	1.4	1.1	0.81

Unit: nH

4.5 動作実証

前節でのシミュレーション結果より，新構造は問題なく配線設計できたといえる．そこで，実際に能動素子内蔵基板を試作し，LSI テスタで評価を行った．図 4.19 に新構造の外観写真を，図 4.20 に X 線写真を示す．新構造の厚みは実測値で約 $370\ \mu\text{m}$ であった．また，比較対象の従来構造としてチップを内蔵しないパッケージも試作した．

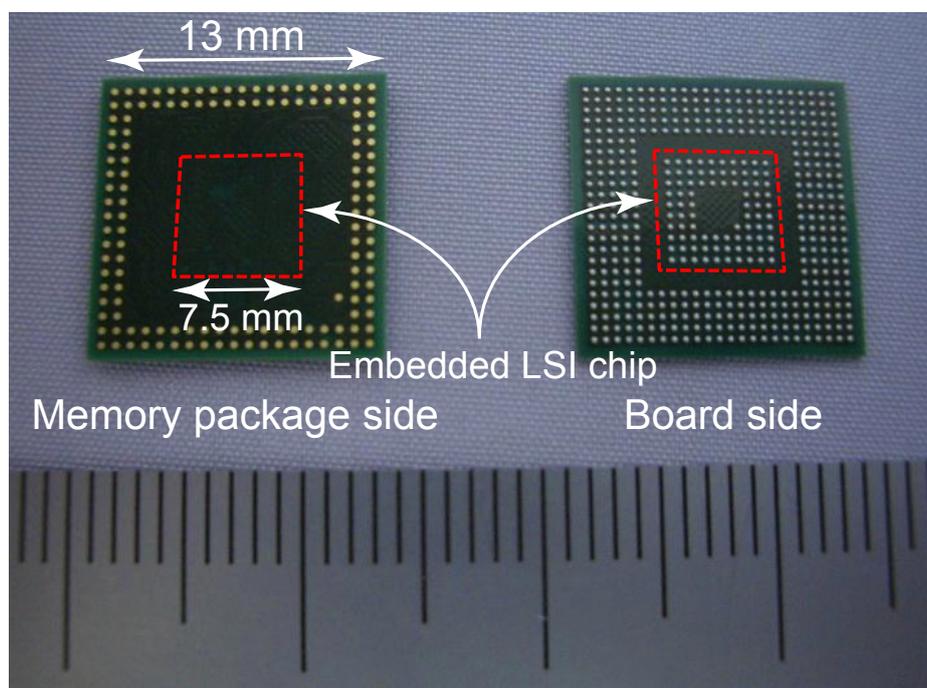


図 4.19: 新構造の外観写真（左: 表面，右: 裏面）

新構造はすべての機能テストに合格した．テスト結果を Shmoo プロットとしたものが図 4.21，図 4.22 である．図 4.21 はメモリコントローラの動作電圧に対して，新構造の 10 個と従来構造 1 個の比較をしたものである．定格電圧は $1.8 \pm 0.1\ \text{V}$ で，図中の実線枠で囲われた領域である．すべてのサンプルは $1.5\ \text{V}$ 以上の電圧で正常動作している．この測定結果より，新構造の動作マージンは従来構造と同等レベルであるということがわかる．

図 4.22 は新構造の RF 機能における，動作電圧と動作周波数をプロットしたものである．定格動作電圧は $1.2 \pm 0.1\ \text{V}$ ，定格動作周波数は $63\ \text{MHz}$ である．定格動作周波数は At Speed ではなく Built-in Self Test (BIST) のための定格であり，実際の定格より低いものとなっている．図 4.22 から，新構造は十分な動作マージンを有しているといえる．

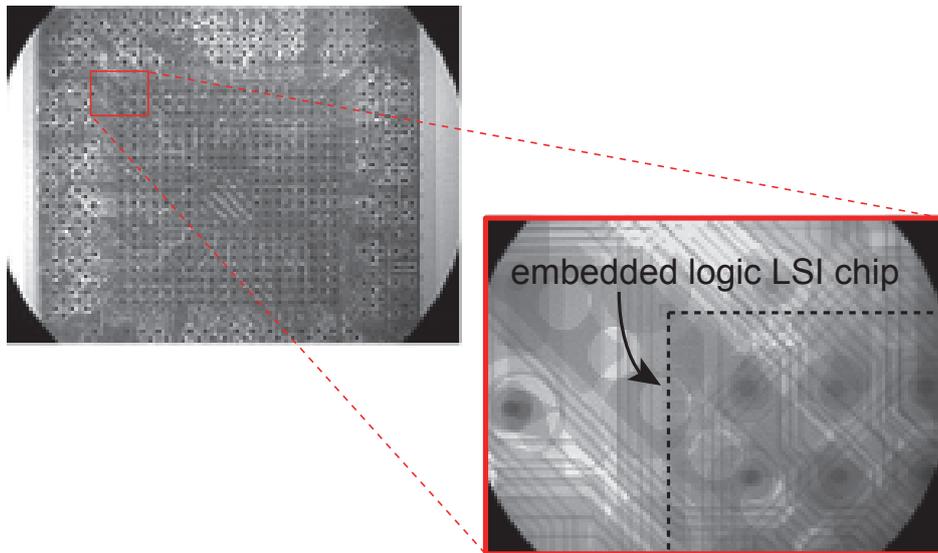
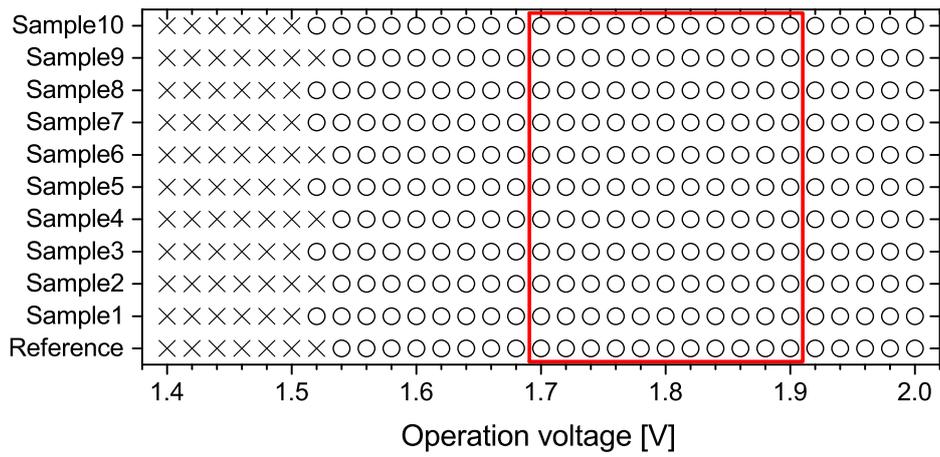
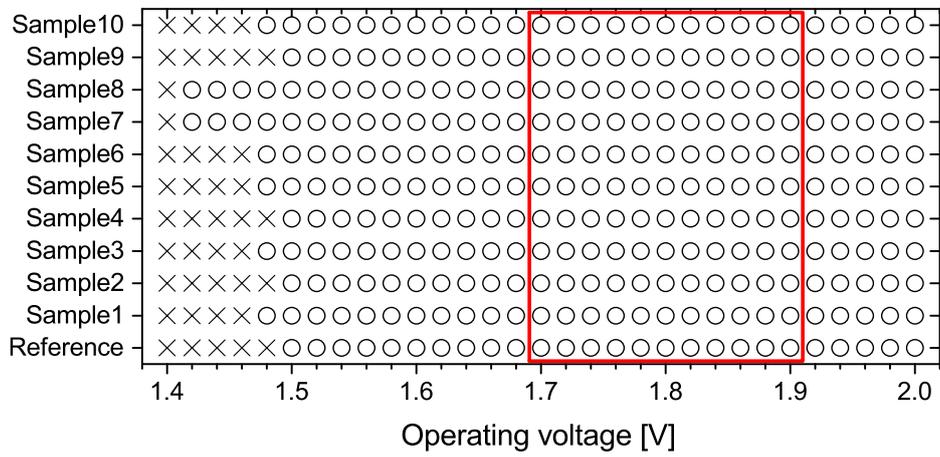


図 4.20: 新構造の X 線写真

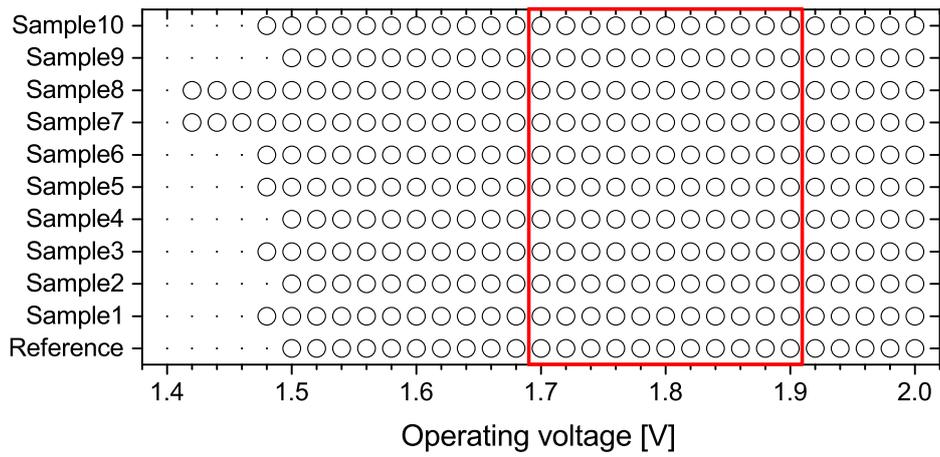


(c) 機能 1

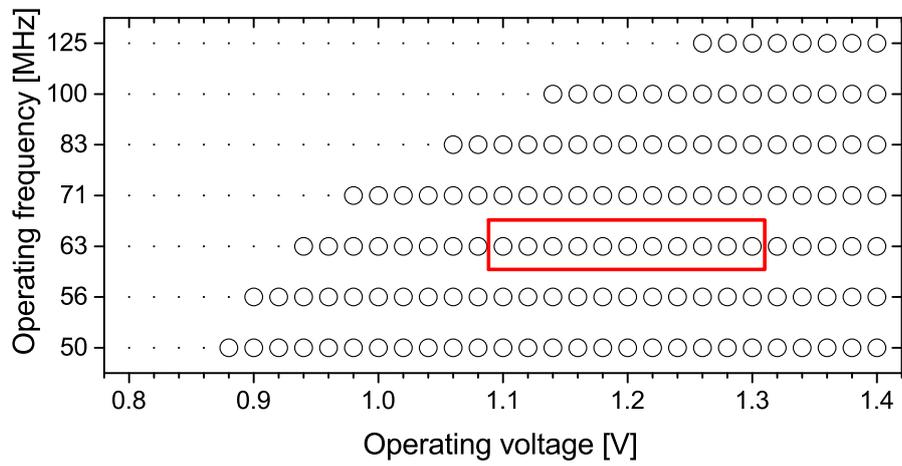


(d) 機能 2

図 4.21: Shmoo プロット結果



(c) 機能 3



(d) 機能 4

図 4.22: Shmoo プロット結果

4.6 考察

新構造では、補強層を設けたため従来構造よりも層数が増えたことは冒頭で述べた。層数が増えるということは層間接続体のビアやスルーホール数が増える、すなわち寄生インダクタンスが増加することを意味する。この影響について考察する。図 4.23 は、従来構造のスルーホールと新構造のビアを比較したものである。従来構造では、厚み $200\ \mu\text{m}$ のコア層を貫通する半径 $62.5\ \mu\text{m}$ のスルーホールが最小ピッチ約 $800\ \mu\text{m}$ で形成されていた。一方、新構造では、配線層を含めて合計厚み $170\ \mu\text{m}$ のビルドアップ層を貫通する半径 $37.5\ \mu\text{m}$ の 4 つのビアが最小ピッチ約 $350\ \mu\text{m}$ で形成されていた。この自己インダクタンスを (2.3) 式で計算すると、従来構造は約 $0.19\ \text{nH}$ 、新構造は約 $0.15\ \text{nH}$ となり、後者が若干小さくなった。ゆえに、新構造では層数が増加したものの、コアレス基板採用によりコア層がなくなったこと、ビアを高密度に配置できるようになったことの 2 つの効果により、寄生インダクタンスを減少させることができたといえる。

以上より、補強層の増加について次のことがいえる。

1. 信号においては、高周波特性を悪化させる要因となるので避けるべきである。
2. 電源においては、PDN インダクタンスが増加するため避けるべきである。ただし、微細なビアを多数並列に形成すれば PDN インダクタンスの増加を抑制できるため、やむを得ない場合は許容できる。
3. グランドにおいても電源と同様である。ただし、本章のようにグランド専用層が存在しない場合は、信号の帰路として追加することは検討の余地がある。

したがって、補強層の増加以外の補強方法の開発が今後の課題である。

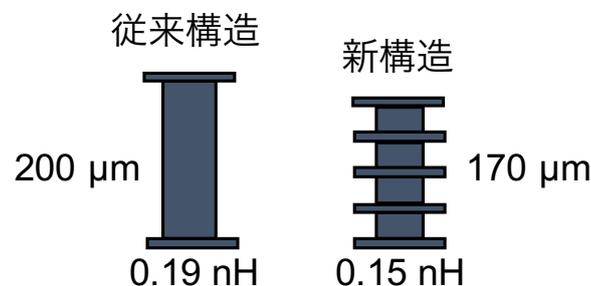


図 4.23: スルーホール（従来構造）とビア（新構造）インダクタンスの比較

チップサイズは変わらないが、配線に当たって特段の課題はなかった。

10 mm 角の能動素子内蔵基板の信号品質、電源品質のシミュレーション結果は、試作した

13 mm 角のそれらと比較可能なレベルである。

新構造は上述のとおり従来構造と同様の電気特性を有するが、題材としたチップとメモリはそれほど高速ではないため、GHz クラスの速度に対応するためには、配線設計を検討しなければならない点がある。高速動作に対して新構造が適している点を挙げれば、補強用としている 2 層のメタル層を電源、グラウンドに割り当てることができるため、電流密度の抑制やクロストーク、不要輻射の低減に寄与できることがある [42, 65]。

これまでの結果から、本章で提案した設計思想は意図どおりのものであり、実用的であることが確認できた。本設計思想は本章で取り扱ったような PoP 構造向けの能動素子内蔵基板に適用できるため、パッケージサイズの小型化に寄与できる。

4.7 まとめ

本章では、3D-SiP の薄型化を実現する設計技術について述べた。第 3 章との構造の最大の違いは、銅板支持体を備えず、基板両面に端子を有する点である。内蔵チップが基板両面を貫通する配線経路の障害となるため、チップの外周部に形成される Silicon Side Via (SSV) が小型化のボトルネックとなる。小型化を実現するため、配線の寄生インダクタンスが最小となるような SSV のレイアウトと内蔵チップの端子レイアウトを得ることができるチップ・パッケージ協調設計手法を提案し、その有効性について述べた。内蔵チップは再製造することが原則であるが、本研究では既存のチップを活用した。そのため、配線の最適化は不十分であるものの、チップの再設計・再製造コストと期間を抑えることができた。新構造の厚みは $370\ \mu\text{m}$ と、非内蔵の従来構造の $630\ \mu\text{m}$ に対して約 60% の厚みを実現した。事前のシミュレーションにより正常動作の可能性が高いことが確認されたため、実際に試作を行った。そして、第 3 章と同様に初回試作で正常動作を確認できた。これより、事前シミュレーションの精度が高いことが確認できた。

さらに、微細配線が可能になる将来を想定した構造として、面積が約 60% となる 10 mm 角の能動素子内蔵基板も検討した。チップの端子が片面である限り、パッケージを貫通するためには SSV がチップ周辺に必要であるため、例え微細化が進んだとしてもパッケージサイズはチップサイズ相当にはならない。10 mm 角程度が限界であると推定される。剛性の向上のために設けた銅板支持体を除去したため、反り制御は課題であるが、パッケージサイズを小さくできれば反りを抑制できる。したがって、本章の新構造はパッケージサイズが概ね 10 mm 角以内、チップのピン数が概ね 400–500 以内の小型のパッケージ用途が実用的であり、第 3 章とは異なりボード用途には適さないといえる。そして、一般的にチップの消費電力が約 3 W 以下ならば、ヒートシンクがなくても正常動作するケースが多いとされており [17]、新構造は表面にチップが露出する従来構造に比べて放熱性の点で劣るため、新構造が適用可能なチップの消費電力は 1–2 W 程度と見込まれる。チップの処理速度は、第 3 章と同様に許容される消費電

力に依存する。

なお PoP の抜本的な薄型化・小型化の実現のためには、Through Silicon Via (TSV) 付のチップ [17] を内蔵することが合理的である。TSV による貫通配線のほかに、一般に配線長は短いほうが高速信号がやりとりできる。しかし、TSV は 2016 年時点で携帯電話向け SiP には採用されていない。TSV が本格的に普及するにはしばらく時間がかかると思われる。なお、近年は下段パッケージに FCBGA を採用した事例も増えてきている。このときチップの端子はエリアアレイとなり、FBGA に比べて多ピンのチップに対応できるため、特に高性能なチップの場合に FCBGA への移行が進んでいる。本章の新構造はエリアアレイの端子を内蔵する構造であるため、FCBGA に適したチップとの親和性が高い。このように、TSV が本格普及するまでの間は、本章で検討した新構造が小型化・薄型化に貢献できると考えられる。

第 5 章

結論

5.1 はじめに

本研究では，機能素子内蔵基板による SiP の薄型化を実現する設計技術開発を行った．本章では，本研究を通じて得た結論を述べる．

5.2 現在の半導体パッケージ技術

5.2.1 SiP を実現する実装技術の現在

SiP を実現する実装技術の特徴をを整理し，表 5.1 にまとめた．実装構造の違いで並置 (2D) と積層 (3D) の 2 つに大別される．

Chip on Chip (CoC) ,Chip on Wafer (CoW) ,Wafer on Wafer (WoW) は ,TSV (Through Silicon Via) を用いたチップまたはウェハレベルの 3D 実装技術である [85–87]．チップレベルよりはウェハレベルの方がより狭ピッチ接続が可能となる．チップ間を直接接続でき配線長が短いため，SoC 並みの電気特性が実現できる反面，コスト面の課題がある．これらの構造は，異種デバイス混載に対応した SoC と解釈することもできる．また，Chip on Wafer on Substrate (CoWoS) という構造も提案されており [88]，NVIDIA の次世代 GPU である Pascal と High Bandwidth Memory 2 (HBM 2) の接続に用いられている [89]．いずれも TSV でチップまたはウェハを貫通させて上下層と接続する．2008 年時点のロードマップでは 2010 年前後に TSV が登場するとの予測であったが，コスト面の課題のために実用化は限定的となっている．

Package on Package (PoP) はパッケージレベルの 3D 実装技術である．PoP のうち，機能素子がパッケージ基板に表面実装された構造は，2008 年時点で携帯電話やスマートフォン等の携帯電子機器で既に実用化されており，2016 年時点でも引き続き採用されている．パッケージレベルの積層であるゆえに，厚みが大きくなることと，パッケージ表裏を電氣的に接続

するための領域が必要で，小型化に限界があるという問題がある．一方，機能素子をパッケージ基板に内蔵した構造（機能素子内蔵基板）は，限定的ではあるが採用事例が見られてきた．特に携帯電子機器では薄型化に対する要求が非常に高いため，機能素子内蔵基板のキラーアプリケーションとなっている．機能素子内蔵基板では薄型化の実現や，それに伴うチップ間配線長の短縮による電気特性の向上が利点として挙げられる．なお，配線の短縮化はチップ設計においても大きな課題になっている．配線形状の次元が異なるため，チップ設計においては配線抵抗と配線間容量の低減が，実装設計においては配線の寄生インダクタンスの低減が主な目的となる．

Multi Chip Package (MCP) は，パッケージ表面に複数のチップを 2D 実装する技術である．MCP は成熟した技術であり，実用面の課題はないが，実装面積が大きくなることと，チップ間配線長増大に伴う消費電力の増大と高周波特性の悪化の問題が知られている．MCP でも，薄型化のためにパッケージ基板に機能素子を内蔵した構造がある．また，シリコンやガラス基板のインターポーザによる MCP を 2.5D 実装技術，コアレス基板のインターポーザによる MCP を 2.1D 実装技術と呼ばれ，近年注目されてきている [9] ．

表 5.1: SiP を実現する実装技術

	SiP					SoC (参考)
	CoC/CoW/WoW	PoP		MCP		
		内蔵	非内蔵	内蔵	非内蔵	
実装構造	3D	3D	3D	2D	2D	-
コスト	×					×
小型					×	
異種デバイス混載						×
電力効率						

5.2.2 機能素子内蔵基板の現在

機能素子内蔵基板は 2016 年現在でも，特に日本で活発に研究開発が進められている [38–40, 90–97] ．2015 年 6 月に日本電子回路工業会 (JPCA) が提唱している部品内蔵基板規格 (JPCA-EB01) [98] が，国際規格 (IEC 62878-1-1) として認定された [99] ．実際に機能素子内蔵基板は日系メーカーのシェアが高く，2012 年では 70.9% を占める [17] ．

内蔵するプリント配線板の絶縁体は樹脂，ガラス，Si が一般的だが，2008 年当時と同様に樹脂基板の開発事例が多い．これは，一般的に流通しているプリント配線板の絶縁体と同一であるためである．具体的な製品としては，新光電気工業の Molded Core embedded Package (MCeP) [100]，太陽誘電の Embedded Organic Module Involved Nanotechnology

(EOMIN) [101], 大日本印刷の B²it, フジクラの (Wafer And Board level Embedded Package: WABE Package) [102], カシオ計算機と日本シイエムケイの Embedded Wafer Level Package (EWLP), TDK の Semiconductor Embedded in SUBstrate (SESUB) [103], そして TSMC の Integrated Fan Out (InFO) [104] などがある。いずれの基板材料も樹脂である。このうち, MCEP が Qualcomm の Snapdragon シリーズの一部に, そして InFO が次世代の iPhone/iPad に採用されるという情報がある [105, 106]。

最近では従来 WLCSP で用いていた再配線技術を応用して, チップサイズよりも大きい樹脂上にファンアウトさせる Fan Out Wafer Level Package (FOWLP) 技術が注目されてきている [81, 107–110]。WLCSP は PoP の代替技術と位置づけられる。コアレス基板によるパッケージは, 薄い樹脂層に配線層を形成するという構造上の特徴においては, FOWLP と同一と見なすことができる。特に本研究のテーマである配線設計技術開発においては, 全く区別する必要がない。したがって, 本研究の成果も FOWLP に適用できると考えられる。表 5.2 に機能素子内蔵基板の特徴比較を示す。コアレス基板と FOWLP には特徴の差はない。

表 5.2: 機能素子内蔵基板の特徴比較

	ビルドアップ基板	コアレス基板	FOWLP	ガラス基板	Si 基板
材料	樹脂	樹脂	樹脂	ガラス	Si
用途	ボード	パッケージ	パッケージ	パッケージ	パッケージ
高周波特性					
メモリ帯域	×				
薄型化	×				
多層配線化					
内蔵可能素子	L,C,R,LSI	L,C,R,LSI	L,C,R,LSI	L,C,R	L,C,R,LSI
内蔵設計容易性					
既存資産の活用					×
剛性					

5.3 本研究の結論

本研究では、機能素子内蔵基板による SiP の薄型化を実現する設計技術開発を行った。本節では、本研究を通じて得た結論を述べる。

第2章では、受動素子内蔵基板の最適インダクタンス設計技術について述べた。プリント配線板に内蔵可能なハンドリング性と耐クラック性を有し、寄生インダクタンス (ESL) を低減することができる薄膜受動素子 (抵抗, キャパシタ, インダクタ) を新たに開発した。そして、内蔵する素子が高周波特性に与える影響について検討した。インダクタとキャパシタは、表面実装であっても ESR, ESL の影響により高周波特性が変化するため、内蔵により接続構造が複雑になることからその変化の予測が難しくなる。したがって、フィルタなど、後で調整が必要な回路には内蔵素子は適さない。設計リードタイムを短くするためには高周波特性の予期せぬ変化を防ぐ必要があり、近接部品により大きく特性が変化するインダクタは、省面積化という本来の目的に合わないため、使用は極力控えるべきである。一方、キャパシタは LSI チップ直下に内蔵すればチップ素子を表面実装した場合よりも ESL の減少が期待できる。なお、抵抗は自己共振しないため、内蔵により高周波特性が変化しないので、内蔵に最適といえる。したがって、抵抗, キャパシタ, インダクタの順に内蔵に適している。

第3章, 第4章では、代表的な従来技術である FCBGA と PBGA を用いた SiP の薄型化検討を通じて、従来技術が持つ以下の技術課題を解決した。

1. 高放熱技術
2. チップ研削技術
3. シームレス接続技術
4. コアレス基板技術
5. 最適インダクタンス設計技術
6. 機能素子内蔵基板技術

その結果、第3章ではタブレット PC 向け SiP の厚みを従来比約 37% に、第4章では携帯電子機器向け SiP の厚みを従来比約 60% にすることができた。図 5.1 に、本研究の開発成果が薄型化トレンドに与えるインパクトを示す。第3章では、新構造により 1.6 mm の薄型化を図ることができた。これは、約 20 カ月の開発期間に相当する。第4章では、新構造により 0.26 mm の薄型化を図ることができた。これは約 5 カ月分の開発期間に相当する。第3章の場合は、研究時点の 2008 年はタブレット PC がまだ市場に出ていない時期であり、これに適した SiP が存在しなかった。そのため、従来の PC 向け SiP を薄型化したため、効果が大きかった。2016 年現在では各社からタブレット PC に適した SiP が提供されており、同じアプローチでは薄型化の効果は小さいと思われる。そのため、第4章の効果が小さくみえる。研究時点

の2010年には既に他社からスマートフォンに適したSiPが提供され始めていたためである。ただし、この薄型化の効果は筐体の厚みとの比較であり、非常にラフな評価である。実際にはSiP以外の構成要素も薄型化を図る必要がある。

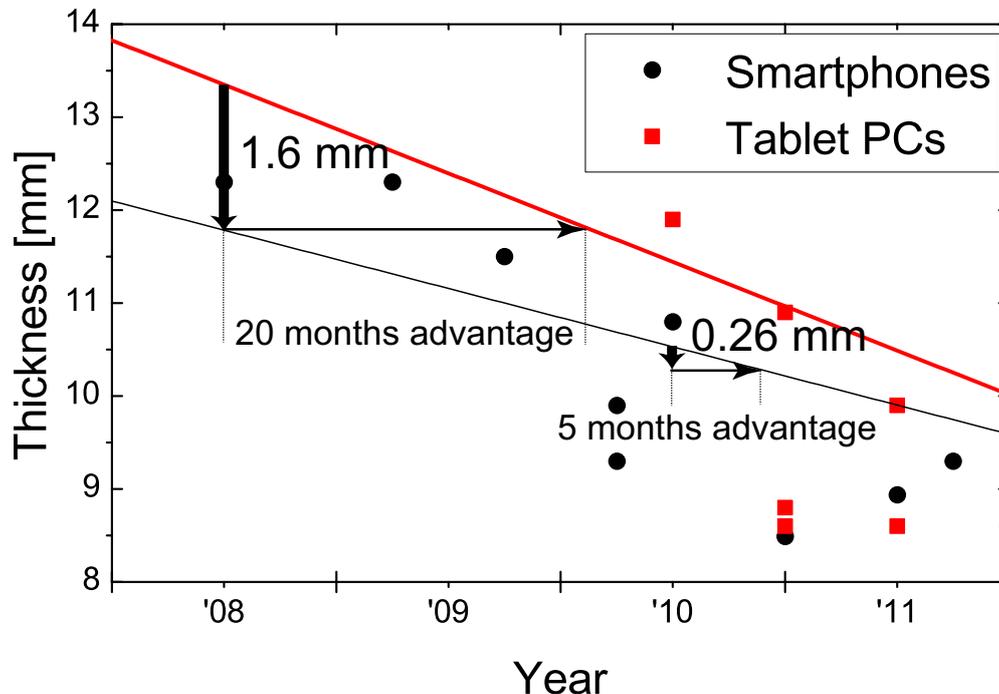


図 5.1: 開発成果が携帯電子機器の薄型化トレンドに与えるインパクト

能動素子内蔵基板には複数の構造が各社から提案されているが、受動素子内蔵基板と比べて特にコストの点で難があるため、2016年時点では十分に普及しているとは言いがたい。第2章から第4章で述べた本研究の機能素子内蔵基板についても同様で、まだ実用検討中の段階である。ただし、第3章の銅板支持体付の機能素子内蔵基板については、類似の構造がJ-DEVICESから発表されており、量産体制が整いつつあるようである。構造が類似しているということは、本論文で提案した設計技術が活用できると思われる。第4章の構造についても、両面のプリント配線板に能動素子を埋め込むという次元においては、類似の製品と何ら変わりがない。提案した設計技術は特殊なものではないため、これらの構造についても活用は可能である。

なお、本研究ではパッケージとボードを接続する微細接続技術の開発については触れなかった。チップとパッケージで提案したシームレス接続技術が適用できれば、チップからボードまでをシームレス接続できることが予想される。この検討をしない理由は、微細接続を可能とするとボード側の配線が過度に高密度化し、コストアップを招くためである。システムの階層上、高密度配線はチップと直接接続されるパッケージ（インターポーザ）のみで完結すべきである。SiPの目的の一つは、高付加価値の機能をパッケージ内に取り込み、パッケージ外を簡

素化することで機器全体のコストを低減するというものであった。したがって、ボードまでシームレス接続の対象に含めるのは時期尚早であると考えられる。また、従来技術であるはんだボールの微細化、端子の狭ピッチ化が2008年時点で進んでおり、本研究はその成果を活用する立場を採り、改めて触れる必要がないと判断したという理由もある。

また、上記6つの薄型化技術はそれぞれ独立しているわけではなく、相補的である。特にシナジーが大きいものは、シームレス接続技術とコアレス基板技術、チップ研削技術である。シームレス接続技術はめっきにより銅ポストと配線層を接続したり、SSVを形成したりしている。そのため、接続先との距離が大きいとめっきがうまく形成できず、良好な接続が実現できなくなる。そして、C4バンプ(100 μm 厚)よりも銅ポスト(15 μm 厚)の方が薄い上に、熱伝導率も銅の方が優れることと、配線層数が6層から3層に半減したことで、発熱源であるチップからボードへの放熱量が増加したことが、薄型のヒートスプレッドのみでも動作に支障がなかったことにつながったと考えられる。

次に、薄型化の限界について述べる。携帯電子機器の薄型化には、現実的なコストで実現可能という前提条件のもとで、技術的な限界とハンドリング性の限界がある。折り畳み式携帯電話の事例では、9.8 mmが最薄であった[111, 112]。使用時片手で持つキーパッド部が半分の厚みと仮定すると4.9 mmであるので、折り畳まないスマートフォンやタブレットPCの厚みも5 mm前後で飽和するものと考えている。

一方、筐体内部の構成要素については技術的な限界のみである。本研究におけるパッケージの厚みは、第3章で0.21 mm(支持体を除く)、第4章で0.3 mmであった。このうち内蔵チップの厚みが50 μm であり、最新の研究成果によればさらなる薄型化が可能である。入射光線範囲を広げるためにチップの薄型化が要求されるCMOSイメージセンサの事例では、2–3 μm 厚を実現している[113, 114]。そしてビルドアップ基板相当のルールで構成されている配線層と樹脂層を薄型化すれば、本研究成果の半分となる0.1–0.15 mm程度の厚みは実現可能であると考えられる。筐体の薄型化のトレンドが飽和することで容積は固定化する。このことは、各構成要素の薄型化への要求も飽和することを意味しない。なぜならば、所望の性能を満足するためにさらなる容積が必要な構成要素も存在するからである。仮にパッケージの薄型化が図れたとすると、薄型化により節約できた容積は他の構成要素に割り当てられることとなる。文献[115]によれば、スマートフォンの性能(大きさ、重さ、液晶画面の大きさ、反応速度、メモリ量、バッテリー駆動時間、カメラの画素数、通信速度)の中で、「とても不満」と回答したユーザの割合が1位の性能はバッテリー駆動時間(29.5%)であり、2位の通信速度(10.0%)の約3倍との調査結果がある。そのため、スマートフォンの場合は、節約できた容積はバッテリーに割り当てられることが予想される。そしてバッテリーが所望の性能を満足すれば、次に容積を必要とする構成要素に割り当てられていく。以上のことから、図5.1で薄型化のインパクトについて述べたパッケージを初めとして、携帯電子機器の構成要素の薄型化への要求は依然として高いといえる。

最後に，1.4.3 節で挙げた機能素子内蔵基板全般の各課題について結論を述べる．

1. CAD を含めた設計技術 [38]
2. 信頼性 [39,40]
3. 適正なコスト
4. サプライチェーンと品質保証体系の構築
5. キラーアプリケーションの存在

設計技術についての課題は，Design for Testing (DfT) と Design for Manufacturability (DfM) が挙げられている．本論文では試作を通じて特に DfM を意識してきた [17]．DfT については既存の検査装置を流用することを第一優先として，追加の設備投資が発生しないよう努めた．DfT の浸透が課題となっている理由として，設計者の時間的余裕が確保できないことと，製造者とのコミュニケーションが十分でないことが指摘されている．筆者らは研究開発で Minimum Viable Product (MVP) を試作することに留意してきた．その一環で設計・製造を一体化して進めたため，製造時に発生する課題を解決しながら設計を行ってきた [116]．内蔵による構造，電気特性の変化を熟知した上で設計を行ったので，内蔵固有の困難さはほとんどなかった．少人数で同じ組織に属して開発を進めることは，利害の一致を図りやすいため，効率は最大化する．また，メンバーのモチベーションを高めるようなマネジメントがなされたことも重要である．外部との予算折衝やプロジェクト管理を行うマネージャー層，実質的なプロジェクト進行を担うリーダー層，そして実業務を担当する開発者層がうまく役割分担できていた．各人には裁量が与えられ，自由な議論が許された．その結果，一見困難な課題を短期間で克服することに成功した．第 3 章ではコアレス基板の持つ良好な高周波特性を活かして配線層数を大幅な削減し，試作では 3 層で正常動作に成功した．また，2 層でも動作する可能性が高いことをシミュレーションで示した．第 4 章では周辺端子の LSI チップを再配線を施してグリッド端子に変換する際，プリント配線板の配線設計と再配線層の配線設計を同時に行い最適化を図ることができた．どちらの構造も LSI チップを内蔵向けに再製造することなく，流通している一般のものを活用し，コストアップを防いだ．第 3 章，第 4 章で述べた機能素子内蔵基板が 1 次試作の段階で正常動作し，リーン・スタートアップに貢献したことは，このような密連携によるものである．密連携について，Sony の CMOS センサの量産化の取り組みでも同様の成果が報告されている [10]．なお，CAD が課題として挙げられているが，CAE，CAM を含めて既存のものがそのまま利用でき，試作までの一連のプロセスで特に不便を感じることはなかった．もっとも，少量試作をターゲットとした研究開発フェーズであったためという事情があったことは否めない．統合設計の標準化は JEITA の LSI-Package-Board (LPB) 総合設計 WG で国際標準化が図られている [117]．そして，機能素子内蔵基板については JPCA で設計データフォーマットの標準化が図られている [118]．また，CAD の対応も並行して進められている [38]．

信頼性については、反り制御が課題である。第3章の構造は厚い銅板を支持体としていることから反りが少なく、FCBGA基板相当の信頼性を持つため、実用性が高い [34]。第4章の構造は、高々 LSI テスタでの動作実証にとどまっているため、反り制御の検討が十分でない。金属の支持体がなく、べたグラウンドの補強層と樹脂の最適化で剛性を得ているため、製造歩留まりの低下、長期信頼性の低下につながる可能性がある。ただし、第4章の構造については、少なくとも目視では大きな反りはなく、また LSI テスタによるテストで動作確認できたため、一定の反り量には抑えられていることは確認している。

コストについては、開発コストと量産コストに分けて考えた。本研究においては、過去の開発成果、既存の開発・評価環境を積極的に活用して、新規開発コストを抑制した。一方、量産コストについては今後の検討課題である。既存の量産設備を利用するプロセスについてはコストアップを避けられるものの、製造の主要プロセスのいくつかは実験室レベルでなされているため、量産性は不明である。

最後のサプライチェーン（バリューネットワーク）と品質保証体系の構築については、よほどのメリットが享受できない限りは拒絶される。機能素子内蔵基板が普及する最大の課題は、キラーアプリケーションの存在である。1.4.3 節で述べたように、2012 年時点で生産されている機能素子内蔵基板の用途の実に 99% が携帯電話、タブレット PC などの携帯機器である [17]。一見すると実用化に対してネガティブな動きのようだが、今後は後述する IoT デバイスの伸長とともに、機能素子内蔵基板の需要も高まってくると予想している。また、キラーアプリケーションをいかにして発見するかについては、柔軟な発想を持つ人物や集団を抱え込むことが有効であると考えられる。ベンチャー企業を支援する手法もあれば、外部から人材を登用してイノベーションを起こす手法も報告がある [119]。

以上述べたように、本研究の成果を通じて、機能素子内蔵基板の課題について一定の知見が得られた。したがって、本研究の目的である機能素子内蔵基板による SiP の薄型化を実現するため、これを支える最適インダクタンス設計を支える受動素子内蔵基板設計、2D-SiP、及び 3D-SiP を題材としたパッケージの薄型化を実現する最適インダクタンス設計に関して、技術体系を構築することができたといえる。

5.4 今後の展望

5.4.1 IoT時代に求められる実装技術

ICT 機器の高機能化は高度情報化社会の原動力となり、2000 年前後にはインターネットや携帯電話を初めとしたモバイル機器の普及により、ユビキタス社会が到来した。そして 2010 年ごろから、ユビキタス社会が高度化したスマート社会へと移りつつある。スマート社会においては、Internet of Things (IoT) や Cyber Physical Systems (CPS) の実現により、従来は意識することのなかったサイバー世界と実世界の一体化が進む。インターネットにつながるモノ (IoT デバイス) の数は、2013 年時点では 158 億個であったが、2020 年には 530 億個に増大するとの予測がある [120]。CISCO では Internet of Everything (IoE) という概念を提唱しており、同社の予測によれば、IoE が 2013 年から 2022 年にかけて全世界の企業において 14.4 兆ドルの経済価値を生み出すとのことである [121]。IoT デバイスのキーコンポーネントは半導体であるので、IoT は半導体の重要アプリケーションとなると考えられている。半導体最大手の Intel も、2016 年 4 月に事業の大幅な見直しを行い、IoT に注力していくことを表明した [122]。そして、2016 年 7 月に携帯機器向け半導体設計再大手の ARM が Softbank に買収されることで合意した [123]。IoT という新たなアプリケーションの登場により、半導体の高集積化に対する旺盛な需要は続くと思われる。図 5.2 は、IoT や CPS が実現する世界を模式的に表したものである。IoT の世界では “Trillion Sensors” と呼ばれるように、膨大な数のデバイスからデータを収集することを想定している。インターネット接続機能を有しているデバイスは直接サイバー空間と情報をやり取りするが、そうでないデバイス、例えば家電や什器、社会インフラを支える構造物などは、ゲートウェイを通じてやり取りする。ゲートウェイは実空間とサイバー空間の接点 (エッジ) となる [124–127]。

IoT デバイスは、可搬性の小型デバイス、高度な情報処理が可能な据置型デバイスに大別される。例えば、図 5.2 の中心付近は、クラウド上のデータセンターを初めとした期間サーバー群が位置する。これらは後者の IoT デバイスであり、サイバー空間に存在する。一方、その外周にあるモバイル機器は前者の IoT デバイスであり、実空間に存在する。前者の IoT デバイスは膨大な数が必要であるため、低コスト、小型、異種デバイス混載、省電力が要件であると考えられる。この要件に応えるべく、小型で低コストな実装技術 [128, 129] が求められている。本研究で題材とした機能素子内蔵基板も、有力な解決手段であると考えられている。表 5.3 は、エレクトロニクス実装学会の部品内蔵技術委員会で整理した、将来機能素子内蔵基板の適用が期待される機能や製品の一例である [90]。

前者の IoT デバイスの要件のうち、大量・低コストは、物量作戦を意味する。昨今の産業界を取り巻く環境において、我が国が苦手としている方向性である。先進国かつ人口減少が深

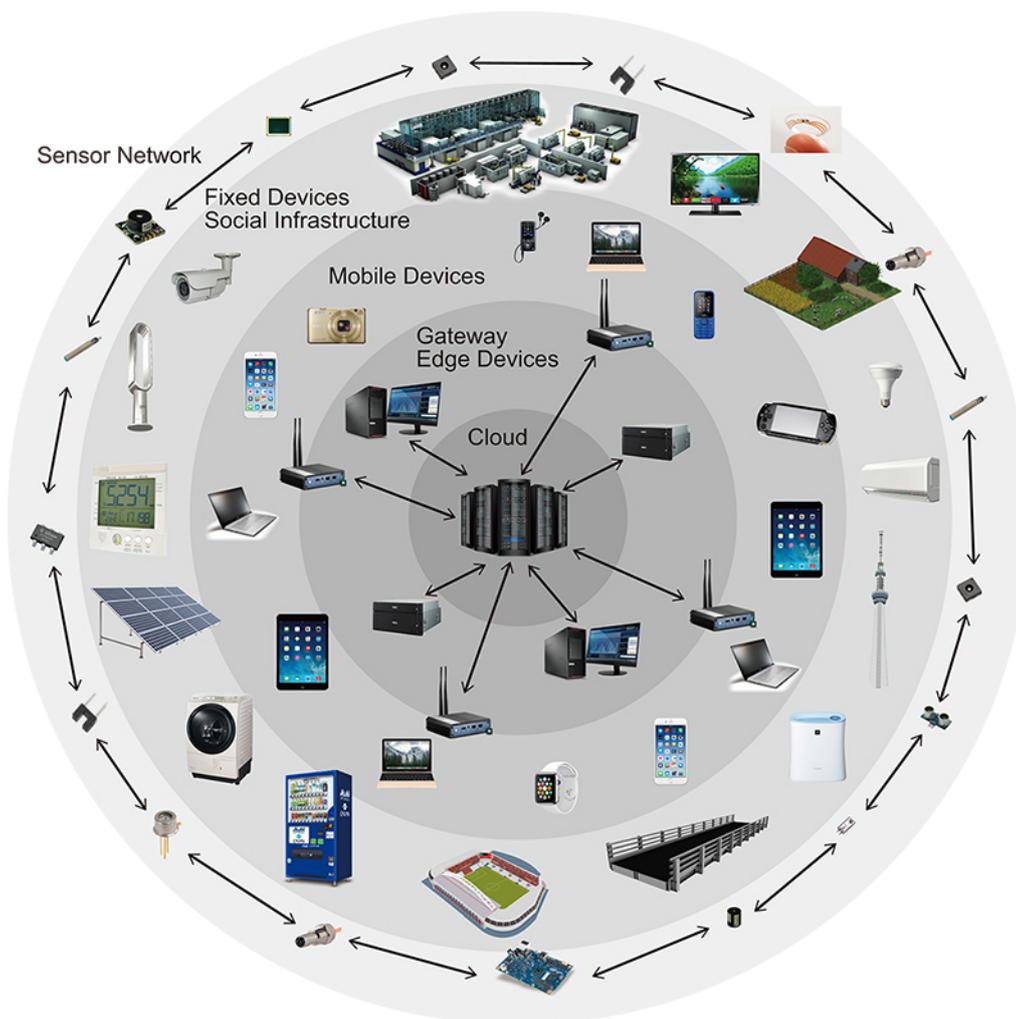


図 5.2: インターネットにつながるさまざまなモノ

刻な問題となっている我が国においては、アメリカが 20 世紀末にシフトしたように、製造そのものではなく、規格や標準などの知的財産の確保を重要視すべきと考える。ただし、我が国の製造業における技術力の水準は依然高いので、これを衰退させるのは得策でない。そこで、Virtual Reality (VR) や Artificial Intelligence (AI) を駆使して名工を育成する仕組みを提案したい。VR であれば同じ場所に居合わせることは必須でないため、国内で名工を育成し、海外工場への技術指導はインターネットを介して VR で行うことができる。名工が在籍するうちにアナログ回路、RF 回路技術、構造設計技術の伝承が必要である。また AI の一例を挙げれば、蓄積された膨大な知識を分析し、適切な場面で推薦するためのコア技術として活用できる。VR や AI も発展途上のため、これらの技術開発をハードウェア技術の伝承をテーマに進めることでビジネスを生むことができる可能性がある。さらに、AI の応用先の一つである自動翻訳技術も盛んに研究されてきているため、外国語能力もカバーできると思われる。我が国の技術者は外国語を苦手としている傾向があり、国内産業が空洞化して活躍の場が海外のみとなった場合、そもそも別の分野を志向してしまう可能性がある。生まれ育った地で、かつ日本語で

表 5.3: 将来製品への機能素子内蔵技術応用 [90]

将来望まれる製品	製品機能
非接触疾病検出センサー	五感を活用し，MERS/エボラ出血熱などの疾病検知が可能となる．
体脂肪発電	それぞれが持っている体脂肪を使って発電する技術で，各所ウェアラブル機器を起動できる．
非接触危険センサー	五感を活用し，危険ドラッグ，残留農薬，大気汚染，アレルギー物質，爆薬などを非接触で察知することができる．
相手の考えを予測する機能	五感を活用し，危険な行動に出そうな人を予測して見分けることができる．
多機能モード切り替えスーツ	バイオニック・ジェミーのように，人の手や足を含めた筋肉の力を自在にコントロールし，重いものを持ち上げられる，早く走れる．高い壁を越えられる，飛び降りられるようになる．
精密五感センシング&遠隔伝達	同じくバイオニック・ジェミーのように遠くの音や声を聴くことができ，ピントを合わせて見ることもできる（千里眼）．またこれらの感覚をインターネットで送ることができる．特に匂いや食感も含めて伝送可能になることにより，疑似体験が一層豊かになる．

技術開発ができるのであれば，IoT の本命となる技術開発に専念できるのではないだろうか．

実装技術の持つ別の課題として，あくまでも半導体技術の周辺技術とみなされてきたため，半導体産業を主体的に牽引していくことはできないことが挙げられる．また，半導体の分野以外においても，実装技術が主体の技術は存在しないといっても過言ではない．このようにコア技術としての位置づけを持たない実装技術は，学問としての体系化がなされてこなかった．実装工学という言葉は存在するが，実装技術に携わる多くの技術者にとっては，まだなじみが少ない．アカデミアによる実装技術の体系化は今後の課題である．

第 1 章で，実装技術の方向性は軽薄短小であると述べた．IoT 時代における実装技術は，軽薄短小の次の姿が存在するはずである．それは，環境調和性実装技術ではないかと考える．“Trillion Sensors” として多量に拡散される IoT デバイスは，長寿命でなくてもよいので安く，交換が容易なものがよい．そして，故障しても環境に悪影響を与えないような材料が望ましい．このようなデバイスは，ディスポーザブルエレクトロニクスとして近年注目されている [130]．あるいは，SSD のように冗長化による自己修復機能を持たせ，長寿命化を図る手段

も考えられる．究極的には，自然界に存在する生物から直接所望の情報を獲得できるような仕組みが期待される．生物ならば，ある個体が寿命を迎えても世代交代が自動的になされる虫や鳥のようなデバイスを作るのではなく，虫と通信できるようなゲートウェイを作ることが一つの解ではないかと考える．対象は生物だけでなく，植物でもよい．風散布型種子，水散布型種子，動物散布型種子など，自然の力で分散していくような植物が好ましい．

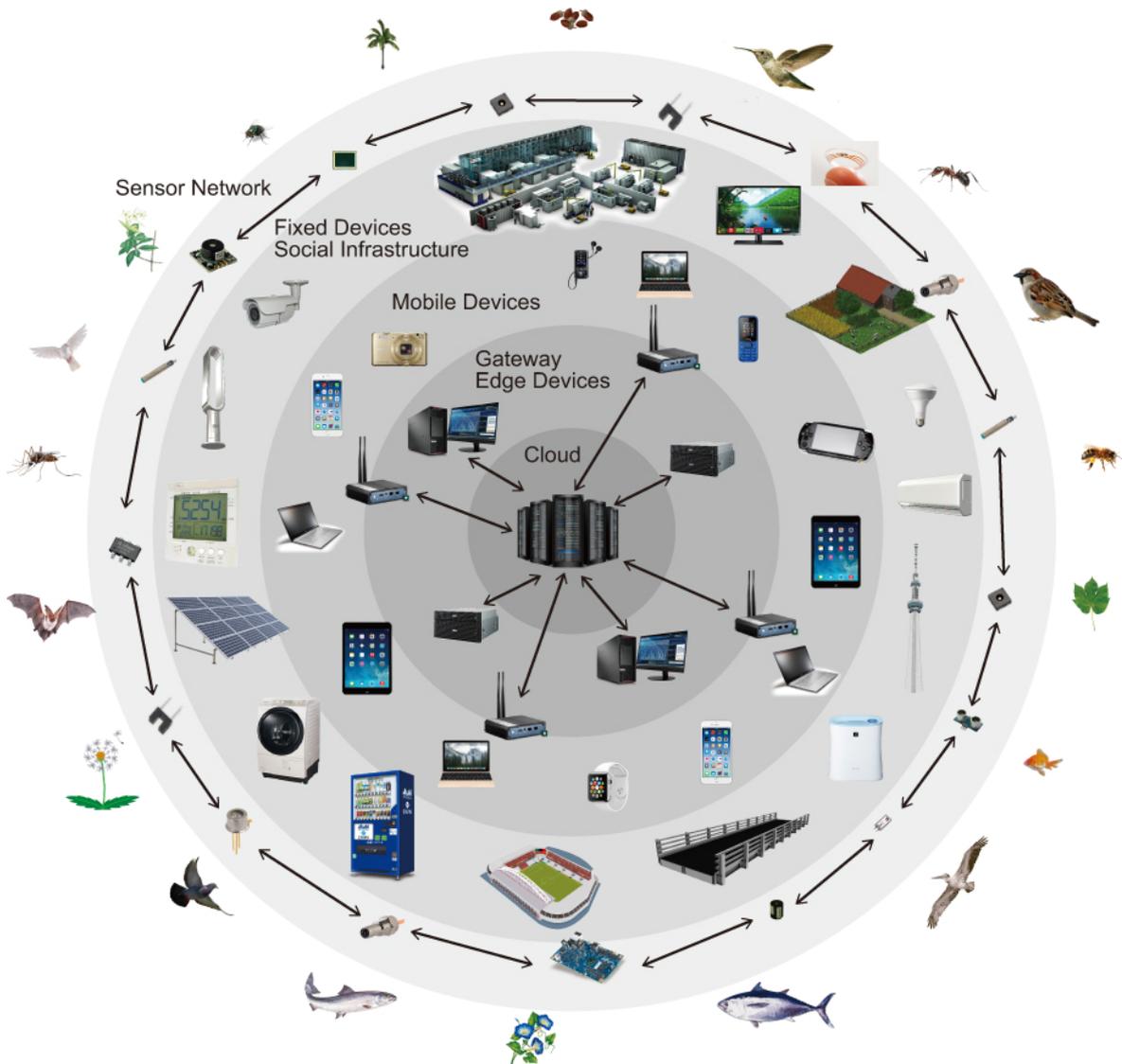


図 5.3: 将来的にインターネットにつながるさまざまなモノ

5.4.2 コモディティ化とモジュラー設計

最後に，実装技術による製品の非コモディティ化の実現可能性と，それによる顧客価値の創出可能性について述べる．図 5.4 は，2010 年を基準にした品目別の企業物価指数の変遷であ

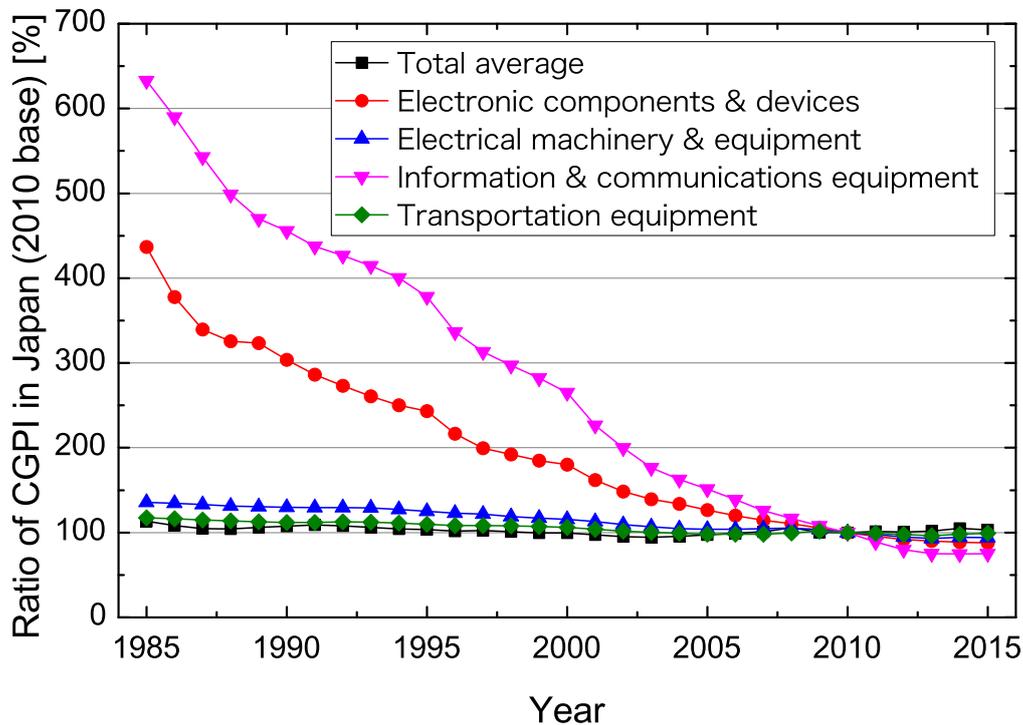


図 5.4: 企業物価指数 (2010 年比)

る。全品目の平均は微減傾向であるため、本研究でターゲットとした ICT 機器と、電子部品
の下落が群を抜いていることがわかる。これらの品目は急速にコモディティ化が進んでいると
解釈できる。コモディティ化に対抗する手段として、製品を差異化するマス・カスタマイゼー
ションという概念がある。これを実現するのが 1.3 節で述べたモジュール設計である [12]。本
研究では機能ブロックであるモジュールに玩具のブロックのような形状を与え、隙間なく組み
合わせることを設計思想として掲げた。その物理的形狀を実現する手段の一つが機能素子内蔵
基板であった。要求する性能を損なうことなく所望の形状を実現するという目的は、まさにマ
ス・カスタマイゼーションの概念である。したがって、本研究の成果はコモディティ化した
ICT 機器を再び実装技術により非コモディティ化することにつながる。

文献 [131] では、半導体の貢献が顧客価値として評価されることが、我が国の半導体産業の
再生につながると指摘されている。この解として、非コモディティ領域では、Only 1/No. 1
の機能・性能価値を持続的に提供する技術開発が、コモディティ領域ではコスト低減技術開発、
プレミアムセグメントの形成、ビジネスモデルの変革、そして新市場の創出(コモディティ化)
が挙げられている。実装技術によって最終製品の顧客価値を創出することができれば、半導体
の付加価値が上がる可能性はある。実装技術の適用範囲はチップをどのように配置するかとい
うことに帰着できるため、高密度実装、薄型実装、曲面実装、高放熱実装、耐環境性向上実装、
などが要求される最終製品が求められる。このとき、抜本的改善手段の有無が重要である。実
装技術はあくまで周辺技術であるため、半導体製造技術の向上により要件が満足される場合が

ある。例えば、チップの微細化により発熱量が低減するため、放熱設計が容易になる。また、チップの微細化により高集積化が進むため、高密度設計が容易になる。このような明確な代替手段がある場合は、その登場まで補完させればよい。そのためには、迅速 [132] かつ低コストで製品化しなければならない。マス・カスタマイゼーションで時間を稼ぎ、抜本的な改善は半導体製造技術の向上を待つ戦略である。特に今後はアジアやアフリカなどの新興国が主要な市場になるため、低価格化は必須である。

半導体産業は踊り場を迎えている。上述したようにこの突破口の一つが実装技術ではないかと期待している。ICT 機器を差異化する以外に、新たなアプリケーションを実現する手段として、実装技術としての新たな価値が見いだせそうである。例えば、IBM ではビッグデータ時代に求められる新たなコンピューティングを「コグニティブ・コンピューティング」と名付け、コンピューティングの歴史における第3世代に位置づけている [133, 134]。具体的には、脳の動作を模擬した非ノイマン型の処理を行うチップを開発している。この実現に新たな実装技術が求められている。

そして、コモディティ化していない事業の探索に話を戻す。我が国にこのような探索を得意とする者は少ないが、一定数は存在するはずである。このような能力は教育で後天的に身につけられるものではなく、一種の天才の領域にあると考える。今後はそのような少数精鋭の天才集団が新しいライフスタイルを提案し、ベンチャーキャピタルの支援を得てその提案を具現化するだろう [135, 136]。そして、事業が軌道に乗ったらファブレスメーカーに売却し、得た資金でまた新たな事業を展開する。

ファブレスメーカーは、このようにしてコモディティ化していない事業をベンチャーから獲得する。また、実装技術を含め、先行技術開発をアカデミアに委託し、技術力を強化する。アカデミアのもう一つの重要な役割は人材育成である。専門性の高い人材も重要だが、我が国の製造業が本当に活力を取り戻すためには新しい事業を提案、推進できる人材である。時代とともに必要とされる技術は変わるため、専門分野が主要事業から外れてしまえば仕事を失ってしまう場合もある。めまぐるしい変化に追従できる、柔軟な発想を持った人材の輩出が期待される。

参考文献

- [1] W. M. Holt. 1.1 moore's law: A path going forward. In *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 8–13, Jan. 2016.
- [2] 図解入門よくわかる最新半導体プロセスの基本と仕組み:. 図解入門-How-nual-: Visual Guide Book. 秀和システム, 2010.
- [3] 半導体パッケージハンドブック: 転換期迎え重要性増すパッケージ技術、「本命不在」の新時代を乗り越える. 産業タイムズ社, 2015.
- [4] 半導体データブック 2014. 電子ジャーナル, 2014.
- [5] 栗田洋一郎. LSI3 次元実装技術の最新動向. *情報処理*, Vol. 50, No. 7, pp. 659–671, Jul. 2009.
- [6] 大島大輔, 井上博文, 古谷充, 堺淳, 石川亮, 本城和彦. 最適要素抽出法による高速・高密度半導体パッケージモデリング (パッケージの電気解析・CAD 技術,〈特集〉次世代電子機器における先端実装技術と電磁波ノイズ低減技術論文). *電子情報通信学会論文誌. C, エレクトロニクス*, Vol. 89, No. 11, pp. 826–832, Nov. 2006.
- [7] 大島大輔. 最適要素抽出法による高精度 3 次元パッケージモデリング. *エレクトロニクス実装学会誌 = Journal of Japan Institute of Electronics Packaging*, Vol. 15, No. 4, pp. 249–253, Jul. 2012.
- [8] THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS. http://www5.cao.go.jp/keizai-shimon/kaigi/special/future/wg1/0320/shiryuu_02.pdf. 2011.
- [9] 傅田精一. 半導体の高次元化技術: 貫通電極による 3D/2.5D/2.1D 実装. 東京電機大学出版局, 2015.
- [10] 経済産業省. 2015 年版ものづくり白書. http://www.meti.go.jp/report/whitepaper/mono/2015/honbun_pdf/.
- [11] Apple. Technical specifications. <https://support.apple.com/>.
- [12] 経営システム研究所. 設計モジュール化技法: 図面を描かずに設計する! 日刊工業新聞社, 2010.

- [13] 今野勤. モジュール共通化による競争優位の実現 (〈特集〉進化を遂げている QFD). 品質, Vol. 44, No. 2, pp. 166–171, Apr. 2014.
- [14] 澤田浩之. D104 上流設計と 1D-CAE(OS15 機械・制御系設計と 1D-CAE 1). 「運動と振動の制御」シンポジウム講演論文集, Vol. 2011, No. 12, pp. 221–224, Jun. 2011.
- [15] 日産自動車. 日産自動車、新世代車両設計技術である「日産 CMF」(4+1 Big module concept)を導入. http://www.nissan-global.com/JP/NEWS/2012/_STORY/120227-01-j.html, Feb. 2012.
- [16] 半導体技術ロードマップ専門委員会. 平成 20 年度報告 第 8 章 WG7 実装. <http://semicon.jeita.or.jp/STRJ/report/2008/08.pdf>, Mar. 2009.
- [17] 一般社団法人電子情報技術産業協会. 2013 年度版日本実装技術ロードマップ. 一般社団法人 電子情報技術産業協会, 2013.
- [18] 日経エレクトロニクス編. 分解大全 3 開けて分かった人気の秘密, Apr. 2014.
- [19] 石塚勝. 半導体・電子機器の熱設計と解析: 初めて学ぶ熱対策と設計法. 初めて学ぶ熱対策と設計法半導体・電子機器の熱設計と解析. 科学情報出版, つくば, Japan, Mar. 2015.
- [20] 石川一政, 小林一雄. 半導体デバイスの裏面研削技術 (〈特集〉半導体デバイスの平坦化技術). 精密工学会誌, Vol. 73, No. 7, pp. 764–767, Jul. 2007.
- [21] 田久真也, 黒澤哲也, 清水紀子, 原田享. 薄型チップの高強度化. エレクトロニクス実装学会誌, Vol. 10, No. 5, pp. 423–426, 2007.
- [22] 阿部浩一, 桜井治彰. 低誘電率層間絶縁膜材料の最新動向. 高分子, Vol. 55, No. 2, pp. 82–85, 2006.
- [23] 高木清. よくわかるビルドアップ多層プリント配線板のできるまで. 日刊工業新聞社, 2006.
- [24] 斉藤和正, 高木清. よくわかるプリント基板の「コストと見積り」. 日刊工業新聞社, 東京, Japan, May 2015.
- [25] Tadanori Shimoto, Kazuhiro Baba, Koji Matsui, Jun Tsukano, Takehiko Maeda, and Kenji Oyachi. Ultra-thin high-density LSI packaging substrate for advanced CSPs and SiPs. *Microelectronics Reliability*, Vol. 45, No. 3–4, pp. 567–574, 2005.
- [26] J. Sakai, T. Shimoto, K. Nakase, H. Inoue, K. Motonaga, and H. Honda. Signal Integrity and Power Integrity Properties of FCBGA Based on Ultra-Thin, High-Density Packaging Substrate. In *Electronic Components and Technology Conference, 2005. Proceedings. 55th*, pp. 284–290, May 2005.
- [27] R. Sung, K. Chiang, Y. P. Wang, and C. S. Hsiao. Comparative analysis of electrical performance on coreless and standard flip-chip substrate. In *2007 Proceedings 57th Electronic Components and Technology Conference*, pp. 1921–1924, May 2007.
- [28] D. Chang, Y. P. Wang, and C. S. Hsiao. High performance coreless flip-chip bga

- packaging technology. In *2007 Proceedings 57th Electronic Components and Technology Conference*, pp. 1765–1768, May 2007.
- [29] 塚田裕. ビルドアップ法プリント配線板. *サーキットテクノロジー*, Vol. 9, No. 5, pp. 364–368, 1994.
- [30] 下戸直典, 菊池克, 馬場和宏, 松井孝二, 堺淳, 井上博文, 本多広一, 方慶一郎. 超薄型高密度基板を用いた高性能FCBGA(SiP要素技術と先端LSIパッケージ)(〈特集〉最近の半導体パッケージと高速伝送・高周波実装技術論文特集). *電子情報通信学会論文誌. C, エレクトロニクス*, Vol. 87, No. 11, pp. 837–846, Nov. 2004.
- [31] 立花雅. 高密度実装用プリント配線板“ALIVH”. *ネットワークポリマー*, Vol. 22, No. 2, pp. 112–119, 2001.
- [32] 福岡義孝, 山口雄二, 芹澤徹, 篠崎和広, 平井浩之, 笹岡賢司. 受動素子内蔵ビルドアップ配線板“B²itTM”の開発. *エレクトロニクス実装学会誌*, Vol. 5, No. 7, pp. 622–629, 2002.
- [33] Y. Nishitani. Coreless packaging technology for high-performance application,. In *invited talk for Electronic Components and Technology Conference*. IEEE, Jun. 2012.
- [34] K. Mori, D. Ohshima, H. Sasaki, Y. Fujimura, K. Kikuchi, Y. Nakashima, M. Enomoto, R. Miki, T. Hashiguchi, T. Funaya, T. Nishiyama, and S. Yamamichi. Embedded Active Packaging Technology for High-Pin-Count LSI With Cu Plate. *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, Vol. 1, No. 1, pp. 60–68, Jan. 2011.
- [35] 山道新太郎, 森健太郎, 菊池克, 村井秀哉, 大島大輔, 中島嘉樹, 副島康志, 川野連也, 村上朝夫. 次世代LSIパッケージ用チップ及びパッケージレベルのシームレスインターコネクタ技術(配線・実装技術と関連材料技術). *電子情報通信学会技術研究報告. SDM, シリコン材料・デバイス*, Vol. 109, No. 412, pp. 43–48, Jan. 2010.
- [36] 植松裕, 大坂英樹, 西尾洋二, 波多野進. 実メモリモジュールを模擬したテスト基板におけるDDR2-SDRAMの V_{ref} ノイズ許容値の測定手法(〈特集〉チップ・パッケージ・ボードにおけるパワーインテグリティの設計評価, LSIシステムの実装・モジュール化・インタフェース技術、テスト技術、一般). *電子情報通信学会技術研究報告. ICD, 集積回路*, Vol. 107, No. 426, pp. 65–69, Jan. 2008.
- [37] ANSYS SIwave. <http://www.ansys.com/Products/Electronics/ANSYS-SIwave>.
- [38] 松岡宏志. 部品内蔵基板の設計におけるCADツールの課題と対応. *エレクトロニクス実装学会誌*, Vol. 17, No. 5, pp. 407–409, 2014.
- [39] 加藤義尚, 宗真太郎, 韓榮建, 堀内整, 崔雲, 友景肇. 部品内蔵基板の信頼性. *エレクトロニクス実装学会誌*, Vol. 17, No. 5, pp. 370–375, 2014.
- [40] 谷元昭, 石月義克. 圧接工法で接合したLSI内蔵基板の信頼性. *エレクトロニクス実装学*

- 会誌, Vol. 17, No. 5, pp. 376–379, 2014.
- [41] F. W. Grover. *Inductance Calculations: Working Formulas and Tables*. Dover Publications, Inc., 1946.
- [42] S.C. Thierauf. *High-speed Circuit Board Signal Integrity*. Artech House microwave library. Artech House, 2004.
- [43] 中瀬康一郎, 堺淳, 大島大輔. 樹脂基板への部品内蔵に関する電気的特性の検討. マイクロエレクトロニクスシンポジウム論文集, Vol. 15, pp. 181–184, Oct. 2005.
- [44] 山道新太郎, 渋谷明信. ポリイミドフィルム上 SrTiO₃ デカップリングキャパシタ. エレクトロニクス実装学術講演大会講演論文集, Vol. 19, pp. 195–196, 2005.
- [45] 渋谷明信, 山道新太郎. フレキシブルフィルム上薄膜キャパシタの材料設計 (材料設計, 〈特集〉システム実装を支える設計・シミュレーション技術). エレクトロニクス実装学会誌, Vol. 9, No. 5, pp. 419–422, Aug. 2006.
- [46] S. Yamamichi and A. Shibuya. Novel flexible and thin capacitors with Mn-doped SrTiO₃ thin films on polyimide films. In *Electronic Components and Technology Conference, 2004. Proceedings. 54th*, Vol. 1, pp. 271–276, Jun. 2004.
- [47] ANSYS HFSS. <http://www.ansys.com/Products/Electronics/ANSYS-HFSS>.
- [48] B. H. Lee, M. C. Park, D. S. Park, S. S. Park, and H. S. Jung. Multilayer ceramic capacitor with ultra-low ESL for high-frequency decoupling applications. *Electronics Letters*, Vol. 45, No. 1, pp. 24–26, Jan. 2009.
- [49] 山本秀俊. パワーインテグリティのためのコンデンサの適用 (〈特集〉プリント配線板のパワーインテグリティ). エレクトロニクス実装学会誌, Vol. 12, No. 3, pp. 190–195, May 2009.
- [50] K. Nakase, J. Sakai, D. Ohshima, T. Mori, A. Shibuya, and H. Inoue. Electrical characterization of thin-film embedded passives. In *CPMT Seminar at ECTC*. IEEE, Jun. 2005.
- [51] 堺淳, 古谷充, 井上博文. 近接部品配置とその高周波特性について. 第12回マイクロエレクトロニクスシンポジウム論文集, pp. 251–254, 10 2002.
- [52] 秋元豊, 古屋明彦, 石岡卓, 中村博文. 部品内蔵ビルドアップ基板の rf モジュールへの適用. 第20回エレクトロニクス実装学会講演大会論文集, 3 2006.
- [53] 日経テクノロジー. 【JPCA】トッパン NEC ,印刷で形成した部品を内蔵する基板を開発. <http://techon.nikkeibp.co.jp/article/NEWS/20060601/117773/>, Jun. 2006.
- [54] 福岡義孝, 笹岡賢司, 田中雅也, 相楽秀次, 島田修, 高野敦. 能動・受動素子混載内蔵配線板技術. エレクトロニクス実装学会誌 = Journal of Japan Institute of Electronics Packaging, Vol. 13, No. 5, pp. 351–357, Aug. 2010.
- [55] 水野正之, 桜井貴康, 碓井有三, 遠矢弘和, 益一哉, 松澤昭. 次世代システム LSI を支える

- スーパーコネクタ伝送線路技術. 電子情報通信学会技術研究報告. FTS, フォールトトレラントシステム, Vol. 101, No. 475, pp. 29–31, Nov. 2001.
- [56] 桜井貴康. LSIの新境地を開くスーパーコネクタ. 表面技術, Vol. 53, No. 4, pp. 224–227, 2002.
- [57] K. Kikuchi, K. Soejima, H. Honda, and S. Yamamichi. A 5- μm -width multi-layer wafer-level Cu wiring technology with resin CMP for highly-reliable FCBGA. In *Electronic Components and Technology Conference, 2007. ECTC '07. Proceedings. 57th*, pp. 593–599, May 2007.
- [58] Daisuke Ohshima, Yoshiki Nakashima, Katsumi Kikuchi, Koichi Takemura, and Kazuya Masu. LSI-package Co-design Methodology for Thin Embedded-LSI Package Used as Bottom Package of Package-on-Package Structures. *Transactions of The Japan Institute of Electronics Packaging*, Vol. 7, No. 1, pp. 104–113, 2014.
- [59] よくわかる最新半導体プロセスの基本と仕組み: プロセスの全体を俯瞰する: あなたの知らない半導体の秘密がわかる. How-nual 図解入門. 秀和システム, 2013.
- [60] 堺淳, 中瀬康一郎, 本多広一, 井上博文. FCBGA パッケージ基板の電気特性: MLTS と従来ビルドアップ基板の比較 (LSI システムの実装・モジュール化・インタフェース技術, テスト技術). 電子情報通信学会技術研究報告. CPM, 電子部品・材料, Vol. 105, No. 265, pp. 1–6, Sep. 2005.
- [61] Wendemagegnehu T. Beyene et al., editor. *System Performance Comparisons of Coreless and Standard Packages for Data Rate beyond 20 Gbps*. 58th Electronic Components and Technology Conf, 2008.
- [62] 大熊康弘. 図解でわかるはじめての電子回路. はじめての電子回路: 図解でわかる. 技術評論社, 東京, Japan, 2002.4 2002.
- [63] 菊地正典 (監修). 図解でわかる半導体とシステム LSI: 電子回路の基本から機能ブロック、IP マクロ、LSI 設計、SPICE 活用まで. 日本実業出版社, 2006.
- [64] Panasonic. 回路幅と許容電流の関係. <https://industrial.panasonic.com/content/data/EM/PDF/std7.pdf>.
- [65] D. Ohshima, H. Sasaki, K. Mori, Y. Fujimura, K. Kikuchi, Y. Nakashima, T. Funaya, T. Nishiyama, T. Murakami, M. Enomoto, R. Miki, and S. Yamamichi. Electrical Design and Techniques for an Embedded High-Pin-Count LSI Chip Package. *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, Vol. 1, No. 10, pp. 1543–1552, Oct. 2011.
- [66] Synopsys HSPICE. <https://www.synopsys.com/tools/Verification/AMSVeification/CircuitSimulation/HSPICE/Pages/default.aspx>.
- [67] D. Ohshima, H. Sasaki, K. Mori, Y. Fujimura, K. Kikuchi, Y. Nakashima, T. Funaya,

- T. Nishiyama, T. Murakami, and S. Yamamichi. Electrical design and demonstration of an embedded high-pin-count LSI chip package. In *Electronic Components and Technology Conference, 2009. ECTC 2009. 59th*, pp. 482–488, May 2009.
- [68] Keith Baker and Jos van Beers. Shmoo plotting : The black art of ic testing. *2013 IEEE International Test Conference (ITC)*, Vol. 0, p. 932, 1996.
- [69] K. Mori, D. Ohshima, H. Sasaki, Y. Fujimura, K. Kikuchi, Y. Nakashima, T. Funaya, T. Nishiyama, T. Murakami, and S. Yamamichi. A novel ultra-thin package for embedded high-pin-count LSI supported by Cu plate. In *Electronic Components and Technology Conference, 2009. ECTC 2009. 59th*, pp. 1447–1452, May 2009.
- [70] Xinbo He, Haixin Ke, and T. Hubing. Determining the maximum allowable heatsink voltage to ensure compliance with a given radiated emissions specification. In *2008 IEEE International Symposium on Electromagnetic Compatibility*, pp. 1–4, Aug. 2008.
- [71] A. U. Bhohe and P. Sochoux. A study of grounded-heatspreader for emi mitigation of asic ic package. In *2008 IEEE International Symposium on Electromagnetic Compatibility*, pp. 1–4, Aug. 2008.
- [72] A. Alnukari, P. Guillemet, Y. Scudeller, and S. Toutain. Active heatsink antenna for radio-frequency transmitter. *IEEE Transactions on Advanced Packaging*, Vol. 33, No. 1, pp. 139–146, Feb. 2010.
- [73] NEC. EMC 可視化システム. http://jpn.nec.com/engsl/pro/emc/pdf/emc_catalog.pdf.
- [74] 佐々木英樹, ゴピンビヌー, スリニバサンクリシュナ, ダルミナシダース, サンダラムベンキー, スワミナッサンマダハバン, トウマララオ. ミックスドシグナル SOP (System-On-Package) におけるノイズ干渉メカニズムの検討 (電磁界評価と干渉低減技術, 〈特集〉次世代電子機器における先端実装技術と電磁波ノイズ低減技術論文). 電子情報通信学会論文誌. C, エレクトロニクス, Vol. 89, No. 11, pp. 874–884, Nov. 2006.
- [75] 佐々木英樹, 原田高志, 栗山敏秀. プリント回路基板からの不要電磁放射の信号配線レイアウト依存性 (回路・PCB, 〈特集〉広帯域化する EMC 技術論文). 電子情報通信学会論文誌. B, 通信, Vol. 90, No. 11, pp. 1124–1134, Nov. 2007.
- [76] 一般財団法人 VCCI 協会. VCCI EMI 規格表. <https://vcci.jp/calendar/cal-kikaku.pdf>, Dec. 2012.
- [77] H. Braunisch, S. N. Towle, R. D. Emery, C. Hu, and G. J. Vandentop, editors. *Electrical Performance of Bumpless Build-up Layer Packaging*. 52th Electronic Components and Technology Conference, 2005.
- [78] H. Murai, K. Mori, M. Kawano, and S. Yamamichi. Alternative process and support

- material for embedded fine-pad-pitch LSI package. In *CPMT Symposium Japan, 2010 IEEE*, pp. 1–4, Aug. 2010.
- [79] 水嶋和之. 3次元LSI積層技術の開発動向とSiPを実現する実装技術. *エレクトロニクス実装学会誌*, Vol. 15, No. 2, pp. 132–135, 2012.
- [80] J-DEVICES. 高信頼性・低コストの次世代半導体パッケージ. <http://j-devices.co.jp/jp/product/plp.html>.
- [81] 村田貴士. 新製品開発における軽薄短小化への新技術. 技術情報協会, 2012.
- [82] T. Yamazaki, Y. Sogawa, R. Yoshino, K. Kata, I. Hazeyama, and S. Kitajo. Real Chip Size Three-Dimensional Stacked Package. *Advanced Packaging, IEEE Transactions on*, Vol. 28, No. 3, pp. 397–403, Aug. 2005.
- [83] 和田喜久男, 大須良二, 樋野滋一, 山崎信行. 三次元実装パッケージ実現のためのハイブリッドFPCの提案 (〈特集〉先端電子デバイスパッケージと高密度実装における評価・解析技術論文). *電子情報通信学会論文誌. C, エレクトロニクス*, Vol. 93, No. 11, pp. 455–463, Nov. 2010.
- [84] 谷元昭, 佐藤優. 再配線技術の高周波モジュールへの応用. *エレクトロニクス実装学会誌*, Vol. 18, No. 3, pp. 156–160, 2015.
- [85] Takafumi Fukushima, Yusuke Yamada, Hirokazu Kikuchi, and Mitsumasa Koyanagi. New Three-Dimensional Integration Technology Using Chip-to-Wafer Bonding to Achieve Ultimate Super-Chip Integration. *Japanese Journal of Applied Physics*, Vol. 45, No. 4S, p. 3030, 2006.
- [86] J. Hwang, J. Kim, W. Kwon, U. Kang, T. Cho, and S. Kang. Fine pitch chip interconnection technology for 3d integration. In *2010 Proceedings 60th Electronic Components and Technology Conference (ECTC)*, pp. 1399–1403, Jun. 2010.
- [87] T. Ohba. Wafer level three-dimensional integration (3DI) using bumpless tsv interconnects for tera-scale generation. In *Semiconductor Conference Dresden-Grenoble (ISCDG), 2013 International*, pp. 1–4, Sep. 2013.
- [88] D. C. H. Yu. New System-in-Package (SiP) Integration technologies. In *Proceedings of the IEEE 2014 Custom Integrated Circuits Conference*, pp. 1–6, Sep. 2014.
- [89] NVIDIA. Tesla p100 最先端のデータセンターアクセラレータ. <http://www.nvidia.co.jp/object/tesla-p100-jp.html>.
- [90] 部品内蔵技術委員会. 最新の部品内蔵技術委員会の活動内容紹介. *エレクトロニクス実装学会誌*, Vol. 19, No. 1, pp. 53–58, 2016.
- [91] 見山克己. 部品内蔵基板の歩みと今後の課題. *エレクトロニクス実装学会誌*, Vol. 17, No. 5, pp. 342–347, 2014.
- [92] 青山雅之, 清水元規. PALAP「第4回ものづくり日本大賞製造プロセス部門 内閣総理

- 大臣賞」. エレクトロニクス実装学会誌, Vol. 17, No. 5, pp. 364–369, 2014.
- [93] 中尾知. ポリイミドフィルムを基材とした薄型部品内蔵基板. エレクトロニクス実装学会誌, Vol. 17, No. 5, pp. 380–384, 2014.
- [94] 服部篤典. 薄膜キャパシタ内蔵インターポーザの開発. エレクトロニクス実装学会誌, Vol. 17, No. 5, pp. 389–393, 2014.
- [95] 日渡逸人. 部品内蔵基板向けはんだペースト技術. エレクトロニクス実装学会誌, Vol. 17, No. 5, pp. 394–397, 2014.
- [96] 青木仁. 内蔵受動部品の動向と今後の展望. エレクトロニクス実装学会誌, Vol. 17, No. 5, pp. 410–413, 2014.
- [97] 新井義之. 部品内蔵向けボンダー技術. エレクトロニクス実装学会誌, Vol. 17, No. 5, pp. 414–417, 2014.
- [98] 友景肇. 部品内蔵基板の国際標準化動向 (特集部品内蔵基板とそれを支える周辺技術の最前線) – (部品内蔵の動向と期待). エレクトロニクス実装学会誌 = Journal of the Japan Institute of Electronics Packaging, Vol. 17, No. 5, pp. 337–341, Aug. 2014.
- [99] IEC. Iec 62878-1-1:2015. <https://webstore.iec.ch/publication/22483>.
- [100] K. Tanaka, N. Kurashima, H. Iizuka, K. Ooi, Y. Machida, and T. Koyama. Warpage and electrical performance of embedded device package, mcep. In *2011 IEEE 61st Electronic Components and Technology Conference (ECTC)*, pp. 1377–1383, May 2011.
- [101] 宮崎政志, 井田一昭, 宮崎正和, 猿渡達郎, 横田英樹, 小林浩之, 濱田芳樹, 杉山裕一, 新井理恵, 中村裕紀. エンベッデッド有機モジュール技術の開発. エレクトロニクス実装学会誌, Vol. 10, No. 4, pp. 298–304, 2007.
- [102] 中尾知. ポリイミドフィルムを基材とした薄型部品内蔵基板. エレクトロニクス実装学会誌, Vol. 17, No. 5, pp. 380–384, 2014.
- [103] TDK. Ic 内蔵基板 sesub. http://www.tdk.co.jp/ceatec_2014/pdf/ceatec2014_08.pdf.
- [104] C. K. Shen, M. H. Tsai, H. N. Chen, C. P. Jou, S. Liu, F. L. Hsueh, and T. L. Wu. Design of on-chip microwave filters in integrated fan-out wafer level packaging (inFO-WLP) technology. In *2015 Asia-Pacific Symposium on Electromagnetic Compatibility (APEMC)*, pp. 246–248, May 2015.
- [105] 産業タイムズ社. 半導体パッケージハンドブック, Nov. 2015.
- [106] 電子デバイス産業新聞. さらば PoP! 百花繚乱の半導体パッケージ. <http://www.sangyo-times.jp/article.aspx?ID=1381>, Mar. 2015.
- [107] Y. Guillou and A. M. Dutron. 3D IC products using TSV for mobile phone applications: An industrial perspective. In *Microelectronics and Packaging Conference*,

2009. *EMPC 2009. European*, pp. 1–6, Jun. 2009.
- [108] T. Braun, K. F. Becker, S. Raatz, V. Bader, J. Bauer, R. Aschenbrenner, S. Voges, T. Thomas, R. Kahle, and K. D. Lang. From fan-out wafer to fan-out panel level packaging. In *Circuit Theory and Design (ECCTD), 2015 European Conference on*, pp. 1–4, Aug. 2015.
- [109] K. Kitamura, K. Nakai, H. Matsui, T. Nagao, and Y. Norimitsu. Novel exposure system for FOWLP and MCM photolithography process. In *IEEE CPMT Symposium Japan 2014*, pp. 107–110, Nov. 2014.
- [110] M. Toba, Y. Nomura, and M. Nishimura. Application of embedding insulation sheet (EBIS) for FOWLP. In *CPMT Symposium Japan (ICSJ), 2015 IEEE*, pp. 16–18, Nov. 2015.
- [111] NTT DOCOMO. FOMA N705i μ . <https://www.nttdocomo.co.jp/support/utilization/product/n705imyu/spec.html>.
- [112] NTT DOCOMO. FOMA P705i μ . <https://www.nttdocomo.co.jp/support/utilization/product/p705imyu/spec.html>.
- [113] K. Nishimura, Y. Sato, J. Hirase, R. Sakaida, M. Yanagida, T. Tamaki, M. Takase, H. Kanehara, M. Murakami, and Y. Inoue. 6.1 An over 120dB simultaneous-capture wide-dynamic-range 1.6e⁻ ultra-low-reset-noise organic-photoconductive-film CMOS image sensor. In *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 110–111, Jan. 2016.
- [114] Y. Oike and A. El Gamal. CMOS Image Sensor With Per-Column $\Sigma\Delta$ ADC and Programmable Compressed Sensing. *IEEE Journal of Solid-State Circuits*, Vol. 48, No. 1, pp. 318–328, Jan. 2013.
- [115] ソフトバンクモバイル. スマートフォンユーザーの電池の持ち・充電に関する意識・実態調査. https://www.softbankselection.jp/hs_batt_enquete/, 2013.
- [116] 渡辺千賀. Running lean : 実践リーンスタートアップ. Running lean : iterate from plan A to a plan that works. オーム社 (発売), 東京, Japan, 2012.12 2012.
- [117] JEITA. LSI・パッケージ・ボード総合設計ワーキンググループ. http://www.jeita-edatc.com/wg_lpb/home/lpb.html.
- [118] 友景肇, 川瀬英路. 部品内蔵基板設計用データフォーマットの開発 (招待講演, 異種デバイス集積化/高密度実装技術, デザインガイア 2011-VLSI 設計の新しい大地-). 電子情報通信学会技術研究報告. ICD, 集積回路, Vol. 111, No. 327, pp. 31–34, Nov. 2011.
- [119] 田平由弘, 石田修一, 玄場公規, 阿部淳. 人材とともに外部技術を獲得し活用する商品開発プロセスの研究-iモードと iPod の事例より-. 技術と経済, Vol. 520, pp. 57–67, 6 2010.

- [120] 総務省. 平成 27 年度版 情報通信白書. <http://www.soumu.go.jp/johotsusintokei/whitepaper/h27.html>.
- [121] CISCO. Executive perspectives on the internet of everything. <http://ioeassessment.cisco.com/explore/trends>.
- [122] Intel Corporation. Intel announces restructuring initiative to accelerate transformation. <https://newsroom.intel.com/news-releases/news-release-intel-announces-restructuring>, Apr. 2016.
- [123] ソフトバンクグループ株式会社. 当社による ARM 買収の提案に関するお知らせ. http://www.softbank.jp/corp/d/sbg_press/list/20160718_01/pdf/20160718_01.pdf, Jul. 2016.
- [124] M. Koyanagi. Heterogeneous 3D integration for Internet of Things. In *Solid-State and Integrated Circuit Technology (ICSICT), 2014 12th IEEE International Conference on*, pp. 1–4, Oct. 2014.
- [125] D. Blaauw, D. Sylvester, P. Dutta, Y. Lee, I. Lee, S. Bang, Y. Kim, G. Kim, P. Pannuto, Y. S. Kuo, D. Yoon, W. Jung, Z. Foo, Y. P. Chen, S. Oh, S. Jeong, and M. Choi. IoT design space challenges: Circuits and systems. In *VLSI Technology (VLSI-Technology): Digest of Technical Papers, 2014 Symposium on*, pp. 1–2, Jun. 2014.
- [126] K. S. Yeo, M. C. Chian, T. C. Wee Ng, and D. A. Tuan. Internet of things: Trends, challenges and applications. In *2014 International Symposium on Integrated Circuits (ISIC)*, pp. 568–571, Dec. 2014.
- [127] 小島康平. 絵で見てわかる IoT/センサの仕組みと活用. 絵で見てわかる Internet of things/センサの仕組みと活用. 翔泳社, [東京], Japan, 2015.
- [128] JEITA. STRJ ワークショップ. 実装 WG 「小型、低コスト、高速化を支える半導体パッケージ技術」 http://semicon.jeita.or.jp/STRJ/STRJ/2014/2014_08_Jissou_v2.pdf, Mar. 2015.
- [129] M. Nachnani, P. Rogren, and Y. Sun. A new configurable sintered interconnect QFN package for high performance, high lead count and low cost applications. In *2015 IEEE 17th Electronics Packaging and Technology Conference (EPTC)*, pp. 1–4, Dec. 2015.
- [130] 前中一介. 生体活動モニタリングシステムのためのマイクロデバイス (〈特集〉トリリオンセンサユニバースにおけるシステム制御情報技術). システム/制御/情報: システム制御情報学会誌, Vol. 59, No. 11, pp. 412–417, Nov. 2015.
- [131] 内閣府 総合科学技術・イノベーション会議 ICT ワーキンググループ(第 9 回). 「半導体産業の再生に向けた革新的デバイス開発プロジェクト」への助言. <http://www8.cao.go>.

- jp/cstp/tyousakai/juyoukadai/wg_ict/9kai/haifu_ict_09.html, Mar. 2015.
- [132] 三宅秀道. 新しい市場のつくりかた, p. 168. 東洋経済新報社, 2012.
- [133] 堀部晃啓, 安田岳雄, 山根敏志, 武田征士, 折井靖光. コグニティブ・コンピューティング時代を切り拓くコア・テクノロジー. エレクトロニクス実装学会誌, Vol. 17, No. 3, pp. 156–162, 2014.
- [134] 山道新太郎. コグニティブ・コンピューティングに向けた実装技術. 表面技術, Vol. 66, No. 2, pp. 28–32, 2015.
- [135] クリス・アンダーソン. メイカーズ. NHK 出版, 2012.
- [136] 星野達也. オープン・イノベーションの教科書. ダイヤモンド社, 2015.

謝辞

本論文をまとめるに当たり、審査員主査としてご指導、ご鞭撻を賜りました、東京工業大学 科学技術創成研究院 未来産業技術研究所 益 一哉教授に謹んで感謝いたします。また審査員副査として懇切丁寧なご指導を賜りました、東京工業大学 工学院 電気電子系 電気電子コース 松澤 昭教授、東京工業大学 科学技術創成研究院 未来産業技術研究所 筒井 一生教授、東京工業大学 工学院 電気電子系 電気電子コース 若林 整教授、東京工業大学 科学技術創成研究院 未来産業技術研究所 石原 昇特任教授、東京工業大学 科学技術創成研究院 未来産業技術研究所 伊藤 浩之准教授に深謝いたします。また、予備審査、公聴会等で有益な議論をしていただきました東京工業大学 科学技術創成研究院 未来産業技術研究所 道正 志郎特任教授、そして益教授秘書の益子 智恵様、及び益・伊藤研究室の皆様にご感謝いたします。

本研究は、筆者が日本電気株式会社中央研究所に在籍している期間に実施されました。本研究の機会を与えていただいた、生産技術研究所の嶋田 勇三所長、松井 孝二部長、システム実装研究所の橋本 雅伸所長、嶋脇 秀徳所長、原田 高志部長、寺井 弘幸部長、増田 幸一郎部長、井上 博文主幹研究員、塚越 常雄主幹研究員、石田 尚志主幹研究員、古谷 充主任研究員、冥加 修主任、中瀬 康一郎主任、堺 淳主任、グリーンプラットフォーム研究所の西 直樹所長、小勝 俊巨部長、デバイスプラットフォーム研究所の望月 康則所長、馬場 和宏部長、村上 朝夫部長、竹村 浩一主任研究員に感謝いたします。また、プロジェクトで苦楽をともにした、デバイスプラットフォーム研究所の山道 新太郎主任研究員、森 健太郎主任、システム実装研究所の菊池 克主任研究員、中島 嘉樹主任、NEC エレクトロニクスの佐々木 英樹シニアデザインエンジニアに感謝いたします。そのほか、システム実装研究所の実装設計 TG、機器実装 TG、デバイスプラットフォーム研究所のデバイス実装 TG の皆様とは日常的に研究の議論をさせていただきました。あわせて感謝いたします。(以上は研究当時の所属)

社会人博士課程への入学は、筆者が本社に異動後に実現しました。入学を許可いただいた、サプライチェーン統括ユニット長の大嶽 充弘執行役員常務、ものづくり統括本部の久保田 紀行本部長に感謝いたします。また、入学後現在に至るまで業務負荷を配慮いただき、通学を温かく見守っていただいた、ものづくり統括本部の嵯峨 幸治シニアマネージャ、北野 芳直シニアマネージャ、中 浩シニアエキスパートに感謝いたします。そして、本社に異動後の3年間、

これまでの研究畑とは全く異なる業務を担当するに当たり，一からご指導いただき，さらに今後の社会人生活でも恐らく味わうことはないであろう貴重なプロジェクトマネジメント経験を積ませていただいた，ものづくり統括本部の西村 英憲シニアエキスパートに感謝いたします．また，通学に理解をいただき，高負荷にもかかわらず業務を分担いただいた，ものづくり統括本部の押野 幹尋エキスパート，横山 美枝子主任，森田 美紀氏に感謝いたします．

日本電気株式会社に入社する前，慶應義塾大学で博士課程に在籍しておりました．筆者の実力不足が原因で，闘病中にもかかわらず魂のこもったお言葉でご指導，ご鞭撻いただいた慶應義塾大学大学院 理工学研究科 総合デザイン工学専攻 先端電気電子専修 故 徳丸 仁教授，奥様の恵子様に深謝いたします．また，徳丸教授逝去後の指導教授として，学位取得断念の決断を尊重し，定期採用時期外においても就職先の斡旋にご尽力いただきました，慶應義塾大学大学院 理工学研究科 総合デザイン工学専攻 先端電気電子専修 山下 久直教授，慶應義塾大学理工学部同窓会事務局 萬利乃 道代事務局長，定期採用時期外にもかかわらず受験を許可いただきました，日本電気株式会社 故 金杉 明信代表取締役社長に深謝いたします．

最後に家族に感謝いたします．

研究業績一覧

発表論文

- (1) Daisuke Ohshima, Hideki Sasaki, Kentaro Mori, Yuki Fujimura, Katsumi Kikuchi, Yoshiki Nakashima, Takuo Funaya, Tomohiro Nishiyama, Tomoo Murakami, Mitsuru Enomoto, Ryu Miki, and Shintaro Yamamichi, “Electrical Design and Techniques for an Embedded High-Pin-Count LSI Chip Package,” IEEE Trans on Components, Packaging, and Manufacturing Technology, Vol. 1, No. 10, Oct. 2011 pp. 1543–1552
- (2) 大島 大輔, 森 健太郎, 中島 嘉樹, 佐々木 英樹, 菊池 克, 山道 新太郎, “多ピン・薄型 LSI 内蔵パッケージの電気特性評価,” 電子情報通信学会論文誌. C, エレクトロニクス J93-C(11), 414–423, 2010-11-01
- (3) Daisuke Ohshima, Yoshiki Nakashima, Katsumi Kikuchi, Koichi Takemura, and Kazuya Masu, “LSI-package co-design methodology for thin embedded-LSI package used as bottom package of Package-on-Package structures,” Transactions of The Japan Institute of Electronics Packaging, Vol. 7, No. 1, Dec. 2014, pp. 104–113

関連論文

- (1) 大島 大輔, 井上 博文, 古谷 充, 堺 淳, 石川 亮, 本城 和彦, “最適要素抽出法による高速・高密度半導体パッケージモデリング,” 電子情報通信学会論文誌. C, エレクトロニクス J89-C(11), 826–832, 2006-11-01
- (2) 大島 大輔, “最適要素抽出法による高精度 3 次元パッケージモデリング,” エレクトロニクス実装学会誌 15(4), 249–253, 2012-07-01
- (3) Kentaro Mori, Daisuke Ohshima, Hideki Sasaki, Yuki Fujimura, Katsumi Kikuchi, Yoshiki Nakashima, Mitsuru Enomoto, Ryu Miki, Takeya Hashiguchi, Takuo Funaya, Tomohiro Nishiyama, Shintaro Yamamichi, “Embedded Active Packaging

- Technology for High-Pin-Count LSI With Cu Plate,” IEEE Trans on Components, Packaging, and Manufacturing Technology, Vol. 1, No. 1, Jan. 2011 pp.60–68
- (4) Yoshiki Nakashima, Katsumi Kikuchi, Kentaro Mori, Daisuke Ohshima, Shintaro Yamamichi, “Warpage Mechanism of Thin Embedded LSI Packages,” Transactions of The Japan Institute of Electronics Packaging Vol. 3 (2010) No. 1

国際会議口頭発表

- (1) Daisuke Ohshima, Kentaro Mori, Yoshiki Nakashima, Katsumi Kikuchi, Shintaro Yamamichi, “A Method for Reducing the Number of the Metal Layers for Embedded LSI Package,” International Conference on Electronics Packaging (ICEP) 2010, May, 2010
- (2) Daisuke Ohshima, Kentaro Mori, Yoshiki Nakashima, Katsumi Kikuchi, Shintaro Yamamichi, “A Method for Reducing the Number of the Metal Layers for Embedded LSI Package,” Journal of the Microelectronics and Packaging Society, Volume 17, Issue 4, pp.27–33, 2010
- (3) Daisuke Ohshima, Hideki Sasaki, Kentaro Mori, Yuki Fujimura, Katsumi Kikuchi, Yoshiki Nakashima, Takuo Funaya, Tomohiro Nishiyama, Tomoo Murakami, Shintaro Yamamichi, “Electrical design and demonstration of an embedded high-pin-count LSI chip package,” Electronic Components and Technology Conference (ECTC) 2009. 59th pp.482–488
- (4) Kentaro Mori, Daisuke Ohshima, Hideki Sasaki, Yuki Fujimura, Katsumi Kikuchi, Yoshiki Nakashima, Takuo Funaya, Tomohiro Nishiyama, Tomoo Murakami, Shintaro Yamamichi, “A novel ultra-thin package for embedded high-pin-count LSI supported by Cu plate,” Electronic Components and Technology Conference (ECTC) 2009. 59th pp.1447–1452
- (5) Kentaro Mori, Katsumi Kikuchi, Daisuke Ohshima, Yoshiki Nakashima, Shintaro Yamamichi, “Reliability of thin seamless package with embedded high-pin-count LSI chip,” Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th pp.36–39
- (6) Shintaro Yamamichi, Kentaro Mori, Katsumi Kikuchi, Hideya Murai, Daisuke Ohshima, Yoshiki Nakashima, Koji Soejima, Masaya Kawano, Tomoo Murakami, “Chip-level and package-level seamless interconnect technologies for advanced packaging,” IEEE International Electron Devices Meeting (IEDM), 2009 pp.1–4

- (7) Yoshiki Nakashima, Katsumi Kikuchi, Kentaro Mori, Daisuke Ohshima, Shintaro Yamamichi, “Study on the War Mechanism of Thin Embedded LSI Packages,” International Conference on Electronics Packaging (ICEP) 2010, May, 2010
- (8) Daisuke Ohshima, Kentaro Mori, Yoshiki Nakashima, Katsumi Kikuchi, Shintaro Yamamichi, “A Method for Reducing the Number of the Metal Layers for Embedded LSI Package,” International Conference on Electronics Packaging (ICEP) 2013, Apr., 2013
- (9) Koichiro Nakase, Jun Sakai, Daisuke Ohshima, Toru Mori, Akinobu Shibuya, Hirobumi Inoue, “Electrical Characterization of Thin-Film Embedded Passives,” Electronic Components and Technology Conference (ECTC) 2005, IEEE-CPMT Seminar, pp.1–10, Jun. 2005

国内会議口頭発表

- (1) 大島 大輔, “3D 実装技術の最新開発動向,” JIEP 最先端実装技術シンポジウム (2012/6)
- (2) 大島 大輔, “NEC の部品内蔵パッケージ技術の最新開発動向,” プリント配線板 EXPO 専門技術セミナー (2011/1)
- (3) 大島 大輔, “小型・薄型・高放熱 SiP を実現する次世代配線技術の開発,” プリント配線板 EXPO 専門技術セミナー (2014/1)
- (4) 大島 大輔, “薄型・多ピン LSI 内蔵パッケージの設計及び動作検証,” 2009 Japan ANSYS Conference (2009/11)
- (5) 大島 大輔, 森 健太郎, 菊池 克, 中島 嘉樹, 山道 新太郎, “多ピン LSI 内蔵薄型パッケージ基盤の電気設計及び動作実証,” エレクトロニクス実装学会 マイクロエレクトロニクスシンポジウム (2009/9)
- (6) 森 健太郎, 大島 大輔, 菊池 克, 中島 嘉樹, 山道 新太郎, “多ピン LSI 用薄型、高放熱 LSI 内蔵パッケージ,” エレクトロニクス実装学会 マイクロエレクトロニクスシンポジウム (2009/9)
- (7) 大島 大輔, 井上 博文, 古谷 充, 堺 淳, 本城 和彦, “OSE 法を用いた不連続部を有する高速・高密度半導体パッケージの簡易等価回路モデリング,” 電子情報通信学会 ソサイエティ大会講演論文集 2005 年 エレクトロニクス (1), 115, 2005-09-07
- (8) 大島 大輔, “最適要素抽出法による高精度 LSI パッケージモデリング,” エレクトロニクス実装学会 システム Jisso-CAD/CAE 研究会公開研究会 (2010/6)
- (9) 大島 大輔, 井上 博文, “高速 LSI 統合実装設計への最適要素抽出法の適用,” エレクトロニクス実装学会 超高速高周波エレクトロニクス実装研究会 (2006/11)

- (10) 山道 新太郎, 森 健太郎, 菊池 克, 村井 秀哉, 大島 大輔, 中島 嘉樹, 副島 康志, 川野 連也, 村上 朝夫, “次世代 LSI パッケージ用チップ及びパッケージレベルの LSI 内蔵インターコネクタ技術,” 電子情報通信学会 技術研究報告. SDM, シリコン材料・デバイス 109(412), 43-48, 2010-01-29
- (11) 井上 博文, 大島 大輔, 古谷 充, 堺 淳, 本城 和彦, “チップ・パッケージ・ボード統合設計における OSE 法の提案,” 電子情報通信学会 ソサイエティ大会講演論文集 2005 年 エレクトロニクス (1), 113, 2005-09-07
- (12) 中瀬 康一郎, 堺 淳, 大島 大輔, “樹脂基板への部品内蔵に関する電気的特性の検討,” エレクトロニクス実装学会 マイクロエレクトロニクスシンポジウム論文集 15, 181-184, 2005-10-13
- (13) 大島 大輔, 中瀬 康一郎, 井上 博文, 秋元 豊, 中村 博文, “受動素子内蔵基板を用いた RF モジュールの設計,” エレクトロニクス実装学会 学術講演大会 (2006/3)
- (14) 大島 大輔, “LSI 内蔵パッケージ基板の開発動向,” スマートプロセス学会 第 4 回電子デバイス実装研究委員会, Dec. 2013
- (15) 坂上 秀和, 本橋 洋介, 大島 大輔, 亀井 真一郎, 飛田 伸一, “設計およびレビュー品質向上のための知識活用支援基盤 DRIP の構想,” 日本機械学会 第 22 回設計工学・システム部門講演会 (2012/9)
- (16) 本橋 洋介, 大島 大輔, 飛田 伸一, 亀井 真一郎, 坂上 秀和, “知識活用支援基盤 DRIP における回路設計レビュー支援システムの開発,” 日本機械学会 第 22 回設計工学・システム部門講演会 (2012/9)

特許

- (1) 大島大輔ほか, 特許第 4654853 号, 電子部品の設計方法
- (2) 大島大輔ほか, 特許第 5012779 号, 半導体装置
- (3) 大島大輔ほか, 特開 2008-282882, 部品内蔵実装基板
- (4) 大島大輔ほか, 特開 2009-260195, 半導体装置及びその製造方法
- (5) 大島大輔ほか, 特開 2010-245269, 半導体装置
- (6) 大島大輔, 特開 2012-58911, 設計支援システム、及び設計支援方法
- (7) 大島大輔ほか, WO11/114766, 機能素子内蔵基板
- (8) 大島大輔ほか, WO11/125354, 機能素子内蔵基板
- (9) 大島大輔ほか, WO12/157591, 設計支援装置、設計支援システムおよび設計支援方法