T2R2 東京工業大学リサーチリポジトリ
Tokyo Tech Research Repository

論文 / 著書情報
Article / Book Information

題目(和文)	機能素子内蔵基板の配線設計技術に関する研究
Title(English)	
著者(和文)	大島大輔
Author(English)	Daisuke Ohshima
出典(和文)	学位:博士（工学）, 学位授与機関:東京工業大学, 報告番号:甲第10341号, 授与年月日:2016年9月20日, 学位の種別:課程博士, 審査員:益 一哉,松澤 昭,筒井 一生,若林 整,石原 昇,伊藤 浩之
Citation(English)	Degree:, Conferring organization: Tokyo Institute of Technology, Report number:甲第10341号, Conferred date:2016/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	論文要旨
Type(English)	Summary

Powered by T2R2 (Tokyo Institute Research Repository)

（博士課程）
Doctoral Program

論 文 要 旨

THESIS SUMMARY

専攻： Department of	物理電子システム創造　専攻	申請学位（専攻分野）： Academic Degree Requested	博士 Doctor of　（　工学　）
学生氏名： Student's Name	大島 大輔	指導教員（主）： Academic Advisor(main)	益 一哉 教授
		指導教員（副）： Academic Advisor(sub)	

要旨（和文 2000 字程度）
Thesis Summary（approx.2000 Japanese Characters ）

本論文は、スマートフォン等に代表される薄型化・小型化の要求が著しい電子機器において、ロジック、メモリ混載構造の一つである System in Package (SiP)の薄型化について、その実装設計技術を最適インダクタンス設計の観点から体系化したものであり、全 5 章からなる。

第 1 章「序論」では、実装技術のこれまでの歴史と薄型化が求められていることについて説明し、研究の目的を More than Moore 実現の一手段である SiP の薄型化としたことを述べている。研究実施時期である 2008 年時点の従来技術(Flip Chip Ball Grid Aray: FCBGA, Fine-pitch Ball Grid Array: FBGA)と、薄型化を実現するための新技術と、それを実現するための課題について論じている。

第 2 章「受動素子内蔵基板による最適インダクタンス設計技術」では、機能素子内蔵基板の共通基盤技術である受動素子内蔵基板の設計技術について述べている。キャパシタ、抵抗、インダクタをプリント配線板に埋め込んだ新構造を開発し、従来のチップ素子と比較して同等以上の高周波特性を有しながら薄型化と小型化を実現できることを実証している。また、寄生インダクタンスが高周波特性に与える影響について述べ、寄生インダクタンスを低減する手法について明らかにしている。

第 3 章「2D-SiP 用能動素子内蔵基板薄型化のための最適インダクタンス設計技術」では、2D-SiP の薄型化実現に必要な設計技術について述べている。題材として PC 相当の機器の CPU が搭載された FCBGA パッケージの薄型化について述べている。具体的には、コアレス基板にチップを内蔵した薄型構造を提案し、その設計技術について述べている。新構造は、コアレス基板を作製する過程で必要であった銅板支持体を除去しないで活用するという着想から生まれた。大判の銅板支持体にチップを貼り付け、その上にコアレス基板を作製し、個片化するものである。コアレス基板は従来構造であるビルドアップ基板に比べて、層間接続部（ビア）の寄生インダクタンスが減少するため、電源プレーンを削減し配線に置き換えることができる。新構造は、従来構造に比べてパッケージ単体で 37%の厚みを実現できた。さらに銅板は支持体だけでなく、電気設計面ではグランドとなり、熱設計面では放熱体としても効果的に機能するため、近傍磁界の抑制効果や、従来構造では必須であったヒートシンクが不要となり、さらなる機器の薄型化が図れることを明らかにした。新構造は多ピンのチップを内蔵できることが特長であり、約 1500 ピンのチップを 27mm 角、625 パッドのパッケージに内蔵した。新構造が適用可能なチップの最大消費電力は、ヒートスプレッダのみの場合は本研究の実績より 5W 程度、放熱部品を追加した場合は従来構造の実績から 100W 程度と推定される。また新構造のサイズについては、大判の基板を個片化するため大型化が容易であり、パッケージだけでなくボードレベルにも対応できる。

第 4 章「3D-SiP 用能動素子内蔵基板薄型化のための最適インダクタンス設計技術」では、3D-SiP の薄型化実現に必要な設計技術について述べている。題材として 2 種類のパッケージが積層された Package on Package(PoP)構造の下段パッケージ(FBGA)の薄型化について述べている。第 3 章との構造の最大の違いは、銅板支持体を備えず、基板両面に端子を有する点である。内蔵チップが基板両面を貫通する配線経路の障害となるため、チップの外周部に形成される Silicon Side Via(SSV)が小型化のボトルネックとなる。そこで、配線の寄生インダクタンスが最小となるような SSV と内蔵チップの端子レイアウトを得ることができるチップ・パッケージ協調設計手法と、その有効性を示した。内蔵チップは再製造することが原則であるが、本研究では既存のチップを活用した。そのため、配線の最適化は不十分であるものの、チップの再設計・再製造コストと期間を抑えることができた。新構造の厚みは 370 μm と、非内蔵の従来構造の 630 μm に対して約 60%の厚みを実現した。新構造が適用可能なチップの最大消費電力は 2W 程度である。サイズについては、第 3 章と異なり銅板支持体を備えないため大型化には適さず、10mm 角程度が好適である。

第 5 章「結論」では、これらの研究成果を総括し、今後の展望を述べている。これらの成果は，今後 IoT デバイスでの適用が進むと思われる SiP の薄型化にも寄与する技術である。

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。
Note：Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ（T2R2）にてインターネット公表されますので、公表可能な範囲の内容で作成してください。
Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).

（博士課程）
Doctoral Program

論 文 要 旨

THESIS SUMMARY

専攻： Department of	物理電子システム創造　専攻	申請学位（専攻分野）： Academic Degree Requested	博士 Doctor of　（　工学　）
学生氏名： Student's Name	大島 大輔	指導教員（主）： Academic Advisor(main)	益 一哉 教授
		指導教員（副）： Academic Advisor(sub)	

要旨（英文 300 語程度）
Thesis Summary（approx.300 English Words ）

This thesis describes the design technologies for novel structures of System in Package (SiP), in which thinner packages are required, based on the optimized inductance design procedure.

In chapter 2, design technology for embedded passive device substrates is described as the common platform technology. A novel structure consists of capacitors, registers, and inductors is developed and has equivalent high frequency characteristics to a conventional structure. And a method of the reduction of parasitic inductance for the embedded passive devices is described as well.

In chapter 3, a design technique for thin 2D-SiP structures is described. An FCBGA package with 27 mm square in size and 625 pads for a PC-like system is selected as a conventional structure. In a novel structure, a chip is embedded in a coreless substrate formed on a large Cu plate. The Cu plate functions as the ground plane, the heat spreader as well as the supporter, and results in the achievement of the 37% in thickness as compared with the conventional structure. The novel structure is suited for the high-pin-count chips; in fact, a chip with approximately 1500 pads is embedded.

In chapter 4, a design technique for thin 3D-SiP structures is described. A PoP structure for a mobile system is selected. Unlike chapter 3, a novel structure has no Cu plate but has pads on both sides, therefore, an embedded chip with non-TSV type is an obstacle for the through substrate paths. A chip and package co-design methodology is proposed to optimize both the parasitic inductance of wiring in the package and the package size. The novel structure is 13 mm square in size and 370-micron-thick, which is 60% of the conventional structure.

In chapter 5, the results of this research are summarized and the future work is described. These results are promising technology for IoT devices in which miniaturized components as well as SiPs are strongly required.

備考 ： 論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。
Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ（T2R2）にてインターネット公表されますので、公表可能な範囲の内容で作成してください。
Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).