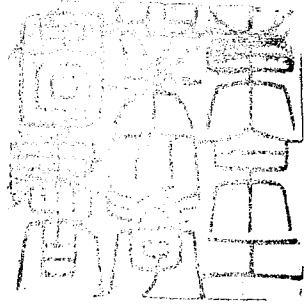


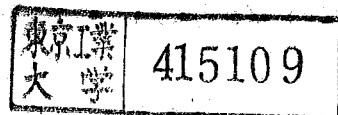
論文 / 著書情報  
Article / Book Information

題目(和文)	非同期式順序回路の論理合成に関する研究
Title(English)	
著者(和文)	南谷崇
Author(English)	
出典(和文)	学位:工学博士, 学位授与機関:東京工業大学, 報告番号:乙第817号, 授与年月日:1978年9月30日, 学位の種別:論文博士, 審査員:当麻 喜弘
Citation(English)	Degree:Doctor of Engineering, Conferring organization: Tokyo Institute of Technology, Report number:乙第817号, Conferred date:1978/9/30, Degree Type:Thesis doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis



# 非同期式順序回路の論理合成に関する研究

南 谷 崇



# 目 次

第 1 章 緒 論 .....	1
1.1 本研究の目的と背景 .....	1
1.2 従来の研究の概要 .....	3
1.3 本研究の意義と応用 .....	5
第 2 章 非同期式順序回路における遅延の影響 .....	7
2.1 論理素子とその信号伝搬遅延の性質 .....	7
2.2 順序論理仕様の表現 .....	12
2.3 非同期式順序回路の遅延モデル .....	20
2.4 状態遷移及び定常性ハザードの定式化 .....	27
2.5 定常性ハザードの存在条件と判定手順 .....	35
第 3 章 非同期式順序回路の万能状態割当 .....	41
3.1 競合のない内部状態割当の条件 .....	42
3.2 単一符号を用いた万能状態割当の構成法 .....	47
3.3 複数符号を用いた万能状態割当の構成法 .....	52
3.4 積符号による符号語長の短縮化 .....	59
3.5 対符号(2, 1)分離システムの構成法とその応用 .....	66
第 4 章 非同期式順序回路におけるハザードの除去 .....	73
4.1 非同期式順序回路における基本ハザード .....	73
4.2 二線方式によるハザードフリー回路の構成法 .....	81
4.3 配線付加方式によるハザードフリー回路の構成法 .....	88
4.4 正論理負論理併用方式によるハザードフリー回路の構成法 ..	99
4.5 相互結合慣性遅延素子のハザードフリー効果とその応用 .....	107

第 5 章	順序回路モジュールを用いた非同期式順序回路の合成	119
5.1	順序回路モジュールを構成要素とする非同期式順序回路	119
5.2	直接遷移実現の一般化	125
5.3	モジュール構成可能条件	129
5.4	モジュール構成の結合依存性	136
5.5	モジュール間結合回路のハザードフリー構成	142
5.6	合成手順及び例題	150
第 6 章	結 論	161
6.1	本研究の総括	161
6.2	今後の研究課題	163
謝 辞		165
参考文献		167

# 第1章 緒 論

本研究は非同期式順序回路の論理合成法に関するものである。

## 1.1 本研究の目的と背景

非同期式順序回路は回路の動作を一定のタイミングで制御するための同期信号(クロック信号)を持たない順序回路である。これに対して、同期信号を有する順序回路は同期式順序回路と呼ばれる。

同期式順序回路では、回路を構成する論理素子や配線の信号伝搬遅延(以後、単に遅延という)のばらつきの最悪ケースを考慮して同期信号のタイミングが設計される。従って、あらかじめ遅延の大きさの評価が可能な場合には、その論理設計は容易である。

一方、非同期式順序回路では、同期信号を持たないために、不用意な論理設計を行なうと、遅延のばらつきや変動に起因する誤動作を生ずることがある。

これまではこのような誤動作が生じないことを保証する論理設計手法が十分に確立されていなかったことと、遅延の評価が比較的容易であったことから、例えば装置間インタフェースのように、特に非同期的な信号処理を必要とする場合を除いて非同期式順序回路はあまり用いられていなかった。

本研究の背景には、近年における集積回路技術の著しい進歩がある。論理回路の高集積化は論理設計に対して次のような問題をもたらした。すなわち、大規模集積回路における論理ゲートや配線の遅延特性はチップ上の配置配線設計の結果や製造工程に依存するため、それらに先立つ論理設計の段階で遅延を精密に評価することは極めて困難になる。そのため、最悪ケースを考慮した論理設計では回路の性能が大幅に低下する。一方、高速化の要求を満たすには、製造段階での遅延特性のばらつき及び出荷後における遅延特性の変動に対する余裕度を極めて小さくしなければならない。

その結果、信頼性の著しい低下を招くという二律背反の事態が生じる。従って、遅延特性のばらつき、変動をあらかじめ考慮することなく高信頼性を持つ大規模論理回路を実現する論理設計手法の確立が望まれている。

本研究はこれに応えるために行なわれたものである。本研究は遅延のばらつき又は変動にかかわらず正しく動作することが保証される非同期式順序回路の論理設計手法を確立し、大規模集積回路の論理設計自動化への一つの接近法を示すことを目的としている。

## 1.2 従来の研究の概要

非同期式順序回路の研究は古く継電器回路網の研究と共に始められている。接点の動作遅れを考慮に入れた論理関数方程式を用いて継電器回路網を構成する方法が後藤〔34〕によって発表され、この理論に基く将棋倒しの制御方式を用いたわが国最初の継電器式自動計算機が駒宮〔35〕によって設計された。

非同期式順序回路に内部状態の概念を導入した研究は Huffman〔36〕によって始められ、これを基礎としてその後の研究は発展してきている。これらの研究は解析論の立場からの研究と合成論の立場からの研究に大別される。

まず、解析論的研究では、論理ゲートで構成される非同期式順序回路からその状態遷移表を求める解析手法の基礎が Huffman〔36〕によって与えられ、Unger〔27〕によって発展させられた。内藤〔61〕は論理代数を用いた解析手法を示した。又、これらとは異なった束論的アプローチによる誤動作の解析が Muller と Bartky〔38〕及び Kimura〔42〕によって研究され、これに入力変化の概念を取り入れた解析論的研究が古屋と当麻〔69〕によってなされている。

次に、本研究に関連する合成論的研究は大きく三つの問題に分けられる。すなわち、状態割当問題、ハザード除去問題、及び分解問題である。

状態割当問題に関しては、競合のない状態割当の基礎的概念が Huffman〔36〕によって与えられた。S T T (Single Transition Time) 状態割当と呼ばれる状態遷移時間最小でしかも危険な競合のない状態割当法は Liu〔47〕によって研究され、Tracey〔48〕によってさらに発展させられた。符号の冗長性を増やすことによって計算の手間を不要にした万能 S T T 状態割当はこれまで、Friedman 等〔51〕及び Mago〔52〕によって研究されている。

ハザード除去問題に関しては、Unger〔39〕が定常性ハザードの一つの原因となる状態遷移表の性質として、基本ハザードを定義し、配線の遅延

を無視できない場合には，遅延素子の挿入なしには基本ハザードを除去できないことを証明した。その後，配線遅延は論理素子の遅延に比べて無視し得るとの仮定の下で，ハザード除去回路の構成法が，Armstrong等〔43〕Langdon〔45〕，古屋と当麻〔67〕，石原〔65〕，中村と宇都宮〔66〕によって提案されている。

分解問題は，HartmanisとSterns〔24〕によって展開された同期式順序回路の分解理論を非同期式順序回路へ拡張する形でTan〔54〕によって研究された。

このように，従来の研究では，論理ゲートを構成要素とする非同期式順序回路の合成に関して，ある程度の理論的成果が得られている。

しかしながら，これらの結果は，1.1で述べた目的と背景に対して，必ずしも実用的なものではない。すなわち，状態割当問題に関して，Traceyによって発展させられたS T T状態割当法は最小被覆問題に帰着するため，計算の手間が膨大になり，大規模な回路への適用はほとんど不可能である。一方，この計算の手間を省くためにFriedman等及びMagoによって研究された万能S T T状態割当法には，回路の規模が大きくなると金物量が急激に増加するという欠点がある。又，ハザード除去回路の構成に関する従来の方法は，いずれも異種論理素子の特殊な組合せを用いたり，極めて大きな金物量を要するものであり，大規模論理回路の構成には適していなかった。



### 1.3 本研究の意義と応用

本論文は、論理ゲートを構成要素とする非同期式順序回路の論理設計手法に関して、必ずしも実用的に十分でなかった従来の研究を発展させるとともに、それらを順序回路モジュールを構成要素とする大規模な非同期式順序回路の合成理論として一般化させた結果について述べるものである。

本研究の立場は、遅延のばらつき及び変動をあらかじめ評価できない大規模集積回路による論理装置の実現を前提として、実現される回路の性能を低下させることなく遅延に対する回路動作の信頼性を保証することを、論理設計の第一義的規準とする点にある。従って、他の論理素子に対する相対的な遅延の大きさの知られている遅延素子の使用は許容されないということを論理設計に対する原則的な制約条件としている。

本論文では、まず第2章で、非同期式順序回路における遅延のばらつき、変動が回路動作に与える影響の解析が行なわれ、その論理合成において満たされるべき要件について考察が行われる。次に第3章で、第1の要件である状態割当に関し、計算の手間がかからずかつ従来の方法に比べて金物量を大幅に減少させることのできる万能S T T状態割当の構成法が示される、又第4章では、第2の要件である回路構成に関して、大規模集積回路の規則構造に適したA N D - O R二段構成及びN A N D - N A N D二段構成のハザード除去回路を構成する手法が示される。さらに第5章では、回路の構成要素が論理素子から順序回路モジュールへ一般化され、正しく論理合成の行われた順序回路モジュールを構成要素とする非同期式順序回路の合成法が示される。

上述のように、本論文で論じられる論理設計問題は、製造段階での特性のばらつき、及び動作時での特性の変動、変化に対して許容性 (tolerance) を持つ大規模論理回路、すなわち、広義の故障許容 (fault tolerant) システムの合成問題の一つである、ということができる。

すなわち、本研究の意義は、論理装置構成技術の進歩の方向が高集積化及び高信頼性化であるのに対応して、広義の故障許容性を保証する組織的

な論理設計手法を確立し、論理設計自動化を可能ならしめる理論的根拠を与えることにある。

本論文の手法を適用する効果の顕著な例として、マスタスライス方式による顧客向け大規模論理集積回路の論理設計と、プログラム可能な論理アレイ (Programmable Logic Array 略して, P L A) [32] を用いた論理回路の論理設計がある。両者はいずれも、論理回路を大規模集積回路で実現する代表的な方式であるが、前者は、論理設計の後の配線設計によって遅延分布が変化するため、遅延の予測評価が困難である。又、後者は、A N D - O R 二段の規則的構成による論理回路の実現方法であり、回路構成の規則化が要求される。

本研究の成果は、これらの論理設計分野へ適用されるべきものである。

## 第2章 非同期式順序回路における遅延の影響

非同期式順序回路が誤動作を起こす可能性は実際には必ずしも顕在化せず、そのまま見過ごされる場合も多いが、ひとたびその誤動作が生じた場合には、順序回路の論理機能に致命的な悪影響を与え得る。従って、いかなる条件の下でも正しい論理機能を果たす回路の実現を保証するためには、各構成要素の遅延の分布に関する最悪の事態を考慮した設計条件を明らかにする必要がある。その上で、応用上妥当と思われる仮定を設けて、遅延に関する条件を緩和した設計方針をとることが実用的に重要である。

本章では、非同期式順序回路における論理素子や配線に付随する遅延のばらつき、変動が回路動作にどのような影響を与え得るかを解析し、次章以下で述べる論理合成法の満たすべき基礎的条件を明らかにする。

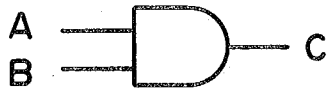
### 2.1 論理素子とその信号伝搬遅延の性質

論理回路は論理素子とそれらを結ぶ配線によって構成される。本論文の主題である論理合成とは、与えられた幾つかの種類の論理素子を構成要素として、それらの間の適当な配線によってあらかじめ指定された所望の論理機能を果たす論理回路を実現することをいう。所望の論理機能の表現については次節で述べる。

本論文では、論理回路の構成要素となる論理素子は、AND, OR, NOTの三種類の多入力1出力論理素子だけか、又は多入力1出力NAND論理素子<sup>\*</sup>だけであることを前提とする。これらの論理素子を表わす記号、及びそれが実現する論理関数の真理値表を、2入力1出力の場合について、図2.1に示す。

一般には内部に記憶を持つ素子も論理回路の構成要素になり得る。特に、図2.1に示される基本的な論理素子の適当な組合せによって得られる論理

\* NOR論理素子だけの場合もNANDに対して双対的な議論ができる。

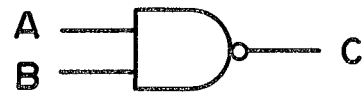


	A	0	1
B	0	0	0
	1	0	1
		C	

	A	0	1
B	0	0	1
	1	1	1
		C	

AND 論理素子

OR 論理素子



A	C
0	1
1	0

	A	0	1
B	0	1	1
	1	1	0

NOT 論理素子

NAND 論理素子

図 2.1 論理素子の記号及び対応する真理値表

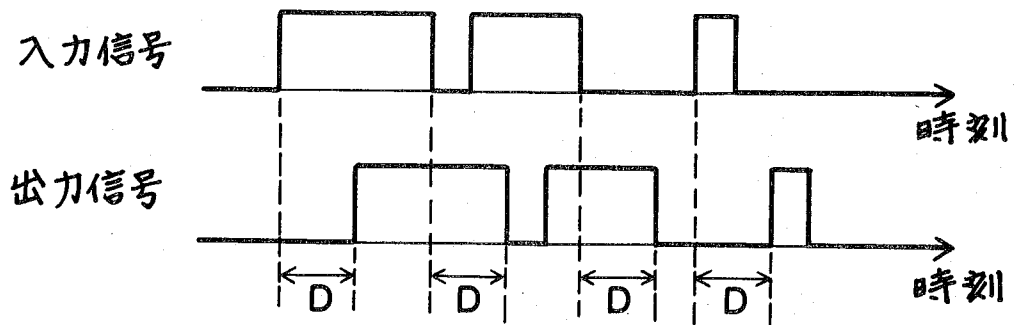
回路が汎用性に富むならば、実用上、そのような論理回路も論理合成における一つの構成単位と考えることができる。通常の論理設計においてよく用いられる各種のフリップフロップはその典型的な例である。このように、あらかじめ正しく実現されている論理回路を構成要素とする論理合成法については、第5章で論じる。

さて実在する論理素子や配線には、その物理的な性質のために、信号伝搬に関する遅延が存在する。これらの遅延の大きさや性質は、素子自体の製造条件、論理回路の構成上の条件、又は外的環境の条件等によって変わり得るが、その入出力応答の特性によって、次の2つのモデルを考えることができる〔27〕。

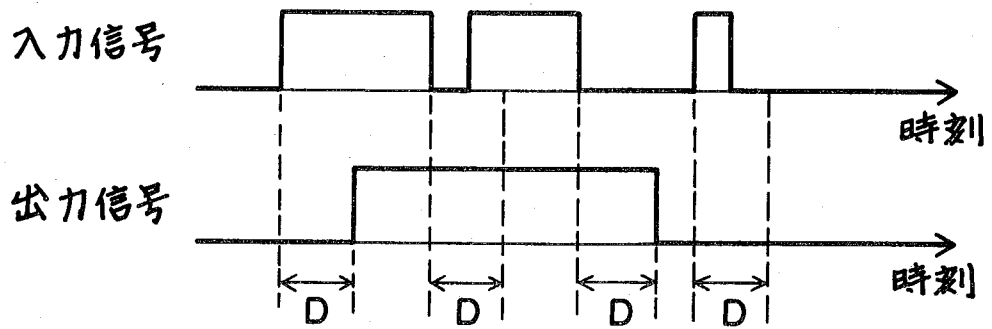
- (i) 純粋遅延 (pure delay) : 図 2.2 (a) に示されるように、入力信号変化が時間  $D$  だけ遅れてそのまま出力信号変化として現われる特性を持つ。通常用いられる遅延線の遅延特性がこの例である。ここで遅延の大きさ  $D$  は必ずしも一定ではなく、信号変化の極性、変化時刻、等によって変わり得るが、入力における信号変化は消滅することなく必ず出力変化として現われる。
- (ii) 慣性遅延 (inertial delay) : 図 2.2 (b) に示されるように、時間幅  $D$  より小さい間隔で生ずる入力信号変化に対しては応答せず、入力変化後の状態が時間  $D$  以上保たれる場合だけ出力変化が生ずる特性を持つ。<sup>\*</sup>通常用いられる論理素子は、その出力端に存在する浮遊容量のために、慣性遅延の特性を持つものと考えられることができる。

本論文では、図 2.1 に示した論理素子はすべて慣性遅延を持つものと仮定して議論を進める。又、論理素子及び配線が持つ遅延時間  $D$  の絶対的及び相対的大きさは、特に断わらない限り、未知であるものとする。すなわち、回路内の遅延のばらつき、変動に対して任意の可能性が許されているものとする。

\* 慣性遅延の厳密な定義を第4章5節で与える。



(a) 純粹遅延



(b) 慣性遅延

図 2.2 遅延の性質

これに対して，他の論理素子に対する相対的な遅延の大きさがあらかじめ知られており，設計者が意図的に回路内の適当な箇所へ挿入して信号伝搬を制御することを目的とする素子を，特に遅延素子と呼び，図 2.1 に示した論理素子とは区別する。

## 2.2 順序論理仕様の表現

与えられた論理素子を用いて実現すべき論理回路の機能，すなわち論理合成の対象となる所望の論理機能は，通常，状態遷移表又は状態遷移図によって表わすことができる〔33〕。一方，状態遷移表及び状態遷移図は順序機械〔25〕の視覚的な表現方法である。言い換えれば，非同期式順序回路によって実現されるべき順序論理仕様を記述することは一つの順序機械を定義することになる。

従って，本論文では，論理設計の出発点を状態遷移表とし，実現すべき順序論理仕様は，次の5項組Mで定義される順序機械として与えられるものとする。

$$M = [ X, Q, Z, \delta, \omega ] \quad (2.1)$$

ここに，Xは入力の有限集合，Qは内部状態（以下では混乱のない限り単に状態と呼ぶ）の有限集合，Zは出力の有限集合である。又， $\delta$ 及び $\omega$ は，それぞれ状態遷移関数及び出力関数と呼ばれ，次式によって定義される写像を表わす\*。

$$\delta : X \times Q \rightarrow Q \quad (2.2)$$

$$\omega : X \times Q \rightarrow Z \quad (2.3)$$

現在の入力  $X \in X$  と現在の状態  $q \in Q$  に対して，式(2.2)の $\delta$ で定められる状態  $q' \in Q$  を " 次の状態 " と呼び，

$$q' = \delta ( X, q ) \quad (2.4)$$

と書く\*\* 又，同じく式(2.3)の $\omega$ で定められる出力  $Z \in Z$  を " 現在の出力 " と呼び，

$$Z = \omega ( X, q ) \quad (2.5)$$

\* 本論文では，順序機械MをMealy型〔25〕とするがMoore型〔25〕の場合にも同じ議論が成り立つ。

\*\* 本論文では $\delta$ 及び $\omega$ は完全定義（completely specified）関数であるものとする〔33〕。



と書く、

順序機械Mは図2.3のような状態遷移表によって具体的に記述される。すなわち、図2.3は、入力集合 $X = \{ X_1, X_2, \dots, X_v \}$ と状態集合 $Q = \{ q_1, q_2, \dots, q_u \}$ に対して、状態遷移関数 $\delta$ 及び出力関数 $\omega$ を具体的に記したものである。

例として、2進カウンタの論理機能を表わす状態遷移表を図2.4に示す。

図2.4は次のような順序機械 $M_c$ を表現している。

$$M_c = [ X_c, Q_c, Z_c, \delta_c, \omega_c ]$$

ここに、

$$X_c = \{ 0, 1 \}$$

$$Q_c = \{ 1, 2, 3, 4 \}$$

$$Z_c = \{ 0, 1 \}$$

$$\delta_c(0, 1) = \delta_c(0, 4) = 1, \quad \delta_c(0, 2) = \delta_c(0, 3) = 3,$$

$$\delta_c(1, 1) = \delta_c(1, 2) = 2, \quad \delta_c(1, 3) = \delta_c(1, 4) = 4,$$

$$\omega_c(0, 1) = \omega_c(0, 2) = \omega_c(0, 3) = \omega_c(0, 4) = \omega_c(1, 1)$$

$$= \omega_c(1, 2) = 0, \quad \omega_c(1, 3) = \omega_c(1, 4) = 1$$

さて、順序論理仕様として与えられた順序機械Mを実現する順序回路は2値論理素子を用いて構成されるので、入力、内部状態、出力は、それぞれ2値符号ベクトル

$$X = ( x_1, x_2, \dots, x_m )$$

$$Y = ( y_1, y_2, \dots, y_n )$$

$$Z = ( z_1, z_2, \dots, z_l )$$

} (2.6)

で表わされる。ここで、 $x_j (j=1 \sim m)$ を入力変数、 $y_j (j=1 \sim n)$ を状態変数、 $z_j (j=1 \sim l)$ を出力変数と呼ぶ。

通常の論理設計では、順序機械Mの入力及び出力は初めから2値ベクトルとして与えられることが多く、又、そうでない場合でも入力及び出力に対しては自然な方法で容易に2値ベクトルを対応させることができる。\*

\*第3章5節で入力状態割当の方法を述べる。

入力 状態	$X_1$	$X_2$	---	$X_v$
$q_1$	$\delta(X_1, q_1) / \omega(X_1, q_1)$	$\delta(X_2, q_1) / \omega(X_2, q_1)$	---	$\delta(X_v, q_1) / \omega(X_v, q_1)$
$q_2$	$\delta(X_1, q_2) / \omega(X_1, q_2)$	$\delta(X_2, q_2) / \omega(X_2, q_2)$	---	$\delta(X_v, q_2) / \omega(X_v, q_2)$
⋮	⋮	⋮		⋮
$q_u$	$\delta(X_1, q_u) / \omega(X_1, q_u)$	$\delta(X_2, q_u) / \omega(X_2, q_u)$	---	$\delta(X_v, q_u) / \omega(X_v, q_u)$

図 2.3 状態遷移表

入力 状態	0	1
1	1 / 0	2 / 0
2	3 / 0	2 / 0
3	3 / 0	4 / 1
4	1 / 0	4 / 1

図 2.4 2進カウンタの状態遷移表

従って、順序機械Mの入力集合Xは $2^m$ 個の2値ベクトル $\mathbb{X} = (x_1, x_2, \dots, x_m)$ の集合であるとして議論を進めても一般性を失なうことはない。出力集合Zについても同様である。

これに対して、状態集合Qの要素は、一般に、抽象的な記号として与えられる。例えば、図2.4に示された2進カウンタの場合には、入力集合 $X_c$ 及び出力集合 $Z_c$ はそれぞれ一次元2値ベクトルの集合であるのに対して、状態集合 $Q_c$ は4つの異なる状態を表わす抽象的な記号1, 2, 3, 4の集合である。

従って、抽象的な状態を式(2.6)の2値ベクトルで表わすために、状態集合Qからn次元2値ベクトル集合 $B^n$ への適当な写像

$$f : Q \rightarrow B^n \quad (2.7)$$

を定める必要がある。この写像fを状態割当と呼ぶ。

状態割当fを与えると、任意の状態 $q \in Q$ に対して2値ベクトル $\mathbb{Y} = (y_1, y_2, \dots, y_n)$ が対応づけられる。この時、式(2.4)で定められる"次の状態" $q'$ が対応する2値ベクトルを $\mathbb{Y}' = (y_1', y_2', \dots, y_n')$ で表わし、各状態変数 $y_j'$  ( $j=1 \sim n$ )に着目すると、式(2.4)の状態遷移関数は次のようなn個の論理関数によって表わされる[33]。

$$\left. \begin{aligned} y_1' &= \phi_1(x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_n) \\ y_2' &= \phi_2(x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_n) \\ &\vdots \\ y_n' &= \phi_n(x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_n) \end{aligned} \right\} (2.8)$$

ここで、 $y_j'$  ( $j=1 \sim n$ )は状態変数 $y_j$ が次にとろうとする値を表わしている。式(2.8)を状態変数関数と呼ぶ。

同様に、式(2.6)の出力変数 $z_j$  ( $j=1 \sim \ell$ )に着目すると、式(2.5)の出力関数は次のように $\ell$ 個の論理関数で表わされる。

$$\left. \begin{aligned} z_1 &= \lambda_1(x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_n) \\ z_2 &= \lambda_2(x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_n) \\ &\vdots \\ z_\ell &= \lambda_\ell(x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_n) \end{aligned} \right\} (2.9)$$

式(2.9)を出力変数関数と呼ぶ。

式(2.8)及び(2.9)は形式的に次のようなベクトル表現で表わすことができる。

$$Y' = \phi(X, Y) \quad (2.10)$$

$$Z = \lambda(X, Y) \quad (2.11)$$

但し、 $\phi = (\phi_1, \phi_2, \dots, \phi_n)$ ,  $\lambda = (\lambda_1, \lambda_2, \dots, \lambda_\ell)$ 。

図2.5のように式(2.10)及び式(2.11)を具体的に記した表を遷移マトリクスという。すなわち、遷移マトリクスは状態遷移表における状態 $q \in Q$ を、それに対応する2値ベクトル $Y \in B^n$ に置き換えたものである。

例えば、図2.4に示された2進カウンタの状態遷移表の状態1, 2, 3, 4に対してそれぞれ2値ベクトル(00), (10), (11), (01)を対応させて得られる遷移マトリクスを図2.6に示す。

ところで、式(2.8)の状態変数関数及び式(2.9)の出力変数関数は論理関数であるから、これらに対応する適当な組合せ回路[22]を構成し、状態変数 $y_j$  ( $j=1 \sim n$ )に対応する帰還信号線を設ければ、求める非同期式順序回路が得られる。この時、組合せ回路が遅延のない理想的なものと仮定すれば、得られた非同期式順序回路は図2.7に示すモデルで表わすことができる。ここで、 $\Delta_1, \Delta_2, \dots, \Delta_n$ は互いに独立な遅延素子である。

式(2.8)及び式(2.9)は、それぞれ式(2.2)及び式(2.3)の写像関係を表わしているのであるから、図2.7で示される順序回路は式(2.1)の順序機械を正しく実現しているといえることができる。\*言い換えれば、図2.7の順序回路は、順序機械Mが与えられた時、"実現されるべき順序回路"のモデルである。

しかしながら、上述の方針に基づいて実際に"実現された順序回路"は、論理素子や配線の遅延のばらつきのために、必ずしも図2.7のモデルで表わすことができない場合がある。この問題については次節で述べる。

\*「正しく実現する」ということの定義は本章第4節で述べる。

入力 状態	$X_1$	$X_2$	---	$X_v$
$Y_1$	$\psi(x_1, y_1) / \lambda(x_1, y_1)$	$\psi(x_2, y_1) / \lambda(x_2, y_1)$	---	$\psi(x_v, y_1) / \lambda(x_v, y_1)$
$Y_2$	$\psi(x_1, y_2) / \lambda(x_1, y_2)$	$\psi(x_2, y_2) / \lambda(x_2, y_2)$	---	$\psi(x_v, y_2) / \lambda(x_v, y_2)$
⋮	⋮	⋮		⋮
$Y_u$	$\psi(x_1, y_u) / \lambda(x_1, y_u)$	$\psi(x_2, y_u) / \lambda(x_2, y_u)$	---	$\psi(x_v, y_u) / \lambda(x_v, y_u)$

図 2.5 遷移マトリクス

入力 状態	0	1
00	00 / 0	10 / 0
10	11 / 0	10 / 0
11	11 / 0	01 / 1
01	00 / 0	01 / 1

図 2.6 2進カウンタの遷移マトリクス

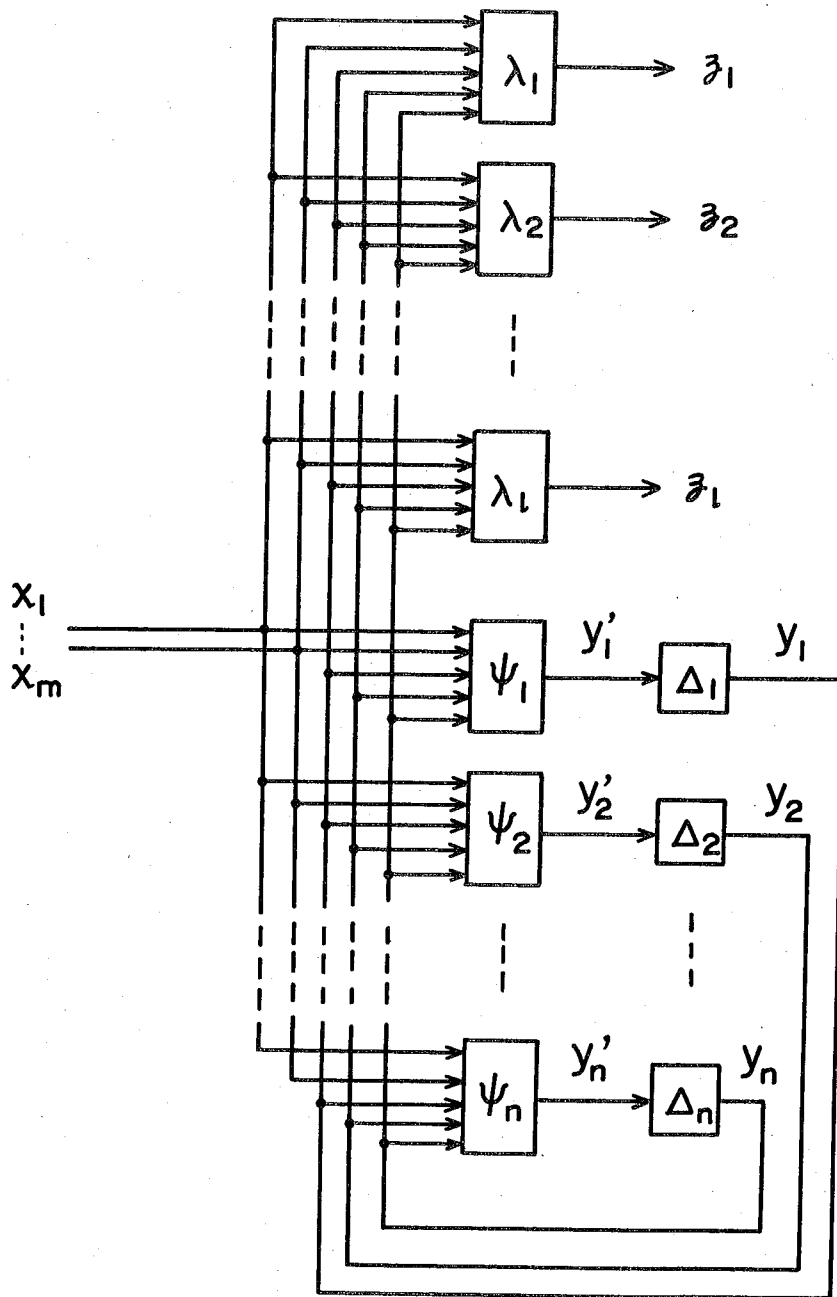


図 2.7 式(2.8), (2.9)に対応する順序回路

以上から，非同期式順序回路の論理合成のための原則的な工程は，次の2段階に分けることができる。

段階1：順序機械Mの状態集合Qに対して状態割当fを求める。

段階2：状態変数関数及び出力変数関数を実現する組合せ回路を構成する。

### 2.3 非同期式順序回路の遅延モデル

前節で述べたように、図 2.7 のモデルは " 実現されるべき順序回路 " のモデルであるが、必ずしも " 実現された順序回路 " をこのモデルによって表現することはできない。本節では、まず、実際に " 実現された順序回路 " において起り得る動作を表わすには図 2.7 のモデルでは不十分であることを一つの例題を用いて示し、それに基づいて、非同期式順序回路における遅延のばらつきが回路動作に与える影響を精密に模擬できる遅延モデルを提示する。

ところで、図 2.7 のモデルにおいて、出力変数関数  $\lambda_1, \lambda_2, \dots, \lambda_\ell$  を実現する組合せ回路の出力  $z_1, z_2, \dots, z_\ell$  は入力側へ帰還されないため、その遅延のばらつき、変動は回路の状態遷移には影響を与えない。すなわち、出力変数関数を実現する論理回路の構成問題は、すでに研究されている組合せ回路のハザードフリー構成問題 [26][37][41] に帰着する。従って、本論文では考察の対象から除外することとし、以下では、式 (2.8) 又は式 (2.10) で表わされる状態変数関数を実現する論理回路についてだけ議論を進めることにする。

さて、前節で述べた 2 進カウンタを再び例題としてとりあげる。図 2.4 に状態遷移表が示され、図 2.6 に遷移マトリクスが示された。図 2.6 の遷移マトリクスにおいて、入力変数を  $x$ 、状態変数を  $y_1, y_2$  とすると、状態変数関数を最簡形で次のように書くことができる。

$$\left. \begin{aligned} y_1' &= \bar{x}y_1 + x\bar{y}_2 \\ y_2' &= \bar{x}y_1 + xy_2 \end{aligned} \right\} (2.12)$$

式 (2.12) をそのまま組合せ回路で実現し、帰還信号線を付加することにより、図 2.8 に示される非同期式順序回路が得られる。

図 2.8 の回路において、 $x=0$ 、 $y_1=1$ 、 $y_2=1$  の状態を考える。この時、図 2.6 の遷移マトリクスに示されるように、入力  $x=0$  の下での現在の状態  $(y_1y_2) = (11)$  に対する次の状態  $(y_1'y_2')$  も同じく  $(11)$  で



あるから、回路は安定状態<sup>\*</sup>にある。

次に、入力  $x$  が  $0 \rightarrow 1$  と変化したものとする。この結果は、理想的には、式(2.12)の状態変数関数、又は図 2.6 の遷移マトリクスによって定められるように、 $(y_1' y_2') = (0 1)$  であるから、次の状態  $(0 1)$  へ状態遷移が行なわれる。すなわち、状態変数  $y_2$  が 1 のままである一方、状態変数  $y_1$  だけが  $1 \rightarrow 0$  と変化するように仕様づけられている。

しかしながら、図 2.8 の回路において、もし AND 論理素子 6 の遅延が他に比べて非常に大きいものと仮定すると、図に示されるように、入力  $x$  の  $0 \rightarrow 1$  変化に対して、状態変数  $y_1$  が  $1 \rightarrow 0$  と変化した結果として、AND 論理素子 6 の  $0 \rightarrow 1$  変化よりも早く AND 論理素子 5 の  $1 \rightarrow 0$  変化が生じる可能性がある。そうすると、状態変数  $y_2$  は、遷移マトリクスの仕様に反して、 $1 \rightarrow 0$  の変化を行ない、さらに、それが AND 論理素子 4 を介して、状態変数  $y_1$  を再度 0 から 1 へ変化させる結果を引き起こす。そして、最終的には、本来遷移するべきはずの状態  $(0 1)$  の代わりに、誤った状態  $(1 0)$  へ到達することになる、すなわち、誤動作が生じたことになる。

一方、同じ動作を図 2.7 のモデルの上で模擬する場合を考える。この場合、入力  $x$  の  $0 \rightarrow 1$  変化に対して、式(2.12)の状態変数関数が理想的な組合せ回路によって瞬間的に計算されるので、状態変数  $y_1$  の  $1 \rightarrow 0$  変化の後、 $x = 1$ 、 $y_1 = 0$ 、 $y_2 = 1$  に対して、 $y_2'$  の値は 1 のまま不変である。すなわち、入力  $x$  の  $0 \rightarrow 1$  変化に対して、遷移マトリクスに定められる通り、状態遷移  $(1 1) \rightarrow (0 1)$  を正しく実行する。言い換えれば、図 2.8 の回路に生ずる可能性のある誤動作を、図 2.7 のモデルでは模擬できないことが分る。

これに対して、図 2.8 の回路の誤動作を忠実に模擬できるモデルを図 2.9 に示す。図 2.9 において、ブロック 1 及びブロック 2 は式(2.12)の状態変数関数を瞬間的に計算する理想的な組合せ回路である。又、ブロック

\* 安定状態の厳密な定義は次節で述べる。

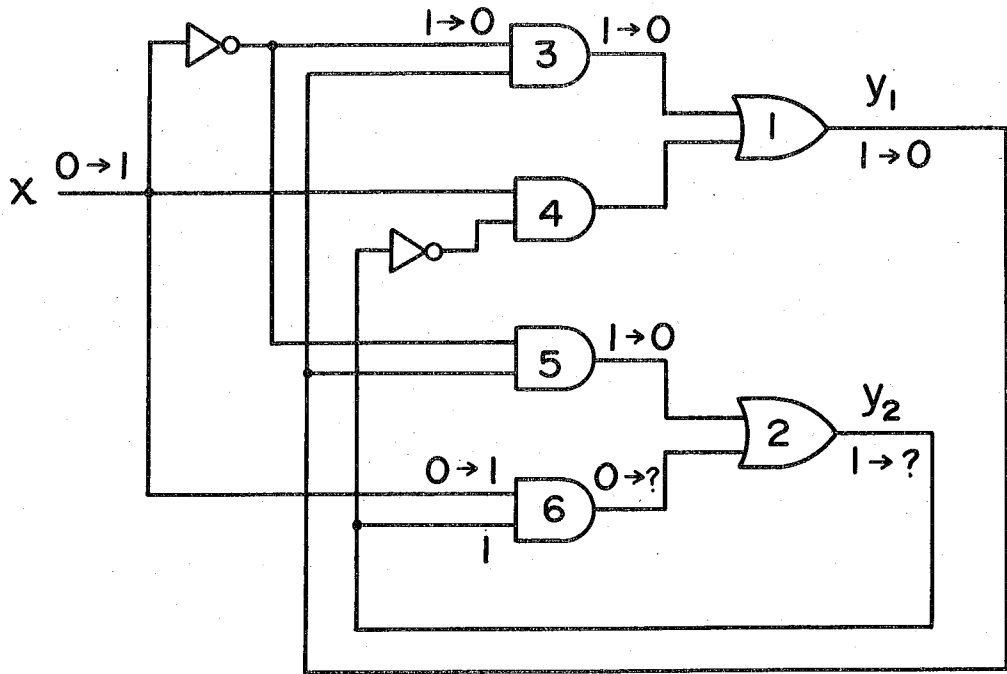


図 2.8 式(2.12)に対応する順序回路

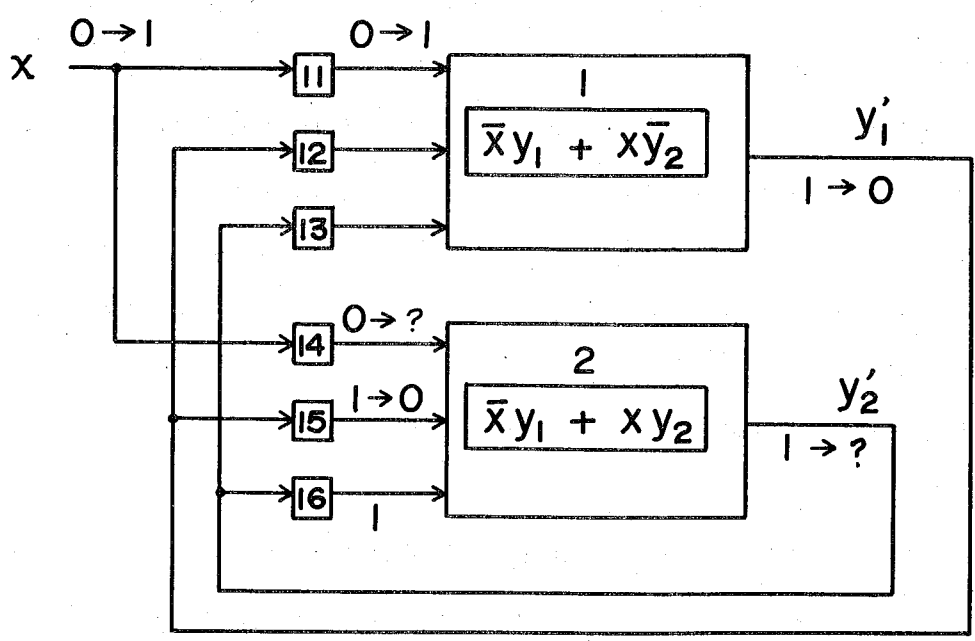


図 2.9 (図 2.8)の回路を模擬するモデル

11, 12, 13, 14, 15, 16 はそれぞれ互いに独立な遅延素子である。

図 2.9 に示されるように、図 2.8 の回路における AND 論理素子 6 の遅延の影響を、図 2.9 のモデルでは遅延素子 14 による信号変化の遅れとして模擬することにより、前に述べた図 2.8 の回路の誤動作は図 2.9 のモデルによって表現され得る。

一般に、組合せ回路は AND-OR 二段構成で静的論理ハザードを含まないように構成できる [41]。従って、状態変数関数を実現する組合せ回路をそのように構成すれば、各状態変数に対応する回路の任意の出力は適当な入力と状態の組合せ  $(X, Y)$  に対して状態変数  $\phi(X, Y)$  の値として計算できる。それゆえ、 $\phi(X, Y)$  を計算する理想的な組合せ回路の入力端に、入力変数及び状態変数に対応した互いに独立な遅延素子を挿入したモデルによって、回路の任意の出力を模擬することができる。

このことを言い換えれば、状態変数関数  $\phi_1, \phi_2, \dots, \phi_n$  を実現する組合せ回路の各論理素子がそれぞれ互いに独立な遅延を持つことは、それらの組合せ回路の各入力端子に互いに独立な遅延素子を挿入することと等価な効果を生ずるといえることができる。

以上の考察から、非同期式順序回路の動作を精密に模擬できる一つの遅延モデルを図 2.10 に示す。

図 2.10 において  $\Psi_\ell$  ( $\ell=1 \sim n$ ) は式 (2.8) の各状態変数関数に対応した遅延のない理想的な組合せ回路 (以下では状態変数回路と呼ぶ) であり、 $\Delta_\ell$  ( $\ell=1 \sim n$ ) 及び  $\Delta_{\ell j}$  ( $\ell=1 \sim n, j=1 \sim m+n$ ) は、それぞれ互いに独立な遅延素子である。状態変数回路の出力側の遅延素子  $\Delta_\ell$  はある意味で冗長であるが、図 2.7 のモデルと対比させるための形式的な便宜上、入力側の遅延素子  $\Delta_{\ell j}$  とは区別して考えることにする。

さて、前節でも述べたように、与えられた状態遷移表 (図 2.3) に対して適当な状態割当  $f$  を定めると遷移マトリクス (図 2.5) が得られるが、その遷移マトリクスに従って "実現されるべき順序回路" のモデルが図 2.7 に示されるモデルである。これに対して、実際に "実現された順序回路"

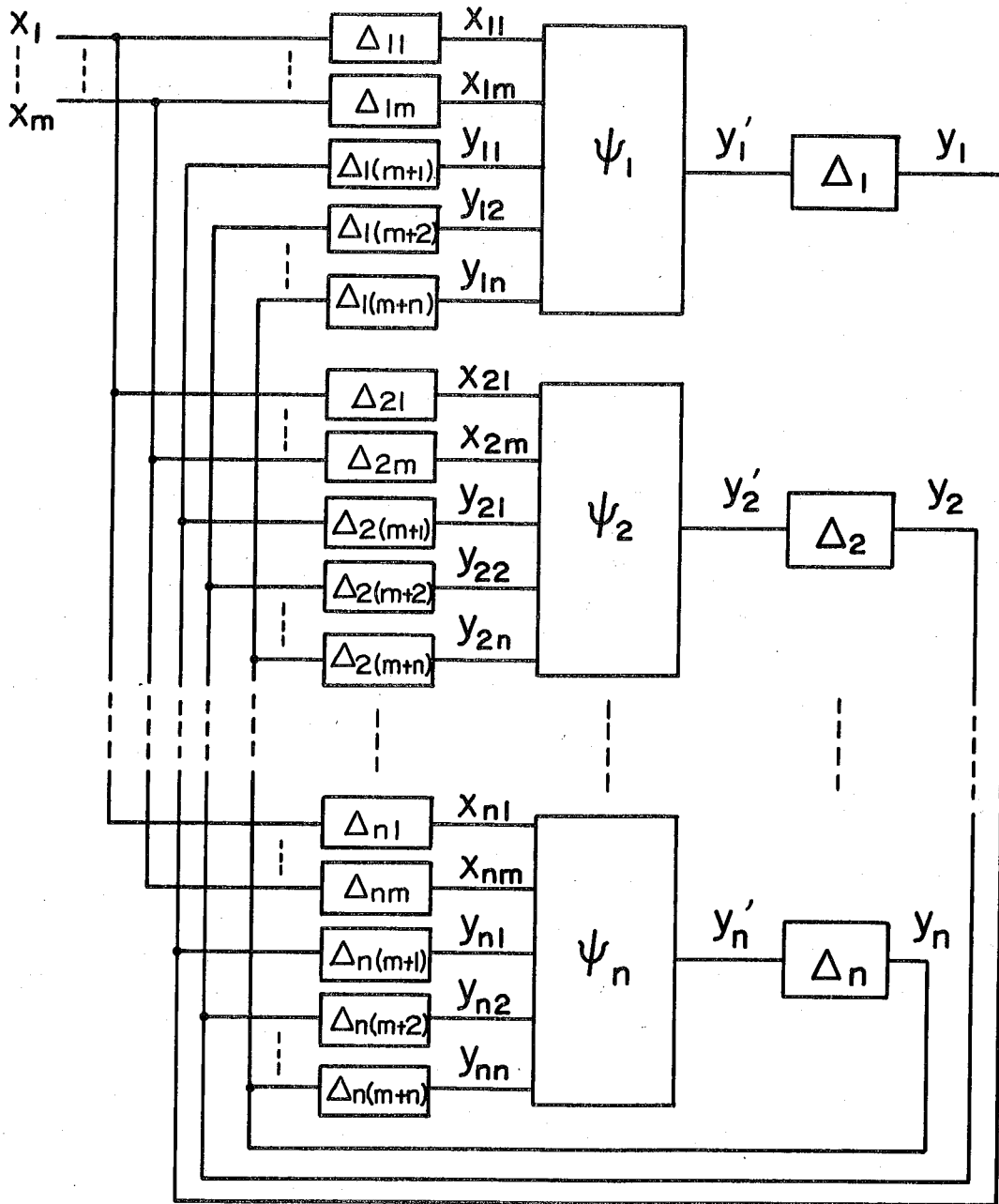


図 2.10 非同同期式順序回路の遅延モデル

の遅延モデルが図 2.10 であるといふことができる。

記述の便宜上，"実現されるべき順序回路（図 2.7）" を回路 M と記すことにし，"実現された順序回路（図 2.10）" を回路 C と記すことにする。

ここで，回路 M 及び回路 C の状態空間を明らかにしておく。前に述べたように，回路 M の入力及び内部状態はそれぞれ 2 値ベクトルで

$$\left. \begin{aligned} \mathbb{X} &= (x_1, x_2, \dots, x_m) \\ \mathbb{Y} &= (y_1, y_2, \dots, y_n) \end{aligned} \right\} \quad (2.13)$$

と表わされる。2 値ベクトル  $\mathbb{X}$  と  $\mathbb{Y}$  を並べた 2 値ベクトル

$$\mathbb{V} = (\mathbb{X}, \mathbb{Y}) = (x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_n) \quad (2.14)$$

を全状態と呼ぶことにする。全状態  $\mathbb{V}$  は入力と内部状態を併せた全体の状態である。

全状態  $\mathbb{V} = (\mathbb{X}, \mathbb{Y})$  を用いると，回路 M の状態変数関数（式（2.8）又は式（2.10））は次のように書くことができる。

$$\mathbb{V}' = (\phi_1(\mathbb{V}), \phi_2(\mathbb{V}), \dots, \phi_n(\mathbb{V})) \quad (2.15)$$

式（2.14）から，回路 M の全状態  $\mathbb{V}$  は  $(m+n)$  次元 2 値ベクトル空間の要素である。この  $(m+n)$  次元 2 値ベクトル空間を  $S_{\mathbb{V}}$  で表わす。

一方，回路 C の全状態は，図 2.10 における遅延素子  $\Delta_\ell$  ( $\ell=1 \sim n$ )，及び  $\Delta_{\ell j}$  ( $\ell=1 \sim n, j=1 \sim m+n$ ) の出力信号を新たに状態変数とし，入力変数  $x_j$  ( $j=1 \sim m$ ) と併せることにより，次のような 2 値ベクトル  $\mathbb{W}$  で表わされる。

$$\mathbb{W} = (V_0, V_1, V_2, \dots, V_n) \quad (2.16)$$

ここに， $V_0 = (\mathbb{X}_0, \mathbb{Y}_0) = (x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_n)$

又， $\ell = 1, 2, \dots, n$  に対して，

$$V_\ell = (\mathbb{X}_\ell, \mathbb{Y}_\ell) = (x_{\ell 1}, x_{\ell 2}, \dots, x_{\ell m}, y_{\ell 1}, y_{\ell 2}, \dots, y_{\ell n})$$

但し， $x_{\ell j}$  ( $j=1 \sim m$ ) は遅延素子  $\Delta_{\ell j}$  ( $j=1 \sim m$ ) の出力信号であり， $y_{\ell h}$  ( $h=1 \sim n$ ) は遅延素子  $\Delta_{\ell(m+h)}$  ( $h=1 \sim n$ ) の出力信号である。

式（2.15），式（2.16）及び図 2.10 から，回路 C の状態変数関数は，

次のように書くことができる。

$$\left. \begin{aligned} Y_0' &= (\phi_1(V_1), \phi_2(V_2), \dots, \phi_n(V_n)) \\ \ell &= 1, 2, \dots, n \text{ に対して,} \\ V_\ell' &= V_0 \end{aligned} \right\} (2.17)$$

式(2.16)から、回路Cの全状態Wは $(m+n) \cdot (n+1)$ 次元2値ベクトル空間の要素である。この $(m+n) \cdot (n+1)$ 次元2値ベクトル空間を $S_W$ で表わすことにする。

本章の以下の節では、回路Mと回路Cの振舞いの相違を詳しく検討することによって、次章以後に述べる論理合成法の基礎的要件を明らかにする。

## 2.4 状態遷移及び定常性ハザードの定式化

本節では、図 2.10 に示された遅延モデルを基礎にして、" 実現された順序回路 " の振舞いを定式化する。

はじめに、以後の記述を簡潔にするため、一つの記法を約束する。

[ 定義 2.1 ]  $p$  次元 2 値ベクトル  $V$  の第  $\ell$  ( $\ell=1 \sim p$ ) 番目の要素を、 $\{V\}_\ell$  で表わす。又、 $p$  次元 2 値ベクトルの集合  $U$  によって張られる  $p$  次元 2 値ベクトルの集合を  $SP(U)$  で表わす。すなわち、

$$SP(U) = \{V \mid V \text{ は } \ell=1 \sim p \text{ に対して次を満たす。}$$

$$\begin{aligned} & U \text{ のすべての要素 } U \text{ に対して } \{U\}_\ell = a \\ & \Rightarrow \{V\}_\ell = a \text{。但し、 } a \in \{0, 1\} \text{。} \end{aligned} \quad (2.18)$$

又、特に、 $p$  次元 2 値ベクトル  $X, Y$  によって張られる集合を、 $SP(X, Y)$  と書く。 ( 定義終 )

例えば、4 次元 2 値ベクトルの集合

$$U = \{ (0000), (1000), (1010) \}$$

に対して、 $SP(U)$  は次のように定められる。

$$SP(U) = \{ (0000), (1000), (0010), (1010) \}$$

さて、Muller と Bartky [ 38 ] が導入した " 二項関係 " の概念を拡張することによって、回路  $M$  と回路  $C$  における状態遷移を厳密に定義する。

[ 定義 2.2 ] 回路  $M$  の全状態  $V^b = (X^b, Y^b)$  が入力  $X^f$  の下で全状態  $V^a = (X^a, Y^a)$  の  $R$  関係にあるとは、 $V^b \in SP(V^a, V^{a'})$  が成り立つことをいい、 $V^a R_M^f V^b$  と書く。

ここに、 $V^{a'} = (X^{a'}, Y^{a'})$  は、

$$\begin{cases} X^{a'} = X^f \\ Y^{a'} = (\phi_1(V^a), \phi_2(V^a), \dots, \phi_n(V^a)) \end{cases}$$

によって定められる全状態である。

又、回路  $C$  の全状態  $W^b = (V_0^b, V_1^b, V_2^b, \dots, V_n^b)$  が入力  $X^f$  の下で全状態  $W^a = (V_0^a, V_1^a, V_2^a, \dots, V_n^a)$  の  $R$  関係にあるとは、

$$W^b \in SP(W^a, W^{a'})$$

が成り立つことをいい、 $W^a R_C^f W^b$  と書く。

ここに、 $W^{a'} = (V_0^{a'}, V_1^{a'}, V_2^{a'}, \dots, V_n^{a'})$  は、

$$\begin{cases} X_0^{a'} = X^f \\ Y_0^{a'} = (\phi_1(V_1^a), \phi_2(V_2^a), \dots, \phi_n(V_n^a)) \\ \ell = 1, 2, \dots, n \text{ に対して} \\ V_\ell^{a'} = V_0^a \end{cases}$$

によって定められる全状態である。

(定義終)

〔定義 2.3〕 回路 M の全状態  $V^b$  が入力  $X^f$  の下で全状態  $V^a$  の F 関係にあるとは、ある全状態列  $V^0, V^1, V^2, \dots, V^\mu$  ( $V^0=V^a, V^\mu=V^b$ ) が存在して、 $t = 1 \sim \mu$  に対して、

$$V^{t-1} R_M^f V^t$$

が成り立つことをいい、 $V^a F_M^f V^b$  と書く。この時、 $V^0, V^1, V^2, \dots, V^\mu$  を  $V^a F_M^f V^b$  を定める全状態列と呼ぶ。

又、回路 C の全状態  $W^b$  が入力  $X^f$  の下で全状態  $W^a$  の F 関係にあるとは、ある全状態列  $W^0, W^1, W^2, \dots, W^\nu$  ( $W^0=W^a, W^\nu=W^b$ ) が存在して、 $t = 1 \sim \nu$  に対して、

$$W^{t-1} R_C^f W^t$$

が成り立つことをいい、 $W^a F_C^f W^b$  と書く。この時、 $W^0, W^1, W^2, \dots, W^\nu$  を、 $W^a F_C^f W^b$  を定める全状態列と呼ぶ。

(定義終)

直観的には、定義 2.2 及び定義 2.3 は、次のような意味を持つ。すなわち、例えば、回路 C において、現在の全状態が  $W^a$  であるとするとき、 $W^a R_C^f W^b$  を満たす全状態  $W^b$  は、入力  $X^f$  への入力変化の下で、次に直接に遷移する可能性のある全状態である。しかし、必ずしも実際に遷移するかどうかは分らない。又、同じく、 $W^a F_C^f W^c$  を満たす全状態  $W^c$  は、入力  $X^f$  への入力変化の下で、現在の全状態  $W^a$  から到達する可能性のある。しかし、必ずしも実際にそこへ到達することは保証されない。

定義 2.2 及び定義 2.3 に関して、次の補題が成り立つ。

〔補題 2.1〕 関係  $F_M^f$  及び関係  $F_C^f$  は、それぞれ、反射的、かつ推移的



である。

(補題終)

(証明) 定義 2.3 から明らかに, 任意の  $V^a$  に対して,  $V^a F_M^f V^a$ 。

又, 任意の  $V^a, V^b, V^c$  に対して,

$$V^a F_M^f V^b \text{ かつ } V^b F_M^f V^c \text{ ならば, } V^a F_M^f V^c。$$

さらに, 関係  $F_C^f$  についても同様。

(証明終)

[補題 2.2]  $W_0^a = (V_0^a, V_0^a, \dots, V_0^a), W_0^b = (V_0^b, V_0^b, \dots, V_0^b)$  に対して, 次が成り立つ。

$$V_0^a F_M^f V_0^b \Rightarrow W_0^a F_C^f W_0^b \quad (\text{補題終})$$

(証明)  $V_0^a F_M^f V_0^b$  を定める全状態列を  $V^0, V^1, V^2, \dots, V^\mu$  とすると,  $t = 0 \sim \mu$  に対して,  $W^t = (V^t, V^t, \dots, V^t)$  なる回路 C の全状態が存在する。

しかるに,  $t = 1 \sim \mu$  に対して,

$$V^{t-1} R_M^f V^t$$

であるから,

$$W^{t-1} F_C^f W^t$$

が成り立つ。従って, 補題 2.1 から

$$W_0^a F_M^f W_0^b$$

が成り立つ。

(証明終)

以上では, 回路 M の状態遷移を規定する F 関係を回路 M の状態空間  $S_V$  の上で定義し, 回路 C の状態遷移を規定する F 関係を回路 C の状態空間  $S_W$  の上で定義した。しかしながら, 論理設計に際して設計者が知ることができるのは, 実現すべき論理仕様である回路 M だけであり, 実際に実現された回路 C の振舞いを事前に知ることはできない。従って, 回路 C の動作を知るためには, 回路 C に起り得る状態遷移を回路 M の状態空間  $S_V$  の上で記述する必要がある。言い換えれば, 回路 C の状態遷移を規定する F 関係を回路 M の状態空間  $S_V$  の上で定義しなければならない。

次にこれを行なう。

[定義 2.4] 回路 M の全状態  $V^b$  が入力  $X^f$  の下で回路 C に関して全状態  $V^a$  の F 関係にあるとは, 回路 C において全状態  $W_0^a = (V_0^a, V_0^a, V_0^a, \dots,$

$V_0^a$ )と全状態  $W^b = (V_0^b, V_1^b, V_2^b, \dots, V_n^b)$  が存在して,

$$V_0^a = V^a, V_0^b = V^b \text{ かつ } W_0^a F_c^f W^b$$

が成り立つことをいい,  $V^a \tilde{F}_c^f V^b$  と書く。この時,  $W_0^a F_c^f W^b$  を定める全状態列を  $W^0, W^1, W^2, \dots, W^r$  とし,  $t = 0 \sim r$  に対して,

$$W^t = (V_0^t, V_1^t, V_2^t, \dots, V_n^t)$$

とすると,  $V_0^0, V_0^1, V_0^2, \dots, V_0^r$  を,  $V^a \tilde{F}_c^f V^b$  を定める全状態列と呼ぶ。

(定義終)

定義 2.4 に関して, 次の補題が成り立つ。

[補題 2.3] 関係  $\tilde{F}_c^f$  は反射的かつ推移的である。 (補題終)

(証明) 反射的であることは補題 2.1 から明らか。

又, 一般に,  $W^b = (V_0^b, V_1^b, V_2^b, \dots, V_n^b)$  と  $W_0^b = (V_0^b, V_0^b, \dots, V_0^b)$  に対して,  $W^b F_c^f W_0^b$  が成り立つ。ゆえに

$$V^a \tilde{F}_c^f V^b \text{ かつ } V^b \tilde{F}_c^f V^c \Rightarrow V^a \tilde{F}_c^f V^c \quad (\text{証明終})$$

[補題 2.4] 任意の  $V^a, V^b \in S_V$  に対して, 次が成り立つ。

$$V^a F_M^f V^b \Rightarrow V^a \tilde{F}_c^f V^b \quad (\text{補題終})$$

(証明)  $W^a = (V^a, V^a, \dots, V^a)$  及び  $W^b = (V^b, V^b, \dots, V^b)$  なる全状態  $W^a, W^b \in S_W$  が存在することから明らかである。 (証明終)

次に, 非同期式順序回路の動作に関する最も重要な概念の一つである最終状態類を定義する。

[定義 2.5] 回路 M の状態集合の部分集合 E が次の①及び②を共に満足する極大集合のとき, E は回路 C に関する入力  $X^f$  の下での最終状態類であるという。

$$\textcircled{1} \quad \forall V^a, \forall V^b \in E \Rightarrow V^a \tilde{F}_c^f V^b \text{ かつ } V^b \tilde{F}_c^f V^a$$

$$\textcircled{2} \quad \ell = 1, 2, \dots, m+n \text{ に対して,}$$

$$\begin{aligned} & \forall V^a \in E, \{V^{a'}\}_\ell \neq \{V^a\}_\ell \\ & \Rightarrow \exists V^b, \exists V^c \in E, \{V^b\}_\ell \neq \{V^c\}_\ell. \end{aligned}$$

但し,  $V^{a'}$  は定義 2.2 に定められた  $V^{a'}$  を表わす。

又, 回路 M に関する入力  $X^f$  の下での最終状態類も関係  $F_M^f$  を用いて全

く同様に定義される。

(定義終)

最終状態類の物理的な意味は、非同期式順序回路がある入力の下で状態遷移を起した結果、最終的に到達して、次の入力変化がない限りそこにとどまる可能性のある状態の集まりである。

次の補題が成り立つ。

[補題 2.5] 回路 C に関する入力  $X^f$  の下での任意の異なる最終状態類  $E^\alpha, E^\beta$  に対して、

$$E^\alpha \cap E^\beta = \phi$$

である。又、回路 M に関しても同様のことが成り立つ。(補題終)

(証明) 定義 2.5 から明らか。

(証明終)

定義 2.5 によって、回路 M と回路 C のそれぞれに関する最終状態類が別々に定義されたが、これまでの議論から、これらの最終状態類の間には、次のような関係がある。

[定理 2.1] 回路 M に関する入力  $X^f$  の下での任意の最終状態類  $E_M$  に対して、回路 C に関する入力  $X^f$  の下でのただ一つの最終状態類  $E_C$  が存在して、

$$E_M \subseteq E_C$$

である。\*特に、 $E_M$  がただ一つの状態  $V^s$  から成る時は、

$$E_M = E_C = \{V^s\}$$

である。

(定理終)

(証明) 前半: 任意の  $E_M$  は、補題 2.4 から、少なくとも一つの  $E_C$  の部分集合であり、補題 2.5 から、そのような  $E_C$  はただ一つである。

後半:  $E_M = \{V^s\}$  ならば、定義 2.5 から、 $V^s F_M^f V^a$  なる  $V^a$  は存在しない。従って、 $W^s = (V^s, V^s, \dots, V^s)$  に対して、 $W^s F_C^f W^a$  なる  $W^a \in S_W$  は存在しない。ゆえに、 $V^s \tilde{F}_C^f V^a$  なる  $V^a \in S_V$  は存在しない。従って、本定理の前半から、

\*回路 M の最終状態類を一つも含まない回路 C の最終状態類も存在する。

$$E_c = \{V^s\}$$

である。

(証明終)

定理 2.1 の後半によって定められる全状態  $V^s$  を入力  $X^f$  の下での安定状態と呼ぶ。又、入力  $X^f$  の下での最終状態類が 2 個以上の全状態から成る時、それらの全状態を入力  $X^f$  の下での発振状態\*と呼ぶ。

定理 2.1 から、回路 M と回路 C の間で、安定状態は一対一に対応するが、回路 C には回路 M に存在しない発振状態があることが分る。

定理 2.1 の例を図 2.11 に示す。同図(a)は遷移マトリクスであり回路 M で表わされる。回路 M における安定状態を表わす部分は○印で囲まれている。すなわち、回路 M では入力  $X^f$  の下での最終状態類は、2 個の安定状態

$$(X^f, 010)$$

$$(X^f, 111)$$

として存在するだけである。これに対して、回路 C には、同図(b)に示されるように、最終状態類として、上記 2 つの安定状態の他に、

$$\{(X^f, 000), (X^f, 100), (X^f, 101), (X^f, 001)\}$$

が存在する。これは、図において破線で囲まれる部分の発振状態であり、最終的にこの破線内にとどまる可能性がある。

さて、以上の考察に基づいて、回路 C が " 誤った状態 " へ遷移する可能性に関する概念を定義する。

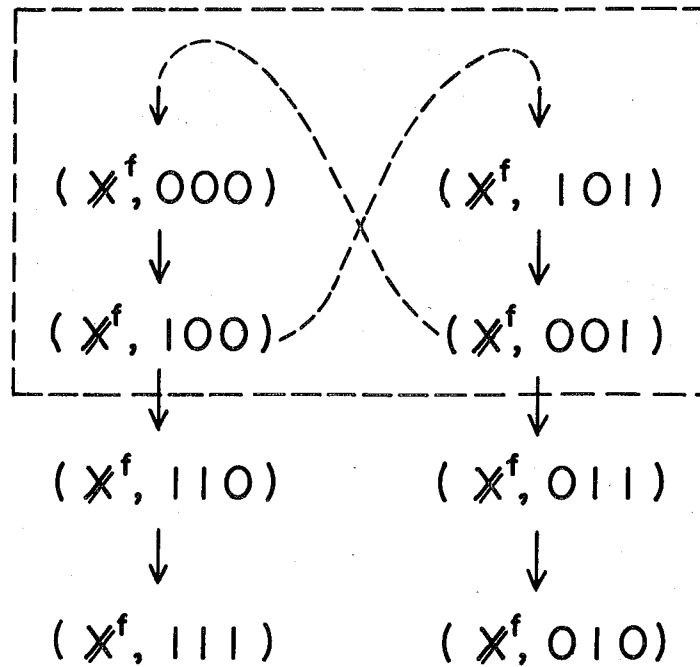
[ 定義 2.6 ] 回路 C において、次の①又は②が成立しない時、安定状態  $V^i$  から入力  $X^f$  への入力変化の下で、定常性ハザードが存在するという。

- ① 入力  $X^f$  の下での回路 C に関する任意の最終状態類  $E_c$  と全状態  $V^a$  に対して、 $V^i \tilde{F}_c^f V^a, V^a \in E_c$  であるならば、入力  $X^f$  の下での回路 M に関するある最終状態類  $E_M$  と全状態  $V^b$  が存在して、 $V^a \tilde{F}_c^f V^b$  かつ  $V^b \in E_M \subseteq E_c$  である。

\* ここで述べる発振状態は個々の全状態  $V \in S_V$  を指す。

	$X^i$	$X^f$
000	000	100
100	100	110
010	010	010
110	110	111
001	001	011
101	101	001
011	011	010
111	111	111

(a) 遷移マトリクス (回路 M)



(b) 回路 C の状態遷移

図 2.11 最終状態類の例

② 入力  $X^f$  の下での回路  $M$  に関する任意の最終状態類  $E_M'$  と全状態  $V^c$  に対して,  $V^i \tilde{F}_c^f V^c, V^c \in E_M'$  であるならば,  $E_M' = E_M$  である。

(定義終)

定義 2.6 の①は, 回路  $M$  に関する最終状態類に必ず到達するための条件であり, ②は, ただ一つの最終状態類に到達するための条件である。

回路  $C$  に定常性ハザードが存在することの実際的な意味は, 実現された非同期式順序回路に誤動作を起こす可能性があるということである。

従って, 本論文における論理合成の目的は, 定常性ハザードのない非同期式順序回路を実現することである。

## 2.5 定常性ハザードの存在条件と判定手順

本節では、前節で定義した定常性ハザードの存在条件を導き、それを用いて、"実現された順序回路"に定常性ハザードが存在するかどうかを判定する手順を与える。

[補題 2.6] 状態空間  $S_V$  において、 $V^i \widetilde{F}_C^f V^a$  を定める全状態列  $V^0, V^1, V^2, \dots, V^r$  ( $V^0 = V^i, V^r = V^a$ ) が与えられた時、次の (i), (ii) によって定められる状態空間  $S_W$  の全状態  $W^a = (V_0^a, V_1^a, V_2^a, \dots, V_n^a)$  に対して  $W^i F_C^f W^a$  である。ここに、 $W^i = (V^i, V^i, V^i, \dots, V^i)$  である。

$$(i) \quad V_0^a = V^r \quad (2.19)$$

(ii)  $\ell = 1, 2, \dots, n$  に対して、

$$V_\ell^a \in SP(V^{k_\ell-1}, V^{k_\ell}, V^{k_\ell+1}, \dots, V^r) \quad (2.20)$$

ここに、 $V^{k_\ell-1}, V^{k_\ell}, V^{k_\ell+1}, \dots, V^r$  は、 $V^0, V^1, V^2, \dots, V^r$  の部分列で、

$$\{V^{k_\ell-1}\}_{m+\ell} \cong \{V^{k_\ell}\}_{m+\ell} = \{V^{k_\ell+1}\}_{m+\ell} = \dots = \{V^r\}_{m+\ell}$$

を満足する。但し、 $V^{k_\ell} = V^0$  の時は  $V^{k_\ell-1} = V^0$  とする。(補題終)

(証明)  $\ell = 1, 2, \dots, n$  に対して、明らかに  $V^{k_\ell}$  は一意に定まる。そこで、与えられた全状態列  $V^0, V^1, V^2, \dots, V^r$  から、次の (i), (ii) の規則に従って、状態空間  $S_W$  の全状態列  $W^0, W^1, W^2, \dots, W^r$  を構成できる。

$$(i) \quad W^0 = (V^0, V^0, V^0, \dots, V^0) = W^i \quad (2.21)$$

(ii)  $t = 1, 2, \dots, r$  に対して、

$$W^t = (V_0^t, V_1^t, V_2^t, \dots, V_n^t) \quad (2.22)$$

ここに、 $V_\ell^t$  ( $\ell = 0 \sim n$ ) は、次の (1), (2), (3), (4) の手順によって定まる。

$$(1) \quad \ell = 0 \Rightarrow V_\ell^t = V^t \quad (2.23)$$

(2)  $V_\ell^{t-1} = V_\ell^a$  又は

$$V_\ell^a \in SP(V^{k_\ell-1}, V^t) \Rightarrow V_\ell^t = V_\ell^a \quad (2.24)$$

$$(3) \quad V_\ell^{t-1} = V^{k_\ell-1} \Rightarrow V_\ell^t = V^{k_\ell-1} \quad (2.25)$$

$$(4) \quad \text{その他の } \ell \Rightarrow V_\ell^t = V^t \quad (2.26)$$

上記、(i), (ii) の規則に従う全状態列  $W^0, W^1, W^2, \dots, W^r$  では、式(2.17),

定義 2.2 及び 2.3 から,  $t = 1, 2, \dots, r$  に対して,

$$W^{t-1} F_c^f W^t$$

である。しかも, 式(2.19) 及び(2.20) から,

$$W^r = (V_0^a, V_1^a, V_2^a, \dots, V_n^a) = W^a$$

である。従って, 補題 2.1 から,

$$W^i F_c^f W^a$$

である。

(証明終)

補題 2.6 は, 状態空間  $S_V$  において,  $V^i \widetilde{F}_c^f V^a$  なる関係が与えられた時, 回路  $C$  が状態空間  $S_W$  においてとり得る全状態  $W^a$  を定めている。

(補題 2.7)  $V^i \widetilde{F}_c^f V^a$  を満たすある全状態  $V^a$  に対して,  $V^i \widetilde{F}_c^f V^a$  を定めるある全状態列  $V^0, V^1, V^2, \dots, V^r$  ( $V^0 = V^i, V^r = V^a$ ) が存在して,

$V^b \in \text{ESP}(V^0, V^1, V^2, \dots, V^r)$  である。

$$\iff V^i \widetilde{F}_c^f V^b$$

(補題終)

(証明)  $\implies$  : 状態変数  $y_\ell$  ( $\ell = 1 \sim n$ ) の添字  $\ell$  に関して, 次の集合を定義できる。

$$\alpha = \{ \ell \mid \{V^b\}_{m+\ell} = \{V^r\}_{m+\ell}, \ell \in \{1, 2, \dots, n\} \} \quad (2.27)$$

$$\beta = \{ \ell \mid \{V^b\}_{m+\ell} \neq \{V^r\}_{m+\ell}, \ell \in \{1, 2, \dots, n\} \} \quad (2.28)$$

又,  $\ell = 1, 2, \dots, n$  に対して,

$$\{V^{k_{\ell-1}}\}_{m+\ell} \neq \{V^{k_\ell}\}_{m+\ell} = \{V^{k_{\ell+1}}\}_{m+\ell} = \dots = \{V^r\}_{m+\ell}$$

を満たす全状態列  $V^0, V^1, V^2, \dots, V^r$  の部分列  $V^{k_{\ell-1}}, V^{k_\ell}, V^{k_{\ell+1}}, \dots, V^r$  が一意的に定められる。この時, 式(2.29), (2.30) で定められる全状態

$$W^t = (V_0^t, V_1^t, V_2^t, \dots, V_n^t)$$

に対して, 補題 2.6 から,  $W^i F_c^f W^t$  である。

$$V_0^t = V^r \quad (2.29)$$

$$V_\ell^t = \begin{cases} V^{k_\ell} & (\ell \in \alpha \text{ の場合}) \\ V^{k_{\ell-1}} & (\ell \in \beta \text{ の場合}) \end{cases} \quad (2.30)$$



ところで、 $V^{k\ell}$  ( $\ell=1\sim n$ ) を、

$$V^0 < V^1 < V^2 < \dots < V^r$$

なる順序関係に従って、次のように並べることができる。

$$V^{k\ell_1} \leq V^{k\ell_2} \leq \dots \leq V^{k\ell_n} \quad (2.31)$$

但し、 $\ell_1, \ell_2, \dots, \ell_n$  は集合  $\{1, 2, \dots, n\}$  の要素である。

この時、式(2.31)に対応して次のような全状態列  $W^{t+1}, W^{t+2}, \dots, W^{t+n}$  をつくることことができる。

$j = 1, 2, \dots, n$  に対して、

$$W^{t+j} = (V_0^{t+j}, V_1^{t+j}, V_2^{t+j}, \dots, V_n^{t+j}) \quad (2.32)$$

ここに、

$$V_0^{t+j} = \begin{cases} V_0^{t+j-1} & (\ell_j \in \alpha \text{ の場合}) \\ V_0^{t+j-1} & (\ell_j \in \beta \text{ の場合})^* \end{cases} \quad (2.33)$$

$$V_\ell^{t+j} = \begin{cases} V^b & (\ell = \ell_j \text{ の場合}) \\ V_\ell^{t+j-1} & (\ell \neq \ell_j \text{ の場合}) \end{cases} \quad (2.34)$$

しかるに、式(2.31)から、

$$V^b \in SP(V_{\ell_j}^{t+j-1}, V_0^{t+j-1}) \quad (2.35)$$

又、式(2.27), (2.28)から、

$$\begin{aligned} \phi_{\ell_j}(V^b) &= \{ V_0^{t+j-1} \}_{m+\ell_j} & (\ell_j \in \alpha \text{ の場合}) \\ &\neq \{ V_0^{t+j-1} \}_{m+\ell_j} & (\ell_j \in \beta \text{ の場合}) \end{aligned} \quad (2.36)$$

従って、式(2.35), (2.36)及び補題 2.6 から

$j = 1, 2, \dots, n$  に対して、

$$W^{t+j-1} F_c^f W^{t+j}$$

一方、式(2.33), (2.34)から、

$$W^{t+n} = (V^b, V^b, \dots, V^b) = W^b$$

結局、補題 2.1 から、 $W^i F_c^f W^b$ 。

すなわち、 $V^i \tilde{F}_c^f V^b$ 。

\*  $V_0^{t+j-1} \{ \}_{m+\ell_j}$  は、第  $(m+\ell_j)$  要素だけ  $V_0^{t+j-1}$  と異なる全状態を表わす。

$\Leftarrow$ :  $V^i \tilde{F}_c^f V^b$ ならば,  $V^i \tilde{F}_c^f V^b$ を定める全状態列  $V^0, V^1, V^2, \dots, V^r$ に対して, 明らかに,  $V^b \in SP(V^0, V^1, V^2, \dots, V^r)$ である。 (証明終)

補題 2.7 を用いると, 回路  $C$  において, 入力  $X^f$  への入力変化の下で安定状態  $V^i$  から "到達する可能性のある全状態" の集合を求めることができる。

[定義 2.7] 次の①, ②, ③によって定められる集合  $T^f(V^i)$  を, 安定状態  $V^i$  から入力  $X^f$  への入力変化の下での遷移集合と呼ぶ。

①  $H^0 = \{ V^i \}$

②  $p = 1, 2, \dots$  に対して,

$$H^p = SP(D^p)$$

$$\text{ここに, } D^p = \{ V^d \mid \exists V^a \in H^{p-1}, V^a R_M^f V^d \}$$

③  $H^p = H^{p+1}$  ならば,  $T^f(V^i) = H^p$  (定義終)

[補題 2.8]  $\forall V^i, \forall X^f$  に対して,

$$\forall V^t \in T^f(V^i) \iff V^i \tilde{F}_c^f V^t \quad (\text{補題終})$$

(証明) 補題 2.7 及び定義 2.7 より明らか。

さて, 以上の考察から, 定常性ハザードの存在条件として, 次の定理が得られる。

[定理 2.2] 回路  $C$  において, 安定状態  $V^i$  から入力  $X^f$  への入力変化の下で, 定常性ハザードが存在するための必要十分条件は, 遷移集合  $T^f(V^i)$  が回路  $C$  に関する最終状態類を 2 個以上含むか, 又は, 回路  $M$  に関する最終状態類を 2 個以上含むことである。

(証明) 必要性: 条件が成り立たないとすると, 定理 1, 補題 8 から, 遷移集合  $T^f(V^i)$  が回路  $C$  に関するただ一つの最終状態類  $E_c$  と, 回路  $M$  に関するただ一つの最終状態類  $E_M$  を含み,

$$E_M \subseteq E_c \subseteq T^f(V^i)$$

が成り立つ。従って, 定義 2.5 及び 2.6 から, 定常性ハザードは存在しない。

十分性: 遷移集合  $T^f(V^i)$  が回路  $C$  に関する最終状態類を 2 個以上含むな

らば，補題 2.5，補題 2.8 から，定義 2.6 の①又は②が成立しない。

一方， $T^f(V^i)$ が回路 M に関する最終状態類を 2 個以上含むならば，補題 2.8 から，定義 2.6 の②が成立しない。 (証明終)

定理 2 を用いると，実際に実現された非同期式順序回路 (回路 C) における定常性ハザードの存否を，論理設計段階の遷移マトリクス (回路 M) 上で判定できる。その判定手順を次に示す。

[定常性ハザードの判定手順]

- (1) すべての安定状態  $V^i$  とすべての入力  $X^f$  に対して，(2)～(4)を行なう。
- (2) 定義 2.5 を用いて，回路 M 及び回路 C に関する入力  $X^f$  の下ですべての最終状態類を求める。
- (3) 定義 2.7 を用いて，遷移集合  $T^f(V^i)$  を求める。
- (4) 定理 2.2 を用いて判定する。

ここで，組合せ回路における動的ハザード [27] [60] と定常性ハザードとの関係に触れておく。

一般に，図 2.5 の遷移マトリクスから得られる式 (2.15) の状態変数関数に従って静的ハザードのない状態変数回路を実現し，帰還信号線を付加して得られる非同期式順序回路は，配線にも遅延が存在する場合，回路 C のモデルに対応する。この時，補題 2.7 から，次の定理が成り立つ。

[定理 2.3] 配線に遅延のある非同期式順序回路では，各状態変数回路における動的ハザードの存在は定常性ハザードの存在とは独立である。

(定理終)

さて，本章におけるこれまでの議論は，論理素子のほかに配線にも遅延が存在することを前提としてきたが，実際には，配線の遅延を論理素子の遅延に比べて無視できる場合がある。そのような場合には，"実現された順序回路" のモデルは，必ずしも回路 C で考える必要がなく，回路 M で考えれば十分な場合がある。この時，定理 2.2 から次の系が得られる。

[定理 2.2 の系 1] 回路 M において，安定状態  $V^i$  に対する入力  $X^f$  へ

の入力変化の下で定常性ハザードが存在するための必要十分条件は、次の①，②，③で定義される集合  $T_M$  が回路  $M$  に関する最終状態類を 2 個以上含むことである。

$$\textcircled{1} \quad H^0 = \{V^i\}$$

$$\textcircled{2} \quad p = 1, 2, \dots \text{ に対して}$$

$$H^p = \{V^h \mid V^a \in H^{p-1}, V^a R_M^f V^h\}$$

$$\textcircled{3} \quad H^p = H^{p+1} \text{ ならば, } T_M = H^p \quad (\text{系終})$$

特に，単一入力変化〔33〕だけを考えると次の系を得る。

〔定理 2.2 の系 2〕回路  $M$  において，任意の安定状態から任意の単一入力変化の下で定常性ハザードの存在しない必要十分条件は，回路  $M$  にクリティカル競合条件 (critical race condition〔27〕) が存在しないことである。 (系終)

以上，本章では非同期式順序回路における遅延のばらつきが回路動作に与える影響の解析を行った。本章で行なった考察の結果を整理すると次のようにいうことができる。すなわち，定常性ハザードのない非同期式順序回路を実現するための論理設計の要件は，次の 2 点である。

- (1) クリティカル競合のない状態割当を行なうこと。
- (2) 遅延モデルが回路  $M$  (図 2.7) で表わされるように状態変数回路を構成すること。

次の第 3 章において上記要件(1)を満たす状態割当法，第 4 章において上記要件(2)を満たす回路構成法について，それぞれ論じる。

### 第3章 非同期式順序回路の万能状態割当

与えられた状態遷移表に対して適当な状態割当を定めると遷移マトリクスが得られる。遷移マトリクスから状態変数関数を導き、これを帰還信号線の付加された状態変数回路として実現すると非同期式順序回路が得られる。

前章での議論から、この時実現された非同期式順序回路が回路Mでモデル化されると考え得る場合には、クリティカル競合条件が存在しないことが、回路に定常性ハザードが存在しないための必要かつ十分な条件である。

クリティカル競合条件は遷移マトリクスに存在する条件である。言い換えれば、それが存在するかどうかは状態割当の定め方に依存する。

これまで、クリティカル競合を回避する状態割当法に関する研究が数多くなされている〔27〕〔33〕。それらの内で、STT (Single Transition Time) 状態割当〔27〕〔47〕〔48〕は、

- (i) 構成された回路の状態遷移に要する時間が最小である〔27〕、
- (ii) 第4章で述べるように、回路Cの場合に除去しなければならない定常性ハザードの種類が明確である、

ということから、最も重要な状態割当の一つである。

しかし、残念ながら、STT状態割当を求める手順は必ずしも簡単ではなく、膨大な計算の手間を要する〔57〕ので、実用的には大規模な回路に対してほとんど適用不可能である。

一方、万能STT状態割当とは、任意のNに対して、内部状態数Nの任意の状態遷移表に適用することのできるSTT状態割当である〔51〕。これは、状態割当に冗長性を持たせることによって、それを求める計算の手間を不要にするというのがその基本的な考え方である。

従って、万能STT状態割当は、冗長性最小化を目的とするTraceyの方法〔48〕に従って得られるSTT状態割当に比べて符号語長(必要な状態変数の個数)は長くなるが、状態遷移表の特性に依存しないため、計算

の手間は不要であり，大規模な論理回路や複雑な状態遷移を行なう順序回路の論理設計には特に有用になる。

本章では，前章で考察した論理設計の第一の要件を満たすため，クリティカル競合のない状態割当として，計算の手間がかからず，しかも従来の方法〔51〕〔52〕に比べて大幅に符号冗長度（内部状態数に対する符号語長の割合）を改善できる万能S T T状態割当の組織的構成法とその応用について述べる。

### 3.1 競合のない内部状態割当の条件

本論文で考察する非同期式順序回路では，安定状態間の状態遷移，及び安定状態における出力だけが意味を持つものとする。従って，本章では，論理合成の対象とする式（2.1）の順序機械Mは次の性質(i)(ii)を満足するものと仮定する。

性質：任意の入力  $X \in X$  及び状態  $q \in Q$  に対して，

$$(i) \quad \delta(X, \delta(X, q)) = \delta(X, q) \quad (3.1)$$

$$(ii) \quad \omega(X, \delta(X, q)) = \omega(X, q) \quad (3.2)$$

一般に，安定状態間の状態遷移及び安定状態における出力だけに着目すれば，任意の状態遷移表を上記性質を満足するよう変換することができる〔27〕。それゆえ，上のように仮定しても議論の一般性を失うことはない。

上記性質の(i)を満たす状態遷移表を正規な状態遷移表と呼ぶ。図3.1に正規な状態遷移表の例を示す。図3.1において，安定状態は○印で囲んで示してある。又，前章第3節で述べたのと同様な理由で，出力は省略されている。

以下に，いくつかの用語と記法の約束をしておく。

状態遷移表における任意の状態（行） $i \in Q$  に対して1個の2値符号ベクトル  $Y_i = (y_1, y_2, \dots, y_n)$  を対応させる規則を単一符号状態割当と呼ぶ。ここに， $y_\alpha$  ( $\alpha=1 \sim n$ ) は状態変数である。状態集合Qの要素数をNとすると，単一符号状態割当は各状態  $i$  に対応する符号ベクトル  $Y_i$  を行ベクトル

ルとする  $N$  行  $n$  列の 2 値符号行列  $A$  で表わされる。従って、本章では単一符号状態割当と  $N$  行  $n$  列符号行列  $A$  とを同義語として用いることにする。すなわち、符号行列  $A$  の各行は状態と、各列は状態変数と、それぞれ同一視する。又、 $A$  は一つの符号 [29] [30] を表わすので、状態変数  $y_1, y_2, \dots, y_n$  の個数  $n$  を  $A$  の符号語長と呼ぶことにする。

図 3.2 に、単一符号状態割当の例を示す。これは図 3.1 の状態遷移表に適用される状態割当であり、5 行 3 列の符号行列である。その第 1 行から第 5 行までの符号 (行) ベクトルが、それぞれ状態遷移表の状態 1 から状態 5 までに対応しており、その符号語長は 3 である。すなわち、

$$\begin{aligned} Y_1 &= (000), Y_2 = (011), Y_3 = (110), Y_4 = (100) \\ Y_5 &= (101) \end{aligned}$$

である。

次に、符号ベクトル  $Y_i, Y_j, \dots$  の第  $\alpha$  成分 ( $\alpha = 1 \sim n$ ) の値が  $a$  であり、かつ符号ベクトル  $Y_k, Y_\ell, \dots$  の第  $\alpha$  成分の値が  $\bar{a}$  である時、状態変数  $y_\alpha$  は  $(Y_i, Y_j, \dots | Y_k, Y_\ell, \dots)$  を分離すると称することにする。但し、 $a$  は 0 又は 1 を表わす。

例えば、図 3.2 の状態割当の場合には、状態変数  $y_1$  は  $(Y_1, Y_2 | Y_3, Y_4)$  を分離するが、状態変数  $y_2$  及び  $y_3$  は  $(Y_1, Y_2 | Y_3, Y_4)$  を分離しないという。

符号行列  $A$  の任意の異なる 4 行  $i, j, k, \ell$  に対応する符号ベクトル  $Y_i, Y_j, Y_k, Y_\ell$  をそれぞれ第 1, 2, 3, 4 行とする 4 行  $n$  列符号行列を、 $A(i, j, k, \ell)$  と記すことにする。

例えば、図 3.2 の符号行列を  $A$  とすると、

$$A(1, 2, 3, 5) = \begin{pmatrix} 0 & 0 & 0 \\ 0 & 1 & 1 \\ 1 & 1 & 0 \\ 1 & 0 & 1 \end{pmatrix} \quad (3.3)$$

と記す。

一般に、 $A(i, j, k, \ell)$  の列ベクトルとして存在し得る 2 値ベクトルは、

		入 力			
		$X_1$	$X_2$	$X_3$	$X_4$
内 部 状 態	1	①	2	2	3
	2	3	②	②	5
	3	③	4	2	③
	4	1	④	2	3
	5	⑤	4	2	⑤

図 3.1 正規な状態遷移表の例

	$y_1$	$y_2$	$y_3$
$Y_1$	0	0	0
$Y_2$	0	1	1
$Y_3$	1	1	0
$Y_4$	1	0	0
$Y_5$	1	0	1

図 3.2 単一符号状態割当の例



図 3.3 に示されるような 8 種類のパターンに分類できるので，それらのパターンを同図のように  $P_0 \sim P_7$  と名付けることにする。但し， $a$  は 0 又は 1 であり， $\bar{a}$  は  $a$  の否定を表わす。

さて，S T T 状態割当では，与えられた状態遷移表に規定されている任意の状態遷移において，その状態遷移を行なうために値を変えなければならないすべての状態変数が，クリティカル競合を生じることなく，同時にその値を変化させることができる〔27〕。

Tracey〔48〕によって示された S T T 状態割当の必要十分条件は次のように述べることができる。

〔定理 3.1〕 正規な状態遷移表に対する単一符号状態割当が S T T 状態割当であるための必要十分条件は，同じ入力の下で定義される任意の二つの状態遷移  $i \rightarrow j$  と  $k \rightarrow l$  ( $j \neq l$ ) に対して，\* 少なくとも一つの状態変数が  $(Y_i, Y_j | Y_k, Y_l)$  を分離していることである。 (定理終)

例えば，図 3.2 に示した状態割当は，定理 3.1 を満たしているので S T T 状態割当である。

\*  $i = j$  又は  $k = l$  の場合も含む。

$$P_0 = \begin{pmatrix} a \\ a \\ a \\ a \end{pmatrix}$$

$$P_1 = \begin{pmatrix} a \\ a \\ a| \\ a| \end{pmatrix}$$

$$P_2 = \begin{pmatrix} a \\ a| \\ a \\ a| \end{pmatrix}$$

$$P_3 = \begin{pmatrix} a \\ a| \\ a| \\ a \end{pmatrix}$$

$$P_4 = \begin{pmatrix} a| \\ a \\ a \\ a \end{pmatrix}$$

$$P_5 = \begin{pmatrix} a \\ a| \\ a \\ a \end{pmatrix}$$

$$P_6 = \begin{pmatrix} a \\ a \\ a| \\ a \end{pmatrix}$$

$$P_7 = \begin{pmatrix} a \\ a \\ a \\ a| \end{pmatrix}$$

図 3.3  $A(i, j, k, l)$  に存在し得る列ベクトルのパターン

### 3.2 単一符号を用いた万能状態割当の構成法

はじめに，万能 S T T 状態割当の条件を述べる〔51〕。

〔定理 3.2〕 状態集合  $Q$  に対する単一符号状態割当  $A$  が万能 S T T 状態割当であるための必要十分条件は，任意の異なる 4 状態  $i, j, k, \ell \in Q$  に対して， $(Y_i, Y_j | Y_k, Y_\ell)$  を分離する状態変数が少なくとも一つ存在することである。 (定理終)

(証明) 定理 3.1 から明らか。 (証明終)

この条件は，前節で約束した記法を用いれば次のように言い換えることができる。

〔定理 3.2 の系 1〕 状態集合  $Q$  に対する単一符号状態割当  $A$  が万能 S T T 状態割当であるための必要十分条件は，任意の異なる 4 状態  $i, j, k, \ell \in Q$  に対して， $A(i, j, k, \ell)$  にパターン  $P_1$  を持つ列ベクトルが少なくとも一つ存在することである。 (系終)

例えば，式 (3.3) の  $A(1, 2, 3, 5)$  は第 1 列にパターン  $P_1$ ，第 2 列にパターン  $P_3$ ，第 3 列にパターン  $P_2$  を持っている。

本節では，上述の必要十分条件を満たす単符号状態割当  $A$  の構成法を示す。

まず，パターン  $P_0 \sim P_7$  の性質を明らかにしておく。2 値ベクトルの間の成分ごとの 2 を法とする加算によってパターン  $P_0 \sim P_7$  の間の加算  $\oplus$  を定義すると，次の関係が成り立つ。

〔補題 3.1〕

$$(i) \quad P_2 \oplus P_3 = P_1, \quad P_4 \oplus P_5 = P_1, \quad P_6 \oplus P_7 = P_1$$

$$(ii) \quad P_4 \oplus P_6 = P_2, \quad P_5 \oplus P_7 = P_2,$$

$$P_4 \oplus P_7 = P_3, \quad P_5 \oplus P_6 = P_3$$

$$(iii) \quad P_2 \oplus P_4 \oplus P_7 = P_1, \quad P_2 \oplus P_5 \oplus P_6 = P_1$$

$$P_3 \oplus P_4 \oplus P_6 = P_1, \quad P_3 \oplus P_5 \oplus P_7 = P_1$$

(補題終)

(証明) 図 3.3 に示されるパターン  $P_0 \sim P_7$  の定義と加算  $\oplus$  の定義から明らかである。 (証明終)

次に、本節で述べる構成法の基本になるのは、次式で表わされる符号行列  $G$  である。

$$G = [ I_m, {}_m C_2, {}_m C_3 ] \quad (3.4)$$

但し、 $I_m$  は  $m$  次元単位行列、 ${}_m C_2$  は重み 2 のすべての  $m$  次 2 値ベクトルを列ベクトルとする行列、 ${}_m C_3$  は重み 3 のすべての  $m$  次 2 値ベクトルを列ベクトルとする行列である。

式 (3.4) の  $G$  を生成行列 [30] とする線形符号 [30] を符号行列  $A$  で表わすことにする。すなわち、 $A$  の  $2^m$  個の行ベクトルは、それぞれ、 $G$  の  $m$  個の行ベクトルの線形結合によって生成される。

ここで記述の便宜上、 $G$  の部分行列  $I_m, {}_m C_2, {}_m C_3$  にそれぞれ対応する  $A$  の部分行列を  ${}_m A_1, {}_m A_2, {}_m A_3$  とし、次のように表わす。

$$A = [ {}_m A_1, {}_m A_2, {}_m A_3 ] \quad (3.5)$$

行列  $G$  のサイズを  $m$  行  $n$  列とすると、行列  $A$  のサイズは  $2^m$  行  $n$  列である。但し、 $n$  は次式で与えられる。

$$\begin{aligned} n &= m + \binom{m}{2} + \binom{m}{3} \\ &= \frac{1}{6} (m^3 + 5m) \end{aligned} \quad (3.6)$$

例として、図 3.4 に、 $m = 3$  の場合の生成行列  $G$  及び線形符号  $A$  を示す。この場合のサイズは、式 (3.6) から、 $G$  が 3 行 7 列、 $A$  は 8 行 7 列である。又、行列  $G$  において、第 1 ~ 3 列が  $I_m$ 、第 4 ~ 6 列が  ${}_m C_2$ 、第 7 列が  ${}_m C_3$  にそれぞれ対応している。

以下において、式 (3.5) の符号行列  $A$  が  $2^m$  状態に対する単一符号万能 S T T 状態割当であることを示す。

まず、 $A$  の任意の異なる 4 行  $i, j, k, \ell$  に対応する 4 行  $n$  列符号行列  $A(i, j, k, \ell)$  において、式 (3.5) の  ${}_m A_1, {}_m A_2, {}_m A_3$  に対応する部分行列を、それぞれ、 ${}_m A_1(i, j, k, \ell), {}_m A_2(i, j, k, \ell), {}_m A_3(i, j, k, \ell)$  で表わすことにする。

$$G = \begin{pmatrix} 1 & 0 & 0 & 1 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 1 & 1 \end{pmatrix}$$

$$A = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 1 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 & 1 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 \\ 0 & 1 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 1 \end{pmatrix}$$

図 3.4 式(3.4)の符号行列 G 及び  
式(3.5)の符号行列 A の例  
( m = 3 の場合 )

さて、式(3.5)における部分行列  ${}_m A_1$  は  $m$ 次元単位行列  $I_m$  から生成される行列であるから、 ${}_m A_1$  の任意の二つの行ベクトルは少なくとも一つの列において異なる。そのため、 ${}_m A_1(i, j, k, \ell)$  には、 $(Y_i | Y_k)$ ,  $(Y_i | Y_\ell)$ ,  $(Y_j | Y_k)$ ,  $(Y_j | Y_\ell)$  を分離する列ベクトル(状態変数)が、それぞれ、少なくとも一つ存在しなければならない。

従って、 ${}_m A_1(i, j, k, \ell)$  は、列ベクトルとして、

- ①  $(Y_i | Y_k)$  を分離するためには、パターン  $P_1, P_3, P_4, P_6$  の内の少なくとも一つ
- ②  $(Y_i | Y_\ell)$  を分離するためには、パターン  $P_1, P_2, P_4, P_7$  の内の少なくとも一つ
- ③  $(Y_j | Y_k)$  を分離するためには、パターン  $P_1, P_2, P_5, P_6$  の内の少なくとも一つ
- ④  $(Y_j | Y_\ell)$  を分離するためには、パターン  $P_1, P_3, P_5, P_7$  の内の少なくとも一つ

をそれぞれ持たなければならない。

上記①~④を満たすために  ${}_m A_1(i, j, k, \ell)$  の列ベクトルとして存在しなければならないパターンのすべての組合せは、次のような形式的な論理演算によって、整理された形で求めることができる。

$$\begin{aligned} & (P_1 + P_3 + P_4 + P_6) \cdot (P_1 + P_2 + P_4 + P_7) \cdot (P_1 + P_2 + P_5 + P_6) \cdot (P_1 + P_3 + P_5 + P_7) \\ = & P_1 + P_2 P_3 + P_4 P_5 + P_6 P_7 + P_2 P_4 P_7 + P_2 P_5 P_6 + P_3 P_4 P_6 + P_3 P_5 P_7 \quad (3.7) \end{aligned}$$

すなわち、式(3.7)の右辺の8個の積項の内の少なくとも1個の積項で表わされるパターンの組合せが必ず  ${}_m A_1(i, j, k, \ell)$  の列ベクトルとして存在する。

ところで、生成行列  $G$  の部分行列  ${}_m C_2$  は  $I_m$  の任意の2個の列ベクトル  $e_p, e_q$  に対して、 $e_p \oplus e_q$  を列ベクトルとして含む。しかるに、 $A$  は  $G$  を生成行列とする線形符号であるから、 $A$  の部分行列  ${}_m A_2$  は  ${}_m A_1$  の任意の2個の列ベクトル  $a_p, a_q$  に対して、 $a_p \oplus a_q$  を列ベクトルとして含む。ゆえに、 $A(i, j, k, \ell)$  の部分行列  ${}_m A_2(i, j, k, \ell)$  は  ${}_m A_1(i, j, k, \ell)$

の任意の 2 個の列ベクトル  $d_p, d_q$  に対して, ベクトル  $d_p \oplus d_q$  を列ベクトルとして含む。

全く同様の理由で,  $A(i, j, k, \ell)$  の部分行列  ${}_m A_3(i, j, k, \ell)$  は,  ${}_m A_1(i, j, k, \ell)$  の任意の 3 個の列ベクトル  $d_p, d_q, d_r$  に対して, ベクトル  $d_p \oplus d_q \oplus d_r$  を列ベクトルとして含む。

以上の事実に留意すると, 次のことがいえる。

- イ)  ${}_m A_1(i, i, k, \ell)$  に式 (3.7) の右辺の第 1 項のパターンが存在する場合には, いうまでもなく,  ${}_m A_1(i, j, k, \ell)$  に  $P_1$  が存在する。
- ロ)  ${}_m A_1(i, j, k, \ell)$  に式 (3.7) の右辺の第 2 ~ 4 項のいずれかのパターンの組合せが存在する場合には, 補題 3.1 の (i) から,  ${}_m A_2(i, j, k, \ell)$  に  $P_1$  が存在する。
- ハ)  ${}_m A_1(i, j, k, \ell)$  に式 (3.7) の右辺の第 5 ~ 8 項のいずれかのパターンの組合せが存在する場合には, 補題 3.1 の (iii) から,  ${}_m A_3(i, j, k, \ell)$  に  $P_1$  が存在する。

上記イ), ロ), ハ) から,  $A(i, j, k, \ell)$  にはパターン  $P_1$  を持つ列ベクトルが少なくとも一つ存在する。

従って, 定理 3.2 の系 1 から, 次の結論が導かれる。

[定理 3.3] 式 (3.4) の  $G = [I_m, {}_m C_2, {}_m C_3]$  を生成行列とする線形符号  $A$  は万能 S T T 状態割当である。 (定理終)

定理 3.3 は, 単一符号を用いた万能 S T T 状態割当の組織的な構成法を与えている。すなわち, 構成手順は次の 2 段階である。

- 1) 式 (3.4) の符号行列  $G$  をつくる。
- 2)  $G$  の各行の線形結合によって式 (3.5) の符号行列  $A$  をつくる。

上記手順で得られる万能 S T T 状態割当の符号語長  $n$  は  $2^m$  状態に対して, 式 (3.6) で与えられる。この評価式は, Friedman ら [51] 及び Mogo [52] によって与えられた構成法のそれと同じである。

### 3.3 複数符号を用いた万能状態割当の構成法

前節で述べた方法では，符号語長評価式が  $m$  の 3 次式で表わされるため，状態遷移表の規模が大きくなると，符号語長が急激に長くなる。従って，実現される回路の金物量が非常に大きくなる。本節では，この符号冗長度を減少させるため，任意の状態  $i \in Q$  に対して一対の符号ベクトル  $\{Y_i^1, Y_i^2\}$  を対応させる方式を用いた万能 S T T 状態割当の組織的構成法を述べる。

はじめに，状態割当の新しい方式を定義する。

符号行列  $A$  の各要素  $a$  の否定  $\bar{a}$  をそれぞれに対応する要素とする符号行列を  $\bar{A}$  で表わす。

(定義 3.1)  $N$  行  $n'$  列符号行列  $A$  に対して， $N$  行  $2n'$  列符号行列

$$B_1 = [A, A] \quad (3.8)$$

及び

$$B_2 = [A, \bar{A}] \quad (3.9)$$

の対  $\{B_1, B_2\}$  が次の ①，② で特徴づけられる時， $\{B_1, B_2\}$  を対符号状態割当と呼び， $A$  を  $\{B_1, B_2\}$  の底と呼ぶことにする。

① 任意の状態  $i \in Q$  に対して，2 個の符号ベクトルの対  $\{Y_i^1, Y_i^2\}$  が対応する。但し， $Y_i^1$  及び  $Y_i^2$  はそれぞれ  $B_1$  及び  $B_2$  の第  $i$  行の行ベクトルである。

② 任意の状態  $i, j \in Q$  に対して，状態遷移  $\{Y_i^1, Y_i^2\} \rightarrow \{Y_j^1, Y_j^2\}$  とは，状態遷移  $Y_i^1 \rightarrow Y_j^2$  及び状態遷移  $Y_i^2 \rightarrow Y_j^1$  を意味する。

(定義終)

対符号状態割当  $\{B_1, B_2\}$  及びその底  $A$  の例を図 3.5 に示す。同図の符号行列  $B_1$  及び  $B_2$  の第 1 行を  $i$ ，第 2 行を  $j$  とすると，

$$\{Y_i^1, Y_i^2\} = \{0000, 0011\}$$

$$\{Y_j^1, Y_j^2\} = \{1010, 1001\}$$

であり，状態遷移  $i \rightarrow j$  とは，符号化された状態では，状態遷移  $0000 \rightarrow 1001$ ，及び状態遷移  $0011 \rightarrow 1010$  を意味する。



$$A = \begin{pmatrix} 0 & 0 \\ 1 & 0 \\ 0 & 1 \\ 1 & 1 \end{pmatrix}$$

$$B_1 = \begin{pmatrix} 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \\ 1 & 1 & 1 & 1 \end{pmatrix}$$

$$B_2 = \begin{pmatrix} 0 & 0 & 1 & 1 \\ 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 0 \\ 1 & 1 & 0 & 0 \end{pmatrix}$$

図 3.5 対符号状態割当  $\{B_1, B_2\}$   
及びその底  $A$  の例

さて、状態数  $N$  の正規な状態遷移表に対して対符号状態割当  $\{B_1, B_2\}$  を与えて実現された順序回路は、元の状態遷移表の各状態  $i \in Q$  と等価〔3.3〕な状態  $i'$  をそれぞれ一つずつ加えた状態数  $2N$  の新しい状態遷移表に対して、 $2N$  行  $2n'$  列の符号行列

$$B = \begin{pmatrix} B_1 \\ B_2 \end{pmatrix} = \begin{pmatrix} A & A \\ A & A \end{pmatrix} \quad (3.10)$$

で定められる単一符号状態割当を与えたものと考えることができる。すなわち、新しい状態遷移表とは、はじめの  $N$  行が元の状態遷移表と同じであり、 $i = 1 \sim N$  に対して第  $(N + i)$  行は状態  $i$  と等価な状態  $i'$  を表わし、かつ、元の状態遷移  $i \rightarrow j$  が定義されているならば、遷移  $i \rightarrow j'$  及び遷移  $i' \rightarrow j$  が定義されている  $2N$  行の正規な状態遷移表である。

従って、対符号状態割当  $\{B_1, B_2\}$  が状態集合  $Q$  に対する万能 S T T 状態割当であるためには、任意の異なる 4 状態  $i, j, k, \ell \in Q$  に対して、

- ①  $(Y_i^1, Y_j^2 | Y_i^2, Y_j^1)$
- ②  $(Y_i^1, Y_j^2 | Y_k^1, Y_\ell^2)$
- ③  $(Y_i^1, Y_j^2 | Y_k^2, Y_\ell^1)$
- ④  $(Y_i^2, Y_j^1 | Y_k^1, Y_\ell^2)$
- ⑤  $(Y_i^2, Y_j^1 | Y_k^2, Y_\ell^1)$

が、それぞれ、少なくとも一つの状態変数（式(3.10)の行列  $B$  の列ベクトル）によって分離されれば十分である\*。

これらの条件を仮に対分離条件①～⑤と呼ぶことにし、これらの条件を満たす底  $A$  の条件を明らかにする。

〔補題 3.2〕  $N$  行  $n'$  列符号行列  $A$  を底とする対符号状態割当  $\{B_1, B_2\}$  が状態集合  $Q$  に対する万能 S T T 状態割当であるためには、任意の異なる  $i, j, k, \ell \in Q$  に対して、 $A(i, j, k, \ell)$  の列ベクトルとしてパターン  $P_1$  が存在するか、又はパターン  $P_2$  及び  $P_3$  が存在すれば十分である。（補題終）

\*  $(Y_k^1, Y_\ell^2 | Y_k^2, Y_\ell^1)$  は①と同じである。

(証明) 任意の  $i, j, k, \ell$  に対応する  $A$  の行ベクトルを、それぞれ、 $a_i, a_j, a_k, a_\ell$  とすると、定義 3.1 から

$$\begin{aligned} \bar{Y}_i^1 &= [a_i, a_i], & \bar{Y}_i^2 &= [a_i, \bar{a}_i] \\ \bar{Y}_j^1 &= [a_j, a_j], & \bar{Y}_j^2 &= [a_j, \bar{a}_j] \\ \bar{Y}_k^1 &= [a_k, a_k], & \bar{Y}_k^2 &= [a_k, \bar{a}_k] \\ \bar{Y}_\ell^1 &= [a_\ell, a_\ell], & \bar{Y}_\ell^2 &= [a_\ell, \bar{a}_\ell] \end{aligned}$$

であり、

$$A(i, j, k, \ell) = \begin{pmatrix} a_i \\ a_j \\ a_k \\ a_\ell \end{pmatrix}$$

である。

まず、明らかに、 $A$  には  $(a_i | a_j)$  を分離する列が存在する。その列を第  $s$  列とすると、対分離条件①は式(3.10)の行列  $B$  の第  $(n'+s)$  列によって満たされる。

次に対分離条件②が満たされることを示す。

$A(i, j, k, \ell)$  に  $P_1$  が存在すれば、 $(a_i, a_j | a_k, a_\ell)$  を分離する  $A$  の列が存在するから、その列を第  $t$  列とすると、対分離条件②は式(3.10)の行列  $B$  の第  $t$  列によって満たされる。

又、 $A(i, j, k, \ell)$  に  $P_2$  及び  $P_3$  が存在すれば、 $(a_i, a_\ell | a_j, a_k)$  を分離する  $A$  の列が存在するから、その列を第  $t'$  列とすれば、 $(a_i, \bar{a}_j | a_k, \bar{a}_\ell)$  も  $A$  の第  $t'$  列で分離される。従って、対分離条件②は式(3.10)の行列  $B$  の第  $(n'+t')$  列によって満たされる。

以上で、対分離条件②が満たされることを示した。

対分離条件③～⑤が満たされることは、②と同様な議論によって示すことができる。 (証明終)

補題 3.2 は、対符号状態割当  $\{B_1, B_2\}$  が万能 S T T 状態割当となるために、その底  $A$  が満たすべき条件を述べている。

例として、次のような  $A(i, j, k, \ell)$  を考える。

$$A(i, j, k, \ell) = \begin{pmatrix} 0 & 0 \\ 1 & 1 \\ 0 & 1 \\ 1 & 0 \end{pmatrix}$$

この 4 行 2 列の行列の第 1 列はパターン  $P_2$  であり、第 2 列はパターン  $P_3$  であるから、補題 3.2 の条件は満たされている。このとき、

$$Y_i^1 = (0 \ 0 \ 0 \ 0), \quad Y_i^2 = (0 \ 0 \ 1 \ 1)$$

$$Y_j^1 = (1 \ 1 \ 1 \ 1), \quad Y_j^2 = (1 \ 1 \ 0 \ 0)$$

$$Y_k^1 = (0 \ 1 \ 0 \ 1), \quad Y_k^2 = (0 \ 1 \ 1 \ 0)$$

$$Y_\ell^1 = (1 \ 0 \ 1 \ 0), \quad Y_\ell^2 = (1 \ 0 \ 0 \ 1)$$

である。従って、対分離条件①は第 3, 4 列によって、②は第 4 列によって、③は第 3 列によって、④は第 3 列によって、⑤は第 4 列によって、それぞれ満たされている。

さて、本節における構成法の基本となるのは、次式で表わされる符号行列  $G$  である。

$$G = [ I_m, {}_m C_2 ] \quad (3.11)$$

但し、 $I_m$  は  $m$  次元単位行列、 ${}_m C_2$  は重み 2 のすべての  $m$  次 2 値ベクトルを列ベクトルとする行列である。

式(3.11)の  $G$  を生成行列とする線形符号を次式の  $A$  で表わす。

$$A = [ {}_m A_1, {}_m A_2 ] \quad (3.12)$$

但し、 ${}_m A_1$  及び  ${}_m A_2$  は、それぞれ、 $I_m$  及び  ${}_m C_2$  から生成される符号行列である。

行列  $G$  のサイズを  $m$  行  $n'$  列とすると、行列  $A$  のサイズは  $2^m$  行  $n'$  列である。但し、 $n'$  は次式で与えられる。

$$\begin{aligned} n' &= m + \binom{m}{2} \\ &= \frac{1}{2} (m^2 + m) \end{aligned} \quad (3.13)$$

以下に、式(3.12)の行列Aを底とする対符号状態割当  $\{B_1, B_2\}$  が万能S T T状態割当であることを示す。

まず、任意の異なる  $i, j, k, \ell \in Q$  に対応する4行  $n'$  列符号行列  $A(i, j, k, \ell)$  において、式(3.12)の  ${}_m A_1, {}_m A_2$  に対応する部分行列を、それぞれ、 ${}_m A_1(i, j, k, \ell), {}_m A_2(i, j, k, \ell)$  で表わす。

さて、前節の議論と全く同様にて、 ${}_m A_1(i, j, k, \ell)$  には、式(3.7)の右辺の8個の積項の中の少なくとも1個の積項で表わされるパターンの組合せが存在する。しかるに、

- イ)  ${}_m A_1(i, j, k, \ell)$  に式(3.7)の右辺の第1項のパターンが存在する場合には、 ${}_m A_1(i, j, k, \ell)$  に  $P_1$  が存在する。
- ロ)  ${}_m A_1(i, j, k, \ell)$  に式(3.7)の右辺の第2~4項のいずれかのパターンの組合せが存在する場合には、補題3.1の(i)から、 ${}_m A_2(i, j, k, \ell)$  に  $P_1$  が存在する。
- ハ)  ${}_m A_1(i, j, k, \ell)$  に式(3.7)の右辺の第5~8項のいずれかのパターンの組合せが存在する場合には、補題3.1の(ii)から、 ${}_m A_1(i, j, k, \ell)$  に  $P_2$ 、かつ  ${}_m A_2(i, j, k, \ell)$  に  $P_3$  がそれぞれ存在するか、又は、 ${}_m A_1(i, j, k, \ell)$  に  $P_3$ 、かつ  ${}_m A_2(i, j, k, \ell)$  に  $P_2$  がそれぞれ存在する。

すなわち、上記イ), ロ), ハ)から、 $A(i, j, k, \ell)$  の列ベクトルとして、パターン  $P_1$  が存在するか、又は、パターン  $P_2$  及び  $P_3$  が存在する。

ゆえに、補題3.2から、次の結論が得られる。

[定理3.4] 式(3.11)の  $G = (I_m, {}_m C_2)$  を生成行列とする線形符号Aを底とする対符号状態割当は万能S T T状態割当である。(定理終)

定理3.4から得られる万能S T T状態割当における符号語長  $n$  は、 $2^m$  状態に対して、式(3.10)及び式(3.13)から、次式で与えられる。

$$\begin{aligned} n &= 2n' \\ &= m^2 + m \end{aligned} \tag{3.14}$$

すなわち，従来の方法〔51〕〔52〕及び定理 3.3 の方法では，符号語長評価式は  $m$  に関する 3 次式であったのに対して，定理 3.4 の方法では，符号語長は  $m$  に関する 2 次式で与えられる。次節において，この符号語長をさらに短縮することができることを示す。

### 3.4 積符号による符号語長の短縮化

本節では、符号理論において用いられる積符号 (product code) [29], [30] の概念を利用することにより、前節の定理 3.4 で得られた万能 S T T 状態割当の符号語長がさらに短縮化されることを示し、これまで示された各方法との比較を行なう。

[定義 3.2]  $t$  個の線形符号  $A_1, A_2, \dots, A_t$  の生成行列を、それぞれ、 $G_1, G_2, \dots, G_t$  とする時、行列  $G_1 \otimes G_2 \otimes \dots \otimes G_t$  を生成行列とする線形符号  $D^t$  を、 $A_1, A_2, \dots, A_t$  を成分符号とする  $t$  次元積符号と呼び、

$$D^t = A_1 \times A_2 \times \dots \times A_t$$

と表わす。ここに、記号  $\otimes$  はクロネッカ積 [30] を表わす。 (定義終)

例えば、

$$G_1 = G_2 = \begin{pmatrix} 1 & 0 & 1 \\ 0 & 1 & 1 \end{pmatrix}$$

とすると、

$$G_1 \otimes G_2 = \begin{pmatrix} 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 1 \\ 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 \end{pmatrix}$$

である。

$t$  次元積符号  $D^t = A_1 \times A_2 \times \dots \times A_t$  のサイズは次のようになる。すなわち、成分符号  $A_\ell$  ( $\ell=1 \sim t$ ) の生成行列  $G_\ell$  のサイズが、それぞれ、 $m_\ell$  行  $n_\ell$  列とすると、 $D^t$  の生成行列  $G_1 \otimes G_2 \otimes \dots \otimes G_t$  のサイズは、 $m_1 \cdot m_2 \cdot \dots \cdot m_t$  行  $n_1 \cdot n_2 \cdot \dots \cdot n_t$  列である。従って、積符号  $D^t$  のサイズは  $2^{m_1 \cdot m_2 \cdot \dots \cdot m_t}$  行  $n_1 \cdot n_2 \cdot \dots \cdot n_t$  列である。

積符号に関して、次の補題が成り立つ。

[補題 3.3]  $\ell = 1 \sim t$  に対して、 $A_\ell = [{}_{m_\ell}A_1, {}_{m_\ell}A_2]$  を式 (3.12) で表わされる線形符号とし、 $A_\ell$  ( $\ell=1 \sim t$ ) を成分符号とする  $t$  次元積符号を  $D^t$  とする。この任意の  $i, j, k, \ell$  に対して、 $D^t(i, j, k, \ell)$

の列ベクトルとして、パターン  $P_1$  が存在するか、又はパターン  $P_2$  及び  $P_3$  が存在する。

(証明)  $D^t$  の情報点(生成行列の単位行列部分から生成される符号行列の列)は  $m_1 \times m_2 \times \dots \times m_t$  個あるので、各情報点  $\alpha$  は  $t$  次元座標で、

$$\alpha = (\alpha_1, \alpha_2, \dots, \alpha_t)$$

と表わされる。ここに、 $1 \leq \alpha_\ell \leq m_\ell$  ( $\ell = 1 \sim t$ ) である。

$D^t$  の任意の2個の情報点  $\alpha = (\alpha_1, \alpha_2, \dots, \alpha_t)$  と  $\beta = (\beta_1, \beta_2, \dots, \beta_t)$  に関して、 $\alpha$  と  $\beta$  によって張られる空間  $SP(\alpha, \beta)$  を次のように定義する\*。

$$SP(\alpha, \beta) = \{r \mid r = (r_1, r_2, \dots, r_t), \ell = 1 \sim t \text{ に対して}, \\ r_\ell = \alpha_\ell \text{ 又は } \beta_\ell \}$$

ここで、 $\alpha_\ell \neq \beta_\ell$  である要素  $\alpha_\ell$  ( $\ell = 1 \sim t$ ) の個数を  $SP(\alpha, \beta)$  の次元と呼ぶ。

まず、式(3.12)及び定義3.2から、次の事実は明らかである。

$D^t$  の任意の2個の情報点  $\alpha, \beta$  に対して、 $SP(\alpha, \beta)$  に含まれるすべての情報点  $r$  に対応する列ベクトル  $C_r$  の2を法とする総和

$$\sum_{r \in SP(\alpha, \beta)} C_r$$

を列ベクトルとする非情報点が  $D^t$  には存在する。

さて、任意の異なる  $i, j, k, \ell$  に対して、 $D^t(i, j, k, \ell)$  の情報点部分行列を  $D^{t_1}$ 、残りの非情報点部分行列を  $D^{t_2}$  とする。すなわち、

$$D^t(i, j, k, \ell) = [D^{t_1}, D^{t_2}]$$

$D^{t_1}$  には、前節の  $mA_1(i, j, k, \ell)$  と同様に式(3.7)の右辺の8個の積項の内少なくとも一つの積項で表わされるパターンの組合せが存在するので、そのどの場合にも  $D^t(i, j, k, \ell)$  にはパターン  $P_1$  又はパターン  $P_2$  及び  $P_3$  が存在することを以下に示す。

\*定義2.1の多値ベクトルへの拡張である。



イ)  $D^t_1$  に式 (3.7) の右辺の第 1 項又は第 2 項のパターンが存在する場合は明らかである。

ロ)  $D^t_1$  に式 (3.7) の右辺の第 3 項又は第 4 項のパターンが存在する場合、一般性を失なうことなく、 $P_4$  に対応する情報点を  $\alpha$ 、 $P_5$  に対応する情報点を  $\beta$  とし、しかも、 $SP(\alpha, \beta)$  の次元が最小となる  $\alpha$ 、 $\beta$  の組を選ぶことができる。この  $\alpha$ 、 $\beta$  に対して、 $SP(\alpha, \beta)$  には  $P_0, P_2, P_6$  の内の幾つかだけが含まれる場合を考えれば十分である。(それ以外は、イ) 又はロ) と同じ議論を繰り返せばよい。)

(i)  $P_0$  又は  $P_2$  だけが含まれる場合：

$$\sum_{r \in SP(\alpha, \beta)} C_r = C_\alpha \oplus C_\beta = P_4 \oplus P_5 = P_1$$

又は、

$$\sum_{r \in SP(\alpha, \beta)} C_r = P_2 \oplus P_4 \oplus P_5 = P_3$$

のいずれかが成り立つ。ゆえに  $D^t_2$  に  $P_1$  が存在するか、又は、 $D^t_1$  及び  $D^t_2$  にそれぞれ  $P_2$  及び  $P_3$  が存在する。

(ii)  $P_0$  又は  $P_6$  だけが含まれる場合：

$P_0$  に対応する情報点  $r$  の内、 $SP(\alpha, r)$  及び  $SP(r, \beta)$  の次元が最小な点をそれぞれ  $r_1$  及び  $r_2$  とすると、

$$\sum_{\delta \in SP(\alpha, r_1)} C_\delta = P_4 \oplus P_6 = P_2$$

かつ、

$$\sum_{\delta \in SP(r_2, \beta)} C_\delta = P_5 \oplus P_6 = P_3$$

ゆえに、 $D^t_2$  に  $P_2$  及び  $P_3$  が存在する。

(iii)  $P_0, P_2$  及び  $P_6$  が含まれる場合：

(ii) と同じ  $r_1, r_2$  に対して、 $SP(r_2, \beta)$  に  $P_2$  が奇数個含まれれば、

$$\sum_{\delta \in \text{SP}(r_2, \beta)} C_\delta = P_2 \oplus P_5 \oplus P_6 = P_1$$

ゆえに、 $D^t_2$  に  $P_1$  が存在する。

次に、 $\text{SP}(r_2, \beta)$  に  $P_2$  が含まれないか又は偶数個含まれる時は、 $\text{SP}(\alpha, r_1)$  に  $P_2$  が含まれれば  $D^t_1$  に  $P_2$ 、 $D^t_2$  に  $P_3$  がそれぞれ存在する。又、 $\text{SP}(\alpha, r_1)$  に  $P_2$  が含まれなければ、(iii)と同じ。

ハ)  $D^t_1$  に式(3.7)の右辺の第5～8項のいずれかのパターンの組合せが存在する場合、第5項、すなわち  $P_2, P_4, P_7$  が存在する場合を考えれば十分である。しかも、 $P_4$  及び  $P_7$  に対応する  $\text{SP}(\alpha, \beta)$  の次元最小なる情報点を  $\alpha$  及び  $\beta$  とし、 $\text{SP}(\alpha, \beta)$  には  $P_0, P_2$  の内のいくつかだけが含まれる場合を考えればよい。(それ以外はイ)、ロ)又はハ)と同じ議論の繰り返しになる。)

$\text{SP}(\alpha, \beta)$  が  $P_2$  を奇数個含むならば、

$$\sum_{r \in \text{SP}(\alpha, \beta)} C_r = P_2 \oplus P_4 \oplus P_7 = P_1$$

ゆえに、 $D^t_2$  に  $P_1$  が存在する。

$\text{SP}(\alpha, \beta)$  が  $P_2$  を含まないか、偶数個含むならば、

$$\sum_{r \in \text{SP}(\alpha, \beta)} C_r = P_4 \oplus P_7 = P_3$$

ゆえに、 $D^t_1$  に  $P_2$ 、 $D^t_2$  に  $P_3$  がそれぞれ存在する。

結局、上記イ)、ロ)、ハ)から、 $D^t(i, j, k, \ell)$  にはパターン  $P_1$ 又は、パターン  $P_2$  及び  $P_3$  が存在する。(証明終)

従って、補題3.2及び補題3.3から、次の結論が得られる。

[定理3.5]  $m = m_1 \cdot m_2 \cdot \dots \cdot m_t$  ( $m_\ell \geq 2$ ,  $\ell = 1 \sim t$ ) とし、 $\ell = 1 \sim t$  に対して式(3.12)で表わされる線形符号  $A_\ell = [{}_{m_\ell}A_1, {}_{m_\ell}A_2]$  を成分符号とする  $t$  次元積符号を  $D^t$  とする。この時、 $D^t$  を底とする対符号状態割当は、 $2^m$  状態に対する万能 S T T 状態割当である。(定理終)

定理3.5において、各成分符号  $A_\ell$  ( $\ell = 1 \sim t$ ) の符号語長  $n_\ell$  は、式(3.

13)から,

$$n_{\ell} = \frac{1}{2} (m_{\ell}^2 + m_{\ell}) \quad (3.15)$$

である。

従って, 定理 3.5 から得られる万能 S T T 状態割当における符号語長  $n$  の評価式は,  $2^m$  状態に対して, 次式で表わされる。

$$\begin{aligned} n &= 2 \cdot \prod_{\ell=1}^t n_{\ell} \\ &= \frac{1}{2^{t-1}} \prod_{\ell=1}^t (m_{\ell}^2 + m_{\ell}) \end{aligned} \quad (3.16)$$

ここに,  $\prod$  は  $\ell = 1 \sim t$  に対する積演算を表わす記号である。

特に,  $m=2^t$  の場合には,  $2^m$  状態に対して,

$$\begin{aligned} n &= 2 \cdot 3^t \\ &= 2m^{1.59} \end{aligned} \quad (3.17)$$

となる。

式(3.17)は, これまで知られている万能 S T T 状態割当の構成法における符号語長評価式を大幅に改善している [17][51][52]。

例として,  $m=8$ , すなわち  $2^8$  状態に対する万能 S T T 状態割当の符号語長  $n$  を比較する。

(i) 従来の方法 [51] [52] 及び定理 3.3 の方法:

式(3.6)から,

$$n = \frac{1}{6} (8^3 + 5 \times 8) = 92$$

(ii) 定理 3.4 の方法:

式(3.14)から,

$$n = 8^2 + 8 = 72$$

(iii) 定理 3.5 の方法:

式(3.16)から,

$$n = \frac{1}{2^2} (2^{2^m} + 2)^3 = 54$$

図 3.6 に，従来及び本章の構成法で得られた  $2^m$  状態に対する万能 S T 状態割当における符号語長  $n$  の評価曲線を示す。

曲線①は，Liu [47] の方法，曲線②は Friedman ら [51]，及び Mogo [52] 及び本章第 2 節定理 3.3 の方法，曲線③は本章第 3 節の定理 3.4 の方法，曲線④は本節の定理 3.5 の方法，をそれぞれ示している。

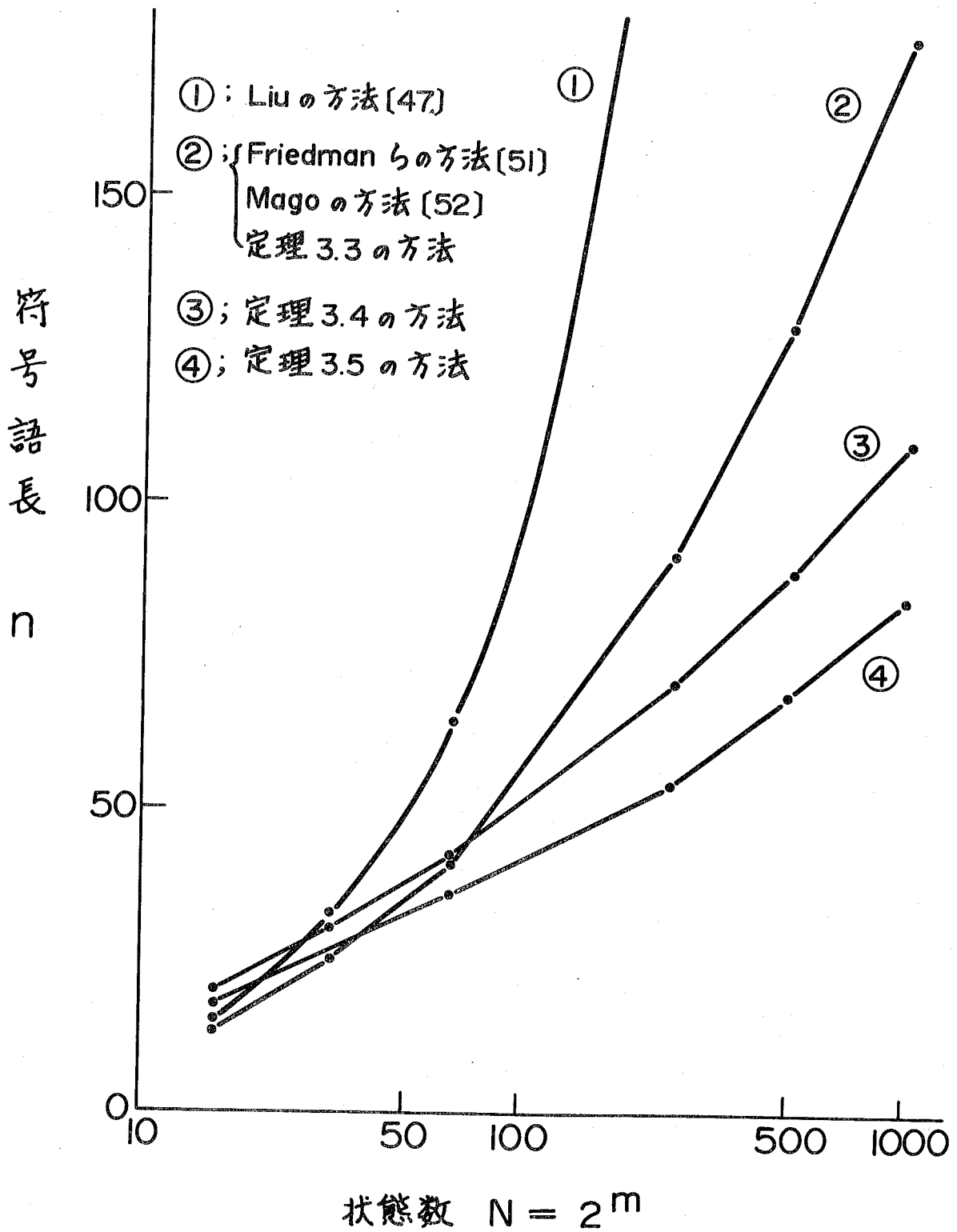


図 3.6  $2^m$  状態に対する万能STT 状態割当の符号語長評価曲線

### 3.5 対符号(2, 1)分離システムの構成法とその応用

本節では、第3節で導入した対符号状態割当の方式を(2, 1)分離システム[51][53][68]の構成に適用すると、従来に比べて大幅にその符号冗長度を改善できることを示し、さらに、その結果得られる対符号(2, 1)分離システムが関数ハザードのない入力状態割当にも応用できることを示す。

(2, 1)分離システムは、S T T状態割当より制約条件の緩い一つの万能状態割当である。<sup>\*</sup>従って、第2章で述べた回路Mのモデルに対しては必ずしもクリティカル競合を防ぐものではないが、帰還路の遅延に関して適当な仮定を設けることによってクリティカル競合を防ぐことができるため、実用的には有効な万能状態割当の一つである[53]。

[定義3.3] 状態集合Qに対する単一符号状態割当が(2, 1)分離システムであるとは、任意の異なる状態 $i, j, k \in Q$ に対して、 $(Y_i, Y_j | Y_k)$ が少なくとも一つの状態変数によって分離されることである。

(定義終)

対符号状態割当に対しても、(2, 1)分離システムを拡張して定義できる。

[定義3.4] 対符号状態割当 $\{B_1, B_2\}$ が対符号(2, 1)分離システムであるとは、任意の異なる状態 $i, j, k \in Q$ に対して、

$$\textcircled{1} (Y_i^1, Y_j^2 | Y_k^1)$$

$$\textcircled{2} (Y_i^1, Y_j^2 | Y_k^2)$$

$$\textcircled{3} (Y_i^2, Y_j^1 | Y_k^1)$$

$$\textcircled{4} (Y_i^2, Y_j^1 | Y_k^2)$$

が、それぞれ、少なくとも一つの状態変数によって分離されることである。

(定義終)

対符号(2, 1)分離システムの構成法を、次の定理によって示す。

\* 万能S T T状態割当は(2, 2)分離システムとも呼ばれる[51]。

[定理 3.6]  $m$ 次元単位行列  $I_m$  を生成行列とする線形符号  $A$  を底とする対符号状態割当は、対符号  $(2, 1)$  分離システムである。(定理終)

(証明)  $A$  は  $I_m$  から生成されるから、 $A$  の任意の異なる 3 行  $i, j, k$  に対して

- イ)  $A$  には  $(Y_i, Y_j, Y_k)$  を分離する列が存在するか、又は、
- ロ)  $A$  には  $(Y_i, Y_j, Y_k)$  及び  $(Y_j, Y_i, Y_k)$  を分離する列がそれぞれ存在する。

従って、補題 3.2 の証明と同様に、イ) の場合には式(3.10)の行列  $B$  の左半分のいずれかの列によって、又、ロ) の場合には式(3.10)の行列  $B$  の右半分のいずれかの列によって、定義 3.4 の①~④が分離される。

(証明終)

定理 3.6 から得られる対符号  $(2, 1)$  分離システムの符号語長  $n$  は、 $2^m$  状態に対して、次式で表わされる。

$$n = 2m \quad (3.18)$$

式(3.18)の評価式は、 $n$  が単に  $m$  に比例して増加するだけであることを示しており、これまで知られている  $(2, 1)$  分離システムに比べて、大幅に符号冗長度が改善されている。

図 3.7 に、これまで最も符号語長  $n$  の短い  $(2, 1)$  分離システムを与えている Pradhan ら [68] の方法と定理 3.6 の方法とを比較した例を示す。同図から、 $m \geq 4$  では、本論文の方法が大幅に符号冗長度を改善していることが分る。

さて、本章におけるこれまでの議論は、クリティカル競合を防ぐ内部状態割当に関するものであったが、非同期式順序回路の入力変化において、複数個の入力変数が同時に変化する場合にも、状態変数のクリティカル競合と似た現象、すなわち誤動作の可能性が生じる。

以下では、この複数入力変化に起因する誤動作を防ぐために、 $(2, 1)$  分離システムを入力状態割当に適用できることを示す。

まず、複数入力変化に対して、予期しない状態遷移を引き起さないよう

m	Pradhanら の方法 n	定理 3.6 の方法 n
2	3	4
4	12	8
10	30	20
15	60	30
28	126	56
44	252	88

図 3.7  $2^m$  状態に対する (2.1) 分離システムの  
符号語長  $n$  の比較



な状態遷移関数を次のように定義する。

[定義 3.5] 正規な状態遷移表において、状態遷移関数  $\delta(X, q)$  が、状態  $q_a \in Q$ 、入力変化  $X_a \rightarrow X_b$  に対して関数ハザードフリーであるとは、次の 1), 2), 3) が成り立つことをいう。

$$1) q_a = \delta(X_a, q_a)$$

2) 任意の  $X_c \in SP(X_a, X_b)$  に対して

$$\delta(X_c, q_a) = \begin{cases} q_a \text{ 又は} \\ \delta(X_b, q_a) \end{cases}$$

3)  $X_d \in SP(X_a, X_b)$  に対して  $\delta(X_d, q_a) = q_a$  ならば、

任意の  $X_e \in SP(X_a, X_d)$  に対して、

$$\delta(X_e, q_a) = q_a \quad (\text{定義終})$$

すなわち、状態遷移関数  $\delta(X, q)$  が状態  $q_a \in Q$ 、入力変化  $X_a \rightarrow X_b$  に対して関数ハザードフリーであるならば、入力変化  $X_a \rightarrow X_b$  の途中で、複数の入力変数の値の変え方にどのような遅延のばらつきがあったとしても、遷移先は必ず  $\delta(X_b, q_a)$  となるように状態遷移表が定められている。従って、もし、クリティカル競合のない内部状態割当が与えられるならば、実現される順序回路は、複数入力変化に対しても、必ず所期の動作を行なうことができる。

例として、図 3.8 の正規な状態遷移表を考える。この状態遷移表で定められる状態遷移関数は、状態 1、入力変化  $00 \rightarrow 11$  に対して関数ハザードフリーである。従って、遅延のばらつきによって入力変化が

$$00 \rightarrow 01 \rightarrow 11$$

$$00 \rightarrow 10 \rightarrow 11$$

$$00 \rightarrow 11$$

のいずれの場合にも、遷移先は状態 3 である。これに対して、この状態遷移関数は、状態 3、入力変化  $11 \rightarrow 00$  に対しては関数ハザードフリーではない。

ところで、本論文ではこれまで順序機械  $M$  (式 (2.1)) の入力集合  $X$

入 力

		00	01	11	10
内部状態	1	①	3	3	①
	2	②	②	4	4
	3	2	③	③	1
	4	④	2	④	④

図 3.8 複数入力変化に対する状態遷移関数の関数ハザードの例

は 2 値符号ベクトル  $X$  の集合であるとして議論を進めてきたが、ここでは、2 値符号化されていない入力記号の集合を  $X_S$  で表わし、 $X_S$  に対して入力状態割当を行なうことによって、各入力記号に対応させられた入力符号ベクトルの集合を  $X_A$  で表わすことにする。

次の定理が成り立つ。

[定理 3.7] 状態遷移関数  $\delta(X, q)$  が  $q_a = \delta(X_a, q_a)$  なる任意の状態  $q_a \in Q$  と入力変化  $X_a \rightarrow X_b$  に対して関数ハザードフリーであるためには、次の 1), 2) が成り立てば十分である。

- 1)  $X_S$  に対する入力状態割当が (2, 1) 分離システムである。
- 2) 任意の状態  $q \in Q$  と、 $X \notin X_A$  かつ  $X \in SP(X_A)$  なる符号ベクトル  $X$  に対して、

$$q = \delta(X, q) \quad (\text{定理終})$$

(証明) 1) から、任意の異なる  $X_a, X_b, X_c \in X_A$  に対して、

$$X_c \notin SP(X_a, X_b)。$$

従って、任意の  $X_d \in SP(X_a, X_b)$  に関して、

$$X_d \notin X_A \text{ かつ } X_d \in SP(X_A)$$

ゆえに、2) から

$$q_a = \delta(X_d, q_a)$$

すなわち、定義 3.5 の 1), 2), 3) を満たす。 (証明終)

以上の考察から、(2, 1) 分離システムを入力状態割当に適用すると、状態遷移関数を複数入力変化に対して関数ハザードフリーに構成できることが明らかになった。

順序回路への入力変数が外部仕様によって一意的に定められてしまう場合には、入力状態割当を行なう意味はほとんどない。しかしながら、第 5 章で述べるように、順序回路モジュールを結合した非同期式順序回路を合成する場合には、外部入力変化に対する各モジュールへの 2 次的な入力変化に伴って生じる関数ハザードを除去するために、定理 3.7 を適用することができる。この時、2 次的な入力変数は、外部入力変数に対する論理関

数として表現できるため、その入力状態割当に、定理 3.6 で得られた対符号 ( 2 , 1 ) 分離システムを用いることができる。これについては、第 5 章 5 節において詳述する。

以上、本章では、第 2 章で述べた論理設計の要件 1 ) を満たすために、クリティカル競合のない状態割当に関する考察を行った。

本章で得られた結果は次のように要約される。

- (1) 計算の手間が不要で、かつ、符号冗長度の小さい万能 S T T 状態割当の組織的構成法 ( 定理 3.4 及び定理 3.5 ) を示し、従来から知られている方法との比較 ( 図 3.6 ) を行なうことによって、符号冗長度が大幅に改善されたことを示した。これは、大規模かつ複雑な順序回路をより少ない金物量と設計工数によって実現できることを意味する。
- (2) 回路の遅延のばらつきにある程度の制限を設けた場合に用いることのできる万能状態割当の組織的構成法 ( 定理 3.6 ) を示し、従来より大幅に所要金物量を減少させることができることを示した ( 図 3.7 ) 。

## 第4章 非同期式順序回路におけるハザードの除去

第2章で述べた論理設計の第2の要件は、回路M(図2.7)でモデル化できるように状態変数回路を構成することであった。前章で述べた状態割当法は、実現される順序回路が回路Mで表現されることを前提としていた。しかし、一般には、前章で述べたクリティカル競合のない状態割当を適用しても、回路C(図2.10)のモデルを考える場合には、定常性ハザードが存在し得るといえる。

言い換えれば、クリティカル競合のない状態割当を適用した後になお存在し得る定常性ハザードを除去するように状態変数回路を構成することが、上述の論理設計の第2の要件である。

本章では、この要件を満たすため、大規模集積回路の規則的構造に適した構成によって定常性ハザードを除去する組織的手法を示す。

### 4.1 非同期式順序回路における基本ハザード

状態遷移表が図4.1の(a)又は(b)のいずれかの形態をその一部として含む時、この状態遷移表には基本ハザード(essential hazard)が存在するという[27][39]。さらに具体的には、状態*i*に対する入力変化 $X_a \rightarrow X_b$ に関して、基本ハザードが存在するという。

基本ハザードについては、Ungerによって次の事実が証明されている[39]。  
"論理回路の配線にも素子と同様に任意の大きさの遅延が存在し得ると仮定するならば、遅延素子を用いることなしには、基本ハザードの存在する状態遷移表を定常性ハザードのない非同期式順序回路として実現することはできない。"

しかしながら、実際には、回路中に分布する遅延は論理素子に集中させて考えることによって、配線遅延を素子遅延に比べて十分小さいとみなし得る場合が多い。本章では、このような状況を仮定して、遅延素子を特に用いることなく、基本ハザードを含む状態遷移表を実現する回路構成法を

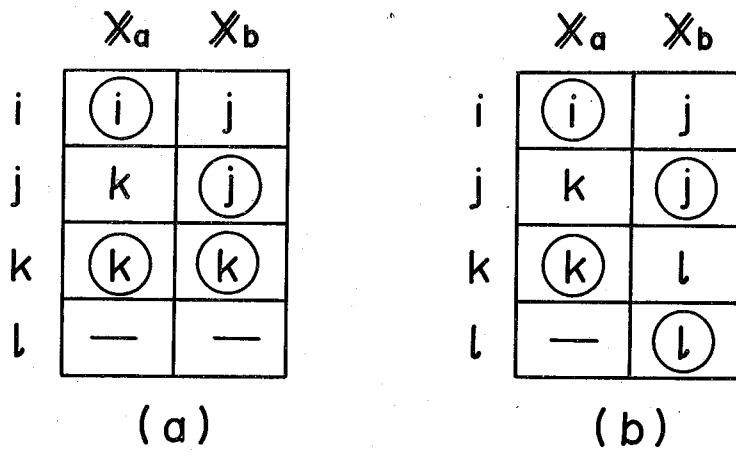


図 4.1 非同期式順序回路の基本ハザード

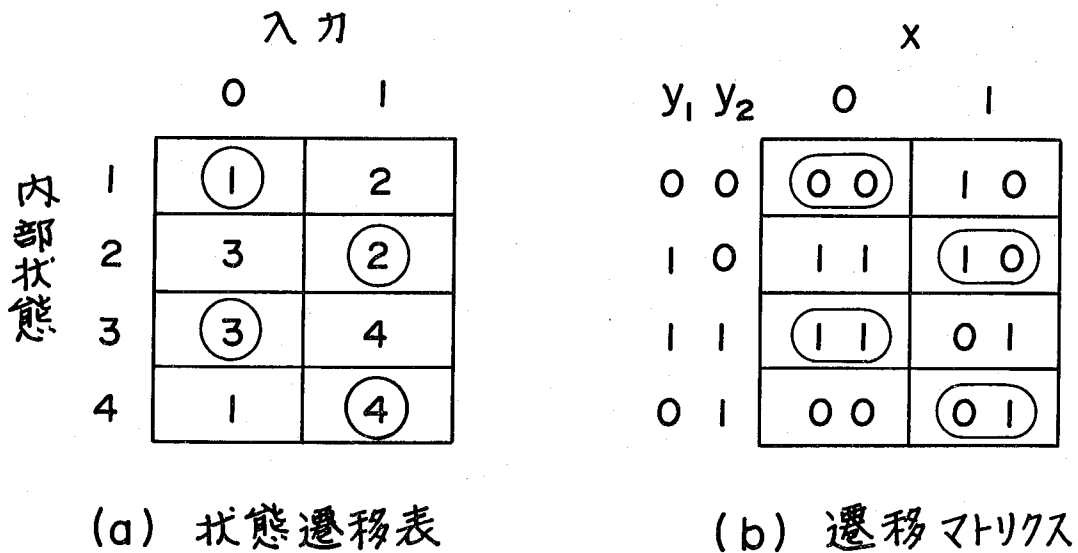


図 4.2 基本ハザードの例

考察する。

図 4.2 に基本ハザードの例を示す。

図 4.2 (a) は図 2.4 と全く同じ 2 進カウンタの状態遷移表であり、次の 4 つの基本ハザードを含んでいる。

- (i) 状態 1 に対する入力変化  $0 \rightarrow 1$
- (ii) 状態 2 に対する入力変化  $1 \rightarrow 0$
- (iii) 状態 3 に対する入力変化  $0 \rightarrow 1$
- (iv) 状態 4 に対する入力変化  $1 \rightarrow 0$

図 4.2 (b) は (a) の状態遷移表に  $(y_1, y_2)$  で定められる状態割当を行なって得られる遷移マトリクスである。この状態割当は定理 3.1 の条件を満たしているから一つの S T T 状態割当であり、いうまでもなくこの遷移マトリクスにはクリティカル競合は存在しない。

状態変数関数は、すべての主項 ( prime implicant ) [ 26 ] を含んだ積和形式で次のように書ける。<sup>\*</sup>

$$\begin{aligned} y_1' &= \bar{x}y_1 + y_1\bar{y}_2 + x\bar{y}_2 \\ y_2' &= \bar{x}y_1 + y_1y_2 + xy_2 \end{aligned} \tag{4.1}$$

式 ( 4.1 ) に対応する非同期式順序回路を図 4.3 に示す。

さて、一般に、基本ハザードを含む状態遷移表を実現した非同期式順序回路には、基本ハザードに起因する定常性ハザードが存在する。すなわち、図 4.1 の形態を持つ状態遷移表において、状態  $i$  に対する入力変化  $X_a \rightarrow X_b$  の下で本来は状態  $j$  へ遷移するように規定されているにもかかわらず、それとは異なる状態  $k$  ( 図 4.1 (a) の場合 ) 又は状態  $l$  ( 図 4.1 (b) の場合 ) へ遷移する可能性を持つ。

従って、図 4.3 の順序回路にも、上に述べた 4 つの基本ハザード (i), (ii), (iii), (iv) にそれぞれ対応する定常性ハザードが存在する。

図 4.4 に、基本ハザード (i) ~ (iv) に起因する定常性ハザードを生じさせる

\* 式 ( 2.12 ) と論理式は異なるが同じ論理関数である。

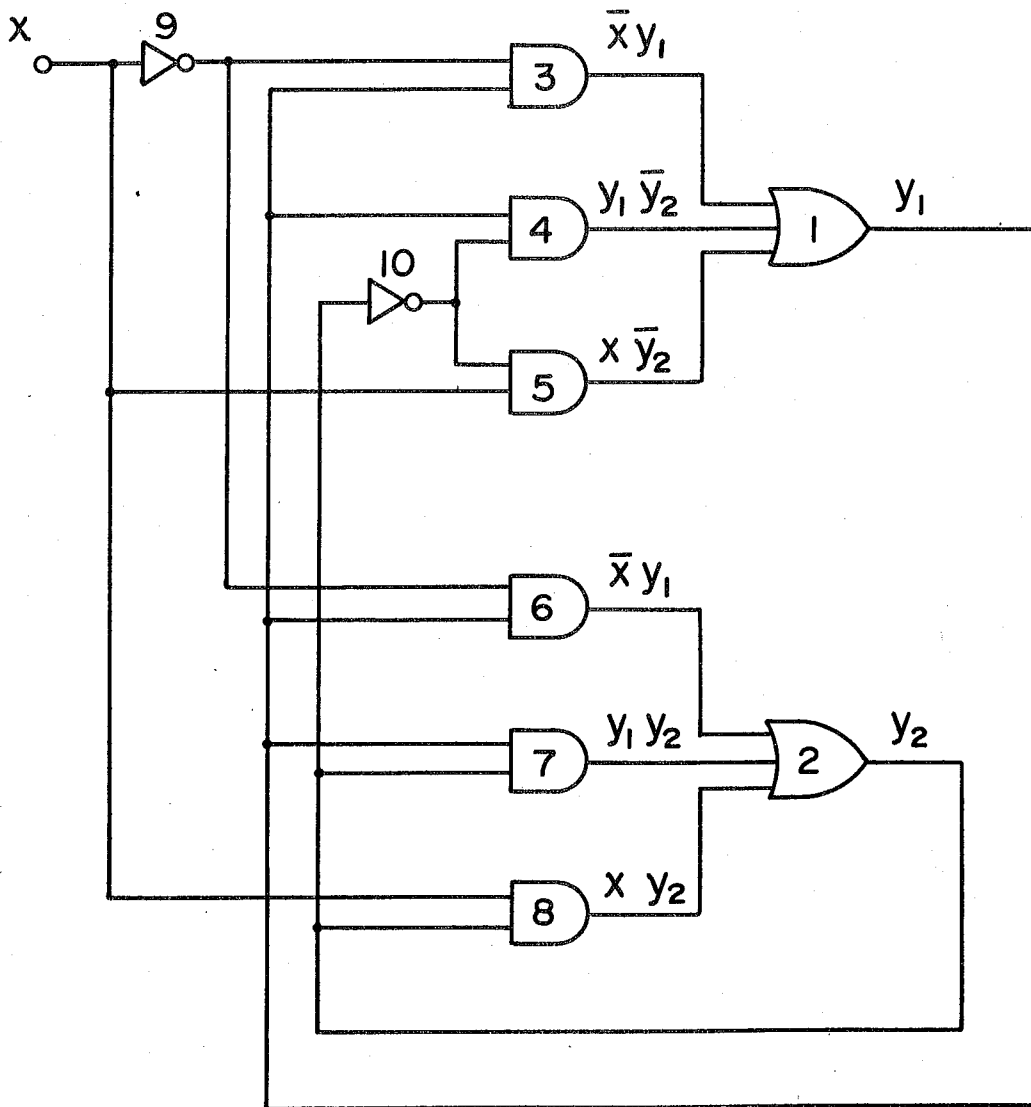
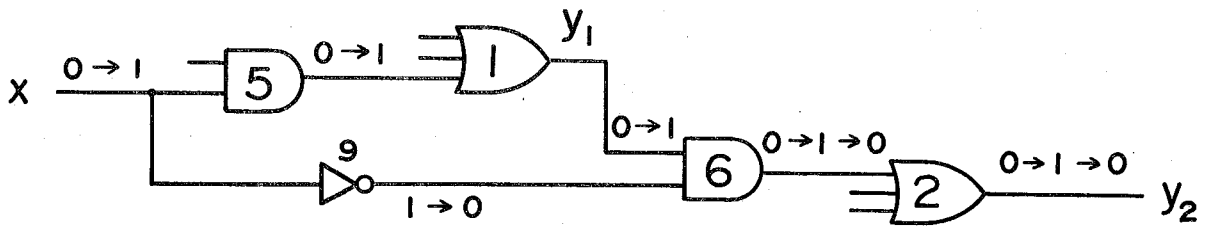
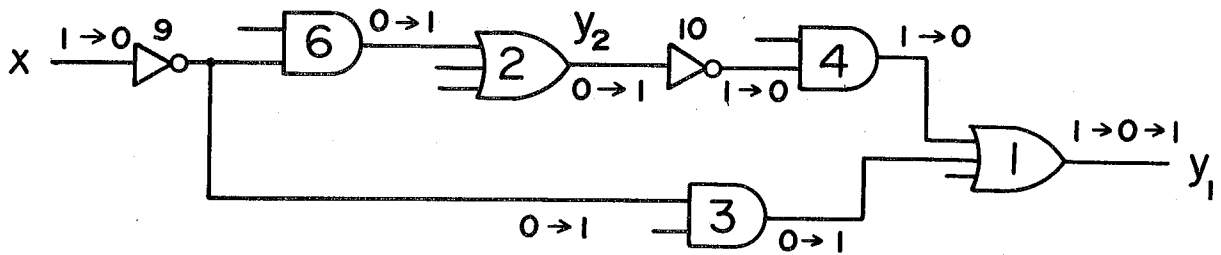


図 4.3 式(4.1)に対応する順序回路

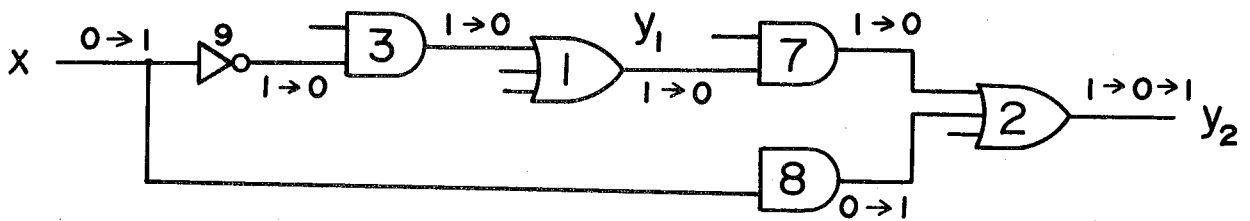




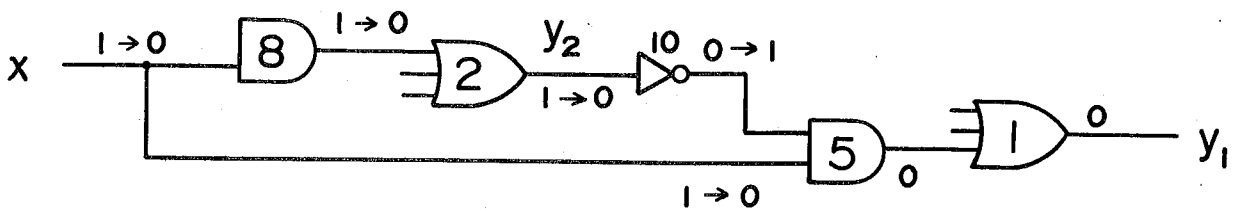
(a) 場合(i)の信号伝搬経路



(b) 場合(ii)の信号伝搬経路



(c) 場合(iii)の信号伝搬経路



(d) 場合(iv)の信号伝搬経路

図 4.4 基本ハザードに起因する定常性ハザード

それぞれの信号伝搬経路を示す。

図 4.4 の (a) は，状態 (0 0) に対する入力変化  $0 \rightarrow 1$  が起ると，AND ゲート 6 の出力が  $0 \rightarrow 1 \rightarrow 0$  の変化をする可能性があり，その結果，本来は状態遷移 (0 0)  $\rightarrow$  (1 0) の間で値を変えないはずの状態変数  $y_2$  の値が変わってしまう可能性を表わしている。(b) 及び (c) も同様である。(d) では，配線には遅延がないものと仮定しているので，入力変数  $x$  の  $1 \rightarrow 0$  変化が早く AND ゲート 5 に到着し，実際には誤った出力変化は生じないものと考えることができる。

基本ハザードに起因する定常性ハザードを生じさせる信号伝搬経路は，一般に，図 4.5 のような構造を持つ。

図 4.1 の基本ハザードと図 4.5 の回路構造とは次のように対応している。すなわち， $y_\alpha$  は状態遷移  $i \rightarrow j$  において値を変える状態変数であり， $y_\beta$  は状態遷移  $i \rightarrow j$  の間は同じ値を保ち，状態遷移  $j \rightarrow k$  において値を変える状態変数である。又， $x_h$  は入力変化  $X_a \rightarrow X_b$  において値を変える入力変数である。 $\phi_\alpha, \phi_\beta$  は，それぞれ， $y_\alpha, y_\beta$  に対応する状態変数回路を表わしている。

今，入力変化  $X_a \rightarrow X_b$  における入力変数  $x_h$  の値の変化を  $a \rightarrow \bar{a}$  とし，状態遷移  $i \rightarrow j$  における状態変数  $y_\alpha$  の値の変化を  $b \rightarrow \bar{b}$  とし，状態遷移  $j \rightarrow k$  における状態変数  $y_\beta$  の値の変化を  $c \rightarrow \bar{c}$  とする。ここに， $a, b, c \in \{0, 1\}$  である。又，状態変数関数  $\phi_\beta$  を次のように表わす。

$$y_\beta' = \phi_\beta(x_1, \dots, x_h, \dots, x_m, y_1, \dots, y_\alpha, \dots, y_n)$$

この時， $\phi_\beta$  は具体的に次のような値を持つ。

$$c = \phi_\beta(x_1, \dots, a, \dots, x_m, y_1, \dots, b, \dots, y_n)$$

$$c = \phi_\beta(x_1, \dots, \bar{a}, \dots, x_m, y_1, \dots, b, \dots, y_n)$$

$$\bar{c} = \phi_\beta(x_1, \dots, a, \dots, x_m, y_1, \dots, \bar{b}, \dots, y_n)$$

$$c = \phi_\beta(x_1, \dots, \bar{a}, \dots, x_m, y_1, \dots, \bar{b}, \dots, y_n)$$

ゆえに， $\phi_\beta$  は，入力  $(x_h, y_\alpha)$  の同時入力変化  $(a, b) \rightarrow (\bar{a}, \bar{b})$  に対して関数ハザードを持つということが出来る。

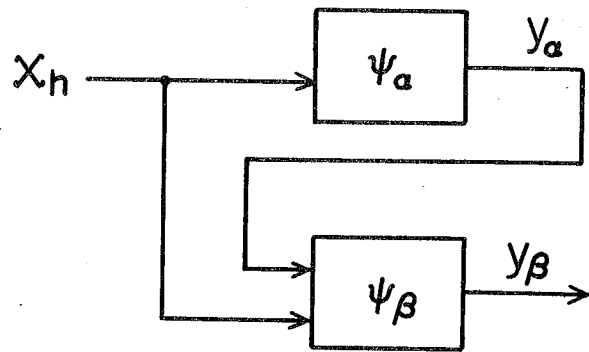
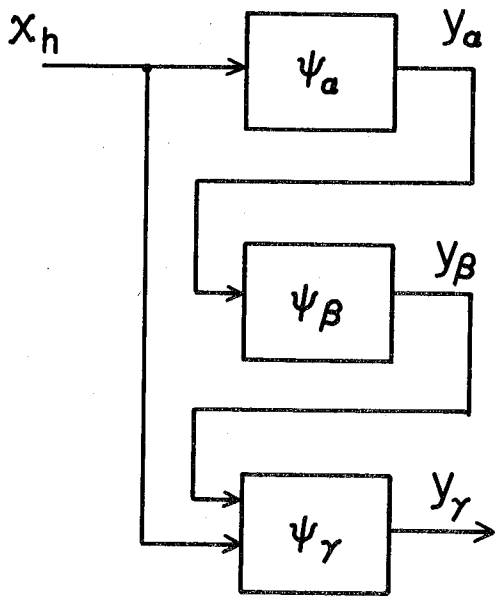
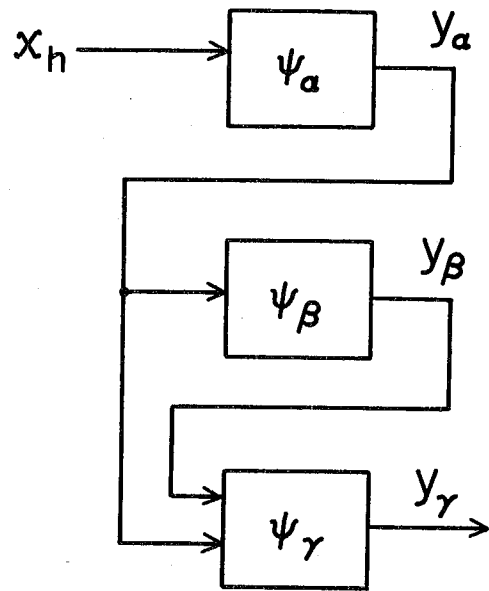


図 4.5 基本ハザードの信号伝搬経路



(a)



(b)

図 4.6 高次の基本ハザードの信号伝搬経路

以上の考察から、基本ハザードに起因する定常性ハザードを除去するためには、 $\phi_\beta$  に対して、 $(a, b) \rightarrow (\bar{a}, b) \rightarrow (\bar{a}, \bar{b})$  の入力変化、すなわち、入力変数  $x_h$  が変化した後で状態変数  $y_\alpha$  の値が変化することを保証することが必要であり、かつそれで十分であるということが結論できる。次節以降では、これを保証するための具体的な手法を示す。

次節以降の回路構成法が有効であるための遅延の条件は、

素子間の配線遅延の最大値  $\leq$  論理素子遅延の最小値  
を満たすことである。

上記条件が満たされない場合、すなわち、配線遅延を無視できない場合には、図 4.5 において、

$(x_h \rightarrow \phi_\beta \text{ の伝搬遅延 }) < (x_h \rightarrow \phi_\alpha \rightarrow y_\alpha \rightarrow \phi_\beta \text{ の伝搬遅延 })$   
が満たされるような遅延素子を  $y_\alpha$  の出力端に挿入する必要がある。

なお、ここで、ある回路に与えられた状態割当法と、そこに存在し得る定常性ハザードとの関係に触れておく。

一般に、クリティカル競合のない状態割当は、S T T 状態割当と M T T (Multiple Transition Time) 状態割当に分けられる [27]。

状態変数回路を論理ハザードフリーに構成するものとする、S T T 状態割当が与えられた回路では、一般に、図 4.5 に示される構造の定常性ハザードしか存在しない [49]。これに対して、M T T 状態割当を与えられた回路では、これ以外にも、図 4.6 に示される構造を持つ定常性ハザード (高次の基本ハザードと呼ぶことにする) が存在し得る。このような定常性ハザードは、第 2 節で述べた [判定手順] を用いて容易に検出することができる。

以下では、第 2 節において M T T 状態割当を前提とした定常性ハザード除去手法を示し、第 3、第 4 節においては S T T 状態割当を前提とする。

又、第 2 ~ 4 節を通して、基本モード (fundamental mode) [40] における単一入力変化を仮定する。すなわち入力変化は回路が安定な時だけ生じるものとする。

#### 4.2 二線方式によるハザードフリー回路の構成法

本節で述べる構成法は，遷移マトリクスが次の条件を満たしていることを仮定する。

- (1) クリティカル競合条件が存在しない。
- (2) 一度の入力変化の結果生ずる状態遷移の間，各状態変数  $y_1, y_2, \dots, y_n$  はそれぞれ，高々一度しか値を変えない。

本構成法は，S T T 状態割当のみならず，上記(1)(2)を満たす任意の M T T 状態割当を与えられた回路に適用できる。実際，これまでに知られている組織的な状態割当法はほとんど上記仮定を満たしている〔27〕。

まず，本構成法の基本となる変数変換を定義する。

〔定義 4.1〕 論理変数  $z_\ell$  ( $\ell=1 \sim m+n$ ) 及びその否定形  $\bar{z}_j$  ( $j=1 \sim m+n$ ) から作られる論理積，論理和に対する次 (イ)，(ロ) の変数変換を相互否定変換と呼ぶ。

$$(イ) \quad \prod_{\ell} z_{\ell} \cdot \prod_j \bar{z}_j \Rightarrow \prod_{\ell} (z_{\ell 1} \cdot z_{\ell 2}) \cdot \prod_j (\bar{z}_{j 1} \cdot z_{j 2}) \quad (4.2)$$

$$(ロ) \quad \sum_{\ell} z_{\ell} + \sum_j \bar{z}_j \Rightarrow \sum_{\ell} (z_{\ell 1} + z_{\ell 2}) + \sum_j (\bar{z}_{j 1} + \bar{z}_{j 2}) \quad (4.3)$$

ここに， $z_{\ell 1}, z_{\ell 2}, \bar{z}_{\ell 1}, \bar{z}_{\ell 2}$  は図 4.7 に示される回路的な変換で実現される変数である。又， $z_{\ell}$  は入力変数  $x_{\ell}$  又は状態変数  $y_{\ell}$  を表わす。

##### 4.2.1 N A N D 論理素子系による構成

〔構成法 A〕

手順 1：与えられた遷移マトリクスから，状態変数  $y_{\ell}$  ( $\ell=1 \sim n$ ) に関して，セット・リセット・フリップフロップ構成に対するセット関数  $S_{\ell}(V)$  とリセット関数  $R_{\ell}(V)$  を求め，それぞれを積和形式で次のように表現する。

$$S_{\ell}(V) = P^s_1 + P^s_2 + \dots + P^s_{\mu_{\ell}} \quad (4.4)$$

$$R_{\ell}(V) = P^r_1 + P^r_2 + \dots + P^r_{\nu_{\ell}} \quad (4.5)$$

ここに， $P^s_{\alpha}$  ( $\alpha=1 \sim \mu_{\ell}$ )， $P^r_{\beta}$  ( $\beta=1 \sim \nu_{\ell}$ ) は同じ変数の肯定項と否定項

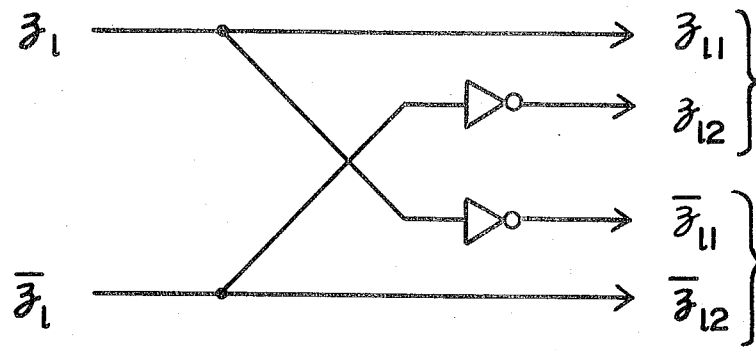


図 4.7 相互否定変換

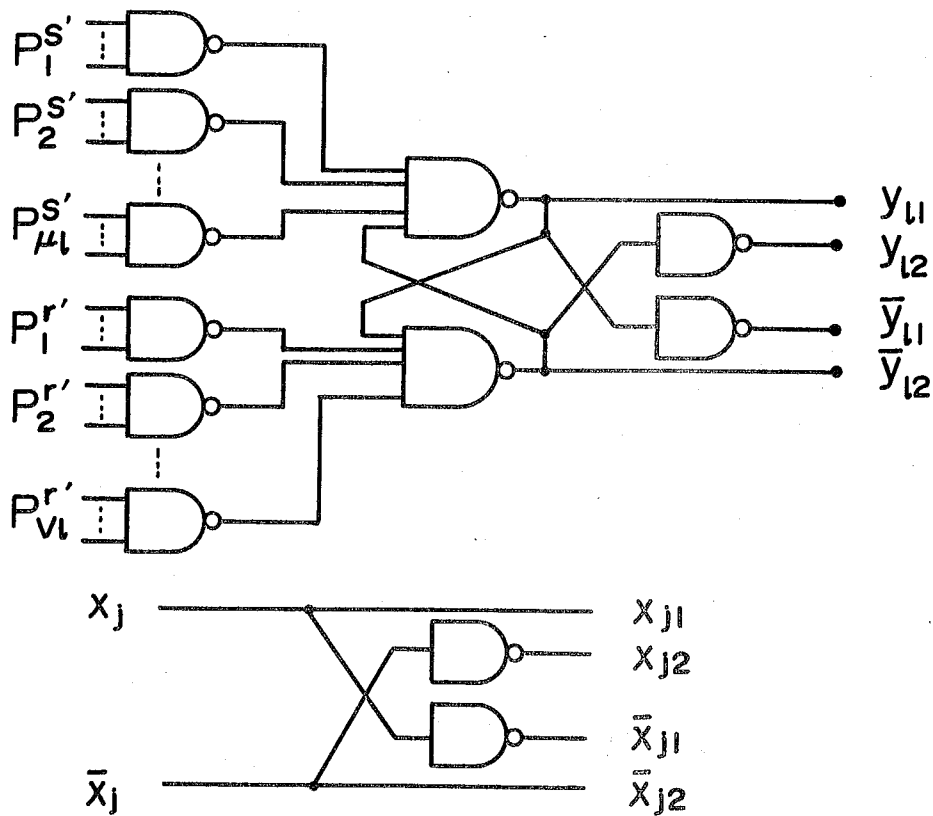


図 4.8 NAND論理素子を用いた二線方式回路構成

とを同時には含まない積項である。但し、 $S_\ell(\mathbb{V}) \cdot R_\ell(\mathbb{V}) = 0$ とする\*。

手順2：式(4.4)及び式(4.5)を、相互否定変換を用いて次のように書き直す。

$$S_\ell^1 = P_{s_2}^{s_1} + P_{s_2}^{s_1} + \dots + P_{\mu_\ell}^{s_1} \quad (4.6)$$

$$R_\ell^1 = P_{r_1}^{r_1} + P_{r_2}^{r_1} + \dots + P_{\nu_\ell}^{r_1} \quad (4.7)$$

ここに、 $P_\alpha^{s_1}$  ( $\alpha = 1 \sim \mu_\ell$ ) 及び  $P_\beta^{r_1}$  ( $\beta = 1 \sim \nu_\ell$ ) は、それぞれ、 $P_\alpha^s$  及び  $P_\beta^r$  に相互否定変換を施した積項である。

手順3：式(4.6)及び式(4.7)の各積項  $P_\alpha^{s_1}$  ( $\alpha = 1 \sim \mu_\ell$ )、 $P_\beta^{r_1}$  ( $\beta = 1 \sim \nu_\ell$ ) を実現する NAND 論理素子と、状態変数  $y_\ell, \bar{y}_\ell$  を実現する NAND ラッチを用いて、図4.8のように各状態変数回路  $\phi_\ell$  ( $\ell = 1 \sim n$ ) 及び入力端子  $x_j$  ( $j = 1 \sim m$ ) を構成する。(手順終)

[定理4.1] 構成法Aによって実現された回路には、任意の安定状態から任意の単一入力変化の下で定常性ハザードは存在しない。(定理終)

(証明) 図4.8の状態変数回路は、構成法Aの手順1及び遅延に対する仮定から論理ハザードフリーである。又、定義4.1から、入力変数及び状態変数の値の変化はそれぞれ各状態変数回路へ同時に伝わるため、構成法Aによる回路は回路Mのモデルで表現できる。

従って、定理2.2の系2から、定常性ハザードは存在しない。(証明終)

#### 4.2.2 AND-OR-NOT論理素子系による構成

はじめに、状態変数関数の単調な表現に関して、次の定理が成り立つ。

[定理4.2] 未定義領域への状態遷移を持たない遷移マトリクスにおいて、発振状態が存在しなければ、状態変数関数  $y_\ell^1 = \phi_\ell(\mathbb{V})$  は  $y_\ell$  に関して次の形に展開できる。

$$\phi_\ell(\mathbb{V}) = G_\ell \cdot y_\ell + F_\ell \quad (4.8)$$

ここに、 $G_\ell, F_\ell$  は  $y_\ell$  に依存しない  $\mathbb{V} = (\mathbb{X}, \mathbb{Y})$  の関数である。

(定理終)

\*これは可能である。例えば式(4.21)から、 $S_\ell = F_\ell^1, R_\ell = G_\ell^1$  とすればよい。

(証明) 遷移マトリクスにおいて、定義領域  $S_D$  を表わす論理関数を  $Q(V)$  とする。すなわち、

$$S_D = \{ V \mid Q(V) = 0 \} \quad (4.9)$$

一般に、状態変数関数  $\phi_\ell(V)$  は次のように  $y_\ell$  に関して一意的に表わすことができる [61]。

$$\phi_\ell(V) = A_\ell \cdot y_\ell + B_\ell \cdot \bar{y}_\ell + C_\ell \quad (4.10)$$

ここに、 $A_\ell, B_\ell, C_\ell$  は  $y_\ell$  に依存しない  $V$  の関数であり、

$$A_\ell \cdot B_\ell \equiv B_\ell \cdot C_\ell \equiv C_\ell \cdot A_\ell \equiv 0 \quad (4.11)$$

同様に、 $Q(V)$  は  $y_\ell$  に関して次のように書ける。

$$Q(V) = \alpha_\ell \cdot y_\ell + \beta_\ell \cdot \bar{y}_\ell + r_\ell \quad (4.12)$$

ここに、 $\alpha_\ell, \beta_\ell, r_\ell$  は  $y_\ell$  に依存しない  $V$  の関数であり、

$$\alpha_\ell \cdot \beta_\ell \equiv \beta_\ell \cdot r_\ell \equiv r_\ell \cdot \alpha_\ell \equiv 0 \quad (4.13)$$

今、 $\phi_\ell$  から得られる次の関数  $\phi_\ell'$  を考える。

$$\begin{aligned} \phi_\ell'(V) &= \bar{r}_\ell \cdot \phi_\ell(V) \\ &= \bar{r}_\ell \cdot A_\ell \cdot y_\ell + \bar{r}_\ell \cdot B_\ell \cdot \bar{y}_\ell + \bar{r}_\ell \cdot C_\ell \end{aligned} \quad (4.14)$$

もし、式(4.14)において、 $\bar{r}_\ell(V^a) \cdot B_\ell(V^a) = 1$  を満たす全状態  $V^a$  が存在するとすれば、

$$\{ V^a \}_{m+\ell} \cong \{ V^b \}_{m+\ell} \quad (4.15)$$

$$\{ V^a \}_j = \{ V^b \}_j \quad (j=1, 2, \dots, m+n, j \neq m+\ell) \quad (4.16)$$

を満たす状態  $V^b$  が存在して、

$$r_\ell(V^a) = r_\ell(V^b) = 0 \quad (4.17)$$

$$\text{かつ、} B_\ell(V^a) = B_\ell(V^b) = 1 \quad (4.18)$$

でなければならない。従って、式(4.11)(4.18)から、

$$\phi_\ell'(V^a) = \phi_\ell(V^a) = \bar{y}_\ell \quad (4.19)$$

$$\phi_\ell'(V^b) = \phi_\ell(V^b) = \bar{y}_\ell \quad (4.20)$$

又、式(4.17)から、 $Q(V^a), Q(V^b)$  の値に関して、次の3通りの場合しか存在しない。

$$\textcircled{1} \quad Q(V^a) = 0, \text{ かつ } Q(V^b) = 0$$



$$\textcircled{2} \quad Q(V^a) = 0, \text{ かつ } Q(V^b) = 1$$

$$\textcircled{3} \quad Q(V^a) = 1, \text{ かつ } Q(V^b) = 0$$

しかるに、 $\textcircled{1}$  の場合は  $V^a \in S_D, V^b \in S_D$ , かつ、式(4.19)(4.20)から発振状態であり、仮定に反する。

$\textcircled{2}$  の場合は、 $V^a \in S_D$  であり、式(4.19)から、状態遷移  $V^a \rightarrow V^b$  が定義されていなければならない。一方、 $V^b \notin S_D$  であるから仮定に矛盾する。

$\textcircled{3}$  の場合は  $\textcircled{2}$  と同様な理由で矛盾を生じる。

ゆえに、式(4.14)において、 $\bar{r}_\ell \cdot B_\ell \equiv 0$  が成り立つ。

ところで、 $V \in S_D$  なる任意の全状態  $V$  に対して、 $\phi_\ell'(V) = \phi_\ell(V)$  であるから、 $\phi_\ell'(V)$  は状態変数関数である。

従って、 $G_\ell = \bar{r}_\ell A_\ell, F_\ell = \bar{r}_\ell C_\ell$  とおき、 $\phi_\ell'$  を  $\phi_\ell$  と書き換えれば式(4.8)が得られる。 (証明終)

定理 4.2 から次の構成法が得られる。

[ 構成法 B ]

手順 1 : 与えられた遷移マトリクスから、状態変数  $y_\ell (\ell=1 \sim n)$  に関する状態変数関数  $\phi_\ell(V)$  を式(4.8)の形で求め、次のように変形する。

$$\phi_\ell(V) = G_\ell' \cdot y_\ell + F_\ell' \quad (4.21)$$

ここに、 $G_\ell' = G_\ell + F_\ell, F_\ell' = F_\ell$ 。

手順 2 : 式(4.21)の  $F_\ell'(V)$  及び  $G_\ell'(V)$  を次のようにそれぞれ、積和形式及び和積形式で表現する。

$$F_\ell'(V) = P_1 + P_2 + \dots + P_{\mu_\ell} \quad (4.22)$$

$$G_\ell'(V) = S_1 \cdot S_2 \cdot \dots \cdot S_{\nu_\ell} \quad (4.23)$$

ここに、 $P_\alpha (\alpha=1 \sim \mu_\ell)$  は同じ変数の肯定項と否定項を同時には含まない積項であり、 $S_\beta (\beta=1 \sim \nu_\ell)$  は同じ変数の肯定項を同時には含まない和項である。

手順 3 : 式(4.22)及び式(4.23)を相互否定変換を用いてそれぞれ次のように書き直す。

$$F_\ell'' = P_1' + P_2' + \dots + P_{\mu_\ell}' \quad (4.24)$$

$$G_{\ell}'' = S_1' \cdot S_2' \cdot \dots \cdot S_{\nu_{\ell}}' \quad (4.25)$$

ここに、 $P_{\alpha}' (\alpha=1 \sim \mu_{\ell})$  及び  $S_{\beta}' (\beta=1 \sim \nu_{\ell})$  は、それぞれ  $P_{\alpha}$  及び  $S_{\beta}$  に相互否定変換を施した積項及び和項である。

手順4：式(4.24)の各積項  $P_{\alpha}' (\alpha=1 \sim \mu_{\ell})$  を実現するAND論理素子と、式(4.25)の各和項  $S_{\beta}' (\beta=1 \sim \nu_{\ell})$  を実現するOR論理素子及び状態変数  $y_{\ell}$  を実現するAND-ORラッチを用いて、図4.9のように各状態変数回路  $\phi_{\ell} (\ell=1 \sim n)$  を構成し、入力変数  $x_j (j=1 \sim m)$  を図4.8のように実現する。  
(手順終)

[定理4.3] 構成法Bによって実現された回路には、任意の安定状態から任意の単一入力変化の下で、定常性ハザードは存在しない。(定理終)

(証明) 定理4.1と同様に証明できる。(証明終)

以上、本節で述べた構成法の特徴は次のようにまとめられる。

- 1) MTT状態割当を前提とするため、STT状態割当を含めたほとんどの組織的な状態割当法に適用できる。特に、MTT状態割当の場合の高次の基本ハザードを除去できる。
- 2) NAND論理素子だけの場合と、AND, OR, NOT論理素子を用いる場合とに適用できる。

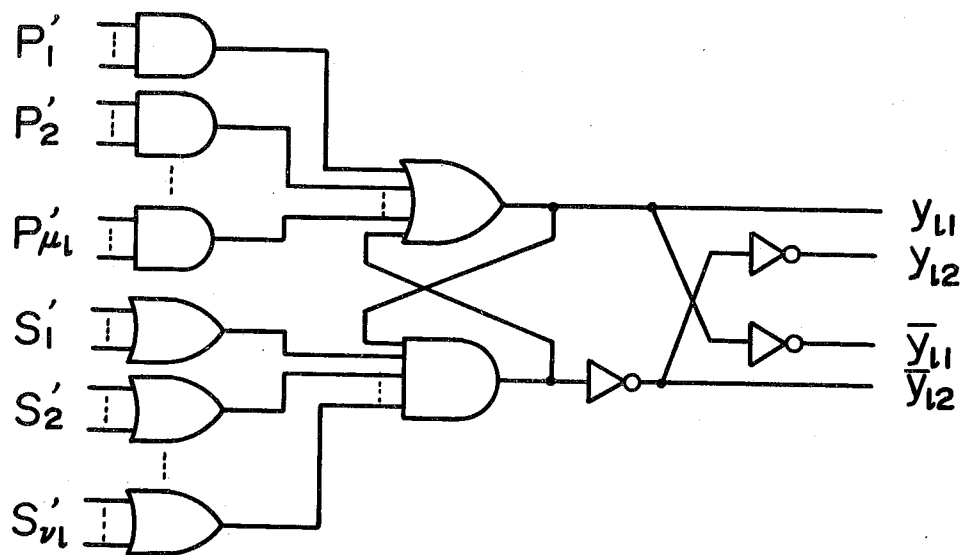


図 4.9 AND, OR, NOT 論理素子を用いた二線方式回路構成

#### 4.3 配線付加方式によるハザードフリー回路の構成法

本節で述べる構成法は，前節の方法とは異なり，S T T 状態割当が与えられることを前提とする\*。しかし，状態変数回路に対しては特にフリップフロップを使用する必要はないため，より一般的な回路構成を可能にする。

本構成法の基本原理は，本章第1節の図4.5に示した基本ハザードに関する回路構成に着目し，定常性ハザードを生じさせる信号伝搬経路を付加配線で短絡させることによって，誤動作を起こす信号伝搬を遮断することである。

さて，図4.1(a)又は(b)の基本ハザードを持つ状態遷移表に対してS T T 状態割当を与えて得られる遷移マトリクスでは，定理3.1から， $(Y_i | Y_j, Y_k)$ を分離する少なくとも一つの状態変数 $y_\alpha$ と， $(Y_i, Y_j | Y_k)$ を分離する少なくとも一つの状態変数 $y_\beta$ が存在する。すなわち，入力変化 $X_a \rightarrow X_b$ の下での状態遷移 $i \rightarrow j$ においては， $y_\alpha$ がその値を変化させ， $y_\beta$ は同じ値を保つ分離変数[33]であるのに対して，入力変化 $X_b \rightarrow X_a$ の下での状態遷移 $j \rightarrow k$ においては， $y_\beta$ がその値を変化させ， $y_\alpha$ は同じ値を保つ分離変数になっている。これらの $y_\alpha, y_\beta$ の内，図4.5に示したような関係を持つ一組の状態変数 $(y_\alpha, y_\beta)$ に着目する。

状態割当によって状態 $i, j, k$ に対応づけられた2値ベクトル， $Y_i, Y_j, Y_k$ における $y_\alpha$ 及び $y_\beta$ の値としては，次の4通りの場合があり得る。又，これ以外の場合はない。

$$\textcircled{1} \quad \begin{matrix} & y_\alpha & y_\beta \\ \begin{pmatrix} Y_i \\ Y_j \\ Y_k \end{pmatrix} & = & \begin{pmatrix} \dots & 0 & \dots & 0 & \dots \\ \dots & 1 & \dots & 0 & \dots \\ \dots & 1 & \dots & 1 & \dots \end{pmatrix} \end{matrix}$$

\*本節ではUngerの条件[49]を満たすS T T状態割当を前提とする。

この場合，除去すべき定常性ハザードは基本ハザードに関するものだけとなる[49]。

$$\textcircled{2} \quad \begin{matrix} & y_\alpha & y_\beta \\ \begin{pmatrix} Y_i \\ Y_j \\ Y_k \end{pmatrix} & = & \begin{pmatrix} \dots & 1 & \dots & 0 & \dots \\ \dots & 0 & \dots & 0 & \dots \\ \dots & 0 & \dots & 1 & \dots \end{pmatrix} \end{matrix}$$

$$\textcircled{3} \quad \begin{matrix} & y_\alpha & y_\beta \\ \begin{pmatrix} Y_i \\ Y_j \\ Y_k \end{pmatrix} & = & \begin{pmatrix} \dots & 0 & \dots & 1 & \dots \\ \dots & 1 & \dots & 1 & \dots \\ \dots & 1 & \dots & 0 & \dots \end{pmatrix} \end{matrix}$$

$$\textcircled{4} \quad \begin{matrix} & y_\alpha & y_\beta \\ \begin{pmatrix} Y_i \\ Y_j \\ Y_k \end{pmatrix} & = & \begin{pmatrix} \dots & 1 & \dots & 1 & \dots \\ \dots & 0 & \dots & 1 & \dots \\ \dots & 0 & \dots & 0 & \dots \end{pmatrix} \end{matrix}$$

従って、図 4.1 の基本ハザードの部分に関する遷移マトリクスも、 $y_\alpha$  及び  $y_\beta$  だけに着目すると、上記①～④に対応して、図 4.10 の①～④のようになる。

本構成法では、まず、遷移マトリクス\* から状態変数関数  $\phi_\ell(\mathbb{X}, \mathbb{Y})$  をすべての主項を含む積和形論理式の形で導く。次に、それに対応する状態変数回路を、図 4.11 の破線内に示されるような NAND-NAND 二段構成によって実現する。しかる後、以下に述べる規則に従って、定常性ハザード除去のための付加配線を行なう。

以後の記述を簡潔にするため、注目する図 4.1 の基本ハザードにおいて、単一入力変化の仮定から、入力  $\mathbb{X}_a$  での入力変数  $x_h$  の値を 0、入力  $\mathbb{X}_b$  での入力変数  $x_h$  の値を 1 とし、入力変数  $x_h$  の  $0 \rightarrow 1$  変化に対して、状態遷移  $i \rightarrow j$  が生じるものとする。これによって議論の一般性は失なわれ

\* S T T 状態割当を与えた結果生じる未定義状態 [49] は次節で述べる方法によって定められているものとする。

①

	$y_\alpha$	$y_\beta$	$X_a$		$X_b$	
	$y_\alpha$	$y_\beta$	$y_\alpha$	$y_\beta$	$y_\alpha$	$y_\beta$
$Y_i$ ( --- 0 --- 0 --- )			--- 0 --- 0 ---		--- 1 --- 0 ---	
$Y_j$ ( --- 1 --- 0 --- )			--- 1 --- 1 ---		--- 1 --- 0 ---	
$Y_k$ ( --- 1 --- 1 --- )			--- 1 --- 1 ---		---	

②

	$y_\alpha$	$y_\beta$	$X_a$		$X_b$	
	$y_\alpha$	$y_\beta$	$y_\alpha$	$y_\beta$	$y_\alpha$	$y_\beta$
$Y_i$ ( --- 1 --- 0 --- )			--- 1 --- 0 ---		--- 0 --- 0 ---	
$Y_j$ ( --- 0 --- 0 --- )			--- 0 --- 1 ---		--- 0 --- 0 ---	
$Y_k$ ( --- 0 --- 1 --- )			--- 0 --- 1 ---		---	

③

	$y_\alpha$	$y_\beta$	$X_a$		$X_b$	
	$y_\alpha$	$y_\beta$	$y_\alpha$	$y_\beta$	$y_\alpha$	$y_\beta$
$Y_i$ ( --- 0 --- 1 --- )			--- 0 --- 1 ---		--- 1 --- 1 ---	
$Y_j$ ( --- 1 --- 1 --- )			--- 1 --- 0 ---		--- 1 --- 1 ---	
$Y_k$ ( --- 1 --- 0 --- )			--- 1 --- 0 ---		---	

④

	$y_\alpha$	$y_\beta$	$X_a$		$X_b$	
	$y_\alpha$	$y_\beta$	$y_\alpha$	$y_\beta$	$y_\alpha$	$y_\beta$
$Y_i$ ( --- 1 --- 1 --- )			--- 1 --- 1 ---		--- 0 --- 1 ---	
$Y_j$ ( --- 0 --- 1 --- )			--- 0 --- 0 ---		--- 0 --- 1 ---	
$Y_k$ ( --- 0 --- 0 --- )			--- 0 --- 0 ---		---	

図 4.10  $(y_\alpha, y_\beta)$  に着目した基本ハザート部分の遷移マトリクス

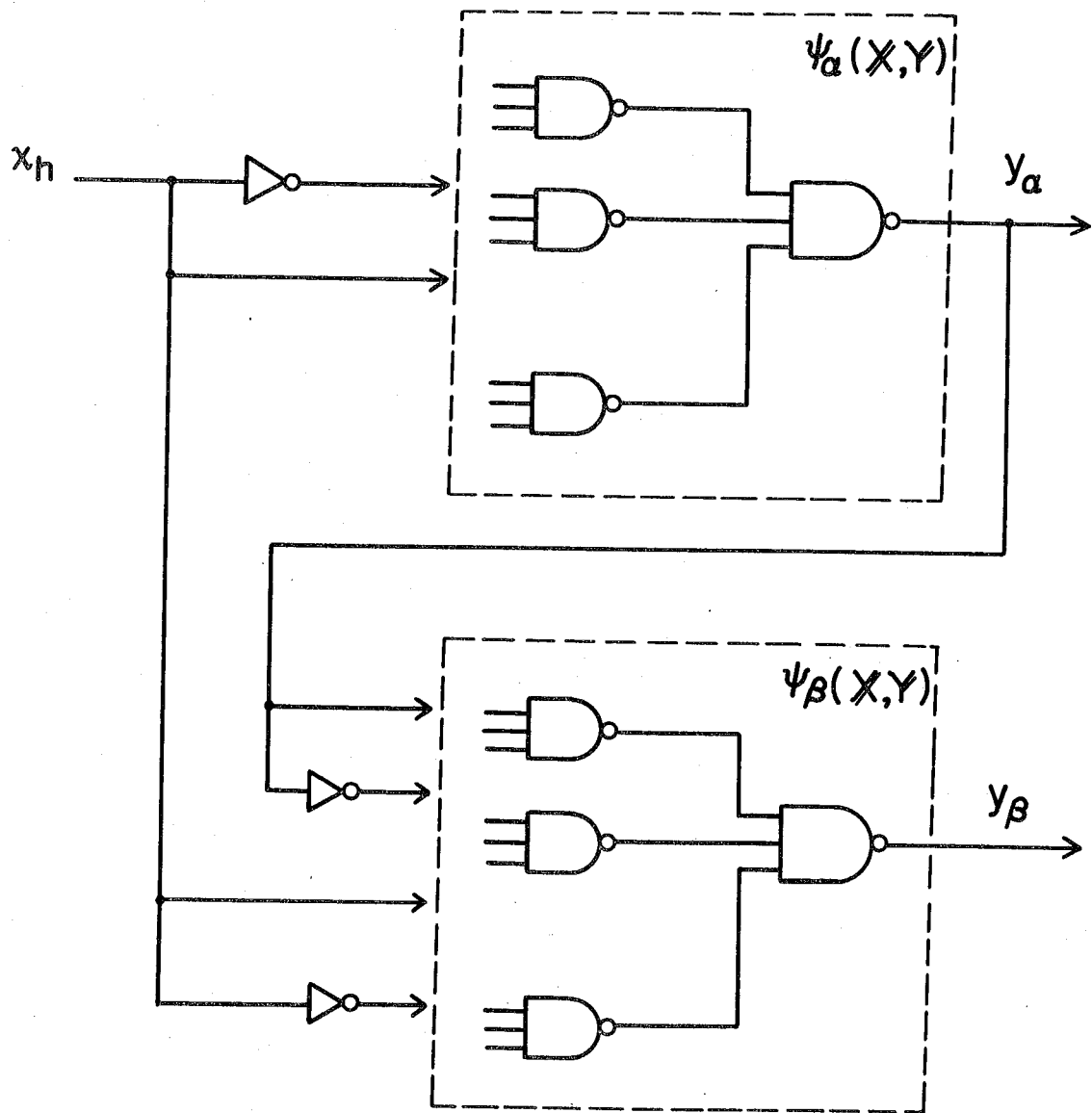


图 4.11  $y_\alpha, y_\beta$  に対応する状態変数回路

ない。

以下で、図 4.10 の ①～④ の各場合における状態変数関数の積和表現、及び、それに対応する配線付加法を述べる。

①の場合：

$\phi_\alpha(X, Y)$  の積和表現には、少なくとも一つ  $x_h P_\alpha^1$  なる積項が存在する。ここに、 $P_\alpha^1$  は  $y_\alpha$  に独立な積項である。 $x_h P_\alpha^1$  を実現する NAND ゲートを  $N_\alpha^1$  で表わす。

$\phi_\beta(X, Y)$  の積和表現には、少なくとも一つの  $\bar{x}_h \cdot y_\alpha \cdot P_\beta^1$  なる積項が存在する。ここに、 $P_\beta^1$  は、 $y_\alpha, y_\beta$  に独立な積項である。 $\bar{x}_h \cdot y_\alpha \cdot P_\beta^1$  を実現する NAND ゲートを  $N_\beta^1$  で表わす。

ここで、図 4.12 (a) の破線で示される配線を付加した場合の NAND ゲート  $N_\beta^1$  の新しい出力を  $N_\beta^{1'}$  とすると、

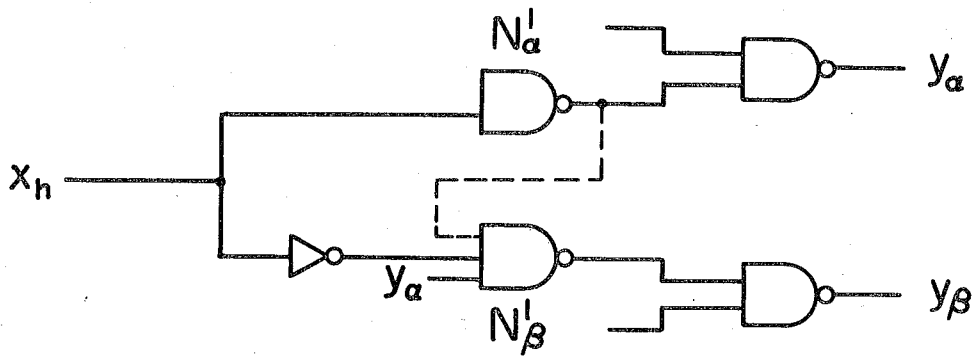
$$\begin{aligned} N_\beta^{1'} &= \overline{N_\alpha^1 \cdot \bar{x}_h \cdot y_\alpha \cdot P_\beta^1} \\ &= \overline{x_h P_\alpha^1 \cdot \bar{x}_h \cdot y_\alpha \cdot P_\beta^1} \\ &= \overline{\bar{x}_h \cdot y_\alpha \cdot P_\beta^1} \\ &= N_\beta^1 \end{aligned}$$

である。すなわち、 $N_\alpha^1 \rightarrow N_\beta^1$  の付加配線によって、論理的には  $\phi_\beta(X, Y)$  は不変である。一方、入力  $x_h$  の  $0 \rightarrow 1$  変化は、遅延に関する仮定から、 $N_\alpha^1 \rightarrow N_\beta^1$  の短絡線を経由して、 $y_\alpha$  の  $0 \rightarrow 1$  変化より早く  $N_\beta^1$  へ伝わるため、 $y_\beta$  は値 0 を保ったままであり、誤動作は生じないことが確められる。すなわち、図 4.12 (a) の付加配線によって、定常性ハザードは除去される。

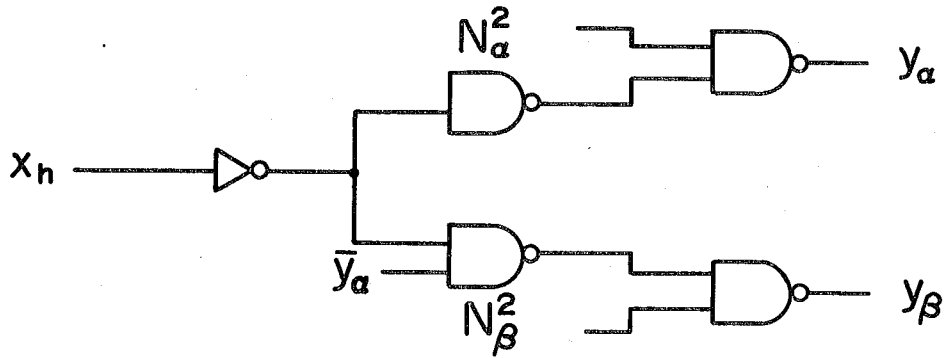
②の場合：

$\phi_\alpha(X, Y)$  の積和表現には、少なくとも一つ  $\bar{x}_h \cdot y_\alpha \cdot P_\alpha^2$  なる積項が存在する。ここに、 $P_\alpha^2$  は  $y_\alpha, y_\beta$  に独立な積項である。 $\bar{x}_h \cdot y_\alpha \cdot P_\alpha^2$  を実

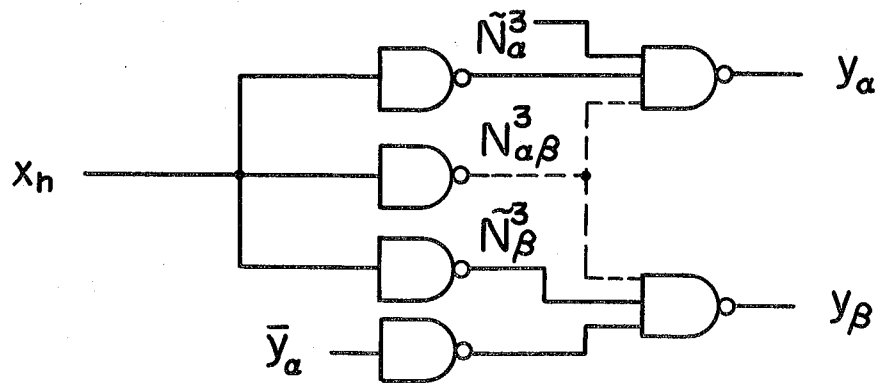




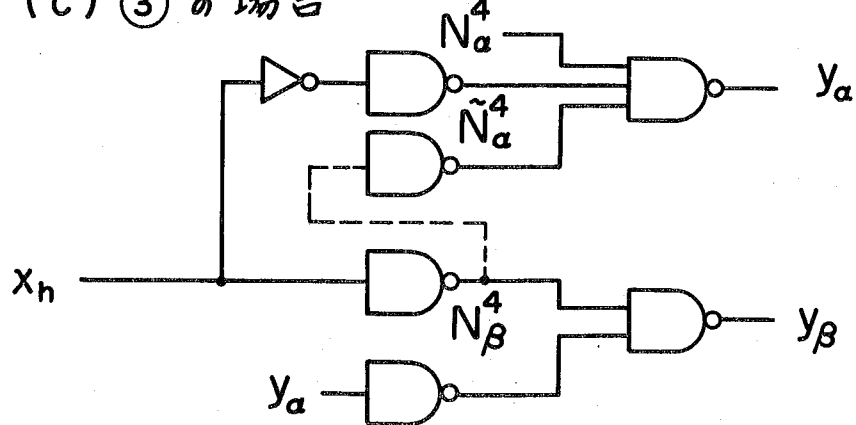
(a) ① の場合



(b) ② の場合



(c) ③ の場合



(d) ④ の場合

図 4.12 配線付加方式

現する NAND ゲートを  $N_{\alpha}^2$  で表わす。

$\phi_{\beta}(X, Y)$  の積和表現には、少なくとも一つ  $\bar{x}_h \cdot \bar{y}_{\alpha} \cdot P_{\beta}^2$  なる積項が存在する。ここに、 $P_{\beta}^2$  は  $y_{\alpha}, y_{\beta}$  に独立な積項である。 $\bar{x}_h \cdot \bar{y}_{\alpha} \cdot P_{\beta}^2$  を実現する NAND ゲートを  $N_{\beta}^2$  とする。

この場合は、図 4.12 (b) から明らかなように、 $x_h$  の  $0 \rightarrow 1$  変化は、 $y_{\alpha}$  の  $1 \rightarrow 0$  変化より早く  $N_{\beta}^2$  へ伝わるため、 $y_{\beta}$  は 0 のままであり、誤動作は生じない。

③ の場合：

$\phi_{\alpha}(X, Y)$  の積和表現には、少なくとも一つ  $x_h \cdot P_{\alpha}^3$  なる積項が存在する。

ここに、 $P_{\alpha}^3$  は  $y_{\alpha}$  に独立な積項である。 $x_h \cdot P_{\alpha}^3$  を実現する NAND ゲートを  $N_{\alpha}^3$  で表わす。

$\phi_{\beta}(X, Y)$  の積和表現には、少なくとも一つ  $x_h \cdot P_{\beta}^3$  なる積項が存在する。ここに、 $P_{\beta}^3$  は  $y_{\alpha}$  に独立な積項である。 $x_h \cdot P_{\beta}^3$  を実現する NAND ゲートを  $N_{\beta}^3$  で表わす。

この時、 $P_{\alpha}^3 \cdot P_{\beta}^3 \neq 0$  であるから、 $x_h \cdot P_{\alpha}^3 \cdot P_{\beta}^3$  を実現する NAND ゲートを  $N_{\alpha\beta}^3$  とし、 $x_h \cdot P_{\alpha}^3 \cdot \bar{P}_{\beta}^3$  を  $\tilde{N}_{\alpha}^3$ 、 $x_h \cdot \bar{P}_{\alpha}^3 \cdot P_{\beta}^3$  を  $\tilde{N}_{\beta}^3$  でそれぞれ表わすものとする。

この場合は、図 4.12 (c) に示されるように、 $N_{\alpha}^3, N_{\beta}^3$  をそれぞれ  $\tilde{N}_{\alpha}^3, \tilde{N}_{\beta}^3$  で置き換え、 $N_{\alpha\beta}^3$  を  $y_{\alpha}$  と  $y_{\beta}$  で共有することによって、定常性ハザードは除去される。論理的には、

$$N_{\alpha}^3 = N_{\alpha\beta}^3 + \tilde{N}_{\alpha}^3$$

$$N_{\beta}^3 = N_{\alpha\beta}^3 + \tilde{N}_{\beta}^3$$

であるから、 $\phi_{\alpha}(X, Y)$ 、 $\phi_{\beta}(X, Y)$  は共に不変である。又、基本モードにおける単一入力変化の仮定から、 $N_{\alpha}^3$  を  $N_{\alpha\beta}^3$  と  $\tilde{N}_{\alpha}^3$  に分けることによってはあらたな論理ハザードは生じない。

④ の場合：

$\phi_{\alpha}(X, Y)$  の積和表現には、少なくとも一つ  $\bar{x}_h \cdot y_{\alpha} \cdot P_{\alpha}^4$  なる積項が存

在する。ここに、 $P_{\alpha}^4$  は  $y_{\alpha}$  に独立な積項である。 $\bar{x}_h \cdot y_{\alpha} \cdot P_{\alpha}^4$  を実現する NAND ゲートを  $N_{\alpha}^4$  で表わす。

$\phi_{\beta}(X, Y)$  の積和表現には、少なくとも一つ  $x_h \cdot P_{\beta}^4$  なる積項が存在する。ここに、 $P_{\beta}^4$  は  $y_{\alpha}$  に独立な積項である。 $x_h \cdot P_{\beta}^4$  を実現する NAND ゲートを  $N_{\beta}^4$  で表わす。

又、 $y_{\alpha} \cdot P_{\alpha}^4 \cdot P_{\beta}^4$  なる積項を実現する NAND ゲートを  $\tilde{N}_{\alpha}^4$  とし、これに対して、図 4.12 (d) に示される付加配線を行なうと、

$$\begin{aligned} N_{\alpha}^4 + \tilde{N}_{\alpha}^4 &= N_{\alpha}^4 + y_{\alpha} \cdot P_{\alpha}^4 \cdot P_{\beta}^4 \cdot N_{\beta}^4 \\ &= N_{\alpha}^4 + y_{\alpha} \cdot P_{\alpha}^4 \cdot P_{\beta}^4 \cdot \overline{x_h \cdot P_{\beta}^4} \\ &= N_{\alpha}^4 + \bar{x}_h \cdot y_{\alpha} \cdot P_{\alpha}^4 \cdot P_{\beta}^4 \\ &= N_{\alpha}^4 \end{aligned}$$

であり、論理的には  $\phi_{\alpha}(X, Y)$  は不変である。一方、この付加配線によって、 $y_{\beta}$  の誤った出力変化は阻止され、定常性ハザードが除去される。

以上の議論をまとめると、本構成法の手順が次のように得られる。

[ 構成手順 ]

手順 1 : 遷移マトリクスから、状態変数関数をすべての主項を含む積和形論理式の形で導く。

手順 2 : 遷移マトリクスのすべての基本ハザードの部分に関して手順 3, 4 を行なう。

手順 3 : 一組の  $y_{\alpha}, y_{\beta}$  を選び図 4.10 の ① ~ ④ のいずれかを判定する。

手順 4 : ① ならば、すべての  $N_{\alpha}^1$  と  $N_{\beta}^1$  の組合せに対して、図 4.12 (a) の付加配線を行なう。

② ならば、何もせず、手順 2 へ戻る。

③ ならば、任意の一つの  $N_{\beta}^3$  とすべての  $N_{\alpha}^3$  の組合せに対して、図 4.12 (c) の付加配線を行なう。

④ ならば、任意の一組の  $N_{\alpha}^4$  と  $N_{\beta}^4$  に対して図 4.12 (d) の付加配

線を行なう。

もし、上記①～④の各場合において、 $N_{\alpha}^{\ell}$ 、 $N_{\beta}^{\ell}$  ( $\ell = 1 \sim 4$ ) が存在しない場合には、手順3へ戻り、別の $y_{\alpha}$ 、 $y_{\beta}$ を選ぶ。

手順5：すべての基本ハザードを尽せば終わり。そうでなければ、手順2へ戻る。 (手順終)

本構成法の例として、図4.2(b)の遷移マトリクスを考える。

すべての主項を含んだ積和形式の状態変数関数は式(4.1)に示されている。すなわち、

$$\phi_1(x, y_1, y_2) = \bar{x}y_1 + y_1\bar{y}_2 + x\bar{y}_2$$

$$\phi_2(x, y_1, y_2) = \bar{x}y_1 + y_1y_2 + xy_2$$

前に述べたように、図4.2(b)には、4つの基本ハザードが存在する。

(i) 状態1に対する入力変化 $0 \rightarrow 1$ ：

これは①の場合に相当する。従って、

$$N_{\alpha}^1 = x\bar{y}_2, N_{\beta}^1 = \bar{x}y_1$$

(ii) 状態2に対する入力変化 $1 \rightarrow 0$ ：

これは③の場合に相当する。従って、

$$N_{\alpha\beta}^3 = \bar{x}y_1, \tilde{N}_{\alpha}^3 = \tilde{N}_{\beta}^3 = 0$$

(iii) 状態3に対する入力変化 $0 \rightarrow 1$ ：

これは④の場合に相当する。従って、

$$N_{\alpha}^4 = \bar{x}y_1, N_{\beta}^4 = xy_2, \tilde{N}_{\alpha}^4 = y_1y_2$$

(iv) 状態4に対する入力変化 $1 \rightarrow 0$ ：

これは②の場合に相当する。従って、付加配線は不要。

以上から、結局、図4.13に示すような回路が得られる。

なお、本構成法は状態変数回路にフリップフロップを使用することを特に前提とはしない。しかし、特別な場合として、セット・リセット・フリップフロップを状態変数回路に用いる場合には、セット関数及びリセット関数を実現する組合せ回路の出力がそれぞれ $0 \rightarrow 1$ 変化しか意味を持たないため、\*セット関数及びリセット関数に関する遷移マトリクスでは、図4.

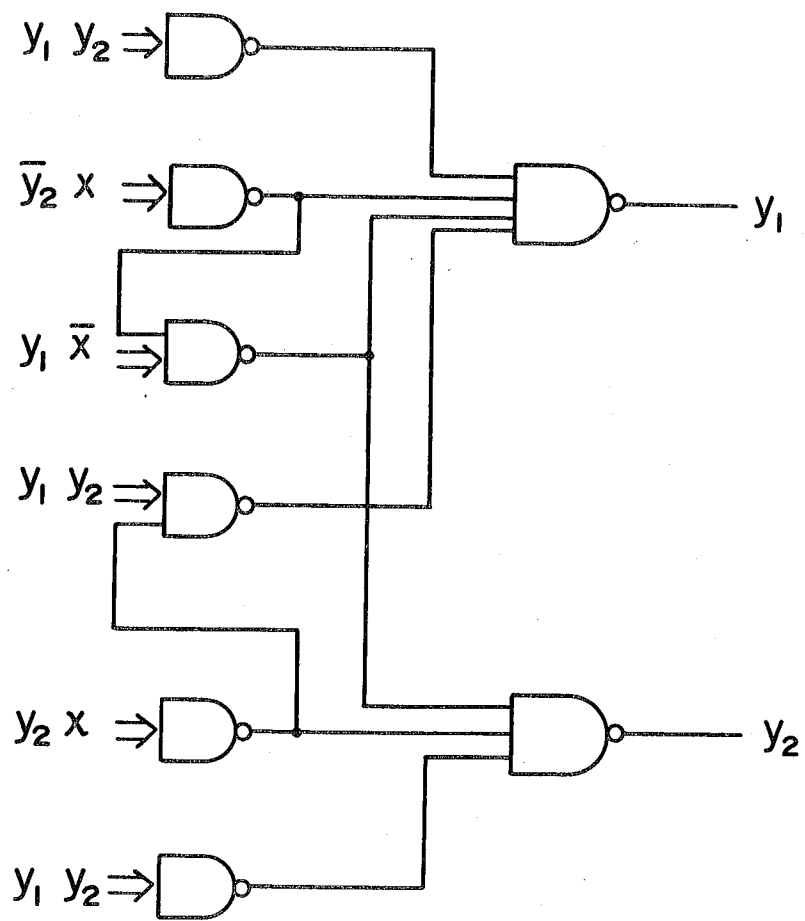


図 4.13 配線付加方式による回路構成の例

10の①の場合又は②の場合だけを考えれば十分である。従って、フリップフロップを使用した状態変数回路に本構成法を適用する場合には、配線付加を必要とする箇所はさらに少なくなる。

\*これは正論理の場合である。負論理の場合は $1 \rightarrow 0$ 変化。

#### 4.4 正論理負論理併用方式によるハザードフリー回路の構成法

前節及び前々節の構成法は，状態割当がすでに与えられていることを前提として，遷移マトリクスから状態変数関数を得る工程を構成法の第1の手順としていた。これに対して，本節で述べる構成法の要点は次の2点である。

- (1) 符号極性を考慮したS T T状態割当を与えること。
- (2) 正論理負論理併用回路(A N D - O R ラッチ)を用いること。

正論理負論理併用回路(図4.14)は，すでに本章第2節におけるA N D - O R - N O T論理素子系による二線方式の構成法でも用いられているが，ここでは，その正論理負論理併用の特徴をうまく状態割当に反映させることによって，より簡潔な回路構成を実現する。

はじめに，状態割当法を示す。

そのために，二，三の表記法を約束する。任意の状態 $i, j, k, \ell \in Q$ に対して， $(Y_i, Y_j | Y_k, Y_\ell)$ が少なくとも一つの状態変数 $y$ で分離されるという条件を非順序対 $(ij, k\ell)$ で表わす。それに加えるに符号の極性を考え， $(Y_i, Y_j | Y_k, Y_\ell)$ を分離している少なくとも一つの状態変数 $y$ の値に関して $Y_i$ 及び $Y_j$ においては $y = 0$ ， $Y_k$ 及び $Y_\ell$ においては $y = 1$ であるように符号を割当てる条件を順序対 $[(ij, k\ell)]$ で表わすことにする。

又，入力変化 $X_a \rightarrow X_b$ において変化するただ一つの入力変数 $x_h$ が0から1へ変わるとき， $X_a < X_b$ で表わし，1から0へ変わるとき， $X_a > X_b$ で表わす。

さらに，正規な状態遷移表のある部分が図4.15の形態を持つとき，状態遷移 $i \rightarrow j$ を入力変化 $X_a \rightarrow X_b$ の下でのE遷移と呼ぶことにする。図4.15の形態は，図4.1に示された基本ハザードの形態を含んでいる。

以上の表記法を用いて状態割当法を次に示す。

[状態割当法]

与えられた状態遷移表において，入力変化 $X_a \rightarrow X_b$ が単一入力変化であり，入力 $X_b$ の下で状態遷移 $i \rightarrow j$ が定義されているならば：

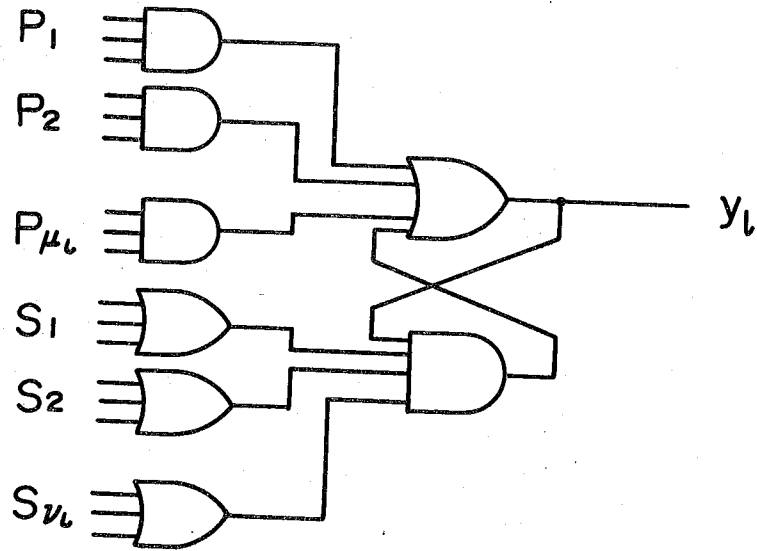


图 4.14 正逻辑负逻辑并用回路

	$X_a$	$X_b$
$i$	(i)	$j$
$j$	$k$	(j)
$k$	(k)	—
	—	—

图 4.15 E 迁移



- (1) 状態遷移  $i \rightarrow j$  が E 遷移の場合，
- (i) 入力  $X_a$  又は  $X_b$  の下で状態遷移  $p \rightarrow q$  ( $p, q \neq i, j$ ) が定義されているならば， $X_a < X_b$  のときは  $[[pq, ij]]$  を，又， $X_a > X_b$  のときは  $[[ij, pq]]$  を，それぞれ満足させる。
- (ii) 入力  $X_b$  の下で他の状態からの遷移のない安定状態  $s$  ( $\neq j$ ) があるならば， $X_a < X_b$  のときは  $[[s, ij]]$  を，又， $X_a > X_b$  のときは  $[[ij, s]]$  を満足させる。
- (2) 状態遷移  $i \rightarrow j$  が E 遷移ではない場合，
- (i) 入力  $X_a$  又は  $X_b$  の下で状態遷移  $p \rightarrow q$  ( $p, q \neq i, j$ ) が定義されているならば  $(ij, pq)$  を満足させる。
- (ii) 入力  $X_b$  の下で他の状態からの遷移のない安定状態  $s$  ( $\neq j$ ) があるならば， $(ij, s)$  を満足させる。

上記の状態割当法を適用して得られる遷移マトリクスには，一般に，未定義状態が存在する。すなわち，状態変数  $y_1, y_2, \dots, y_n$  によって定められる 2 値符号ベクトル  $Y = (y_1, y_2, \dots, y_n)$  の内，状態遷移表のどの内部状態にも対応づけられない符号ベクトル  $Y_u$  に対しては，任意の入力  $X$  の下で，次の遷移先  $\phi(X, Y_u)$  が定義されていない。従って，状態変数関数を導くためには，これらの未定義状態に対して，次の遷移先を定義する必要がある。

次にこの方法を示す。ここで，図 4.15 の状態  $i, j, k$  に対して，符号ベクトル  $Y_i, Y_j, Y_k$  が対応づけられるものとする。

[未定義状態の定義の仕方]

上記状態割当法を適用して得られる遷移マトリクスにおいて，入力変化  $X_a \rightarrow X_b$  の下で状態遷移  $Y_i \rightarrow Y_j$  が E 遷移に対応する場合：

- (i)  $X_a < X_b$  ならば， $SP(Y_j, Y_k)$  に含まれ，かつ  $\{Y_j\}_\ell = 1$  なるすべての状態変数  $y_\ell$  に対して  $\{Y_u\}_\ell = 1$  であるような未定義状態  $Y_u$  に対して，入力  $X_b$  の下での次の遷移先を  $Y_j$  と定義する。

(ii)  $X_a > X_b$  ならば,  $SP(Y_j, Y_k)$  に含まれ, かつ  $\{Y_j\}_\ell = 0$  なるすべての状態変数  $y_\ell$  に対して  $\{Y_u\}_\ell = 0$  であるような未定義状態  $Y_u$  に対して, 入力  $X_b$  の下での次の遷移先を  $Y_j$  と定義する。

但し,  $\{Y\}_\ell$  は符号ベクトル  $Y$  の第  $\ell$  番目の要素の値を表わす。

その他の未定義状態に対しては, S T T 状態割当を与えられた遷移マトリクスに対する通常の方法 [49] によって, 矛盾なく次の遷移先を定義することができる。

さて, 上記の方法によって未定義状態を定義された遷移マトリクスからは, 各状態変数  $y_\ell$  ( $\ell=1\sim n$ ) に関して状態変数関数  $\phi_\ell(X, Y)$  を導くことができる。それらは, 定理 4.2 から, 次の形に書ける。

$$\phi_\ell(X, Y) = G_\ell(X, Y) \cdot y_\ell + F_\ell(X, Y) \quad (4.26)$$

ここに,  $G_\ell(X, Y)$ ,  $F_\ell(X, Y)$  は, それぞれ  $y_\ell$  に独立な論理関数である。

式(4.26)を次のように書き直す。

$$\phi_\ell(X, Y) = \hat{G}_\ell(X, Y) \cdot y_\ell + \hat{F}_\ell(X, Y) \quad (4.27)$$

ここに,  $\hat{G}_\ell = G_\ell + F_\ell$ ,  $\hat{F}_\ell = F_\ell$  である。

ここで, 式(4.27)の  $\hat{F}_\ell$  及び  $\hat{G}_\ell$  は, それぞれ積和形式及び和積形式で次のように表現できる。

$$\hat{F}_\ell(X, Y) = P_1 + P_2 + \dots + P_{\mu_\ell} \quad (4.28)$$

$$\hat{G}_\ell(X, Y) = S_1 \cdot S_2 \cdot \dots \cdot S_{\nu_\ell} \quad (4.29)$$

但し,  $P_\alpha \neq 0$  ( $\alpha=1\sim\mu_\ell$ ),  $S_\beta \neq 0$  ( $\beta=1\sim\nu_\ell$ ) である。

従って, 状態変数  $y_\ell$  を実現する状態変数回路として, 式(4.27)~(4.29)から, 図 4.14 に示されたような正論理負論理併用回路が得られる。

図 4.14 の回路は, セット時には正論理で反転し, リセット時には負論理で反転するセット・リセット型フリップフロップである。

各状態変数  $y_\ell$  ( $\ell=1\sim n$ ) に対応して, 図 4.14 の回路を  $n$  個構成することによって, 非同期式順序回路が実現できる。

さて、以上に述べた状態割当法、未定義状態の定義法と正論理負論理併用回路によって、任意の正規な状態遷移表を定常性ハザードのない非同期式順序回路として実現できることを以下に示す。

まず、前記状態割当法は S T T 状態割当であるから、遷移マトリクスに発振状態は存在しない。従って、定理 4.2 の仮定が満たされ、状態変数関数は常に式(4.26)の形に書ける。それゆえ、図 4.14 の回路構成を用いることは常に可能である。

次に、与えられた状態遷移表に E 遷移が存在しない場合には、前記状態割当法の(2)が、Unger の条件 [49] と全く同じになるから本構成法による回路に定常性ハザードがないことは明らかである。従って、状態遷移表に E 遷移がある場合、特に、入力変化  $X_a \rightarrow X_b$  の下で状態遷移  $i \rightarrow j$  が E 遷移である場合だけを考えれば十分である。そこで、これを、入力変化の極性に関して次の 2 つの場合に分けて考えることにする。

(1)  $X_a < X_b$  の場合：

E 遷移が図 4.1 の基本ハザードである場合には、状態割当法の(1)から、状態  $i, j$  に対して 1、状態  $k$  に対して 0 を割当てる状態変数が少なくとも一つ存在する。それを  $y_\ell$  とすると、状態遷移  $i \rightarrow j$  の途中で状態  $k$  へ遷移するためには、本章第 1 節で述べたように、状態変数  $y_\ell$  が、入力変化  $X_a \rightarrow X_b$  によって変化する入力変数  $x_h$  の値 0 と状態  $Y_j$  を感知して、1 から 0 へ変化することが必要である。

しかるに、図 4.14 の回路構成では、 $x_h$  の  $1 \rightarrow 0$  変化に伴なう  $y_\ell$  の  $1 \rightarrow 0$  変化は OR ゲート  $S_\beta$  の出力値が 0 になることによって生じる。

ゆえに、入力変数  $x_h$  の変化は否定論理素子を介さずに直接 OR ゲート  $S_\beta$  へ伝えられるため、入力変化  $X_a \rightarrow X_b$  に対して  $y_\ell = 1$  が保たれ、かつ、未定義状態の定義の仕方から、入力  $X_b$  の下では回路は必ず状態  $Y_j$  へ落ち着くことが分る。

次に、図 4.15 の E 遷移において、入力  $X_b$  の下での状態  $k$  の次の遷移先が  $j$  の場合、すなわち、E 遷移が基本ハザードではない場合には、もし

入力  $X_a$  の下で  $j$  以外の状態から状態  $k$  への遷移が定義されていれば、前記状態割当法の (1) が適用されるため、今と同じ議論が成り立つ。又、入力  $X_a$  の下で  $j$  以外の状態から状態  $k$  への遷移がないならば、状態  $k$  の存在は状態遷移  $i \rightarrow j$  に対して何ら影響を与えない。

(ii)  $X_a > X_b$  の場合：

(i) と全く同様の議論ができる。

以上から、本構成法によって、任意の正規な状態遷移表を定常性ハザードのない非同期式順序回路として実現できることが示された。

本構成法を適用する例として、図 4.2 (a) の状態遷移表に対して前記の状態割当法を適用する過程を図 4.16 に示す。同図 (a) は、状態遷移表のすべての入力変化  $X_a \rightarrow X_b$  の下でのすべての状態遷移  $i \rightarrow j$  に対して前記状態割当法を適用した結果として得られる状態割当の条件を示している。同図 (b) は、この条件に従って与えられる S T T 状態割当を示している。又、同図 (c) は、この S T T 状態割当を与えられた結果、前記の未定義状態の定義の仕方によって定められる遷移マトリクスを示している。この遷移マトリクスにおいて、第 5 行目から第 16 行目までは、未定義状態であり、\*印の付された箇所は前記の未定義状態の定義の仕方によって定義されたことを示しており、その他の箇所は、通常の方法 [49] で定義されている。又、-印は don't care であることを示している。従って、-印の部分を実任意に定義することにより、この遷移マトリクスから容易に状態変数関数が導かれ、それらを図 4.14 のような状態変数回路で実現することによって、非同期式順序回路を構成できる。

入力変化 $X_a \rightarrow X_b$	状態遷移 $i \rightarrow j$	状態遷移 $p \rightarrow q$	状態割当の 条件
$0 \rightarrow 1$	$1 \rightarrow 2$	$3 \rightarrow 4$	$\{(34, 12)\}$
	$3 \rightarrow 4$	$1 \rightarrow 2$	$\{(12, 34)\}$
$1 \rightarrow 0$	$2 \rightarrow 3$	$4 \rightarrow 1$	$\{(23, 41)\}$
	$4 \rightarrow 1$	$2 \rightarrow 3$	$\{(41, 23)\}$

(a) 状態割当の条件

状態	符号ベクトル
1	1 0 1 0
2	1 0 0 1
3	0 1 0 1
4	0 1 1 0

(b) 状態割当

図 4.16 正論理負論理併用方式の適用例  
(次頁へ続く)

状態	入力	
	0	1
1010	1010	1001
1001	0101	1001
0101	0101	0110
0110	1010	0110
0000	—	—
0001	0101	—
0010	1010	—
0011	—	—
0100	0101*	0110
0111	—	0110
1000	1010*	1001
1011	—	1001
1100	—	—
1101	0101	1001*
1110	1010	0110*
1111	—	—

(c) 遷移マトリクス

図 4.16 正論理負論理併用方式の適用例  
(前頁より続く)

#### 4.5 相互結合慣性遅延素子のハザードフリー効果とその応用

本節では、図 4.17 に示されるように、相互に帰還線によって結合された一対の NAND (又は NOR) 論理素子 (簡単に NAND ラッチと呼ぶ) が、非同期論理回路のハザードフリー構成に適した極めて良い性質を有していることを示し、その性質を利用したいくつかの応用例を示す。本章の第 2 節及び第 4 節においても NAND ラッチ (図 4.8) や AND-OR ラッチ (図 4.9 及び図 4.14) を用いたが、これらは必ずしも本節で述べる慣性遅延の特性を必要としない用い方であり、主としてその論理的特性を利用したものであった。これに対して、本節で示す応用例は、NAND ラッチの持つ慣性遅延の特性を利用することに特徴がある。

はじめに、慣性遅延の特性を次のように仮定する [28]。

[ 仮定 ] 論理素子  $F$  が実現する論理関数を  $f(x_1, x_2, \dots, x_m)$  とする。

又、時刻  $t$  における  $F$  への入力信号を

$$x_1(t), x_2(t), \dots, x_m(t)$$

とし、 $F$  からの出力信号を  $y(t)$  とする。このとき、

(i) ある正数  $\Delta > 0$  が存在して、次の条件が成り立つ：

ある時刻  $t_2$  に  $F$  の出力が  $a$  から  $b$  へ変化したならば、

$$t_2 - \Delta \leq t \leq t_2$$

なる  $t$  に対して、

$$f(x_1(t), x_2(t), \dots, x_m(t)) = b$$

(ii) ある  $t$  に依存する正数  $\Delta(t) \geq \Delta$  が存在して、次の条件が成り立つ：

$$t_0 \leq t < t_0 + \Delta(t_0)$$

なる  $t$  に対して、 $f(x_1(t), x_2(t), \dots, x_m(t))$  がある一定値  $C$  をとるならば、

$$y(t_0 + \Delta(t_0)) = C \quad (\text{仮定終})$$

上記の仮定を満たす論理素子を慣性遅延素子という。図 4.17 に示される 2 個の NAND 論理素子は慣性遅延素子であるものとする。

さて、図 4.17 の NAND ラッチには、入力  $(x_1, x_2)$  の同時変化 (0,

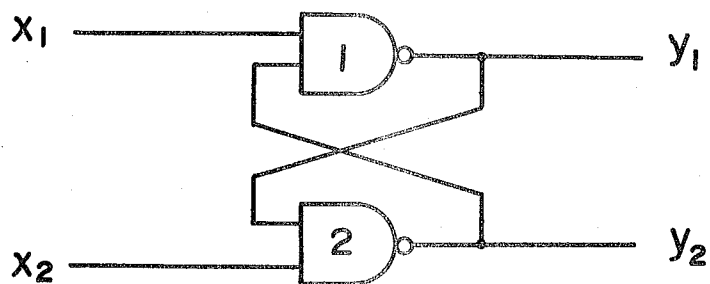


図 4.17 相互結合慣性遅延素子  
( NAND ラッチ )

$x_1$	$x_2$	$y_1$	$y_2$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	記憶	記憶

競合  
←

図 4.18 NAND ラッチにおける競合



0) → (1, 1) に対して, 図 4.18 に示されるような競合が存在する。すなわち, もし,  $x_1$  の方が  $x_2$  よりも早く 0 → 1 変化を行なうと, 出力は  $(y_1, y_2) = (0, 1)$  となるが, もし,  $x_2$  の方が  $x_1$  よりも早ければ, 出力は, 逆に,  $(y_1, y_2) = (1, 0)$  となる。又,  $x_1$  と  $x_2$  が全く同時に 0 → 1 変化を行なう場合には, 素子の物理的条件に依存して,  $(y_1, y_2) = (0, 1)$  又は  $(1, 0)$  のいずれか一方に落ち着く。

この時, 前記の仮定の下では, 入力  $(x_1, x_2)$  の同時変化  $(0, 0) \rightarrow (1, 1)$  に対して, 出力  $(y_1, y_2)$  には発振現象あるいは瞬時出力変化, 等の特異な出力変化は生じず,  $(1, 1) \rightarrow (0, 1)$  又は  $(1, 1) \rightarrow (1, 0)$  の変化がただ一度生じるだけであることを以下に示す。

入力  $(x_1, x_2) = (0, 0)$  に対して, NAND ラッチの出力は  $(y_1, y_2) = (1, 1)$  である。そこで, 時刻  $t_0$  に入力  $x_1$  及び  $x_2$  が同時に 0 → 1 変化を生じたものとする。その結果,  $t_0 + \Delta \leq t_1$  なるある時刻  $t_1$  に出力  $y_1$  が 1 → 0 変化を生じたものとする。

そうすると, 仮定 (i) から,

$$t_1 - \Delta \leq t \leq t_1 \text{ なる } t \text{ に対して } y_2 = 1 \quad (4.30)$$

でなければならない。

又, もし,  $t_0 \leq t_2 < t_1 - \Delta$  なるある時刻  $t_2$  に対して,  $y_2 = 0$  であるとする。と,  $t_2 < t_3 \leq t_1 - \Delta$  なるある時刻  $t_3$  で再び  $y_2$  が 0 → 1 変化を生じているはずであるが,  $t_0 \leq t \leq t_1$  なる  $t$  に対して  $x_2 = 1$ ,  $y_1 = 1$  であるから, そのようなことはあり得ない。従って,

$$t_0 \leq t < t_1 - \Delta \text{ なる } t \text{ に対して, } y_2 = 1 \quad (4.31)$$

さらに,  $t_1 < t_4$  なるある時刻  $t_4$  に  $y_2$  が 1 → 0 変化を生じたとすると, 仮定 (i) から,  $t_1 < t_5 < t_4 - \Delta$  なるある時刻  $t_5$  に  $y_1$  が 0 → 1 変化を生じていなければならない。しかし, このためには,  $t_1 < t_6 < t_5 - \Delta$  なるある時刻  $t_6$  にすでに  $y_2$  が 1 → 0 変化を生じていなければならない, これは矛盾である。従って,

$$t_1 < t \text{ なる } t \text{ に対して, } y_2 = 1 \quad (4.32)$$

結局、式(4.30)~(4.32)から

$t_0 \leq t$  なる  $t$  に対して、 $y_2 = 1$

すなわち、 $y_2$  の値は1のまま保たれる。従って、 $y_1$  は時刻  $t_1$  に  $1 \rightarrow 0$  変化を生じた後は0のまま不変である。

又、入力  $(x_1, x_2)$  の同時変化  $(0, 0) \rightarrow (1, 1)$  に対して、 $y_2$  が  $1 \rightarrow 0$  変化を生じたとすると、その後  $y_2$  は0のまま不変であり、 $y_1$  は1のまま不変であることが今と同様な議論によって示される。

以上から、NANDラッチが次の性質を持っていることが示された。

[性質1] 入力  $(x_1, x_2)$  の同時変化  $(0, 0) \rightarrow (1, 1)$  に対して出力  $(y_1, y_2)$  は  $(1, 1) \rightarrow (0, 1)$  又は  $(1, 1) \rightarrow (1, 0)$  の変化をただ一度生じるだけである。

次に、NANDラッチのもう一つの性質として、入力  $(x_1, x_2) = (1, 1)$  に対して出力  $(y_1, y_2) = (0, 1)$  である時、入力変数  $x_1$  が振動的に  $1 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow \dots$  の変化を繰り返すならば、出力変数  $y_2$  は値1のまま不変であるか、ただ一度だけ  $1 \rightarrow 0$  変化を生じた後0のまま不変であるか、のいずれかであることを示す。

入力変数  $x_1$  の振動的変化  $1 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow \dots$  に対して、 $y_1$  は0のまま不変であるか、 $0 \rightarrow 1$  変化を生じるかのいずれかである。 $y_1$  が0のまま不変であれば  $y_2$  は1のまま不変であるので、 $y_1$  が  $0 \rightarrow 1$  変化を生じたものとする。その結果、 $y_1$  が再び  $1 \rightarrow 0$  変化を生じて値0へ戻ってしまうか、又は、 $y_2$  に  $1 \rightarrow 0$  変化が生じるか、のいずれかである。しかるに、 $y_1$  が再び  $1 \rightarrow 0$  変化を生じるならば  $y_2$  は依然として1のまま不変であるので、 $y_1$  が  $1 \rightarrow 0$  変化を生じる前に、時刻  $t_0$  に  $y_2$  が  $1 \rightarrow 0$  変化を生じたものとする。

その結果、前と同様の議論によって、時刻  $t_0$  以後、 $y_1$  は1のまま不変である。従って、 $y_2$  もまた、時刻  $t_0$  に  $1 \rightarrow 0$  変化を生じた後は0のまま不変である。

以上から、NANDラッチが次の性質を持つことが示された。

[ 性質 2 ] 初期状態が  $(x_1, x_2) = (1, 1)$ ,  $(y_1, y_2) = (0, 1)$  である時, 入力変数  $x_1$  が振動的変化  $1 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow \dots$  を生ずるならば, 出力変数  $y_2$  は, 値 1 のまま不変であるか, 又はただ一度だけ  $1 \rightarrow 0$  変化を生ずるか, のいずれかである。

図 4.19 (a) 及び (b) にそれぞれ性質 1 及び性質 2 を表わす信号波形の例を示す。

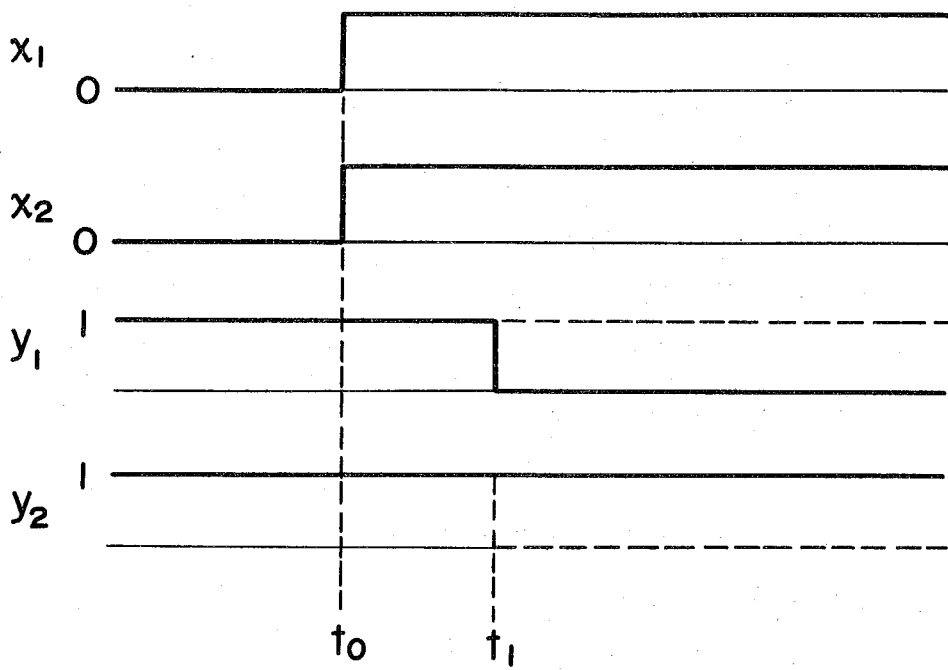
上に述べた NAND ラッチの性質 1 及び性質 2 を利用すると, いくつかの有用な回路が構成できる。

まず, 性質 1 を利用した非同期式アービタ [71] について述べる。

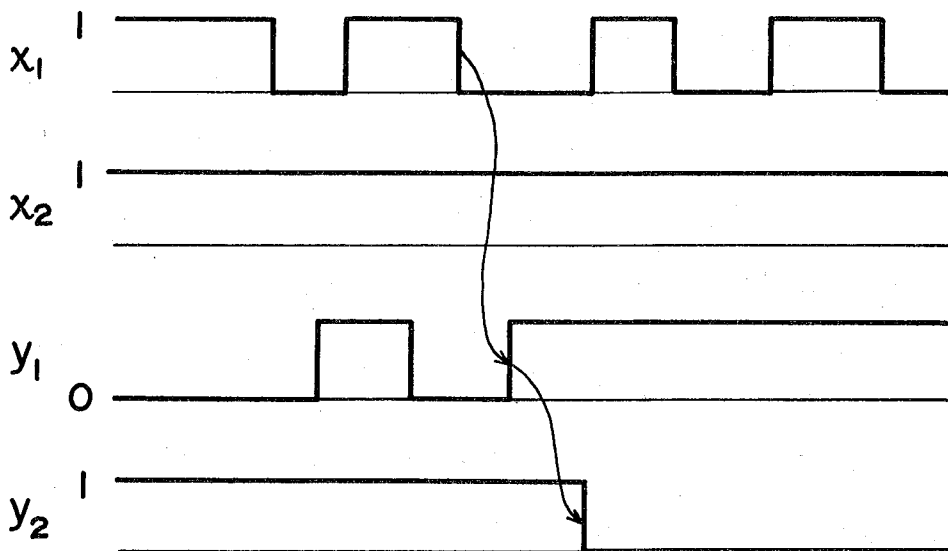
並列処理システムにおいて, 複数個の互いに独立なプロセッサがある特定の資源 (バス, 入出力装置, メモリ, 演算装置等) を共用するとき, 同時に 2 個以上のプロセッサが資源の使用を要求し, 競合を生ずることがある。そこで, これらの非同期的に発生する信号の競合を適当な優先順位の下で処理し, 資源の割当てを行なうアービタ (arbiter) を簡単なハードウェアで実現することが従来から問題とされている [71]。

アービタの機能は, 図 4.20 に示されるように,  $n$  個のプロセッサからの要求信号  $r_1, r_2, \dots, r_n$  が同時に入力すると, 資源に対する要求信号  $R$  を出力する。しばらくして, 資源から応答信号  $A$  が入力されると, もっとも早くに要求を出したプロセッサ  $P_i$  に対してのみ応答信号  $a_i$  を出力し,  $P_i$  が資源を占有することを許すことである。図 4.21 に, 2 個のプロセッサの競合を処理する 2 入力アービタの入出力関係を示す。

図 4.22 に 2 個のプロセッサの競合を処理する 2 入力アービタの回路構成を示す。同図において, 破線で囲まれた部分が, NAND ラッチの性質 1 を利用して 2 個の要求信号  $r_1$  と  $r_2$  の競合を判定する部分である。 $a_1$  及び  $a_2$  はプロセッサ  $P_1$  及び  $P_2$  に対する応答信号であり,  $R$  は資源に対する要求信号である。さらに  $A$  は資源からの応答信号である。破線の外の部分は 2 個のセット・リセット・フリップフロップを用いて通常の方法で構成された非同期式順序回路である。 [ 5 ]



(a) 入力の同時変化 (性質 1)



(b) 入力  $x_1$  の振動的変化 (性質 2)

図 4.19 NAND ラックの性質

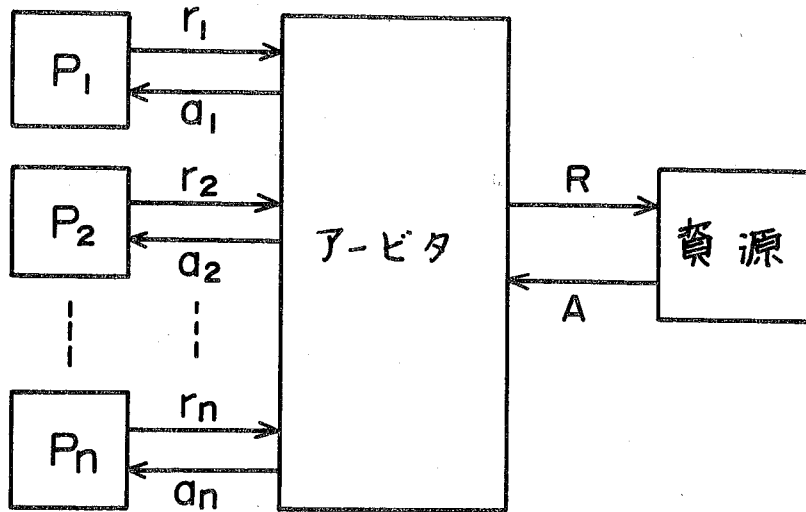


図 4.20 ア-ビタによる資源共有システムの制御

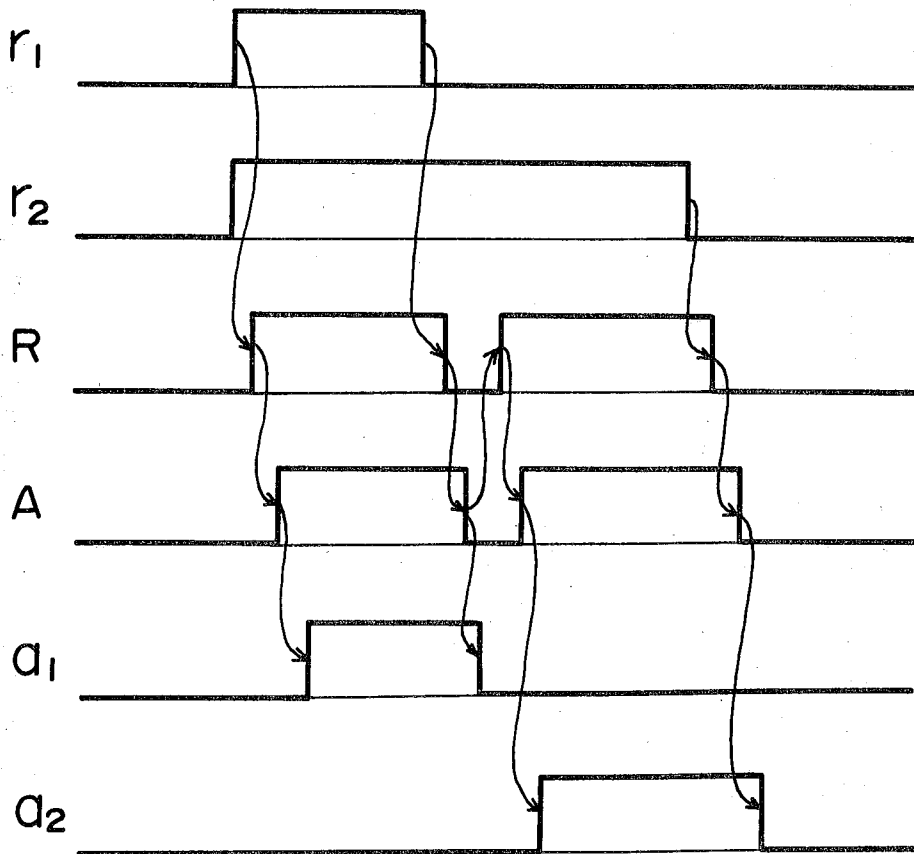


図 4.21 ア-ビタの入出力関係 (2入力の場合)

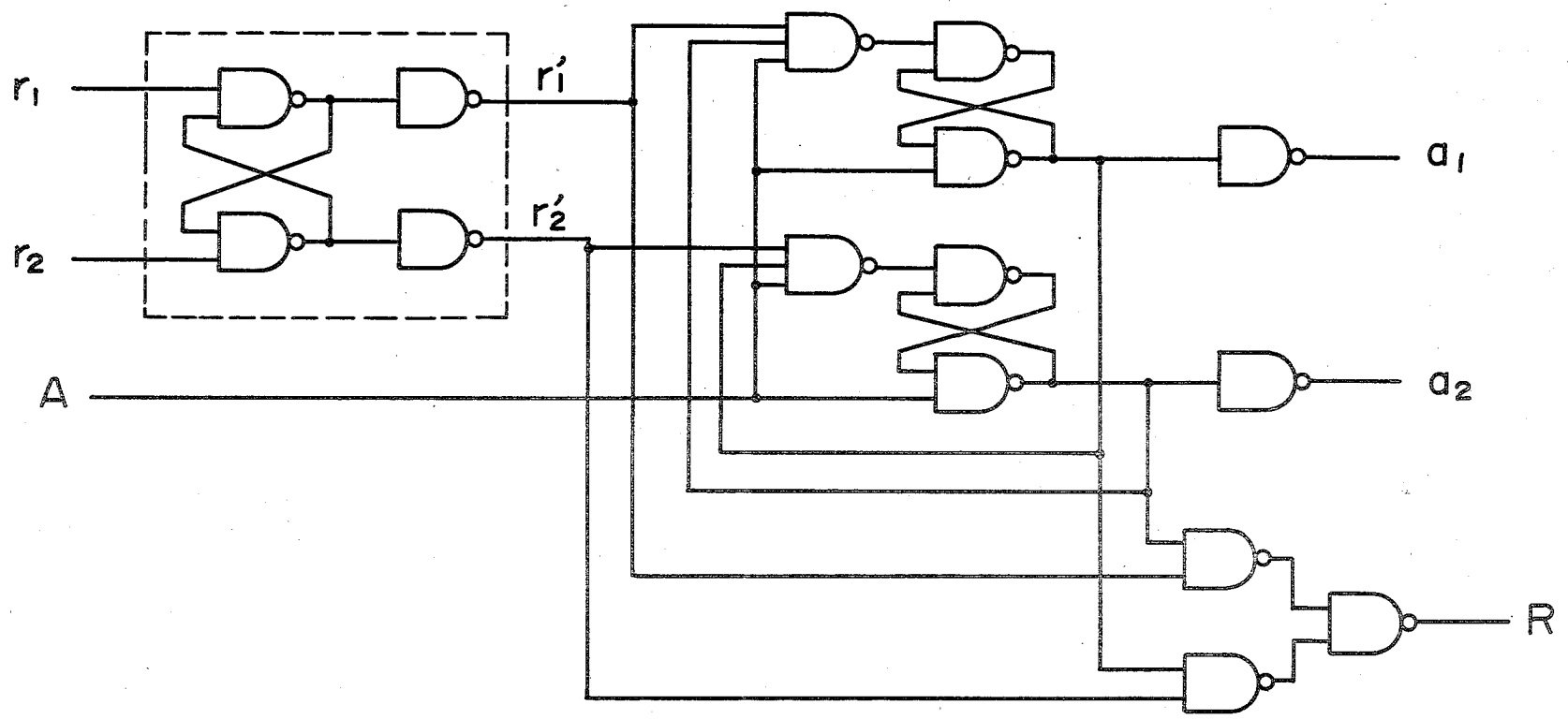


図 4.22 非同期式アビタの構成

一般に、非同期式アービタは入力信号  $r_1, r_2$  に競合が生じるため、基本モードによる入力変化の仮定が成立しない。すなわち、必ずしも回路が安定な時のみ入力変化が生ずるわけではない。これに対して  $r_1^!, r_2^!$  及び  $A$  を入力信号と考えると、 $(r_1, r_2)$  の同時変化が生じて  $(r_1^!, r_2^!)$  は決して同時変化を生じないので、回路が安定な時のみ入力変化が生じると考えることができる。換言すれば、入力変数を  $r_1, r_2, A$  と考えると必ずしも基本モードの仮定は成り立たないが入力変数を  $r_1^!, r_2^!, A$  と考えると、基本モードの仮定が成り立つと言える。

このように、NANDラッチの性質1は、非基本モードの入力変化を、基本モードの入力変化に変換させる効果を持つとすることができる。

次に、NANDラッチの性質2を利用すると、セミモジュラ非同期回路〔38〕と呼ばれる特別なクラスの論理回路の構成手段が得られる。

セミモジュラ非同期回路とは、セミモジュラなデジタルグラフ〔38〕を実現する非同期回路として定義される。デジタルグラフは入力に関する概念を持たない符号化された状態遷移表である。又、セミモジュラなデジタルグラフを実現することは、定常性ハザードを除去するための一つの十分条件である。従って、セミモジュラ非同期回路は、本論文で考察する遷移マトリクスの一つの列を実現する特別な非同期式順序回路と考えることができる。

任意のセミモジュラ非同期回路は、図4.23に示される回路を状態変数回路とすることによって実現できる〔12〕〔66〕。この状態変数回路ではNORラッチの二段接続構成が用いられているが、NANDラッチの性質1及び2は双対的にNORラッチに対しても成立する。

図4.23の状態変数回路では、第1段目のNORラッチの性質2を利用して、セット時には  ${}^{\ell}N^R_1$  を、リセット時には  ${}^{\ell}N^S_1$  を、それぞれ図4.19(b)に示される  $y_2$  に対応させ、さらに第2段目のNORラッチの性質2を利用して、その出力  ${}^{\ell}N^S_2$  及び  ${}^{\ell}N^R_2$  を常に図4.19(b)の  $y_2$  のような出力波形となるようにしている。その結果、各状態変数回路は、一度あ

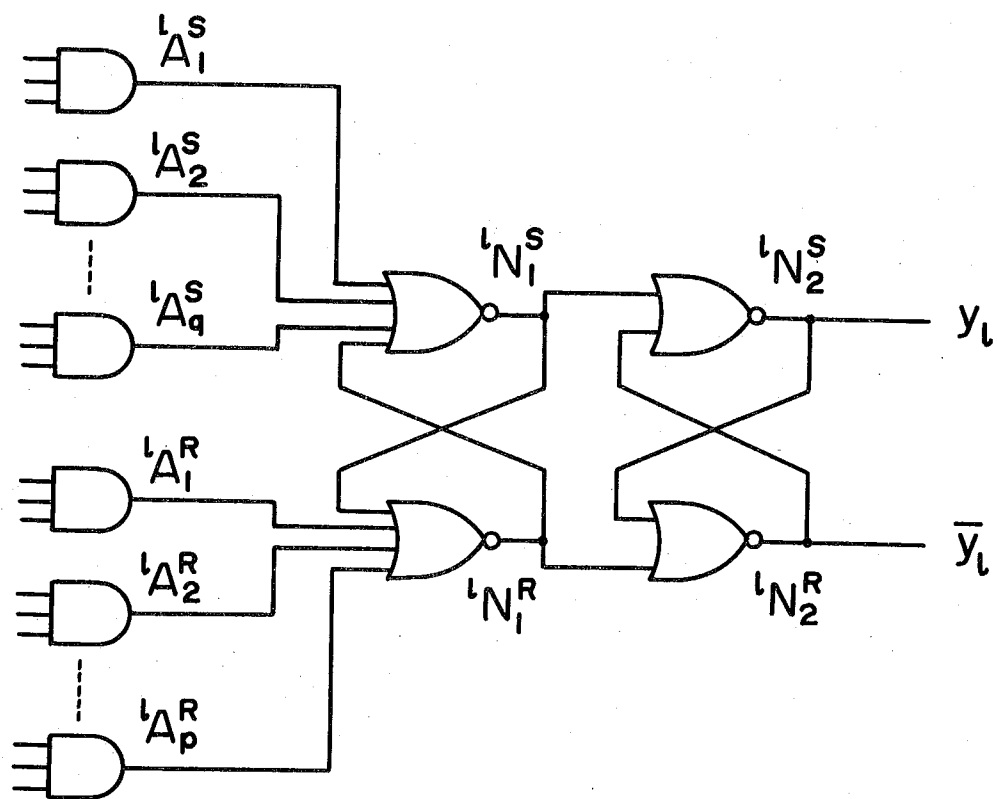


図 4.23 セミモジュラ非同期回路を構成する  
状態変数回路



る目標値に変化するよう励起されれば必ず出力をその目標値に変化させ、しかも変化させた後は再び逆の励起が生じない限りその出力値は不変でなければならない、というセミモジュラ非同期回路の条件が満足される〔38〕。

このように、NAND（又はNOR）ラッチの性質2はセミモジュラ回路の構成の基本的条件を満足し得るものであることが分る。

以上、本章では非同期式順序回路の定常性ハザードを除去する構成法について考察したが、ここで本章で得られたいくつかの手法を整理して、以下にその特徴を述べる。

(i) 二線方式によるハザード除去法

- 1) S T T 状態割当及びM T T 状態割当の両方に適用できる。
- 2) NAND 論理素子だけ、又はAND, OR, NOT の3素子だけを用いた二段構成の組合せ回路である（図4.8, 図4.9）。
- 3) 1個の状態変数又は入力変数に対し、それぞれ2本の信号線を用いる。

(ii) 配線付加方式によるハザード除去法

- 1) S T T 状態割当だけに適用できる。
- 2) 同一種類の論理素子（NAND 又はNOR）だけを用いた二段構成の組合せ回路である（図4.11）。
- 3) フリップフロップを特に必要としない。

(iii) 正論理負論理併用方式によるハザード除去法

- 1) 符号極性を考慮した特別なS T T 状態割当を用いる。
- 2) AND, OR, NOT の3論理素子だけを用い、AND-OR, 及びOR-ANDの二段構成である（図4.14）。

以上の三つの方式はいずれもNAND（又はNOR）論理素子だけか、又はAND, OR, NOT の3論理素子だけを用い、かつ組合せ回路の最小段数構成である二段構成を用いることを特徴としている。

このことは，従来の方法〔43〕〔45〕〔46〕〔65〕〔67〕が特殊な論理素子の組合せを用いたり，三段構成を必要としたことに比較して，回路の規則的構成の点で優れており，大規模集積化を有利にしている。

## 第5章 順序回路モジュールを用いた非同期式順序回路の合成

前章までは，NAND，NOR，AND，OR，NOT等の論理素子を構成要素として非同期式順序回路を合成する問題を論じた。すなわち，第2章の解析を基礎にして，第3章及び第4章で，定常性ハザードのない非同期式順序回路の論理合成手法を2つの設計段階に分けて述べた。

本章では，前章までに述べた方法によって正しく合成された非同期式順序回路（以下ではモジュールと呼ぶ）をあたかも論理素子のように一つの構成要素とみなし，このようなモジュールを基本的な構成単位として，さらに大規模な非同期式順序回路を合成する方法を示す。

### 5.1 順序回路モジュールを構成要素とする非同期式順序回路

実現すべき順序論理仕様は，第2章第2節と同様に，次の形式で定義される順序機械として与えられるものとする。

$$M = [ I, Q, Z, \delta, \omega ] \quad (5.1)$$

ここに， $I$ は入力の有限集合， $Q$ は状態の有限集合， $Z$ は出力の有限集合である。又， $\delta$ 及び $\omega$ は，それぞれ，次式によって定義される状態遷移関数及び出力関数である。

$$\delta : I \times Q \rightarrow Q \quad (5.2)$$

$$\omega : I \times Q \rightarrow Z \quad (5.3)$$

順序機械 $M$ の入力集合 $I$ は，本章では特に符号ベクトルの集合と考える必要がないので，抽象的な入力信号 $i$ の集合とするが，式(2.1)の入力集合 $X$ と同一視してもさしつかえない。

又，第3章第1節と同様に，式(5.1)の順序機械は次の性質(i)(ii)を満足するものとする。

性質：任意の入力 $i \in I$ 及び状態 $q \in Q$ に対して，

$$(i) \quad \delta(i, \delta(i, q)) = \delta(i, q) \quad (5.4)$$

$$(ii) \quad \omega(i, \delta(i, q)) = \omega(i, q) \quad (5.5)$$

すなわち，本章においても，実現すべき順序機械Mは正規な状態遷移表で表現されるものとする。

順序機械Mを実現するための構成要素となるk個のモジュール $F_j$  ( $j=1 \sim k$ )は，図5.1に示されるように，それぞれ，入力変数 $x_1, x_2, \dots, x_{mj}$ と出力変数 $y_1, y_2, \dots, y_{nj}$ を持つ非同期式順序回路とする。そして，これらのモジュール $F_j$ は，それぞれ，基本モードの仮定の下では，次の形式で与えられる順序機械 $F^j$ を正しく実現しているものとする\*。

$$F^j = \{ X^j, Q^j, Y^j, \delta^j, \omega^j \} \quad (5.6)$$

但し， $j=1 \sim k$ 。

ここに， $X^j$ は入力の有限集合， $Q^j$ は状態の有限集合， $Y^j$ は出力の有限集合である。又， $\delta^j$ 及び $\omega^j$ は次式で定義される状態遷移関数及び出力関数である。

$$\delta^j : X^j \times Q^j \rightarrow Q^j \quad (5.7)$$

$$\omega^j : Q^j \rightarrow Y^j \quad (5.8)$$

順序機械 $F^j$ は図5.1のモジュール $F_j$ によって実現されているのであるから， $F^j$ の入力及び出力は，それぞれ，2値符号ベクトル

$$\mathbb{X}^j = (x_1, x_2, \dots, x_{mj}) \quad (5.9)$$

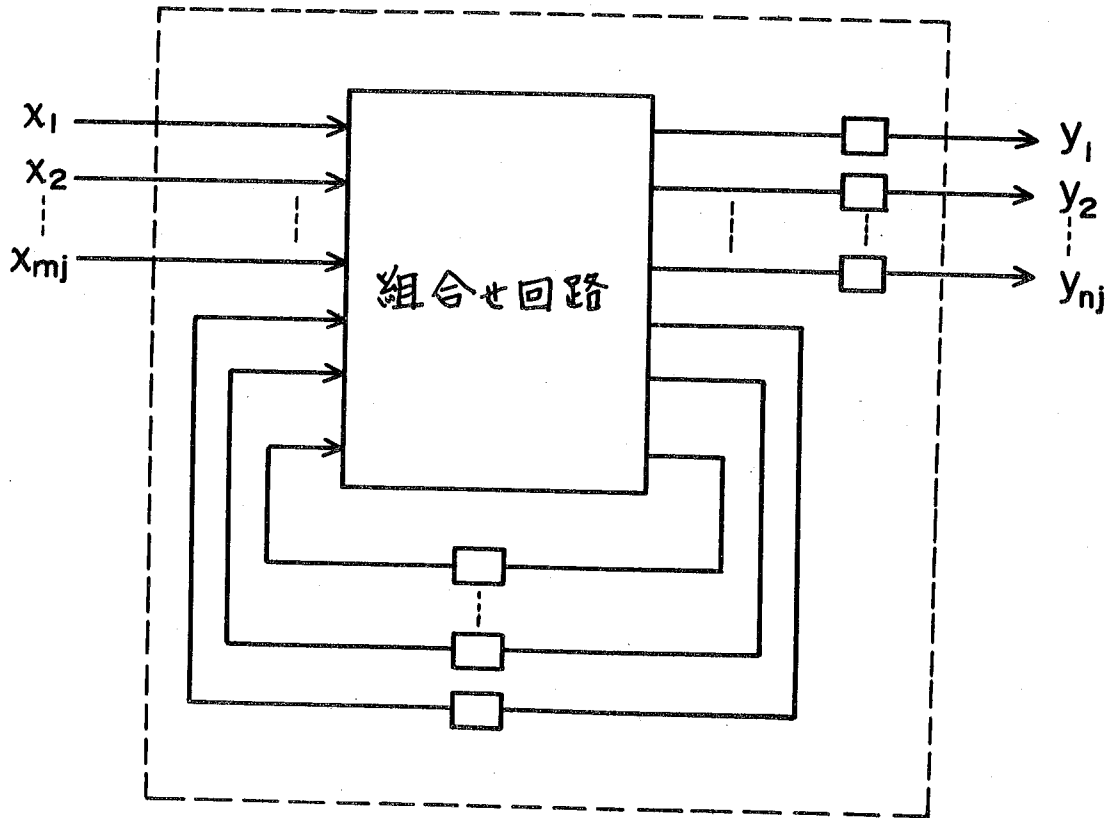
及び

$$\mathbb{Y}^j = (y_1, y_2, \dots, y_{nj}) \quad (5.10)$$

で表わされるものとし，さらに， $\delta^j$ 及び $\omega^j$ は完全定義関数とする。

なお， $F^j$ はMoore型順序機械であることを注意する。これは，後に述べるモジュール構成においては，少なくとも1つのモジュールはMoore型であることが必要であるためである〔25〕。

\*モジュール $F_j$ とそれが実現している順序機械 $F^j$ とを添字jの位置で区別する。



□ は 遅延素子を表わす。

図 5.1 順序回路モジュール  $F_j$  ( $j = 1 \sim k$ )

さて、本章では、構成要素であるモジュールは正しく合成されていることを前提とする。従って、モジュール  $F_j$  ( $j=1\sim k$ ) の状態遷移及び出力変化に関して次の (i), (ii), (iii) を仮定する。

(i) モジュール  $F_j$  は、任意の状態  $q^j \in Q^j$  にある時、入力  $X^j \in X^j$  が印加され続けるならば、有限時間後に必ず次の状態  $\delta^j(X^j, q^j)$  に遷移する。

(ii) 状態遷移  $q^j \rightarrow \delta^j(X^j, q^j)$  の間に生じ得るモジュール  $F_j$  の出力  $Y^j$  に関して次が成り立つ。

$$Y^j \in SP(Y_a^j, Y_b^j) \quad (5.11)$$

但し、 $Y_a^j = \omega^j(q^j)$

$$Y_b^j = \omega^j(\delta^j(X^j, q^j))$$

又、逆に、式(5.11)を満たす任意の出力  $Y^j$  はこの状態遷移の間にモジュール  $F_j$  の出力として生じる可能性がある。

(iii) 入力  $X^j$  の下で2つの出力変化  $Y_a^j \rightarrow Y_b^j$  及び  $Y_c^j \rightarrow Y_d^j$  が定義されていて、

$$Y_a^j \neq Y_c^j, Y_a^j \neq Y_d^j, Y_b^j \neq Y_c^j, Y_b^j \neq Y_d^j$$

であるならば、次式が成り立つ。

$$SP(Y_a^j, Y_b^j) \cap SP(Y_c^j, Y_d^j) = \phi \quad (5.12)$$

仮定(i)はモジュール  $F_j$  に分布する遅延の大きさが有限であることから極めて自然な仮定である。又、仮定(ii)及び(iii)は、モジュール  $F_j$  が S T T 状態割当を用いて構成されていれば必ず満たされるものである。

次に、モジュール  $F_j$  ( $j=1\sim k$ ) を用いて合成することを目的とする非同期式順序回路のモデルを図 5.2 に示す。

図 5.2 において、 $F_1, F_2, \dots, F_k$  は図 5.1 に示された  $k$  個のモジュールを表わす。 $\phi_j$  ( $j=1\sim k$ ) は順序機械  $M$  への入力  $i \in I$  と各モジュールの出力  $Y^1, Y^2, \dots, Y^k$  を参照してモジュール  $F_j$  への入力  $X^j$  を決定する  $m_j$  個の出力を持つ組合せ回路を表わす。 $A$  は順序機械  $M$  への入力  $i \in I$  と各モジュールの出力を参照して順序機械  $M$  の出力  $Z \in Z$  を決定する出力

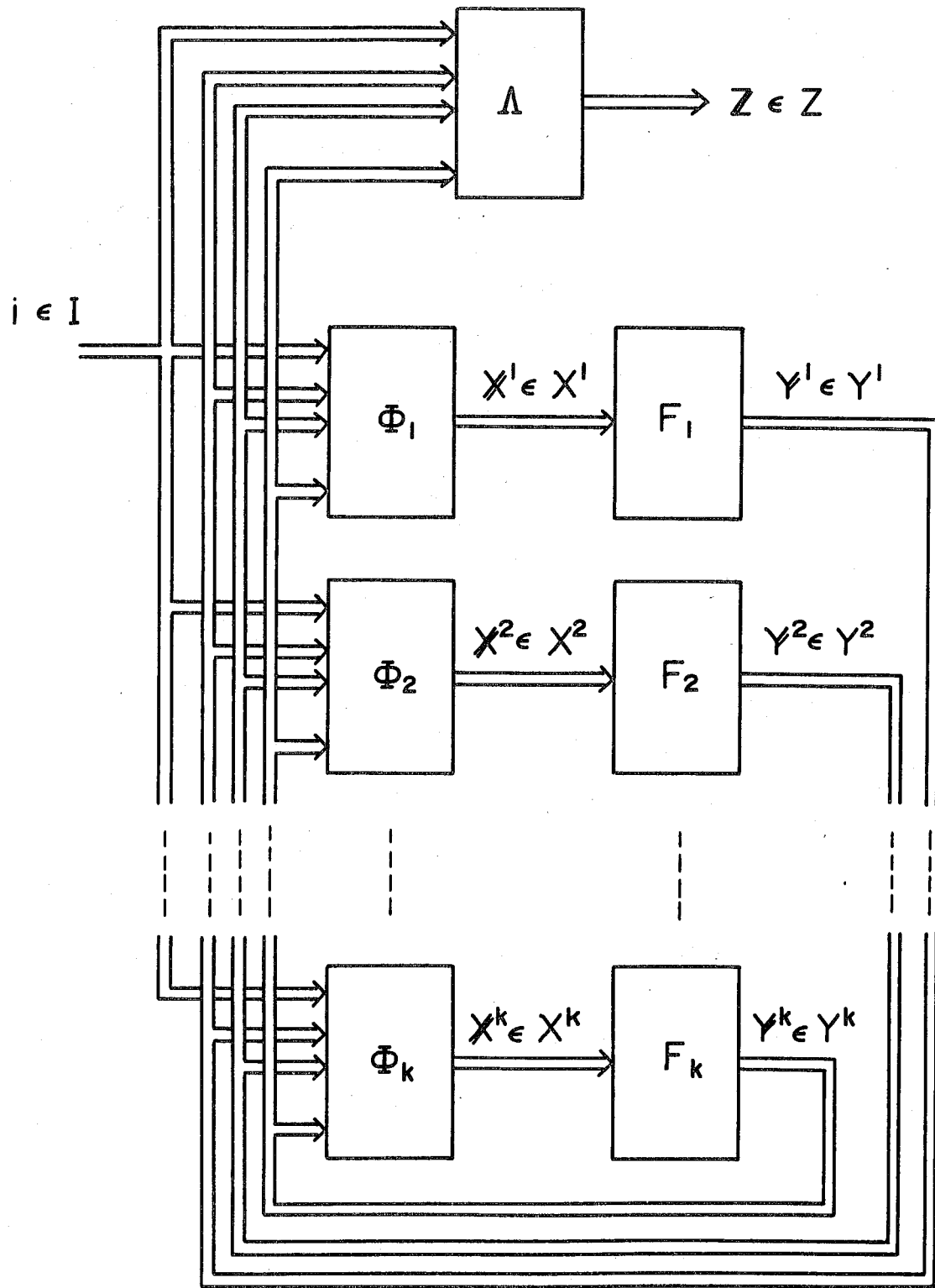


図 5.2 モジュール  $F_j$  ( $j=1 \sim k$ ) を構成要素とする非同期式順序回路のモデル

回路を表わす。

各モジュール  $F_j$  への入力  $X_j$  と区別するため、順序機械  $M$  への入力  $i \in Q$  を外部入力と呼ぶことにする。又、 $\phi_j (j=1 \sim k)$  を結合回路と呼ぶことにする。

図 5.2 のモデルは、次の 3 種類の写像によって特徴づけられる。

- (1) モジュール  $F_j (j=1 \sim k)$  に対応づけられた写像

$$f_j : Q \rightarrow Q^j \quad (5.13)$$

- (2) 結合回路  $\phi_j (j=1 \sim k)$  が実現する写像

$$\phi_j : I \times Y^1 \times Y^2 \times \dots \times Y^k \rightarrow X^j \quad (5.14)$$

- (3) 出力回路  $A$  が実現する写像

$$\lambda : I \times Y^1 \times Y^2 \times \dots \times Y^k \rightarrow Z \quad (5.15)$$

以後では、 $f_j$  を割当関数、 $\phi_j$  を結合関数、 $\lambda$  を外部出力関数、とそれぞれ呼ぶことにする。

図 5.2 のモデルを非同期式順序回路のモジュール構成と呼び、 $k$  個の割当関数の組  $(f_1, f_2, \dots, f_k)$  をモジュール構成における状態割当と呼ぶことにする。

すなわち、モジュール構成では、式 (5.1) で与えられる順序機械  $M$  の任意の状態  $q \in Q$  は、 $k$  個の割当関数  $f_j (j=1 \sim k)$  によって定められるモジュール  $F_j (j=1 \sim k)$  の状態  $f_j(q)$  の組

$$(f_1(q), f_2(q), \dots, f_k(q))$$

によって具体的に実現される。



## 5.2 直接遷移実現の一般化

順序回路の構成要素という観点から、モジュールは内部記憶を有する多値論理素子と考えることができる。本節では、2値論理素子を前提としてこれまで議論されてきた直接遷移実現〔48〕の概念を多値論理素子を前提とする概念へ一般化させる。

はじめに、図 5.2 のモジュール構成における遅延に関して、次の仮定 (i), (ii), (iii) を設ける。

- (i) 各モジュールは、それぞれ、図 5.1 に示されるように内部帰還路及び出力端に互いに独立な遅延素子を持つ。
- (ii) 各結合回路の遅延はそれぞれに対応するモジュールの帰還遅延及び出力遅延に比べて十分小さく無視し得る。
- (iii) 外部入力の変化はすべてのモジュール及び結合回路が安定な時にだけ生ずる。

仮定 (i) は一般的かつ自然である。仮定 (ii) は一般には必ずしも成立しないが、本章第 5 節で述べる方法を用いて結合回路をハザードフリーに構成すれば結合回路の遅延の影響はなくなるため、仮定 (ii) が成り立つと考えることができる。従って、本節から第 4 節までは仮定 (ii) の下で議論を進め、第 5 節において、仮定 (ii) が実際に正当とみなし得るような結合回路の構成法を示す。又、仮定 (iii) はモジュール構成に対する入力変化に関する基本モードの仮定であり承認し得るものである。

第 2 章第 3 節で述べたのと同様な理由により、外部出力関数  $\lambda$  の構成に関する議論は本章では本質的ではない。従って、考察の対象から除外し、以後の議論では、状態割当  $(f_1, f_2, \dots, f_k)$  は順序機械  $M$  の任意の状態  $q \in Q$  と外部入力  $i \in I$  に対して、常に次の式 (5.16) を満足していることを前提とする。但し、このように外部出力関数  $\lambda$  を定めることは常に可能である。

$$\omega(i, q) = \lambda(i, \omega^1(f_1(q)), \omega^2(f_2(q)), \dots, \omega^k(f_k(q))) \quad (5.16)$$

さて、前節で述べたように、モジュール構成では、順序機械Mの任意の状態  $q \in Q$  は  $k$  個のモジュール  $F_j$  ( $j=1 \sim k$ ) のそれぞれの組

$$(f_1(q), f_2(q), \dots, f_k(q))$$

によって実現される。そこで、モジュール構成における直接遷移を次のように定義する。

[定義 5.1] 順序機械Mを実現するモジュール構成において、状態  $q \in Q$  から次の状態  $\delta(i, q) \in Q$  への直接遷移とは、

$$f_j(q) \neq f_j(\delta(i, q))$$

なる  $f_j$  に対応するすべてのモジュール  $F_j$  が、現在の状態  $f_j(q) \in Q^j$  から次の状態  $f_j(\delta(i, q)) \in Q^j$  へ同時に遷移しようとする方式による状態遷移をいう。又、順序機械Mのすべての状態遷移が直接遷移である時、Mはモジュール構成によって直接遷移実現されるという。(定義終)

図 5.3 に直接遷移の概念を表わした図式を示す。破線はモジュール構成の状態を表わし、矢印は遷移を表わしている。

順序機械Mがモジュール構成によって直接遷移実現されている場合には、基本モードで生じる外部入力変化に対して、状態遷移を起こすよう定められているすべてのモジュールが同時に状態遷移を行なうため、モジュール構成全体の動作速度(状態遷移の速さ)は最も動作速度の遅いモジュールのそれによって定められる。このことを逆に言えば、直接遷移実現は、並列動作を行なうことによって、与えられたモジュールの性能の範囲内で、モジュール構成全体の動作速度を最大にする方式であると言える。

次に、モジュール構成における定常性ハザードを次のように一般化して定義する。

[定義 5.2] 順序機械Mを実現するモジュール構成において、任意の状態  $q \in Q$  と外部  $i \in I$  に対して、入力  $i$  の下でモジュール  $F_1, F_2, \dots, F_k$  のそれぞれの状態が  $f_1(q), f_2(q), \dots, f_k(q)$  にある時、各モジュールがそれぞれ有限時間以内に必ず次の状態  $f_1(\delta(i, q)), f_2(\delta(i, q)), \dots, f_k(\delta(i, q))$  へ遷移し、かつそこで安定するならば、モジュール構成には

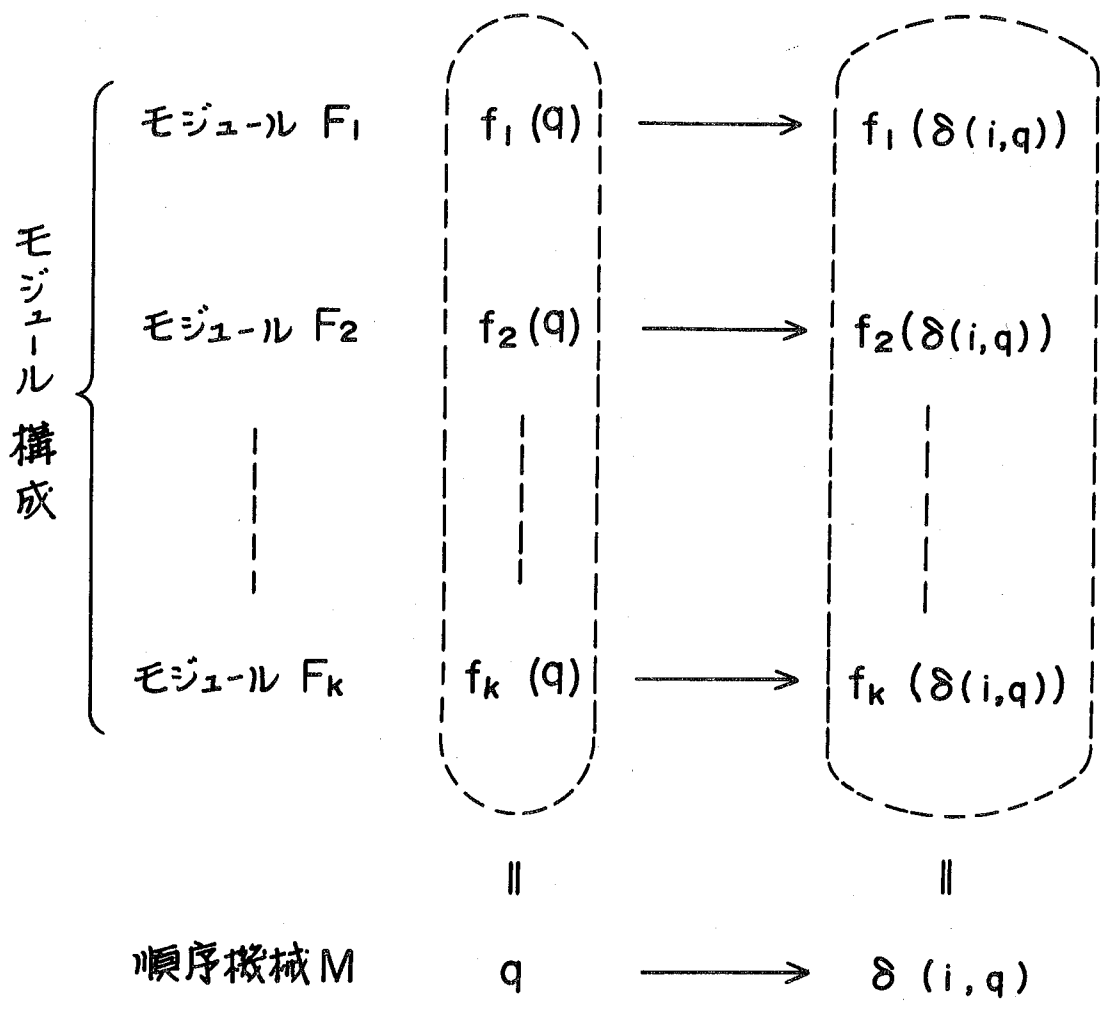


図 5.3 モジュール構成における直接遷移

定常性ハザードが存在しないという。又，そうでないならば，モジュール構成には定常性ハザードが存在するという。 (定義終)

順序機械  $M$  の状態遷移表は正規な状態遷移表であるから，任意の状態に対して次の遷移先は必ず安定状態であり，発振状態は存在しない。従って，論理合成の立場からは，任意の状態に対して次の遷移先へ必ず到達し，しかもそこで安定するように回路が構成されていなければ，"誤動作"がない，ということとはできないし，逆に，そのように構成されているならば，"誤動作"がない，ということができる。その意味で，定義 5.2 における定常性ハザードの定義は自然であり，かつモジュール構成へ一般化されたものになっている。

これに対して，第 2 章の定義 2.6 では，解析の立場から定常性ハザードを定義しているので，回路が到達すべき最終状態類としては，安定状態の他に発振状態も考慮されている。これは，解析の立場からは，回路がただ一つの発振状態へ必ず到達するような場合にも，回路の遷移先は一意的であるから "誤動作" はないと考えることができるためである。

しかしながら，回路に発振状態がない場合には，定義 2.6 と定義 5.2 とは，モジュール構成への一般化という点を除いて，全く同じ定義になっている。

### 5.3 モジュール構成可能条件

本節では、順序機械  $M$  がモジュール構成によって定常性ハザードなしに直接遷移実現されるための必要十分条件を示し、いくつかの系を導く。

[定義 5.3] 順序機械  $M$  を実現するモジュール構成における状態割当  $(f_1, f_2, \dots, f_k)$  が与えられた時、 $M$  の状態  $q_s \in Q$  と  $q_t \in Q$  が外部入力  $i \in I$  の下で分離不能であるとは、すべての  $f_j (j=1 \sim k)$  に対して、次の (i) ~ (iv) の内少なくとも一つが成り立つことである。

- (i)  $\omega^j(f_j(q_s)) = \omega^j(f_j(q_t))$
- (ii)  $\omega^j(f_j(q_s)) = \omega^j(f_j(\delta(i, q_t)))$
- (iii)  $\omega^j(f_j(\delta(i, q_s))) = \omega^j(f_j(q_t))$
- (iv)  $\omega^j(f_j(\delta(i, q_s))) = \omega^j(f_j(\delta(i, q_t)))$

(定義終)

[定義 5.4] 順序機械  $M$  の状態集合  $Q$  の任意の 2 要素  $q_s, q_t$  の間に、入力  $i \in I$  に関して、次のような 2 項関係  $E_i$  を定義する。すなわち、 $q_s$  と  $q_t$  を両端とするある状態列  $q_1, q_2, \dots, q_u (q_1=q_s, q_u=q_t)$  が存在して、 $h=1, 2, \dots, u-1$  に対して、 $q_h$  と  $q_{h+1}$  が入力  $i$  の下で分離不能の時、 $q_s$  と  $q_t$  は関係  $E_i$  を持つといい、 $q_s E_i q_t$  と書く。

(定義終)

関係  $E_i$  は、明らかに反射律、対称律、推移律が成立するから、同値関係である。

従って、同値関係  $E_i$  によって状態集合  $Q$  の分割  $\Pi_i$  を次のように定めることができる。

$$\Pi_i = \{ B_{i1}, B_{i2}, \dots, B_{i\nu} \} \quad (5.17)$$

但し、 $B_{ir} \subset Q (r=1 \sim \nu)$  は関係  $E_i$  に関する同値類である。

さて、モジュール構成可能条件に関する基本定理を次に示す。

[定理 5.1] 順序機械  $M$  がモジュール構成によって定常性ハザードなしに直接遷移実現されるための必要十分条件は、任意の  $i \in I$  に関する分割  $\Pi_i$  の各同値類  $B_{ir} (r=1 \sim \nu)$  に対応してそれぞれ各モジュール  $F_j$

( $j=1\sim k$ ) へのある入力  $X_{i_r}^j \in X^j$  が存在して、任意の状態  $q \in B_{i_r}$  に対して、

$$f_j(\delta(i, q)) = \delta^j(X_{i_r}^j, f_j(q)), \quad j = 1 \sim k \quad (5.18)$$

が成立することである。 (定理終)

(証明)

十分性：任意の状態  $q \in Q$  と外部入力  $i \in I$  に対して、入力  $i$  の下でモジュール  $F_j$  ( $j=1\sim k$ ) の状態が  $f_j(q)$  にあるとし、定理の条件が成立していると仮定する。この時、分割  $\Pi_i$  の定義から、 $q$  の属する  $\Pi_i$  の同値類がただ一つ必ず存在するので、 $q$  の属する同値類を  $B_{i_r}$  とすると、 $B_{i_r}$  に対応して、式(5.18)を満足する  $k$  個の入力  $X_{i_r}^1 \in X^1$ ,  $X_{i_r}^2 \in X^2$ , ...,  $X_{i_r}^k \in X^k$  が存在する。そこで、 $j = 1 \sim k$  に対して、

$$Y_a^j = \omega^j(f_j(q)) \quad (5.19)$$

$$Y_b^j = \omega^j(f_j(\delta(i, q))) \quad (5.20)$$

と表わし、2値ベクトル  $(Y_a^1, Y_a^2, \dots, Y_a^k)$  と  $(Y_b^1, Y_b^2, \dots, Y_b^k)$  によって張られる集合を  $V$  で表わす。すなわち、

$$V = SP((Y_a^1, Y_a^2, \dots, Y_a^k), (Y_b^1, Y_b^2, \dots, Y_b^k)) \quad (5.21)$$

とすると、結合関数  $\varphi_j$  ( $j=1\sim k$ ) を、任意の  $(Y^1, Y^2, \dots, Y^k) \in V$  に対して、

$$X_{i_r}^j = \varphi_j(i, Y^1, Y^2, \dots, Y^k) \quad (5.22)$$

と定義でき、しかも、式(5.12)から、他の同値類  $B_{i_{r'}}$  ( $r' \neq r$ ) に対しても同様に定義される  $\varphi_j$  と矛盾しない。

従って、式(5.18)から、各モジュール  $F_j$  ( $j=1\sim k$ ) は同時に状態  $f_j(q)$  から状態  $f_j(\delta(i, q))$  へ遷移しようとし、かつ、その状態遷移の間、 $F_j$  に対して、他のモジュールの出力変化には無関係に式(5.22)に従って入力  $X_{i_r}^j$  が印加され続け、しかも、

$$f_j(\delta(i, \delta(i, q))) = f_j(\delta(i, q))$$

であるから、各モジュールは有限時間後に必ず  $f_j(\delta(i, q))$  へ遷移し、かつ、そこで安定する。

すなわち、 $M$  は定常性ハザードなしに直接遷移実現される。

必要性：Mがモジュール構成によって定常性ハザードなしに直接遷移実現されるならば，Mの任意の状態 $q \in Q$ と入力 $i \in I$ に対して，各モジュール $F_j$ は必ず状態遷移 $f_j(q) \rightarrow f_j(\delta(i, q))$ を達成し，そこで安定する。

従って，式(5.21)の集合 $V$ に含まれる任意の $(Y^1, Y^2, \dots, Y^k) \in V$ に対して，

$$X_i^j = \varphi_j(i, Y^1, Y^2, \dots, Y^k)$$

かつ，

$$f_j(\delta(i, q)) = \delta^j(X_i^j, f_j(q))$$

なる $X_i^j \in X^j$ が存在しなければならない。

しかるに， $\varphi_j$ が一意的に定義されるためには， $q \in_i q'$ なる任意の $q' \in Q$ に対して，同じ $X_i^j$ によって

$$f_j(\delta(i, q')) = \delta^j(X_i^j, f_j(q'))$$

が成り立たねばならない。

従って，分割 $\Pi_i$ の各同値類 $B_{i,r}$  ( $r = 1 \sim \nu$ )に対応して $X_{i,r}^j \in X^j$ が存在して，式(5.18)が成立しなければならない。 (証明終)

本章第6節で述べる合成手順では，次の系が有用である。

[定理5.1の系1] 順序機械Mがモジュール構成によって定常性ハザードなしに直接遷移実現されるならば，任意の $i \in I$ 及び

$$q_s \equiv \delta(i, q_s), \delta(i, q_s) \equiv \delta(i, q_t)$$

なる任意の $q_s, q_t \in Q$ に対して，状態割当 $(f_1, f_2, \dots, f_k)$ が次の①又は②を満たす。

① 少なくとも一つの $f_j$ が存在して，次の4式がすべて成り立つ。

$$\omega^j(f_j(q_s)) \equiv \omega^j(f_j(q_t)) \quad (5.23)$$

$$\omega^j(f_j(q_s)) \equiv \omega^j(f_j(\delta(i, q_t))) \quad (5.24)$$

$$\omega^j(f_j(\delta(i, q_s))) \equiv \omega^j(f_j(q_t)) \quad (5.25)$$

$$\omega^j(f_j(\delta(i, q_s))) \equiv \omega^j(f_j(\delta(i, q_t))) \quad (5.26)$$

② すべての $f_j$  ( $j=1 \sim k$ )に対して，次の $(\alpha)$ 又は $(\beta)$ が成り立つ。

$$(\alpha) \quad f_j(\delta(i, q_s)) = f_j(\delta(i, q_t))$$

$$\begin{aligned}
(\beta) \quad & f_j(q_s) \neq f_j(q_t) \text{ かつ} \\
& f_j(q_s) \neq f_j(\delta(i, q_t)) \text{ かつ} \\
& f_j(\delta(i, q_s)) \neq f_j(q_t)
\end{aligned}$$

(系終)

(証明) ①, ②が共に成り立たないとすると,  $q_s$  と  $q_t$  は分割  $\Pi_j$  の同じ同値類に属し, かつモジュール  $F_j (j=1 \sim k)$  が決定的であることから, 式(5.18)を成り立たせる  $X_{i_r}^j$  が存在しない。 (証明終)

以上, 定理 5.1 及びその系 1 によって, ある与えられた順序機械  $M$  を実現するために状態割当  $(f_1, f_2, \dots, f_k)$  が満たすべき条件を示した。

次に任意の順序機械を実現できるためにモジュールが満たすべき条件を述べる。

[定理 5.2] 任意の順序機械がモジュール構成によって定常性ハザードなしに直接遷移実現されるためのモジュール  $F_j (j=1 \sim k)$  の必要十分条件は,  $\exists \alpha, \exists \beta \in Q^j (\alpha \neq \beta), \exists X_\alpha, \exists X_\beta \in X^j, \exists Y_\alpha, \exists Y_\beta \in Y^j (Y_\alpha \neq Y_\beta)$  に対して,

$$\begin{aligned}
\alpha &= \delta^j(X_\alpha, \alpha) = \delta^j(X_\alpha, \beta) \\
\beta &= \delta^j(X_\beta, \alpha) = \delta^j(X_\beta, \beta) \\
Y_\alpha &= \omega^j(\alpha), \quad Y_\beta = \omega^j(\beta)
\end{aligned}$$

が成り立つことである。 (定理終)

(証明) 上記条件が成り立つならば, 割当関数  $f_j$  を, 任意の  $q \in Q$  に対して,  $f_j(q) = \alpha$  又は  $f_j(q) = \beta$  と定義することにより, 任意の順序機械に対して, 定理 1 の条件を満たす状態割当  $(f_1, f_2, \dots, f_k)$  を選ぶことができる。

逆に, 上記条件が成り立たないとすると, 例えば,

$$\begin{aligned}
Q_0 &= \{ q_1, q_2 \}, \quad I_0 = \{ i_1, i_2, i_3 \}, \quad Z_0 = \{ Z_1, Z_2 \} \\
\delta_0(i_1, q_1) &= \delta_0(i_1, q_2) = \delta_0(i_3, q_1) = q_1 \\
\delta_0(i_2, q_1) &= \delta_0(i_2, q_2) = \delta_0(i_3, q_2) = q_2 \\
\omega_0(q_1) &= Z_1, \quad \omega_0(q_2) = Z_2
\end{aligned}$$



なる順序機械  $M_0 = [ I_0, Q_0, Z_0, \delta_0, \omega_0 ]$  に対して、定理 1 の条件を満たす状態割当は存在しない。(証明終)

定理 5.2 の条件を満たすモジュールを標準モジュールと呼ぶ。

例えば、通常のセット・リセット型フリップフロップの状態遷移図は図 5.4 のように表わせるので、これは定理 5.2 の条件を満たしている。従って、セット・リセット型フリップフロップは標準モジュールの一つである。

この場合、割当関数  $f_j (j=1 \sim k)$  は、任意の状態  $q \in Q$  に対して、

$$f_j(q) = \alpha \text{ 又は } \beta$$

として定義されるので、通常の 2 ブロック分割になる。

セット・リセット型フリップフロップのように、状態数 2 の標準モジュールを用いる場合は、定理 1 の特別な場合として、次の系が得られる。

[定理 1 の系 2] 2 状態標準モジュールによるモジュール構成によって順序機械  $M$  が定常性ハザードなしに直接遷移実現されるための必要十分条件は、任意の  $i \in I$  及び  $q_s \neq \delta(i, q_s), \delta(i, q_s) \neq \delta(i, q_t)$  なる任意の  $q_s, q_t \in Q$  に対して、状態割当  $(f_1, f_2, \dots, f_k)$  に少なくとも一つの  $f_j$  が存在して、次の 4 式がすべて成り立つことである。

$$f_j(q_s) \neq f_j(q_t) \quad (5.27)$$

$$f_j(q_s) \neq f_j(\delta(i, q_t)) \quad (5.28)$$

$$f_j(\delta(i, q_s)) \neq f_j(q_t) \quad (5.29)$$

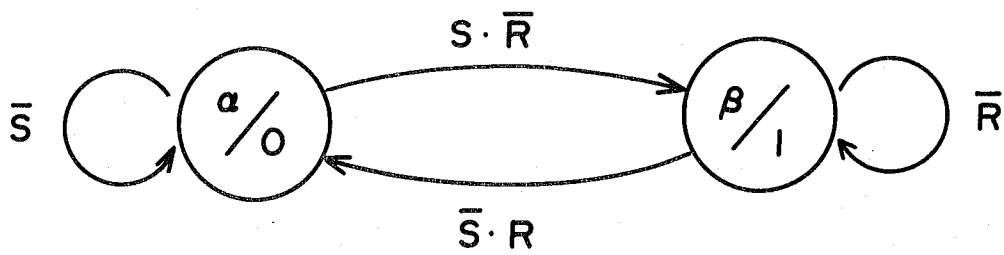
$$f_j(\delta(i, q_s)) \neq f_j(\delta(i, q_t)) \quad (5.30)$$

(系終)

(証明) 上記の条件が成り立てば、 $q_s$  と  $q_t$  は分割  $\Pi_i$  の互いに異なる同値類に属するので、2 状態標準モジュールの場合は式(5.18)を満たす  $X_{i,r}^j$  が無条件に存在する。従って、定理 5.1 の条件が成り立つ。

逆に、上記条件が成り立たなければ、 $q_s$  と  $q_t$  は分割  $\Pi_i$  の同じ同値類に属するので、式(5.18)を満たす  $X_{i,r}^j$  は存在しない。すなわち、定理 5.1 の条件が成立しない。(証明終)

2 状態標準モジュールを用いた状態割当  $(f_1, f_2, \dots, f_k)$  は、第 3 章で



\*  $S \cdot R$  は禁止入力

図 5.4 セット・リセット型 フリップ・フロップの  
状態遷移図

論じた 2 値状態割当に対応し，上記系 2 は定理 3.1 と本質的に同じである。

すなわち，定理 5.1 で述べた直接遷移実現の必要十分条件は，2 値状態割当における S T T 状態割当の条件をモジュール構成の場合へ一般化させたものと考えることができる。

#### 5.4 モジュール構成の結合依存性

本節では、モジュール間の互いの論理的依存関係を定めている結合関数  $\varphi_j$  ( $j=1\sim k$ ) の依存性減少の条件を示し、従来の順序回路の分解理論 [24] [54] との関係を明らかにする。

[定義 5.5] 状態割当  $(f_1, f_2, \dots, f_k)$  から任意に  $p$  ( $1 \leq p \leq k$ ) 個選んだ割当関数の組  $(f_{j_1}, f_{j_2}, \dots, f_{j_p})$  に対して入力  $i \in I$  の下で定義された定義 5.4 の同値関係  $E_i$  を新しく  $E_i(j_1, j_2, \dots, j_p)$  で表わす。

特に、 $p = k$  の場合には、 $E_i(j_1, j_2, \dots, j_p)$  と  $E_i$  とは同じ同値関係を表わす。 (定義終)

前節と同様に、同値関係  $E_i(j_1, j_2, \dots, j_p)$  によって定められる状態集合  $Q$  の分割を

$$\Pi_i(j_1, j_2, \dots, j_p) = \{ B_{i1}^!, B_{i2}^!, \dots, B_{i\mu}^! \} \quad (5.31)$$

で表わす。但し、 $B_{ir}^!$  ( $r=1\sim\mu$ ) は同値関係  $E_i(j_1, j_2, \dots, j_p)$  に関する同値類である。

依存性減少に関する基本定理を次に示す。

[定理 5.3] 順序機械  $M$  がモジュール構成によって定常性ハザードなしに直接遷移実現されるとき、結合関数  $\varphi_j(i, Y^1, Y^2, \dots, Y^k)$  が、 $i, Y^{j1}, Y^{j2}, \dots, Y^{jp}$  ( $1 \leq p \leq k$ ) だけに依存するための必要十分条件は、任意の  $i \in I$  に関する分割  $\Pi_i(j_1, j_2, \dots, j_p)$  の各同値類  $B_{ir}^!$  ( $r=1\sim\mu$ ) に対応してモジュール  $F_j$  へのある入力  $X_{ir}^j \in X^j$  が存在して、任意の状態  $q \in B_{ir}^!$  に対して、

$$f_j(\delta(i, q)) = \delta^j(X_{ir}^j, f_j(q)) \quad (5.32)$$

が成立することである。 (定理終)

(証明) 定理 5.1 の証明において、分割  $\Pi_i$  を  $\Pi_i(j_1, j_2, \dots, j_p)$  で置き換えることにより、式(5.22)は  $Y^{j1}, Y^{j2}, \dots, Y^{jp}$  及び  $i$  だけに依存する。逆も明らかである。 (証明終)

定理 5.3 から、依存性減少に関して従来得られているいくつかの結果が演繹される。

ところで、1入力1出力の遅延素子は図 5.5 に示されるように、最も簡単な2状態標準モジュールと考えることができる。

従って、遅延素子をモジュール  $F_1, F_2, \dots, F_k$  とした時のモジュール構成は、各モジュールの出力  $Y^1, Y^2, \dots, Y^k$  を2値状態変数とする通常の非同期式順序回路であり、結合関数  $\varphi_j(i, Y^1, Y^2, \dots, Y^k)$  は状態変数  $Y^j$  の次の値を定める状態変数関数になる。又、割当関数  $f_1, f_2, \dots, f_k$  は前節でも述べたように、それぞれ状態変数  $Y^1, Y^2, \dots, Y^k$  に対応する2ブロック分割になる。

この時、定理 5.3 の特別な場合として、次の系を得る。

[定理 5.3 の系 1] 順序機械  $M$  が遅延素子を用いたモジュール構成によって定常性ハザードなしに直接遷移実現される時、結合関数  $\varphi_j(i, Y^1, Y^2, \dots, Y^k)$  が、 $i, Y^{j^1}, Y^{j^2}, \dots, Y^{j^p}$  ( $1 \leq p \leq k$ ) だけに依存するための必要十分条件は、任意の  $i \in I$  及び

$$q_s \neq \delta(i, q_s), f_j(\delta(i, q_s)) \neq f_j(\delta(i, q_t))$$

なる任意の  $q_s, q_t \in Q$  に対して、割当関数  $f_{j_1}, f_{j_2}, \dots, f_{j_p}$  の内に少なくとも一つの  $f_{j_\ell}$  ( $\ell = 1 \sim p$ ) が存在して次の4式が成り立つことである。

$$f_{j_\ell}(q_s) \neq f_{j_\ell}(q_t) \quad (5.33)$$

$$f_{j_\ell}(q_s) \neq f_{j_\ell}(\delta(i, q_t)) \quad (5.34)$$

$$f_{j_\ell}(\delta(i, q_s)) \neq f_{j_\ell}(q_t) \quad (5.35)$$

$$f_{j_\ell}(\delta(i, q_s)) \neq f_{j_\ell}(\delta(i, q_t)) \quad (5.36)$$

(系終)

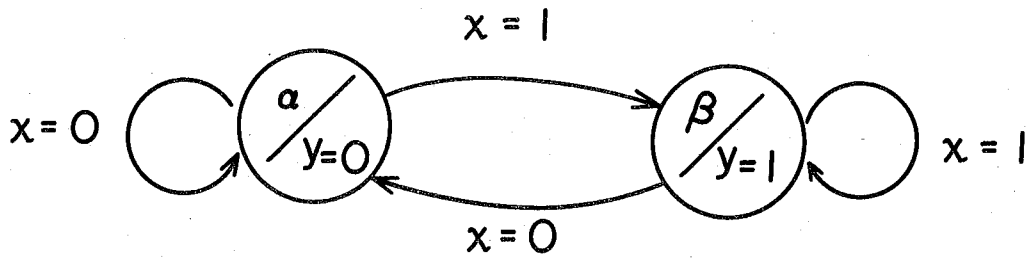
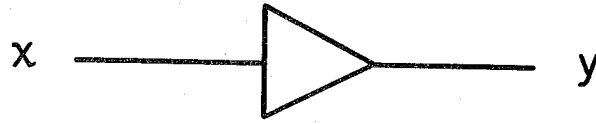
(証明) 定理 5.1 の系 2 の証明と同様である。

(証明終)

上記の系 1 は、2値状態割当における依存性減少に関する Tan らの条件 (文献 [54] の Theorem 2) と表現の仕方は異なるが同値である。

すなわち、Tan らの条件は、モジュール構成における結合依存性に関して一般的に成立する定理 5.3 の特別な場合に相当する。

ところで、 $M$  の状態集合  $Q$  のすべての分割の集合は束をなすことが知ら



$$M_d = [ I_d, Q_d, Z_d, \delta_d, \omega_d ]$$

$$\alpha = \delta_d(0, \alpha) = \delta_d(0, \beta)$$

$$\beta = \delta_d(1, \alpha) = \delta_d(1, \beta)$$

$$\omega_d(\alpha) = 0, \quad \omega_d(\beta) = 1$$

图 5.5 延迟素子の状態遷移

れている〔24〕。そこで、すべての  $i \in I$  に関する分割  $\Pi_i(j_1, j_2, \dots, j_p)$  の下限 (greatest lower bound) を  $\Pi_L(j_1, j_2, \dots, j_p)$  で表わす。

又、割当関数  $f_j$  によって定められる状態集合  $Q$  の分割を  $\tau_j$  で表わす。

そうすると、定理 5.3 の必要十分条件が満足されるならば、式(5.32)から明らかに、分割  $\Pi_L(j_1, j_2, \dots, j_p)$  と分割  $\tau_j$  の組は分割対 (partition pair)〔24〕であることが分る。

従って、次の系を得る。

〔定理 5.3 の系 2〕 順序機械  $M$  がモジュール構成によって定常性ハザードなしに直接遷移実現される時、結合関数  $\varphi_j(i, Y^1, Y^2, \dots, Y^k)$  が、 $i, Y^{j^1}, Y^{j^2}, \dots, Y^{j^p}$  ( $1 \leq p \leq k$ ) だけに依存するためには、 $\Pi_L(j_1, j_2, \dots, j_p)$  と  $\tau_j$  が分割対をなすことが必要である。 (系終)

(証明) 上に述べた事実から明らかである。 (証明終)

上記系 2 は、結合依存性に関する必要条件を述べているが、特に、遅延素子\*をモジュールとして用いる場合には、次のように必要十分条件となる。

〔定理 5.3 の系 3〕 順序機械  $M$  が遅延素子を用いたモジュール構成によって定常性ハザードなしに直接遷移実現される時、結合関数  $\varphi_j(i, Y^1, Y^2, \dots, Y^k)$  が、 $i, Y^{j^1}, Y^{j^2}, \dots, Y^{j^p}$  ( $1 \leq p \leq k$ ) だけに依存するための必要十分条件は、 $\Pi_L(j_1, j_2, \dots, j_p)$  と  $\tau_j$  が分割対をなすことである。 (系終)

(証明) 遅延素子を用いたモジュール構成では、 $\Pi_L(j_1, j_2, \dots, j_p)$  と  $\tau_j$  が分割対をなすならば、式(5.32)の  $\mathbb{X}_{i_r}^j$  が必ず存在する。逆は定理 5.3 の系 2 より明らかである。 (証明終)

上記系 3 は、系 1 と同じことを述べている。すなわち、前記系 1 の必要十分条件と上記系 3 の必要十分条件とは同値である。

\* Tan らの条件と対比させるため遅延素子としているが、一般には、2 状態標準モジュールとしても系 3 は成り立つ。系 1 も同じである。

従って、依存性減少に関して、Tanらの条件と、定理5.3の系1，及び系3はすべて同値な条件であることが分る。

次に、定理5.3において、特に、 $p=1$ かつ $Y^{j1} = Y^j$ である場合は、定理5.3は直列分解(serial decomposition)[24]の条件を述べている。

この場合、分割 $\Pi_L(j)$ と分割 $\tau_j$ の組が分割対をなすならば、明らかに、 $\tau_j$ はSP分割(partition with substitution property)[24]である。

従って、次の系が成り立つ。

[定理5.3の系4] 順序機械Mがモジュール構成によって定常性ハザードなしに直接遷移実現される時、結合関数 $\varphi_j(i, Y^1, Y^2, \dots, Y^k)$ がi及び $Y^j$ だけに存在するためには、 $\tau_j$ がSP分割であること必要である。

(系終)

(証明) 上に述べた事実から明らかである。

(証明終)

さて、定理5.3の必要十分条件を満たす状態割当 $(f_1, f_2, \dots, f_k)$ は、必ず存在するとは限らないが、結合関数 $\varphi_j$ を必ずモジュール $F_j$ 自身の出力に独立に定義できるモジュールは存在する。

すなわち、次の定理が成り立つ。

[定理5.4] 任意の順序機械をモジュール構成によって定常性ハザードなしに直接遷移実現し、かつ、結合関数 $\varphi_j(j=1 \sim k)$ を $F_j$ の出力に独立に定義できるためのモジュール $F_j(j=1 \sim k)$ の必要十分条件は、

$$\exists \alpha, \exists \beta \in Q^j (\alpha \neq \beta), \exists X_\alpha, \exists X_\beta, \exists X_{\alpha\beta} \in X^j, \exists Y_\alpha, \exists Y_\beta \in Y^j (Y_\alpha \neq Y_\beta)$$

に対して、

$$\alpha = \delta^j(X_\alpha, \alpha) = \delta^j(X_\alpha, \beta)$$

$$\beta = \delta^j(X_\beta, \alpha) = \delta^j(X_\beta, \beta)$$

$$\alpha = \delta^j(X_{\alpha\beta}, \alpha), \beta = \delta^j(X_{\alpha\beta}, \beta)$$

$$Y_\alpha = \omega^j(\alpha), Y_\beta = \omega^j(\beta)$$

が成り立つことである。

(定理終)

(証明) 定理5.2の場合と類似の議論によって証明できる。(証明終)



図 5.4 に示されたセット・リセット型フリップフロップは定理 5.4 の必要十分条件を満たすモジュールの一つの例である。これに対して、図 5.5 に示された遅延素子は、標準モジュールではあるが、定理 5.4 の必要十分条件を満たしていないことが分る。

以上、前節と本節における考察から明らかのように、モジュール構成の合成理論は、2 値論理素子を前提とした非同期式順序回路の合成理論の一般化になっていることが分る。

モジュール構成の合成理論の基本定理は定理 5.1 及び定理 5.3 であり、これらから、第 2 章で述べた回路 M のモデルに関する Tracey の条件 (定理 3.1) 及び Tan らの条件が演繹されることが示された。

### 5.5 モジュール間結合回路のハザードフリー構成

前節までは、本章第2節で設けた仮定(ii)に従い、モジュール間の結合回路 $\Phi_j$  ( $j=1\sim k$ )の遅延はそれぞれに対応するモジュール $F_j$  ( $j=1\sim k$ )の帰還路遅延及び出力端遅延の大きさに比べて十分に小さく無視し得るとの仮定の下で議論を進めてきた。

しかしながら、結合回路は結合関数 $\varphi_j(i, Y^1, Y^2, \dots, Y^k)$ を実現する多出力組合せ回路であるから、実際には、無視し得ない遅延が存在する。しかも、これは単なる組合せ回路ではなく、モジュール $F_j$ を介する帰還路が存在するため、モジュール構成における定常性ハザードの原因になり得る。

本節では、本章第2節で設けた仮定(ii)が妥当とみなし得るように、結合回路 $\Phi_j$ をハザードフリー構成とする方法を述べる。

図5.6に結合回路 $\Phi_j$ の構成を示す。

同図において、破線の部分が結合回路 $\Phi_j$ であり、図5.2のモジュール構成における $\Phi_1, \Phi_2, \dots, \Phi_k$ に対応する。結合回路 $\Phi_j$ が実現する結合関数

$$X^j = \varphi_j(i, Y^1, Y^2, \dots, Y^k) \quad (5.37)$$

によって定められるモジュール $F_j$ への入力符号ベクトル $X^j$ を、

$$X^j = (X_1^j, X_2^j, \dots, X_{m_j}^j) \quad (5.38)$$

と表わすと、結合関数 $\varphi_j$ は次のように $m_j$ 個の論理関数で表わすことができる。

$$\left. \begin{aligned} x_1^j &= \varphi_{j_1}(i, Y^1, Y^2, \dots, Y^k) \\ x_2^j &= \varphi_{j_2}(i, Y^1, Y^2, \dots, Y^k) \\ &\vdots \\ x_{m_j}^j &= \varphi_{j_{m_j}}(i, Y^1, Y^2, \dots, Y^k) \end{aligned} \right\} \quad (5.39)$$

従って、結合回路 $\Phi_j$ は、実際には、式(5.39)の $m_j$ 個の1出力組合せ回路によって構成される。

はじめに、このような結合回路 $\Phi_j$ に存在する遅延の影響を明らかにする。

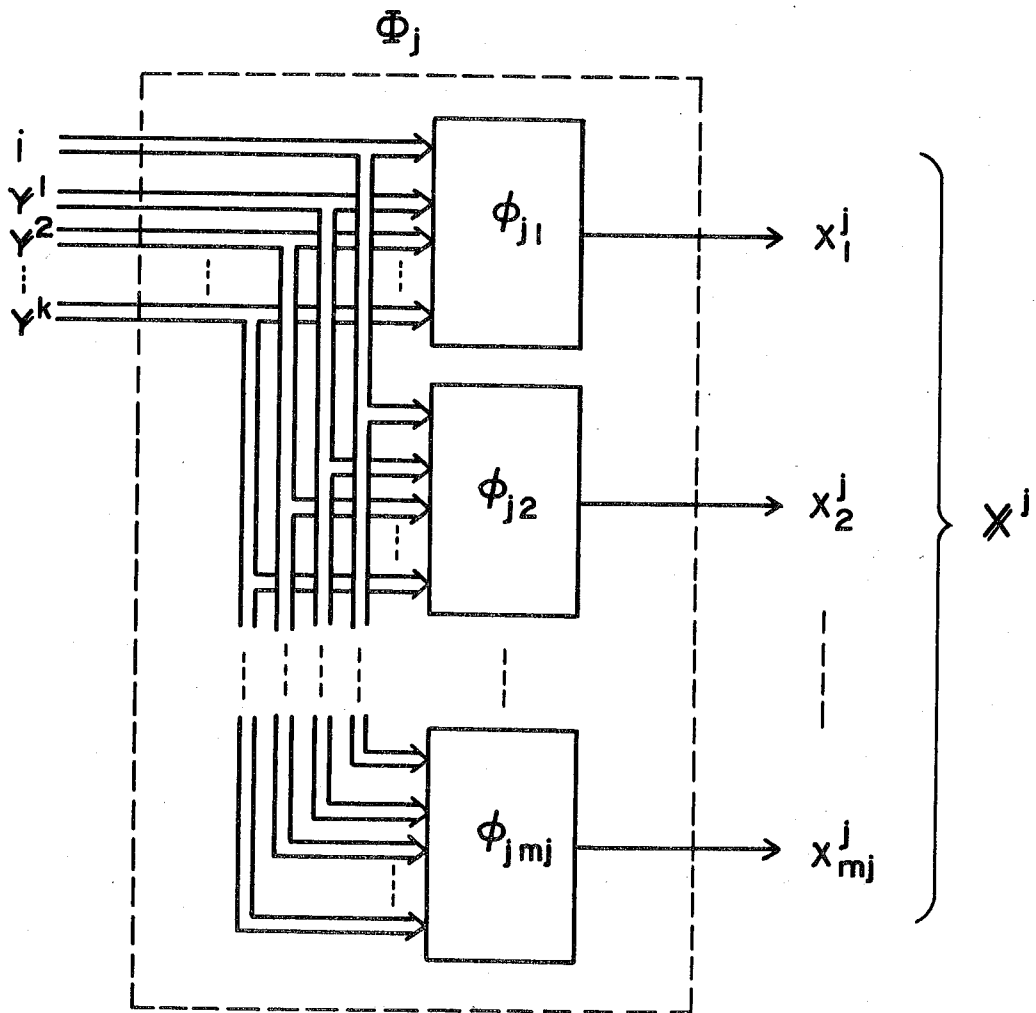


図 5.6 結合関数  $\phi_j$  を実現する多出力組合せ回路  $\Phi_j$

そのため、定理 5.1 の必要十分条件を満足したモジュール構成を考える。すなわち、結合回路  $\Phi_j$  の遅延を無視し得るとの仮定の下では、順序機械  $M$  を定常性ハザードなしに直接遷移実現しているモジュール構成を考える。

順序機械  $M$  の現在の状態を  $q \in Q$  とすると、それに対応するモジュール構成の状態  $(f_1(q), f_2(q), \dots, f_k(q))$  である。又、外部入力を  $i_a \in I$  とする。

この場合、モジュール  $F_j$  ( $j=1 \sim k$ ) へは、次式によって定められた入力符号ベクトル  $X_a^j$  が印加されている。

$$X_a^j = \varphi_j(i_a, \omega^1(f_1(q)), \omega^2(f_2(q)), \dots, \omega^k(f_k(q))) \quad (5.40)$$

このような状態で外部入力が  $i_a \rightarrow i_b$  の変化を生じたものとする。その結果、モジュール  $F_j$  へは次式によって定められる入力符号ベクトル  $X_b^j$  が新しく印加される。

$$X_b^j = \varphi_j(i_b, \omega^1(f_1(q)), \omega^2(f_2(q)), \dots, \omega^k(f_k(q))) \quad (5.41)$$

すなわち、外部入力変化  $i_a \rightarrow i_b$  の結果、2次的にモジュール  $F_j$  に対する入力変化  $X_a^j \rightarrow X_b^j$  が生じることになる。

この時、もし、結合回路  $\Phi_j$  の遅延を無視し得るならば、各モジュール  $F_j$  に対して瞬時的に  $X_a^j \rightarrow X_b^j$  変化が生じ、しかも定理 5.1 によって保証される通り、各モジュールの状態遷移のばらつきにかかわらず入力  $X_b^j$  が印加され続加され続けるため、モジュール構成は必ず次の状態

$$(f_1(\delta(i_b, q)), f_2(\delta(i_b, q)), \dots, f_k(\delta(i_b, q)))$$

へ到達して安定する。すなわち、順序機械  $M$  の状態遷移  $q \rightarrow \delta(i_b, q)$  が達成される。

しかしながら、結合回路  $\Phi_j$  の遅延が無視できない場合には、外部入力変化  $i_a \rightarrow i_b$  の結果として生じる  $F_j$  への入力変化  $X_a^j \rightarrow X_b^j$  は、一般には、式(5.39)から分るように、複数入力変化であるため、モジュール  $F_j$  に誤動作の可能性が生じる。これは、第3章第5節で述べたように、複数

入力変化に対してモジュール  $F_j$  の状態遷移関数  $\delta^j$  に存在する関数ハザードのためである。

又、異なる結合回路の間で、遅延の大きさに著しく差がある場合には、第4章第1節で述べた基本ハザードと同じ性質の誤動作がモジュール構成に生じる可能性がある。その様子を図5.7に示す。

図5.7において、外部入力変化  $i_a \rightarrow i_b$  が生じると、本来はモジュール  $F_\alpha$  だけが状態遷移を行うべきところを、結合回路  $\Phi_\beta$  の遅延が非常に大きい場合には、外部入力変化  $i_a \rightarrow i_b$  と  $F_\alpha$  からの帰還信号変化  $Y_a^\alpha \rightarrow Y_b^\alpha$  の間で競合が生じ、結合回路  $\Phi_\beta$  が誤った出力変化を行なう可能性がある。これは、図4.5に示された基本ハザードに起因する競合と構造的に同じものである。

以上の考察から、結合回路の遅延に起因する定常性ハザードの要因は次の2つであることが分る。

- (1) 結合回路  $\Phi_j$  から印加される複数入力変化  $X_a^j \rightarrow X_b^j$  に対してモジュール  $F_j$  の状態遷移関数  $\delta^j$  に存在する関数ハザード。
- (2) 結合回路  $\Phi_\beta$  における外部入力変化  $i_a \rightarrow i_b$  と帰還信号変化  $Y_a^\alpha \rightarrow Y_b^\alpha$  との競合。

上記(1)は結合回路内の遅延のばらつきによるものであり、(2)は異なる結合回路間の遅延のばらつきによるものである。

以下、上記要因(1)、(2)を除去する方法を述べる。

まず、要因(1)を除去するためには、第3章第5節で得られた定理3.7を適用することができる。

[ 要因1の除去法 ]

- 1) モジュール  $F_j$  の入力集合に対する入力状態割当として  $(2, 1)$  分離システムを用いる。
- 2) モジュール  $F_j$  の任意の状態  $q^j \in Q^j$  と、 $X^j \notin X_A$  かつ  $X^j \in SP(X_A)$  なる入力符号ベクトル  $X^j$  に対して
 
$$q^j = \delta^j(X^j, q^j)$$

と定める。但し、 $X_A$  は定理 3.7 の  $X_A$  を表わす。 (手順終)

上記方法によって要因(1)が除去されることは定理 3.7 が保証している。

外部入力変化は単一入力変化であると仮定すると、上記の手順 1) において、定理 3.6 で得られた効率の良い対符号 (2, 1) 分離システムを入力状態割当として用いることができる。

すなわち、モジュールの入力記号集合  $X_S$  に対する対符号 (2, 1) 分離システム  $\{B_1, B_2\}$  によって、任意の入力記号  $a \in X_S$  に対応する入力符号ベクトルを  $X_a^1, X_a^2$  とすると、式(5.37)の左辺を、外部入力  $i$  を表わす符号ベクトルの重みが奇数(偶数)ならば  $X_a^1$  とし、偶数(奇数)ならば  $X_a^2$  と定義すればよい。

その結果、任意の外部入力変化  $i_a \rightarrow i_b$  の結果生じる 2 次的入力変化は、対符号 (2, 1) 分離システムによって、 $X_a^1 \rightarrow X_b^2$ 、又は  $X_a^2 \rightarrow X_b^1$  として実現され、モジュールへ印加される。

又、上記手順 2) は入力状態割当を与えた結果生じる状態遷移関数  $\delta^j$  の未定義部分を定義する規則を与えており、これを行なうことは常に可能である。

次に、要因(2)を除去するためには、第 4 章第 3 節で述べた配線付加方式を用いたハザードフリー回路の構成法を適用することができる。

定理 5.1 の必要十分条件を満足しているモジュール構成では、外部入力変化  $i_a \rightarrow i_b$  に対して、状態遷移を行なうように定められているすべてのモジュール  $F_\alpha$  に対して結合回路  $\Phi_\alpha$  の出力符号ベクトル  $X^\alpha = (x_1^\alpha, x_2^\alpha, \dots, x_{m_\alpha}^\alpha)$  のいくつかの変数  $x_\ell^\alpha$  ( $\ell = 1 \sim m_\alpha$ ) が同時にその値を変化させる。一方、状態遷移を行なわないように定められているすべてのモジュール  $F_\beta$  に対して結合回路  $\Phi_\beta$  の出力符号ベクトル  $X^\beta = (x_1^\beta, x_2^\beta, \dots, x_{m_\beta}^\beta)$  は、その間一定の値を保ち続けるように、式(5.37)によって定められている。

又、この場合、ベクトル  $X^\alpha$  において変化すべき変数  $x_\ell^\alpha$  がすべて変化し終わるまではモジュール  $F_\alpha$  の状態遷移は始まらないように、上記

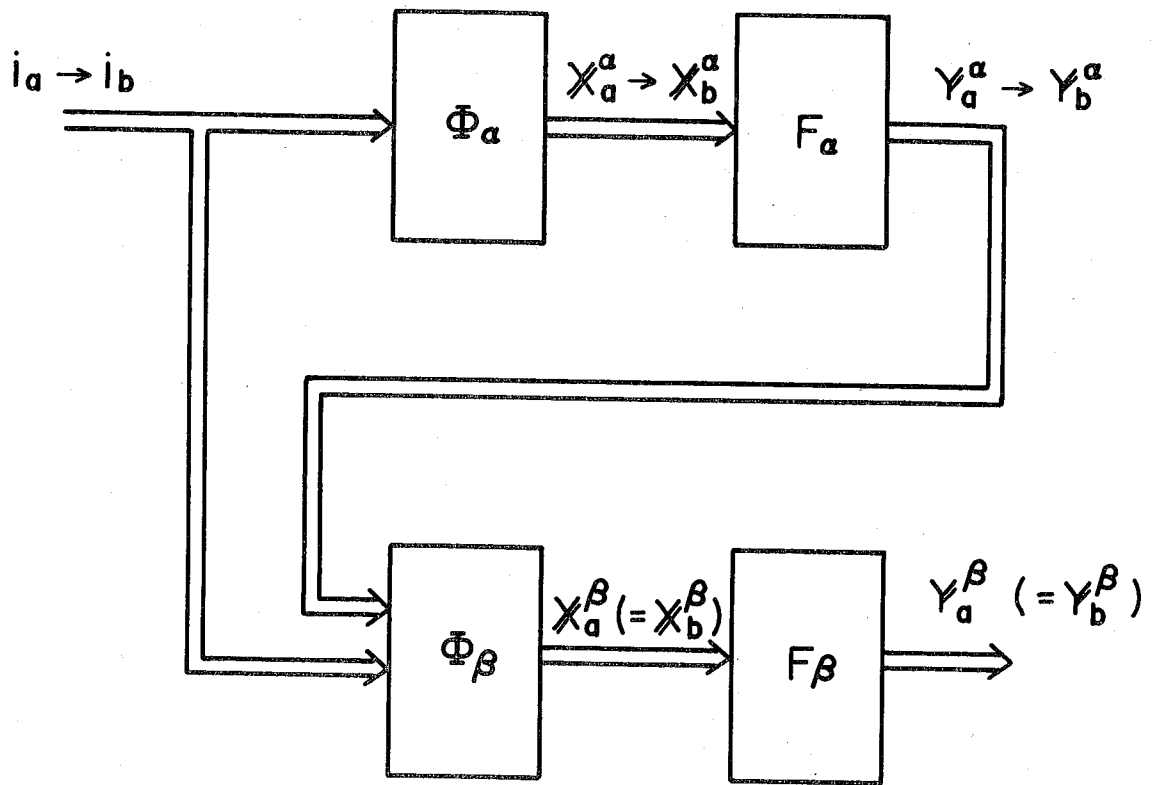


図 5.7 結合回路の遅延の影響

[ 要因 1 の除去法 ] の手順 2 において,  $\delta^j$  が定められている。

さらに, 外部入力変化  $i_a \rightarrow i_b$  に対しては静止しており, 逆の変化  $i_a \rightarrow i_b$  に対しては状態遷移を行なうように定められているモジュール  $F_\beta$  に対応するベクトル  $X^\beta$  についても同様のことが言える。

従って, このような一組のモジュール  $F_\alpha, F_\beta$  に関して,  $i_a \rightarrow i_b$  変化に対して変化する  $X^\alpha$  の任意の一つの変数  $x_\ell^\alpha$  と,  $i_b \rightarrow i_a$  変化に対して変化する  $X^\beta$  の任意の一つの変数  $x_\ell^\beta$  の組  $(x_\ell^\alpha, x_\ell^\beta)$  に着目すると, 図 4.10 における状態変数の組  $(y_\alpha, y_\beta)$  の場合と全く同じ議論が成り立つ。

ゆえに次の方法を適用できる。

[ 要因 2 の除去法 ]

- 1) 式(5.37)から  $(X^1, X^2, \dots, X^k)$  を行に, 外部入力  $i \in I$  を列に対応させた遷移マトリクスを作る。
- 2) 基本ハザードの形態を持つすべての部分マトリクスに関して, 3), 4)を行なう。この部分の外部入力変化を  $i_a \rightarrow i_b$  とする。
- 3)  $i_a \rightarrow i_b$  変化に対して出力変化を伴う状態遷移を起こし,  $i_b \rightarrow i_a$  で静止するモジュール  $F_\alpha$  と,  $i_a \rightarrow i_b$  変化で静止し,  $i_b \rightarrow i_a$  で状態遷移を起こすモジュール  $F_\beta$  のすべての組  $(F_\alpha, F_\beta)$  に対して, 4)を行なう。
- 4)  $i_a \rightarrow i_b$  で変化する  $X^\alpha$  の任意の一つの変数  $x_\ell^\alpha$  と,  $i_b \rightarrow i_a$  で変化する  $X^\beta$  の任意の一つの変数  $x_\ell^\beta$  を選び,  $(x_\ell^\alpha, x_\ell^\beta)$  に関する図 4.10 の①~④に対応して, 図 4.12 の付加配線箇所を決定する。
- 5)  $\Phi_j$  ( $j=1 \sim k$ ) を NAND-NAND 二段構成の組合せ回路で実現し, 4) で定めた付加配線を行なう。 (手順終)

上記手順 4) において, 図 4.10 の②に相当する組  $(x_\ell^\alpha, x_\ell^\beta)$  を選べば, 前に述べたように付加配線は必要ないので, そのような  $(x_\ell^\alpha, x_\ell^\beta)$  を先に選ぶことによって付加配線を減少させることができる。

以上に述べた方法によって, 結合回路の遅延に起因する定常性ハザード



の要因(1), (2)が除去されれば, すべてのモジュール  $F_j$  ( $j=1\sim k$ )に対して  
入力変換  $X_a^i \rightarrow X_b^j$  が定められた通りに, しかも瞬間的に生じると考えるこ  
とができるので, 本章第2節の仮定(ii)が成立していると考えられる。

## 5.6 合成手順及び例題

本節では、これまで述べてきた結果を整理して、モジュール構成による非同期式順序回路の合成手順を示し、さらに、これらの手順の理解のために、簡単な例題を示す。

前節までは、 $k$  個のモジュール  $F_1, F_2, \dots, F_k$  は、一般に、互いに異なる順序機械を実現しているものとして議論を進めてきたが、ここでは、すべて同一のモジュール

$$F = \{ X^F, Q^F, Z^F, \delta^F, \omega^F \}$$

を用いて、任意の順序機械

$$M = \{ I, Q, Z, \delta, \omega \}$$

を合成する手順を示す。

はじめに、手順の実行を容易にするため、定理 5.1 から直接導かれる次の系を示す。

[定理 5.1 の系 3] 状態割当  $(f_1, f_2, \dots, f_k)$  が定理 5.1 の必要十分条件を満足するためには、 $j = 1 \sim k$  に対して、 $f_j$  が次の条件を満たすことが必要である。

条件：任意の  $i \in I, q_t \in Q$  に対してある  $X^j \in X^j$  が存在して、

$$q_t = \delta(i, q_s) \text{ なる任意の } q_s \in Q \text{ に対して、}$$

$$f_j(q_t) = \delta^j(X^j, f_j(q_s))$$

が成り立つこと。

(系終)

(証明) 定理 5.1 の条件が成り立てば、明らかに上記条件は成り立つ。

(証明終)

さて、以下に述べる合成手順では、まず、定理 5.1 の系 3 を用いて不適格な割当関数が除外され、次に定理 5.1 の系 1 を用いて、不適格な状態割当が除外される。しかる後、定理 5.1 の条件を満たす状態割当  $(f_1, f_2, \dots, f_k)$  が求められ、それに対する結合関数  $\varphi_j (j=1 \sim k)$  が決定される。最後に、配線付加方式を用いて結合回路が構成される。

[ 合成手順 ]

- ①  $M$  から  $F$  への写像  $f : Q \rightarrow Q^F$  の内, [ 定理 5.1 の系 3 ] の条件を満たすすべての割当関数を求め, それらを  $f_1, f_2, \dots, f_u$  とする。
- ②  $q_s' = \delta(i, q_s), q_t' = \delta(i, q_t), q_s' \neq q_t', q_s \neq q_s'$  なる既約な非順序対  $(q_s q_s', q_t q_t')$  をすべて求め, それらを,  $d_1, d_2, \dots, d_v$  とする。
- ③ 図 5.8 のように, 縦方向に  $f_1, f_2, \dots, f_u$  を, 横方向に  $d_1, d_2, \dots, d_v$  をそれぞれ並べた被覆表において,  $f_\alpha$  と  $d_\beta = (q_s q_s', q_t q_t')$  の交点  $(\alpha, \beta)$  に次の (イ), (ロ) に従って  $\odot$  印又は  $\circ$  印を記す。
- (イ)  $f_\alpha$  に対して [ 定理 5.1 の系 1 ] の式 (5.23) ~ (5.26) がすべて成り立つならば,  $\odot$  印を記す。
- (ロ)  $f_\alpha$  に対して, (イ) 以外で [ 定理 5.1 の系 1 ] の ② の (a) 又は (b) が成り立つならば,  $\circ$  印を記す。
- ④ 被覆表の第  $\beta$  列 ( $\beta = 1 \sim v$ ) において,  $\odot$  印,  $\circ$  印, 及び無印に対応する  $f_\alpha$  の添字  $\alpha$  の集合を, それぞれ,  $R_1(\beta), R_2(\beta)$  及び  $R_3(\beta)$  で表わし,  $f_\alpha$  ( $\alpha = 1 \sim u$ ) を論理変数とする次の論理式  $D$  を積和形に展開する。

$$D = \prod_{\beta=1}^v \left\{ \sum_{\alpha \in R_1(\beta)} f_{\alpha_1} + \left( \sum_{\alpha \in R_2(\beta)} f_{\alpha_2} \right) \cdot \left( \prod_{\alpha \in R_3(\beta)} \bar{f}_{\alpha_3} \right) \right\}$$

但し,  $\prod$  及び  $\cdot$  は論理積,  $\sum$  及び  $+$  は論理和をそれぞれ表わす。

又,  $R_\ell(\beta)$  ( $\ell = 1, 2, 3$ ) が空ならば,  $f_{\alpha_\ell} = 0$  とする。

例えば, 図 5.8 の被覆表の場合には次のようになる。

$$\begin{aligned} D &= (f_1 + f_3) \cdot (f_1 + f_2 + f_4) \cdot \bar{f}_3 \cdot (f_1 + f_3 \cdot f_2 \cdot \bar{f}_4) \\ &\quad \cdot \{ f_2 + (f_1 + f_4) \cdot \bar{f}_3 \} \cdot (f_2 + f_3 + f_4) \\ &= f_1 \cdot f_2 \cdot \bar{f}_3 + f_1 \cdot f_4 \cdot \bar{f}_3 \end{aligned}$$

- ⑤  $D$  の各積項から否定形論理変数を除いた論理変数 (割当関数) の組をそれぞれ状態割当候補とする。上記の例では,  $(f_1, f_2)$  と  $(f_1, f_4)$  が状態割当候補である。

	$d_1$	$d_2$	$d_3$	$d_4$	$d_5$
$f_1$	◎	○	◎	○	
$f_2$		○		◎	◎
$f_3$	◎		○		◎
$f_4$		○		○	◎

図 5.8 [定理 5.1 の系 1] の条件  
に関する被覆表

- ⑥ 上記⑤の各状態割当候補  $(f_1, f_2, \dots, f_k)$  について，任意の  $i \in I$  に関する分割  $\Pi_i$  を求める。その結果，分割  $\Pi_i$  が定理 5.1 の条件を満足する候補の内，割当関数の個数最少の候補を，求める状態割当  $(f_1, f_2, \dots, f_k)$  とし，それに対応する分割を改めて  $\Pi_i = \{ B_{i1}, B_{i2}, \dots, B_{i\nu} \}$  ( $i \in I$ ) とする。もし，定理 5.1 の条件を満足する候補が存在しなければ， $M$  は  $F$  によって合成することはできない。
- ⑦ 分割  $\Pi_i$  の各同値類  $B_{ir}$  ( $r = 1 \sim \nu$ ) に対して，式 (5.18) で定められるある  $X_{ir}^1, X_{ir}^2, \dots, X_{ir}^k \in X^F$  を求める。

- ⑧ 任意の  $i \in I$ ， $r = 1 \sim \nu$  に関して，次のことを行なう。すなわち，任意の  $q \in B_{ir}$  に関して，

$$\left. \begin{aligned} Y_a^j &= \omega^F(f_j(q)) \\ Y_b^j &= \omega^F(f_j(\delta(i, q))) \end{aligned} \right\} j = 1 \sim k$$

$$V = SP((Y_a^1, Y_a^2, \dots, Y_a^k), (Y_b^1, Y_b^2, \dots, Y_b^k))$$

とすると，結合関数  $\varphi_j$  ( $j=1 \sim k$ ) を，任意の  $(Y^1, Y^2, \dots, Y^k) \in V$  に対して，

$$\varphi_j(i, Y^1, Y^2, \dots, Y^k) = X_{ir}^j$$

と定義する。

- ⑨ 結合回路  $\phi_j$  ( $j=1 \sim k$ ) を配線付加方式による NAND - NAND 二段構成で実現する。

(手順終)

上記合成手順の⑧のように結合関数  $\varphi_j$  ( $j=1 \sim k$ ) を定義でき，かつ⑥で求めた状態割当  $(f_1, f_2, \dots, f_k)$  によって  $M$  を定常性ハザードなしに直接遷移実現できることを定理 5.1 が保証している。

上記の合成手順に従ってモジュール構成による非同期順序回路を実現する例題を以下に示す。

[例題] 図 5.9 の順序機械  $M$  を，良く知られている図 5.10 のマスターレーブ型 JK フリップフロップをモジュール  $F$  として，合成すること。

		$X_1 X_2$			
		00	01	11	10
1	2	①	①	①	
2	②	6	5	②	
3	③	1	③	4	
4	④	6	6	④	
5	4	6	⑤	7	
6	8	⑥	⑥	2	
7	⑦	1	3	⑦	
8	⑧	1	⑧	1	

図 5.9 順序機械 M

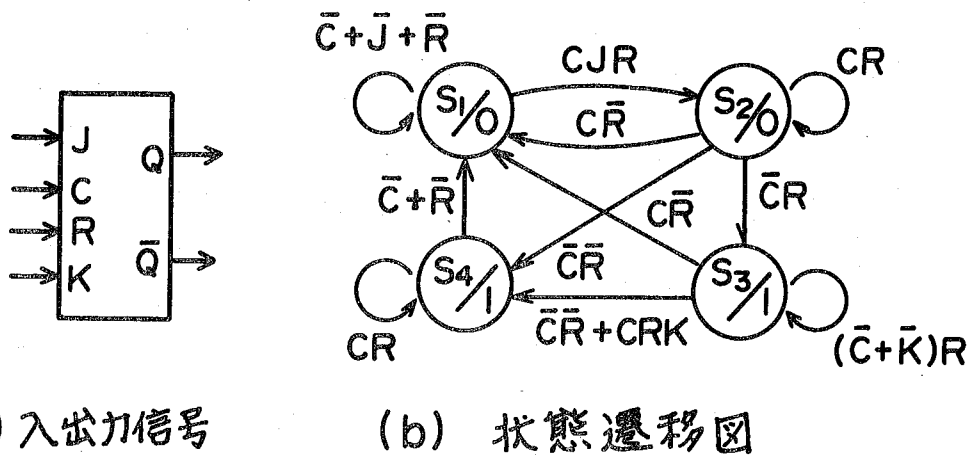


図 5.10 マスタ・スレーブ型 JK フリップ・フロップ

[合成例] モジュール  $F$  の状態集合  $Q^F$  は,

$$Q^F = \{ S_1, S_2, S_3, S_4 \}$$

であるから,  $M$  から  $F$  への割当関数  $f$  を次のように表わすことにする。

$$f = (R_1 \mid R_2 \mid R_3 \mid R_4)$$

但し,  $R_i = \{ q \mid f(q) = S_i, q \in \{ 1, 2, 3, 4, 5, 6, 7, 8, 9 \} \}$  である。ここに  $i = 1 \sim 4$ 。

さて, [定理 5.1 の系 3] を満たし,  $R_i (i=1 \sim 4)$  が空でない割当関数は, 次の通りである。(手順①)

$$f_1 = (1248 \mid 56 \mid 7 \mid 3) \quad , \quad f_2 = (124 \mid 568 \mid 7 \mid 3)$$

$$f_3 = (124 \mid 56 \mid 78 \mid 3) \quad , \quad f_4 = (1468 \mid 25 \mid 7 \mid 3)$$

$$f_5 = (146 \mid 258 \mid 7 \mid 3) \quad , \quad f_6 = (148 \mid 256 \mid 7 \mid 3)$$

$$f_7 = (14 \mid 2568 \mid 7 \mid 3) \quad , \quad f_8 = (14 \mid 256 \mid 78 \mid 3)$$

$$f_9 = (1468 \mid 2 \mid 57 \mid 3) \quad , \quad f_{10} = (146 \mid 28 \mid 57 \mid 3)$$

$$f_{11} = (168 \mid 2 \mid 57 \mid 34) \quad , \quad f_{12} = (16 \mid 28 \mid 57 \mid 34)$$

$$f_{13} = (168 \mid 2 \mid 357 \mid 4) \quad , \quad f_{14} = (16 \mid 28 \mid 357 \mid 4)$$

$$f_{15} = (24 \mid 56 \mid 78 \mid 3) \quad , \quad f_{16} = (24 \mid 56 \mid 378 \mid 1)$$

既約な非順序対は次の通りである。(手順②)

$$d_1 = (12, 68) \quad , \quad d_2 = (12, 54) \quad , \quad d_3 = (12, 3) \quad , \quad d_4 = (12, 7)$$

$$d_5 = (68, 54) \quad , \quad d_6 = (68, 3) \quad , \quad d_7 = (68, 7) \quad , \quad d_8 = (54, 3)$$

$$d_9 = (54, 7) \quad , \quad d_{10} = (81, 62) \quad , \quad d_{11} = (81, 57) \quad , \quad d_{12} = (81, 34)$$

$$d_{13} = (62, 57) \quad , \quad d_{14} = (62, 34) \quad , \quad d_{15} = (57, 34) \quad , \quad d_{16} = (25, 1)$$

$$d_{17} = (73, 1) \quad , \quad d_{18} = (25, 46) \quad , \quad d_{19} = (25, 73) \quad , \quad d_{20} = (25, 8)$$

$$d_{21} = (46, 73) \quad , \quad d_{22} = (46, 8) \quad , \quad d_{23} = (73, 8) \quad , \quad d_{24} = (31, 26)$$

$$d_{25} = (31, 46) \quad , \quad d_{26} = (31, 56) \quad , \quad d_{27} = (71, 26) \quad , \quad d_{28} = (71, 46)$$

$$d_{29} = (71, 56) \quad , \quad d_{30} = (81, 26) \quad , \quad d_{31} = (81, 46) \quad , \quad d_{32} = (81, 56)$$

上記の  $f_1 \sim f_{16}$  及び  $d_1 \sim d_{32}$  から, [定理 5.1 の系 1] に関する被覆表は図 5.11 のように得られる。(手順③)

論理式  $D$  は次のように求められる。(手順④)





$$D = f_{12} \cdot f_{15}$$

従って、 $(f_{12}, f_{15})$  は状態割当の候補である。(手順⑤)

状態割当  $(f_{12}, f_{15})$  について、外部入力  $00, 01, 11, 10$  に関する分割  $\Pi_i$  はそれぞれ次の通りである。(手順⑥)

$$\Pi_{00} = \{B_{00 \cdot 1}, B_{00 \cdot 2}, B_{00 \cdot 3}\} = \{(1268), (37), (45)\}$$

$$\Pi_{01} = \{B_{01 \cdot 1}, B_{01 \cdot 2}\} = \{(1378), (2456)\}$$

$$\Pi_{11} = \{B_{11 \cdot 1}, B_{11 \cdot 2}, B_{11 \cdot 3}\} = \{(18), (2456), (37)\}$$

$$\Pi_{10} = \{B_{10 \cdot 1}, B_{10 \cdot 2}, B_{10 \cdot 3}\} = \{(18), (26), (3457)\}$$

上記各分割は、すべて定理 5.1 の条件を満足するので、 $(f_{12}, f_{15})$  を改めて状態割当  $(f_1, f_2)$  とする。

すなわち、モジュール  $F_1, F_2$  に対応する状態割当を、それぞれ、

$$f_1 = (16128157134)$$

$$f_2 = (24156178113)$$

とする。

上記分割  $\Pi_i$  の各同値類  $B_{iR}$  に対応する  $F_1$  への入力  $X_{iR}^1$  及び  $F_2$  への入力  $X_{iR}^2$  として、それぞれ、図 5.12 の表の論理式で定められる 2 値ベクトル  $(C_1, R_1, J_1, K_1)$  の集合、及び 2 値ベクトル  $(C_2, R_2, J_2, K_2)$  の集合から任意に選ぶことができる。(手順⑦)

又、その  $X_{iR}^1$  及び  $X_{iR}^2$  を用いて結合関数

$$\varphi_1(x_1, x_2, Q_1, Q_2)$$

及び

$$\varphi_2(x_1, x_2, Q_1, Q_2)$$

を図 5.12 のように定義できる。(手順⑧)

図 5.12 の  $\varphi_1(x_1, x_2, Q_1, Q_2)$  及び  $\varphi_2(x_1, x_2, Q_1, Q_2)$  を成分ごとに表わすと、 $X_{iR}^1$  及び  $X_{iR}^2$  を手順⑦の範囲で適当に定めることにより、例えば、次の論理式が得られる。

$$C_1 = \bar{x}_2 + Q_2$$

$$R_1 = \bar{x}_1 \bar{x}_2 + x_1 x_2 + x_1 \bar{Q}_2 + x_1 Q_1$$

$x_1$	$x_2$	$Q_1$	$Q_2$	$\phi_1(x_1, x_2, Q_1, Q_2)$	$\phi_2(x_1, x_2, Q_1, Q_2)$
0	0	0	0	$X'_{00,1} \in \{C_1 R_1\}$	$X^2_{00,1} \in \{\bar{C}_2 R_2\}$
0	0	0	1	$X'_{00,1} \in \{C_1 R_1\}$	$X^2_{00,1} \in \{\bar{C}_2 R_2\}$
0	0	1	0	$X'_{00,3} \in \{C_1 R_1 K_1\}$	$X^2_{00,3} \in \{C_2 \bar{R}_2\}$
0	0	1	1	$X'_{00,2} \in \{C_1 R_1 \bar{K}_1\}$	$X^2_{00,2} \in \{C_2 R_2 \bar{K}_2\}$
0	1	0	0	$X'_{01,2} \in \{C_1 \bar{R}_1\}$	$X^2_{01,2} \in \{C_2 R_2 J_2\}$
0	1	0	1	$X'_{01,1} \in \{C_1 \bar{R}_1\}$	$X^2_{01,1} \in \{C_2 R_2 K_2\}$
0	1	1	0	$X'_{01,2} \in \{C_1 \bar{R}_1\}$	$X^2_{01,2} \in \{C_2 R_2 J_2\}$
0	1	1	1	$X'_{01,1} \in \{C_1 \bar{R}_1\}$	$X^2_{01,1} \in \{C_2 R_2 K_2\}$
1	0	0	0	$X'_{10,2} \in \{C_1 R_1 J_1\}$	$X^2_{10,2} \in \{C_2 \bar{R}_2\}$
1	0	0	1	$X'_{10,1} \in \{C_1 \bar{R}_1\}$	$X^2_{10,1} \in \{C_2 R_2 K_2\}$
1	0	1	0	$X'_{10,3} \in \{C_1 R_1 \bar{K}_1\}$	$X^2_{10,3} \in \{\bar{C}_2 R_2\}$
1	0	1	1	$X'_{10,3} \in \{C_1 R_1 \bar{K}_1\}$	$X^2_{10,3} \in \{\bar{C}_2 R_2\}$
1	1	0	0	$X'_{11,2} \in \{\bar{C}_1 R_1\}$	$X^2_{11,2} \in \{C_2 R_2 J_2\}$
1	1	0	1	$X'_{11,1} \in \{C_1 R_1 \bar{J}_1\}$	$X^2_{11,1} \in \{C_2 R_2 \bar{K}_2\}$
1	1	1	0	$X'_{11,2} \in \{\bar{C}_1 R_1\}$	$X^2_{11,2} \in \{C_2 R_2 J_2\}$
1	1	1	1	$X'_{11,3} \in \{C_1 R_1 K_1\}$	$X^2_{11,3} \in \{C_2 R_2 K_2\}$

図 5.12 結合関数  $\phi_1$  及び  $\phi_2$

$$J_1 = \bar{x}_2$$

$$K_1 = x_2 + \bar{x}_1\bar{Q}_1$$

$$C_2 = x_2 + \bar{x}_1Q_1 + x_1\bar{Q}_1$$

$$R_2 = x_2 + Q_2 + x_1Q_1 + \bar{x}_1\bar{Q}_1$$

$$J_2 = 1$$

$$K_2 = \bar{Q}_2$$

上記の結合関数  $\varphi_1, \varphi_2$  に対応する結合回路  $\Phi_1, \Phi_2$  を配線付加方式による NAND-NAND 二段構成で実現すると、図 5.13 のように、モジュール  $F_1$  及び  $F_2$  によって  $M$  を実現する回路が構成される。(手順⑨)

この場合、順序機械  $M$  の状態  $q$  とモジュール  $F_1, F_2$  の状態  $(q^1, q^2)$  との対応は次の通りである。

$$1 = (S_1, S_4), 2 = (S_2, S_1), 3 = (S_4, S_4)$$

$$4 = (S_4, S_1), 5 = (S_3, S_2), 6 = (S_1, S_2)$$

$$7 = (S_3, S_3), 8 = (S_2, S_3)$$

以上、本章では、2 値論理素子を前提とした合成理論を一般化し、順序回路モジュールを構成単位とする非同期式順序回路の合成理論を展開した。

この結果に基づき、定常性ハザードのないモジュール構成の合成手順を示し、さらに簡単な例題を与えてその具体的な運用法を示した。

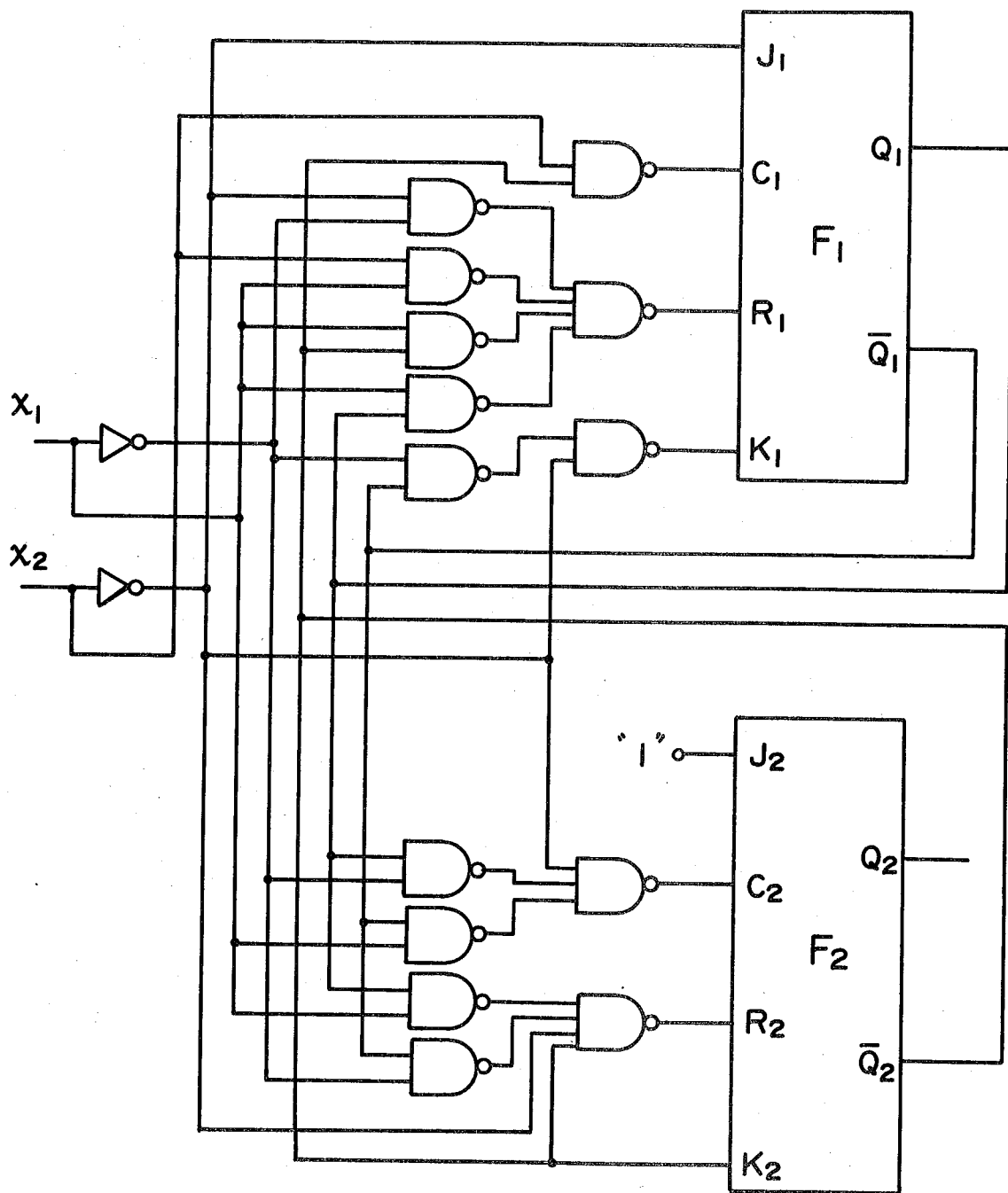


図 5.13 (図 5.9) の順序機械 M を実現する回路

## 第6章 結 論

### 6.1 本研究の総括

本論文では、遅延のばらつき、変動を予測評価できない大規模集積回路を前提とした非同期式順序回路の論理設計手法に関する研究結果を述べ、大規模論理回路の論理設計自動化及び高信頼性化への一つの接近法を示した。

本研究における基本的な考え方は、まず第1に、遅延のばらつきや変動に対して任意の可能性を許すことによって最悪の事態を考慮した"悲観的設計理論"を展開する。次に、それを基礎として、存在し得る遅延に関する合理的な仮定を設定した"楽観的設計手法"を得ることにより、現実の価格性能比に対する要求との妥協点を見い出そうとするものである。

各章で詳述された成果は次のように要約される。

第1章では、集積回路技術の著しい進歩を背景として、遅延特性のばらつき、変動をあらかじめ考慮することなく高性能かつ高信頼性を持つ大規模論理回路を実現する論理設計手法を確立する必要性が指摘された。又、本研究に関連する従来の研究の概要が述べられ、本研究の意義が明らかにされた。

第2章では、非同期式順序回路の遅延モデルが提示され、素子や配線の遅延のばらつき、変動が回路動作に与える影響が解明された。その結果、定常性ハザードの存在条件が明らかにされ、その存否の判定手順が示された。

第3章では、クリティカル競合のない状態割当法として、計算の手間がかからず、しかも従来の方法に比して金物量を大幅に減少させることのできる万能S T T状態割当の構成法が示された。又、回路における自己帰還路の遅延が他の帰還路の遅延に比べて小さい場合に適用できる万能状態割当として、(2, 1)分離システムの構成法が示され、従来に比べて大幅に符号冗長度が減少することが示された。

第4章では、非同期式順序回路の基本ハザードに起因する定常性ハザードを除去するための回路構成要因が明らかにされた。その結果に基づき、大規模集積回路の規則的構造に適した構成によって定常性ハザードの生じない回路を実現するいくつかの方法が示された。さらにこの章では、相互に帰還結合されたNANDラッチが非同期回路のハザードフリー構成に適した良い性質を有していることが示され、それを利用した応用例が示された。

第5章では、2値論理素子を前提とする合成理論を一般化させ、順序回路モジュールを基本構成単位とする合成理論が展開された。その結果、第3、4章で述べた方法によって正しく合成された非同期式順序回路を基本構成単位としてさらに大規模な非同期式順序回路を合成する方法が示され、簡単な合成例が与えられた。

本論文で述べた論理設計手法を用いれば、遅延の予測評価は必要ではなく、遅延に対して許容性のある極めて信頼性の高い非同期式順序回路が実現される。

しかも、論理設計手順は組織的であり、回路構成は規則的である。従って、大規模集積回路の使用を前提とした論理設計自動化に適用可能である。

又、相対的な遅延の大きさがある程度知られている場合には、本論文の設計理論の延長線上で遅延に関する制約条件を緩和することにより、価格性能比に対する現実的な要求に容易に応じ得る。第3章でその構成法が示された(2,1)分離システム、及び第4章で述べたハザードフリー回路の構成法はこのような要求に応えるものである。

## 6.2 今後の研究課題

本論文では論理設計の出発点を完全に定義されかつ縮退させられた状態遷移表として、議論が進められた。しかし、実現の対象となる論理仕様は、通常、明確な順序機械の形式ではなく、あいまいかつ不完全な記述で与えられることが多い。従って、論理設計を広義に解釈するならば、あいまいかつ不完全な順序論理の記述を順序機械の形式に詳細化する組織的技法の開発が必要となるが、これはソフトウェア工学の立場からの研究課題である。

又、本論文では遅延に関する許容性を第一義的条件としているが、論理回路の信頼性をさらに高めるためには、故障許容性についても検討しなければならない。故障許容性を有する非同期式順序回路の研究はようやく緒についたばかりの段階にあるが〔58〕〔59〕〔72〕、今後さらに実用化の観点からの研究が必要である。

万能S T T状態割当の符号語長に関して、現在知られている最も短い符号語長を得る組織的構成法が第3章で示されたが、組織的構成法によって得られる符号語長の下限はまだ明らかにされていない。これは非同期式順序回路の金物量を評価する上で重要な検討課題である。

## 謝 辞

本研究は東京工業大学工学部当麻喜弘教授の熱心かつ暖かい御指導の下に行なわれたものである。

東京工業大学工学部の榎本肇教授，飯島泰蔵教授，深尾毅教授，柳沢健教授からは，本論文の作成にあたり，適切な御教示を賜った。

東京大学宇宙航空研究所の石井泰教授からは暖かい御激励を賜った。

東京工業大学当麻研究室の呉永敦氏，古屋清氏，脇村慶明氏，東京芝浦電気(株)の向井雄三氏，新日本製鉄(株)の石原明氏からは，種々の有益な御討論をいただいた。

本研究は日本電気(株)中央研究所長植之原道行博士，木地和夫研究部長，祢津孔二研究課長，森田桂三研究スペシャリストの御理解によってその機会と種々の便宜を与えられたものである。

日本電気(株)中央研究所の内藤祥雄博士からは，本研究を進めるに際して，終始，有益な御教示と御討論をいただいた。又，同社の加須屋義弘主任，山田輝彦氏，加藤健二氏からは有益な御討論をいただいた。

ここに，上記の諸氏に対し心から感謝の意を表する。



## 参考文献

1 本研究に関連して筆者の発表した主な文献，資料（共著を含む）

- ( 1 ) 南谷： " 高速レジスタに適したセル "   
昭和 4 8 年度電子通信学会全国大会， 1428
- ( 2 ) 南谷： " 一次元配列による Self-Timing 乗算回路 "   
電子通信学会 電子計算機研究会資料 EC73-15(1973-06)
- ( 3 ) 南谷： " 非同期順序機械の Totally Sequential な構造 "   
電子通信学会 電子計算機研究会資料 EC73-27(1973-09)
- ( 4 ) 南谷： " 非同期式順序回路における Steady-State Hazard の不在条件 " 電子通信学会 電子計算機研究会資料   
EC73-64(1974-01)
- ( 5 ) 南谷，小池： " 非同期式アービタの一構成法 "   
電子通信学会 論文誌 D, Vol. 57-D, No. 4(昭49-04)
- ( 6 ) 南谷： " 状態変数の相互否定による非同期式順序回路の一構成法 "   
電子通信学会 電子計算機研究会資料 EC74-8(1974-05)
- ( 7 ) 加藤，南谷，内藤： " 非同期式順序回路の自動設計における状態縮小化 " 昭和 5 0 年度電子通信学会全国大会， 1090
- ( 8 ) 内藤，南谷： " 組合せ回路の論理ハザードフリーな構成法 "   
昭和 5 0 年度電子通信学会全国大会， 1097
- ( 9 ) 南谷： " 非同期式順序回路における遅延の影響とそのハザードフリー構成 "   
電子通信学会 論文誌 D, Vol. 58-D, No. 7(昭50-07)
- ( 10 ) 南谷，内藤： " 正論理負論理併用による非同期式順序回路の一構成法 "   
電子通信学会 論文誌 D, Vol. 59-D, No. 2(昭51-02)

- (11) 南谷： " 入力遅延を考慮した非同期式順序回路の一構成法 "   
 昭和51年度電子通信学会総合全国大会，1075
- (12) 南谷，古屋，石原，内藤： " 中村，宇都宮両氏の「セミモジュラ非同期回路の汎用構成手順」に対する意見 "   
 電子通信学会 論文誌D，Vol.60-D, №1(昭52-01)
- (13) 南谷： " 機能モジュールによる非同期式順序回路の合成 "   
 電子通信学会 論文誌D，Vol.60-D, №2(昭52-02)
- (14) 南谷： " 非同期式順序回路に対する万能状態割当の一構成法 "   
 昭和52年度電子通信学会総合全国大会シンポジウム，S9-1
- (15) 南谷： " 非同期式順序回路の万能S T T状態割当 "   
 電子通信学会 論文誌D Vol.60-D, №10(昭52-10)
- (16) NANYA, TOHMA： " Universal Multicode STT State Assignments for Asynchronous Sequential Machines "   
 SIAM 1977 Fall Meeting (1977年10月)
- (17) NANYA, TOHMA： " On Universal Single Transition Time State Assignments "   
 IEEE Trans. on Computers，掲載予定
- (18) 内藤，南谷： " 非同期式順序回路 "   
 電子科学 1975年5月から1976年8月まで連載
- (19) 南谷，板倉： " PROMによる非同期式順序回路の構成 "   
 電子科学 Vol.26, №5(1976年5月)
- (20) 内藤，南谷： " 論理回路のハザードとその対策 "   
 電子科学 Vol.26 №9 (1976年8月)
- (21) 南谷： " PLAとその使い方 "   
 電子科学 Vol.27, №8 (1977年8月)

II 本研究に関連して引用された主な文献

- (22) 当麻 : " デジタル回路の論理設計入門 "   
丸善株式会社, 1961
- (23) R.E.Miller : " Switching Theory , Vol II "   
John Wiley & Sons, Inc., 1965.
- (24) J.Hartmanis, R.E.Stearns : " Algebraic Structure theory of   
Sequential Machines " ,   
Prentice - Hall, Inc., 1966.
- (25) T.L.Booth : " Sequential Machines and Automata Theory "   
John Wiley & Sons, Inc., 1967,
- (26) E.J.McCluskey : " Introduction to the Theory of Switching   
Circuits "   
McGraw - Hill Book Co., 1965.
- (27) S.H.Unger : " Asynchronous Sequential Switching Circuits "   
John Wiley & Sons, Inc., 1969.
- (28) 野崎 : " スイッチング理論 "   
共立出版株式会社, 1972.
- (29) W.W.Peterson, E.J.Weldon : " Error Correcting Codes, 2nd ed."   
M.I.T. Press, 1972.
- (30) 宮川, 岩垂, 今井 : " 符号理論 "   
昭晃堂, 1973.
- (31) G.G.Langdon : " Logic Design "   
Academic Press, 1974.
- (32) T.R.Blakeslee : " Digital Design with Standard MSI and LSI "   
John Wiley & Sons , 1975.
- (33) 当麻 : " 順序回路論 "   
昭晃堂, 1976.

- (34) 後藤 : " 論理数学方程式の継電器回路網理論への応用 "  
電気学会雑誌 , Vol.69 , №726 , P.125 (1949-04)
- (35) 駒宮 : " 継電器式計数型自動計算機 "  
電気学会雑誌 , Vol.74 , №794 , P.1401 (1954-11)
- (36) D.A.Huffman : " The Synthesis of Sequential Switching Circuits "  
J.Franklin Inst. , Vol.257 , №3 , P.161 (March 1954) .  
and №4 , p.275 (April, 1954) .
- (37) D.A.Huffman : " The Design and Use of Hazard-free Switching  
Networks "  
J.ACM, Vol.4 , №1 , P.47 (January 1957)
- (38) D.E.Muller , W.S.Bartky : " A Theory of Asynchronous Circuits "  
Proc. of an. Int. Syms. on the theory of switching, P204  
Harvard Press (1959) .
- (39) S.H.Unger : " Hazards and Delays in Asynchronous Sequential  
Circuits "  
IRE Trans. , Vol. CT-6 , №1 , p.12 (March 1959)
- (40) E.J.McCluskey : " Fundamental Mode and Pulse Mode Sequential  
Circuits "  
1963 Proc. IFIP Congr. Inform. Processing, P.725 .
- (41) E.B.Eichelberger : " Hazard Detection in Combinational and  
Sequential Switching Circuits "  
IBM J.Vol.9 , №2 , P.90 (March 1965)
- (42) I.Kimura : " Extensions of Asynchronous Circuits and The  
Delay Problem "  
J.C.S.S. , Vol.2 , P.251 (1968) , and Vol.5 , P.129 (1971)
- (43) D.B.Armstrong, A.D.Friedman, P.R.Menon : " Realization of  
Asynchronous Sequential Crircuits without Inserted Delay  
Elements "

- IEEE Trans., Vol.C-17, №2, P. 129 (Feb.1968)
- (44) G.G.Langdon : " Analysis of Asynchronous Circuits under Different Delay Assumptions "
- IEEE Trans., Vol.C-17, №12, P. 1131 (Dec.1968)
- (45) G.G.Langdon : " Delay-Free Asynchronous Circuits with Constrained Line Delays "
- IEEE Trans., Vol.C-18, №2, P175 (Feb.1969)
- (46) J.Hlavička : " Essential Hazard Correction without The Use of Delay Elements "
- IEEE Trans., Vol.C-19, №3, P. 232 (March 1970)
- (47) C.N.Liu : " A State Variable Assignment Method for Asynchronous Sequential Switching Circuits "
- J.ACM, Vol.10, P. 209 (April 1963)
- (48) J.H.Tracey : " Internal State Assignments for Asynchronous Sequential Machines "
- IEEE Trans., Vol.EC-15, №4, P. 551 (Aug.1966)
- (49) S.H.Unger : " A Row Assignments for Delay-free Realizations of Flow Table without Essential Hazards "
- IEEE Trans., Vol.C-17, №2, P. 146 (Feb.1968)
- (50) A.Frieds : " State Reduction and State Assignments for Asynchronous Sequential Machines "
- Ph.D.Dissertation, Department of Electrical Engineering, Columbia University, 1967.
- (51) A.D.Friedman, R.L.Graham, J.D.Ullman : " Universal Single Transition Time Asynchronous State Assignments "
- IEEE Trans., Vol.C-18, №6, P. 541 (June 1969)
- (52) G.Mago : " Universal State Assignment for Asynchronous Sequential Circuits "

- IEEE Computer Groups Repository , R-69-6 ( 1969 )
- ( 53 ) G.Mago : " Asynchronous Sequential Circuits with (2,1) Type  
State Assignments "
- IEEE Conf Rec., 1970 11th Ann.Symp.Switching and  
Automata Theory, P.109(1970)
- ( 54 ) C.J.Tan, P.R.Menon, A.D.Friedman : " Structural Simplification  
and Decomposition of Asynchronous Sequential Circuits "
- IEEE Trans., Vol.C-18, No 9, P.830 ( Sep.1969 )
- ( 55 ) L.L.Kinney : " Decomposition of Asynchronous Sequential  
Switching Circuits "
- IEEE Trans., Vol.C-19, No 6, P.515 ( June 1970 )
- ( 56 ) L.L.Kinney : " A Characterization of Some Asynchronous  
Sequential Networks and State Assignments "
- IEEE Trans., Vol.C-20, No 4, P.426 ( April 1971 )
- ( 57 ) R.J.Smith, II : " Generation of Internal State Assignments  
for Large Asynchronous Sequential Machines "
- IEEE Trans., Vol.C-23, No 9, P.924 ( Sep.1974 )
- ( 58 ) Y.Mukai, Y.Tohma : " A Method for The Realization of Fail-  
safe Asynchronous Sequential Circuits "
- IEEE Trans., Vol.C-23, No 7, P.736 ( July 1974 )
- ( 59 ) D.H.Sawin, et al. : " Asynchronous Sequential Machines for  
Fault Detection "
- IEEE Trans., Vol.C-23, No 3, P.239 ( March 1974 )
- ( 60 ) J.G.Bredeson, P.T.Hulina : " Elimination of Static and  
Dynamic Hazards for Multiple Input Changes in  
Combinational Switching Circuits "
- Information and Control, vol.20, P.114 ( 1972 )

- (61) 内藤： " 非同期式順序回路の代数的解析 "   
電子通信学会論文誌 D, Vol.57-D, №3, P.112 (1974-03)
- (62) J.Beister： " An Unified Approach to Combinational Hazards "   
IEEE Trans., Vol.C-23, №6, P.566 (June 1974)
- (63) 内藤： " 非同期式順序回路の閉路と状態変数 "   
電子通信学会論文誌 D, Vol.58-D, №4, P.177 (1975-04)
- (64) 内藤： " 論理式によるハザード検出と非同期式順序回路の解析への   
応用 "   
電子通信学会論文誌 D, Vol.58-D, №6, P.336 (1975-06)
- (65) 石原： " 多入力変化非同期順序回路の構成とそのネットワークに関   
する研究 "   
東京工業大学修士論文 (1975-03)
- (66) 中村, 宇都宮： " セミモジュラ非同期回路の汎用構成手順 "   
電子通信学会論文誌 D, Vol.58-D, №10, P.609 (1975-10)
- (67) 古屋, 当麻： " 一種類の素子を用いた非同期式順序回路の構成法 "   
電子通信学会論文誌 D, Vol.59-D, №2, P.126 (1976-02)
- (68) D.K.Pradhan, S.M.Reddy： " Techniques to Construct (2, 1)   
Separating Systems from Linear Error-Correcting Codes "   
IEEE Trans., Vol.C-25, №9, P.945 (Sep.1976)
- (69) 古屋, 当麻： " Spike-Free な動作を行う非同期式順序回路におけ   
る入出力関係 "   
電子通信学会論文誌 D, Vol.60-D, №5, P.379 (1977-05)
- (70) J.G.Kuhl, S.M.Reddy： " Multicode Single Transition Time   
State Assignment for Asynchronous Sequential Machines "   
IEEE Computer Society Repository, R-77-161 (June   
1977)
- (71) W.W.Plummer： " Asynchronous Arbiters "   
IEEE Trans., Vol.C-21, №1, P.37 (Jan.1972)

(72) 向井, 当麻: "Masked Fault のないフェイルセーフ非同期式順序  
回路の一構成法"

電子通信学会論文誌 D, Vol. 59-D, No. 5, P. 363 (昭51-05)