

論文 / 著書情報
Article / Book Information

題目(和文)	電力用半導体素子の低損失化および高機能化に関する研究
Title(English)	
著者(和文)	清水喜輝
Author(English)	
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:乙第3290号, 授与年月日:1999年3月31日, 学位の種別:論文博士, 審査員:
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:乙第3290号, Conferred date:1999/3/31, Degree Type:Thesis doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

電力用半導体素子の低損失化および
高機能化に関する研究

平成10年 6月

清水 喜輝

目 次

第1章	序論	1
1.1	まえがき	1
1.2	半導体パワーデバイスの種類と特徴	1
1.3	電力用ダイオードおよびサイリスタの開発経緯	5
1.4	電力用デバイスと技術課題	16
1.5	本研究の目的と各章概要	25
	参考文献	28
第2章	ダイオードの高速・低損失化の解析	30
2.1	まえがき	30
2.2	チャンネル構造SSDの基本構造と動作原理	32
2.2.1	SSDの基本構造	32
2.2.2	低濃度エミッタダイオードの動作原理	32
2.2.3	SITの動作原理	36
2.2.4	SITによる予備検討	38
2.3	チャンネル構造SSDの解析	40
2.3.1	2次元解析モデルと計算方法	40
2.3.2	1次元解析モデルと計算方法	40
2.3.3	解析結果	40
2.4	むすび	53
	参考文献	54
第3章	高速低損失ダイオードSSDの試作と評価	55
3.1	まえがき	55
3.2	製作プロセスと試作素子の構造	55
3.2.1	製作プロセス	55
3.2.2	試作素子の構造	55

3.3	試作素子の特性	61
3.3.1	逆方向特性	61
3.3.2	順方向特性	67
3.3.3	逆回復特性	69
3.4	SSDの高性能化	75
3.4.1	逆方向特性	75
3.4.2	順方向特性	78
3.4.3	逆回復特性	78
3.5	むすび	80
	参考文献	82
第4章	サイリスタのアノード・エミッタ短絡構造の解析	83
4.1	まえがき	83
4.2	アノードエミッタ短絡GTOの解析手法	84
4.2.1	基本方程式と数値解法	84
4.2.2	計算モデルと境界条件	87
4.3	アノードエミッタ短絡GTOの定常解析	90
4.3.1	各電流成分の分布	90
4.3.2	キャリア濃度分布および電位分布	90
4.3.3	pエミッタ短絡構造と電流分布およびキャリア分布	95
4.3.4	計算結果と実測結果の比較	99
4.4	アノードエミッタ短絡GTOの過渡解析	99
4.4.1	素子構造と計算モデル	99
4.4.2	一次元近似モデル	102
4.4.3	等価1次元モデルの検討	104
4.4.4	ターンオフ時間とオン電圧の関係	109
4.4.5	pエミッタ短絡効果	111
4.5	むすび	111
	参考文献	114

第5章	サイリスタのターンオン動作の特性向上	115
5.1	まえがき	115
5.2	ターンオン・スイッチング・パワー耐量向上の開発経緯	115
5.3	試作素子の構造と製作および評価方法	120
5.3.1	試作素子の構造と製作方法	120
5.3.2	評価方法	122
5.4	試作素子の特性と評価結果	129
5.4.1	溝抵抗の温度依存性	129
5.4.2	素子構造とブレイクオーバ・スイッチング波形	131
5.4.3	試作素子の耐量と信頼性	141
5.5	むすび	147
	参考文献	149
第6章	サイリスタの保護機能内蔵によるシステム化への展開	150
6.1	まえがき	150
6.2	過電圧自己保護型サイリスタの開発経緯	150
6.3	単純ウェル構造によるブレイクオーバ電圧制御	153
6.3.1	素子構造と動作原理	153
6.3.2	試作素子の製法と特性	155
6.4	ブレイクオーバ電圧の特性安定化と温度依存性改善	162
6.4.1	PTA方式自己保護型サイリスタの構造と動作原理	162
6.4.2	試作素子の構造と製作プロセス	166
6.4.3	試作素子の特性	169
6.5	ブレイクオーバ電圧の精密制御	177
6.5.1	抵抗モニタ方式によるブレイクオーバ電圧予測	177
6.5.2	試作素子の特性	179
6.5.3	抵抗モニター方式のブレイクオーバ電圧の温度依存性の改善	184

6.6	むすび	186
	参考文献	188
	付録	189
第7章	結論	192
7.1	本研究の成果	192
7.2	今後の課題と展望	195
	謝辞	196
	発表文献	197

第1章 序論

1.1 まえがき

半導体パワーデバイスの出現と進歩により、産業のあらゆる分野で、これを用いた電気応用、所謂パワーエレクトロニクスが1970年代より今日に到るまで著しい発展を遂げた。その中でも、電力変換および電力制御の分野でのパワーデバイスの果たした役割は大きい。この用途に主に用いられて来たのがサイリスタであり、サイリスタと共に使われるダイオードである。サイリスタは比較的、高耐圧化および大電流化が容易であることから電力変換など分野で主要なデバイスとして位置付けられている。サイリスタは本格的に実用化された1960年代から高耐圧化、大電流化が進められた。この背景には高耐圧化、大容量化により部品点数の削減ができ、システムの小型化、および信頼性の向上が図れることが挙げられる。このような発展の過程で一貫した技術課題は低損失化であったと云える。パワーデバイスではスイッチング時の損失と定常導通状態での損失がトレードオフの関係にあり、このトレードオフ改善が主要な課題である。さらに高耐圧、大電流化にあたってはスイッチング時の発生損失の増大、集中から素子破壊を防ぐための破壊耐量を高める高信頼化も重要な課題となった。一方、1970年代後半になると負のゲート電流によりターンオフできる機能をもつゲートターンオフ・サイリスタ(GTO)が実用化された。サイリスタにターンオフ機能をもたせたことで、ターンオフ時間の短縮やターンオフゲインの拡大といった新たな課題が出て来た。また、電力変換装置などのシステムへパワーデバイスを適用するに当たっては素子を保護するための保護回路が設けられている。素子自体に保護機能を持たせることが出来れば保護回路を省略でき、システムの信頼性向上、コスト低減を図ることができる。このような保護機能内蔵化も広い意味での高信頼化であると云える。

筆者は1972年以来、電力用サイリスタおよびダイオードの開発に携わってきた。その間、上述の課題を解決すべく研究を重ねて来た。本論文はその総括であり、以下2節以降では、先ず研究の背景として半導体パワーデバイスの種類と特徴を概観し、電力用サイリスタおよびダイオードの位置付けを明らかにする。次に、本研究の対象であるサイリスタおよびダイオードの誕生から現在までの発展の経過を述べる。続いてこれらデバイスの解決すべき技術課題を明らかにし、さらに、本研究の目的と、第2章以下の各章の内容を要約する。

1.2 半導体パワーデバイスの種類と特徴

図1.1¹⁾はパワーデバイスを用いた各種応用装置の動作周波数を横軸に、応用装置の出力容量を縦軸にとって、主な応用装置とその装置に使われるデバイスをまとめたものである。民生用各種機器から産業用

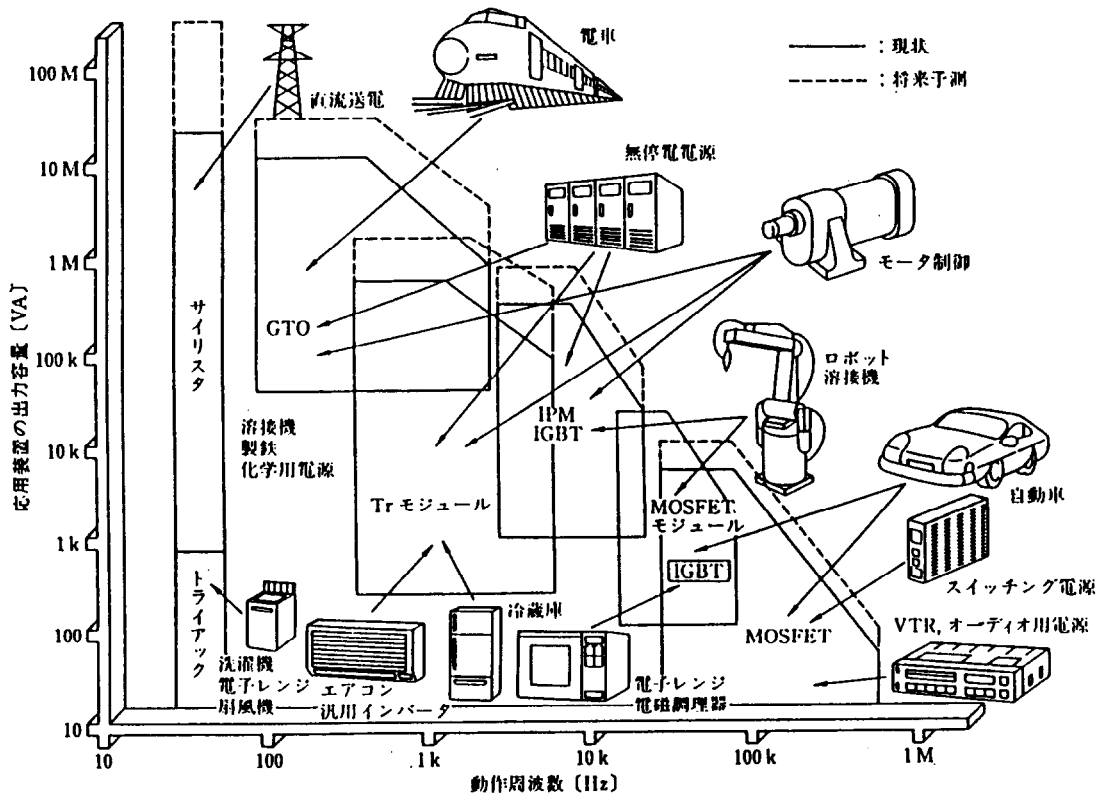


図 1.1 パワーデバイスと応用システム¹⁾

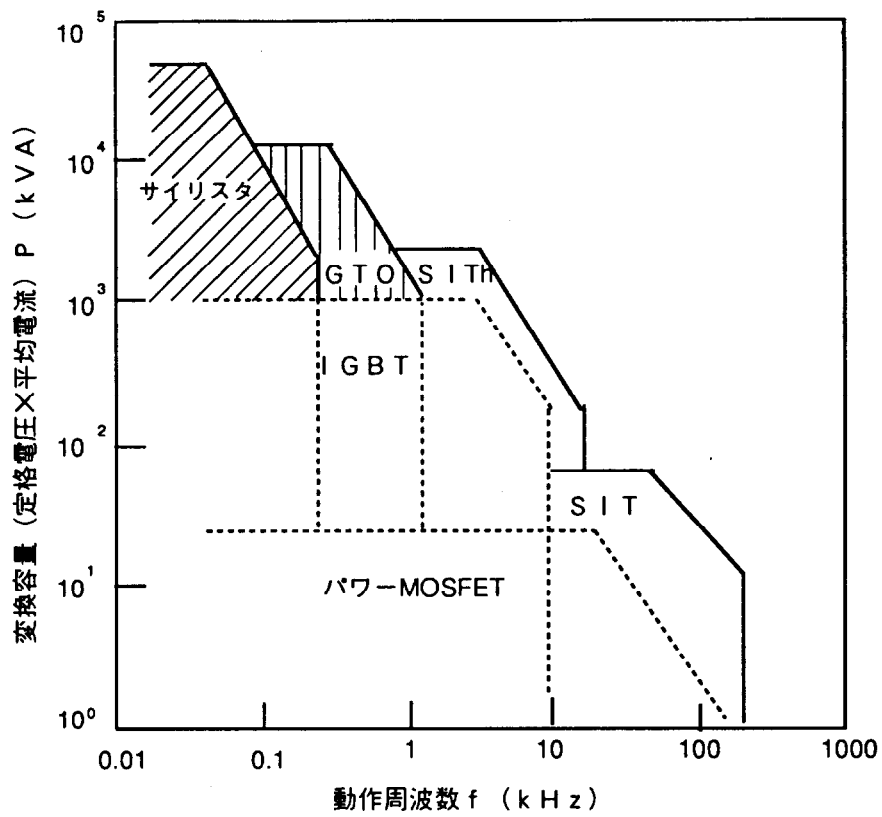


図 1.2 半導体パワーデバイスの棲み分け²⁾

電源、大規模な直流送電装置に至るまで、用途に見合った各種のデバイスが使われていることが分かる。

また、図1.2²⁾は個々のデバイスに関する動作周波数と処理可能な変換容量を示したものである。各デバイスの棲み分けの様子が分かる。直流送電や周波数変換などの大電力で周波数の比較的低い分野ではサイリスタが、車両、製鉄など自己消弧能力のあるパワーデバイスが必要とされる分野ではゲートターンオフサイリスタ（Gate Turn-Off Thyristor、以下GTOと呼ぶ）が使われている。つぎに、サイリスタおよびGTOの素子電圧、電流定格の変遷の様子を見てみる。

図1.3²⁾は電力用に用いられるサイリスタおよびGTOの電圧、電流定格の推移を示す。年々、高耐圧、大電流化が進み1994年には6インチウェーハを用いてサイリスタでは8kV、3.5～4kA、GTOでは6kV、6kAの大容量素子が開発された。電力変換の分野では、国内の電力需要の増大に対応するため、それまで各地域毎に運用されていた電力供給を地域間で相互に融通する広域運用が1970年代より開始された。たとえば、電源周波数の異なる東地域（50Hz）と西地域（60Hz）とを連携する周波数変換所が佐久間および新信濃に設けられた。佐久間周波数変換所では当初、交流-直流、直流-交流の変換装置として水銀整流器が用いられていたが、1970年には我が国で始めて半導体素子であるサイリスタを用いた変換装置（サイリスタバルブ）が導入された。その後、1979年には北海道と本州間の津軽海峡を直流で結ぶ直流連携が開始された。これには、耐圧4kV、定格電流1.5kAの大容量電気トリガ・サイリスタが使われている。1993年の第2期増設では、それまでの電気トリガ・サイリスタに代わり、光トリガ・サイリスタが採用された。また、同じ電力変換の分野でも電力需要の増大に伴う負荷力率の変動を調整するため、従来用いられてきた同期調相機に代わってサイリスタを用いた静止形無効電力補償装置SVC（Static Var Compensator）が1985年より実用化されるようになった。

一方、自己消弧能力のないサイリスタに代わって1977年頃より自己ターンオフが可能な素子としてGTOが実用化され始めた。GTOは自己消弧能力をもつことから1970年代後半から、その適用範囲を急激に拡大した。サイリスタに比べ動作周波数が高いことなどもあり、電鉄用車両や鉄鋼用圧延機などのモータ制御用素子として広く用いられるようになった。また、電力変換の分野でも自己消弧能力があることから、自励式の無効電力補償装置（SVG）に使われるようになり、1993年には新信濃周波数変換所に80MW級SVGが初めて導入された。

図1.4はGTOサイリスタを用いたインバータ回路の主回路構成を示す。図のようにGTOと逆並列にフライホイール用のダイオードおよびGTOを保護するためのスナバダイオードが接続された構成になっている。このようにサイリスタなどのスイッチング素子とダイオードとは組み合わせて使われることが多い。

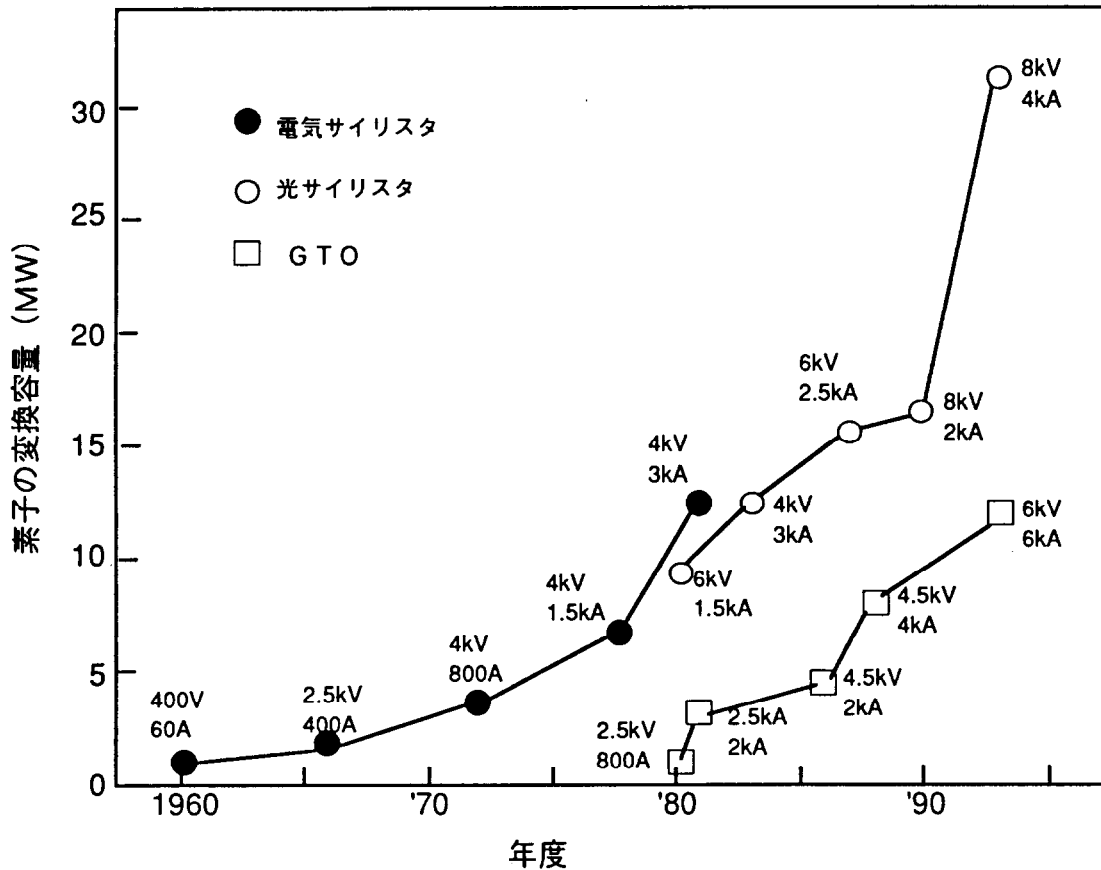


図 1.3 サイリスタ、GTOの素子容量の推移

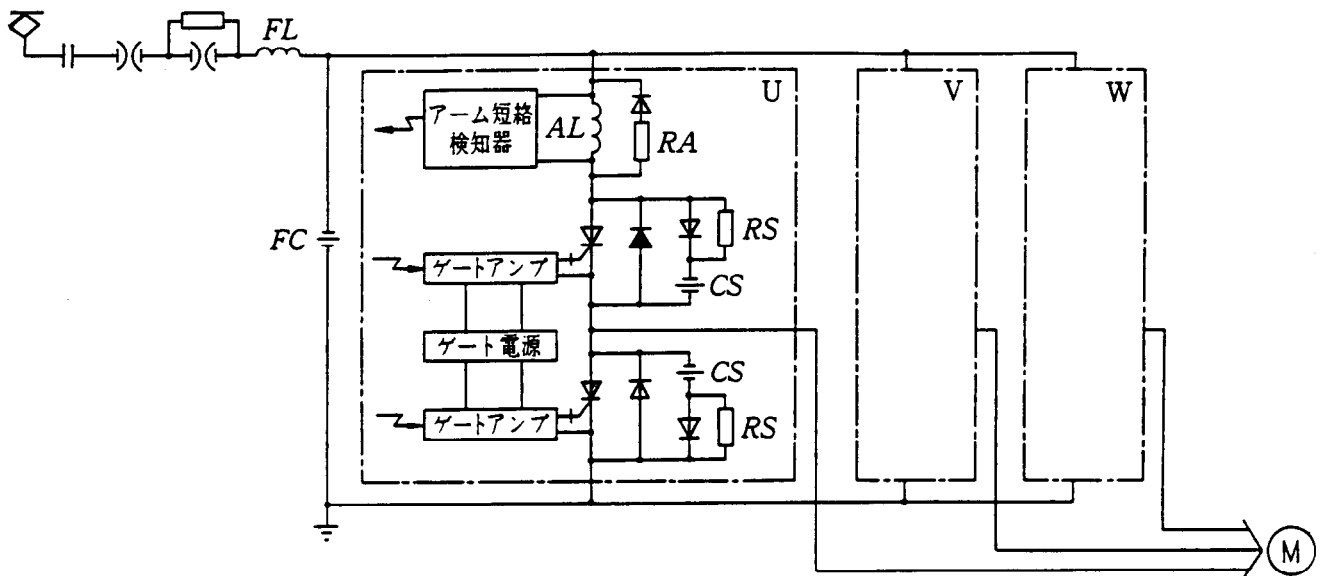


図 1.4 GTOサイリスタを用いたインバータ回路の例

ダイオードはパワーエレクトロニクスの分野で最も基本となるデバイスであり、サイリスタおよびGTOと同様に年々、発展を遂げてきた。

1.3 電力用ダイオードおよびサイリスタの開発経緯

ダイオード、サイリスタおよびGTOがどのような開発経過を辿って来たかについて述べる。

(a) ダイオード

ダイオードはアノード、カソード間に順方向の電圧を印加した場合、素子は導通状態になって大きな電流を流すことが出来る。一方、逆方向の電圧が印加された場合には、ある電圧（降伏電圧）に到るまで殆ど電流を流さない。このように素子に印加される電圧の極性により導通状態か、非導通状態になるかの整流特性をもつ。

図1.5はダイオードの技術開発を年代を追ってまとめたものである。ダイオードの歴史は1938年のショットキ、モットーの金属半導体間の整流理論³⁾⁴⁾やショックレーのpn接合の理論⁵⁾に始まる。電力用整流素子の半導体材料はSe、Ge、Siと変わってきた。現在Geはほとんど生産されておらずSiが主力であり、GaAsはわずかに利用されているに過ぎない。Seを用いた整流素子は順電流の定格が高々 $150\text{mA}/\text{cm}^2$ であったため、素子サイズが大きくなるという欠点があった。また、Geは禁制帯幅が小さく、移動度が大きいためpn接合ダイオードは順電圧が低い利点があった。しかし、高温での逆方向漏れ電流が大きく、使用できる接合温度も高々 100°C 迄であったため、 150°C 以上まで使えるSiのpn接合ダイオードに置き換えられた。1970年になると電力用のショットキバリア・ダイオード(SBD)が商品化⁶⁾された。これは5V出力用で可聴周波数以上で動く電源の要請に応えるものであった。逆電流は大きいものの順電圧はpn接合ダイオードの約半分の0.5Vであった。耐圧は20Vであったが出力5V以下の電源には充分であった。SBDは半導体表面に接合を作るため表面の汚染を防ぎ、結晶欠陥を作らないようにして耐圧を出す特別な構造を必要とした。各用途に合ったバリア金属(Ti、Cr、Mo、PtSi)のSBDが開発され、耐圧も20Vから90Vまでシリーズ化されている。Si・SBDでは100V以上になると少数キャリアの注入が起こり高周波特性が急激に悪くなる⁷⁾⁸⁾。このため、高周波用途には高耐圧でも少数キャリアの注入の無いGaAs・SBDが実用化された。現在40Vから1000V耐圧のものまで試作されている⁹⁾¹⁰⁾。一方、Siのpn接合ダイオードでは200V以上の高速素子で重金属(Au、Pt、Fe)拡散によりライフタイムを短くして逆回復時間を短くしたものが主流であった。

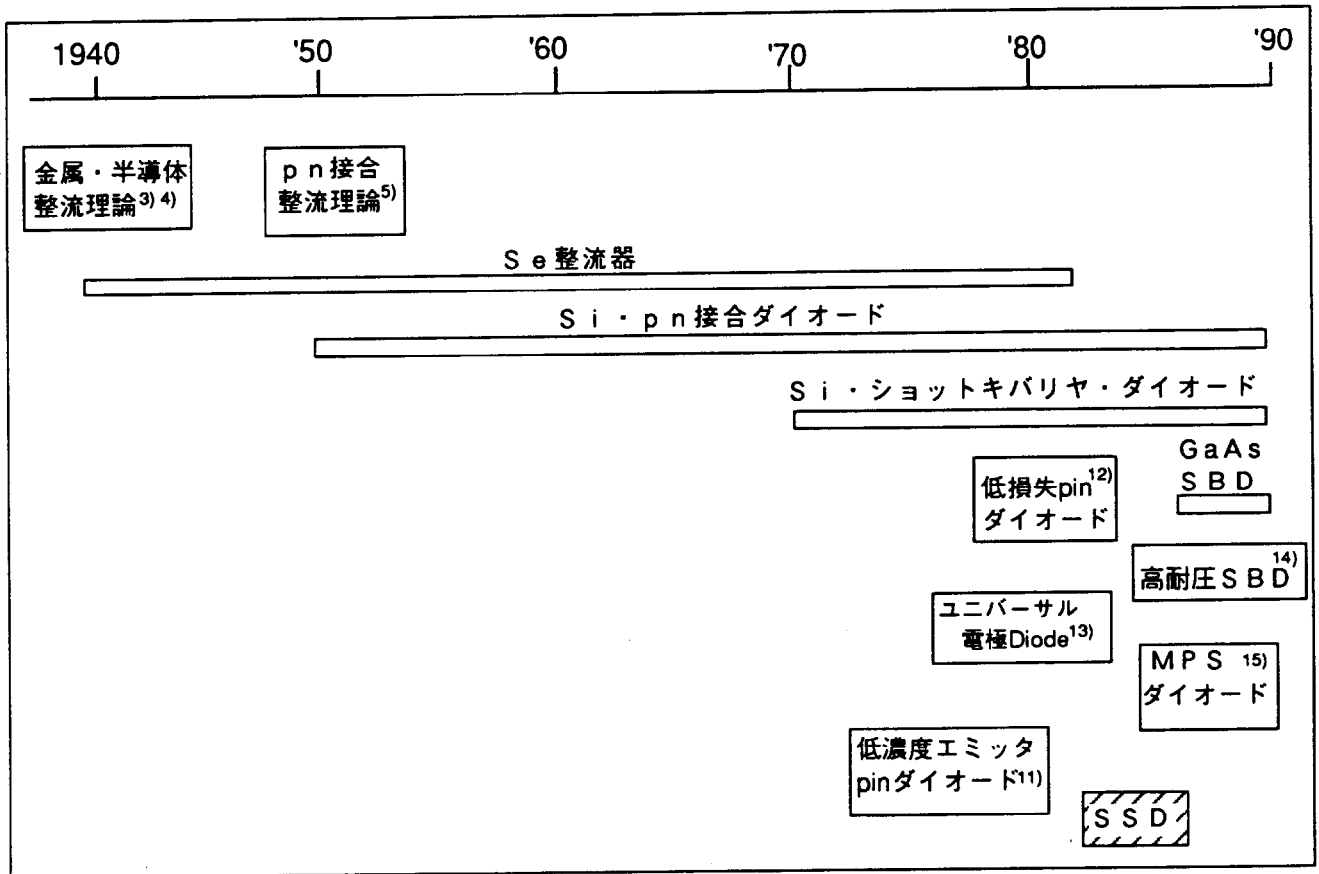


図1.5 ダイオードの開発経過

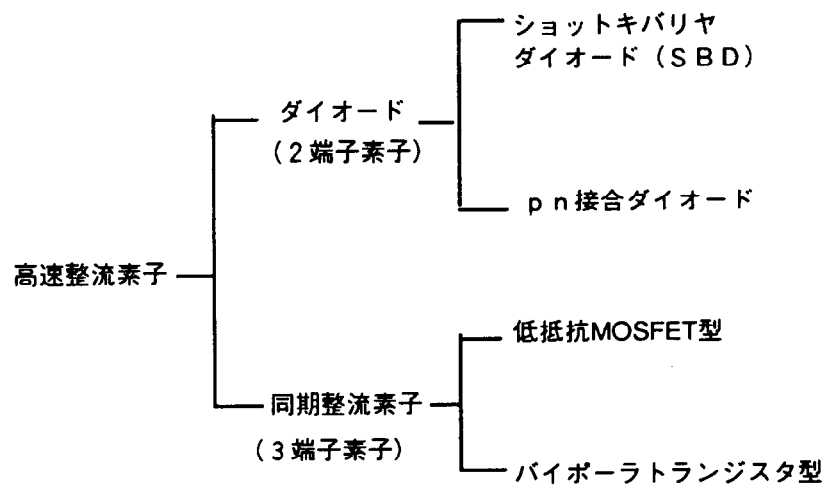


図1.6 高速整流素子の分類

1970年後半になるとpn接合ダイオードの低損失化が試みられ、低濃度エミッタpinダイオード¹¹⁾、ライフタイムを最適化した低損失ダイオード¹²⁾、ユニバーサル電極ダイオード¹³⁾などの報告がある。さらに、ショットキバリアとpn接合を混在させた新構造のダイオード¹⁴⁾¹⁵⁾が提案された。これらはショットキバリア・ダイオードの高速、低損失性とpn接合の高耐圧特性の両立を狙ったものである。本研究で取り上げるSSDも、この流れに沿うものである。

整流用として用いられている高速ダイオードを分類すると、おおよそ図1.6のようになる。大別すると2端子素子としてのダイオードと3端子素子であるトランジスタを整流素子として用いる同期整流素子に分けられる。そして2端子素子のダイオードはショットキバリア・ダイオードとpn接合ダイオードに大別できる。トランジスタを同期整流素子として用いる場合、ゲート電圧或いはゲート電流を供給することで電圧がほぼ零の値から電流を流すことができ、所謂オフセット電圧がないことから、低電源電圧用の整流素子として使われている。しかし、基本的に3端子素子であるためゲート用の電源を必要とするなどの短所がある。一方、2端子素子のショットキバリア・ダイオードは半導体と金属の仕事関数の相違による整流性を利用したものである。ショットキバリア・ダイオードは、(1)リカバリ特性が速いこと、(2)順方向電圧降下が小さいという特徴がある。しかし、高温漏れ電流が大きいと動作温度が低く、阻止電圧も100V程度と低い。これに対して、pn接合ダイオードは半導体のpn接合の整流性を利用したものであり、100V以上の高耐圧化が容易にできる。このため200V以上の耐圧が要求される場合にはpn接合ダイオードが用いられる。

(b) サイリスタ、GTO

サイリスタは3つのpn接合と、それに付随する4つのp, n不純物層が内部の帰還作用により高抵抗状態と低抵抗状態の2つの安定状態を持つスイッチング半導体である。負性抵抗特性をもち、その電気特性がサイラトロンに類似しているためサイリスタという名称が付けられた。

図1.7はサイリスタおよびGTOの技術開発の流れをまとめたものである。現在用いられている3端子素子としてのサイリスタに先立って1950年代初頭にpnpn4層2端子のスイッチング素子として、ショックレー・ダイオードという名称で、その概念が提案¹⁶⁾された。その後、Ebersら¹⁷⁾の2トランジスタモデルの動作解析を経て、Mollら¹⁸⁾により1956年に初めて実験的にその動作が確認された。それ以来、サイリスタに関する研究および実用化が進んだ。サイリスタはSCR (Silicon Controlled Rectifier) と呼ばれ、2つの安定状態 (オン、オフ) を持つこと、この2つの安定状態での電力消費が小さいことなどのため、

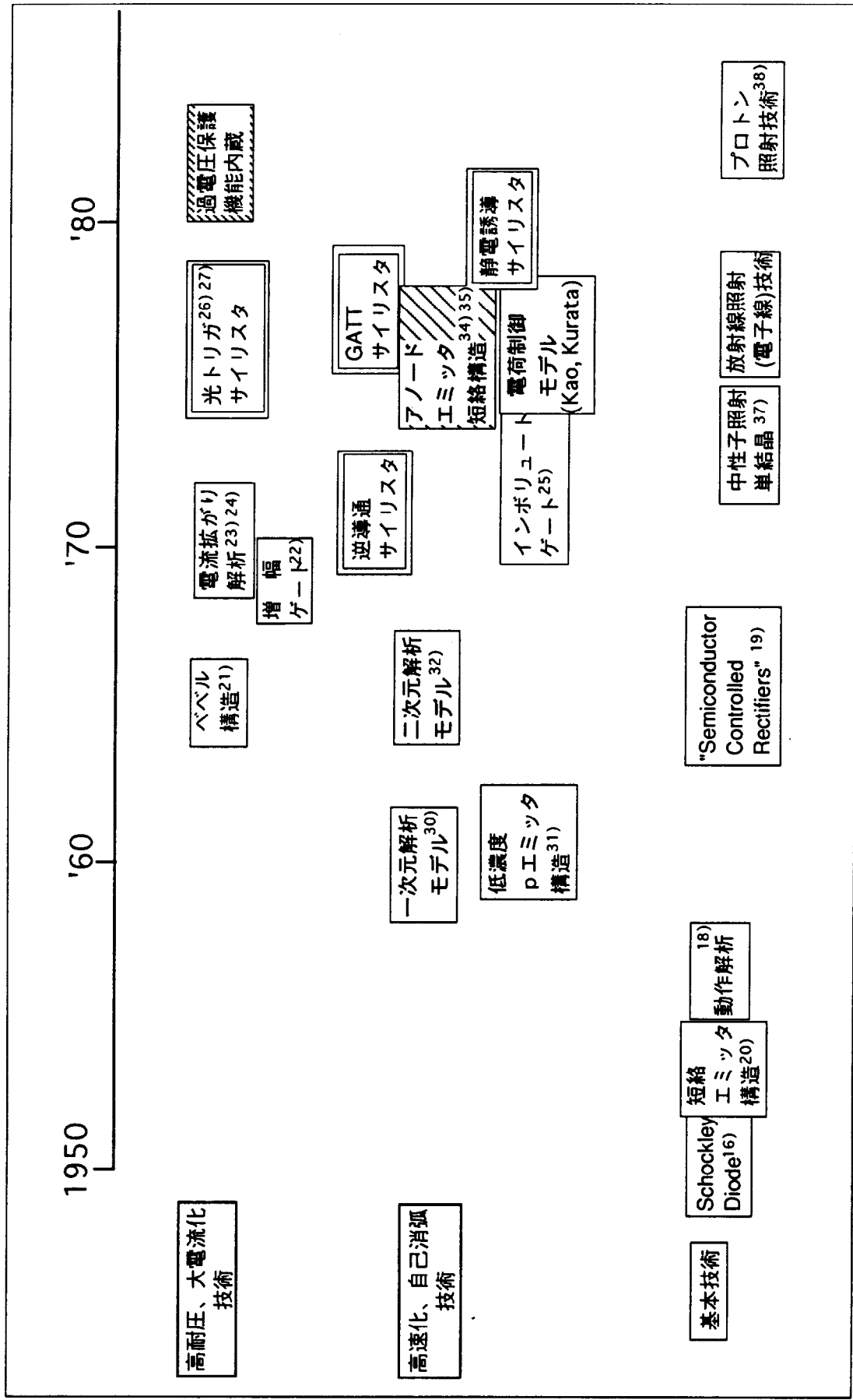


図1.7 サイリスタ、GTOの開発経過

ラッチング動作および大きな変換容量が必要とされる分野で静止スイッチ、位相制御、電力変換、DCチョッパなどの用途に用いられるようになった。1964年にはGentryら¹⁹⁾がpnpn4層素子についての原理および応用に関して包括的にまとめた。素子の容量も当初の数mAのものから、年々増加し、現在8kV、4kAの素子が開発されている。図1.3に示したようにサイリスタは年々、高耐圧化、大電流化が進み、1980年代以降は主に光トリガサイリスタが用いられるようになった。このようなサイリスタの発展過程で幾つかの技術的なブレークスルーがあった。

その第一は短絡エミッタ構造²⁰⁾である。素子に時間変化の急峻な電圧が印加された場合、素子はその変位電流により誤点弧 (dv/dtターンオン) することがある。これを防止するのが、短絡エミッタ構造である。これは図1.8のようにnエミッタ層の一部を除去してpベース層とカソード電極を直接接触させることで、変位電流を短絡エミッタ層へバイパスさせることによりdv/dt耐量を高める方法である。この技術により素子の誤動作が大幅に改善されると共に、その後のGTOなどのアノードエミッタ短絡構造へと発展してゆく。次に、素子が高耐圧化、大電流化すると共に素子内で導通領域がどのように広がるかが問題になってきた。図1.9²³⁾は阻止電圧と導通領域の広がり速度の関係を示す。阻止電圧が高くなると共に広がり速度が低下することが分かる。広がり速度の低下を補う方法としてゲートパターンの改良がある。ゲート電極とカソード電極の対向長を長くすることでターンオン時の初期導通領域を広くする方法が試みられて来た²⁵⁾。

サイリスタの次の大きな技術的進展は光トリガ方式の導入であった。1976年には光トリガ・サイリスタに関する発表が相次いでなされた。Bruyneら²⁶⁾は5200V、80Aの高耐圧素子を、Templeら²⁷⁾は2600V、1000Aの大容量素子を発表している。サイリスタを光信号でトリガ出来ることはゲート回路と主回路を絶縁できるため、種々のメリットをもたらす。図1.10は光トリガサイリスタの動作モデルの斜視図²⁸⁾である。素子の中央部には光トリガ信号を受ける受光部がある。この受光部にレーザダイオードあるいは発光ダイオードからの光トリガ信号が照射される。素子の動作メカニズムはJ2接合 (中央接合) 付近に広がった空乏層に光のエネルギーが到達すると、電子とホール対が生成される。この電子とホールの生成対は空乏層内の電界により電子はnベースへ、ホールはpベースへと引き寄せられる。この時間はnsオーダーと極めて短い。このようにゲート信号が入るとほとんど遅れ時間なく、両ベース層に多数キャリアが入ることになる。このキャリアが引き金となって素子が点弧するというものである。光トリガ・サイリスタでは非常に微弱な信号 (3kVサイリスタで約0.2mW) で素子をターンオンさせることが出来る。これは光トリガ信号を狭い領域に集中させることで、そのエネルギー密度を高めることができるためである。

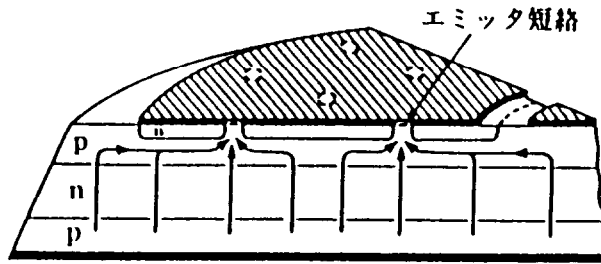


図1.8 カソードエミッタ (nエミッタ) 短絡構造²⁰⁾

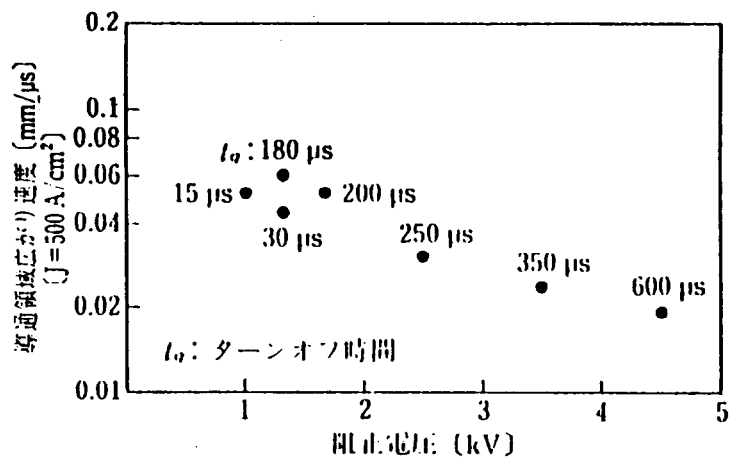


図1.9 サイリスタの阻止電圧と導通領域広がり速度の関係²³⁾

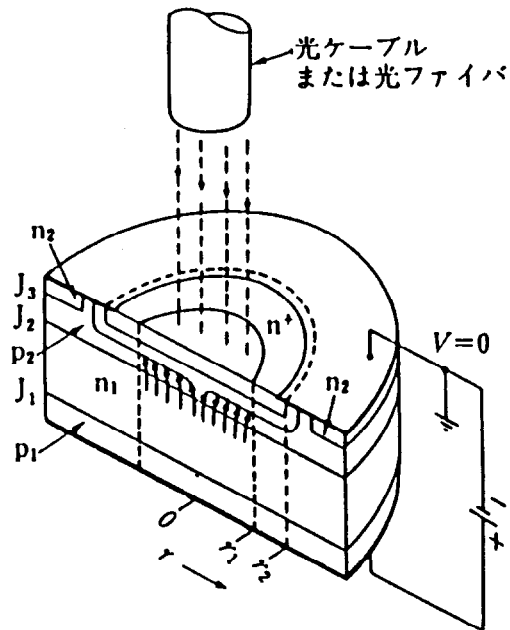


図1.10 光トリガ・サイリスタの動作モデル²⁸⁾

図1.11²⁹⁾は4 kV, 1500 Aの容量をもつ光トリガ・サイリスタの外観を示す。素子は両面冷却が可能な平型パッケージに封入されており、パッケージにはトリガ用の発光ダイオード3ケがライトガイドにより並列接続されている。図1.12は図1.11のサイリスタのカソードパターンとゲート部の断面構造を示す。素子全面が素早くオン状態になるよう3段の増幅ゲート構造を持ち、ゲート電極とカソード電極の対向距離を長くするH型のゲート電極構造を持っている。電気トリガ・サイリスタの代わりに光トリガ・サイリスタを用いることで、応用装置の面では次のようなメリットが得られる。図1.13²⁹⁾は電気トリガサイリスタと光トリガサイリスタを用いたサイリスタバルブの比較を示す。光トリガサイリスタではゲート回路と主回路を絶縁できるため電気トリガサイリスタを用いた場合に必要な絶縁用の回路部品が不必要となり、容積で60%、部品点数で25%にできる。

GTO (Gate Turn-Off Thyristor) はゲート電流により、ターンオフ可能なサイリスタの名称である。pnpnp4層スイッチのターンオフ動作の可能性については1950年代のサイリスタの開発後、間もなく明らかにされた。この背景にはサイリスタには転流回路が必要であり、転流回路は高価で体積も大きいという事情があった。その上、GTOのスイッチング速度がサイリスタよりも速いという長所を持つことも助けとなった。高周波動作する素子として従来、バイポーラトランジスタがあったが、高耐圧、大電流化には限界があった。GTOの開発は1960年代より始められ、当初は数百V, 数Aクラスの小容量であった。GTOの発展の過程で高耐圧、大電流化と共に重要なことはターンオフゲインの改善であった。Lighten³⁰⁾らは1次元解析モデルにより、GTOのターンオフゲインが次式で与えられることを示した。

$$G = I_C / I_B = \alpha_{npn} / (\alpha_{npn} + \alpha_{pnp} + 1) \quad (1.1)$$

ここで、 α_{npn} : npnトランジスタ部の電流増幅率、 α_{pnp} : pnpトランジスタ部の電流増幅率である。この解析結果よりGoldeyら³¹⁾は α_{pnp} を小さくすることで、ターンオフゲインが高くできることに着目し、pエミッタの不純物濃度を低くしたGTOを試作し、コレクタ電流とターンオフゲインの関係を調べている。次に、素子の電流容量を大きくする段階で、ターンオフ現象の2次元解析が必要となった。1966年にWolley³²⁾は図1.14に示す2次元モデルを解析的に解くことにより、素子構造とターンオフ性能の関係を得るとともに、試作して解析結果との詳細な比較をした。ゲート電流によりターンオフ波形が変わる原因について解析し、ターンオフ可能な、所謂、可制御電流と素子構造の間には次式の関係があることを明らかにした。

$$I_{con} \leq 4 \cdot G \cdot V_{B(KG)} / R_b \quad (1.2)$$

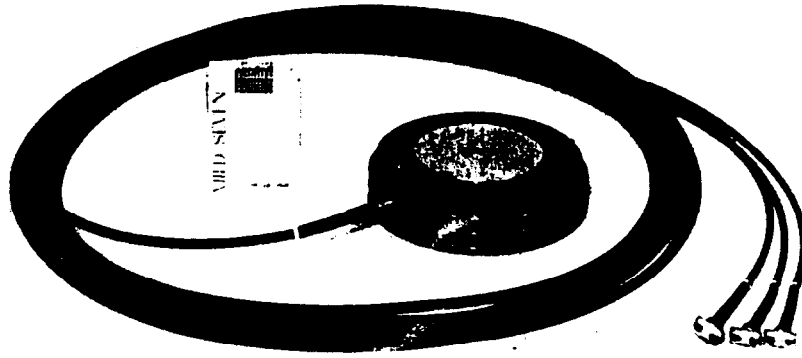


図1.11 4 kV, 1500 A光トリガ・サイリスタの外観²⁹⁾

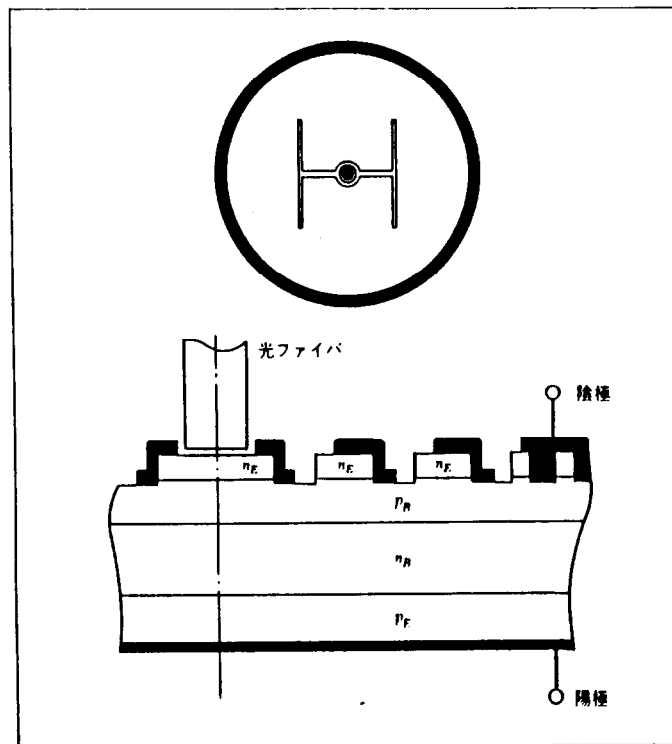


図1.12 光トリガ・サイリスタのカソード・パターンとゲート部断面構造²⁹⁾

	電気サイリスタバルブ (光点弧間接)	光サイリスタバルブ
点弧方式		
モジュール構成		
部品	約500	約100

注) Ax: アノードリアクトル

図 1.13 電気サイリスタと光サイリスタを用いたサイリスタ・バルブの比較²⁹⁾

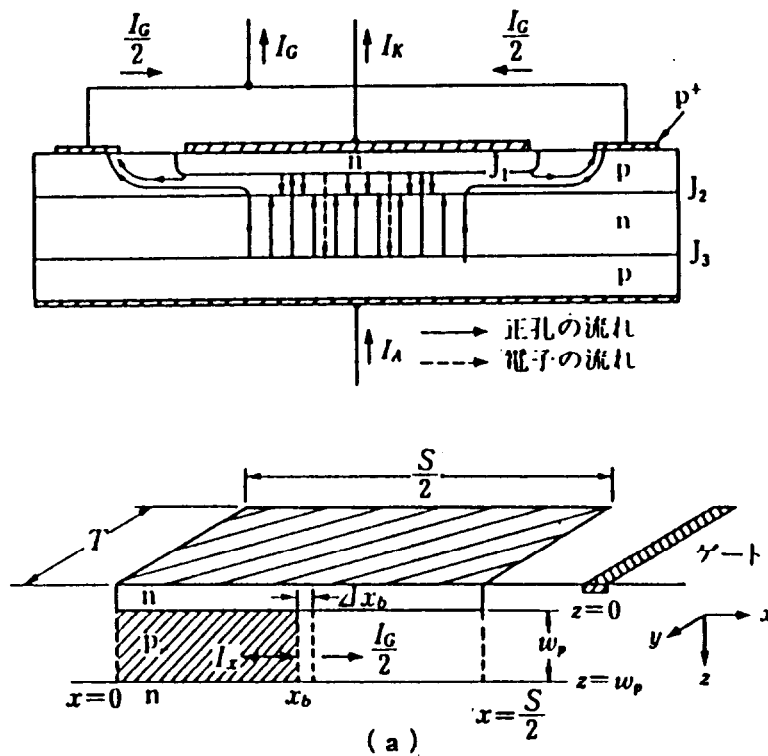


図 1.14 GTOのターンオフ過程での動作モデル³²⁾

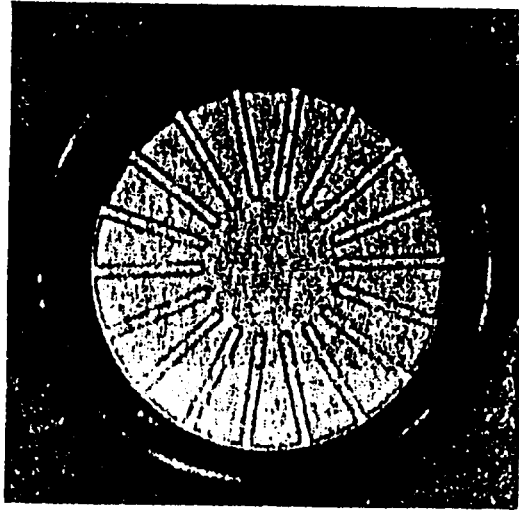
ここで、 I_{con} : 可制御電流、 G : ターンオフゲイン (アノード電流/ゲート電流)、
 $V_{B(KG)}$: ゲート・カソード間耐圧、 R_b : ゲート抵抗である。

可制御電流を大きくするには、(1.2)式のようにターンオフゲインと共にゲート・カソード間耐圧を高めること、およびゲート抵抗を小さくすることが必要となる。ゲート抵抗を小さくするためにはエミッタ幅を小さくし、エミッタ長を長くする必要がある。エミッタ幅は製造プロセス上およびカソード電極の接触面圧などの点から $200\mu\text{m}$ 程度に制限されている。1973年にはKaoら³³⁾は素子径 23mm の 900V 、 100A 級のGTOを試作した。図1.15はそのカソードパターンを示す。エミッタは放射状に配置されており、エミッタ接合はプレーナ構造でパッケージはスタッド形である。

エミッタ接合の耐圧を高めるため、pベース層を2段構造とすることが提案された。図1.16³⁴⁾は1975年にBeckeらにより報告されたものである。nエミッタ接合付近のpベース層を低濃度にするこゝで、エミッタ接合耐圧を 80V まで高めている。次に、GTOを高性能化する上で重要なことはpnpトランジスタ部分の電流増幅率 α_{pnp} の制御があった。 α_{pnp} を調整するにはpエミッタの注入効率 γ_p 、またはnベース層の輸送効率 β を調整すればよい。 γ_p を調整する方法として、pエミッタ層を低濃度化する他に、エミッタ短絡構造を用いる方法がある。図1.17³⁵⁾はアノード・エミッタ (pエミッタ) 短絡型GTOの断面構造を示す。本構造により、動作周波数が低い場合にはライフタイムを制御することなしに、十分なスイッチング特性が得られる。ライフタイムキラーを用いないことでターンオフ特性の温度依存性を小さくできる。短絡構造とすることで素子の逆電圧阻止能力が失われるが、多くの電力用GTOの適用分野では逆阻止能力は必要ないため問題とはならない。一方、 α_{pnp} を低減するもう一つの手段である輸送効率 β を調整するには次式より、nベースのライフタイム、あるいはnベースの厚さを調整すればよい。

$$\beta = \text{sech} (W_{nb} / (D_p \cdot \tau_p)^{1/2}) \quad (1.3)$$

ここで、 W_{nb} : nベース厚さ、 D_p : nベース中のホールの拡散定数、 τ_p : ホールのライフタイムである。これよりnベースを厚くすることで β を小さく出来るが、オン電圧およびスイッチング速度の増大を招く。このため、ライフタイムを低減する方法が採られている。ライフタイム・キラーとしては、従来Auなどの重金属が用いられていたが、面内の重金属分布のばらつきにより導通領域が不均一になるほか、この影響でターンオフ動作が不均一になるなどの悪影響を与える。1986年にJaecklinら³⁶⁾は面内均一化を実現するため、中性子照射単結晶を用い、イオン打ち込み法により接合形成した後、電子線照射によりライフ



(23 mmφ)

図1.15 900V, 100AGTOの
カソード・パターン³³⁾

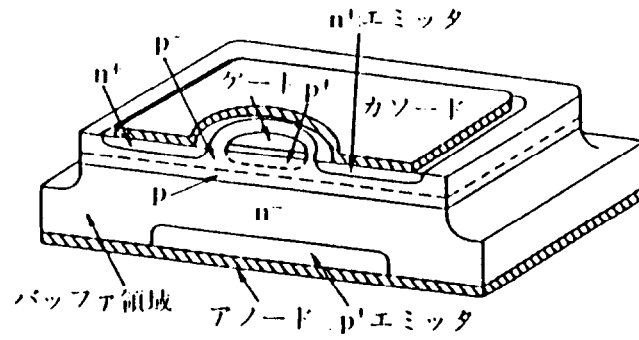


図1.16 2段pベースをもつGTOの断面構造³⁴⁾

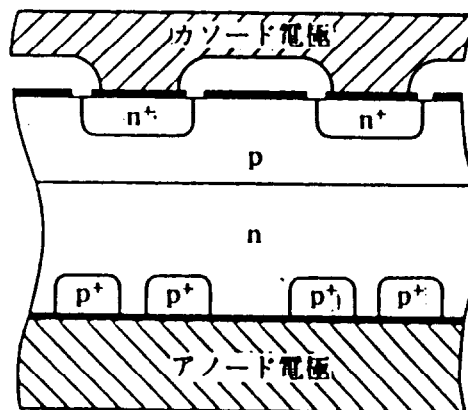


図1.17 アノードエミッタ (pエミッタ)
短絡型GTOの断面構造³⁵⁾

タイム制御したGTOを試作、評価している。また、GTOではターンオフ時の安全動作領域をいかに広げられるかの研究も盛んに行われてきた。

サイリスタ、GTOが発展する上で土台となった基本技術を見てみる。その第1は中性子照射単結晶³⁷⁾(NTD, Neutron Transmutation Doping)の導入である。これはFZ単結晶に中性子を照射し、結晶中の³⁰Siを³¹Pに変換したものである。従来のFZ形Siの抵抗率のばらつきが15%程度であったのに対してNTD形Siでは5%と1/3程度に低減される。サイリスタの設計においては1.4で述べるようにnベース層に広がる空乏層の幅によりnベース厚さを決めている。nベース層抵抗率のばらつきが小さなNTD結晶を用いることで設計マージンを小さくできるため、オン電圧を小さく出来ると共にウェハ面内の特性ばらつきが小さくなる。このため大口径ウェハを必要とする大容量素子に必要な不可欠な技術であると云える。2番目に放射線を用いたライフタイム制御がある。1970年代中葉より盛んに用いられるようになった技術で照射量によりライフタイムを正確に予想でき、素子内の分布の均一性が良いこと、素子の接合完成後にライフタイム調整が出来るなどの長所がある。これら放射線の線種としては先ず電子線やγ線などが用いられていたが、1980年代に入るとプロトンやヘリウムなどの軽粒子イオンビーム³⁸⁾が用いられるようになった。電子線やγ線が縦方向(深さ方向)の全領域に結晶欠陥を生じさせるのに対して、軽粒子イオンではイオンの飛程付近に集中的に結晶欠陥が誘起される。このためウェハの縦方向に対して局所的なライフタイム制御が可能となる。イオンの飛程を調整することで、1.4で述べるオン電圧とターンオフ損失のトレードオフを改善することができる。

1.4 電力用デバイスと技術課題

ここではサイリスタ、GTOおよびダイオードの技術課題について述べる。サイリスタ、GTOは図1.3に示すように年々、高耐圧化、大電流化を辿ってきた。サイリスタの高耐圧化を例にとりその問題点を述べる。サイリスタの耐圧を決めるブレイクオーバー電圧 V_{BO} は次式で与えられる。

$$V_{BO} = V_{BD} (1 - \alpha_{pnp} - \alpha_{npn})^n \quad (1.4)$$

$$[1 - (V_{BO}/V_{BD})^n]^{-1} = M \quad (1.5)$$

ここで、 V_{BD} はnベースの不純物濃度で決まるブレイクダウン電圧、 n は定数、 M はアバランシ増倍係数である。また、ブレイクダウン電圧はベース層の不純物濃度および厚さにより決まり、ベース厚さが充分厚い場合には次式で与えられる。

$$V_{BD} = K \cdot (N_D)^{-2/3} \quad (1.6)$$

ここで、Kは定数、 N_D はn ベース不純物濃度である。

図1.18はサイリスタを高耐圧化した場合の素子内の空乏層と電界分布を模式的に表わしたものである。素子に順方向の電圧を印加した場合、中央接合 (J_2 接合) を挟んで空乏層が形成される。高耐圧化するにはブレイクダウン電圧 V_{BD} を高める必要があるが、この場合 (1.6) 式に示すようにn ベース濃度を低くする必要がある。これはブレイクダウン電圧を決めているアバランシ降伏 (雪崩降伏) が素子内の最大電界強度に依存しているため、シリコンの場合に電界強度がおおよそ200 (kV/cm) を超えるとアバランシ降伏を起こす。ブレイクダウン電圧を高めるにはn ベース層の不純物濃度を低くして空乏層を広げ、中央接合の電界強度をアバランシ降伏が起こらない程度に下げることが必要である。接合を階段接合と近似した場合に、印加電圧とn ベース層の空乏層の間には次式の関係がある。

$$W \propto (V_A / N_D)^{1/2} \quad (1.7)$$

ここで、W：空乏層、 V_A ：印加電圧、 N_D ：n ベース濃度である。

図1.18から分かるようにn ベース層を低濃度化して高耐圧化を図るにはn ベース層の厚みを厚くする必要がある。ところが、n ベース厚さ、即ち素子の厚みが増すと共に素子損失は増大する。この関係を模式的に示したのが図1.19である。このように高耐圧化と共に素子損失が増加するため、損失増加を如何に抑制するかがパワーデバイスの大きな課題の一つである。

次に素子損失の構成を考えてみる。図1.20はパワーデバイスの一連の動作モードと各時刻の損失の変化を示す。素子損失にはターンオン損失およびターンオフ損失からなるスイッチング損失と素子が導通状態で発生する定常オン損失に大別できる。また、図1.21はスイッチング動作時および定常オン状態での素子内のキャリア分布の変化を示す。同図(a)のターンオン過程ではベース層内の蓄積キャリア濃度がベース層不純物濃度に比べて高くなり、所謂、伝導度変調を起こして素子全体が導通状態 (低抵抗状態) へと移行する。ターンオフ過程は上述のターンオン過程とは反対のモードである。ターンオン損失を低減するにはゲート電流が供給されると共に、素早く導通状態に移行する必要がある。ターンオフ損失を低減するには素子内の過剰キャリア (蓄積キャリア) を素早く消滅させる必要がある。一方、定常オン損失を低減するには同図 (b) のように素子内の過剰キャリアを出来るだけ多くして動作抵抗を小さくすることが重要になる。しかし、これらスイッチング損失 (ターンオフ損失) と定常オン損失とは次に述べるようにトレードオフの関

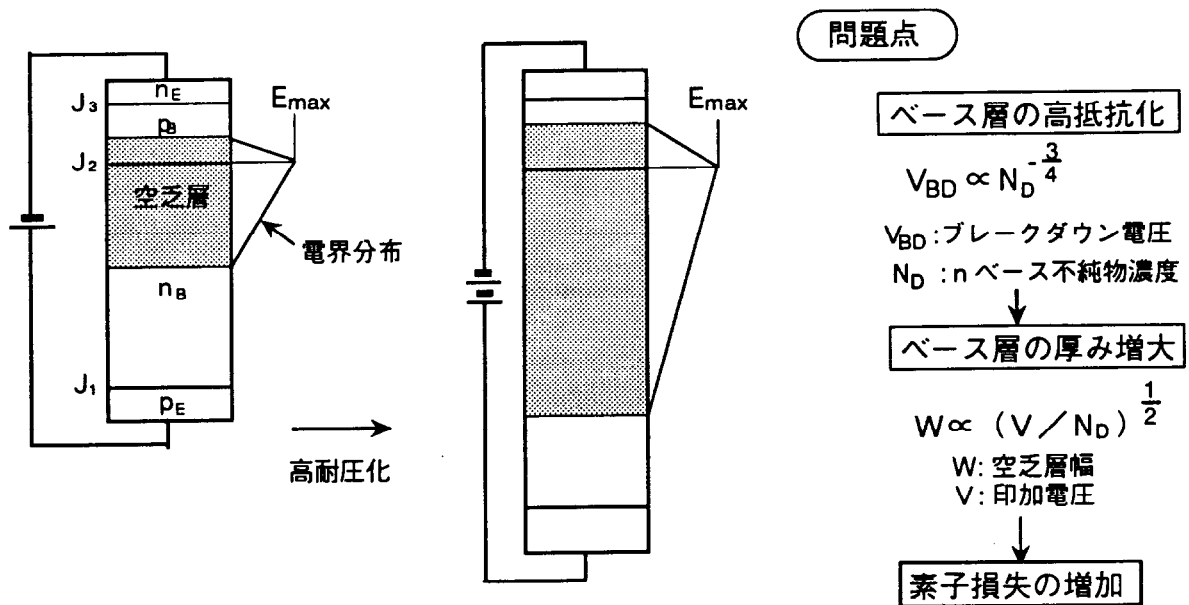


図 1.18 サイリスタ高耐圧化に伴う問題点

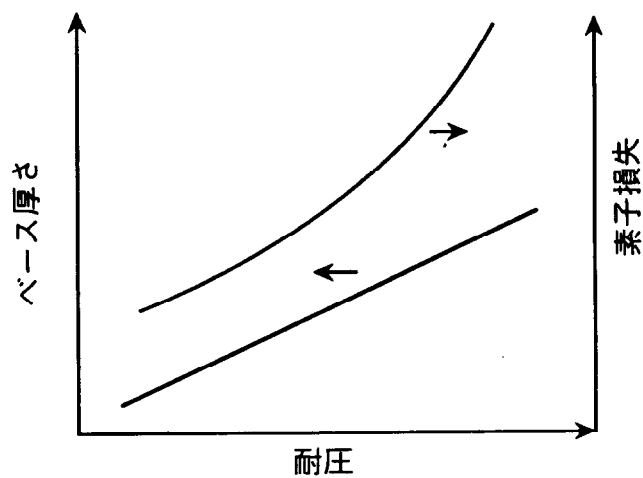


図 1.19 素子耐圧とベース厚さ、素子損失の関係

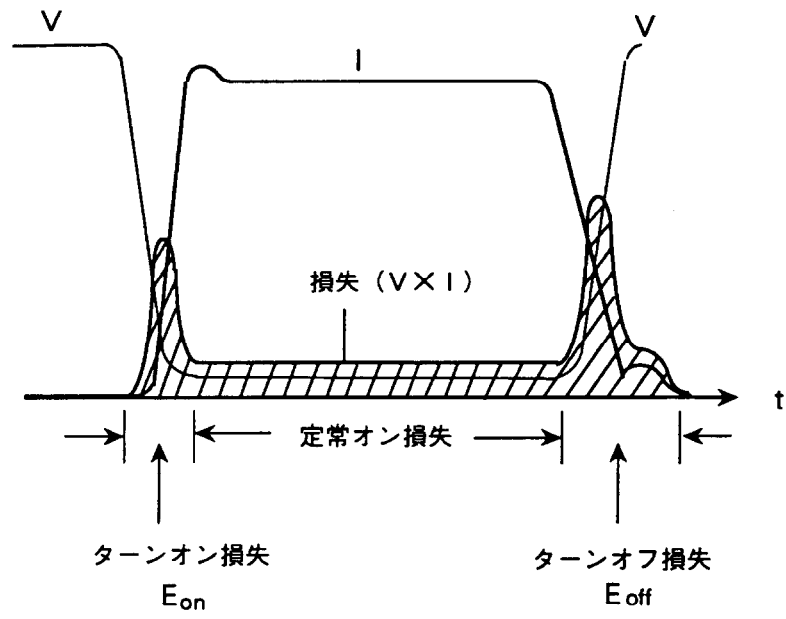


図 1.20 パワーデバイスの動作モードと各時刻の損失の変化

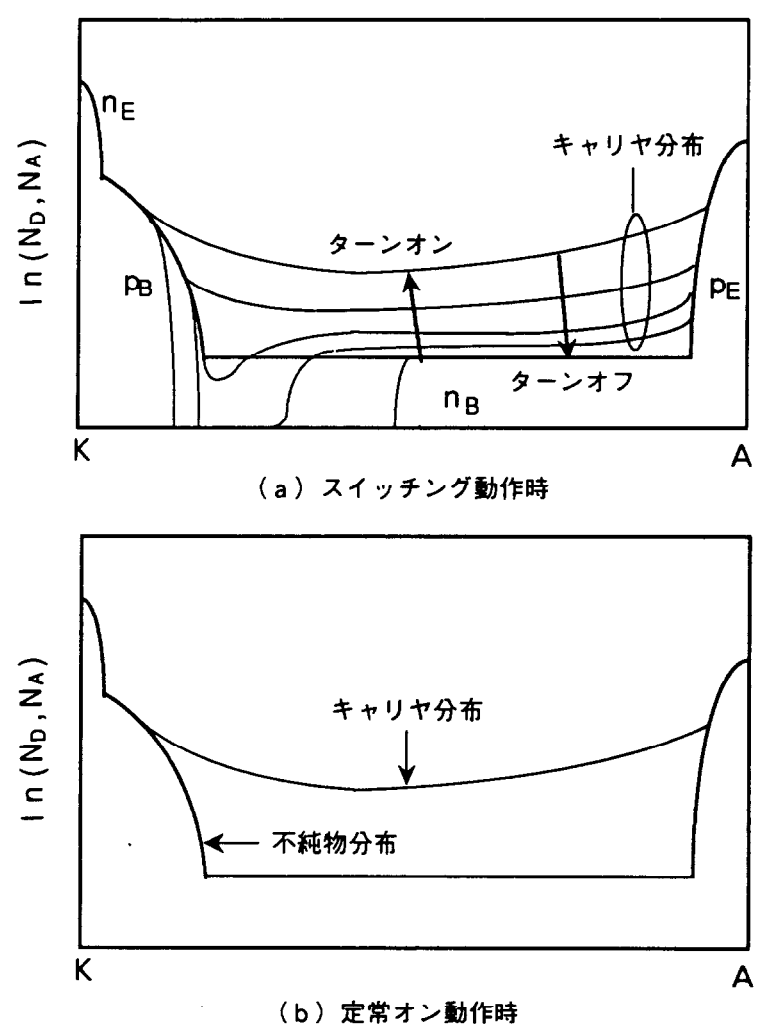


図 1.21 各動作における素子内キャリア分布の変化

係がある。

図 1.2 2 は半導体のバンドモデルと少数キャリアの減衰の様子を模擬的に表した。また、同図中にはキャリアのライフタイム τ と捕獲準位の数 N_t の関係を示した。前述のようにターンオフ損失を低減するには過剰キャリアの消滅を早める必要があり、このために重金属ドーピングや放射線照射により捕獲準位を形成してキャリアのライフタイムを短くしている。捕獲準位の数が多いほどライフタイムが短くなり、ターンオフ損失低減には効果的である。しかし、ライフタイムの低下、即ち捕獲準位の数を増加させることは定常オン損失の増大につながる。ライフタイム制御によりキャリアの消滅を早めた場合に、ライフタイム制御しない場合と同じ電流を流すには、アノード電圧を高めてアノード電極およびカソード電極からのキャリア注入を促す必要がある。これはオン電圧の増加、即ち定常オン損失の増加につながる。図 1.2 3 はキャリアのライフタイムとターンオン損失、ターンオフ損失および定常オン損失の一般的な関係を表わしたものである。図のようにライフタイムを長くした場合にオン電圧は低下するが、ターンオフ損失は増大する。ターンオン損失はオン電圧ほど顕著ではないが、ライフタイムの増加によりターンオンし易くなるため低下する傾向がある。このように定常オン損失（オン電圧）とターンオフ損失とはライフタイムの大小により反対の増減傾向を示す。この関係を模擬的に示したのが図 1.2 4 である。一般的に損失トレードオフ曲線と云われるもので、このトレードオフ曲線を如何に改善するかが、パワーデバイスの大きな課題の一つである。

次にサイリスタを高耐圧、大電流化する場合の問題点はターンオン時のスイッチングパワー耐量である。図 1.2 5 はターンオン時の電圧、電流波形および導通領域の変化の様子を示す。図のように高耐圧サイリスタではゲート電流が流れ始めてからアノード電流が立ち上がって素子全面が導通状態になるまでに時間遅れがある。ターンオン時の過渡状態ではアノード電圧とアノード電流の積 $V_{AK} \times I_A$ で表せるスイッチングパワーが発生する。この発生損失がサイリスタの局部的な領域に集中すると温度上昇が進み、最後には熱暴走を起こして素子は破壊する。一方、図 1.9 に示したように阻止電圧が高くなると共に拡がり速度が低下する。このようにサイリスタを高耐圧化するためにベース層を厚くし、大電流化するために素子面積を増加させた場合にはターンオン時のスイッチングパワー耐量を如何に確保するかが第 2 の課題である。

第 3 の課題はサイリスタのターンオフ能力を向上させて、ゲートによる自己消弧、すなわちゲートターンオフ機能を付与する場合である。前述のようにターンオフ時間を短縮するには蓄積キャリアの消滅を早める必要がある。そのために従来、キャリアのライフタイムキラーとして Au や Pt などの重金属をドーピングする方法が採られてきた。しかし、この方法では次のような理由からウェハを大口径化して大電流化を図る場合に問題があった。即ち、サイリスタの接合を形成する熱処理などにより発生した結晶の歪みのある領域に重

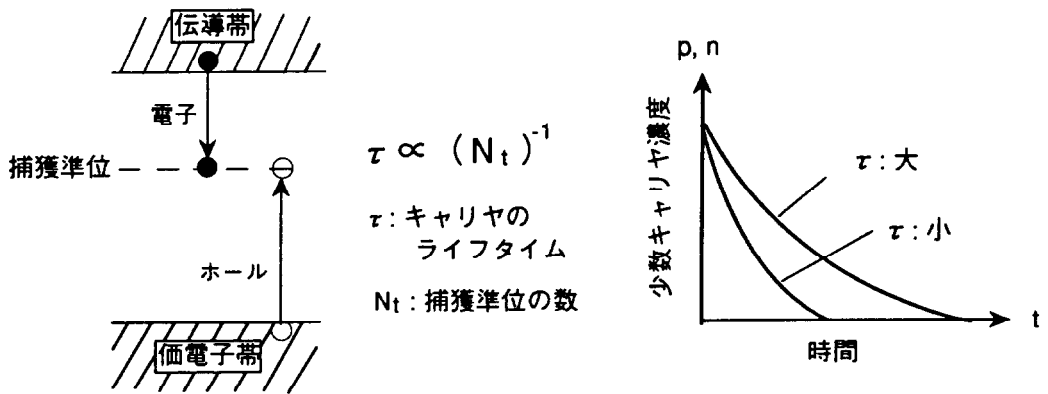


図1.2.2 バンドモデルとキャリア・ライフタイム

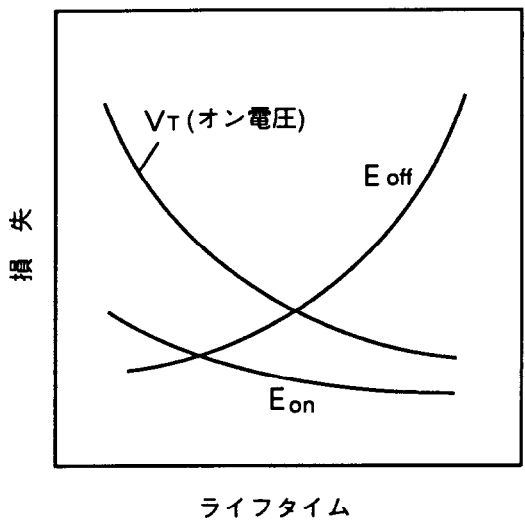


図1.2.3 キャリヤ・ライフタイムと各損失成分の関係

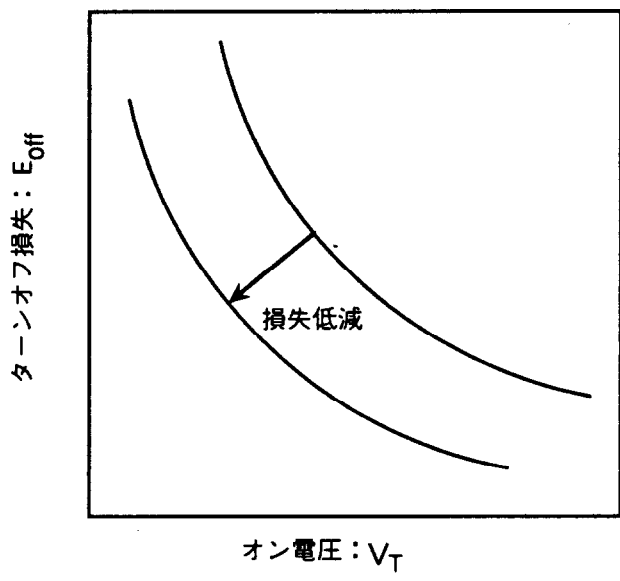
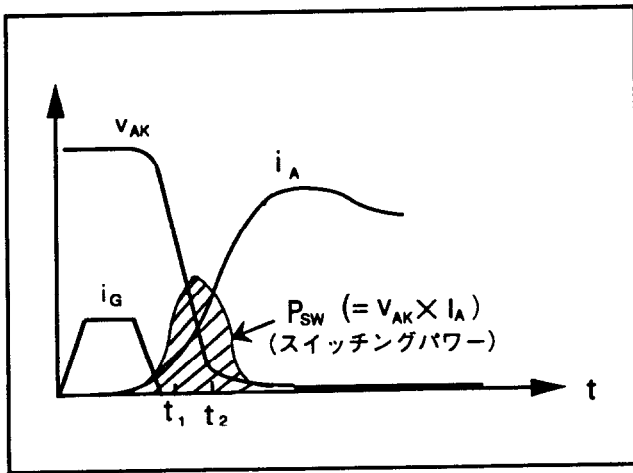
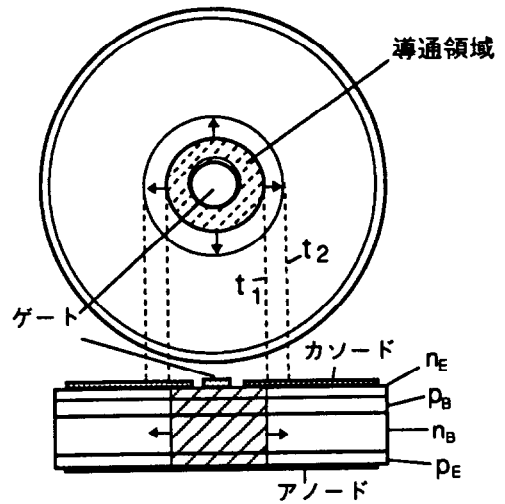


図1.2.4 パワーデバイスの損失トレードオフ

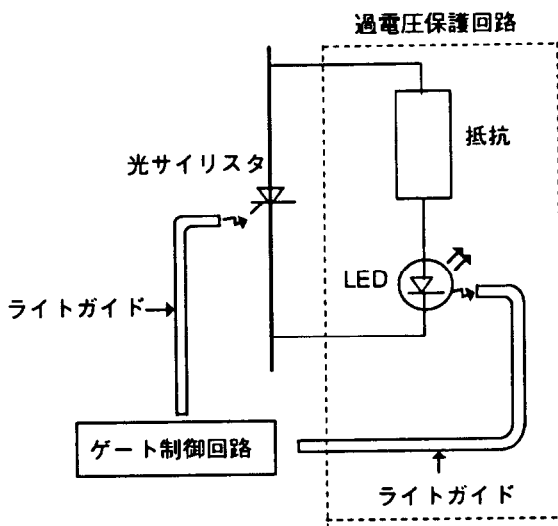


(a) ターンオン時の波形

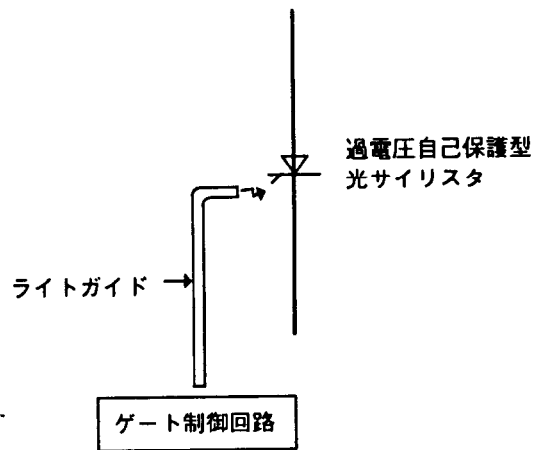


(b) 導通領域の拡がり

図1.25 サイリスタのターンオン時の波形と導通領域の拡がり



(a) 光サイリスタバルブ



(b) 過電圧自己保護型光サイリスタバルブ

図1.26 光サイリスタバルブの過電圧保護方式の比較

金属は偏析し易く、面内での均一な分布を得ることが難しかった。重金属の不均一な分布はライフタイム分布の不均一となって素子面内のスイッチング動作および定常状態での導通領域の不均一を招くなどの問題を生じる。このような製造上の困難さから1.3で述べたように1970年代後半から電子線などの放射線を用いたライフタイム制御法が一般的に用いられるようになった。しかし、いずれの方法でもライフタイムキラーを導入して捕獲準位をつくることは漏れ電流が増大するという問題を伴う。とくに高温では漏れ電流が著しく増大し、これが大電流化のためにウェハを大口径化する際の大きな課題となり、ライフタイムキラーの導入を出来るだけ少なくしてターンオフ性能を高めることが要望されていた。

第4は高耐圧サイリスタを直流送電などのシステムに適用する場合の課題である。電力用サイリスタの分野では電気トリガ・サイリスタに比べ、ゲート絶縁が容易なためゲート回路を簡略化でき、且つ電磁誘導によるノイズに強いという特徴をもつ光トリガ・サイリスタが昭和50年頃より使われるようになってきた。直流送電などの電力変換装置に使われる高耐圧サイリスタには、図1.26に示すように雷などのサージ電圧から素子を守る過電圧保護回路が設けられている。しかし、この方式は過電圧の検出から素子を保護するためのゲートパルスの発生までに時間遅れがあること、保護回路により部品点数が増えることなどのため、素子自体が過電圧に対する保護機能を持つ所謂、過電圧自己保護型サイリスタであることが望まれていた。サイリスタとりわけ光トリガ・サイリスタをシステムに適用するに当たってはこの過電圧保護機能の内蔵化が大きな課題であった。

最後にダイオードについての技術課題について述べる。ダイオードについては前述のサイリスタと同様に高速化と低損失化の間にはトレードオフの関係があり、このトレードオフの改善が主要課題の一つである。また、ダイオードでは導通状態から阻止状態への逆回復時（逆リカバリー時）の特性が問題になる。図1.27はダイオードの逆回復時の電圧、電流波形を示す。同図には特性がソフトリカバリーおよびスナップリカバリー（或いはハードリカバリー）と呼ばれる特性が比較してある。ソフトリカバリー特性とは逆回復時の電流の時間変化率（ di_r/dt ）が小さいことを云う。このような特性を持つ場合、回路に付随するインダクタンス成分Lによる発生逆起電力 $-L(di_r/dt)$ を小さくできる。この逆起電力はノイズの発生要因となる他、種々の悪影響をもたらす。スナップリカバリーな特性をもつ場合、上述のような問題が顕在化するためソフトリカバリー特性を持つことがダイオード、特に高速ダイオードに要求される。ソフトリカバリー特性を持たせるには逆回復電荷の消滅を緩やかにすればよい。このためにキャリアのライフタイムを長くすることが考えられるが、逆回復時間が長くなり高速性が損なわれる。高速性を損なわずソフト

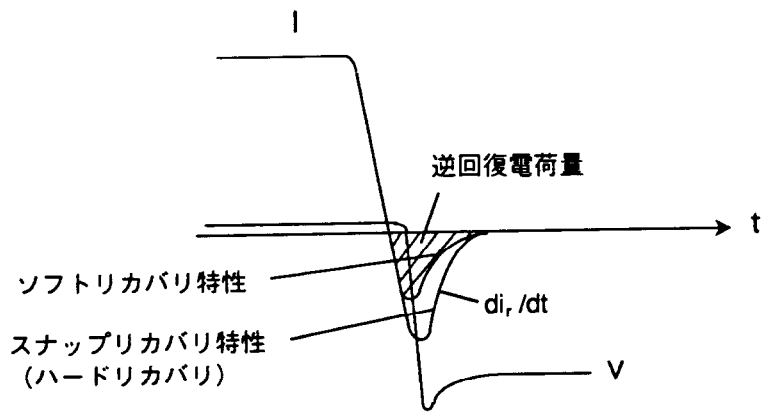


図 1.27 ダイオードの逆回復特性

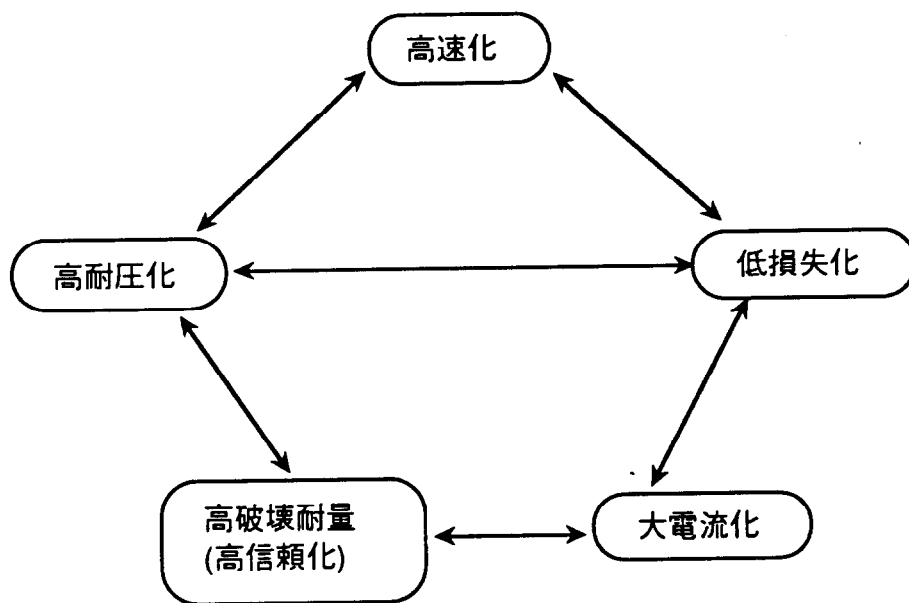


図 1.28 パワーデバイスの特性トレードオフ

トナリカバリ特性を実現するには逆回復電荷量を抑制することが重要である。これはサイリスタの場合と同様にオン電圧の増大を招き、オン電圧とスイッチング特性のトレードオフの問題に帰着する。

以上述べたようにパワーデバイスには特性を向上させるために固有の問題がある。図1.28はパワーデバイスの各特性間のトレードオフ関係をまとめたものである。図のように高耐圧化、高速化、低損失化、大電流化、高破壊耐量化などの特性向上を図るには互いに相反する傾向にあるこれら特性間の協調をとることが総合的にみたパワーデバイスの技術課題と云える。

1.5 本研究の目的と各章概要

本研究の対象であるダイオードおよびサイリスタは高耐圧、大電流化が比較的容易であることから電力変換システムや各種産業用途の分野で基幹デバイスとして用いられている。素子に対しては一層の低損失化、高機能化の要望が強い。本研究の目的は前節1.4で述べたこれらデバイスの高耐圧、大電流化に当たっての技術課題を解決することである。具体的な目標としてサイリスタに関しては

- (1) オン電圧とターンオフ損失のトレードオフ向上
- (2) ターンオフ性能向上と損失低減
- (3) ターンオン時スイッチングパワー耐量の向上
- (4) 過電圧保護機能内蔵化

であり、ダイオードに関しては

- (5) 高速・低損失化と高耐圧化の両立
- (6) ソフトソカバリ特性の実現

である。本論文は前記目的に沿って行われた研究成果をまとめたものであり、7章より構成されている。各章の概要は次のようになる。

第1章「序論」では、研究の目的、論文の概要について述べる。まず、各種パワーデバイスの用途および本論文で取り上げるサイリスタ、GTOの定格容量の推移を概観すると共に、ダイオード、サイリスタの特徴、歴史について述べる。最後にこれらデバイスの研究課題についてまとめた。

第2章「高速、低損失ダイオードSSDの解析」ではチャンネル構造をもつ高速、低損失ダイオードSSD（Static Shielding Diode, 静電遮蔽形ダイオード）を提案し、その構造とその動作に関するシミュレーション結果について述べる。本構造は高速・低損失特性をもつが漏れ電流が大きく、高耐圧化が難しいショットキバリヤ・ダイオードと高耐圧化は容易であるが、オン電圧が大きなpn接合ダイオードの両者の短所を補完

する特性を持たせることを意図したものである。試作による特性確認の前に、本構造の特性予測とパラメータサーベイを目的にデバイス・シミュレーションを行った。シミュレーションではチャンネル寸法および不純物分布を変えたときの順方向導通特性、逆方向漏れ電流特性、および逆回復特性を予測すると共に、その動作機構を明かにした。

第3章「高速、低損失ダイオードSSDの試作と評価」では第2章で解析したSSDを実際に試作し、その特性の評価結果について述べる。150～250V、10A級の素子を試作し、チャンネル寸法および不純物分布を変えたときの順方向導通特性、逆方向漏れ電流特性、および逆回復特性を調べた。評価結果によればSSDではチャンネル幅を変えるとショットキバリアダイオードとpn接合ダイオードの中間的な特性が得られるが、構造パラメータを適切に選ぶことにより逆方向特性はpn接合ダイオード並みに漏れ電流を小さく、順方向および逆方向特性はショットキバリアダイオードに近い特性を持たせられることを明かにした。

第4章「サイリスタのアノードエミッタ短絡構造の解析」ではサイリスタの高速化に係わり、ゲートターンオフサイリスタにおいてトレードオフの関係にある順電圧降下とターンオフ時間の関係を改善できるアノードエミッタ短絡型GTOに着目して、その動作をシミュレーションにより明らかにする。600V級GTOを対象にして、定常オン状態の特性については2次元解析モデルを、過渡特性のターンオフ特性については1次元解析モデルを用いた。2次元解析結果により、エミッタ短絡部にも電流が流れており、この領域はトランジスタとして隣接するサイリスタ領域と並列動作していることを明かにした。1次元ターンオフ特性の解析からはターンオフ時間を5 μ s以上に設定する場合、nベース層およびpベース層のライフタイムをより長くして、エミッタ短絡を強めた方がトレードオフを向上できることを明かにした。以上によりアノードエミッタ短絡型GTOの設計指針を確立できた。

第5章「サイリスタのターンオン動作の特性向上」ではサイリスタを高耐圧化、大電流化する上で重要となるターンオン時のスイッチングパワー耐量を向上できるサイリスタの試作を行った。スイッチングパワー耐量を高めるために、従来ターンオン初期の立ち上がりの速い電流を抑制するために抵抗を内蔵する方法が考えられていた。この抵抗内蔵の方法を実現するための技術開発を行い、初期導通領域であるパイロットサイリスタ或いは補助サイリスタのnエミッタ層の不純物濃度を主サイリスタよりも低濃度化した新たな構造を提案・試作し、スイッチングパワー耐量を高められることを確認した。本手法をターンオン時のストレスが最も厳しい過電圧自己保護型サイリスタに適用した場合の連続パルス印加試験の試験結果を述べると共に、

ターンオン時の劣化機構についても検討した。

第6章「サイリスタの保護機能内蔵によるシステム化への展開」では大容量電力変換器の分野で使用される大容量サイリスタの過電圧保護機能の素子内蔵化について検討し、パンチスルー現象とアバランシ現象を組み合わせた過電圧自己保護型サイリスタを提案した。これに基づいてデバイス試作を行い、その特性を評価した。本構造により保護動作時のブレイクオーバー電圧の温度依存性が小さく、またスイッチングパワー耐量が大きな素子を実現できることを示した。また、保護動作時のブレイクオーバー電圧を素子製作プロセスの途中の段階で予測できる手法を考案し、試作により精密にブレイクオーバー電圧が調整できることを明かにした。

第7章「結論」では、これまでの研究結果を総括し、さらに今後に残された課題について述べる。

参考文献

- 1) 川上明、山田豊久、森敏、"パワーデバイスの現状と展望"、三菱電機技報、69、9、p.874-879 (1993)
- 2) 菅原良孝、"パワーデバイス・パワーIC開発の現状と動向"、電学論C、13、1、p.5-13 (1993)
- 3) W. Schottky, "Halbleitertheorie der Sperschicht", Naturwissenschaften, 26, p.843 (1938)
- 4) N. F. Mott, "Note on the Contact between a Metal and a Insulator or Semiconductor", Proc. Cambr. Philos. Soc., 34, p.568 (1938)
- 5) W. Shockley, "The Theory of p-n Junction Transistors", Bell Syst. Tech. J., 28, p.435 (1949)
- 6) P. Polger, A. Mouyard, and B. Shiner, "A High Current Metal-Semiconductor Rectifier", IEEE Trans. Electron Devices, ED-17, p.725 (1970)
- 7) D. L. Scharfetter, "Minority Carrier Injection and Charge Storage in Epitaxial Schottky Barrier Diodes", Solid-State Electron., 8, p.299 (1965)
- 8) K. Ichikawa, K. Yamazaki, "Design Consideration for Power Barrier Diodes", INTELEC, p.520 (1983)
- 9) 杓沢、大塚、市野沢、"電力用GaAs SBDの高耐圧機構とスイッチング特性"、信学技報、PE88-50, p.53 (1988)
- 10) K. Ohtuka and Y. Usui, "Improvement of High Speed Blocking Voltage by Means of Metal Field Plate for GaAs Schottky Power Rectifier", Proc. ISPSD, p.159 (1991)
- 11) M. Naito et al., "High current characteristics of asymmetrical p-i-n diodes having low forward voltage drops", IEEE Trans. Electron Devices, ED-23, p.945 (1976)
- 12) A. Nakagawa and M. Kurata, "Computer-Aided Design Consideration on Low-Loss p-i-n Diodes", IEEE Trans. Electron Devices, ED-28, p.231 (1981)
- 13) Y. Amemiya et al., "Novel Low-loss and High Speed Diode Utilizing an Ideal Ohmic Contact", IEEE Trans. Electron Devices, ED-29, p.236 (1982)
- 14) B. M. Wilamowski, "Schottky Diodes with High Breakdown Voltage", Solid St. Electron., Vol.26, p.491 (1983)
- 15) B. J. Baliga, "The Pinch Rectifier: A Low-Forward-Drop High-Speed Power Diode", IEEE Trans. Electron Devices lett. EDL-5, p.194 (1984)
- 16) W. Shockley, "Electrons and Holes in Semiconductor", D. Van Nostrand, Princeton NJ (1950)
- 17) J. J. Ebers, "Four-Terminal p-n-p-n Transistors", Pro. IRE, 40, p.1361 (1952)
- 18) J. L. Moll, M. Tanenbaum, J. M. Goldey and N. Holonyak, "p-n-p-n Transistor Switches", Proc. IRE, 44, p.1174 (1956)
- 19) F. E. Gentry, F. W. Gutzwieler, N. H. Holonyak and E. E. Von Zastrow, "Semiconductor Controlled Rectifiers", Prentice-Hall, Englewood Cliffs, NJ (1964)
- 20) R. W. Aldrich and N. Holonyak, Jr., "Two-terminal Asymmetrical and Symmetrical Silicon Negative Resistance

- Switches", J. Appl. Phys., 30, 11, p.1819 (1954)
- 21) R. L. Davies and F. E. Gentry, "Control of Electric Field at the Surface of P-N Junctions", IEEE Trans. Electron Devices, ED-11, p.313 (1964)
 - 22) F. E. Gentry and J. Moyson, "The Amplifying Gate Thyristor", No.19.1, IEEE Meeting of the Professional Group on Electron Devices, Washington, DC (1968)
 - 23) H.R.Ruhl, "Spreading Velocity of the Active Area Boundary in a Thyristor", IEEE Trans. Electron Devices, ED-17, p.672 (1970)
 - 24) I. Somos and D. E. Piccone, "Plasma Spread in High Power Thyristors under Dynamic and Static Condition", IEEE Trans. Electron Devices, ED-17, p.630 (1970)
 - 25) H. F. Storm and I. G. St. Clair, "An Involute Gate-Emitter Configuration for Thyristors", IEEE Trans. Electron Devices, ED-21, p.520 (1974)
 - 26) P. DE Bruyne and R. Sittig, "Light Sensitive Structure for High Voltage Thyristors", IEEE Conference Rec. of the PESC, p.262 (1976)
 - 27) V.A.K. Temple and A.P. Ferro, "High-Power Dual Amplifying Gate Light Triggered Thyristors", IEEE Trans. Electron Devices, ED-23, p.893 (1976)
 - 28) W. Gerlach, "Light Activated Thyristors", Inst. Phys. Conf. Ser., 32, p.111 (1977)
 - 29) 柏崎、田中、小田井、"光直接点弧サイリスタバルブの開発"、日立評論 67, 6, P.7 (1985)
 - 30) R. H. Van Lighten and D. Navon, "Base turn-off of p-n-p-n switches", IRE WESCON Conv. Rec., pt.3, p.49-52 (1960)
 - 31) J. M. Goldey, I. M. Mackintosh, and I. M. Ross, "Turn-off Gain in p-n-p-n Triodes", Solid State Electron., 3, p.119-122 (1961)
 - 32) E. D. Wolley, "Gate Turn-off in p-n-p-n Devices", IEEE Trans. Electron Devices, 13, p.590-597 (1966)
 - 33) Y. C. Kao and J. B. Brewster, "A Description of the Turn-off Performance of the Gate Controlled Switches", IEEE Conf. Rec., Industry Applications Society Meeting, p.689-693 (1974)
 - 34) H. W. Becke and J. M. Neilson, "A New Approach to the Design of a Gate Turn-off Thyristor", IEEE Conf. Rec., Power Electronics Specialists Conference, p.90-96 (1975)
 - 35) M. Okamura, T. Nagano and T. Ogawa, "The Current Status of the Power Gate Turn-off Switch (GTO)", IEEE/IAS Conf. Rec., International Semiconductor Power Converter Conference, p.39-49 (1973)
 - 36) A. A. Jaecklin and Bruno Adam, "Gate Turn-off Thyristors with Near Perfect Technology", IEEE Conf. Rec., International Electron Device Meeting, p.114-117 (1986)
 - 37) H. A. Herrmann and H. Herzer, "Doping Silicon by Neutron Radiation", J. Electrochem. Soc., Vol.122 p.1568 (1975)
 - 38) D. Silber et al., "Improved dynamic properties of GTO-thyristors and diodes by proton implantation", Proc. of IEDM '85, p.162 (1985)

第2章 ダイオードの高速・低損失化の解析

2.1 まえがき

第1章ではダイオードの課題が高耐圧化、高速化および低損失化のトレードオフを改善することにあることを述べた。これらトレードオフを改善するために、以下で述べるようにいくつかの新しい構造が提案されている。その中でp i nダイオードとショットキバリア・ダイオードをモザイク状に組み合わせたMPS (Merged p-i-n / Schottky)構造と云われるものがある。本構造はp n接合のピンチオフ効果によりショットキバリア接合の耐圧を確保するものである。しかし、本構造はショットキバリア接合がシリコンの表面状態に敏感であるため製造上、難しいという問題点がある。本章で取り上げるSSD¹⁾ (Static Shielding Diode)構造は前記MPS構造のようなショットキバリア接合ではなく、不純物総量の小さなpエミッタ接合により高速・低損失化を図ったダイオードである。一般にダイオードを高速するためにはp i n構造の場合、i層に注入されるキャリア量を抑制し、かつ順電流が多く流れるようにすれば良い。これには2つの方法が考えられる。第1の方法はNakagawaら²⁾が提案したものでダイオードのライフタイムと順電圧の関係を解析し、ライフタイムにはi層の厚さに対して順電圧降下が極小となる領域があることを明らかにした。実際に素子を試作し、その低損失性を確認している³⁾。第2の方法はNaitoら⁴⁾が提案したもので、エミッタの不純物総量を小さくすることによりダイオードのトレードオフが改良できることを報告している。SSDは後者の構造をその主動作領域にしている。この主動作領域の耐圧を確保するために、西沢らが提案した静電誘導トランジスタSIT⁵⁾ (Static Induction Transistor)のチャネル部のピンチオフ効果を利用したものである。本章では、SSDの動作と特性を数値解析により検討した結果についてまとめた。

次に、これまで提案された高速・低損失な特性を持つダイオードの代表的な例を示す。図2.1はWilamowski⁶⁾やBaliga⁷⁾らによって提案されたMPS (Merged p-i-n / Schottky)構造と云われるものである。同図のようにp i nダイオードとショットキバリア・ダイオードとをモザイク状に組み合わせた構造となっており、両者の特徴を併せもつ。同図(a)は順方向電圧を印加した場合の動作状態を示す。順電圧がp n接合の内蔵電圧 (≈ 0.5 V) 以下の状態では接合からのキャリアの注入は少なく、ショットキ電極を通しての電流が支配的である。一方、(b)は逆方向電圧を印加した場合であり、p n接合部に形成される空乏層が全てのp n接合およびショットキ接合を覆う形になり、耐圧的に弱いショットキ接合を保護する。図2.2はMPSの順方向特性を示す。図では比較のためp i nダイオードおよびショットキバリア・ダイオードの特性も示してある。約0.5 Vまでの低電圧 (低電流) 領域ではショットキに近い特性を示す。順電圧が

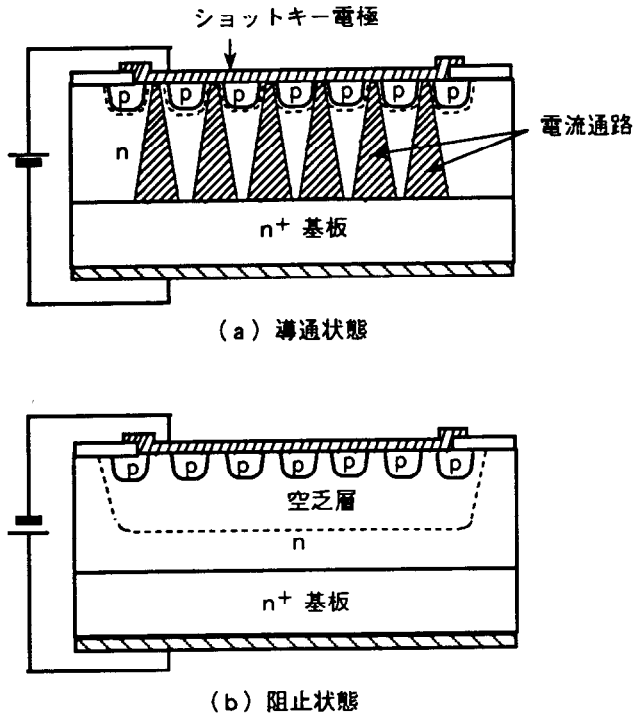


図 2.1 MPS ダイオードの構造

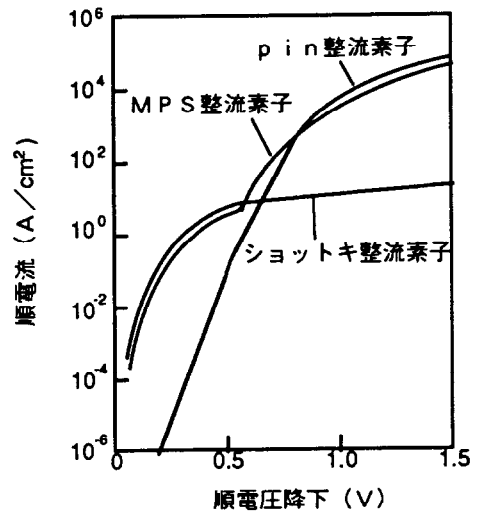
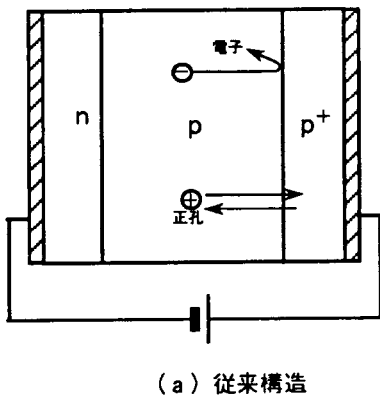
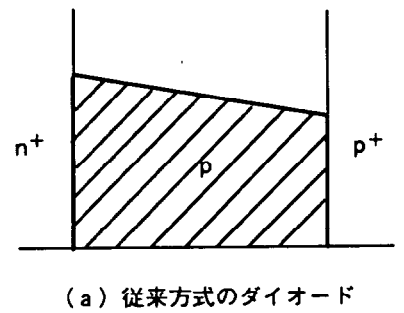


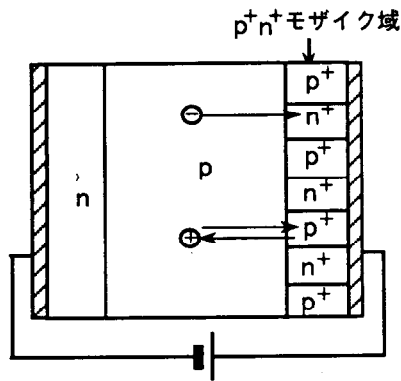
図 2.2 順方向特性の比較



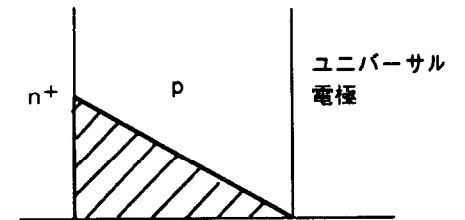
(a) 従来構造



(a) 従来方式のダイオード



(b) ユニバーサル電極構造



(b) ユニバーサル電極を用いたダイオード

図 2.3 従来構造とユニバーサル電極構造の比較

図 2.4 順電流を流したときの p 層に蓄積されるキャリアの比較

0.5 Vを超えるとpn接合からのキャリアの注入が始まり特性はpinダイオードに近くなる。このようにMPS構造ではショットキバリア・ダイオードとpinダイオードの特性を兼ね備え、低電流領域から大電流領域まで順電圧を低くできるため低損失な特性をもつ。また、nベース層内の蓄積キャリアが少ないためスイッチング速度も従来のpinダイオードに比べて速い。

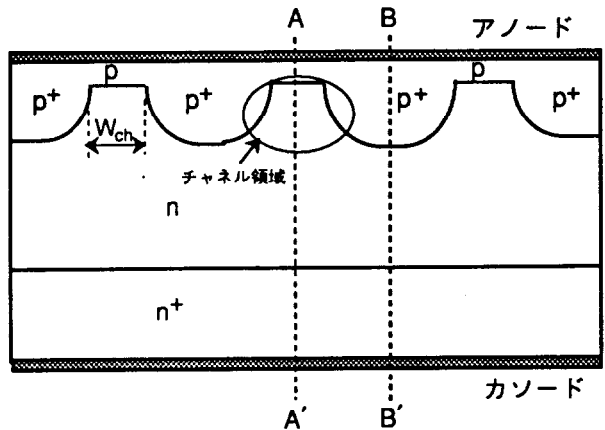
他の例として図2.3に示したユニバーサル電極構造と云われるダイオード⁸⁾がある。同図(b)のように半導体層表面に p^+ 、 n^+ のモザイク層をつくり、理想的なオーミック電極をつくるものである。(a)の従来構造と比較すると明かなように多数キャリアであるホールは p^+ 部を流れ、少数キャリアの電子は n^+ 部に落ち込むためにオーミック電極端での少数キャリアの蓄積が起こらず、この部分での電位障壁も生じない。図2.4(a)(b)はそれぞれ従来構造およびユニバーサル電極構造に順電流を流した場合のp層(ベース層)に蓄積されるキャリア分布を示す。電流はキャリアの傾斜に比例して流れる。ユニバーサル電極は再結合速度が無限大の電極として働いているからオーミック側でキャリアが零となり、最小の蓄積キャリアで最大の順方向電流が流せる。従来型はオーミック側でキャリアが零とならず、蓄積キャリアが多くなる。このため逆回復時間が長くなる。

2.2 チャネル構造SSDの基本構造と動作原理

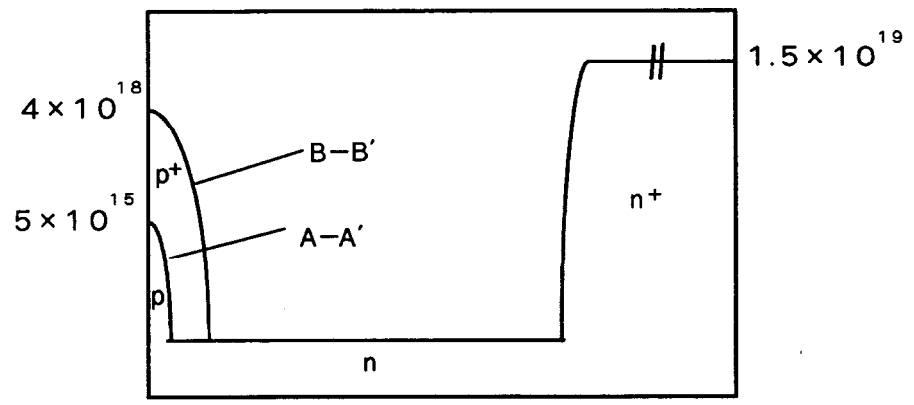
2.2.1 SSD (Static Shielding Diode, 静電遮蔽形ダイオード)の基本構造

図2.5は本章で取り上げるダイオードの基本構造を示す。同図(a)は断面構造を、(b)は(a)図においてA-A', B-B'に沿う不純物濃度を示す。図のように基本的にはpin構造であるが、浅い低濃度のp層およびn層の一部が高濃度の p^+ 層により囲まれた形になっている。この領域は後述するように、動作上、電界効果素子のチャネルに似た働きをするので、以下この領域をチャネル領域と呼ぶ。(a)図で p^+ 層に囲まれたpn接合の幅 W_{ch} をチャネル幅と定義する。p層(pエミッタ層)の不純物濃度を低くし、薄くすることで低順電圧降下、高速動作を実現できるが、このときpn接合の耐圧は低くなる。ところが、図の構造にすると、素子に逆方向電圧が印加されたとき、 p^+n 接合にできる空乏層が横方向に伸びてつながり、チャネル領域がピンチオフされる。この結果、pn接合の電界が緩和され、チャネルのない場合に比べ耐圧は高くなる。いわば、 p^+n 接合の空乏層がpn接合を静電的に遮蔽して、その電界を緩和している。その意味で本構造のダイオードを静電遮蔽型ダイオード(Static Shielding Diode、SSD)と呼ぶことにする。

2.2.2 低濃度エミッタダイオードの動作原理



(a) 断面構造



(b) 不純物濃度分布 (単位: cm^{-3})

図 2.5 SSDの基本構造

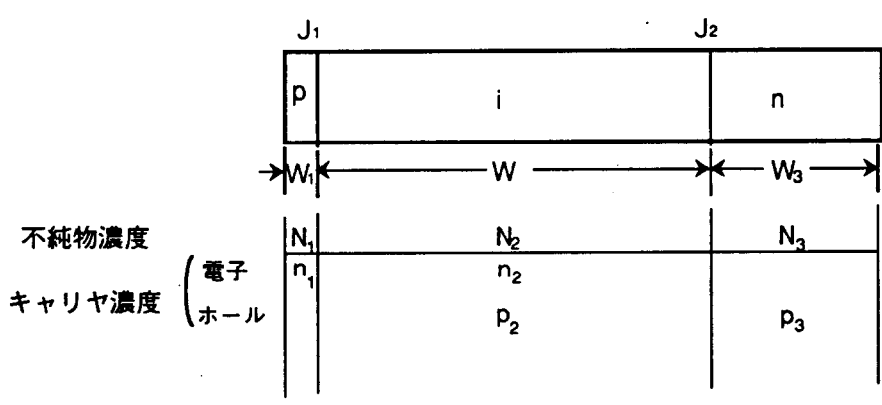


図 2.6 pinダイオードのモデル

電力用ダイオードでは高い逆耐圧と低い順電圧降下を同時に満たすため高濃度のp形不純物層とn形不純物層との間に低不純物濃度の層(i層)を設けたpin接合(図2.6参照)にすることは良く知られている。pin接合とすることで素子の厚みを薄くできるためである。この場合、どちらか一方のエミッタ層を低濃度で薄く、かつi層の厚さを薄くすることで更に順方向電圧を低くし、高速スイッチングな特性を実現できることが内藤ら⁶⁾により明らかにされた。図2.7は低濃度エミッタをもつダイオードの不純物濃度分布、導通状態でのキャリア分布および電流成分分布を示す。本構造のダイオードが低い順方向電圧降下をもつ理由は、ほぼ以下のようなものである。まず、エミッタを低濃度かつ薄くすることでpエミッタ層内のキャリア(電子)分布は同図(b)のように濃度勾配が急になり、低い接合電圧でも大きな拡散電流を流すことができる。pエミッタ層でのドリフト電流による電圧降下は導電率が高いこと、およびエミッタ幅が薄いことから無視できる。また、i層の厚さが或る程度薄い場合にはi層のキャリア分布も図のように勾配を持つようになる。そして、pi接合でのキャリア濃度が低くなるためpi接合での電圧降下は小さくなる。この接合電圧の低下はi層でのキャリア濃度が低下したことによるi層内での電圧降下の増大を打ち消し、素子全体の電圧降下を低下させる。以上のことを解析的に表わすとほぼ、以下のようなになる。

なお、pinダイオードの各部の寸法、不純物濃度、キャリア濃度は図2.6に示した。

まず、ダイオードの順電圧降下は接合での電圧降下とi層での電圧降下の和で表わされ次式のようなになる。

$$V_F = V_j + V_i \quad (2.1)$$

$$V_j = V_1 + V_2 \quad (2.2)$$

ここで、 V_1 : pi接合での電圧降下、 V_2 : in接合での電圧降下である。

$$V_j = V_{b1} + V_{b2} + (1/\beta) \ln(\lambda\mu) \quad (2.3)$$

ここで、 V_{b1} : pi接合の拡散電位、 V_{b2} : in接合の拡散電位、

$\beta = q/kT$, $\lambda = \exp\{-\beta(V_{b1}-V_1)\}$, $\mu = \{-\beta(V_{b2}-V_2)\}$ である。

今、ベース層がn形の時、

$$V_{b1} = (1/\beta) \ln(N_1 N_2 \cdot \lambda \mu / n_i^2) \quad (2.4)$$

$$V_{b2} = (1/\beta) \ln(N_3 / N_2) \quad (2.5)$$

であるから、結局

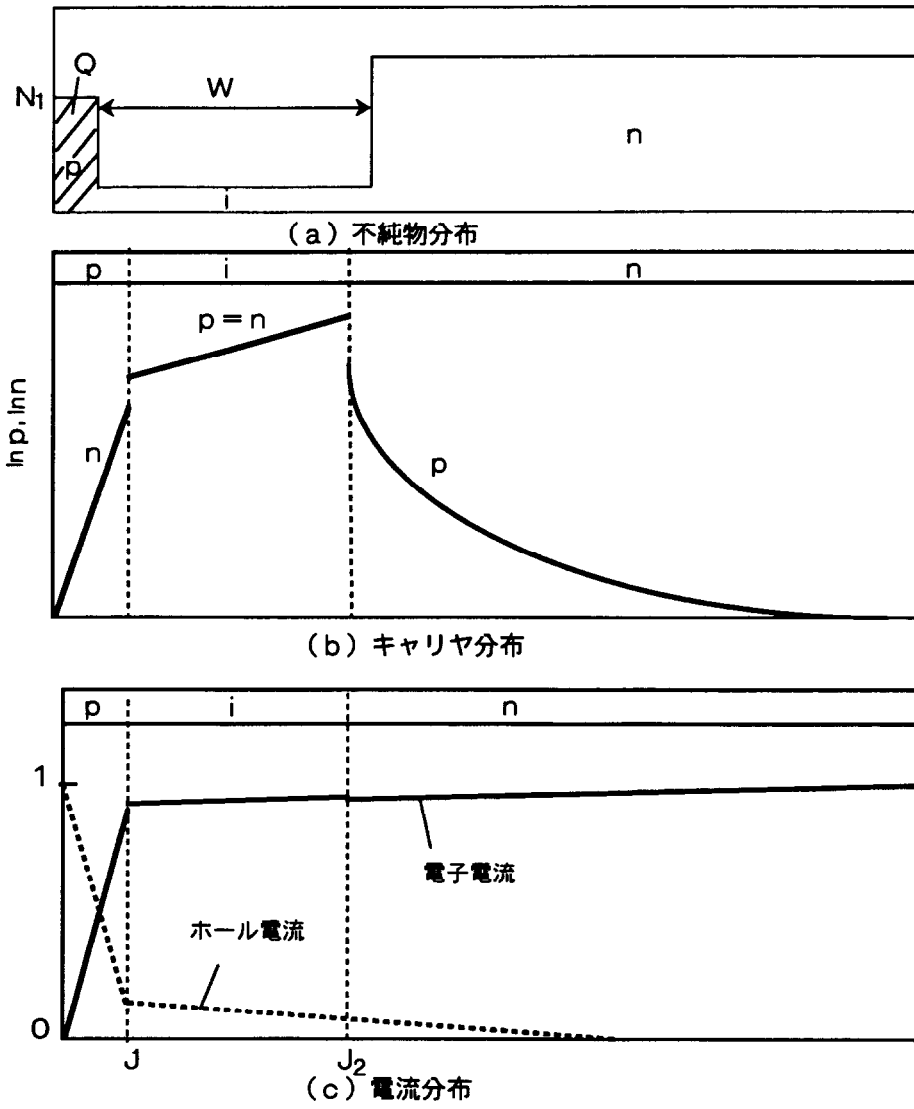


図2.7 エミッタが薄い場合のキャリア分布、電流分布

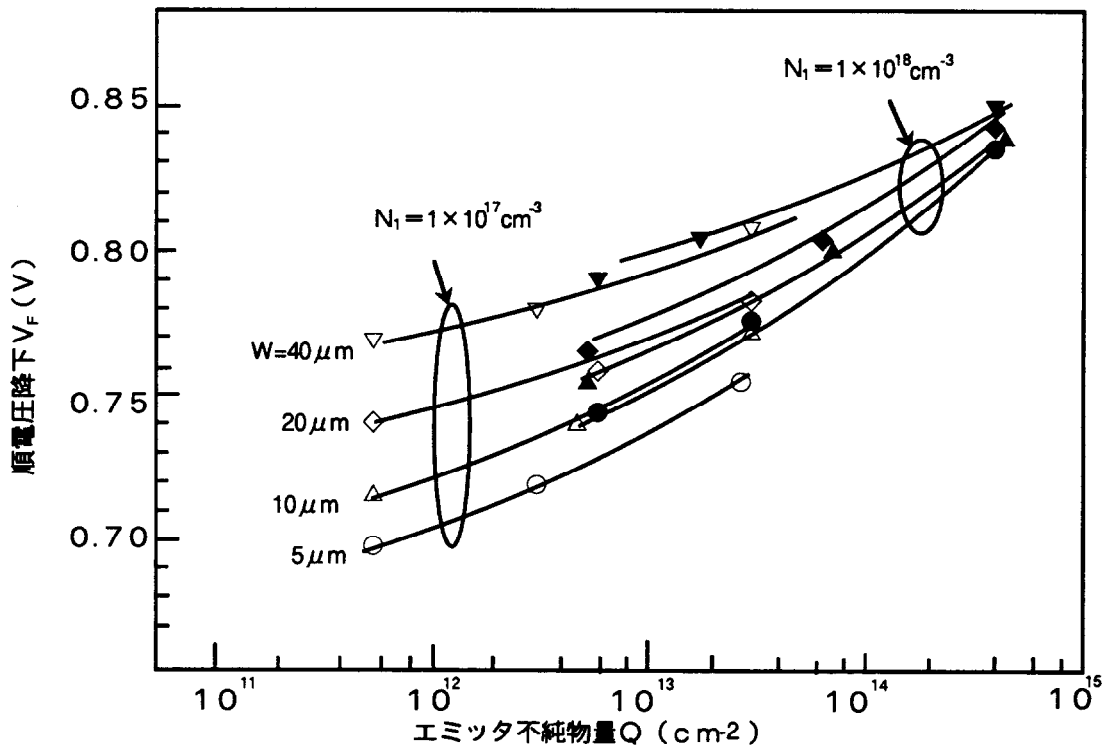


図2.8 エミッタ層の不純物量と順電圧降下の関係

$$V_j = (1/\beta) \ln (N_1 N_3 \cdot \lambda \mu / n_i^2) \quad (2.6)$$

となる。

一方、ベース層 (i 層) での電圧降下は次式で表わせる。

$$\begin{aligned} V_i &= \int E dx \\ &= (1/\beta) \{ jW/q (D_n + D_p) \} \{ (\sinh \omega / \omega) (F(r, \omega) / N_1 \lambda) \} \\ &\quad - (1/\beta) \{ (D_n - D_p) / (D_n + D_p) \} \ln r \end{aligned} \quad (2.7)$$

$$\text{となる。ここで、} F(r, \omega) = \int (d\eta / [r \sinh \eta + \sinh(\omega - \eta)])$$

計算の詳細はここでは省略するが、ダイオードの順電圧降下は ω の0次の項と2次の項の和として次式により表わせる。

$$V = V(0) + V(2) \omega^2 \quad (2.8)$$

$$\text{ここで、} V(0) = (2kT/q) \ln [1/n_i \{ (Q \cdot j / q D_n')^{1/2} + (W / 2q D_n) \}]$$

$$\begin{aligned} V(2) &= (kT/q) [\ln(1+\alpha) / \alpha \{ (1-b) (1+0.5\alpha) / 2(1+b)^2 \\ &\quad + 2b(0.5\alpha^{-1} + 1 + \alpha/3) + \alpha/6 \} \\ &\quad - \{ (1+b)^{-1} (1/\alpha + 0.5) \{ (1+\alpha)^{-1} + b \} + (1+\alpha)^{-1} (1+2\alpha/3) \} \end{aligned}$$

となる。

図2.8はi層の厚さをパラメータとした場合のエミッタ層の不純物総量と順電圧降下の関係を示す。図から分かるように不純物総量 Q が小さくなるとともに順電圧降下 V_F が低くなることが分かる。本構造によればベース層に注入されたキャリアの総量が従来のpinダイオードに比べ小さいため、ライフタイムキラーなどによりライフタイムの短縮をせずに高速なスイッチング動作が可能である。ライフタイムキラーを用いないため素子特性の温度依存性も小さい。

2.2.3 S I T (Static Induction Transistor) の動作原理

図2.9はS I Tの動作原理の構造模式図と電位分布を示す。ソース領域の両側にはゲートがあり、このゲートとソース間のバイアス電圧により、ソース、ドレーン間に流れる主電流を制御するものである。今、ソース領域とゲート領域に挟まれたチャネル領域の間の拡散電位を Φ とし、ゲートに逆バイアス電圧 V_G を印加してチャネル領域を完全に空乏化したとする。このとき、チャネル領域の中央部がS I Tの真のゲート

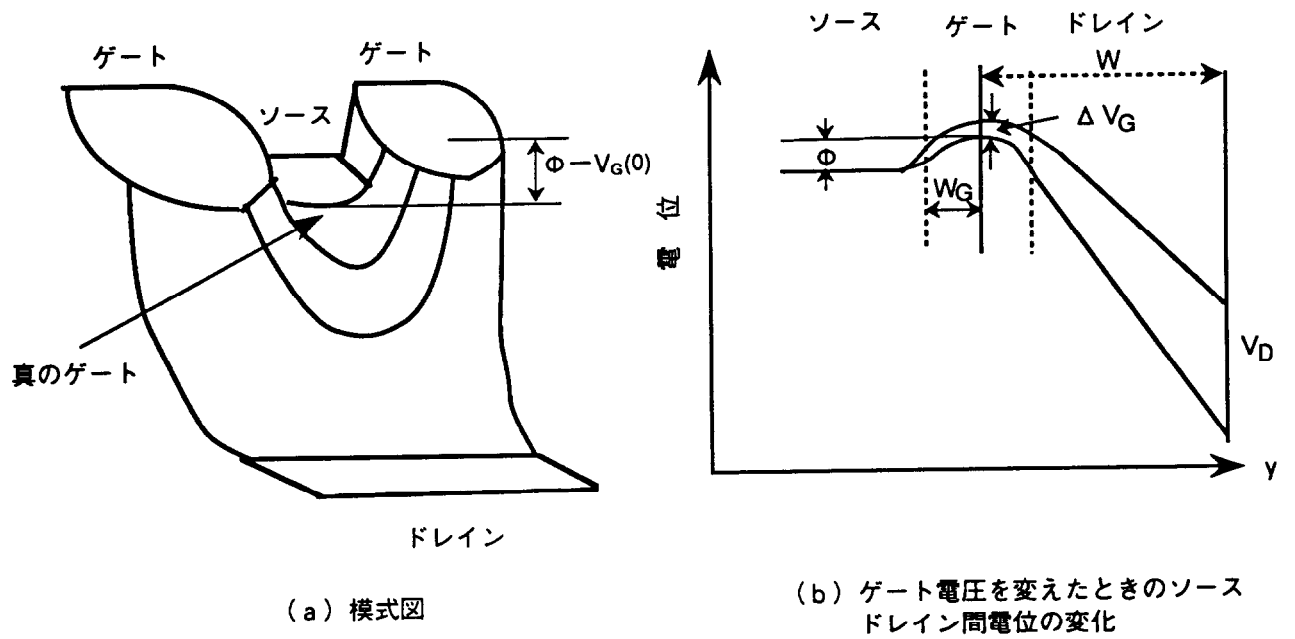


図 2.9 S I T の電位障壁

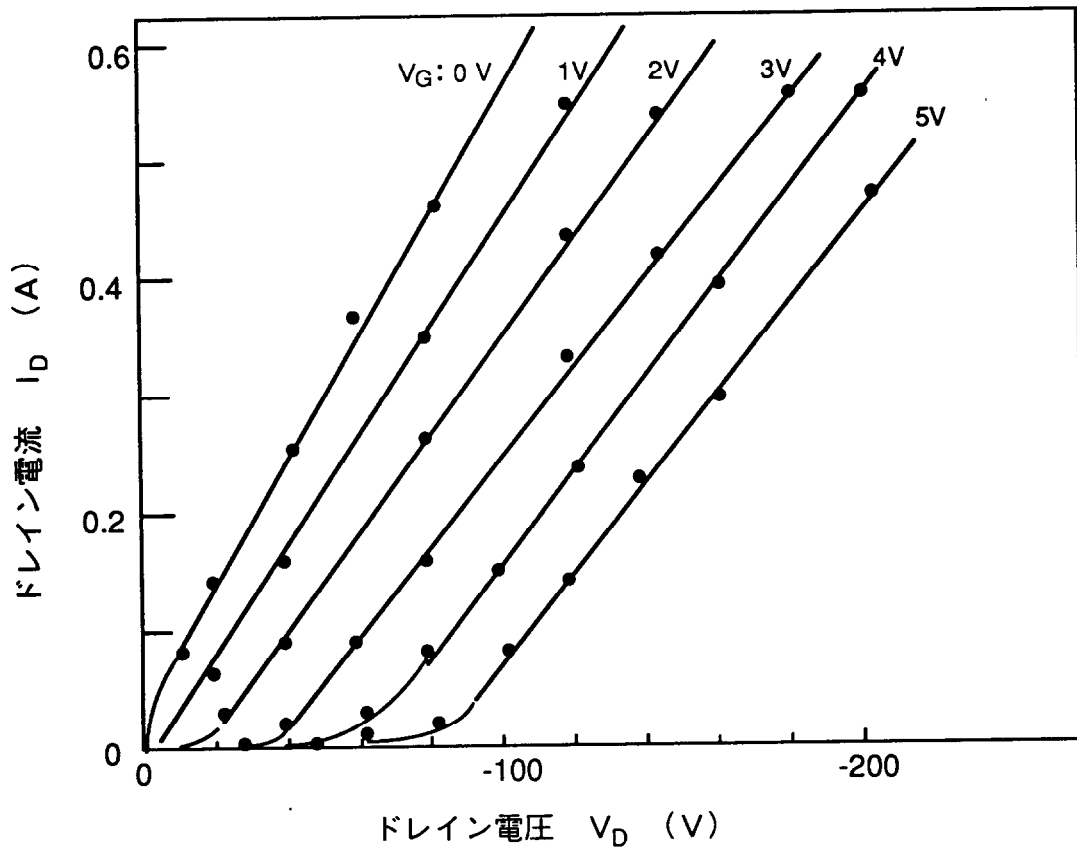


図 2.10 S I T の電圧-電流特性⁹⁾

電位を与える。真のゲート電位を $V_G(0)$ とすると、ソースと真のゲートの間の電位障壁は $\Phi - V_G(0)$ となる。また、ソースと真のゲートとの電位障壁の高さはゲート電圧 V_G とドレーン電圧 V_D にも依存する。

同図(b)はその様子を示す。この電位障壁を越えてドレーン側に流れるキャリア（電子）の量はゲート電圧およびドレーン電圧の両者の静電誘導効果により制御される。したがってドレーン電流 I_D は次式で与えられる。

$$I_D = I_0 \exp \{ \eta (q/kT) (V_G + V_D/\mu) \} \quad (2.9)$$

ここで、 $\eta = |\Delta V_G(0)/V_G|$ 、 μ ：電圧増幅率であり、 W_G を真のゲートとドレーン間の距離とすると

$$\mu = |\Delta V_D/V_G| I_D = \eta (1 + W/W_G) \quad (2.10)$$

となる。SITは三極管真空管と類似した図2.10⁹⁾に示すような不飽和形の電圧-電流特性を示す。このような特性をもつSITの動作原理を2端子素子としてのダイオードに利用することを考えたわけである。

2.2.4 SITによる予備検討

本章で取り上げるSSDは筆者らが先に試作したノーマリオフ形SIサイリスタからその着想を得ている。図2.11は予備検討に用いた600V、20A級pエミッタ短絡型SIサイリスタのユニット素子の断面構造を示す。また、図2.12は2端子整流ダイオードとして用いた場合の動作モデルを示す。ダイオードとして動作させる場合、SIサイリスタのアノード電極をダイオードのカソード電極とし、またSIサイリスタのカソード電極とゲート電極とを短絡してダイオードのアノード電極とする。ノーマリオフ形SIサイリスタでは図2.11に示すようにチャンネル領域の幅が $7\mu\text{m}$ 程度と狭く、且つ不純物濃度が低くなっておりゲート電圧が零ですでに空乏層が広がって、チャンネル領域はいわゆるピンチオフ状態になっているので、アノード・カソード間にアノードが正電位となる電圧を印加しても、この電圧を阻止できる。試作したpエミッタ短絡形SIサイリスタでは、図のようにpエミッタ層の周辺部が n^+ 層でアノード電極に短絡されている。このためSIサイリスタのアノード・カソード間に電源 E_s によりカソードが正電位となる電圧を印加すると同図(b)のようにpn接合がこの電源電圧により順バイアスされるので、チャンネル領域の空乏層が消滅し、負荷電流はnエミッタ層から n 、 n^- 、 n^+ の各層を通して流れ始める。この電流 I_{L1} は多数キャリアである電子の流れである。電流が増大してpn接合の印加電圧が、この接合の拡散電位以上になると pn^-n^+ ダイオード領域にも電流 I_{L2} が流れるようになる。

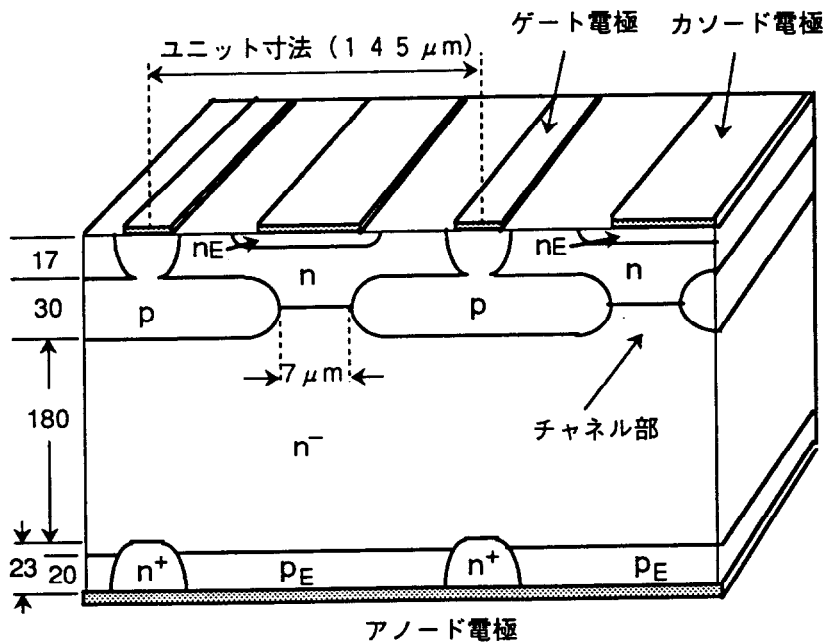


図 2.11 600V 級 p エミッタ短絡型 SiC サイリスタの断面構造

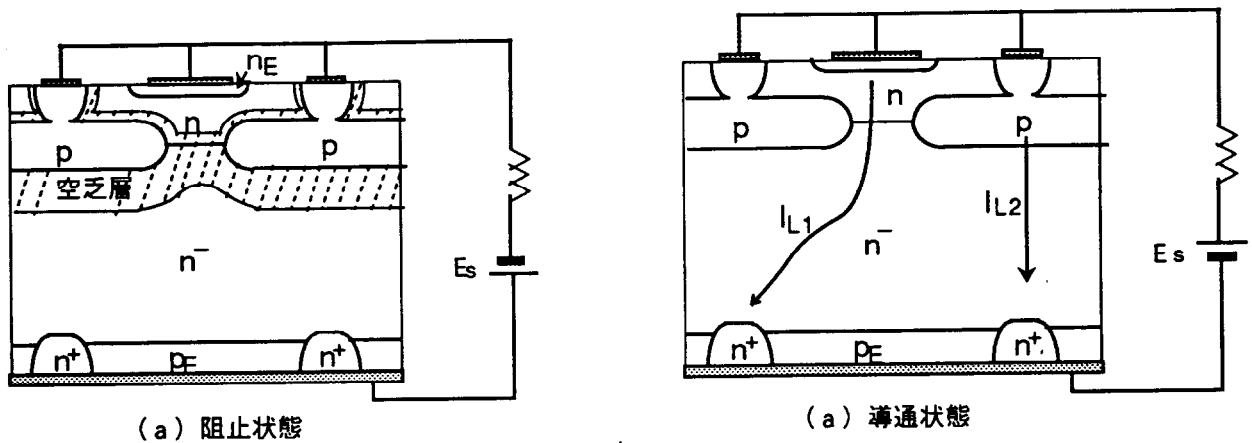


図 2.12 ノーマリオフ形 SiC サイリスタの整流ダイオードとしての使用例

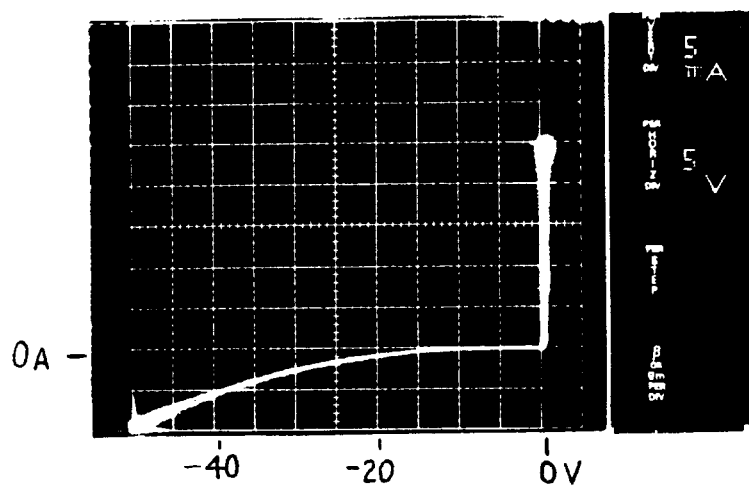


図 2.13 SiC サイリスタの整流ダイオードとしての電圧-電流特性

図2.13はSIサイリスタを図2.12に示すようにダイオードとして用いた場合の電圧-電流特性を示す。アノード・カソード間電圧が約-10V以上ではハードなダイオード特性を示しているが、-10V以下では逆電圧が大きくなるに従って逆電流が漸次増大している。この原因は逆電圧が大きくなるとチャンネル領域に形成されている高電界領域がカソードに近づくためである。図2.11に示す素子構造ではp形ゲート層を選択拡散した後、その表面にn層をエピタキシャル成長で形成する必要があり、製作工程が難しい。このため拡散工程のみで製作できることを念頭においた図2.14の構造について以後、検討することにした。次節ではこのSSDの動作を数値解析により調べる。

2.3 チャンネル構造SSDの解析

2.3.1 2次元解析モデルと計算方法

図2.14は解析に用いたSSDの断面構造を示す。計算用モデル素子の構造パラメータ一覧を表2.1に、不純物濃度分布の例を図2.15に示す。各不純物層のキャリア・ライフタイムは正味の不純物濃度 $N_s = N_D - N_A$ とライフタイムとの関係を表わした文献値¹⁰⁾¹¹⁾を用いた。素子面積は 0.16 cm^2 (ペレット寸法は $4\text{ mm} \times 4\text{ mm}$)である。用いた数値計算プログラムは鳥谷部らにより開発された二次元デバイス・シミュレータCADDET-B¹²⁾である。今回の計算ではアバランシ効果は入れていない。

2.3.2 1次元解析モデルと計算方法

SSDの順電圧と逆回復特性は、主動作領域にある pnn^+ ダイオードの構造により、ほぼ決まるとみなせる。図2.16は1次元解析に用いたダイオードの不純物濃度分布を示す。 pnn^+ ダイオードの順電圧と逆回復特性を1次元モデル解析して、低損失、高速化するためのSSDの構造を検討するに用いた数値計算プログラムは、福井らにより開発された一次元デバイス・シミュレータSTAP¹³⁾である。解析ではpエミッタ層の表面不純物濃度および深さを変えた。

2.3.3 解析結果

(a) 逆方向特性

図2.17はnベース層の抵抗率 ρ_n およびチャンネル幅 W_{ch} を変えた場合の逆方向電圧-電流特性を示す。抵抗率 ρ_n が $7\ \Omega \cdot \text{cm}$ の素子は $50\ \Omega \cdot \text{cm}$ の素子に比べて低電圧から漏れ電流が立ち上がりはじめる。また、チャンネル幅 W_{ch} が $2\ \mu\text{m}$ と狭い素子の方が $7\ \mu\text{m}$ の素子に比べ漏れ電流は小さい。

図2.18は図2.17で印加電圧が-20Vのときのチャンネル部中心線A-A'に沿う電位分布を示す。

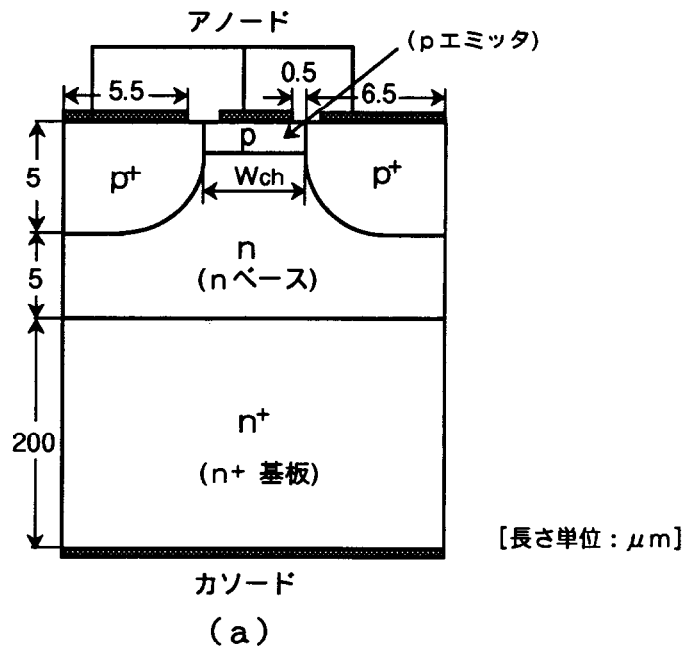


図2.14 SSDの構造と寸法

表2.1 計算モデルの構造寸法

No.	nベース層抵抗率 $\rho_n (\Omega \cdot \text{cm})$	p層表面不純物 濃度 (cm^{-3})	チャンネル幅 $W_{\text{ch}} (\mu\text{m})$
1	150	1×10^{15}	4, 6, 8
2	↑	5×10^{15}	4, 6, 10
3	50	↑	2, 3, 7, 11
4	7	↑	2, 6

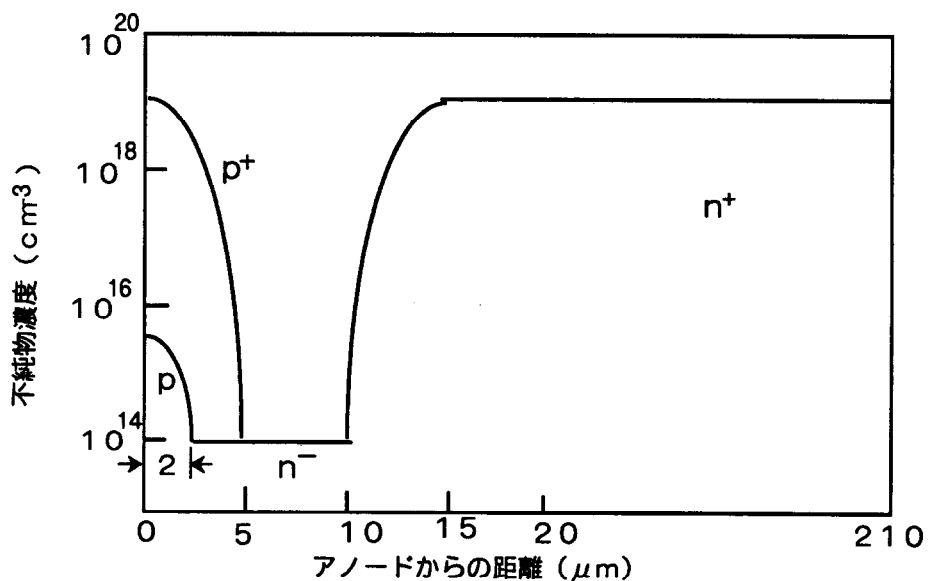


図2.15 SSDの不純物分布

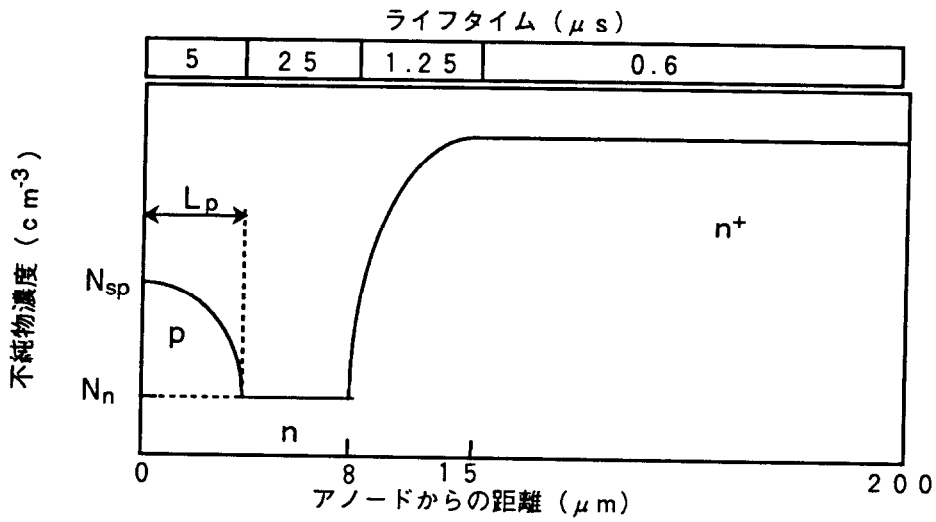


図 2.16 一次元モデル SSD の不純物分布とライフタイム分布

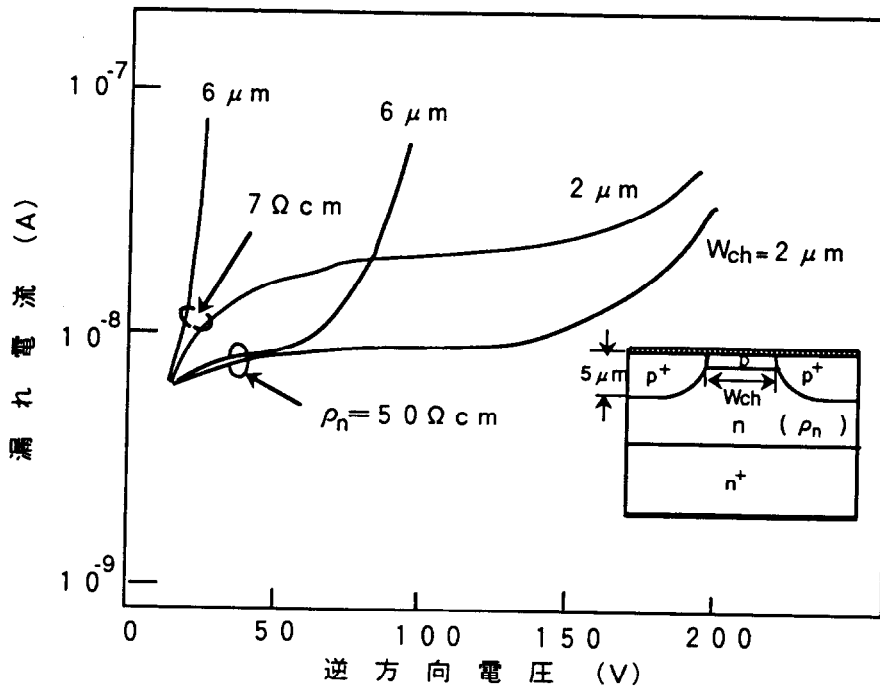


図 2.17 SSD の逆方向特性

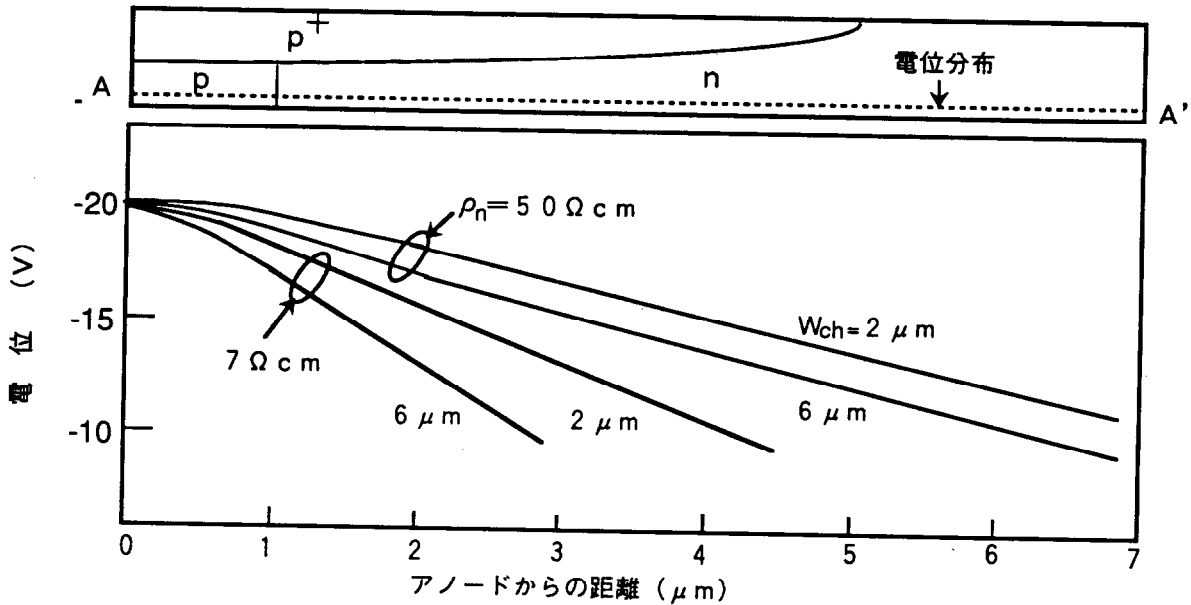


図 2.18 SSD の阻止状態での電位分布

50 Ω・cmの素子のpn接合付近での電位の傾きは7 Ω・cmの素子に比べて緩やかである。これはnベース層の抵抗率 ρ_n が高いほどチャンネル領域でのピンチオフ効果が強まるためである。同様に、チャンネル幅 W_{ch} を狭くすることでもピンチオフ効果が強まる。このようにnベース層の抵抗率が高いほど、また、チャンネル幅が狭いほどpn接合付近の電界が緩和され、pn接合の阻止能力が向上する。

図2.19は図2.17のV-I特性をもつ ρ_n が50 Ω・cmである素子の各印加電圧におけるA-A'線上でのホール濃度分布を示す。図でp層の表面不純物濃度が $5 \times 10^{15} \text{cm}^{-3}$ であることから、表面でのホール濃度が、これよりも2桁小さい 10^{13}cm^{-3} オーダーである領域は空乏層とみなす。空乏層がアノード電極に達したとき、素子はパンチスルー状態となる。図2.18と図2.19からチャンネル幅 W_{ch} が狭いほどpn接合の電界が緩和され、パンチスルー電圧が高くなることが分かる。次に、pエミッタ層の濃度およびnベース濃度を変えた場合の逆方向特性について調べた。

図2.20はpエミッタ層表面不純物濃度 N_{sp} を変えた場合の逆方向電圧-電流特性を示す。それぞれのpエミッタ層表面不純物濃度 N_{sp} に対してチャンネル幅 W_{ch} を変えている。チャンネル幅を狭めてゆくと逆電流が小さくなってゆくことが分かる。また、nベースの抵抗率が低い方がその特性はハードである。

図2.21はpエミッタ層のパンチスルー電圧のチャンネル幅および、pエミッタ層表面不純物濃度依存性を示す。nベース層の抵抗率は150 Ω・cmである。チャンネル幅を狭くし、pエミッタ層表面不純物濃度を高くすることにより、パンチスルー電圧は高くなってゆくことが分かる。また、チャンネル幅が狭いほどパンチスルー電圧が高くなることが分かる。

図2.22は逆電圧が-115 Vでnベースの抵抗率が50 Ω・cm、チャンネル幅が3 μmと11 μmの場合のチャンネル部横方向の電位分布を示す。アノード電極から5 μmおよび6 μmの場合である。チャンネル幅が狭い(a)では、チャンネル中央部での電位が(b)に比べて高く、p⁺層からの静電誘導効果をより強く受けていることが分かる。

図2.23はp⁺層とn⁺層の間のnベース層の厚み W_{np+} (以後、n層の厚みと略す)を変えた場合の逆電圧と最大電界の関係を示す。n層の不純物濃度 $1 \times 10^{14} \text{cm}^{-3}$ 、pエミッタ層表面濃度 $1 \times 10^{16} \text{cm}^{-3}$ 、pエミッタ層の厚み2 μmの場合である。最大電界のある位置は、いずれの場合も素子の横方向の端から2 μm内部に入ったp⁺n境界にある。アバランシ降伏を起こす最大電界がほぼ $2 \times 10^5 \text{V/cm}$ であるとする¹⁴⁾¹⁵⁾、この電界値を与える電圧が素子の耐圧と見なせる。図よりこのときの逆電圧はn層の厚み

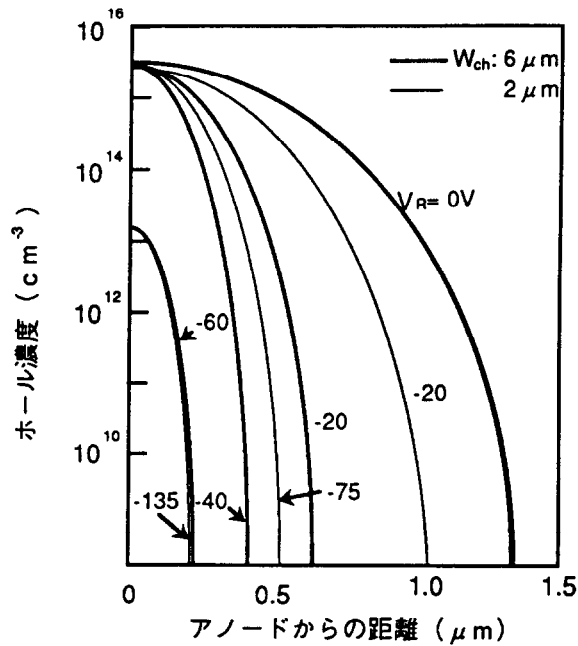


図 2.19 阻止状態でのアノード付近のホール濃度分布 ($\rho_n: 50 \Omega \cdot \text{cm}$)

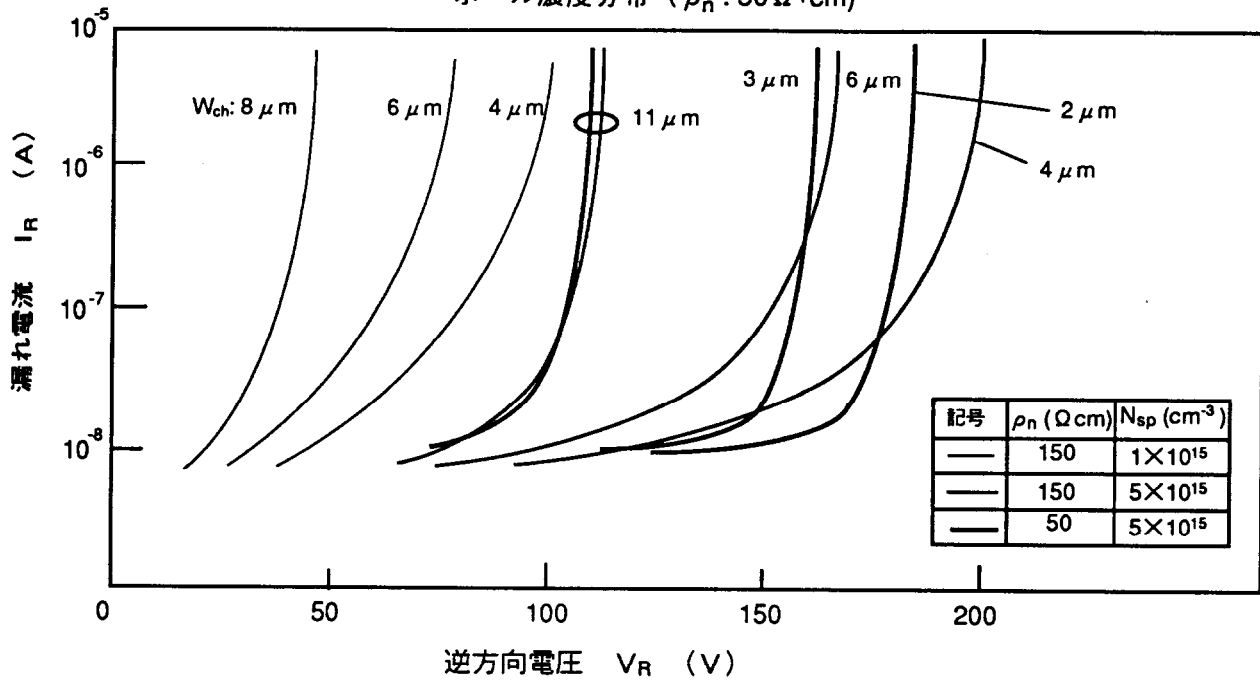


図 2.20 逆方向電圧—電流特性

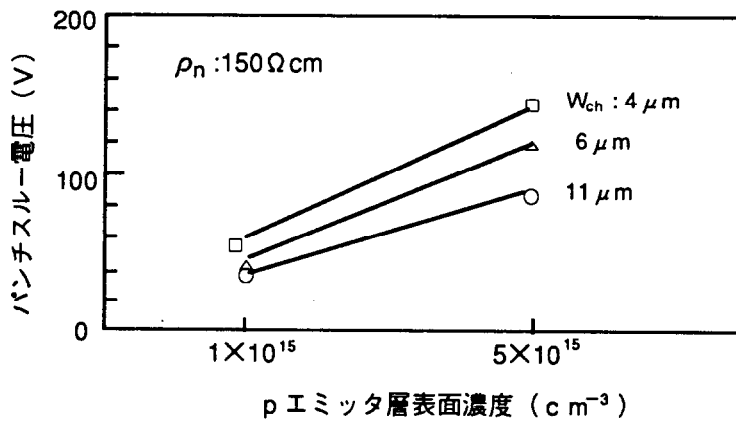


図 2.21 pエミッタ層表面濃度とパンチスルー電圧の関係

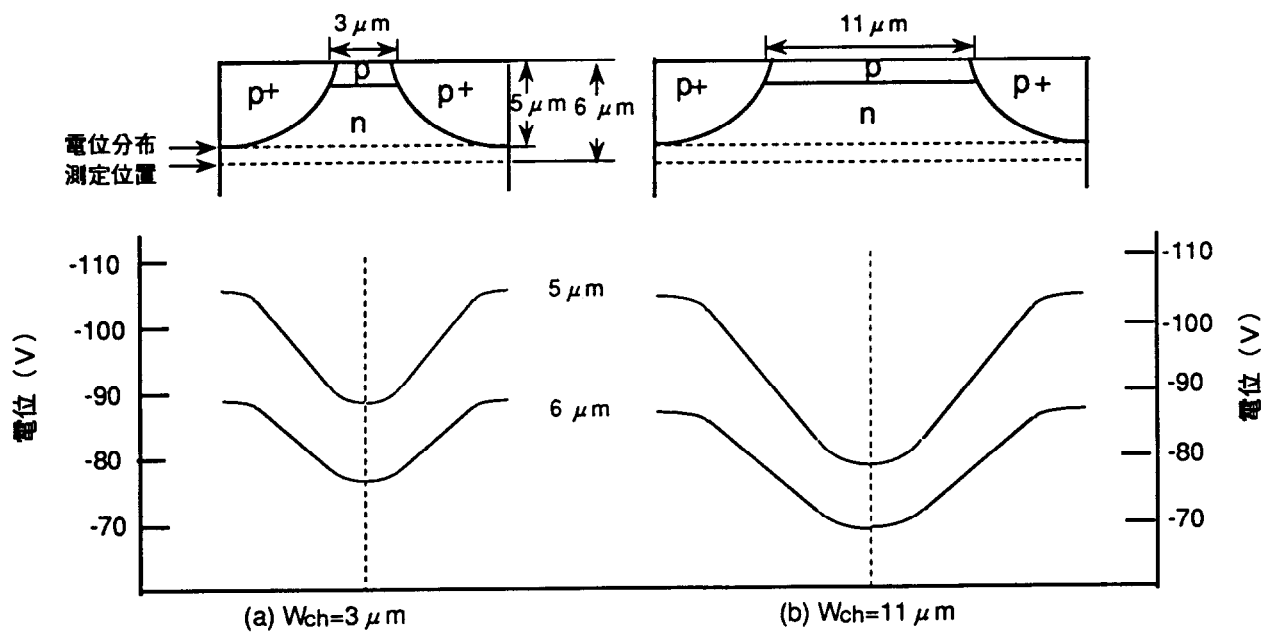


図 2.2 2 阻止状態での電位分布 ($V_R = -110\text{V}$)

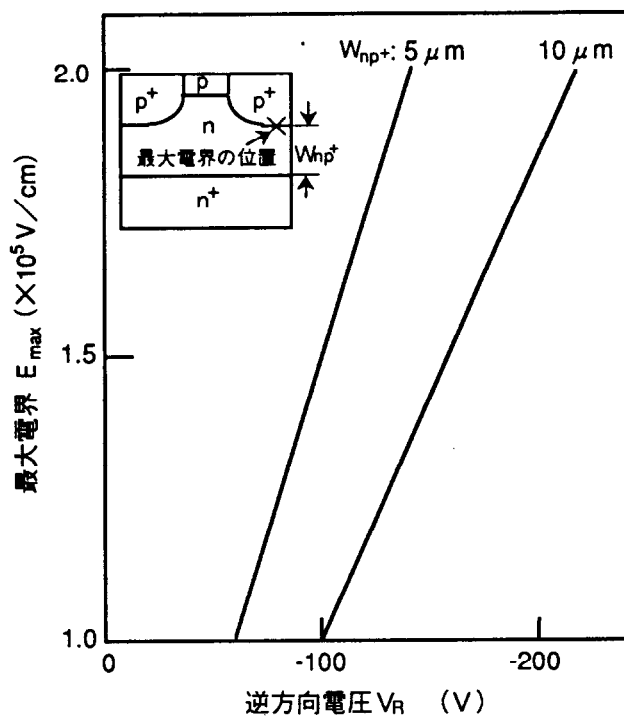


図 2.2 3 n ベース層の厚さと最大電界の関係

が $5\mu\text{m}$ の場合 145V であるのに対し、 $10\mu\text{m}$ の場合は 220V である。 n 層の厚みを $5\mu\text{m}$ から $10\mu\text{m}$ へ増すことにより、耐圧を 75V 高くできることが分かる。

(b) 順方向特性

図2.24は順電圧降下の p エミッタ層表面不純物濃度 N_{sp} 依存性を示す1次元計算結果である。順電流 9.3A （電流密度 $58\text{A}/\text{cm}^2$ ）の場合である。 n ベース層の抵抗率 ρ_n および p エミッタ層深さ L_p を変えている。順電圧は p エミッタ層の表面不純物濃度が低くなるに従って減少し、

$1 \times 10^{15} \text{cm}^{-3} \leq N_{sp} \leq 1 \times 10^{16} \text{cm}^{-3}$ にすれば順電圧を $0.68 \sim 0.7\text{V}$ まで低くできることを示している。また、この範囲では n 層の不純物濃度が $1 \times 10^{14} \text{cm}^{-3} \sim 1 \times 10^{15} \text{cm}^{-3}$ 、及び p 層の厚みが $1 \sim 2\mu\text{m}$ の場合、順電圧の N_{sp} 依存性は殆ど同じとみなせる。また、キャリア・ライフタイムを $1/100$ にしても同様であった。

図2.25はチャンネル幅 $W_{ch} = 8\mu\text{m}$ のSSDに順方向電流を流した場合の2次元電子電流の分布を示す。図中の電流流線は左右の両端が 5% で、その他は 10% の割合で流れていることを示す。ホール電流は電子電流の 1% 以下であるため図は全電流の分布と考えてよい。全電流の約 75% が p エミッタ層に流れており、残りは p^+ 層の端部を流れる。 p^+ 層の端部は横方向拡散のため中心部よりも不純物濃度が低い。このため電流はビルトイン電圧が低い p エミッタ層および p^+ 層の端部を流れる。

図2.26は図2.25の計算結果におけるチャンネル部中心線上でのキャリア濃度を示す。カソード電流密度は $17\text{A}/\text{cm}^2$ および $50\text{A}/\text{cm}^2$ である。 pn 接合付近のキャリア濃度は nn^+ 境界付近に比べて小さく、 p 層から注入されるホールが少ないことを示している。このため通常の p^+n 接合ダイオードに比べ、逆回復時間が短くなる。また、 pn 接合の接合電圧が低いため素子の順電圧降下も低くなる。

図2.27はやはり図2.25の構造でチャンネル幅を変えたときの順方向電圧-電流特性を示す。チャンネル幅を $3 \sim 11\mu\text{m}$ の範囲で変えても特性はあまり変わらず、 10A での順電圧は $3\mu\text{m}$ と $11\mu\text{m}$ の場合 0.025V 程度の差である。

図2.28は図2.27においてチャンネル幅が $7\mu\text{m}$ の場合のチャンネル部中心線上の電位分布を示す。 pn 接合での電圧降下が支配的であり、 n ベース層内での電圧降下は 0.05V 程度と小さい。順電圧を低くするには p エミッタ層の不純物濃度を低くして pn 接合の拡散電位を低くする必要がある。

図2.29は図2.23と同じ構造において、 n 層の厚みを変えたときの順電圧の変化を示す。 n 層の厚み

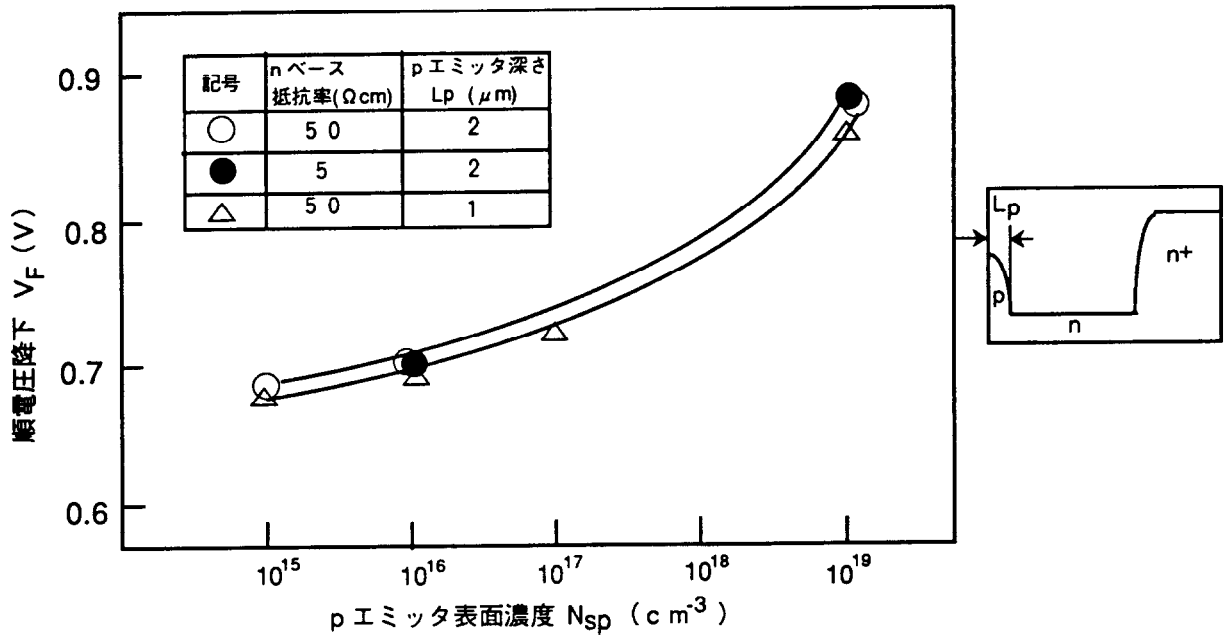


図 2.2 4 pエミッタ表面濃度と順電圧の関係

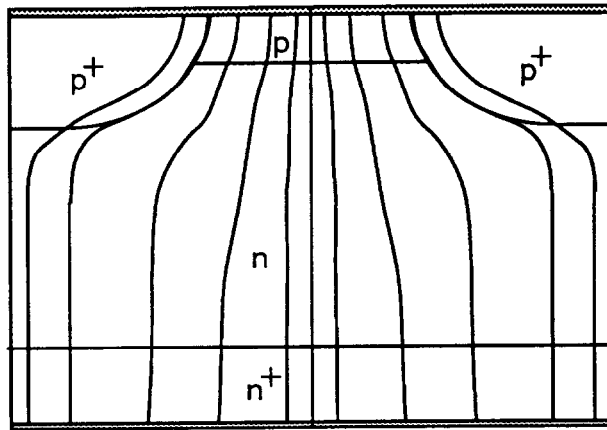


図 2.2 5 導通状態での電子電流分布
($J_k = 50 \text{ A/cm}^2$)

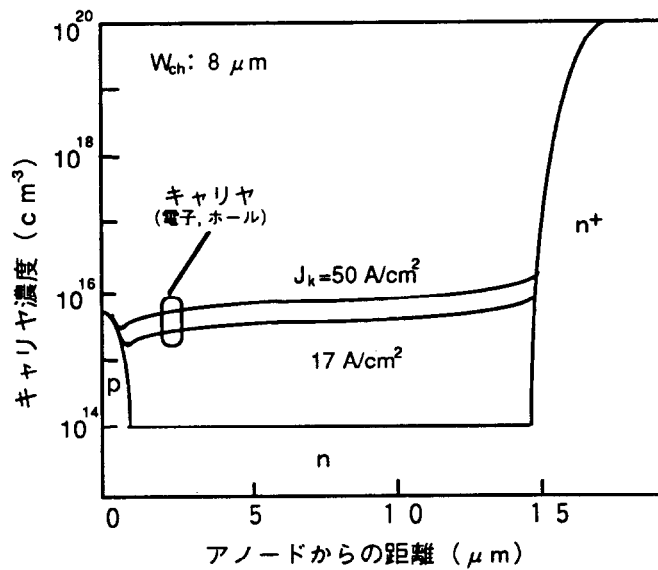


図 2.2 6 導通状態でのキャリア濃度分布

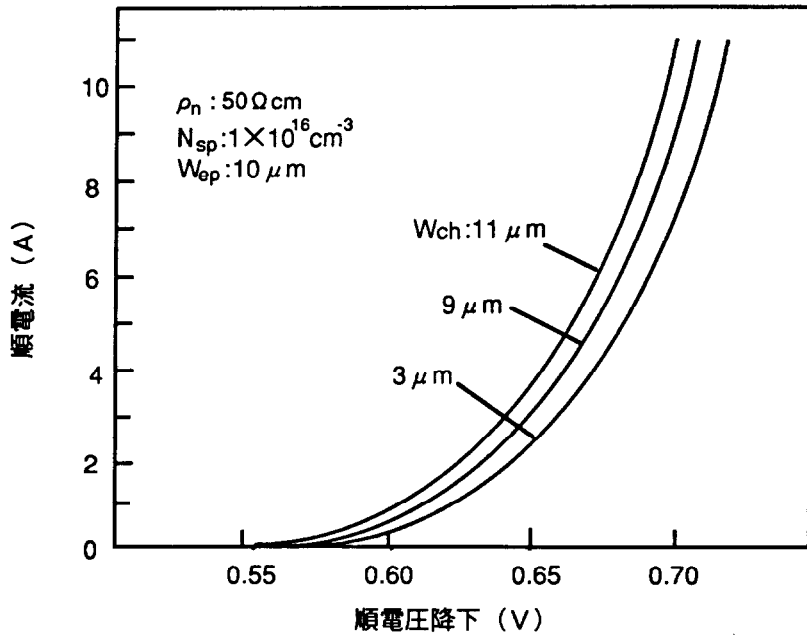


図 2.27 チャンネル幅を変えたときの順方向電圧—電流特性

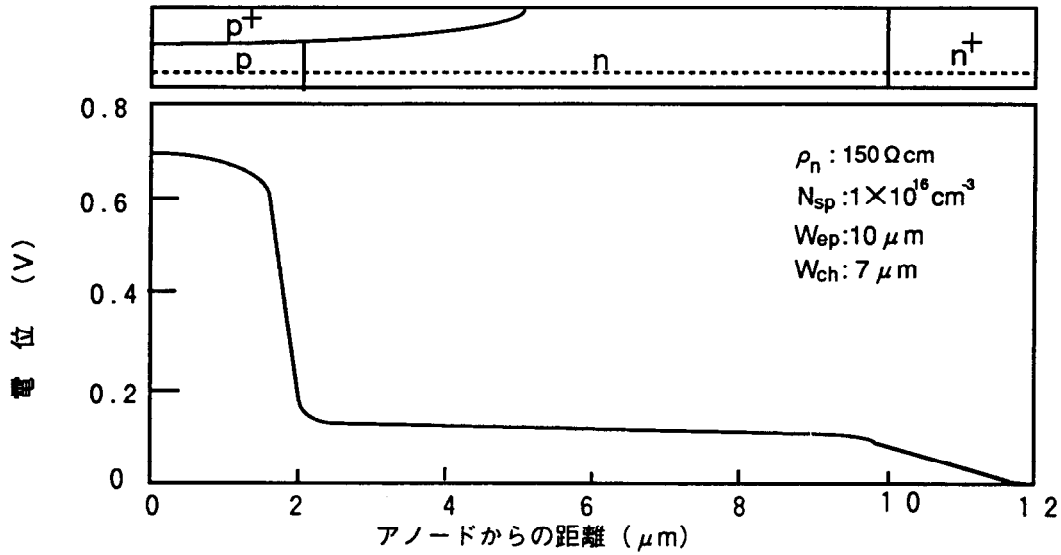


図 2.28 チャンネル部中心線上の電位分布

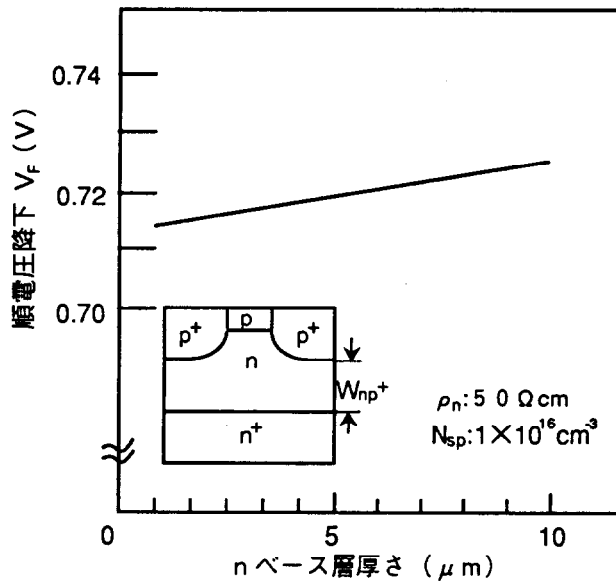


図 2.29 nベース層の厚さと順電圧降下の関係

を $2\mu\text{m}$ から $10\mu\text{m}$ まで変えても、順電圧の変化は 0.01V 程度である。

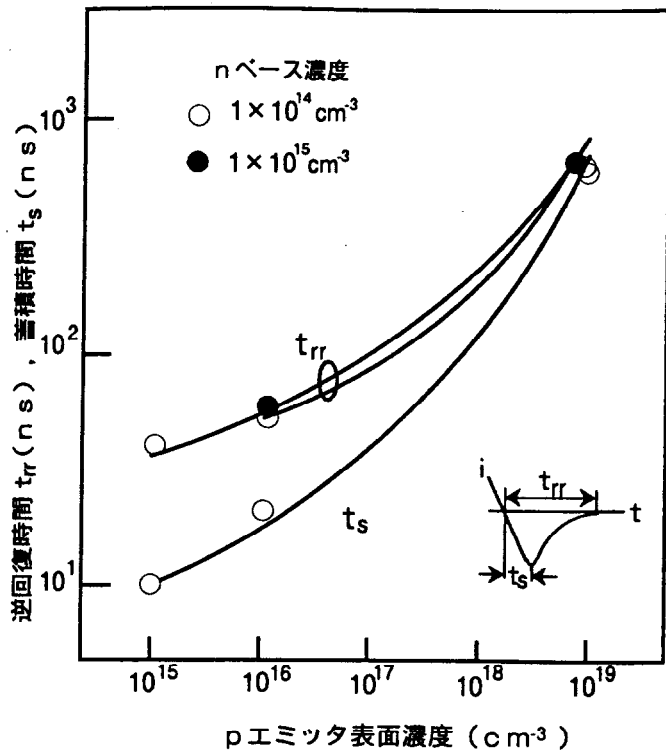
(c) 逆回復特性

図 2.30 は逆回復特性 (逆回復時間 t_{rr} , 蓄積時間 t_s , 逆回復電流尖頭値 I_{rp} , 逆回復電流変化率 di_R/dt , 逆回復電荷量 Q_r) の p エミッタ層表面濃度 N_{sp} 依存性を示す。p 層の厚みが $2\mu\text{m}$ の場合であるが、 $1\mu\text{m}$ の場合、および各層のキャリア・ライフタイムを $1/100$ に小さくしても、 $N_{sp} \leq 1 \times 10^{16} \text{cm}^{-3}$ では、ほぼ同じ結果になった。p エミッタ層の厚みが $1 \sim 2\mu\text{m}$ で、p エミッタ層表面濃度が低くなるに従って、 t_{rr} , t_s , I_{rp} , dI_R/dt , Q_r はいずれも減少し、高速でソフトに逆回復するようになる。即ち、逆回復特性は良くなってゆく。

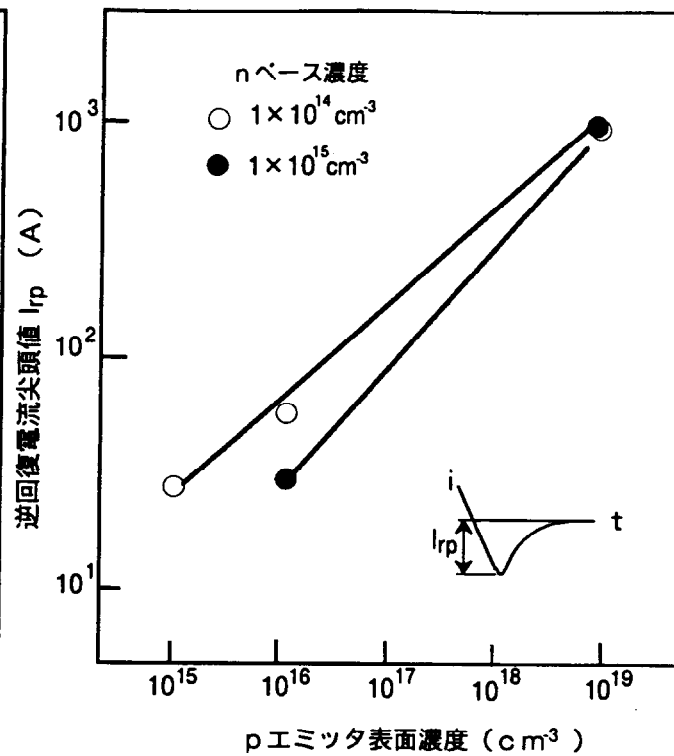
図 2.31 は n ベース層の抵抗率を変えた場合の逆回復電流波形を示す。また、図 2.32 はそのときの逆回復時の素子内部のキャリア (電子) 濃度分布の時間変化を示す。n ベース層の抵抗率が $5\Omega \cdot \text{cm}$ と $50\Omega \cdot \text{cm}$ の場合である。図より n ベース層の抵抗率が低い $5\Omega \cdot \text{cm}$ の方が逆回復時の尖頭電流値 I_{rp} が小さく、 I_{rp} に達した後の逆電流の変化も緩やかであり、所謂ソフトリカバリーな特性になっている。これを図 2.32 の内部のキャリアの変化から考察してみる。先ず、順電流が 5A 流れている状態では、n ベースでの電子濃度分布は (a), (b) と同じであり、ベース層の抵抗率が高い (b) $\rho_n = 50\Omega \cdot \text{cm}$ の方が過剰キャリア (蓄積キャリア) は多い。時刻 $t = 16\text{ns}$ での電子濃度をみると、 $\rho_n = 5\Omega \cdot \text{cm}$ の場合、接合からほぼ $1\mu\text{m}$ の位置で不純物濃度と等しくなっているのに対し、 $\rho_n = 50\Omega \cdot \text{cm}$ の場合は $0.4\mu\text{m}$ 程度である。接合の回復は $\rho_n = 50\Omega \cdot \text{cm}$ の方が速いといえる。一方、 $\rho_n = 5\Omega \cdot \text{cm}$ の場合は $t = 16\text{ns}$ で丁度 I_{rp} に到達し、接合がやっと回復した状態であることが分かる。この後は抵抗の高い $\rho_n = 50\Omega \cdot \text{cm}$ の方が空乏層が広がり易いため、ベース層の蓄積キャリアは急激に掃き出されてゆく。これに対し、 $5\Omega \cdot \text{cm}$ の場合には空乏層が広がりにくいこともあってベース層の掃き出しは緩やかである。これがソフトリカバリーな電流波形となって現われる。以上のように、逆回復特性に関しては n ベース層の抵抗率が低い方がソフトリカバリーな特性を実現でき望ましいと云える。

(d) 耐圧とオン電圧のトレードオフ

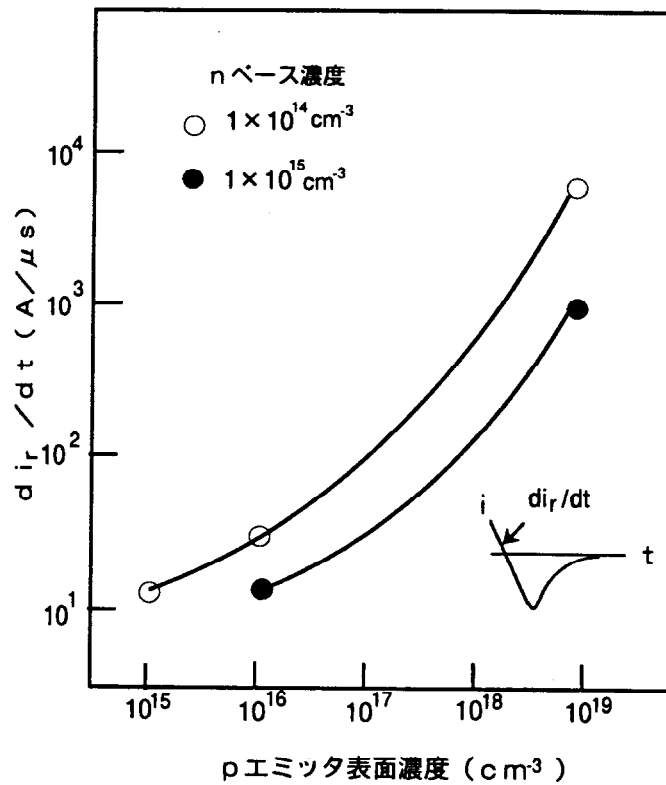
図 2.33 はこれまでの計算結果に基づいて素子の構造パラメータと素子の耐圧および順電圧の関係をまとめたものである。n ベース層の抵抗率 (不純物濃度) が $150\Omega \cdot \text{cm}$ と同じであるとき、p エミッタ層の不純物濃度が異なっても、チャンネル幅と耐圧の関係は良く似ている。一方、n ベース層の抵抗率が低



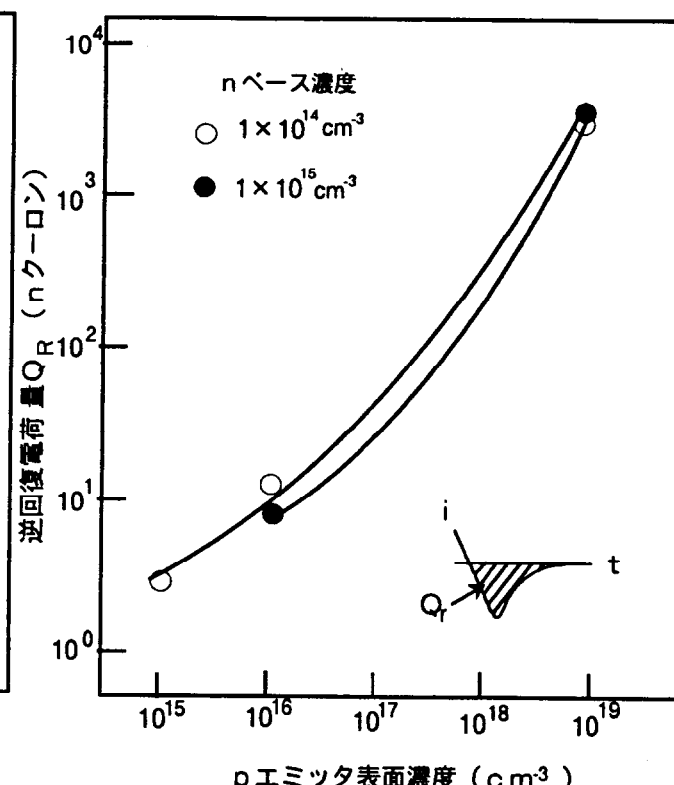
(a) 逆回復時間、蓄積時間



(b) 逆回復電流尖頭値



(c) 逆回復電流変化率



(d) 逆回復電荷量

図2.30 逆回復特性とpエミッタ表面不純物濃度の関係

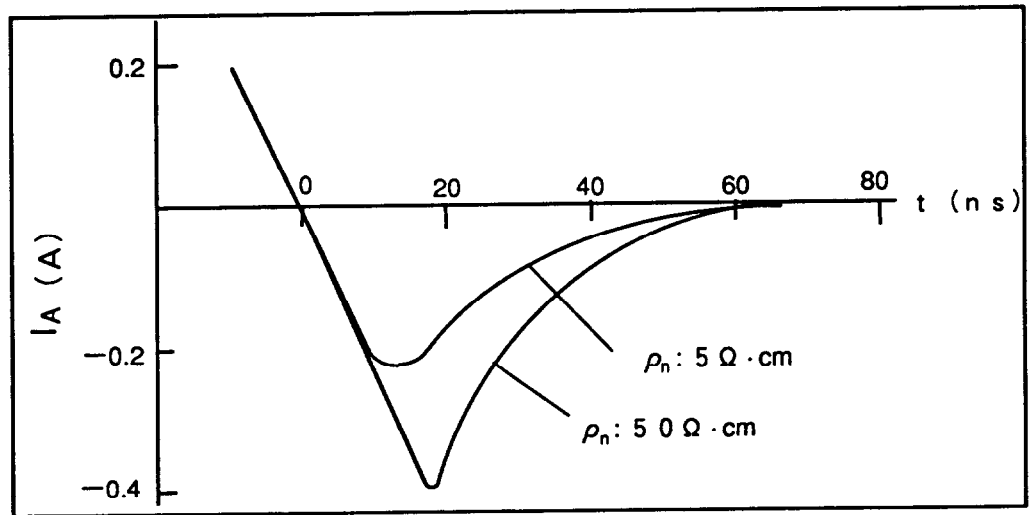
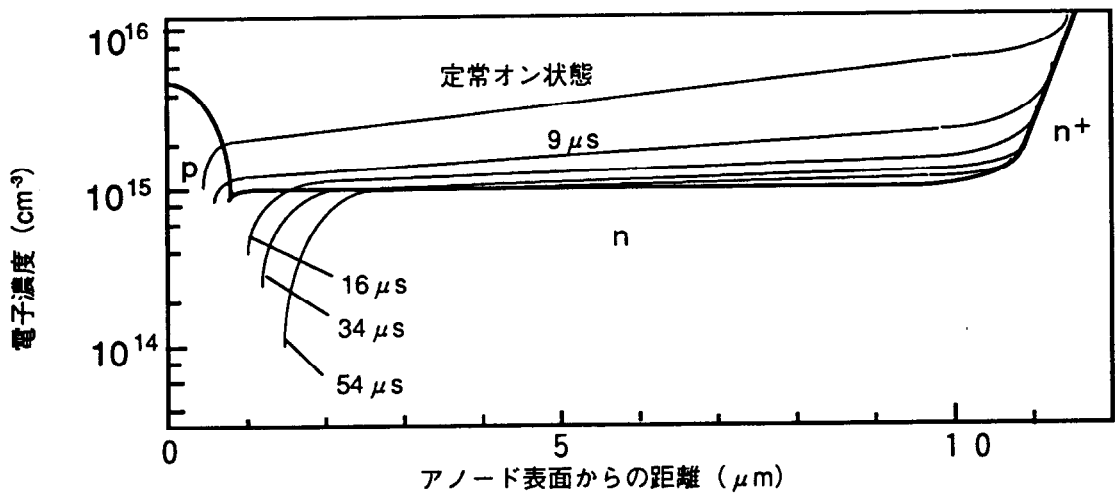
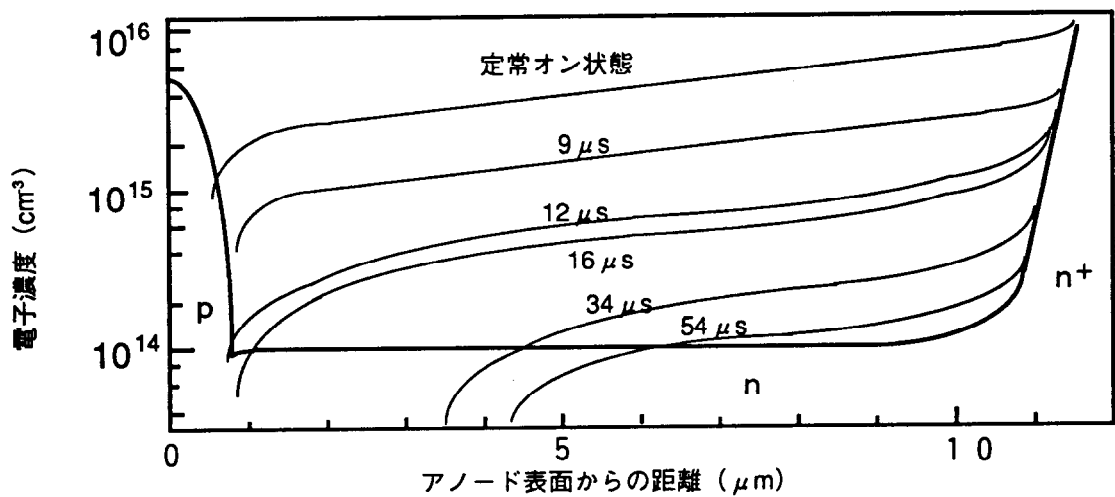


図 2.3 1 n ベース抵抗率を変えた場合の逆回復電流波形



(a) n ベース抵抗率 $\rho_n: 5 \Omega \cdot \text{cm}$



(b) n ベース抵抗率 $\rho_n: 50 \Omega \cdot \text{cm}$

図 2.3 2 n ベース抵抗率と逆回復時の電子濃度の時間変化

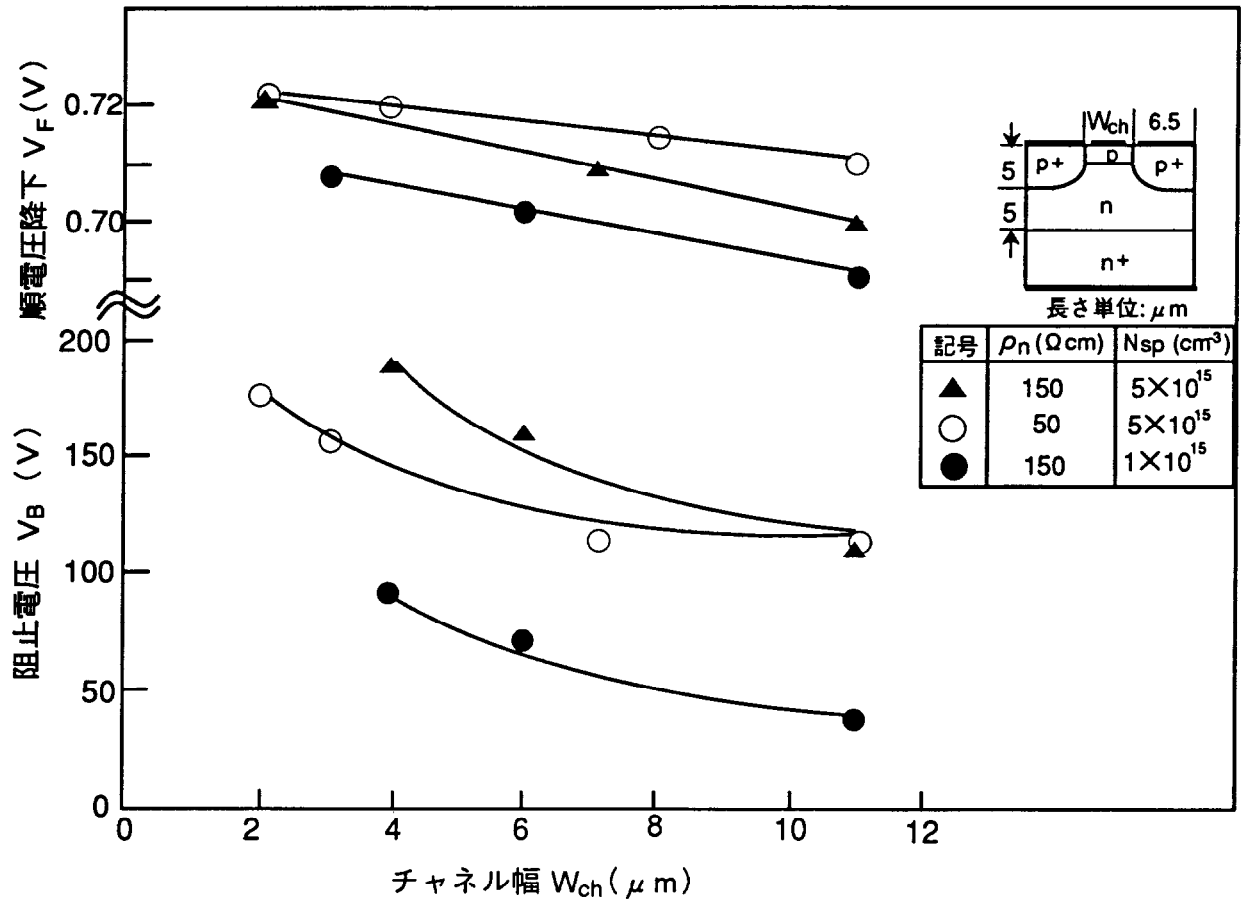


図 2.3 3. チャンネル幅と阻止電圧、順電圧降下の関係

い場合には、耐圧のチャネル幅依存性は弱い。nベース層の抵抗率が低いほど同一電圧での空乏層の伸びが小さくなり、ピンチオフの効果が弱まるためである。nベース層不純物濃度が $3 \times 10^{13} \text{ cm}^{-3}$ で、pエミッタ層表面不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ の場合、チャネル幅を $11 \mu\text{m}$ から $4 \mu\text{m}$ へ変えると耐圧は 110 V から 190 V まで高くなる。これに対してチャネル幅の違いによる順電圧の変化は小さく、耐圧 50 V 以上の場合、 $0.70 \sim 0.73 \text{ V}$ の範囲にある。図における耐圧はアバランシ効果を含んでいない。アバランシ効果を考えた場合、最大電界が $2 \times 10^5 \text{ V/cm}$ のときアバランシエが起こるとする¹⁴⁾¹⁵⁾と、耐圧は約 150 V になる。

2.4 むすび

低濃度で薄いエミッタ層を持ち、チャネル構造を有する高速・低損失ダイオードを提案し、その特性を数値解析により予測した。本章で得られた結論を以下にまとめる。

- (1) nベース層の抵抗率を高くするほど、チャネル部のピンチオフ効果が強まるため広いチャネル幅でも耐圧を高くできる。
- (2) チャネルを狭くすると、主動作領域となる電流経路が狭くなるため順電圧降下は高くなる。
- (3) pエミッタ層の不純物濃度を低くすることで、高速でソフトな逆回復特性が得られる。
- (4) nベース層の抵抗率を高くすると、逆回復特性は耐圧とは逆に、むしろ悪くなる。

即ち、逆回復電流の尖頭値は大きくなり、リカバリー特性はハードになる。

参考文献

- 1) 清水、内藤、村上、寺沢、" 静電遮蔽型高速ダイオード"、電子通信学会 研究会資料 ED-84-3, p.15-20 (1984)
- 2) A.Nakagawa and M.Kurata, " Computer-Aided Design Consideration on Low-Loss p-i-n Diodes", IEEE Trans. on Electron Devices, ED-28, p.231 (1981)
- 3) 家坂ほか3名、" 高周波スイッチング電源用高効率素子"。電学会研究会資料 EDD-81-66, SPC-81-41 (昭56-9)
- 4) M.Naito, H.Matsuzaki and T.Ogawa, " High current characteristics of asymmetrical p-i-n diodes having low forward voltage drops", IEEE Trans. on Electron Devices, ED-23, No.8 Aug., p.945-949 (1976)
- 5) 西沢、寺崎、山本、" 高gm低出力インピーダンスFET"、電子通信学会 電子装置研究会資料、ED71-25, p.1-9 (1971)
- 6) B. M. Wilamowski, " Schottky Diodes with High Breakdown Voltage", Solid St. Electron., Vol.26, p.491 (1983)
- 7) B. J. Baliga, " The Pinch Rectifier: A Low-Forward-Drop High-Speed Power Diode", IEEE Trans. Electron Devices Lett. EDL-5, p.194 (1984)
- 8) Y. Amemiya et al., " Novel Low-loss and High Speed Diode Utilizing an Ideal Ohmic Contact ", IEEE Trans. Electron Devices, ED-29, p.236 (1982)
- 9) Y.Mochida, J-I.Nishizawa, T.Ohmi and R.K.Gupta, " Characteristics of Static Induction Transistors: Effects of Series Resistance", IEEE Trans. on Electron Devices, ED-25, No.8, July, p.761-767 (1978)
- 10) J.C. Irvin, " Resistivity of Bulk Silicon and of Diffused Layers in Silicon", Bell Syst. Tech. J. 41, p.388 (1962)
- 11) H.Wolf, " Silicon Semiconductor Data", International Series of Monograph of Semiconductors, Pergamon Press, p.501 (1969)
- 12) T.Toyabe et al., " A Two-dimensional Analysis of Semiconductor Devices ", Proc. of NASECODE 1 (1979)
- 13) M. Naito et al., " One-dimensional Analysis of Turn-off Phenomena for a Gate Turn-off Thyristor ", IEEE Trans. on Electron Devices, ED-26, p.226 (1979)
- 14) A.G. Chynoweth et al., " Internal Field Emission at Narrow Silicon and Germanium P-N Junctions," Phys. Rev., 118, P.425 (1960)
- 15) S.L. Miller, " Ionization Rates for Holes and Electrons in Silicon," Phys. Rev., 105, p.1246 (1957)

第3章 高速低損失ダイオードSSDの試作と評価

3.1 まえがき

本章では第2章で提案し、その特性をシミュレーションにより予測した高速・低損失ダイオードSSDの試作、評価結果¹⁾²⁾について述べる。試作ではSSDの機能確認を目標にkVクラスの高耐圧素子ではなく、150~250Vと電力用素子としては比較的、低い耐圧設定とした。これは、耐圧を得るためのターミネーション領域（端面領域）の必要面積が少ないため通電領域の面積を大きくとれることや、同じ耐圧クラスの既存のダイオードが数多くあるため性能比較がし易いと考えたためである。また、電流容量は10Aクラスと、これも電力用素子としては小さい。これはチップサイズを小さくして、出来るだけ多くの種類の試作素子を取り込むためである。試作は2回行い、第1回目の試作ではシミュレーションで得られた特性の確認を主眼にショットキバリア・ダイオードおよびpn接合ダイオードも併せて試作し特性を比較した。第2回目の試作ではチップサイズの縮小を目標にチャネル部の構造寸法を浅接合化した。これらの試作ではチャネルを形成する高濃度のp形不純物層、低濃度のpエミッタ層の濃度分布、深さおよびチャネル幅などを主なパラメータとした。そして試作素子の構造と順方向導通特性、逆方向漏れ電流特性および逆回復特性を評価した。

3.2 製作プロセスと試作素子の構造

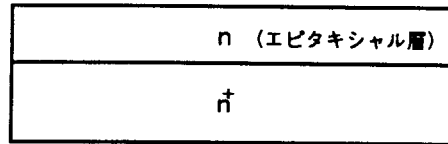
3.2.1 製作プロセス

図3.1はSSDの製作工程のフローチャートを示す。素材ウエハはアンチモン（Sb）ドーブ、抵抗率約 $0.02\Omega\cdot\text{cm}$ のn型単結晶であり、結晶軸が $[111]$ 、厚さは $350\mu\text{m}$ 、直径は 76mm である。エピタキシャル成長層は数回の試作の過程でその抵抗率を変えた。また、チャネル層を形成する高濃度のp形不純物層の厚みも試作当初では $5\mu\text{m}$ であったが、その後素子チップサイズの縮小を図るため $3\mu\text{m}$ まで薄くした。製造工程のお主なポイントは以下の通りである。

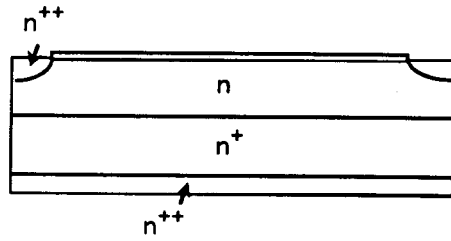
- (1) エピタキシャル成長層は $13\mu\text{m}$ と $18\mu\text{m}$ の2種類とした。
- (2) リンデポジションではチップ端部の耐圧を確保するためのターミネーション部を形成する。
- (3) ボロンデポジションではチャネル部を構成するp層を形成する。
- (4) ボロンイオン打ち込みではpエミッタ層となるp層を形成する。
- (5) SiO_2 膜とPSG膜を連続的に形成して、チップの表面保護膜とする。

3.2.2 試作素子の構造

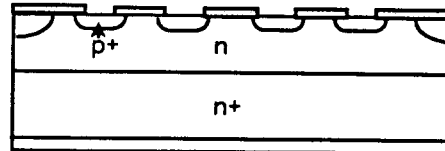
(1) 基板ウェハ
 $n^+ : 0.02 \Omega \cdot \text{cm}$
 n : エピタキシャル成長層



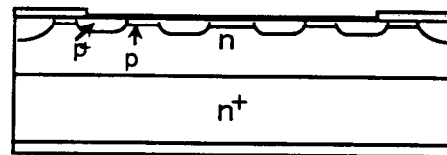
(2) 第1酸化
 第1 ホトリソグラフィ
 リン・デポジション



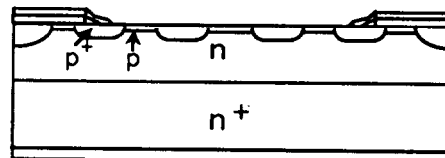
(3) 第2酸化
 第2 ホトリソグラフィ
 ボロン・デポジション
 ボロン拡散



(4) 第3 ホトリソグラフィ
 第3 酸化
 ボロン・イオン打ち込み
 アニール



(5) 表面保護膜形成
 デンシファイ
 第4 ホトリソグラフィ



(6) カソード電極形成
 アノード電極形成
 第5 ホトリソグラフィ
 シンタリング

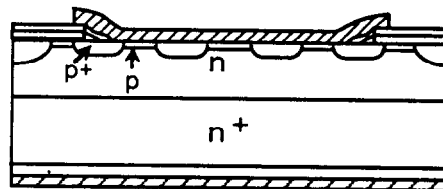


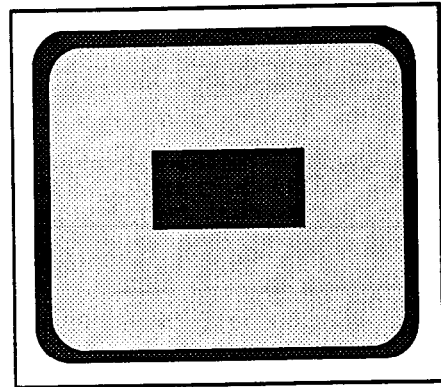
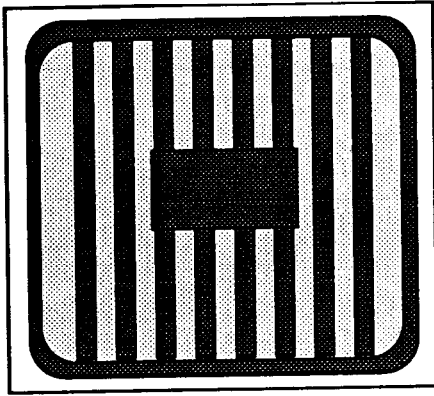
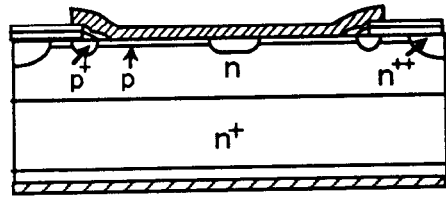
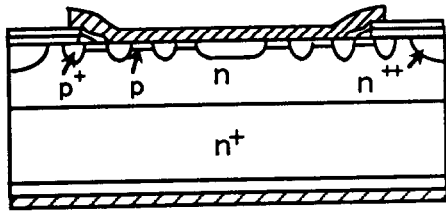
図 3.1 製造工程のフローチャート

図3.2は試作したチップの断面構造と平面パターンを示す。同図(a)は本研究の対象であるSSDを示し、ストライプ状のユニット素子を繰り返した構造になっている。比較のために(b)のような高濃度の p^+ 層がなくチャンネル構造を形成しない素子、(c)のようなエミッタ全体が高濃度の p^+ 層である従来のpn接合素子および(d)のようなpエミッタ層のないショットキ・タイプの素子も試作した。(a)～(d)はいずれも同一ウェハ内に形成した。チップサイズは4.1mm角であり、素子の有効面積は 12.25mm^2 である。

表3.1は試作素子の要部の構造寸法を、表3.2および表3.3は試作素子の接合構造寸法の一覧表である。表3.2はnベース層の抵抗率が $300\Omega\cdot\text{cm}$ と比較的高く、確実に耐圧を得ることを念頭に置いたものである。これに対して表3.3では抵抗率を $7\Omega\cdot\text{cm}$ および $50\Omega\cdot\text{cm}$ と低くして、逆回復特性の向上を図ったものである。

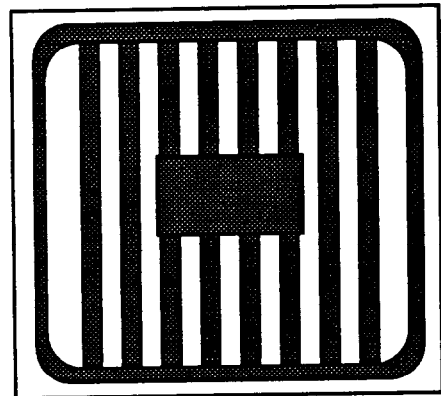
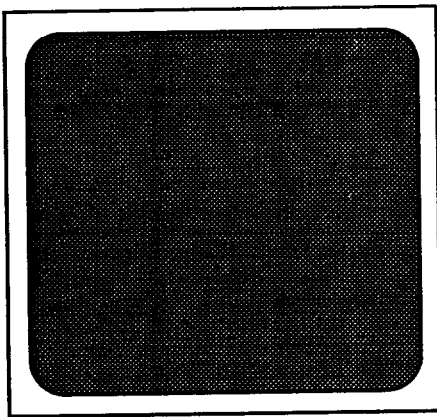
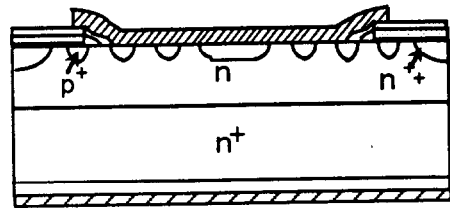
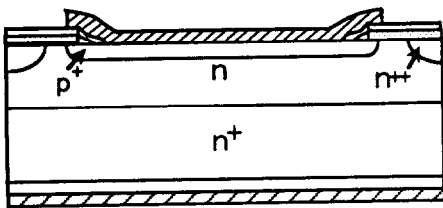
図3.3は試作素子の構造断面を示す。図3.3の構造で次の2点に特に留意した。1つは素子の耐圧がチップ端部で制限されないようにすることである。もう1つは、アノード側の電極の形成時に、浅くて濃度の低いpn接合が損なわれないようにすることである。第1の点に関しては、チップの端部にガードリングを設けると共に、 SiO_2 膜を保護膜とするフィールドプレート付きのプレーナ構造とすることで対処した。また、第2の点の対策としてIC、LSIで実績のあるAlSiを電極膜として用いることにした。さらにリード線の接続はAl線の超音波ボンディングとし、チップ中央部に $1.1\times 1.6\text{mm}$ の大きさの p^+ 領域をとってボンディングパッドとした。この方式では順方向通電時に細いリード線での電圧降下が出てしまうが、浅い接合を確実に保護するためこの方式を採用した。

エピタキシャル層の厚さ W_{ep} が $13\mu\text{m}$ の素子は p^+n^+ 接合の耐圧として 150V を設計目標としている。計算上は図2.19に示すように $10\mu\text{m}$ 程度で良いが、製造工程中の熱処理で n^+ 基板の不純物がn層側にわき上がりを生じ、n層が実質的に薄くなることを考慮して厚めにした。 $W_{ep}=18\mu\text{m}$ の素子は耐圧に余裕を持たせたものである。pn接合の深さは $2\mu\text{m}$ と比較的深い。これは、アノード側電極として用いるAl-Si電極膜の厚さが $5\mu\text{m}$ とかなり厚いことから、熱処理のときの反応で接合が喰われないように大事をとったものである。エミッタであるp層のイオン打ち込み量としては、表記の4水準とした。SSD構造素子ではnベース層の抵抗率およびチャンネル幅 W_{ch} を変えた。チャンネル幅 W_{ch} には、 p^+ 層を形成するボロンの横方向拡散が関与する。一応の目安としてホトマスク寸法より縦方向拡散深さだけ横方向に広がる



(a) チャンネル型
(Type A, D)

(b) p n n⁺型
(Type C, F)



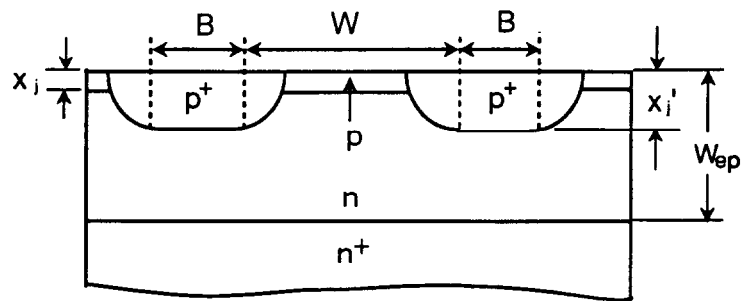
(c) p⁺ n n⁺型
(Type B, E)

(d) ショットキ型
(Type G, H)

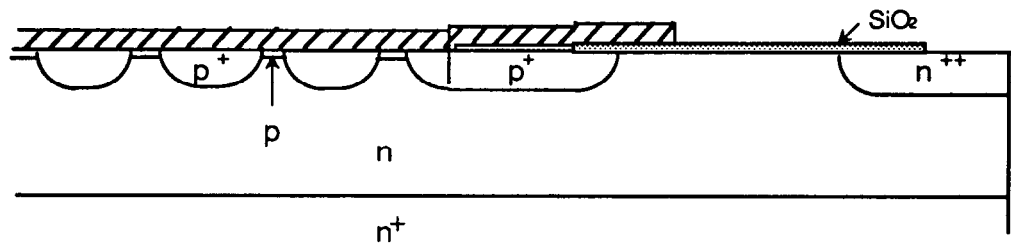
図 3.2 試作素子の断面構造と平面パターン

表 3.1 試作素子の設計寸法

構造パラメータ	設計値
エピタキシャル層濃度 N_n (cm^{-3})	1×10^{14} 以下
エピタキシャル層厚さ W_{ep} (μm)	1.3, 1.8
p^+ 層厚さ x_j' (μm)	2.0
p 層厚さ x_j (μm)	5.0
p 層形成イオン打ち込み量 Φ_B (cm^{-2})	0.5×10^{11} , 1×10^{12} , 1×10^{13}
チャンネル幅 W (μm) (マスク寸法)	1.0, 1.2, 1.4, 1.6, 2.6
p^+ 層マスク寸法 B (μm)	6.0



(a) 中心部



(b) 端部

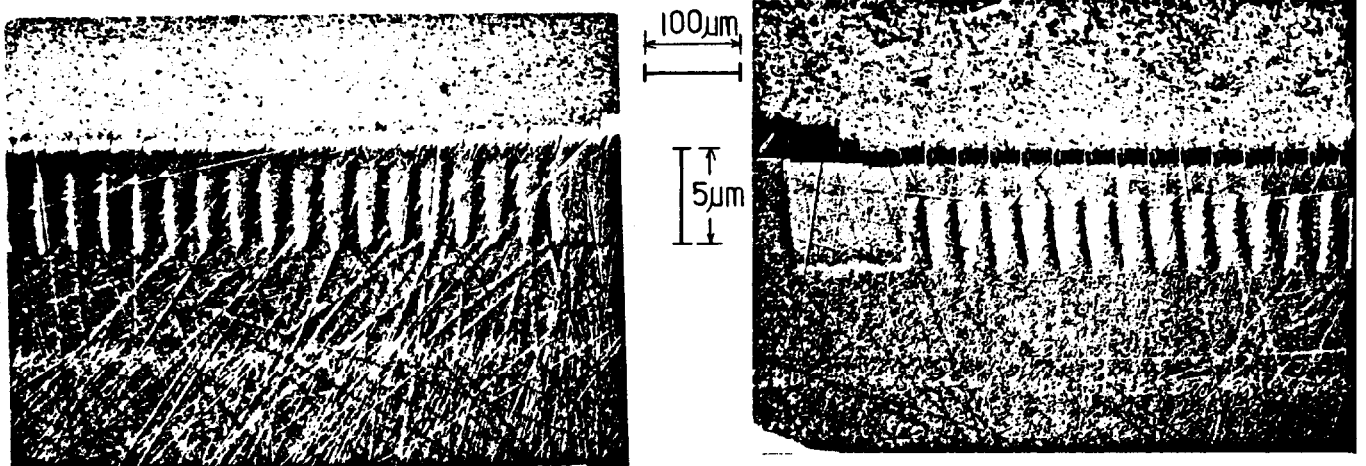
図 3.3 試作素子の構造

表 3.2 試作素子の構造寸法一覧 (抵抗率: $300 \Omega \cdot \text{cm}$)

素子構造 No.	n ⁻ 層		p ⁻ 層		p ⁺ 層		チャンネル幅 W_{ch} (μm)
	抵抗率 ($\Omega \cdot \text{cm}$)	厚さ (μm)	ドーズ量 (cm^{-2})	厚さ (μm)	表面濃度 (cm^{-3})	厚さ (μm)	
1	300	13	0	—	4×10^{18}	5	0,2,4,6,16
2	300	13	5×10^{11}	2	↑	↑	↑
3	300	13	1×10^{12}	↑	↑	↑	↑
4	300	13	1×10^{13}	↑	↑	↑	↑
5	300	18	0	—	↑	↑	0,2,4,6,16
6	300	18	5×10^{11}	2	↑	↑	↑
7	300	18	1×10^{12}	↑	↑	↑	↑
8	300	18	1×10^{13}	↑	↑	↑	↑

表 3.3 試作素子の構造寸法一覧 (抵抗率: $7, 50 \Omega \cdot \text{cm}$)

素子構造 タイプ	n ⁻ 層		p ⁻ 層		p ⁺ 層		チャンネル幅 W_{ch} (μm)
	抵抗率 ($\Omega \cdot \text{cm}$)	厚さ (μm)	表面濃度 (cm^{-3})	厚さ (μm)	表面濃度 (cm^{-3})	厚さ (μm)	
A (SSD)	50	18	5×10^{15}	2	4×10^{18}	5	0,2,4,6,16
B (p ⁺ nm ⁺)	50	18	—	—	4×10^{18}	5	—
C (pnn ⁺)	50	18	5×10^{15}	2	—	—	—
D (SSD)	7	20	5×10^{15}	2	4×10^{18}	5	0,2,4,6,16
E (p ⁺ nm ⁺)	7	20	—	—	4×10^{18}	5	—
F (pnn ⁺)	7	20	5×10^{15}	2	—	—	—
G (SBD)	50	18	—	—	—	—	—
H (SBD)	50	18	—	—	4×10^{18}	5	6



(a) $\Phi_B : 5 \times 10^{11} \text{cm}^{-2}$

(b) $\Phi_B : 1 \times 10^{12} \text{cm}^{-2}$

図 3.4 試作SSDの断面顕微鏡写真

とし、マスク上のチャンネル幅 W を決めた。 $W=10\mu\text{m}$ がほぼ $W_{\text{ch}}=0\mu\text{m}$ に相当するので、表記の W の値で W_{ch} がほぼ0から $16\mu\text{m}$ 程度の範囲をカバーする。ボロンの拡散窓 B は狭いほどチップの面積利用率が上がるが、現状の製作プロセスでは $3\mu\text{m}$ 程度が限界であることからその2倍の $6\mu\text{m}$ とした。

図3.4は試作したSSDの断面顕微鏡写真である。同図(a)はpエミッタ形成のためのボロン・イオン打ち込み量が $5\times 10^{11}\text{cm}^{-2}$ の場合であり、(b)は $1\times 10^{12}\text{cm}^{-2}$ の場合である。pエミッタ層の周囲に深いチャンネル領域が形成されていることが分かる。

3.3 試作素子の特性

3.3.1 逆方向特性

図3.5はチャンネル幅、pエミッタドーザ量を変えた場合の耐圧の分布図である。nベース層であるエピタキシャル層の抵抗率 $300\Omega\cdot\text{cm}$ 、厚さ $15\mu\text{m}$ の場合である。このときのアバランシ電圧はおおよそ 145V である。図において、イオン打ち込み量 Φ_{B} が0の素子は、通常のショットキダイオードである。これらの素子は全数とも耐圧は 100V 以下であった。これをチャンネル形にすると、 W_{ch} が狭くなるに従って耐圧が高くなってゆく。 W_{ch} が $6\mu\text{m}$ になると 100V を超える。しかし、アバランシ電圧までにはならない。 W_{ch} が $4\mu\text{m}$ 以下になるとアバランシ電圧が得られている。このように $\Phi_{\text{B}}=0$ の素子では、チャンネル構造が耐圧を確実にする様子が良くわかる。前項の解析結果によれば、p層のない素子では十分な耐圧が得られない結果が出ているが試作結果では、チャンネル幅を狭くすることである程度の耐圧が得られた。これは計算では金属電極とシリコンの接触が完全にオーミックであると仮定しているが、実際にはnベース層の不純物濃度が低いためショットキ障壁が出来ているためと考えられる。Bイオンを打ち込んでpn接合を作ると、障壁が強くなるので耐圧が上がる。即ち、 Φ_{B} が $5\times 10^{11}\text{cm}^{-2}$ の素子では、p⁻形(Type C)でも耐圧が 100V を超える。但し、電圧-電流特性はソフトである。これをチャンネル形にすると耐圧が確実となり、 $W_{\text{ch}}=16\mu\text{m}$ でもアバランシ耐圧が得られている。 Φ_{B} が $5\times 10^{11}\text{cm}^{-2}$ 以上ではp⁻形でもアバランシ耐圧となる。

図3.6はエピタキシャル層の厚さが $18\mu\text{m}$ の場合である。この場合も図3.5と同様な傾向が見られる。但し、耐圧は高くなっている。この場合、 Φ_{B} が $5\times 10^{11}\text{cm}^{-2}$ でも、狭いチャンネル幅で耐圧が上がる様子が分かる。即ち、 W_{ch} が $16\mu\text{m}$ には耐圧が、やや不十分であるが、 W_{ch} が $6\mu\text{m}$ ではピンチオフの効果が十分現われて、耐圧が上がり切っている。 $\Phi_{\text{B}}=5\times 10^{11}\text{cm}^{-2}$ は、前述のように表面濃度

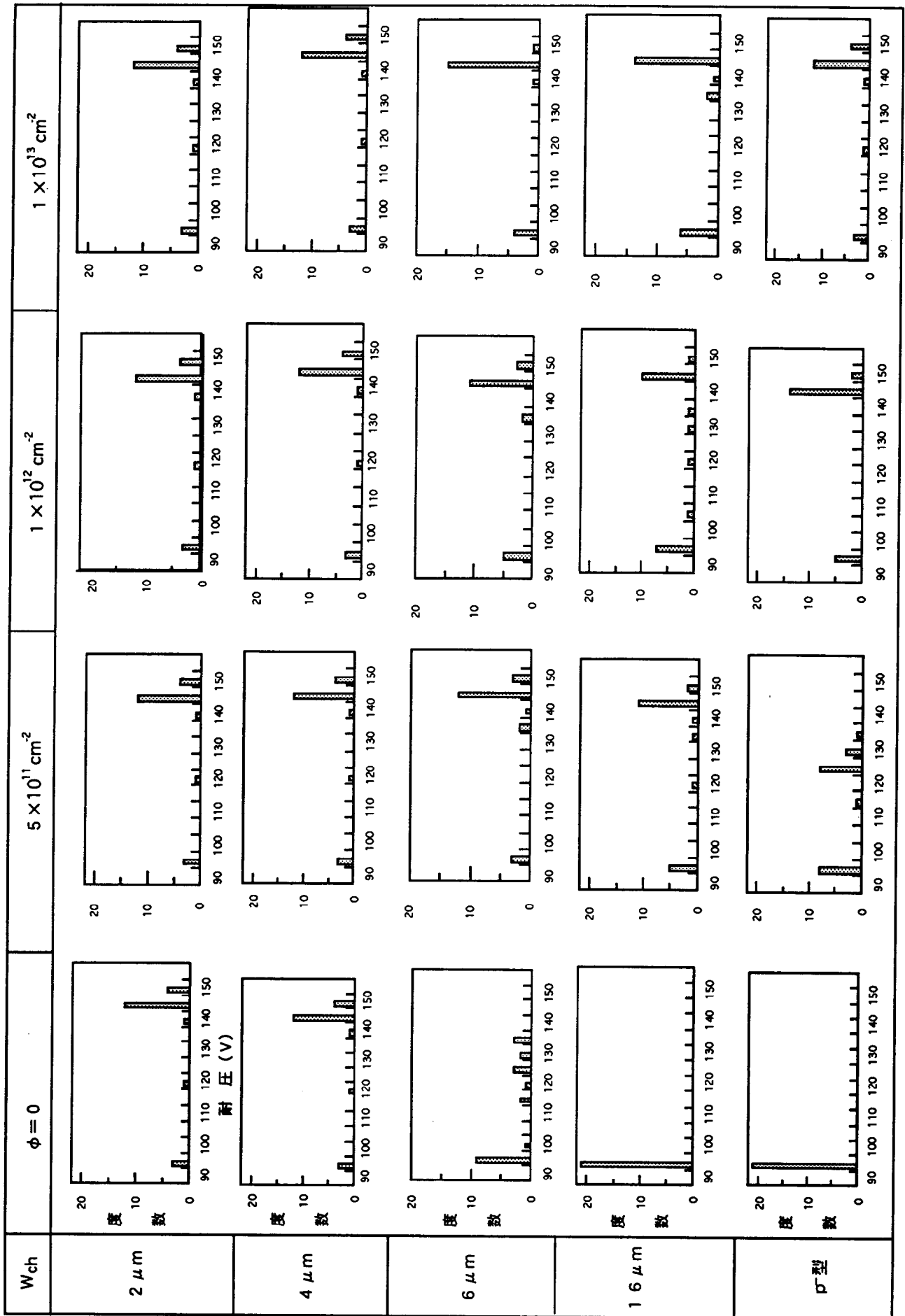


図 3.5 試作素子の耐圧分布 (Wep : 13 μm)

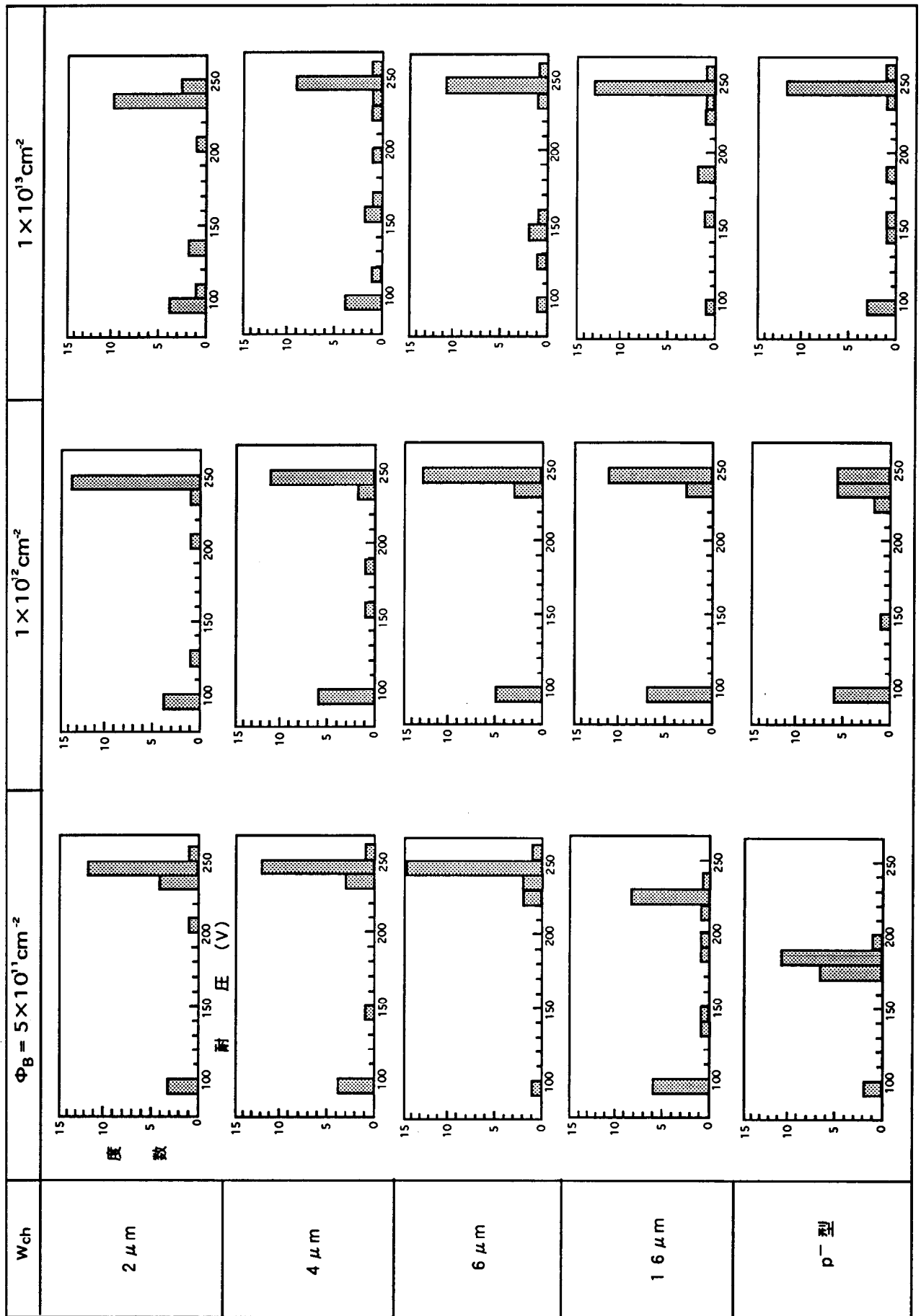


図 3.6 試作素子の耐圧分布 ($W_{ep}: 18 \mu\text{m}, 250 \text{ V}$ 素子)

$6 \times 10^{15} \text{ cm}^{-3}$ 程度に対応する。ここで、図2.16に示した計算結果と図3.6中の

$\Phi_B = 5 \times 10^{11} \text{ cm}^{-2}$ の結果を比べると試作素子では計算結果よりもずっと広いチャネル幅で、耐圧が $p^+n n^+$ 接合のアバランシ電圧まで上がっている。理由として、エピタキシャル層である n ベース層の抵抗率が計算条件に比べて極めて高いことが考えられる。抵抗率が高いほど p^+n 接合の空乏層の横方向の伸びが大きいことから、耐圧を保持可能なチャネル幅が広がるためと考えられる。

次に、エピタキシャル層の抵抗率が $7 \Omega \cdot \text{cm}$, $50 \Omega \cdot \text{cm}$ の2種類の素子の逆方向電圧-電流特性を調べた。図3.7は 150°C での試作素子の逆方向電圧-電流特性を示す。漏れ電流は従来の $p^+n n^+$ 素子 (Type B, E) が最も小さく、ショットキ型素子 (Type G) が最も大きい。 n ベース層の抵抗率 ρ_n が $50 \Omega \cdot \text{cm}$ のSSD (Type A) は $7 \Omega \cdot \text{cm}$ のSSD (Type D) に比べ漏れ電流は小さい。また、チャネル構造を持たない $p n n^+$ 素子 (Type C) はSSDに比べ、漏れ電流はほぼ1桁大きい。これらは図2.13 ~ 2.16で示したピンチオフの強さの違いによって説明できる。一方、 $6 \mu\text{m}$ のチャネル幅をもつSSD (Type A) は、同じ $6 \mu\text{m}$ のチャネル幅をもつショットキタイプの素子 (Type H) に比べ、漏れ電流は約 $1/3$ と小さい。 n 層の抵抗率 ρ_n が $50 \Omega \cdot \text{cm}$ および $7 \Omega \cdot \text{cm}$ の素子の降伏電圧は、それぞれ 290 V および 265 V であり、これは $p n n^+$ 領域のアバランシ降伏電圧である。また、図2.17で示したように $50 \Omega \cdot \text{cm}$ の素子に比べ $7 \Omega \cdot \text{cm}$ の素子の方がパンチスルー電圧が低いため $7 \Omega \cdot \text{cm}$ の素子では漏れ電流は低電圧から大きくなっている。

図3.8は図3.7より求めた ρ_n が $50 \Omega \cdot \text{cm}$ の素子のチャネル幅 W_{ch} と阻止電圧の関係を示す。阻止電圧は漏れ電流が $5 \times 10^{-4} \text{ A}$ のときの電圧とした。阻止電圧はチャネル幅が狭くなるにつれて高くなり、チャネル幅 W_{ch} が $16 \mu\text{m}$ から $2 \mu\text{m}$ まで変わると阻止電圧は 180 V から 280 V まで高くなる。チャネル構造を持たない $p^- n n^+$ 素子 (Type C) に比べてSSDの阻止電圧は2~3.5倍になっている。また、チャネル構造をもつショットキタイプの素子 (Type H) に比べ、同じチャネル幅をもつSSDの阻止電圧は約2倍になっている。

まとめ

(a) SSDではチャネル幅が狭くなるほど漏れ電流が小さくなり、耐圧を高くできる。

(b) SSD構造では、チャネル幅を $6 \mu\text{m}$ 程度に狭くすることで p エミッタ層のイオン打ち込み量を

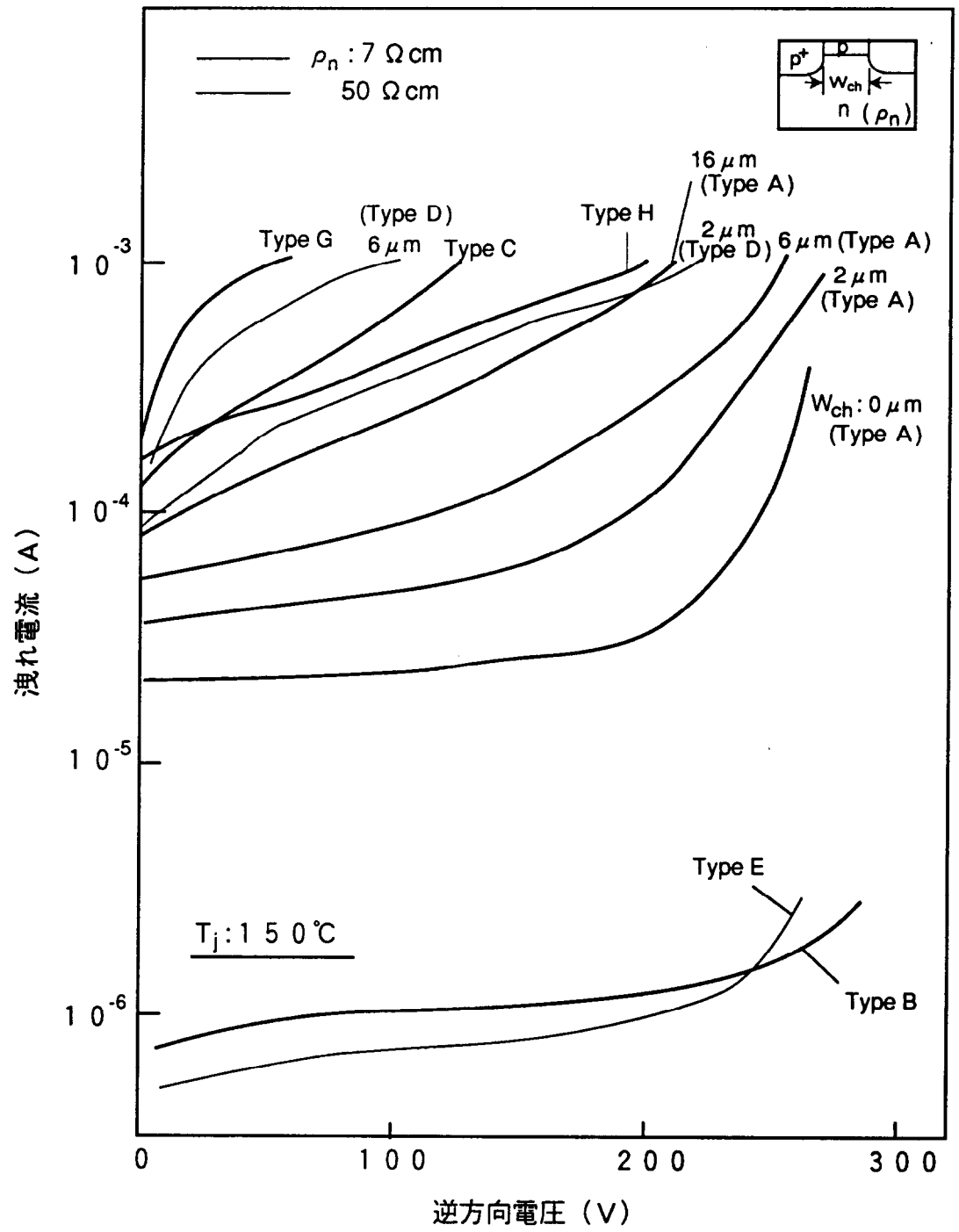


図 3.7 逆方向電圧—電流特性

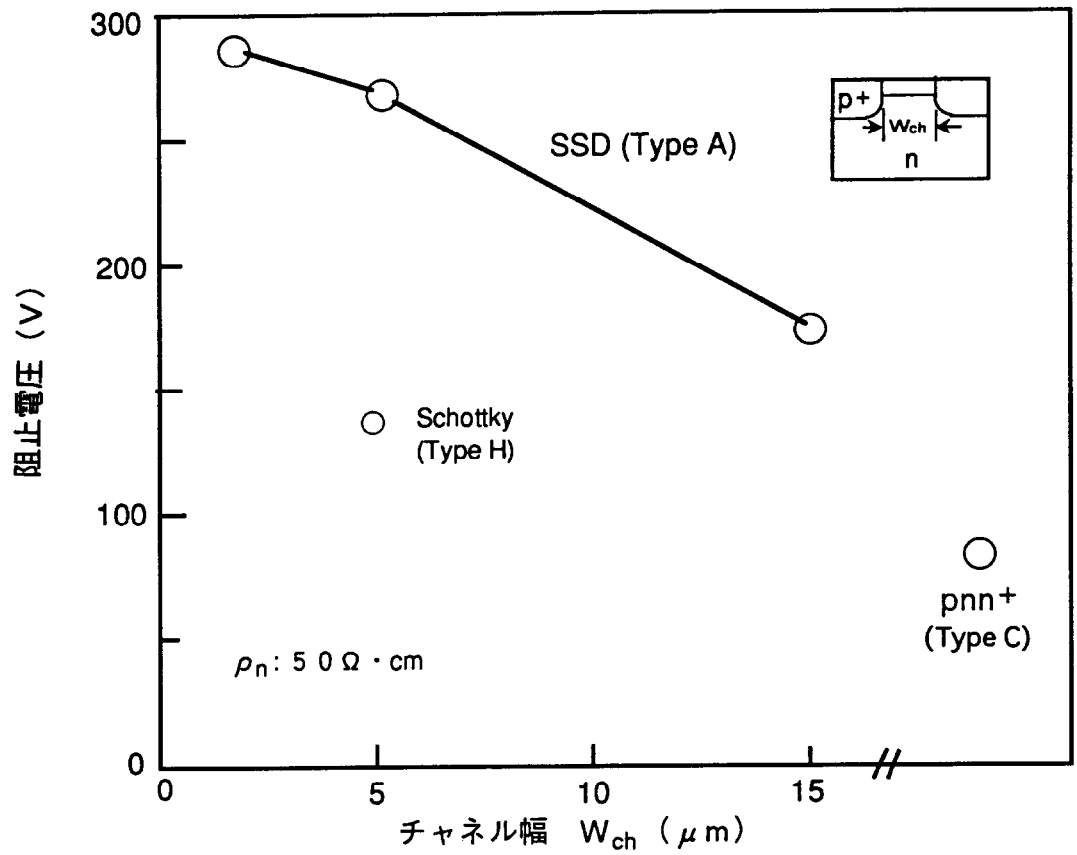


図 3.8 チャンネル幅と阻止電圧の関係

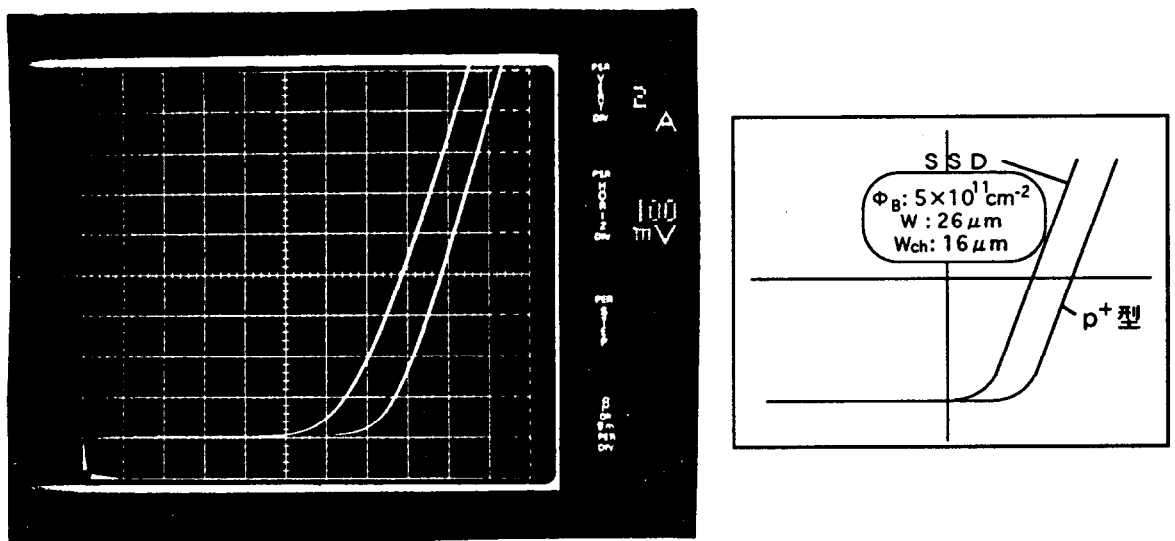


図 3.9 試作素子の順方向電圧—電流特性

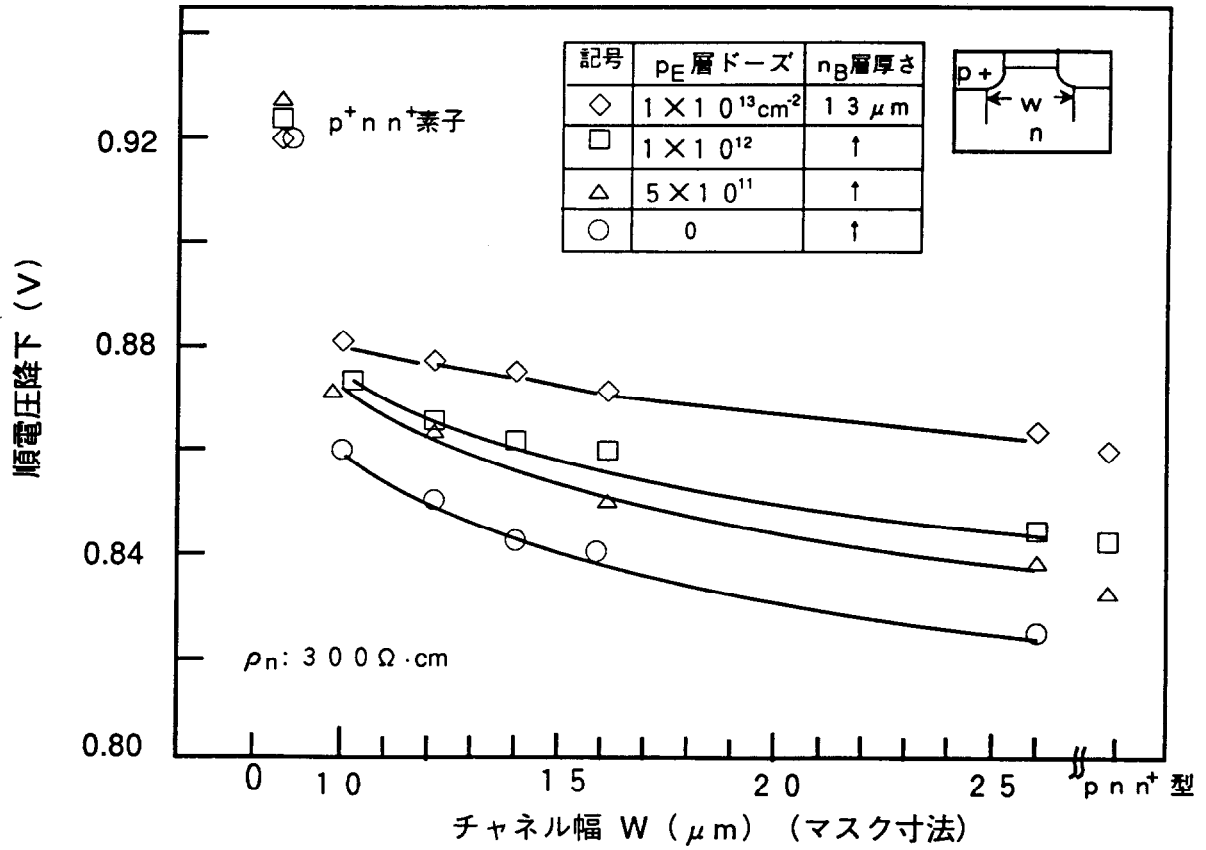
$5 \times 10^{11} \text{ cm}^{-2}$ 程度と低くしても従来のpn接合ダイオードに近い耐圧が得られる。

(c) nベース層の抵抗率が高いほうが、同じチャンネル構造でもピンチオフの効果が強まるため耐圧を高くできる。

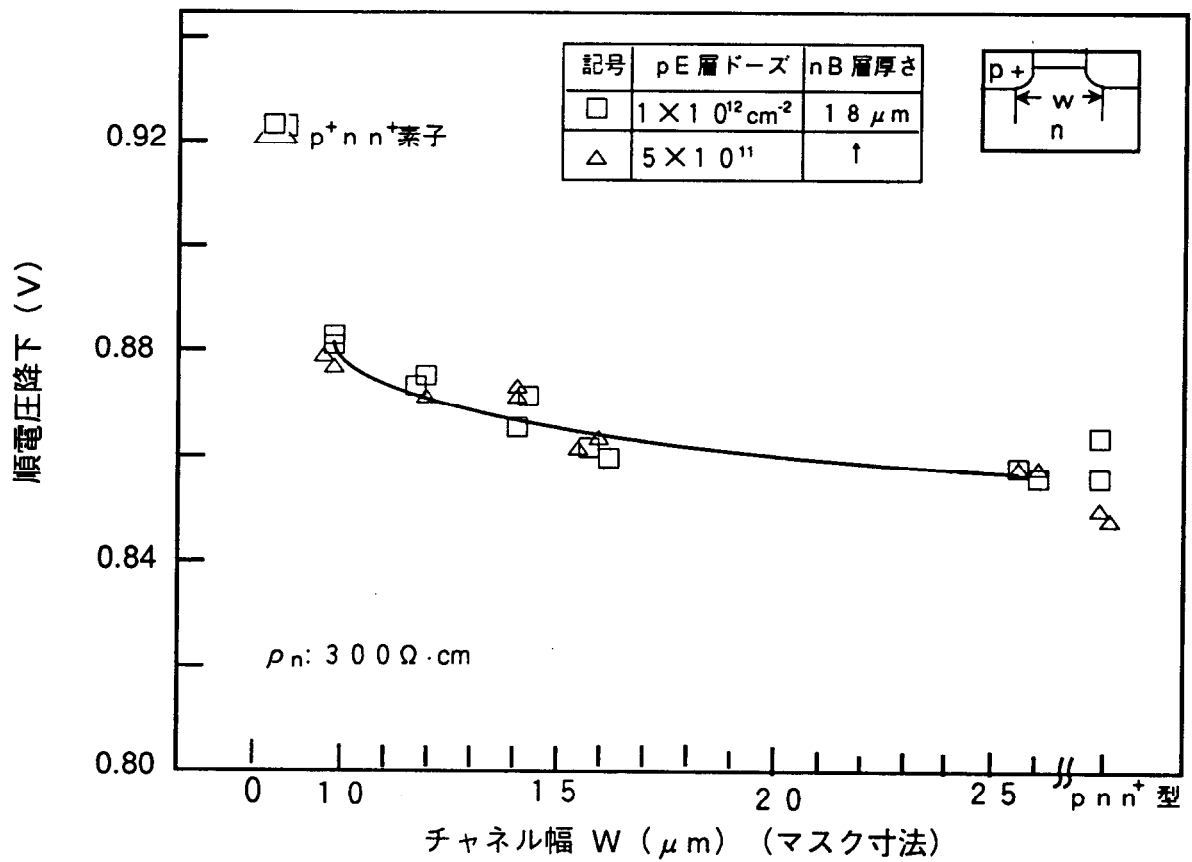
3.3.2 順方向特性

図3.9は試作した従来構造のpn接合ダイオードとSSDの順方向電圧-電流特性の例を示す。この電流スケールでは、pn接合ダイオードの電流立ち上がり電圧が約0.65Vであるのに対して、SSDでは約0.5Vと低くなっている。また、10Aでの順電圧降下(Forward Voltage Drop, FVD)もSSDはpn接合ダイオードよりも約0.08V低い。

図3.10はエピタキシャル層の厚さが $13 \mu\text{m}$ である150V級素子と $18 \mu\text{m}$ である250V級素子のチャンネル幅(マスク幅): W と順電圧降下の関係をまとめたものである。pエミッタのイオン打ち込み量をパラメータとしている。イオン打ち込み量が少ないほど順電圧降下が下がる様子が分かる。また、チャンネル幅が広いほど順電圧降下が低い。さらに、エピタキシャル層の厚さ $13 \mu\text{m}$ と $18 \mu\text{m}$ とでは順電圧降下の差は0.01~0.02Vである。これは前節の計算結果と同程度であり、 $W_{\text{ep}} = 18 \mu\text{m}$ にすると耐圧が高くなる割には順電圧降下の増加が少ない。図(a)に示されるように、 p^+nn^+ 接合素子の順電圧降下が0.92V~0.93Vであるのに対し、SSDでは $\Phi_B = 5 \times 10^{11} \sim 1 \times 10^{12} \text{ cm}^{-2}$, $W_{\text{ch}} = 16 \mu\text{m}$ のもので、ほぼ0.84Vまで下がる。ショットキ形の pnn^+ 型素子では更に順電圧降下は低いが、 W が $16 \mu\text{m}$ 以上では図2.33に示したように耐圧不良になるので、この領域は使えない。 $W: 10 \sim 16 \mu\text{m}$ のSSDと pnn^+ 型素子を比べると、順電圧降下はSSDの方が約0.02V高くなる程度である。順電圧降下のチャンネル幅依存性を見ると、チャンネル幅が $26 \mu\text{m}$ から $10 \mu\text{m}$ になっても順電圧降下の増加は高々0.02V程度である。チャンネル幅が $26 \mu\text{m}$ から $10 \mu\text{m}$ まで変わるとチャンネル部の面積は1桁以上異なることから、順電流がチャンネル部のみを流れるとすると、0.02V程度の差では収まらない。前節の計算結果のように、 p^+ 領域、特にその中でも拡散窓から横方向に拡散したボロン濃度の比較的低い領域をも電流が流れていると解釈される。この意味ではSSDは順方向の動作として、 p^+nn^+ 接合と pnn^+ 接合或いはショットキ接合が並列に動作している。チャンネル幅が小さくなると、チップ上で順電圧降下の高い p^+nn^+ 接合の占める割合が大きくなるので、素子の順電圧降下が上がる。なお、ショットキタイプ素子については、本ロットの素子ではnベース層の抵抗率が高いことから、多数キャリアのみで動



(a) 150V素子



(b) 250V素子

図3.10 チャンネル幅とオン電圧の関係

作するものとする 100 V 以上の順電圧降下が見込まれる。順電圧降下が低いのは電極からのホール注入によると考えられる。SSDの順電圧降下は計算では図2.23に示すように順電圧降下が $0.71\text{ V}\sim 0.72\text{ V}$ であるのに対し、試作素子では 0.84 V 程度までしか低くならない。これは実測ではパッケージ各部での電圧降下が加わるためと考えられる。また、チップ有効面積の違いが上げられる。計算では 4 mm 角のチップ全体に図2.10のようなユニット素子が配置されているのに対し、本試作素子では図3.3(b)に示すターミネーション領域を除いた接合面積約 0.11 cm^2 内にユニットが配置されている。従って、計算での順電流 10 A は、電流密度が試作素子の 7 A に相当する。このとき、図3.9から分かるように、 $\Phi_B=5\times 10^{11}\text{ cm}^{-3}$ 、 $W=26\mu\text{ m}$ ($W_{\text{ch}}=16\mu\text{ m}$)の素子の順電圧降下は 0.77 V である。

図3.11はチャンネル幅 W_{ch} と順電圧降下の関係を示す。nベース層の抵抗率を $7\Omega\cdot\text{cm}$ および $50\Omega\cdot\text{cm}$ と変えた場合の特性である。順電流が 10 A の場合であり、電流密度は 80 A/cm^2 である。nベース層の抵抗率 ρ_n が $50\Omega\cdot\text{cm}$ と $7\Omega\cdot\text{cm}$ のSSDではチャンネル幅と順電圧降下の関係は変わらない。SSDの順電圧は従来の p^+nn^+ 素子 (Type B, E) に比べ $60\sim 85\text{ mV}$ 低いのに対し、 pnn^+ 素子 (Type C, F) に対しては $5\sim 25\text{ mV}$ 高くなるに過ぎない。チャンネル幅 W_{ch} が $16\sim 0\mu\text{ m}$ の範囲で変わるとき、順電圧降下の増加は 0.805 V から 0.825 V と 20 mV 程度である。これは図2.21に示すように、チャンネル幅を狭くしてp層の有効面積が減っても p^+ 層端部にも電流が流れるため、実効的な導通面積がそれほど小さくならないためである。また、チャンネル構造をもつショットタイプの素子 (Type H) に比べてもSSDは約 10 mV 高くなるに過ぎない。

3.3.3 逆回復特性

図3.12はSSDと従来の p^+nn^+ 素子の逆回復電流波形の比較を示す。nベース層の抵抗率が $300\Omega\cdot\text{cm}$ でエピタキシャル層の厚さが $13\mu\text{ m}$ の場合である。(b)、(c)のSSDの逆回復時間は 100 ns 以下であり、ライフタイムキラーをドープすることなく、速い逆回復特性を実現できることが分かる。一方、従来の(a) p^+nn^+ 素子では逆回復時間は 400 ns であり逆回復ピーク電流もSSDより、かなり大きい。

図3.13はnベース抵抗率が $300\Omega\cdot\text{cm}$ である試作素子のチャンネル幅 W_{ch} と逆回復時間の関係を示す。同図(a)はエピタキシャル層の厚さ W_{ep} が $13\mu\text{ m}$ の場合であり、(b)は $18\mu\text{ m}$ の場合である。

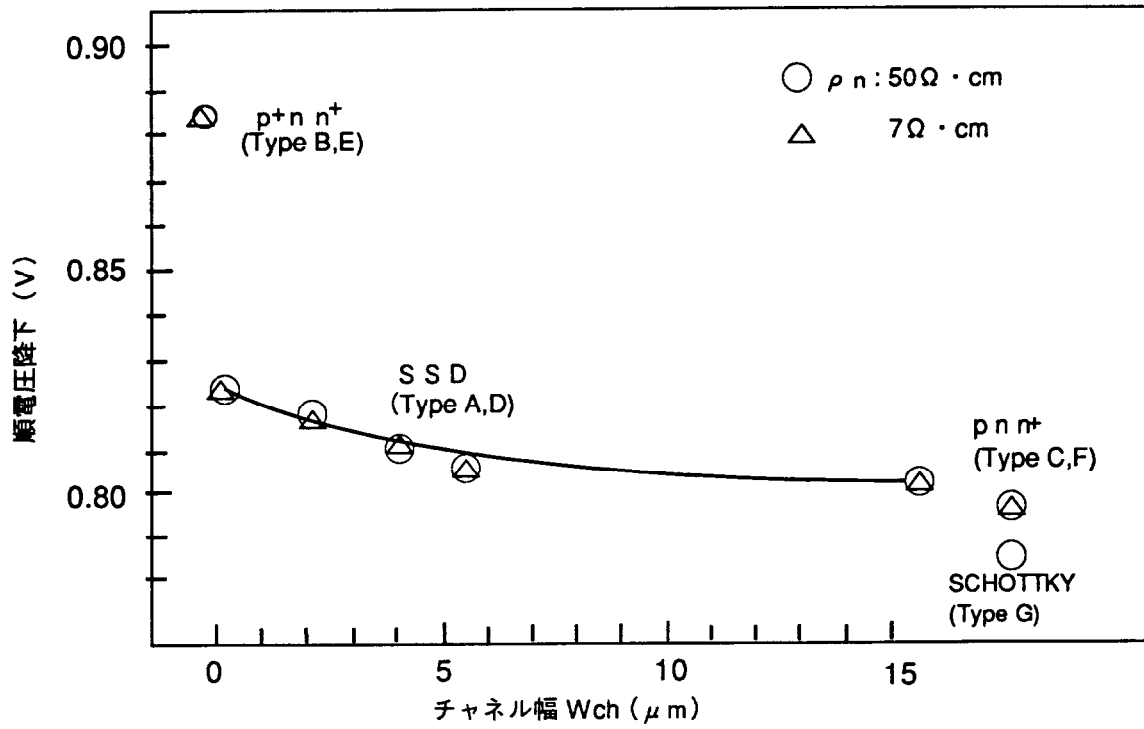
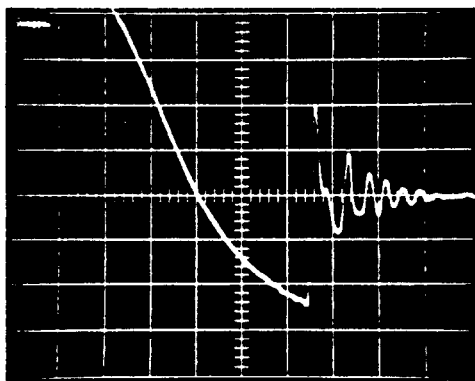
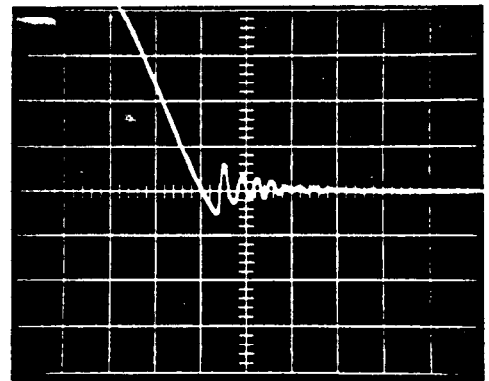


図 3.11 チャンネル幅とオン電圧の関係

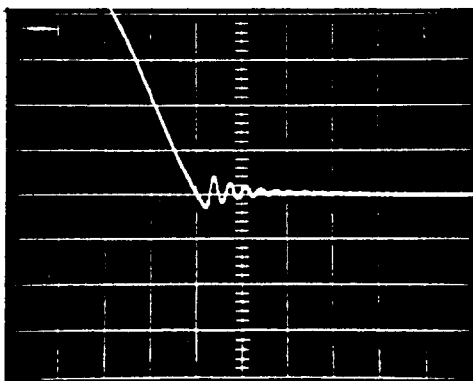


(a) $p+n n^+$ 素子



(b) SSD

$\Phi_B: 5 \times 10^{11} cm^{-2}$
 $W: 26 \mu m$
 $(W_{ch}: 16 \mu m)$



(c) SSD

$\Phi_B: 0 cm^{-2}$
 $W: 14 \mu m$
 $(W_{ch}: 4 \mu m)$

H : 100ns / div.
V : 1A / div.

図 3.12 試作素子の逆回復電流波形
 $(\rho_n: 300 \Omega \cdot cm, W_{ch}: 13 \mu m)$

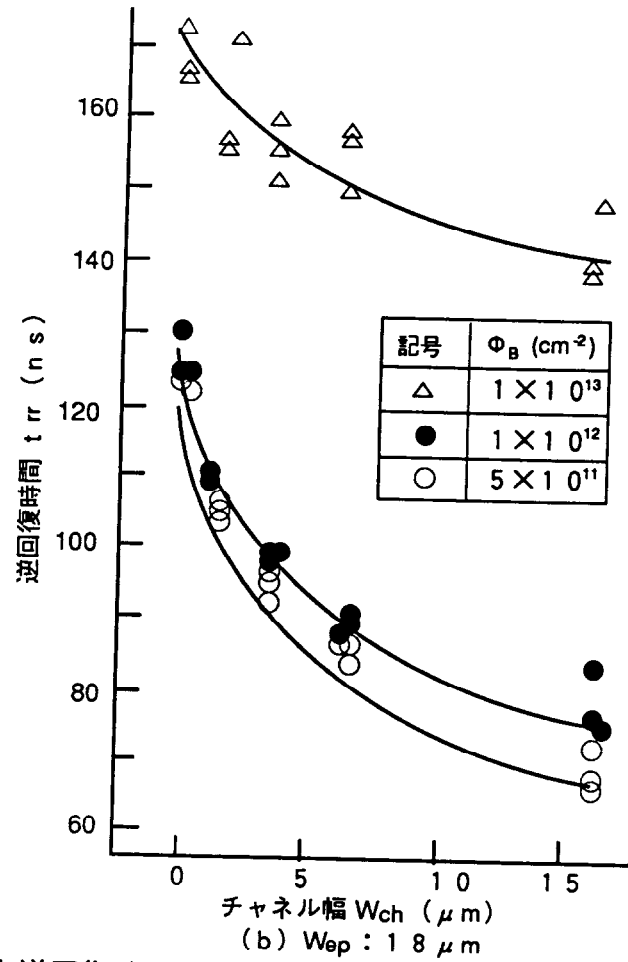
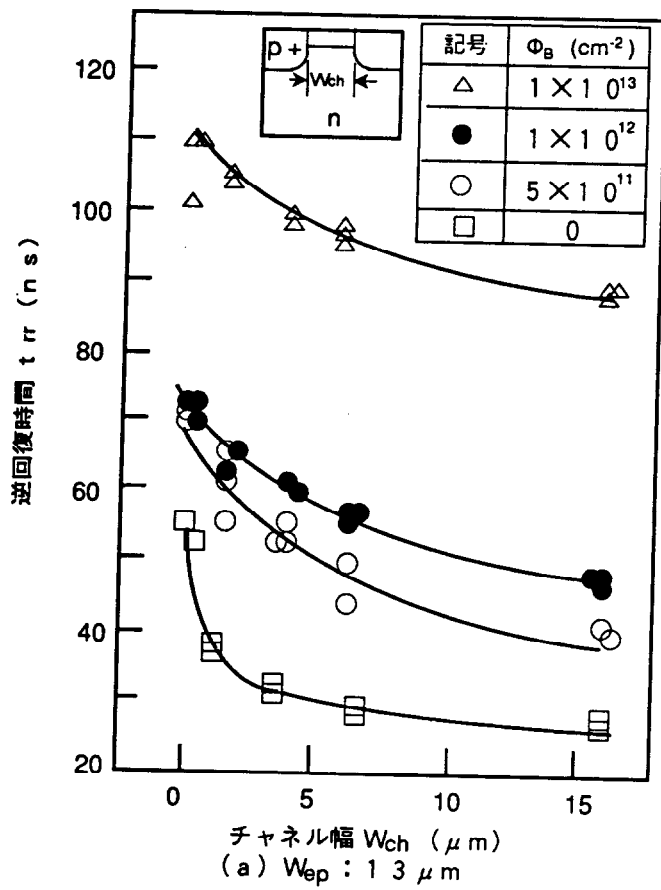


図 3.13 チャンネル幅と逆回復時間の関係
($\rho_n = 300 \Omega \cdot \text{cm}$)

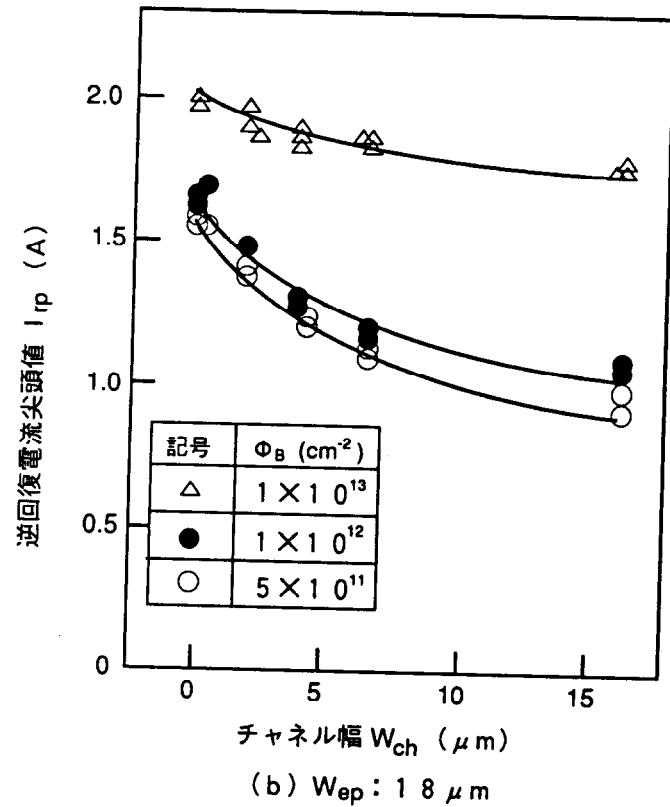
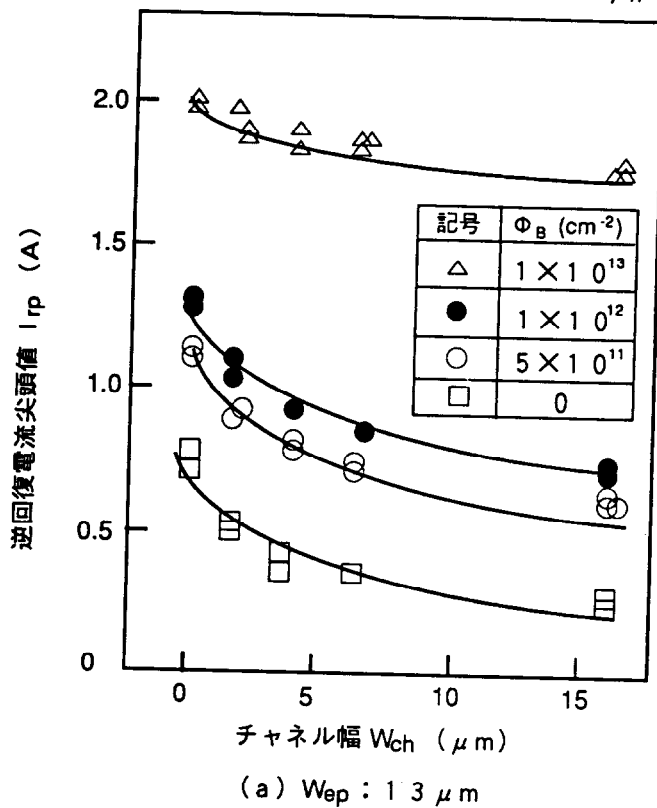


図 3.14 チャンネル幅と逆回復電流尖頭値の関係
($\rho_n : 300 \Omega \cdot \text{cm}$)

チャンネル幅 W_{ch} が広がるほど逆回復時間は短くなり、チャンネル幅に応じて $p^+n n^+$ 素子と $p n n^+$ 素子の間の特性を示す。しかし、チャンネル幅が $0\mu m$ の場合でも逆回復時間は $130ns$ (Type A)と $p^+n n^+$ 素子に比べ約 $1/3$ になっている。また、同じチャンネル幅をもつSSD (Type A)とショットキタイプの素子 (Type H)を比較してもSSDの方が $10ns$ 長くなる程度である。

図3.14は図3.13の同じ測定結果でのチャンネル幅と逆回復電流尖頭値の関係を示す。図3.13の逆回復時間の場合と同じようにチャンネル幅が広がるとともに、逆回復電流尖頭値は小さくなる。これは、 n ベース層に注入されるキャリアの量がチャンネル幅によって変化するためである。次に n ベース層の抵抗率を低くした場合の逆回復特性について述べる。

図3.15は n ベース抵抗率が $7\Omega\cdot cm$ と $50\Omega\cdot cm$ の場合のSSDの逆回復電流波形を示す。順電流が $3A$ 、 di/dt が $10A/\mu s$ で、逆電圧は $24V$ である。抵抗率の低い $7\Omega\cdot cm$ の素子の方が、 $50\Omega\cdot cm$ の素子に比べ逆回復特性はソフトリカバリーになっている。これは n 層におけるキャリアの蓄積効果の相違によるものと考えられ、図2.27および図2.28の解析結果とも一致する。

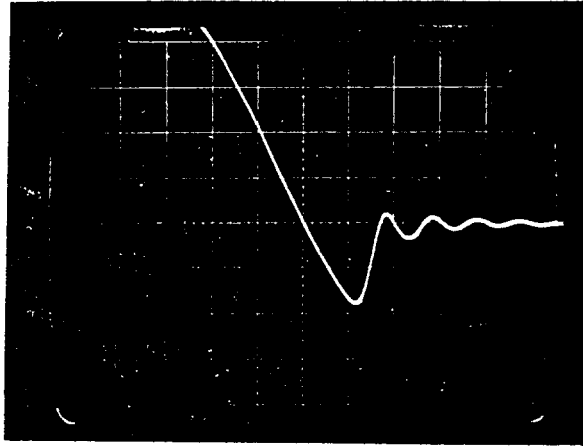
図3.16は n ベース層の抵抗率が $7\Omega\cdot cm$ と $50\Omega\cdot cm$ の試作素子のチャンネル幅と逆回復時間の関係を示す。従来構造の $p^+n n^+$ 接合ダイオードであるType BおよびEの逆回復時間は $400ns$ と長い。これに対してSSDではチャンネル幅が 0 の場合でも $150ns$ 以下であり、チャンネル幅が広がるに従って逆回復時間は短くなる。 n ベース層の抵抗率が $7\Omega\cdot cm$ と $50\Omega\cdot cm$ とではチャンネル幅と逆回復時間の関係はほぼ同じ傾向を示すが、抵抗率の高い $50\Omega\cdot cm$ の方が僅かに逆回復時間が短い。チャンネル幅を $16\mu m$ まで広げた素子はチャンネルのない $p n n^+$ 型素子 (Type C, F, G)とほぼ同じ逆回復時間を持つことが分かる。

以上のように、低濃度で薄いエミッタ層をもつダイオードにチャンネル構造を持たせることで、高速性を損なうことなく、低順電圧と高い阻止電圧を両立できることが分かった。

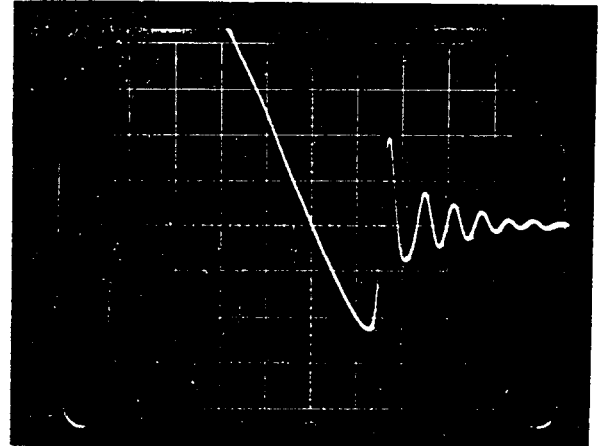
以上、本試作により得られたSSDの素子特性を表3.4および表3.5にまとめた。

これらの試作結果より得られた結論をまとめると

- (1) 試作したSSDでは n ベース層の抵抗率を高くすれば耐圧を高くできるが、逆回復特性はハードになり、トレードオフの関係にあることを実験的に明らかにした。
- (2) p エミッタ層のないショットキタイプのSSDと、低濃度の p エミッタ層のあるSSDを比較すると順電圧降下、耐圧が同じ場合には、後者の方が逆回復時間が約 $10ns$ 長くなる程度であり、大きく



(a) $\rho_n = 7 \Omega \text{ cm}$, $\phi = 0$, $W_{ch} = 4 \mu \text{ m}$



(b) $\rho_n = 50 \Omega \text{ cm}$, $\phi = 0$, $W_{ch} = 4 \mu \text{ m}$

図 3.15 試作素子の逆回復電流波形

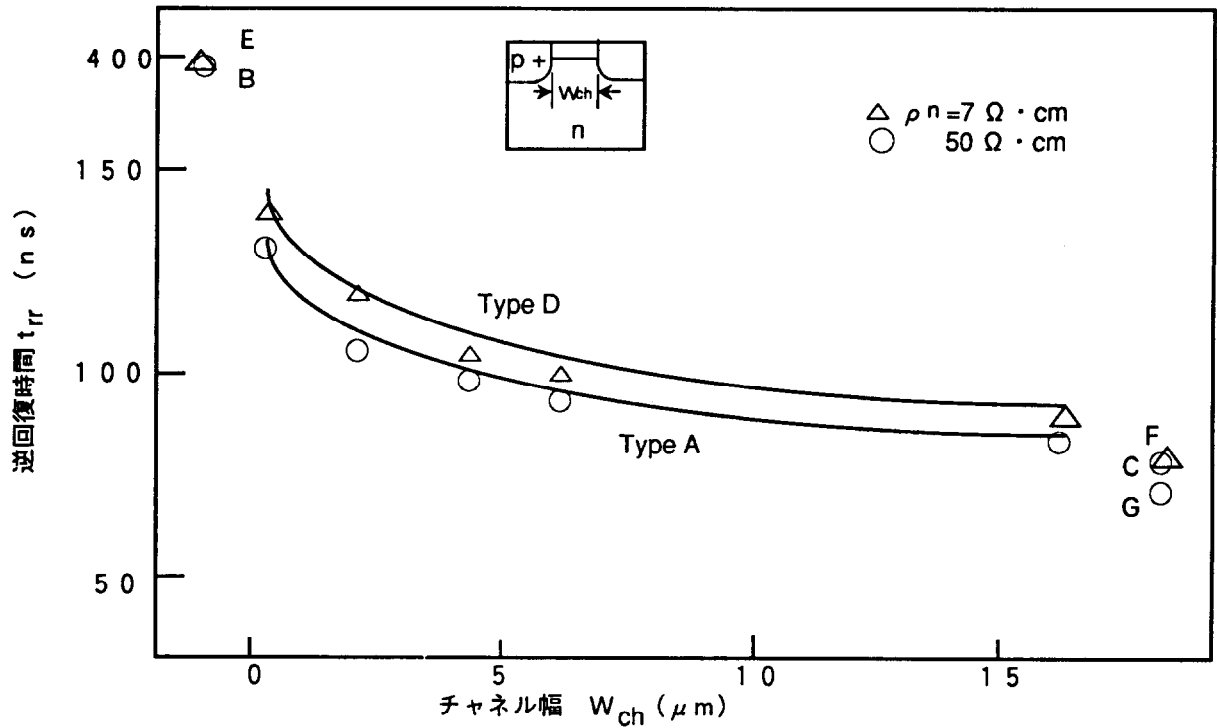


図 3.16 チャンネル幅と逆回復時間の関係

表 3.4 試作素子の特性一覧表 (第1次試作、チップサイズ4.1mm角)

n_B 抵抗率 $\rho_n (\Omega \cdot \text{cm})$	エビ層厚さ $W_{ep} (\mu\text{m})$	p_E 打ち込み量 $\Phi_B (\text{cm}^{-2})$	p^+ 層厚さ $L_{p^+} (\mu\text{m})$	チャンネル幅 $W_{ch} (\mu\text{m})$	耐 圧 $V_B (\text{V})$	順電圧降下 $V_F (\text{V})$	逆回復時間 $t_r (\text{ns})$
300	13	5×10^{11} $\sim 1 \times 10^{12}$	5	16	150	0.84	30~40
300	13	0	5	4	150	0.84	20
300	18	1×10^{12}	5	16	250	0.86	60

表 3.5 試作素子の特性一覧表 (第2次試作、チップサイズ4.1mm角)

n_B 抵抗率 $\rho_n (\Omega \cdot \text{cm})$	エビ層厚さ $W_{ep} (\mu\text{m})$	p_E 打ち込み量 $\Phi_B (\text{cm}^{-2})$	p^+ 層厚さ $L_{p^+} (\mu\text{m})$	チャンネル幅 $W_{ch} (\mu\text{m})$	耐 圧 $V_B (\text{V})$	順電圧降下 $V_F (\text{V})$	逆回復時間 $t_r (\text{ns})$
7	20	0	5	5	200	0.83	100
7	20	5×10^{11}	5	4	200	0.83	110
50	18	0	5	6	200	0.82	70
50	18	5×10^{11}	5	16	200	0.82	90

表 3.6 試作素子の構造寸法一覧 (抵抗率: 10, 20 $\Omega \cdot \text{cm}$)

素子構造 No.	n-層		p-層		p+層		チャンネル幅 $W_{ch} (\mu\text{m})$
	抵抗率 ($\Omega \cdot \text{cm}$)	厚さ (μm)	ドーピング量 (cm^{-2})	厚さ (μm)	表面濃度 (cm^{-3})	厚さ (μm)	
1	10	15	0	—	4×10^{18}	2.5	1,3,5,7
2	10	15	5×10^{11}	1	↑	↑	↑
3	10	18	0	—	↑	↑	↑
4	20	16	0	—	↑	↑	1,3,5,7
5	20	16	5×10^{11}	1	↑	↑	↑
6	20	18	5×10^{11}	↑	↑	↑	↑

は高速性が損なわれないことを確認した。

- (3) チャネル幅を $10\sim 26\mu\text{m}$ (マスク寸法) の範囲で変えたとき、同時に作製した従来構造のpn接合ダイオードに比べ、順電圧降下を $40\sim 80\text{mV}$ 低くでき、逆回復時間は約4分の1になる。

3.4 SSDの高性能化

3.3の試作によりSSDの特性が良好であることが明らかになったが、一層の高性能化を図るため下記の検討を行なった。

- (1) 逆回復特性の一層のソフトリカバリー化を実現するため、nベース層の抵抗率を $10\Omega\cdot\text{cm}$ および $20\Omega\cdot\text{cm}$ まで低くする。
- (2) チャネル部を構成する高濃度の p^+ 層を従来の $5\mu\text{m}$ から $2.5\mu\text{m}$ まで浅接合化する。
- (3) エミッタパターンの最小寸法をそれまでの $6\mu\text{m}$ から $3\mu\text{m}$ まで狭くする。
- (4) (2), (3) の微細化により同じ電流容量 10A を実現しつつチップサイズを 4.1mm 角から 3.1mm 角へ縮小する。

(1)～(4)を実現するための製作プロセスは表2.3とほぼ同様であるが、工程3の p^+ 層形成のB(ボロン)ドライブイン時間を 200 分から 160 分へ、工程4の p エミッタ形成のためのB(ボロン)イオン打ち込み後のアニール時間を 600 分から 100 分へと短縮した。

表3.6は試作素子の構造寸法の一覧表である。

図3.17はエピタキシャル層の抵抗率が $10\Omega\cdot\text{cm}$ および $20\Omega\cdot\text{cm}$ の素子のアノード側での広がり抵抗分布を示す。表面からボロン拡散層、エピタキシャル層、基板ウェハ領域の順に広がり抵抗分布が変化している様子が分かる。ボロン拡散層の深さは目標値よりも $0.5\mu\text{m}$ 小さく、 $2.5\mu\text{m}$ であった。

3.4.1 逆方向特性

図3.18はnベース層の抵抗率が $10\Omega\cdot\text{cm}$ の素子の典型的な逆方向電圧-電流特性を示す。 p^+ 層を $2.5\mu\text{m}$ と浅くした今回の構造でも 200V の耐圧が得られている。それまでの試作素子と同様チャネル幅が広いほど同一電圧での漏れ電流が大きくなっており、電圧-電流特性の点からはチャネル幅依存性がはっきり現われている。例えば、チャネル幅 W_{ch} が $3\mu\text{m}$ と $7\mu\text{m}$ の場合を比較すると、漏れ電流は約1桁異なる。また、 $7\mu\text{m}$ の場合は電圧が 200V 程度になると漏れ電流の増加が顕著になる。また、抵抗率が $20\Omega\cdot\text{cm}$ のウェハを用いた素子では p エミッタ層イオン打ち込み量 Φ_{B} : $5\times 10^{11}\text{cm}^{-2}$, チャネル幅

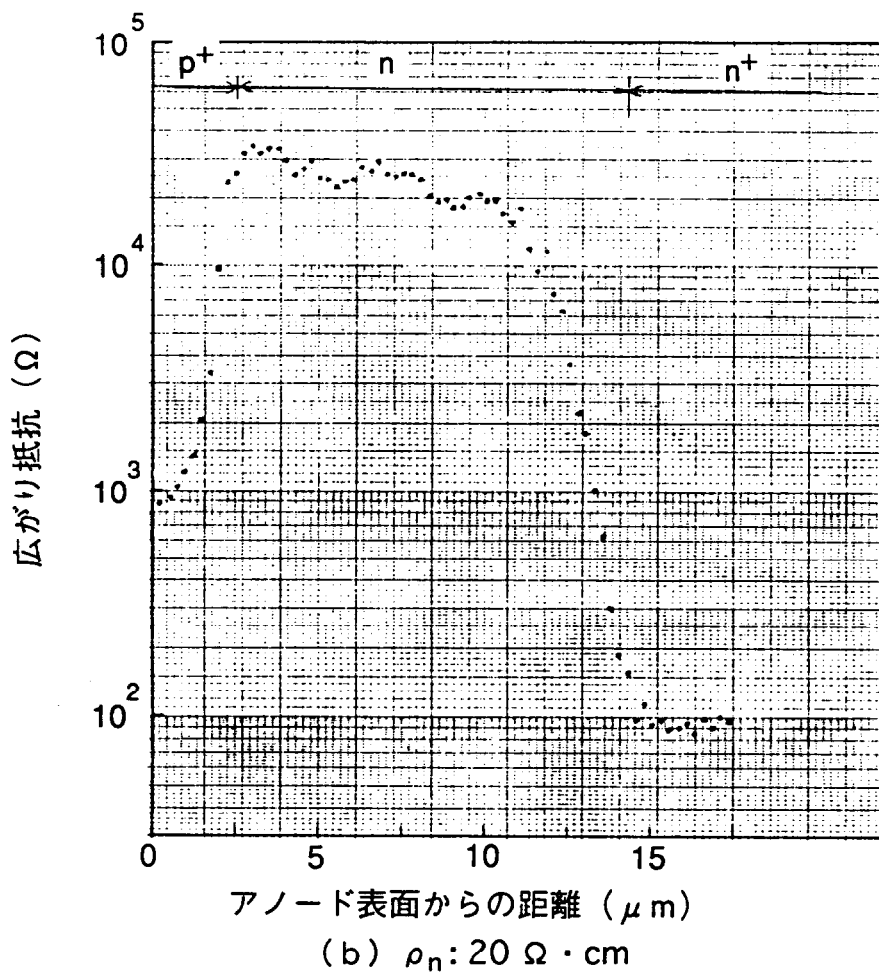
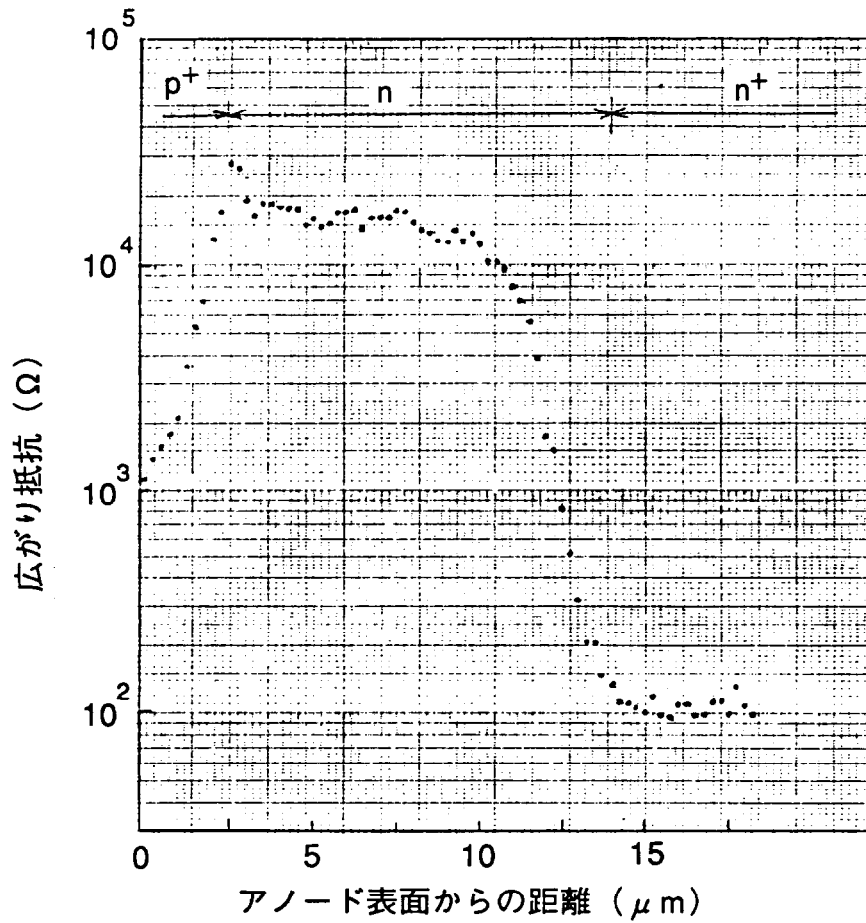


図 3.17 試作素子のアノード側での広がり抵抗分布

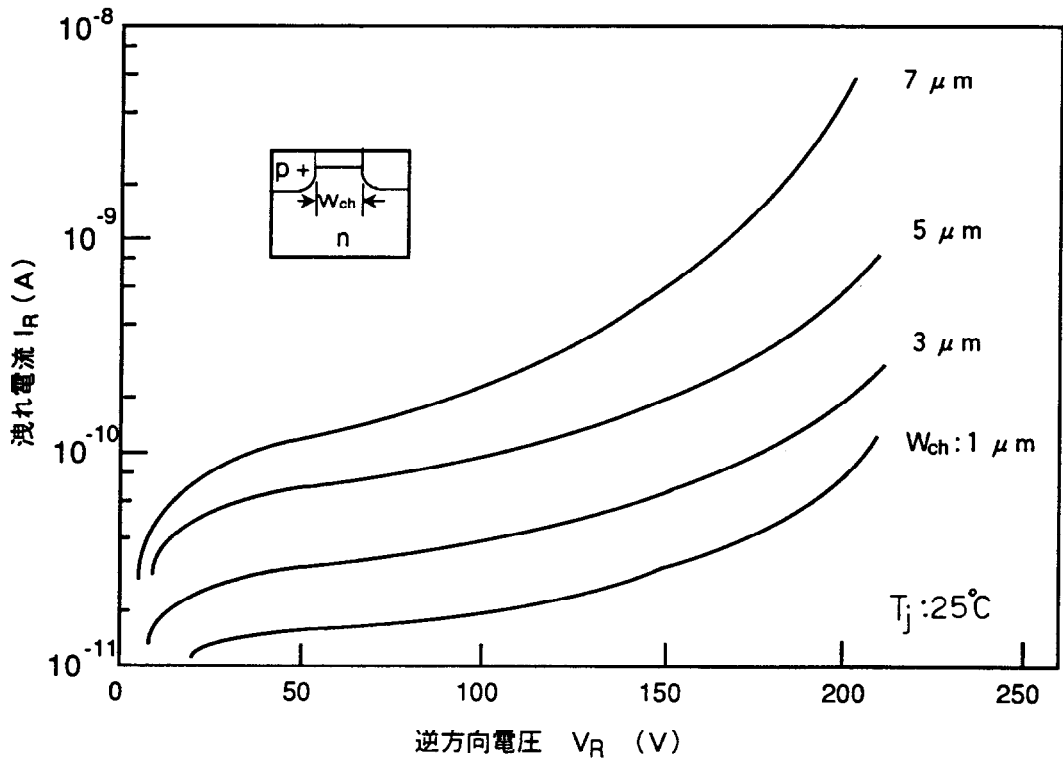


図 3.18 逆方向電圧—電流特性
 ($\rho_n: 10 \Omega \cdot cm$, $W_{ep}: 15 \mu m$, $\Phi_B: 5 \times 10^{11} cm^{-2}$)

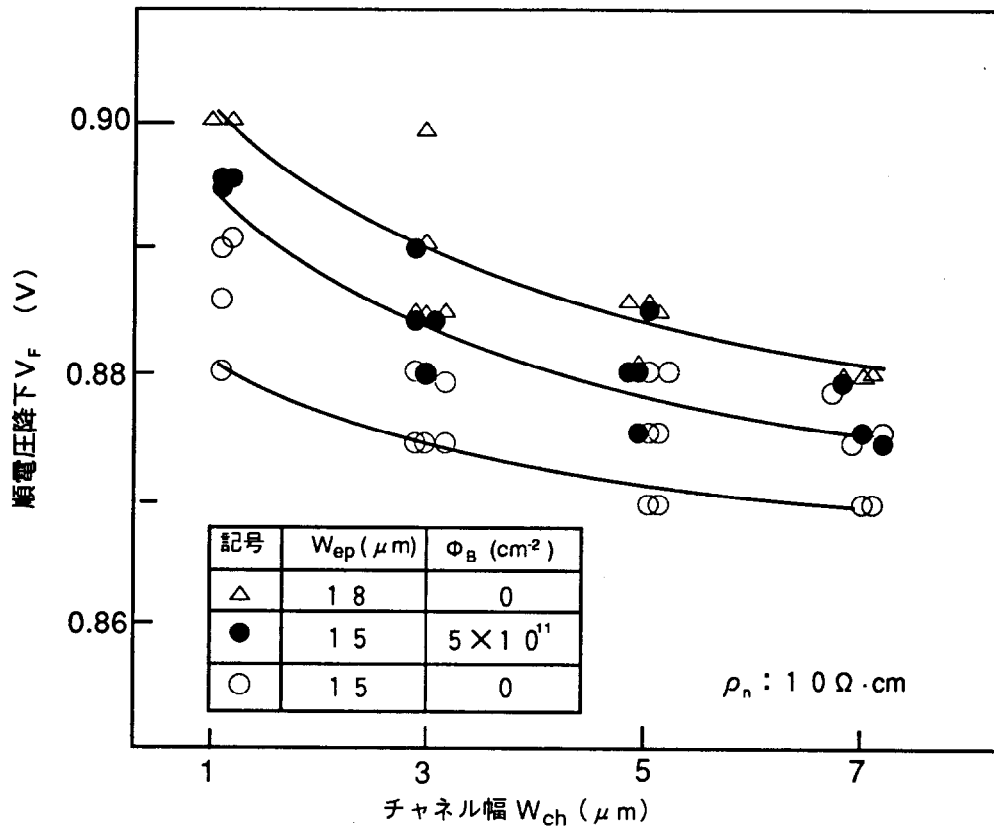


図 3.19 チャンネル幅と順電圧降下の関係
 ($\rho_n: 10 \Omega \cdot cm$)

W_{ch} : $7\mu\text{m}$ のとき 270V の耐圧が得られた。

3.4.2 順方向特性

図3.19はエピタキシャル層の抵抗率が $10\Omega\cdot\text{cm}$ の素子のチャンネル幅と順電圧降下の関係をまとめたものである。順電流が 10A での値である。エピタキシャル層の厚さが $15\mu\text{m}$ のとき、イオン打ち込みのある素子に比べて、イオン打ち込みのない素子の方が順電圧降下が低く、またチャンネル幅が広いほど順電圧降下が低いことは、これまでの試作結果と同じである。エピタキシャル層の厚さ W_{ep} が $18\mu\text{m}$ でイオン打ち込みのない素子の順電圧降下は W_{ep} が $15\mu\text{m}$ でイオン打ち込みのある素子の順電圧降下とほぼ同じになった。チャンネル幅が $1\mu\text{m}$ から $7\mu\text{m}$ まで変わると順電圧降下は 0.9V から 0.87V まで変化する。先の試作では、 200V の耐圧でチップサイズが 4.1mm 角の素子で順電圧降下が $0.84\sim 0.81\text{V}$ であった。先の試作素子に比べて 60mV 高くなっている。先の試作素子と今回の試作素子の有効面積を比べると、チップサイズの縮小分とエミッタ面積比との拡大分とを合わせて、今回の試作素子ではエミッタ面積が前回の約 65% （減少率 35% ）になっている。前回の試作素子の $V-I$ 特性と有効面積の比から推定したシリコン部分での順電圧降下の上昇は 30mV 程度であるが、この他に電流密度上昇による電極、リード線部分での電圧降下の上昇があるものと考えられる。

3.4.3 逆回復特性

図3.20はチャンネル幅と逆回復時間の関係をまとめたものである。同図(a)は n ベース層の抵抗率が $10\Omega\cdot\text{cm}$ の場合であり、(b)は $20\Omega\cdot\text{cm}$ の場合である。エピタキシャル層の厚さが同じ場合、イオン打ち込みのある素子に比べてイオン打ち込みのない素子の方が逆回復時間が小さく、またチャンネル幅が広いほど逆回復時間が小さくなるのは、これまでの試作結果と同じである。

次に、前回の試作素子(図3.13,3.14)と比較すると、イオン打ち込みの有無による逆回復時間の違いが今回の試作素子では大分小さくなっている。今回の試作ではイオン打ち込みのエネルギーが 125keV と前回よりも 25keV 小さく、またアニール時間も前回の 300 分に比べて 200 分短くしてイオン打ち込み層の深さを浅くしたことが、その原因の一つと考えられる。イオン打ち込みした素子の方が、打ち込みしない素子に比べて耐圧分布は良くなるため、イオン打ち込みにより逆回復時間があまり大きくならないということは望ましいことといえる。 $230\sim 240\text{V}$ の耐圧を確保できるチャンネル幅は図3.18より $5\mu\text{m}$ 程度と考えられる。この場合の逆回復時間は図より 60ns であり、定格 200V のSSDでは逆回復時間として 60ns 程度が限界と考えられる。高濃度の p^+ 層の深さを浅くした効果については、べ

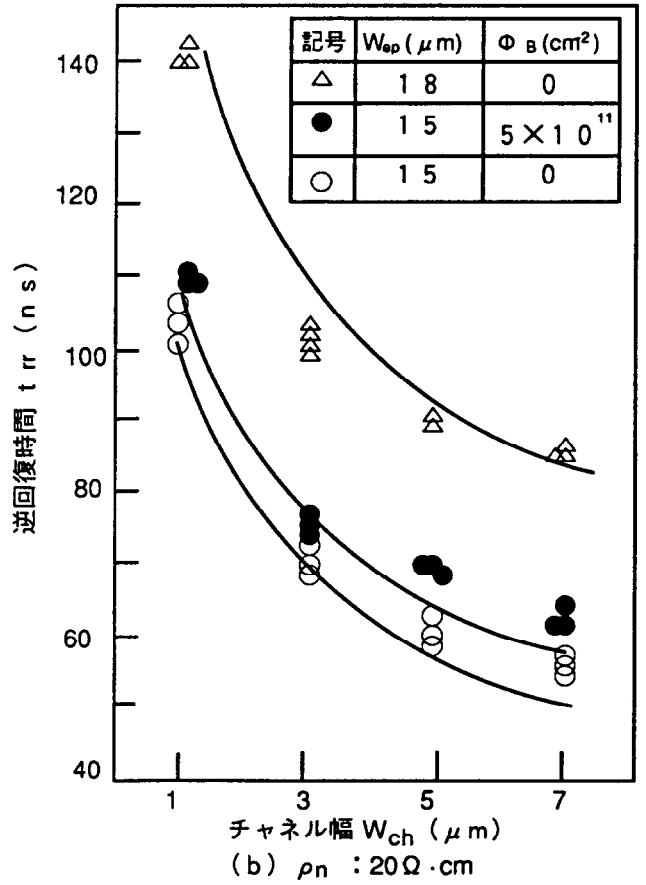
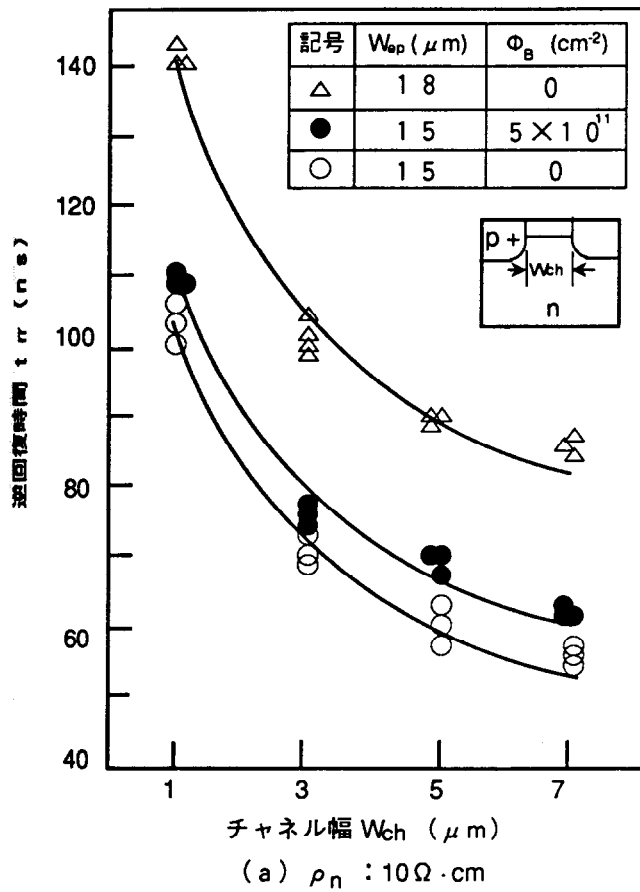


図 3.20 チャンネル幅と逆回復時間の関係

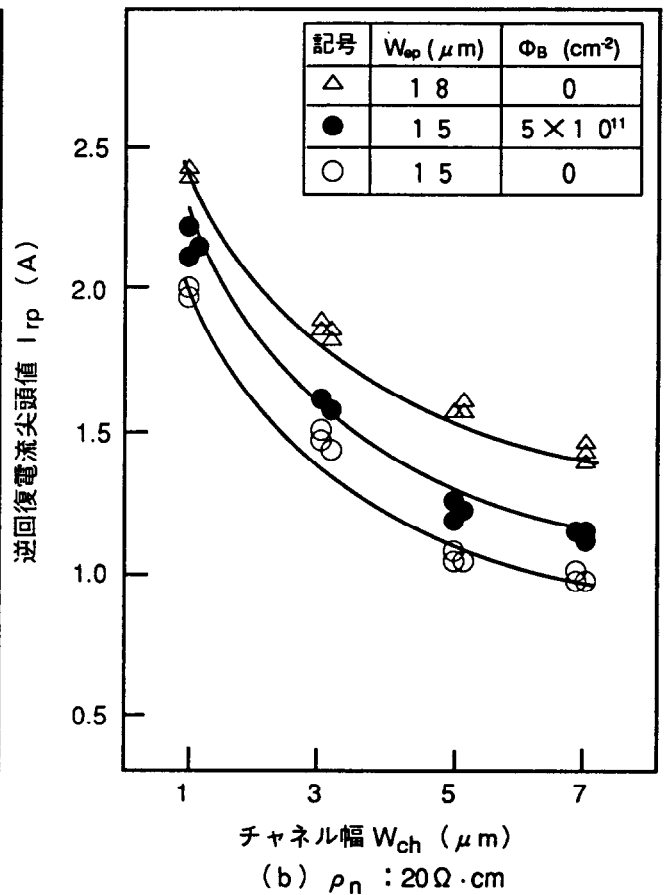
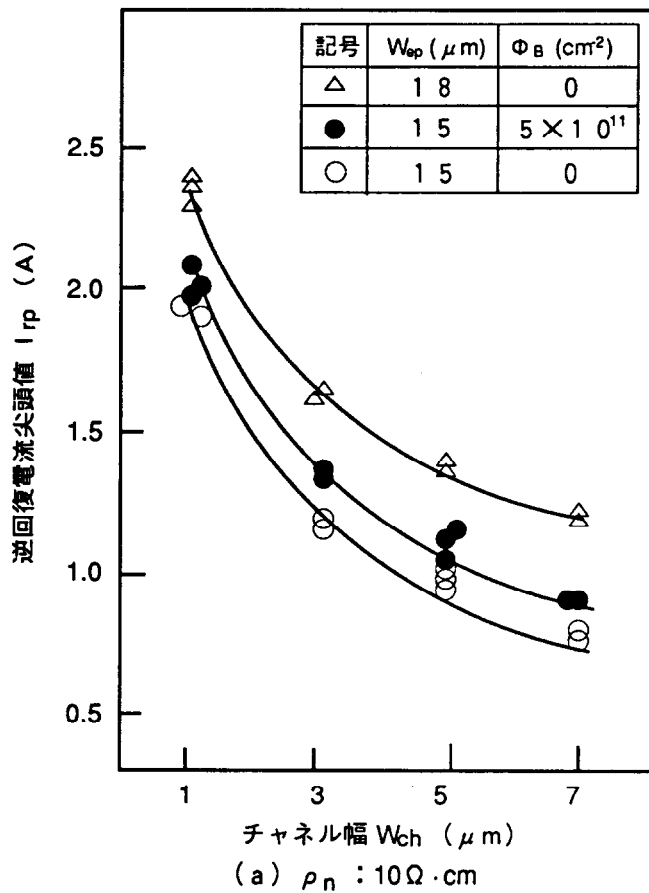


図 3.21 チャンネル幅と逆回復電流尖頭値の関係

ース厚さがほぼ等しく ($\sim 13 \mu\text{m}$) かつ同じエミッタ構造 ($\Phi_B=0$) をもつ耐圧 230V の素子を比べると前回の試作素子よりもチャンネル幅 $5\sim 7 \mu\text{m}$ において今回の試作素子は逆回復時間が $10\sim 15 \mu\text{s}$ 短く、 p^+ 層を浅くすることでスピードが速くなったことが分かる。イオン打ち込みした素子では、上述の効果と打ち込み層を浅くしたことによると思われる高速化とが相まって、逆回復時間が約 30ns 短くなった。

図 3.21 は図 3.20 と同じ測定時のチャンネル幅と逆回復電流尖頭値の関係をまとめたものである。エピタキシャル層厚さ、イオン打ち込みの有無による逆回復電流尖頭値のチャンネル幅依存性は逆回復時間の場合とほぼ同じである。

図 3.22 (a), (b) はそれぞれエピタキシャル層の抵抗率が $10 \Omega \cdot \text{cm}$ および $20 \Omega \cdot \text{cm}$ で、 $\Phi_B=5 \times 10^{11} \text{cm}^{-2}$ 、 $W_{\text{ch}}=5 \mu\text{m}$ の素子の逆回復電流波形を示す。エピタキシャル層の抵抗率が $10 \Omega \cdot \text{cm}$ と低い方が、逆回復電流尖頭値 I_{rp} が小さく、逆回復後の電流振動も小さい。出力ノイズを低減するためにはエピタキシャル層の抵抗率が低い方が良いことが分かる。

表 3.7 に試作素子の構造と特性をまとめた。

3.5 むすび

主動作領域となる p エミッタ層の不純物濃度を低濃度化し、 p エミッタ層の周辺に高濃度で p エミッタ層よりも厚い p^+ 層を形成したチャンネル構造の SSD (Static Shielding Diode) を提案し、その高速、低損失動作および高耐圧化について理論解析、試作によりこれを実証した。本章で得られた結論は以下の通りである。

- (1) SSD では素子に逆方向の電圧が印加されたとき、 p エミッタに隣接する高濃度で深い p^+n 接合の空乏層のピンチオフ効果により、耐圧の低いエミッタ接合の電界が緩和されるため洩れ電流が小さくなり、耐圧を高くできる。この場合、 p^+ 層を厚くし、チャンネル幅を狭くするほど、また n ベース層の抵抗率を高くするほどピンチオフの効果が強まるため耐圧を高くできる。
- (2) 順方向特性はエミッタ層の不純物総量を少なくすることで、エミッタ接合での接合電圧降下を低くでき、かつエミッタからのキャリア注入も少なくなるので、高速で低オン電圧化が可能になる。
- (3) 逆回復特性では、 n ベース層の抵抗率は低い方が空乏層の伸びが抑制されるため、逆回復時の残留キャリア量が多くなり、逆回復電流の尖頭値が小さく、逆回復後の電流振動も小さくなる。出力ノ

イズを低減するにはnベース層の抵抗率は高い方が良く、逆阻止特性とはトレードオフの関係にある。

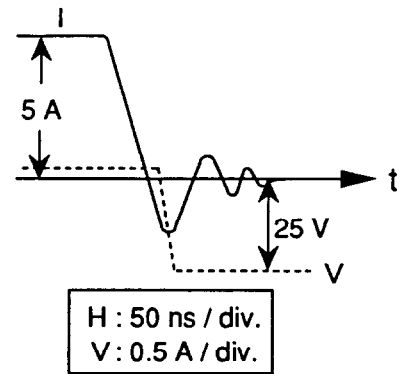
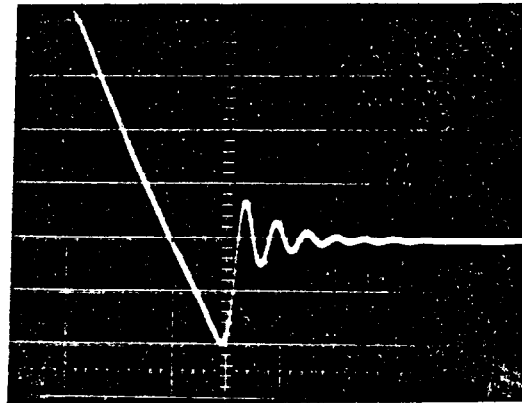
(4) 試作により得られたSSDの主な特性は以下(表3.7)の通りである。

表3.7

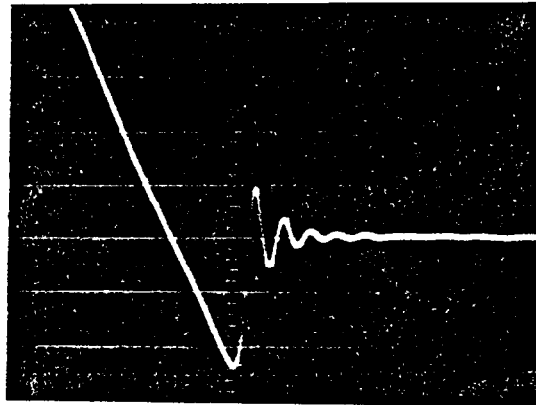
チップサイズ: 3.1 mm

nベース抵抗率 ρ_n ($\Omega \cdot \text{cm}$)	エピタキシャル層厚さ W_{ep} (μm)	pE体打込み量 Φ_B (cm^{-2})	チャンネル幅 W_{ch} (μm)	耐圧 V_B (V)	順電圧降下 V_F (V)	逆回復時間 t_{rr} (ns)
10	15	5×10^{11}	7	200	0.88	60
10	18	0	7	240	0.88	85
20	16	5×10^{11}	7	230	—	70
20	18	5×10^{11}	7	270	0.90	90

尚その後、本章のSSD構造と同じ構造で低濃度のpエミッタ層をイオン打ち込みではなく、カソードAl電極からのシリサイド層により形成したSFD³⁾⁴⁾ (Soft and Fast recovery Diode)が実用化された。現在、3kV級、100Aの高耐圧素子が製品化され、本SSD構造が1kV以上の高耐圧素子にも有効であることが実証されている。



(a) $\rho_n : 10 \text{ ns} \cdot \text{cm}$



(b) $\rho_n : 20 \text{ ns} \cdot \text{cm}$

図 3.22 試作素子の逆回復電流波形
($\Phi_B : 5 \times 10^{11} \text{ cm}^2$, $W_{ch} : 5 \mu\text{m}$)

参考文献

- 1) 清水、内藤、村上、寺沢 " 静電遮蔽型高速ダイオード"、電子通信学会 研究会資料 ED-84-3, pp.15-20 (1984)
- 2) Y. Shimizu et al., " High-speed low-loss p-n diode having a channel structure ", IEEE Trans. on Electron Devices, ED-31, pp.1314-1319 (1984)
- 3) M. Mori et al., " A novel soft and fast recovery diode (SFD) with thin p-layer formed by Al-Si electrode", IEEE Proc. of ISPSD '91, pp.113-117 (1991)
- 4) 小林ほか3名 " 3.5 kV級 IGBT" 平成8年電気学会全国大会、講演論文集 No.752

第4章 サイリスタのアノード・エミッタ短絡構造の解析

4.1 まえがき

サイリスタのターンオフ高速化は自己遮断機能化を図る上で必須であると云える。ターンオフ高速化に当たっては当初、Auなどの重金属をライフタイムキラーとして用いることにより性能向上を図ってきた¹⁾。しかし、この方法では(1)高温での漏れ電流が増加すること、(2)重金属のウェハ内での不均一な分布によりターンオフが不均一になること、などの問題があった。この問題を解決するために提案されたのが、アノードエミッタ短絡構造²⁾³⁾である。本構造は図4.1に示すようにアノード電極に接するアノードエミッタ層(pエミッタ層)を部分的に欠除させて、nベース層とpエミッタ層とをアノード電極で短絡した構造である。本構造によれば図4.2に示すサイリスタ(GTO)の2トランジスタモデルを用いてGTOのターンオフゲインGを次式により大きくできることが分かる。

$$G = I_{TQ} / I_{GQ} = \alpha_{npn} / (\alpha_{pnp} + \alpha_{npn} - 1) \quad (4.1)$$

ここで、 I_{TQ} ：ターンオフ電流、 I_{GQ} ：ゲート電流、 α_{npn} ：npnトランジスタ部の電流増幅率、

α_{pnp} ：pnpトランジスタ部の電流増幅率である。

これより、ターンオフゲインGを大きくするには α_{pnp} を小さくし α_{npn} を大きくすればよい。 α_{pnp} を小さくする方法がアノードエミッタ短絡構造である。 α_{pnp} はまた次式で表わされる。

$$\alpha_{pnp} = \gamma_{pE} \cdot \beta_{pnp} \quad (4.2)$$

ここで、 γ_{pE} ：pエミッタ層の注入効率、 β_{pnp} ：pnpトランジスタ部の輸送効率である。

アノードエミッタ短絡構造とすることにより、注入効率 γ_{pE} を小さくすることがターンオフゲインを大きくすることにつながる。このアノードエミッタ短絡構造は試作によりその基本的な性能が優れていることが確認されていた⁴⁾⁵⁾。しかし、その動作機構の解析的な検討はそれまでなされていなかった。この理由は、この段階では未だコンピュータによるデバイス・シミュレーションが発達していなかったことによる。

半導体素子内部のキャリアの動きや電圧、電流分布を支配する基本方程式は1950年にW.Schockleyにより明らかにされた。それ以来、この方程式を解析的に解く努力がなされ、1960年にLightenら⁶⁾の1次元解析モデル、また1966年にはWolley⁷⁾の2次元モデルが提案された。この間、1960年代に入るとコンピュータの進歩により何らの近似を用いずに、半導体の基本式を数値的に解く試みも始められた。特に1969年にD.L. SharfetterとH.K. Gummelによって提案された解法⁸⁾は画期的な発展をもたらし、今

日に至るまでこの数値解法の手法が基本的に採用されている。本章で取り扱うGTOではターンオフ過程での動的な現象を取り扱うには少なくとも2次元の解析が必要となる。しかし、2次元での過渡現象の解析には多大な計算時間が必要であり、これまで実用的なレベルでの計算はなされていなかった。一方、2次元の定常状態での計算は過渡計算に比べて計算時間も短く4~5分程度(IBM370)の実用的な範囲で可能である。また、1次元計算であれば過渡計算でも数分程度で可能である。

本章ではこのアノードエミッタ短絡型GTOが従来の非短絡型でライフタイムを短縮する方法に比べてオン電圧とターンオフ時間のトレードオフが優れていることを解析的に明かにすることを主眼として、定常オン状態の特性については2次元解析モデルを、過渡特性のターンオフ特性については1次元解析モデルを用いた。1次元解析モデルではアノードエミッタ短絡構造を模擬するのに短絡部を流れる電子電流を一定と仮定してアノード電極からnベース層の一点に流入するというモデルを考えた。本章はこれらの解析モデルによるアノードエミッタ短絡GTOの解析および検討結果をまとめたものである。

4.2 アノードエミッタ短絡GTOの解析方法

4.2.1 基本方程式と数値解法

半導体の解析の基礎となる方程式は次の三つの方程式である。即ち、ポアソン式と少数キャリア(電子、ホール)の連続の方程式である。

$$\nabla \psi^2 = -q / \epsilon \beta \{ n_i (p - n) - (N_A - N_D) \} \quad (4.3)$$

$$\partial p / \partial t = -\nabla \cdot J_p / q n_i - R \quad (4.4)$$

$$\partial n / \partial t = +\nabla \cdot J_n / q n_i - R \quad (4.5)$$

ここで、 ψ : ポテンシャル、 ϵ : シリコンの誘電率、 n_i : 真性キャリア濃度、 p : ホール濃度、

n : 電子濃度、 N_A : アクセプタ濃度、 N_D : ドナー濃度、 J_p : ホール電流、 J_n : 電子電流、

R : 再結合率である。

また、ホール電流、電子電流はそれぞれ

$$J_p = q n_i (\mu_p \beta E - D_p \nabla p) = -q n_i \beta \mu_p \exp(-\psi) \nabla (p \cdot \exp(\psi)) \quad (4.6)$$

$$J_n = q n_i (\mu_n \beta E + D_n \nabla n) = -q n_i \beta \mu_n \exp(-\psi) \nabla (n \cdot \exp(-\psi)) \quad (4.7)$$

で与えられる。上式はいずれも p, n を n_i で、 ψ を $\beta (=kT/q)$ で規格化している。また、

$E = -\nabla \psi$ および拡散係数と移動度の間のアインシュタインの関係 $D = \beta \mu$ を用いた。ここで、キャリアの

再結合率Rに、Shockley-Read-Hall^{9) 10)}の式を用いと、

$$R = (pn - 1) / \{ \tau_n (p + p_1) + \tau_p (n + n_1) \} \quad (4.8)$$

$$n_1 = \exp [(E_t - E_i) / kT], \quad p_1 = 1 / n_1 \quad (4.9)$$

となり、また静特性の場合には、 $\partial p / \partial t = \partial n / \partial t = 0$ なので、(4.4)、(4.5)式は

$$\nabla \cdot \{ \beta \mu_p \exp(-\psi) \nabla (p \cdot \exp(\psi)) \} + R = 0 \quad (4.10)$$

$$-\nabla \cdot \{ \beta \mu_n \exp(-\psi) \nabla (n \cdot \exp(\psi)) \} + R = 0 \quad (4.11)$$

と書ける。よって、静特性は3つの非線形楕円形偏微分方程式(4.3)、(4.10)、(4.11)によって決まる。これら3つの偏微分方程式の解法の手順を図4.3に示す。(4.3)~(4.11)の方程式は離散化により差分方程式に置き換えられる。これら差分方程式は非線形であるためNewton法により線形化される。線形化された連立方程式群は2LSOR法(2 Line Successive Over Relaxation Method)^{11) 12)}を用い緩和計算する。

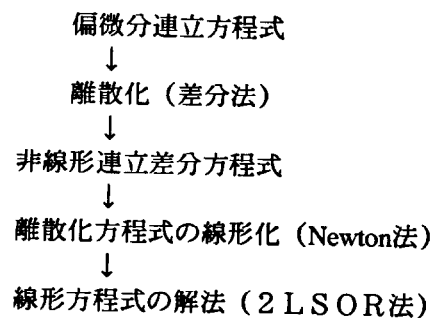


図4.3 方程式の解法手順

次に、離散化の手法について述べる。変数の離散化には差分法を用いた。差分化した場合のメッシュは変数変化の激しい場所で密になるように不等間隔に切る。(4.3)、(4.10)、(4.11)式の差分化は電流および電界が急激に変化しないことを利用して次のようにする。例として(3.10)式をz方向で差分化してみる。

図4.4を参照しながら差分化の要点を示す。添字pを省略すると、(4.10)から

$$\partial (p \exp(\psi)) / \partial z = - [1 / q n_i \beta] [J_z \exp(\psi) / \mu] \quad (4.13)$$

であるが、この両辺を格子点 $z = z_j$ と $z = z_{j \pm 1}$ の間で積分すると

$$p_{j \pm 1} \exp(\psi_{j \pm 1}) - p_j \exp(\psi_j) = - [J_z(j, j \pm 1) / q n_i \beta] \quad (4.14)$$

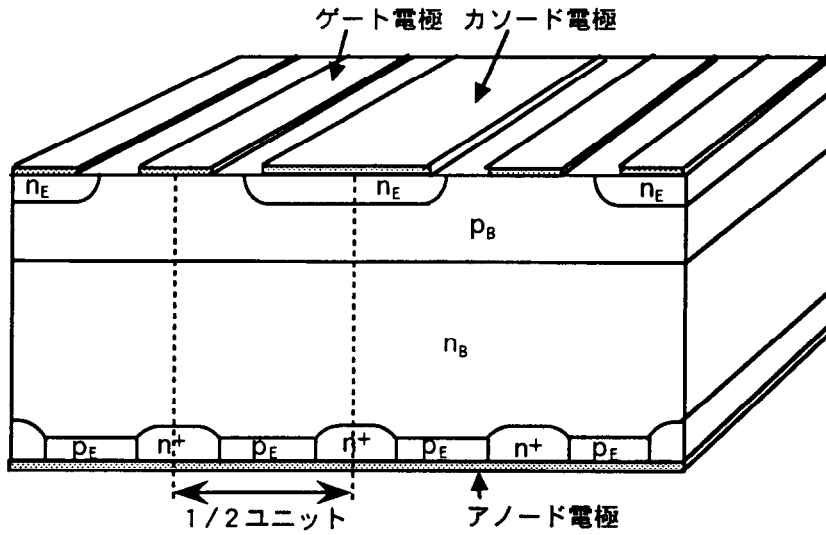


図 4.1 p エミッタ短絡 GTO の構造

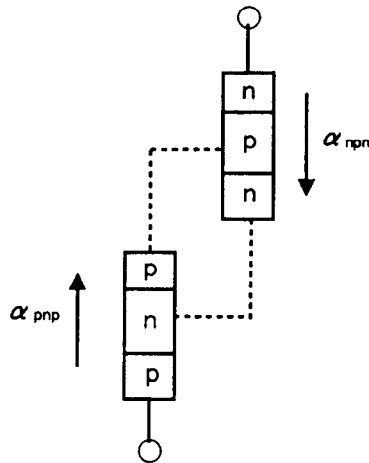
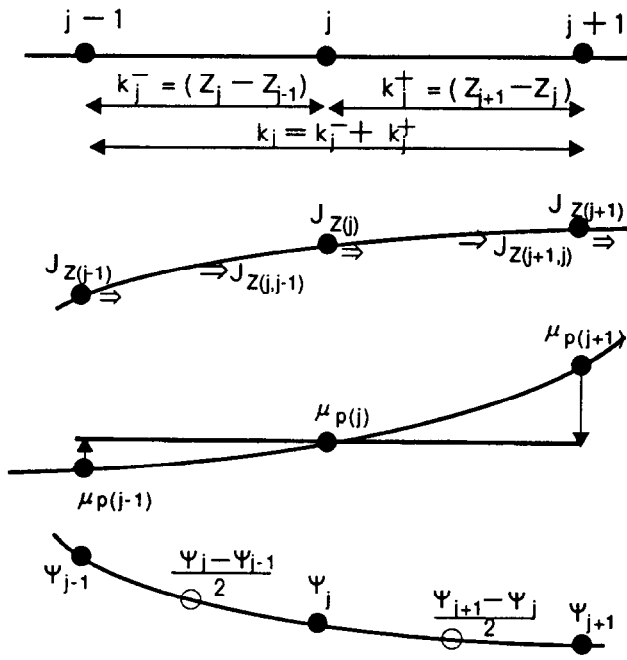


図 4.2 サイリスタの 2 トランジスタ・モデル



電流値は格子点での中点での値で近似

移動度は中心の格子点での値で近似

電位は格子点の midpoint で隣接する格子点の電位の平均値で近似

図 4.4 格子点での各変数の近似

が得られる。ここで、ホール電流が $(z_j, z_{j\pm 1})$ でほぼ一定として定数 $J_z(j, j\pm 1)$ と置き積分の外に出

した。 $z_{j+1} - z_j = k_j^+$, $z_j - z_{j-1} = k_j^-$, $k_j = k_j^- + k_j^+$ と置くと、

$$\partial J_z / \partial z \approx [2 / k_j] [J_z(j, j+1) - J_z(j, j-1)] \quad (4.15)$$

であるから、これに (4.14) から $J_z(j, j+1)$ を求めて代入整理すると

$$\begin{aligned} \partial J_z / \partial z \approx & [-q n_i \beta \mu_{pj} / k_j] [\{ 1 / k_j^+ \} \{ \Delta j^+ / (1 - \exp(\Delta j^+)) \} \\ & + \{ 1 / k_j^- \} \{ \Delta j^- / (1 - \exp(\Delta j^-)) \}] p_j \\ & + \{ 1 / k_j^- \} \{ \Delta j^- / (1 - \exp(-\Delta j^-)) \} p_{j-1} \\ & + \{ 1 / k_j^+ \} \{ \Delta j^+ / (1 - \exp(-\Delta j^+)) \} p_{j+1}] \end{aligned} \quad (4.16)$$

が得られる。但し、 $\mu(j, j\pm 1) \rightarrow \mu_{pj}$, $\Delta j^\pm = (\Psi_{j\pm 1} - \Psi_j) / 2$ と置いた。他の項も同様に差分化される。

4.2.2 計算モデルと境界条件

計算の対象とするGTOは実際に製造されている600V級素子とした。実際のGTOの構造は図4.1に示すようになっているが、計算では簡単のため、素子の対称性を考慮し、図中に示すユニット部分の半分をモデルとした。

図4.5はモデルGTOの構造を示す。また、定常オン特性を調べる時、計算を簡略化するためゲート電極を取り去った構造にした。ホールp, 電子n, ポテンシャル ψ に対する主な境界条件は、次の通りである。

- (1) 電界はサイリスタの外に出ない。
- (2) 電極とサイリスタの接触はオーミックである。

カソード電極の電位を零とした場合の境界条件を表4.1にまとめた。

表4.2は計算に用いたモデルの構造寸法一覧である。いずれの場合も素子の幅は270 μ m、奥行きは10mm一定である。No.1およびNo.3~5はpエミッタ短絡型GTOの場合でn⁺層の幅を変えて短絡の強さを変えている。No.2とNo.6は短絡がない場合であり、それぞれ接合寸法がわずかに異なる。

表4.3は計算に用いた各不純物層のライフタイムを示す。nベース層のホールのライフタイムはLehdelhandler法¹³⁾による実測値である。ホールと電子のライフタイムは各層で等しいと仮定した。

図4.6は計算に用いた不純物濃度分布を示す。不純物濃度分布は表面濃度と深さを与えてガウス分布で

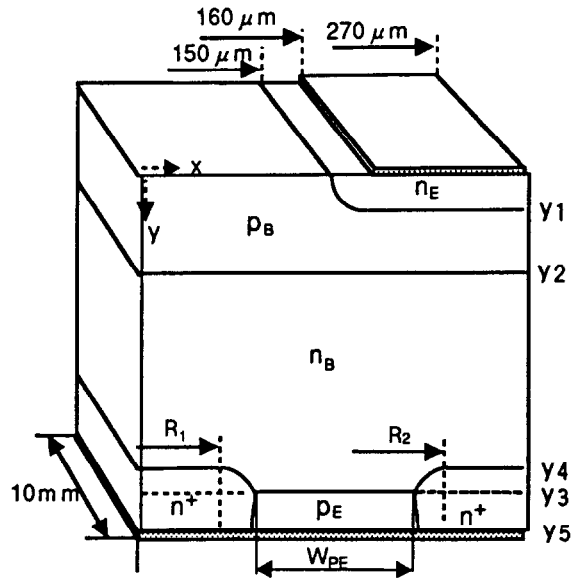


図4.5 モデルGTOの構造

表4.1 境界条件

項目 位置		ψ	p	n	備考
対称軸 (OO')		$\frac{\partial \psi}{\partial x} = 0$	$\frac{\partial p}{\partial x} = 0$	$\frac{\partial n}{\partial x} = 0$	軸対称性
サイリスタ 表面	p形層	$\frac{\partial \psi}{\partial \xi} = 0$	$\beta \mu_p \frac{\partial p}{\partial \xi} = -s(n - n_0)$	$\beta \mu_n \frac{\partial n}{\partial \xi} = -s(n - n_0)$	ξ : サイリスタ 表面における 外向き法線 ベクトル
	n形層		$\beta \mu_p \frac{\partial p}{\partial \xi} = -s(p - p_0)$	$\beta \mu_n \frac{\partial n}{\partial \xi} = -s(p - p_0)$	
カソード電極	p形層	$\psi = \ln p$	$p = \frac{N_A - N_D + n_i}{n_i}$	$n = \frac{1}{p}$	
	n形層	$\psi = \ln n$	$p = \frac{1}{n}$	$n = \frac{N_D - N_A + n_i}{n_i}$	
アノード電極	p形層	$\psi = \frac{V_{AK}}{\beta} - \ln p$	$p = \frac{N_A - N_D + n_i}{n_i}$	$n = \frac{1}{p}$	
	n形層	$\psi = \frac{V_{AK}}{\beta} - \ln n$	$p = \frac{1}{n}$	$n = \frac{N_D - N_A + n_i}{n_i}$	

表 4.2 計算モデル寸法一覧

No.	y_1	y_2	y_3	y_4	y_5	R_1	R_2	備考
1	15	45	180	174	225	100	200	実測値あり
2	15	45	180	—	225	—	—	pエミッタ短絡なし
3	15	51	169	170	220	90	210	
4	15	51	169	170	220	100	200	
5	15	51	169	—	220	110	190	
6	15	51	169	—	220	—	—	pエミッタ短絡なし

表 4.3 計算に用いたライフタイム (μs)

	pエミッタ	nベース	pベース	nエミッタ	n^+
ホール	1.0	10.0	1.0	0.5	0.5
電子	1.0	10.0	1.0	0.5	0.5

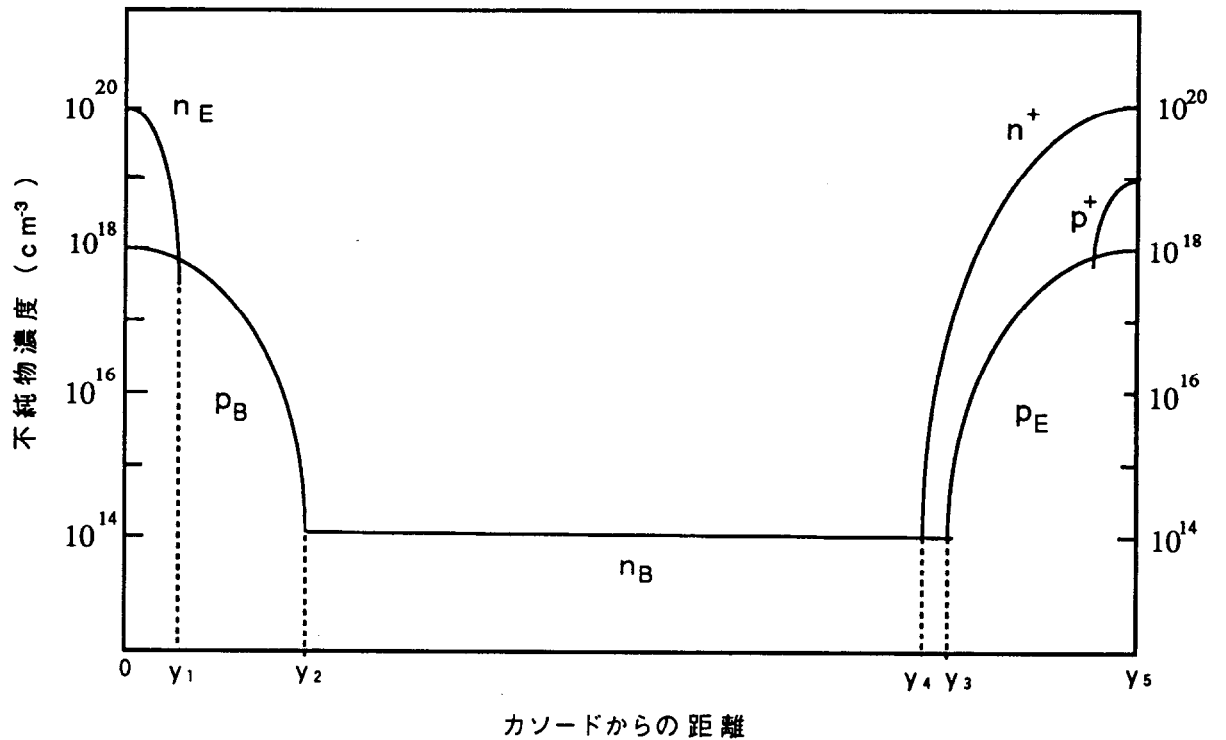


図 4.6 計算に用いた不純物濃度分布

近似している。計算に用いたメッシュは固定で、x方向分割数が50ケ、y方向分割数が60ケであり、線形方程式の反復回数は120回である。1ケースの計算時間は約3分40秒で、計算の誤差を電流の点から見ると素子の両端面での全電流の差は10～15%であった。

4.3 アノードエミッタ短絡GTOの定常解析

4.3.1 各電流成分の分布

図4.7(a),(b),(c)はそれぞれ、表4.2の構造No.4の定常オン状態における電子電流、ホール電流および全電流分布を示す。アノード電流密度が 110 A/cm^2 の場合である。まず、(a)電子電流分布をみてる。2次元分布では、y座標がある値での素子の断面を考えた場合、図の左端からx方向へ電子電流を積分した値と断面全体を通過する電子電流の比を求める。図中、10～90%の数値で示した線がこの軌跡を示す。カソード側から見て行くと、電子電流はほぼnエミッタからpエミッタへ向かう方向に沿って流れていることが分かる。pエミッタ付近ではpエミッタ層の他に隣接する n^+ 短絡層にも電子電流の一部が流れている。pエミッタへ入った電子電流は広がり、 n^+ 層へと流れ出している。図からnエミッタ接合付近とpエミッタ接合付近での電子電流の比は約1:0.83であり、nエミッタから注入された電子の83%がpエミッタへ流れ込んでいることになる。次に、(b)のホール電流分布では、pエミッタから注入されたホールはnベース層へ入ると共に広がりpベース層へ流れ込む。pベースに流れ込んだホールの大部分はnエミッタへと向かうが、一部はnエミッタ接合付近でその向きを変え、図の左上端へと向っている。これは計算の誤差によるもので、実際はnエミッタへ流れ込むと考えられる。

電子電流とホール電流の大きさを比べると、nベース層のほぼ中央である $y = 100\mu\text{m}$ では、電子電流密度が 90 A/cm^2 であるのに対し、ホール電流密度は 20 A/cm^2 と電子電流の方がずっと大きい。次に、電子電流とホール電流の和である(c)の全電流について見てみる。(a),(b)から分かるように、全電流に占める電子電流の割合が大きいために、その分布はほぼ電子電流の分布に一致したものになる。

4.3.2 キャリヤ濃度分布および電位分布

図4.8(a)(b)(c)はそれぞれ図4.7に示した計算結果での横方向(x方向)の電子濃度分布、ホール濃度分布および電位分布を示す。(a)の電子濃度分布を見るとカソードに近い $y = 19\mu\text{m}$ での分布は、nエミッタ層に近いため注入された電子は、nエミッタから離れるとともに、急激に減少する。pベース層内である $y = 44\mu\text{m}$ では電子は拡散し、濃度勾配は $y = 19\mu\text{m}$ に比べて緩やかである。nベース層に入

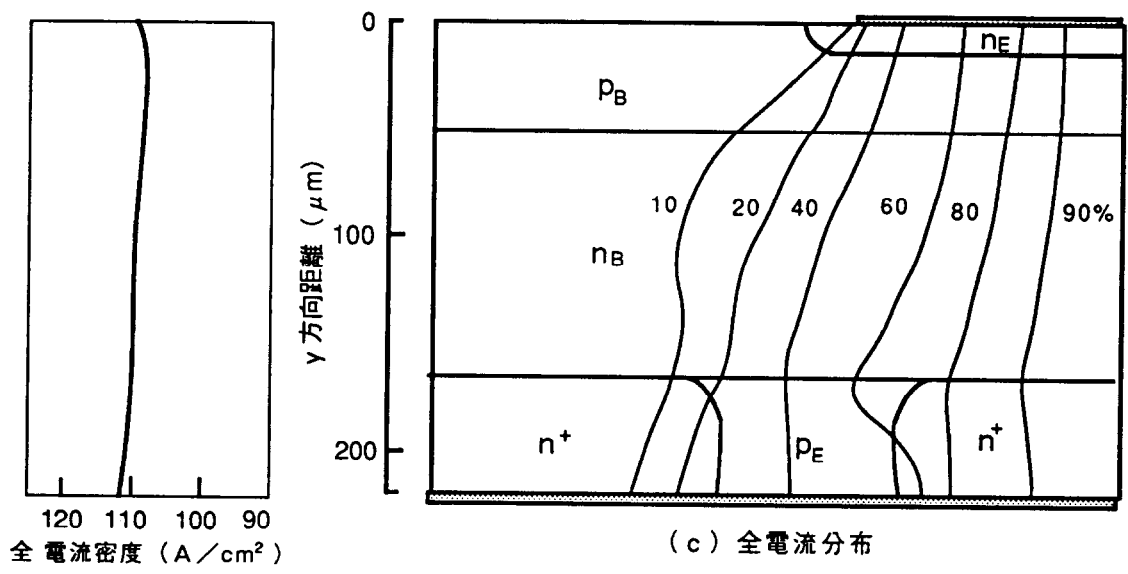
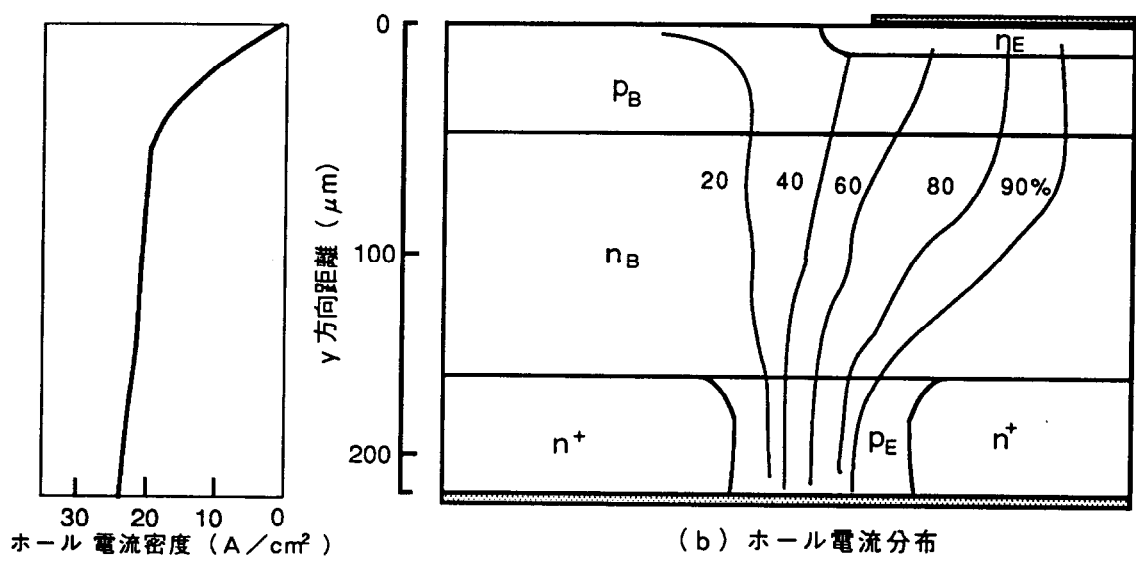
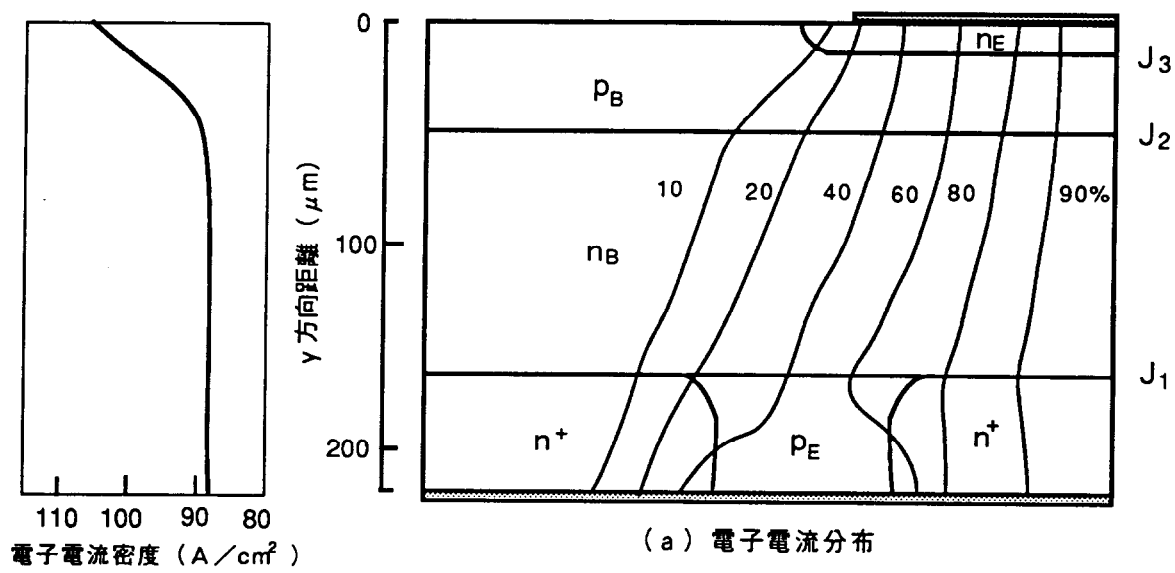
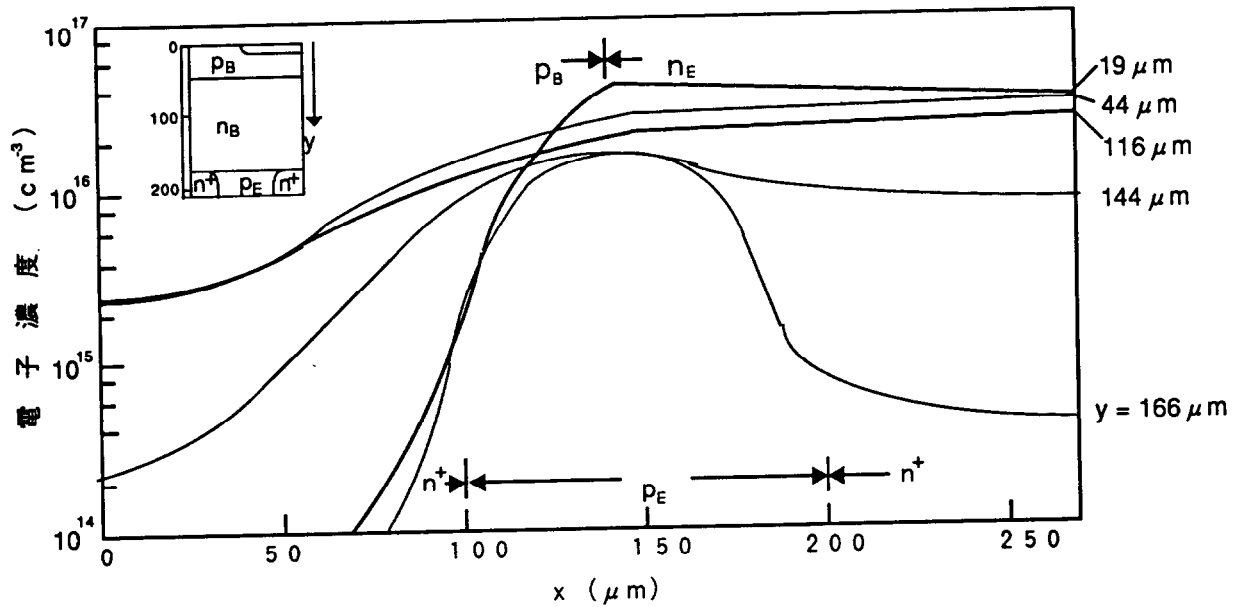
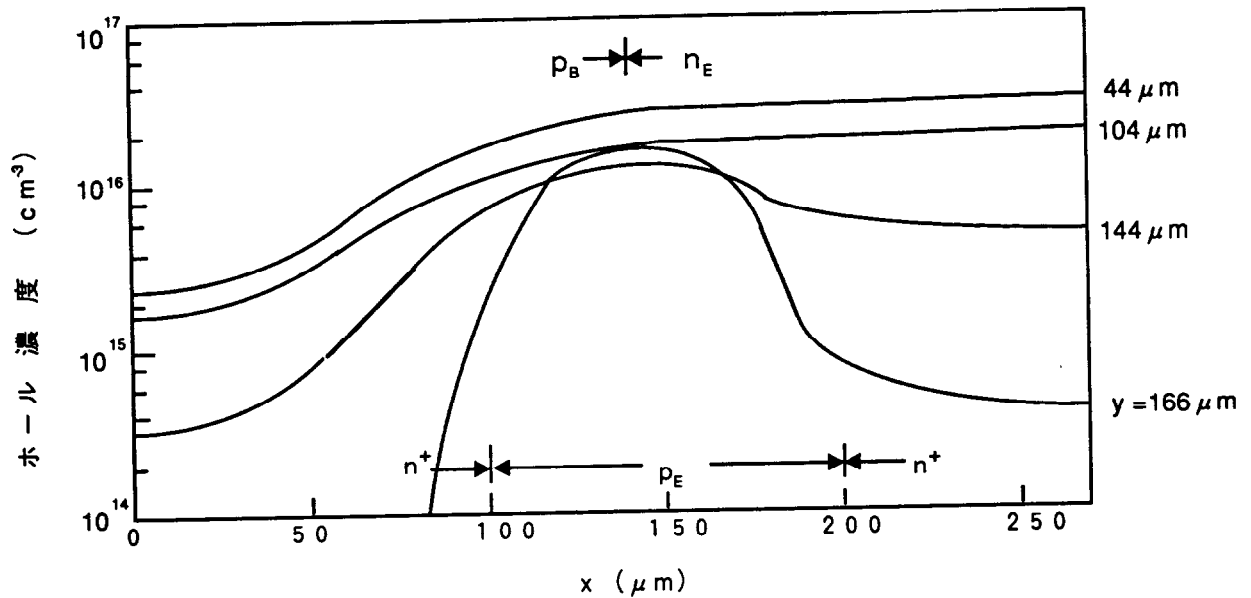


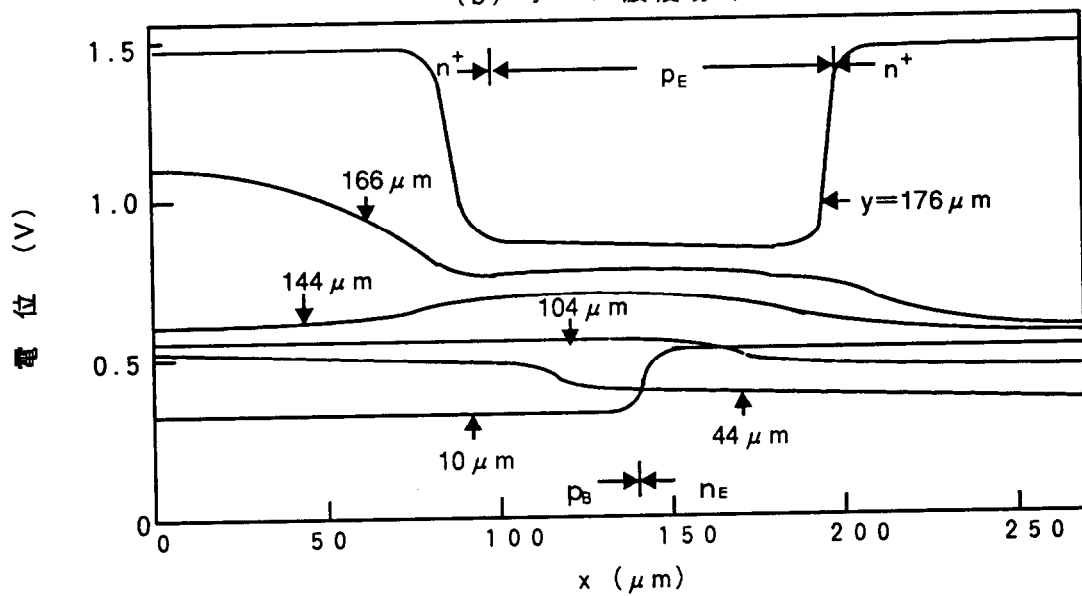
図 4.7 オン状態での電流分布 (試料No.4, $J_A=110 \text{ A/cm}^2$)



(a) 電子濃度分布



(b) ホール濃度分布



(c) 電位分布

図 4.8 オン状態での横方向 (x 方向) キャリヤ分布および電位分布

ると濃度分布はさらに平坦になる。 $y = 104 \mu\text{m}$, $x = 90 \mu\text{m}$ での拡散長を求めると約 $60 \mu\text{m}$ であり、 n ベース層でのライフタイム $10 \mu\text{s}$ およびアンビポーラ拡散¹⁴⁾ と仮定した場合の拡散定数 D_{amb} を $15 \text{ cm}^2/\text{s}$ として求めた拡散長 $120 \mu\text{m}$ の約半分である。拡散長が一致しなかったのは、 y 方向に電界が存在するためと考えられる。 p エミッタ層に近い $y = 166 \mu\text{m}$ での分布は p エミッタ中央部の $x = 150 \mu\text{m}$ でピークをもつ分布になっている。その分布は左右対称でなく、 n エミッタ層のある右の部分の濃度が高い。

次に (b) のホール濃度分布を見るとアノード側からの p ベースのほぼ真中 ($y = 44 \mu\text{m}$) までの濃度分布は (a) の電子の濃度分布とほぼ一致する。電荷中性条件によるためである。次に、これらキャリア濃度分布の様子を電位分布から考えてみる。(c) の電位分布を見るとアノード電極に近い $y = 176 \mu\text{m}$ では、 n^+ 層と p エミッタ層境界で電位は急激に変化し、 n^+ 層での電位は約 1.5 V までになっている。この電位の変化は不純物の濃度勾配による内蔵電界によるものである。この電位の変化がホールに対しては高い障壁として働き、電子に対しては吸い口として作用する。図4.7の電子電流分布図で p エミッタに流入した電子が n^+ 層へと流れ出したのは、この内蔵電界によるためである。 n ベースのほぼ真中である $y = 104 \mu\text{m}$ では左端より右端に向かって電位は緩やかに低下している。 $y = 10 \mu\text{m}$ では n エミッタ層内 ($y < 80 \mu\text{m}$) で電位が高くなる。これは、やはり内蔵電界によるもので、ホールに対して高い電位障壁として働く。図4.7(b)のホール電流分布において n エミッタ接合付近で大きく流れの向きが変化したのは、この電位障壁のためである。

次に、GTOの y 方向でのキャリア濃度分布などを調べるため、便宜上、素子内部を y 方向に沿って次の3つの部分に分ける。即ち、 p エミッタを有する部分をサイリスタ部、このサイリスタ部の右に接した部分を $n_E p_B n_B n^+$ トランジスタ部 (以下 $n p n n^+$ 部と呼ぶ)、サイリスタの左に隣接した部分を $p_B n_B n^+$ 層 (以下、 $p n n^+$ 部と呼ぶ) に分けることにする。

図4.9 (a) (b) (c) はそれぞれ図4.8の計算結果での各部でのキャリア濃度分布を示す。まず、(a) サイリスタ部 ($x = 156 \mu\text{m}$) でのキャリア濃度分布から見て行く。ベース層でのキャリア濃度は、 p エミッタ接合付近に比べて、 n エミッタ接合付近の方が大きい。これは p エミッタが短絡されているため p エミッタからの注入が抑えられ、 n エミッタからの電子の注入が相対的に大きくなったためである。 n エミッタ層、 p エミッタ層に入ると、各々の層での多数キャリアである電子およびホールの濃度が急激に高くなり、少数キャリアは減少する。

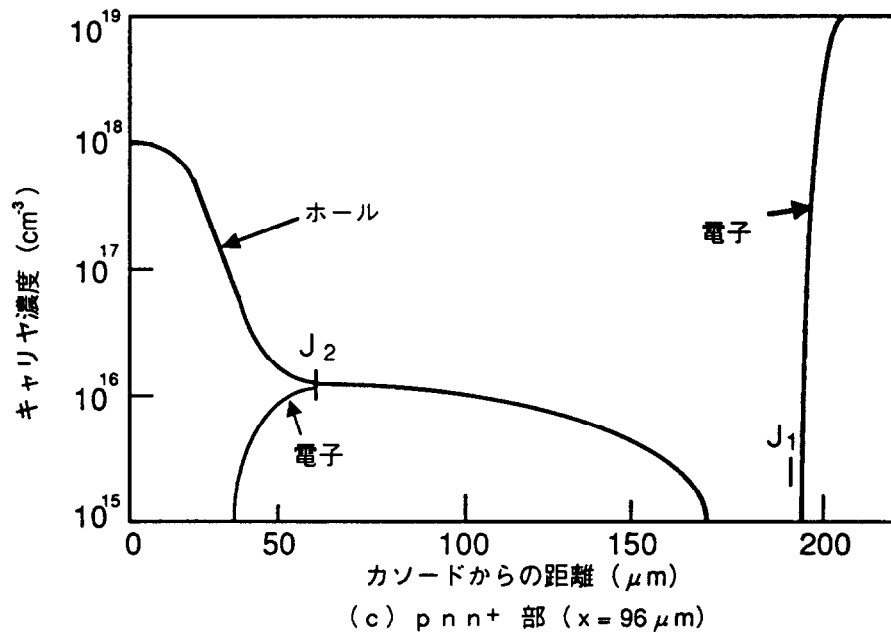
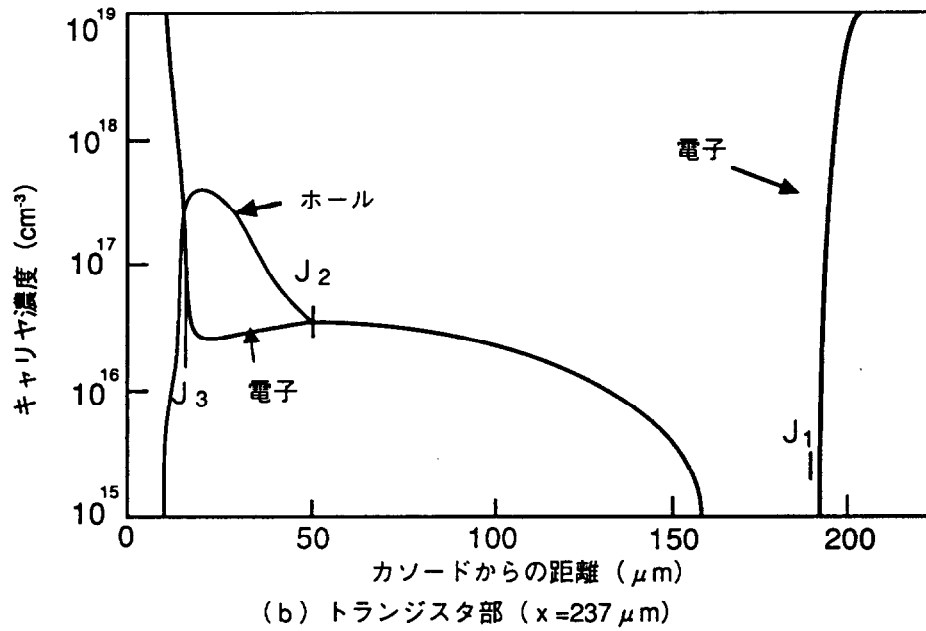
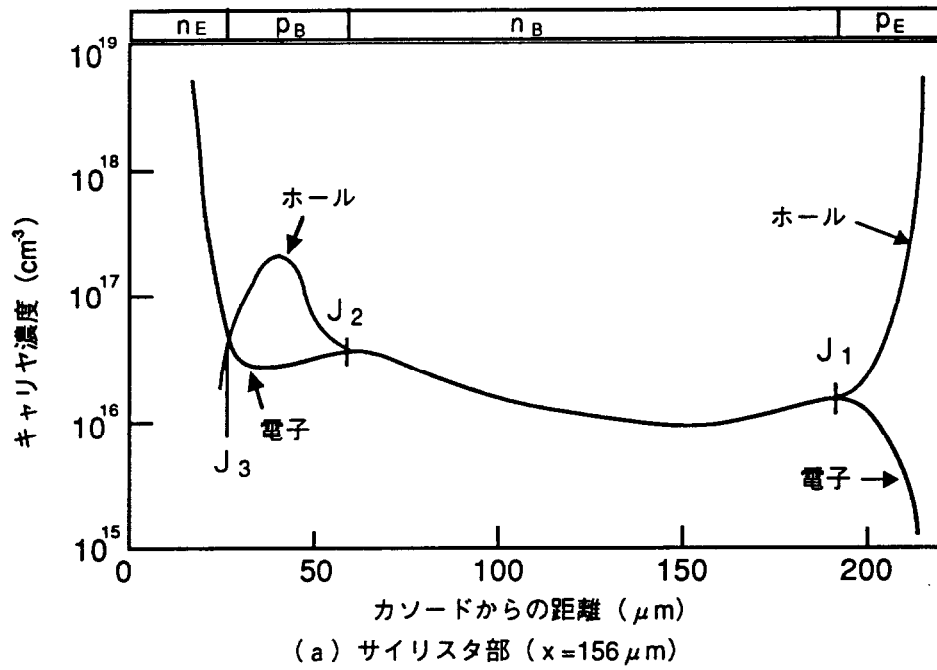


図 4.9 縦方向キャリア濃度分布 (試料No.4)

次に (b) の npn n⁺ トランジスタ部 ($x = 273 \mu\text{m}$) を見てみる。n 層と n⁺ 層の境界で電子濃度は急激に落ち込んでいる。これは n n⁺ の境界が npn n⁺ トランジスタの等価的なコレクタ接合として働いていることを示す。n 層は幅の広いベースとして働いている。このベース層を駆動しているのは、隣接しているサイリスタ部からの拡散キャリアによる。

最後に (c) の p n n⁺ 部 ($x = 96 \mu\text{m}$) でのキャリア分布を見てみる。n 層でのキャリア濃度はサイリスタ部、トランジスタ部に比べて 1 桁小さい。図 4.7 の電流分布からわかるように、この p n n⁺ 部での電流は僅かであり、オン特性には殆ど寄与しない。次に、サイリスタ部およびトランジスタ部での電位分布の様子を見てみる。

図 4.10 はサイリスタ部 ($x = 156 \mu\text{m}$) およびトランジスタ部 ($x = 273 \mu\text{m}$) での電位分布を示す。図中の電位は熱平衡状態での値を差し引いた値を示す。n エミッタ層、p ベース層では各々殆ど変わらない。n ベース領域ではサイリスタ部の方がトランジスタ部よりも電圧降下は大きい。そして、サイリスタ部の p エミッタ接合とトランジスタ部の n n⁺ 接合での電位分布を比べると、サイリスタ部の比べてトランジスタ部の方が、電圧の傾きは急峻である。これは p エミッタ層の表面濃度が $1 \times 10^{19} \text{cm}^{-3}$ であるのに対し、n⁺ 層の表面濃度が $1 \times 10^{20} \text{cm}^{-3}$ と 1 桁高いためにトランジスタ部の内蔵電界が大きくなることによるためと考えられる。

4.3.3 p エミッタ短絡構造と電流分布およびキャリア分布

図 4.11 は p エミッタ (アノードエミッタ) 短絡しない場合の全電流の分布を示す。n ベース層のほぼ真中の $y = 104 \mu\text{m}$ での電子電流とホール電流の比は、6 : 4 であった。p エミッタ層での電流分布はほぼ均一になっている。図 4.12 は図 4.11 の計算結果での x 方向の電子濃度分布を示す。n ベースのほぼ真中 $y = 104 \mu\text{m}$ で、電子濃度はほぼ一定になっており、電流分布が一定になっていることがわかる。図 4.7 と比べるとその違いがはっきりする。

図 4.13 は p エミッタ短絡構造の異なる場合のサイリスタ部 ($x = 156 \mu\text{m}$) の電子濃度分布を示す。p エミッタ短絡しない構造 No.6 および p エミッタ幅 ($r_5 - r_4$) を変えた場合の No.3 ~ No.5 について示している。p ベース、n ベース領域では電気的中性条件がほぼ満足されているため、ホール分布も同じになると考えてよい。No.6 の非短絡の構造では p エミッタ接合である J_1 接合と n エミッタ接合である J_3 接合付近でのキャリア濃度はほぼ等しい。p エミッタからのホールの注入レベルと n エミッタからの注

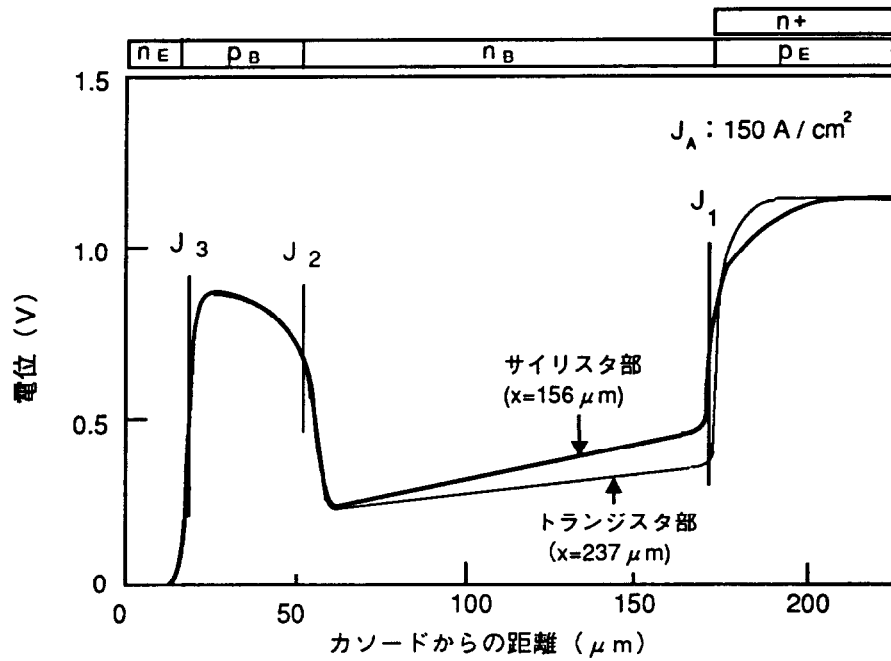


図 4.10 サイリスタ部およびトランジスタ部の電位分布

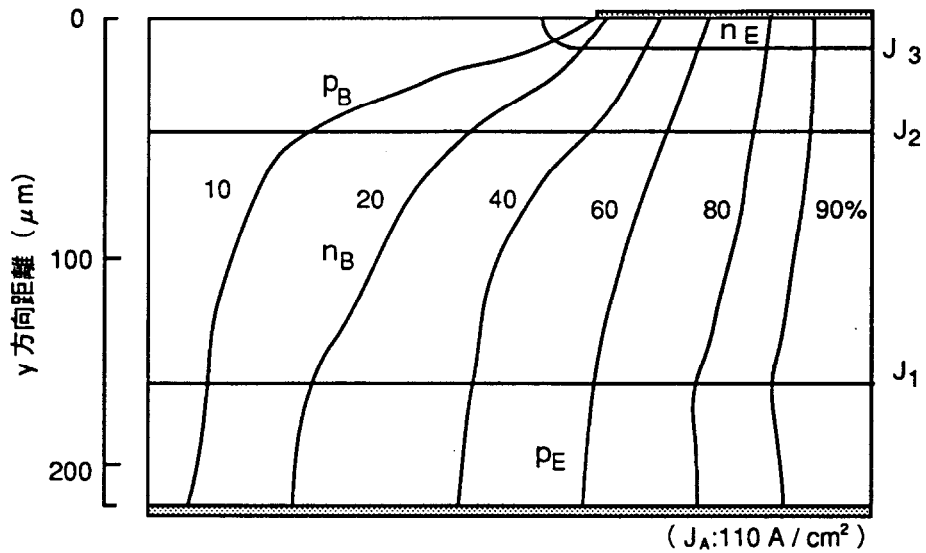


図 4.11 非短絡ときの電流分布

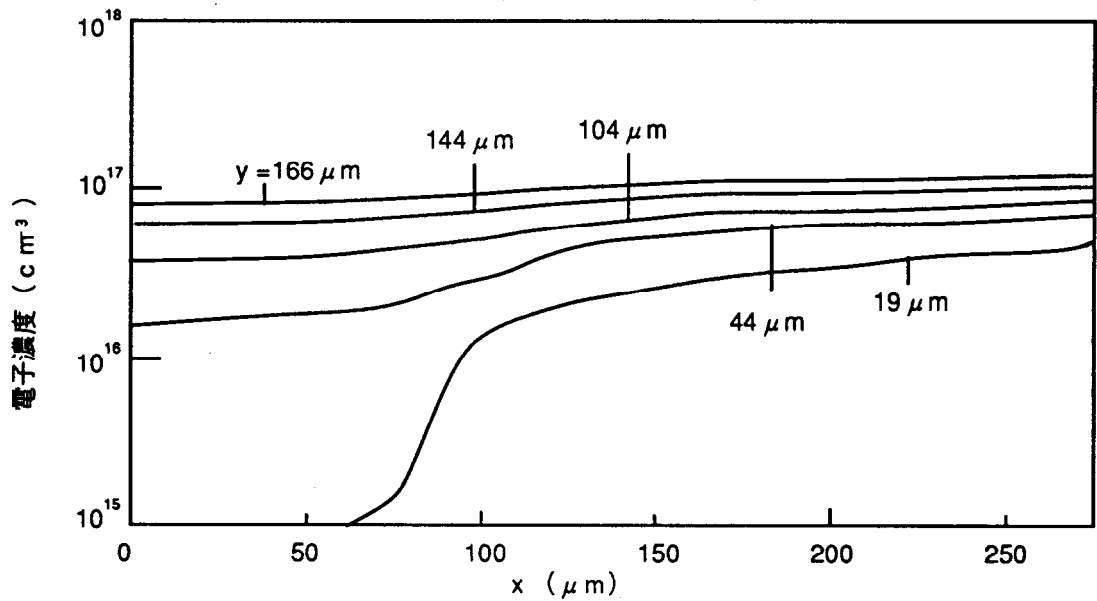


図 4.12 x 方向の電子濃度分布 (非短絡)

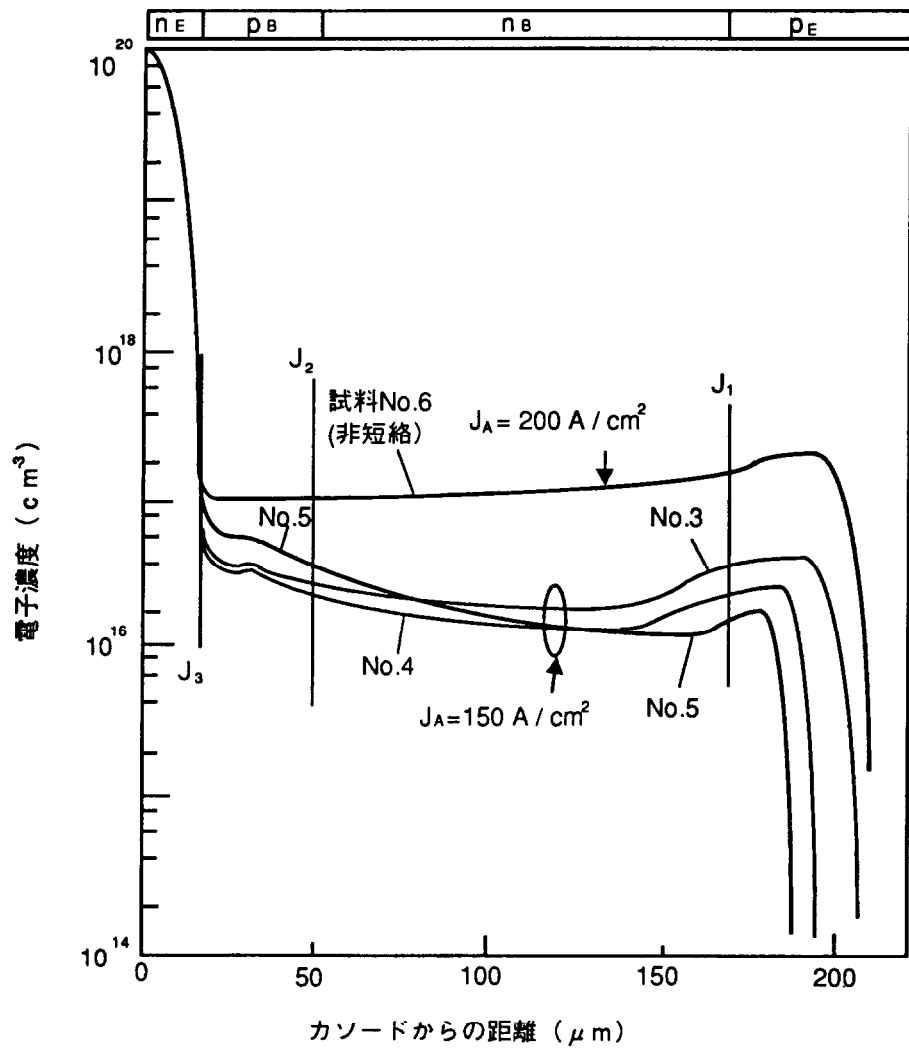


図 4.1 3 短絡構造と縦方向電子濃度分布

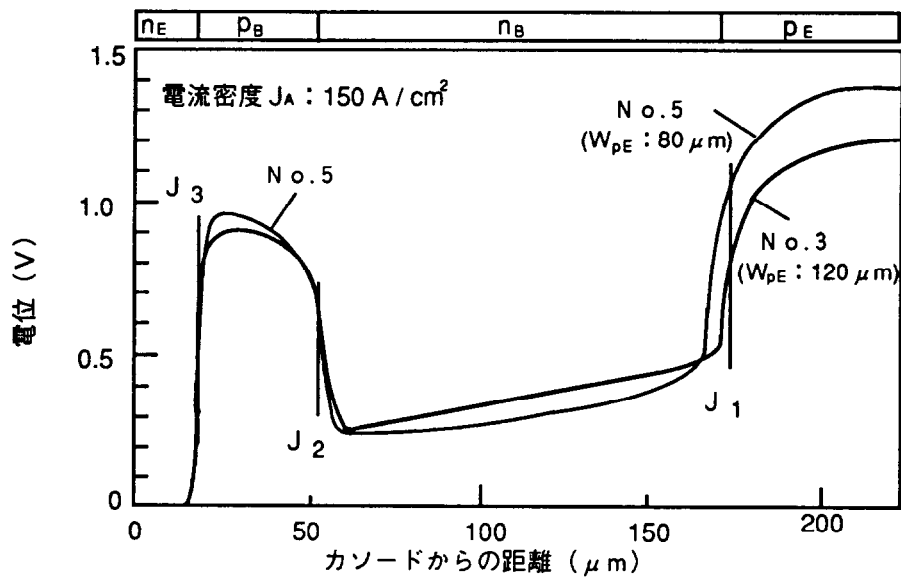


図 4.1 4 サイリスタ部の電位分布

入レベルがほぼ等しいためである。これに対してpエミッタ短絡した場合にはpエミッタの幅を狭くするに従ってpエミッタ接合付近のキャリア濃度は低くなる。また、pエミッタ幅が $80\mu\text{m}$ と比較的狭い構造No.5では $120\mu\text{m}$ の幅をもつNo.4に比べてnエミッタ接合付近のキャリア濃度が高くなっていることが分かる。このようにpエミッタ短絡の強さを変えると素子内部のキャリア分布が大きく変わる。次に、これらの現象をy方向の電位分布から考えてみる。

図4.14は図4.13の計算結果でのNo.3とNo.5のサイリスタ部でのy方向の電位分布を示す。カソードからアノードに向かって両者を比較してゆく。nエミッタとpベースからなるnエミッタ接合(J_3 接合)ではNo.3に比べてNo.5の方が 0.05V と僅かながら高くなっている。次に J_2 接合での電位の変化の様子は両者で殆ど変わらない。 J_2 接合に近いnベース中ではNo.5に比べてNo.3の方が電位の傾きがわずかに緩やかである。そして、pエミッタ接合(J_1 接合)ではNo.3に比べてNo.5の方が接合電圧がほぼ 0.5V 高くなっている。以下このことについて検討する。No.3とNo.5ではpエミッタ短絡の強さが異なるため図4.13で見たようにpエミッタからのホールの注入レベルが異なる。これに応じて短絡の強いNo.5ではpエミッタ接合の接合電圧を高めてホールの注入を促すと共に、nエミッタ接合では短絡によるホール注入の減少分をnエミッタ接合の電圧を高めてnエミッタからの電子の注入を増してこれを補う必要がある。これらが両エミッタの接合電圧の違いとなって表われている。即ち、nエミッタ、pエミッタ共、No.5の方が接合電圧が高くなっている。これに対してnベース中での電位勾配の違いは図4.13のキャリア分布から類推できる。一般に半導体中を流れる電流は(4.6)(4.7)式で表わされるが、ここでは1次元の形で示すと、次式のようなになる。

$$J_n = q (n\mu_n E + D_n dn/dx) \quad (4.17a)$$

$$J_p = q (p\mu_p E - D_p dp/dx) \quad (4.17b)$$

ここで、 J_n ：電子電流、 μ_n ：電子の移動度、 n ：電子濃度、 D_n ：電子の拡散定数、

J_p ：ホール電流、 μ_p ：ホールの移動度、 p ：ホール濃度、 D_p ：ホールの拡散定数、

q ：電子の電荷量、 E ：電界強度である。

(4.17a)(4.17b)式の右辺第1項はドリフト電流成分であり、第2項は拡散電流成分である。

同式よりドリフト電流成分と拡散電流成分の和が全電流を与えることから、電流を一定とした場合にドリフト電流成分が大きい場合には拡散電流成分が小さくなり、反対に拡散電流成分が大きい場合には拡散電流成

分が小さくなる。図4.13のNo.5ではカソードに近いnベース層ではNo.3に比べてキャリア濃度が大きく、反対にアノードに近いnベース層ではNo.3に比べて小さくなっていた。これより、 J_2 接合に近いnベース層ではキャリア濃度の高いNo.5では拡散電流成分が大きくなるために、ドリフト電流成分が相対的に小さくなり、これに応じて電界も弱くなる。これが J_2 接合付近のnベース層でNo.5の電位勾配がNo.3に比べて緩やかになった理由である。一方、 J_1 接合に近いnベース中では J_3 接合付近とは反対にNo.3の方がNo.5に比べてキャリア濃度が高い。このため、No.5の場合、拡散電流成分が小さくなるためドリフト電流成分を増大させて電流を流す必要がある。図4.13で J_1 接合付近のnベースでの電位勾配がNo.5の方がNo.3に比べて大きかったのはドリフト電界を強めてドリフト電流成分を大きくするためである。

図4.15はpエミッタ幅を変えた場合のオン電圧の比較を示す。pエミッタ幅が小さくなると共にオン電圧が高くなることが分かる。pエミッタ幅が $80\mu\text{m}$ であるNo.3のオン電圧は $40\mu\text{m}$ であるNo.5よりも 0.15V 低い。この差は図4.14で示されるように、主にpエミッタ接合付近での電圧降下の差によるものである。

4.3.4 計算結果と実測結果の比較

図4.16はGTOの高導通状態での計算結果と実測結果の比較を示す。図にはpエミッタ短絡のある試料No.1と非短絡の試料No.2の電圧-電流特性が示されている。計算に用いるライフタイムをフィッティングすることにより、計算値を実験値に近づけることができる。No.1について、オン電圧 1.0V でのアノード電流密度が実験値とほぼ一致するよう表4.3のように仮定した場合のライフタイムを非短絡のNo.2についても用いた。短絡がある場合には、電圧-電流特性は計算値と実験値とで比較的よく一致している。非短絡の場合、同一電流密度でのオン電圧は実験値よりも計算値の方がかなり小さい。しかし、電圧-電流特性の形はよく似ている。電圧-電流特性の絶対値が一致しなかった原因としては、計算に用いたNo.2のライフタイムが高かったことが考えられる。pエミッタ短絡した試料では短絡部の n^+ 層を拡散により形成するため、隣ゲッタ作用によりライフタイムが高くなることが予想される。これが原因の一つに考えられる。

4.4 アノードエミッタ短絡GTOの過渡解析

4.4.1 素子構造と計算モデル

図4.17は二次元定常オン状態計算に用いたpエミッタ（アノードエミッタ）短絡型GTOのユニット

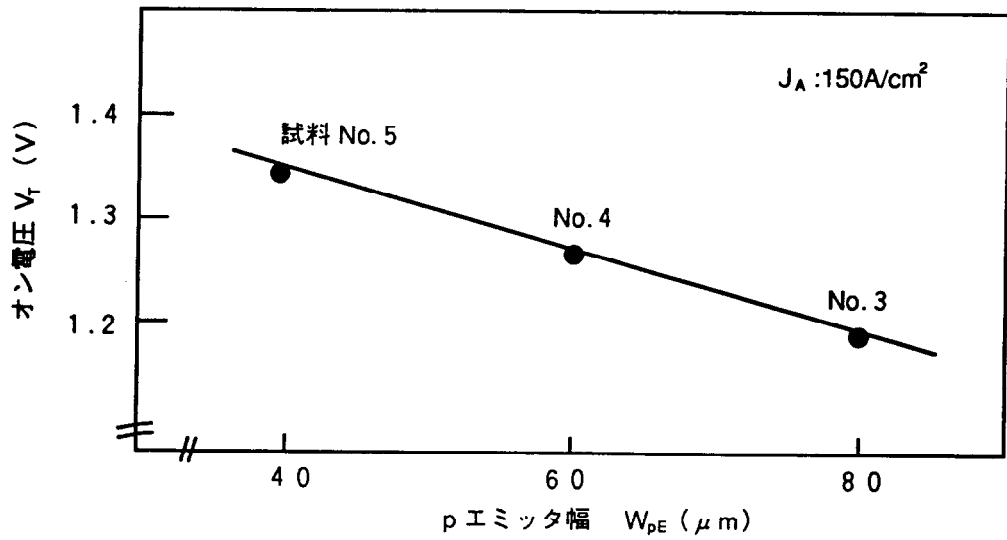


図 4.15 pエミッタ幅とオン電圧の関係

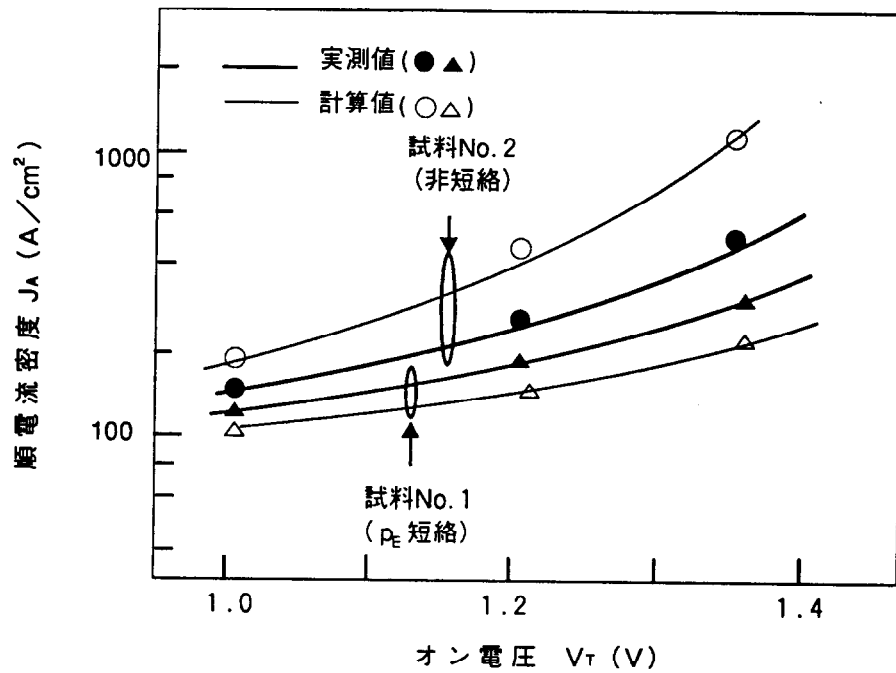


図 4.16 高導通特性の計算値と実測値の比較

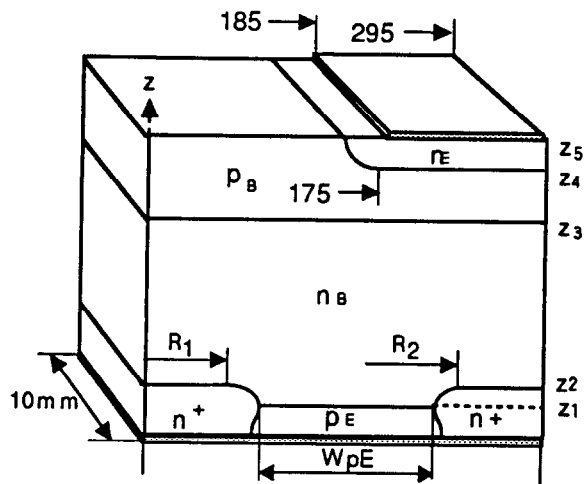


図 4.17 モデルGTOの構造 [長さ単位: μm]

表 4.4 二次元計算に用いた素子構造寸法 [長さ単位: μm]

No	R_1	R_2	W_{pE}	備考
1	90	240	110	実素子データ有
2	70	260	150	
3	50	280	190	
4	—	290	270	片側短絡
5	—	—	295	pEミッタ非短絡

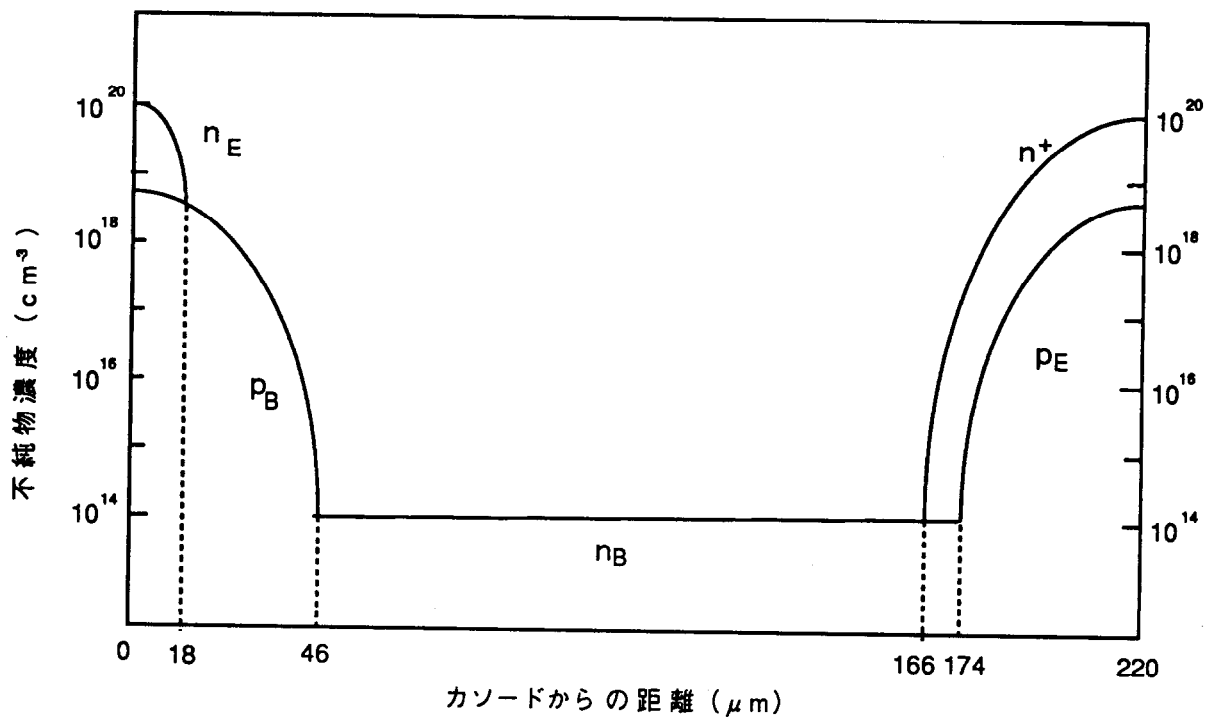


図 4.18 計算に用いた不純物濃度分布

構造を示す。計算モデルでは実素子が選択拡散により p エミッタ層が作られていることを念頭において、ホトマスクの寸法である R_1 および R_2 を入力データとしている。短絡構造と素子特性の関係を調べるため p エミッタ幅 W_{pE} を種々変えた。

表 4.4 は計算した素子構造パラメータの一覧表である。短絡幅だけの影響を調べるため、n エミッタ層と p エミッタ層の相対位置は変えずに p エミッタ幅のみを変化させた。 R_1, R_2 は n^+ 層選択拡散のためのマスク寸法を示す。No.1 の構造は実際に試作している。No.5 は p エミッタ短絡のない構造である。

図 4.18 は計算モデル素子の不純物濃度分布を示す。図にはサイリスタ領域および $n^+n_Bp_Bn_E$ トランジスタ領域の中心部の濃度分布が示されている。

表 4.5 は計算に用いたライフタイムの値を示す。p エミッタ短絡型では各層のライフタイムを一定とし、短絡構造を変えることでオン電圧とターンオフ時間の関係を求めた。一方、非短絡の場合には n ベース層のライフタイムを $0.6 \sim 1.5 \mu s$ の範囲で変えることでオン電圧とターンオフ時間の関係を求めた。

図 4.19 は p エミッタ短絡型 GTO のライフタイム分布を図示したものである。

4.4.2 一次元近似モデル

図 4.20 は p エミッタ短絡型 GTO の一次元近似モデル、および外部回路を示す。一次元近似モデルは n ベース内の 1 点 (この点を X_{sp} とする) に一定の電子電流 I_s がアノード電極から短絡領域を通して流入するというモデルを考えた。電子電流だけが p エミッタ短絡部を通して流れることが、図 4.7 から明らかになっている。この物理モデルをキャリアの連続の式で表わすと、(4.18 a) 式の電子の連続の式において X_{sp} 点での再結合率 R が (4.18 b) 式のようにになる。

$$\partial n / \partial t = (1/q) (\partial J_n / \partial t) - R \quad (4.18 a)$$

$$R = (\Delta n / \tau_{eff}) + (1/q) (I_s / S \cdot w) \quad (4.18 b)$$

ここで、 n : 電子濃度、 Δn : 過剰電子濃度、 q : 素電荷、 J_n : 電子電流密度、 R : 再結合率、

τ_{eff} : キャリヤの実効的なライフタイム、 W : 点 X_{sp} を含むメッシュの幅、

I_s : p エミッタ短絡部を流れる電流、 S : 接合面積 (本モデルでは 0.09 cm^2) である。

即ち、n ベース層内の 1 点 X_{sp} に流入する短絡電流 I_s に対して、(3.18 b) 式の第 2 項で与えられる割合により電子が消滅しているというモデルを考えている。外部回路は主電源 E_s : 400 V ,

表 4.5 ライフタイム入力データ

単位: μm

素子構造	nエミッタ	pベース	nベース	pエミッタ	n+短絡層
pエミッタ短絡型	0.1	0.5	10	0.5	0.1
非短絡型	0.1	0.5	0.6 ~1.5	0.5	-

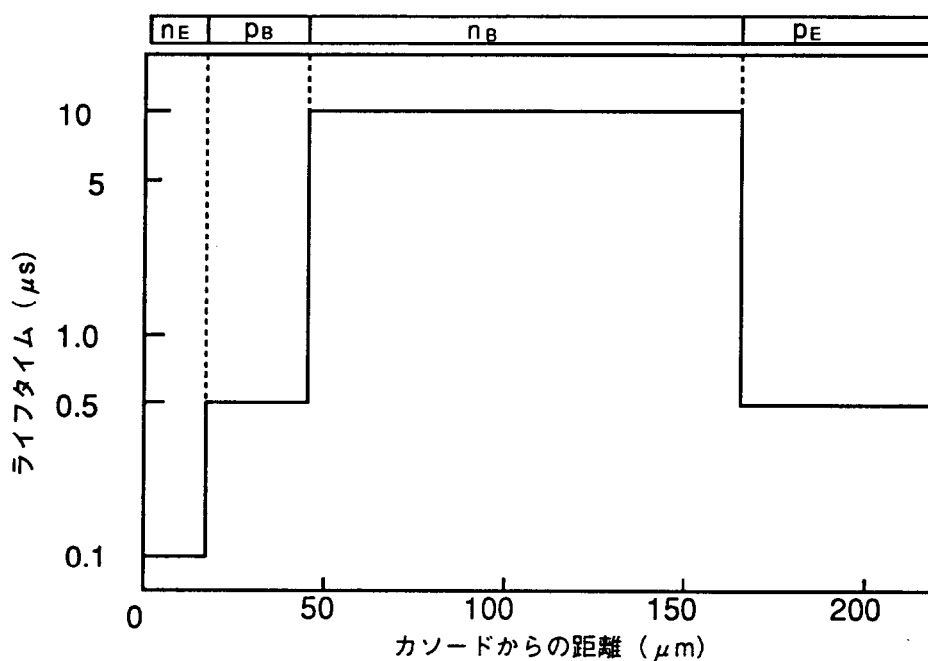


図 4.19 計算に用いたライフタイム分布 (pエミッタ短絡型)

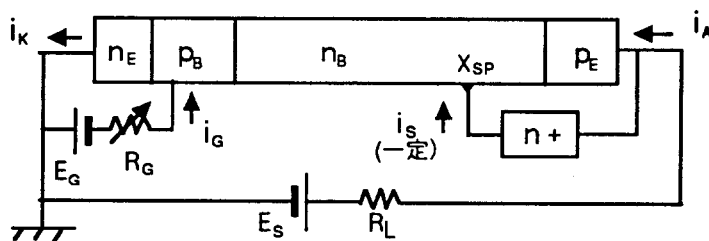


図 4.20 pエミッタGTOの一次元モデルと外部回路

負荷抵抗 R_L : 6.7Ω , ゲート電源電圧 E_G : $10V$ (逆バイアス) とし、いずれも一定である。ゲート抵抗 E_G はゲートターンオフ用ゲート電流を流し始めてから、 $1.25 \mu s$ 後にゲート電流が $-20A$ となるように直線的に変化させ、その後は 0.5Ω 一定とした。次に、短絡部を流れる電流 I_s の求め方を図4.21に示す電流分布の二次元計算結果を用いて説明する。

図4.21はアノード電流密度 (アノード電流/アノード面積) が $220A/cm^2$ の場合のpエミッタ短絡型GTOの二次元電流分布、および等電位分布を示す。(a), (b) はそれぞれpエミッタ短絡幅が異なり、(a) に比べて (b) の方が、pエミッタ幅が $80 \mu m$ 広い。アノード電極から左右のpエミッタ短絡部を流れる電流の和を一次元モデルでの短絡電流 I_s とした。(a) ではpエミッタ短絡部にアノード電流の約 50% の電流が流れているため、 I_s をアノード電流の 50% とした。一方、(b) では短絡部に約 35% の電流が流れているので、 I_s はアノード電流の 35% とした。

一次元モデルでは I_s を時間的に変化しないと仮定している。この仮定は、後述のようにターンオフ用ゲート電流を流し始めてからアノード電流が 90% に減少するまでの時間、即ち蓄積時間 t_s において近似的に成立している。そこで、最初に蓄積時間を計算して本モデルの妥当性を検討した。次に、ターンオフ下降時間 t_f (フォール時間) を検討した。本モデルで下降時間を計算できない場合でも (a) の場合の下降時間 t_f は $0.3 \mu s$ 程度と蓄積時間の約 $2 \mu s$ に比べて1桁小さいため、蓄積時間をターンオフ時間と近似的に見なせる。

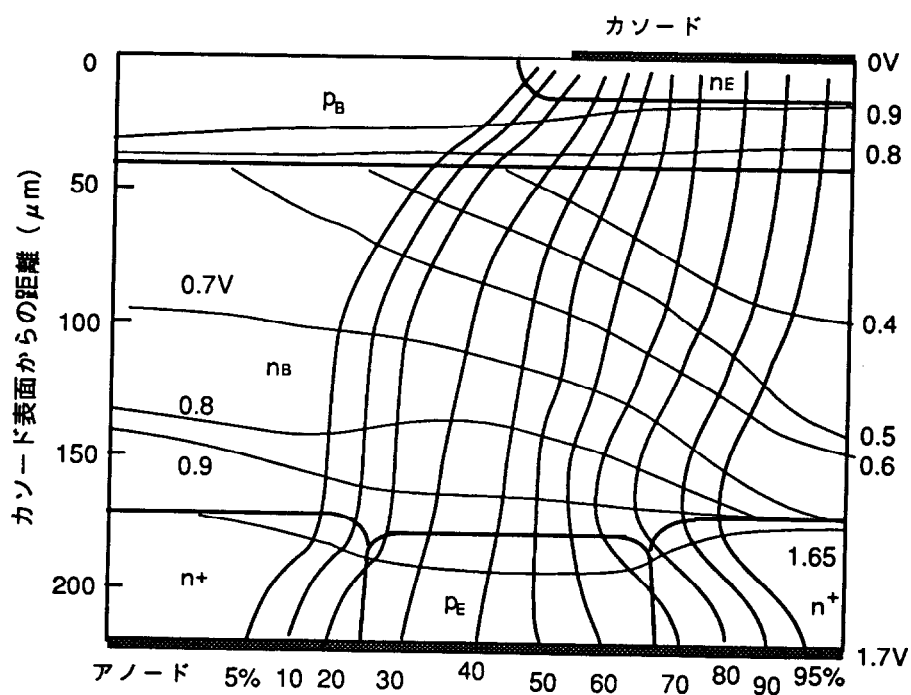
図4.20に示すモデルにおいて短絡電流が流入する位置 X_{sp} を図4.21の定常状態の二次元電流分布から推定した。サイリスタ領域からpエミッタ短絡部へ流入する電子は、カソードからほぼ $150 \mu m$ 付近の位置になるとpエミッタ短絡部へとその向きを変えている。このため、 X_{sp} をカソードから $150 \mu m$ 前後の位置に設定することにした。

4.4.3 等価一次元モデルの検討

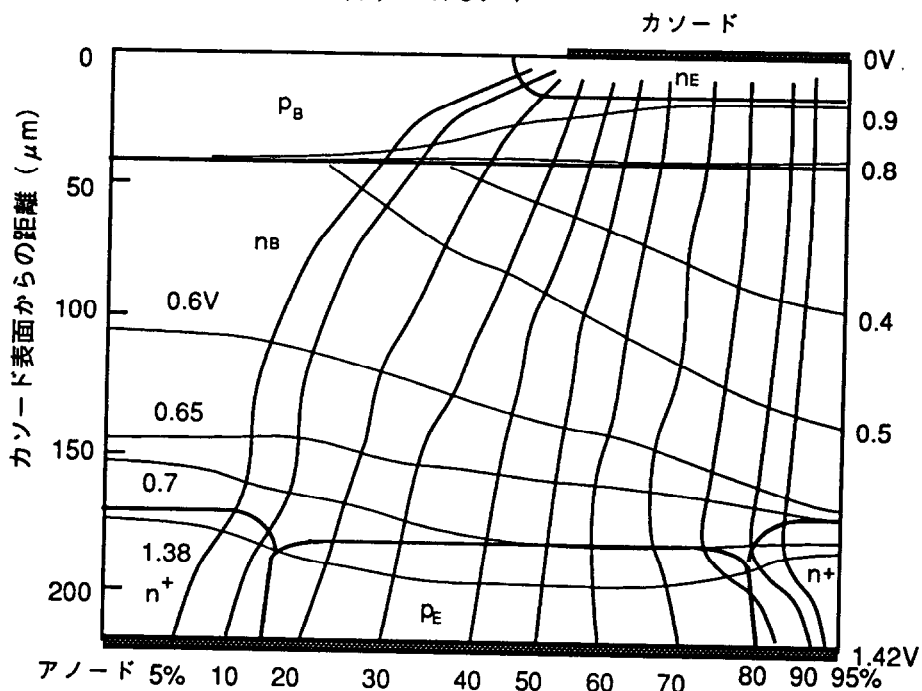
図4.22は一次元モデル、および二次元モデルを用いて図4.21(a)に示すGTOのサイリスタ領域での電子濃度分布を示す。また、同図にpエミッタ短絡しない場合の電子濃度分布も示した。アノード電流密度が、いずれも $220A/cm^2$ の定常状態の場合である。以下、定常状態の電流密度を J_A で表わす。

短絡点 X_{sp} の位置を決めるために、カソードから $150 \mu m$ の前後の位置で数ケースについて計算した。

その結果、図に示すようにカソードから $145 \mu m$ の位置に設定することにより二次元モデルの計算結果に



(a) No. 1



(b) No. 3

図 4.2 1 定常状態での二次元電流分布と等電位分布
($J_A = 220 \text{ A/cm}^2$)

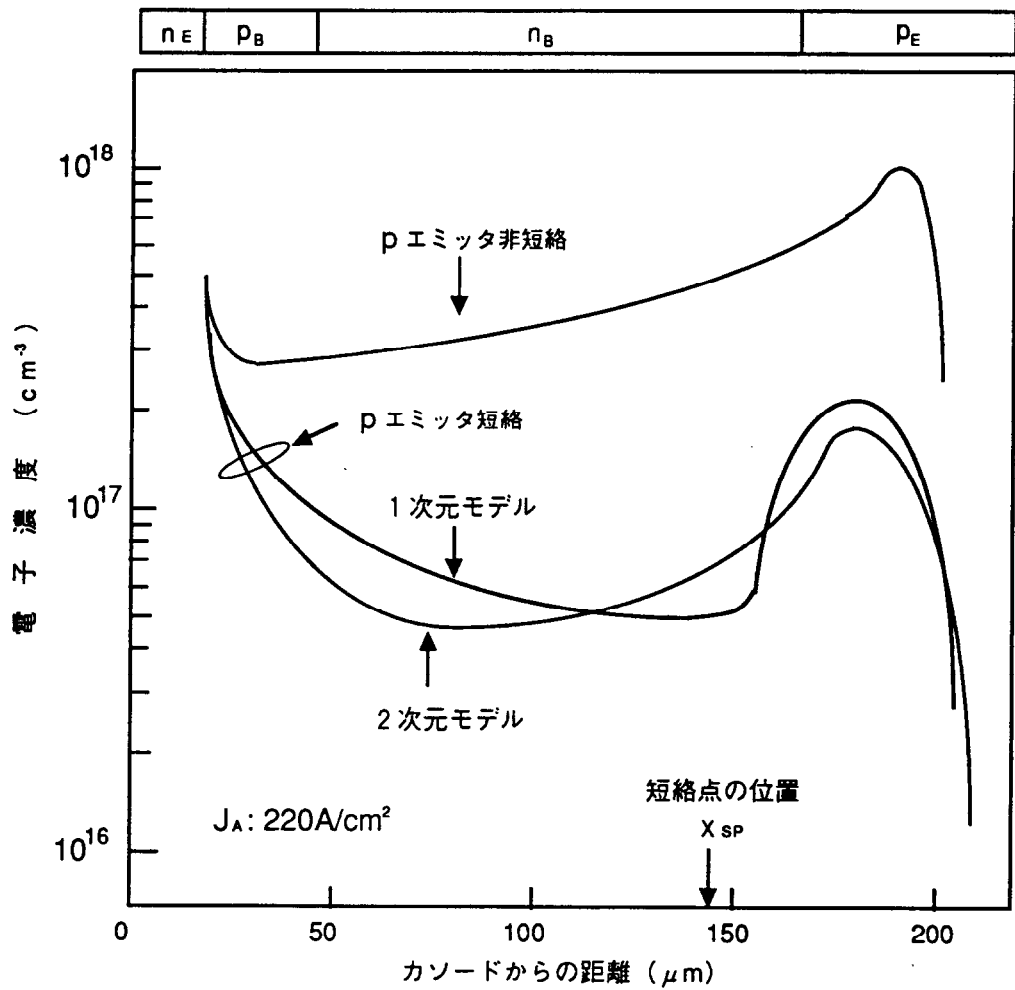


図 4.2 2 1次元モデルと2次元モデルの電子濃度分布の比較 (No.1, サイリスタ領域)

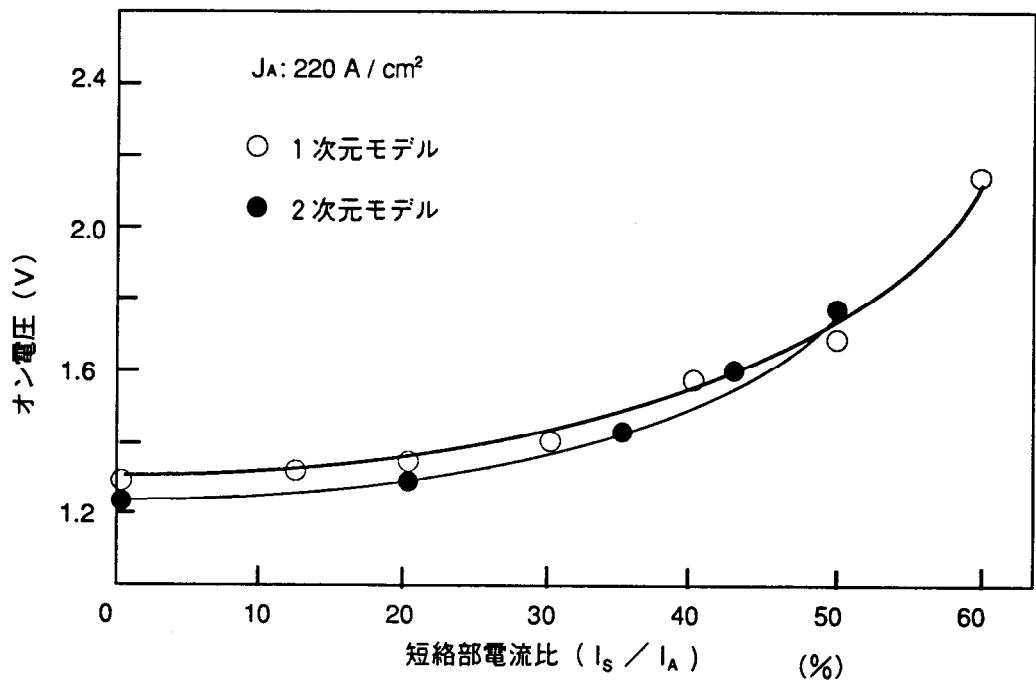


図 4.2 3 1次元モデルと2次元モデルのオン電圧の比較

近い電子濃度分布が得られた。一次元モデルと二次元モデルでは J_1 接合と J_2 接合付近の電子濃度分布は、ほぼ一致している。以下の一次元モデルでは点 X_{sp} をカソードから $145\mu\text{m}$ の位置に設定した。pエミッタ非短絡の場合に比べて、短絡した場合にはpベース層、nベース層内の電子濃度が約1桁小さくなっている。pエミッタ短絡によりキャリアが減衰している様子がよく分かる。

図4.23は短絡電流 I_S とアノード電流 I_A の比（以下 I_S/I_A で表わす）を変えた場合の I_S/I_A とオン電圧の関係を示す。図には一次元モデルと二次元モデルの計算結果を示す。アノード電流密度は、いずれも $220\text{A}/\text{cm}^2$ である。一次元モデルに対して二次元モデルのオン電圧は、やや小さいが両者は比較的よく一致している。

図4.24はターンオフ時の各電流波形の計算結果と実測結果の比較を示す。下降時間までの実測波形と計算波形は、かなり良く一致している。蓄積時間 t_s と下降時間 t_f の計算値は、それぞれ $2.1\mu\text{s}$ および $0.3\mu\text{s}$ であり、両者の和をターンオフ時間とすれば $2.4\mu\text{s}$ である。ターンオフ時間の実測値は $2.5\mu\text{s}$ であった。本モデルにより、良い近似でターンオフ時間を計算できることが分かった。1ケースの計算時間は約1分間である。

図4.25は一次元モデル素子におけるターンオフ時の電子濃度分布の時間変化を示す。pエミッタ短絡した場合である。ゲート電流の通電開始時刻を0とし、以後の経過時間と電子濃度分布の関係を示した。ターンオフ用ゲート電流を流し始めて $1.4\mu\text{s}$ 経過すると J_2 接合付近の電子濃度は減り始める。 $1.6\mu\text{s}$ 後には J_2 接合付近の電子濃度はさらに小さくなり、空乏化しつつあることが分かる。蓄積時間である $2.1\mu\text{s}$ 後には J_2 接合付近の電子濃度はかなり減少しているが、アノード電極から短絡点 X_{sp} 付近までの電子濃度分布の変化をみると殆ど変わっていない。このことからpエミッタ短絡領域(n^+ 層)内のキャリア濃度分布も蓄積時間までは変化しないと近似的にみなせる。したがって短絡電流が一定であるという一次元モデルの仮定は、少なくとも蓄積時間までは成立しているとみなせる。

次に比較のため、pエミッタ非短絡の構造のGTOのターンオフ動作について調べてみる。

図4.26は非短絡型GTOの一次元モデル素子のターンオフ時における電子濃度分布の時間変化を示す。定常状態のアノード電流密度は $220\text{A}/\text{cm}^2$ である。図4.25と同様にターンオフ用ゲート電流通電開始時刻を0として、それ以後の経過時間と電子濃度分布の変化を示した。この場合の蓄積時間は $2.3\mu\text{s}$ であった。キャリアの減衰の様子は、図4.25のpエミッタ短絡型の場合に良く似ている。ここで J_1 接合、

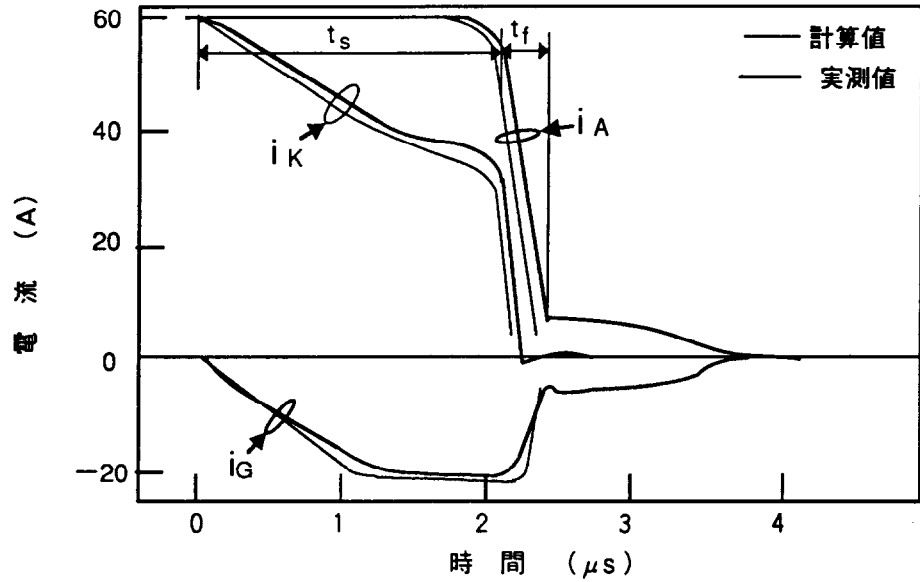


図 4.24 計算値と実測値のターンオフ波形の比較

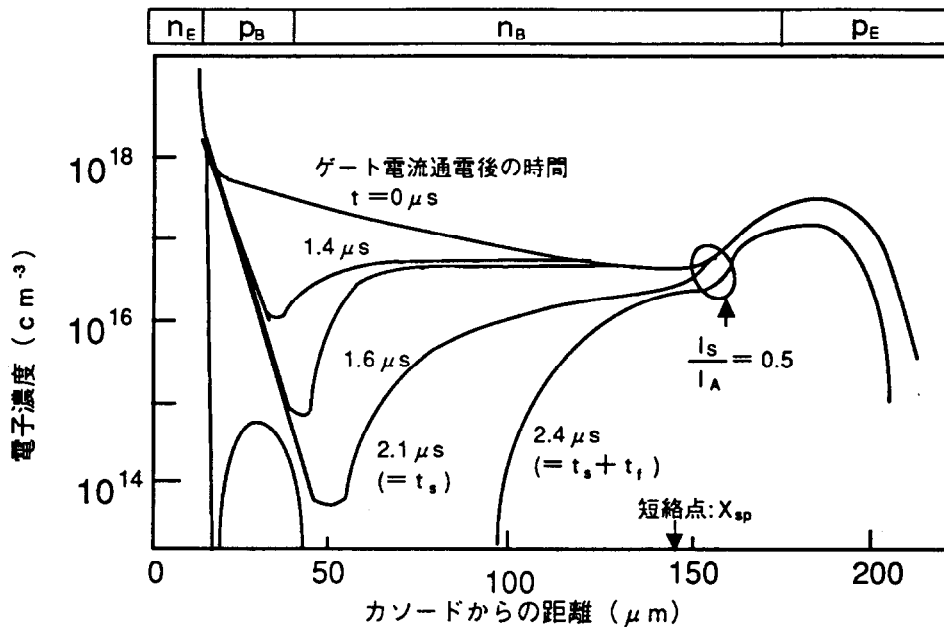


図 4.25 ターンオフ時の素子内の電子濃度分布の時間変化 (p エミッタ短絡型)

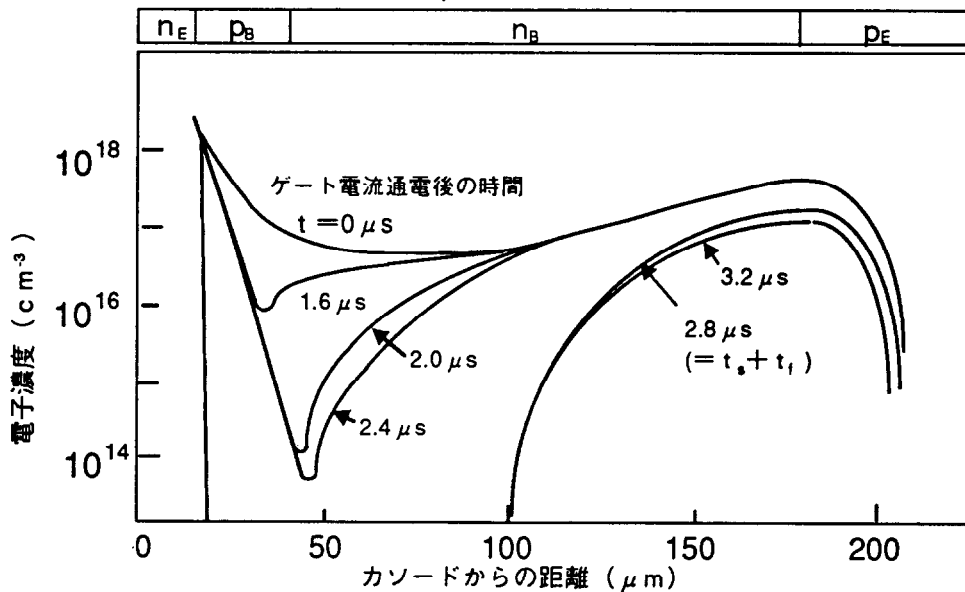


図 4.26 ターンオフ時の素子内の電子濃度分布の時間変化 (非短絡型)

および一次元モデルの短絡点があるカソードから145 μm 付近の電子濃度分布の時間変化に着目してみる。蓄積時間の2.3 μs を過ぎて2.4 μs 経過しても電子濃度は殆ど変わっていない。アノード電流が10%までに減少する時刻2.8 μs で電子濃度は J_1 接合で $2.4 \times 10^{17} \text{cm}^{-3}$ から $1.8 \times 10^{17} \text{cm}^{-3}$ へ減少している程度である。このようにpエミッタ非短絡のGTOにおいてもターンオフ時間に到るまで、 J_1 接合付近のキャリア濃度の変化は少ない。

4.4.4 ターンオフ時間とオン電圧の関係

図4.27は一次元モデルにおいて、(1) pエミッタ短絡構造とした場合 (pエミッタ短絡型)、(2) pエミッタ短絡しない構造 (非短絡型) の場合のターンオフ時間とオン電圧の関係を示す。図にはpエミッタ短絡型GTO (No.1) の実測結果 (□印) も示してある。アノード電流密度はいずれも 220A/cm^2 である。pエミッタ短絡型の計算結果は、アノード電流に対する短絡電流の比を変えることにより求めた。pエミッタ短絡型(1)には表4.5に示すライフタイムを用いた場合の計算結果であり、pエミッタ短絡型(2)はpエミッタ短絡型(1)よりもnベース層、pベース層、pエミッタ層のライフタイムを長くした場合で、nベース層で $\tau_{nB} = 50 \mu\text{s}$, pベース層およびpエミッタ層で $\tau_{pB} = \tau_{pE} = 2 \mu\text{s}$, nエミッタ層で $\tau_{pE} = 0.1 \mu\text{s}$ としたときの計算結果を示す。一方、非短絡型の場合はnベース層のライフタイムを0.6~1.5 μs と短絡型に比べて1桁小さくしている。まず、実素子を模擬していると考えられるpエミッタ短絡型(1)の計算結果 ($I_S/I_A = 50\%$) と実測結果を比較してみる。両者のターンオフ時間はほぼ一致している。オン電圧に関しては、実測値の方が計算値よりも0.2 V高い。この原因は計算値に含まれないコンタクトドロップ分の影響と考えられる。計算結果から推定して実測のGTOのデータは、ターンオフ時間とオン電圧の相関曲線上で、短絡電流の変化に対してオン電圧が大きく変化する領域にあると予想される。pエミッタ幅を広げて I_S/I_A を20%とすれば、オン電圧を0.3 V低くすることができる。このときのターンオフ時間は10 μs であり、短絡電流の変化によるオン電圧の変化が小さな領域にある。次にライフタイムが長いpエミッタ短絡型(2)と短いpエミッタ短絡型(1)を比較してみる。ターンオフ時間が5 μs 以上では、pエミッタ短絡型(2)の方がオン電圧は低い。ターンオフ時間が5 μs 以上の場合には、これまでの実素子よりもnベース層、pベース層のライフタイムを長くして、pエミッタ短絡幅を広げた方が有利であることが分かる。

次に、pエミッタ短絡型(1)と非短絡型を比較してみる。同一ターンオフ時間に対するオン電圧は、p

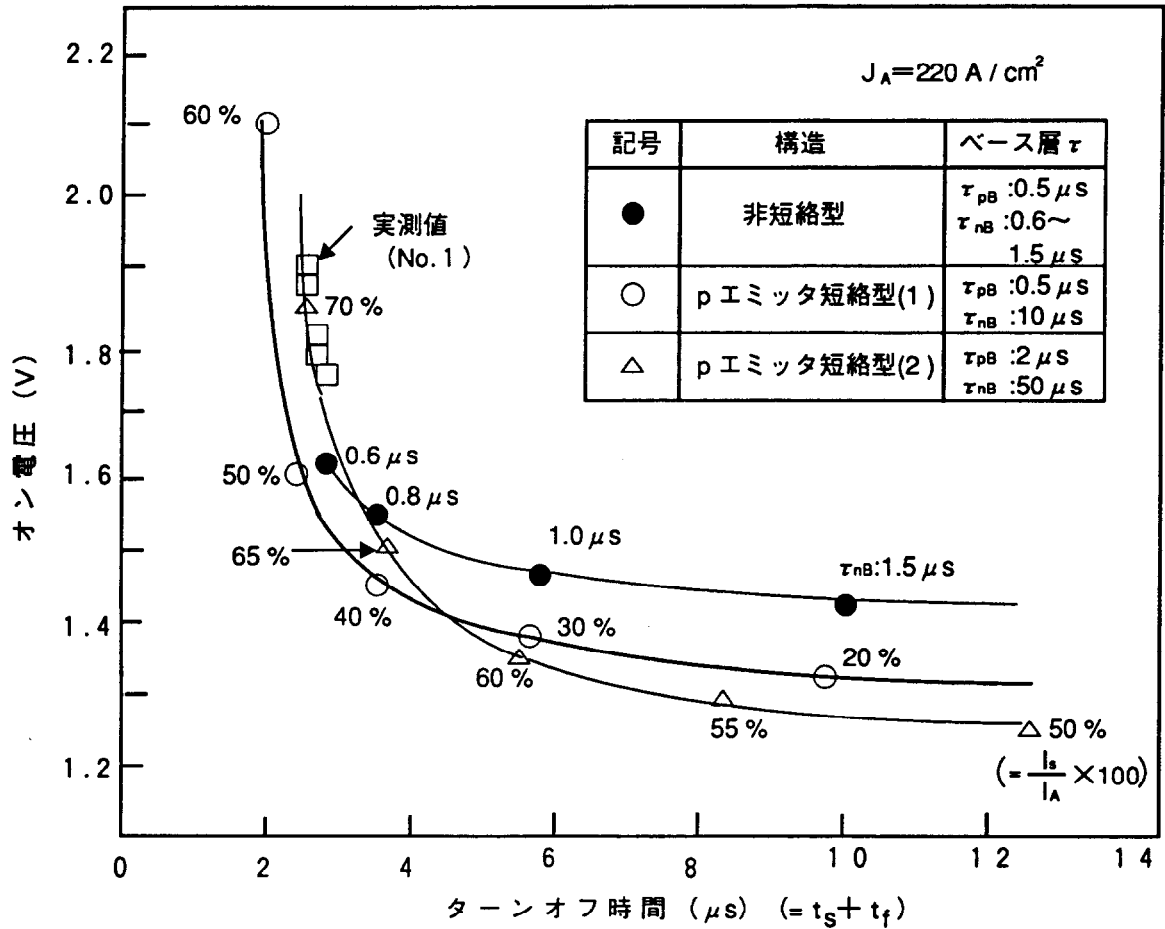


図 4.27 ターンオフ時間とオン電圧の相関

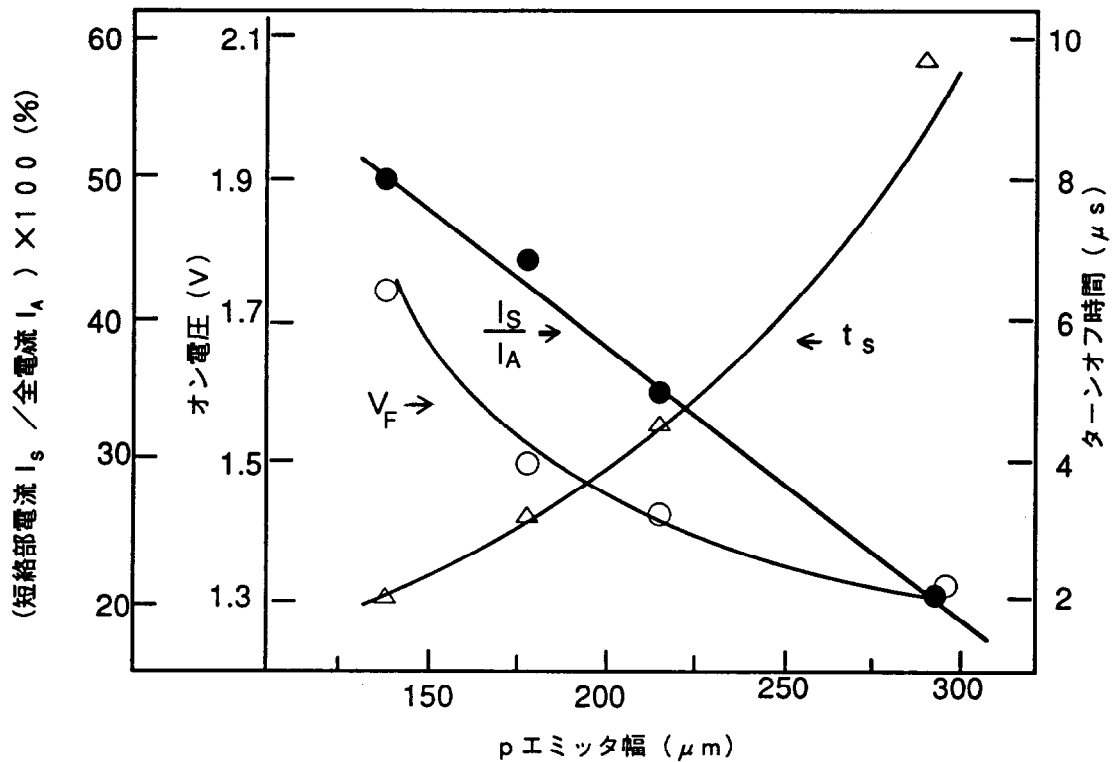


図 4.28 pエミッタ幅と素子特性

エミッタ短絡型(1)の方が、非短絡型よりも0.1V低い。非短絡型に比べてpエミッタ短絡型が、ターンオフ時間とオン電圧の相関の点で有利であることが分かる。

図4.28はpエミッタ幅(pエミッタ短絡幅)と I_S/I_A 、オン電圧、ターンオフ時間との関係をまとめたものである。接合寸法は実素子の値を用い、ライフタイムは表4.5に示す値を用いた。pエミッタ幅を変えた場合の二次元電流分布の計算結果から I_S/I_A とオン電圧の関係を求めた。 I_S/I_A とターンオフ時間の関係は一次元モデル計算で求めた。このようにして一次元モデルと二次元モデルからpエミッタ短絡幅と I_S/I_A 、オン電圧、ターンオフ時間の関係を得た。これら一次元モデルと二次元モデルの計算時間はそれぞれ約1分および4分である。設計計算に十分活用できる計算時間と考えられる。

4.4.5 pエミッタ短絡効果

図4.29は2次元定常解析プログラムにより求めたpエミッタ短絡構造とサイリスタ部分における電流分布の関係を示す。アノード電流密度はいずれの場合もほぼ $220\text{A}/\text{cm}^2$ である。pエミッタ短絡幅を広くしてゆくと電子電流に対するホール電流の割合が小さくなってゆく。これはpエミッタ短絡幅を広げることにより、pエミッタからのホールの注入が抑えられるため、短絡を最も強めた(d)の場合はpエミッタ層内でも電子電流の方がホール電流よりも大きい。nベース中でのホール電流と電子電流の比は、(a)のpエミッタ短絡しない場合1:1.3であるのに対し、(d)の場合は1:2.5にまでなっている。pエミッタ短絡することにより、 J_1 接合からのホールの注入を抑えて、ターンオフ時間を短縮するというpエミッタ短絡型GTOの特徴が示されている。

4.5 むすび

pエミッタ(アノードエミッタ)短絡型GTOのターンオフ特性を数値解析モデルにより解析し、素子構造とオン特性およびターンオフ時間の関係を得た。本章で得られた結論は以下の通りである。

- (1) pエミッタ短絡GTOの2次元電流分布の計算結果から電流はサイリスタ部を構成するpエミッタ層の他にpエミッタ短絡部にも流れており、短絡部、nベース層、pベース層で形成されるトランジスタ部はサイリスタ部から拡散されたキャリアにより駆動され、nベースは幅の広いベース層として働いていることが分かった。
- (2) 短絡部に囲まれたpエミッタ層の幅を狭くすると、短絡の効果が強まるためpエミッタからのホールの注入が抑えられ、nエミッタ層からの電子の注入が増す。また、この場合pエミッタ接合付近での

電圧降下が大きくなりオン電圧が増大する。

- (3) pエミッタ短絡型GTOの1次元モデルとして、2次元モデルGTOの電流分布から求めた短絡部を流れる電流がアノード電極から1次元モデルGTOのnベース層内の1点へ短絡されるというモデルを考え、この1次元モデルによるターンオフ時間の計算結果は実測結果とほぼ一致することを明らかにした。
- (4) 2次元計算結果からpエミッタ短絡構造と短絡電流、オン電圧の関係がもとまる。この短絡電流を用いて1次元モデルから求めたオン電圧と2次元モデルから求めたオン電圧は、ほぼ一致する。
- (5) 上記1次元モデルを用いた計算により、ターンオフ時間を $5\mu\text{s}$ 以上に設定する場合、nベース層およびpベース層のライフタイムを長くして、pエミッタ短絡幅を広げればオン電圧を低くできる。
- (6) ターンオフ時間が同じである場合、非短絡型に比べてpエミッタ短絡型の方がオン電圧を低くできる。

尚、本章のアノードエミッタ短絡構造はその後、高耐圧・大電流化が進められたGTOにも採用された。現在の最大容量素子である6kV、6kA素子¹⁵⁾にも適用され、GTOサイリスタにとり有用な技術であることが実証されている。

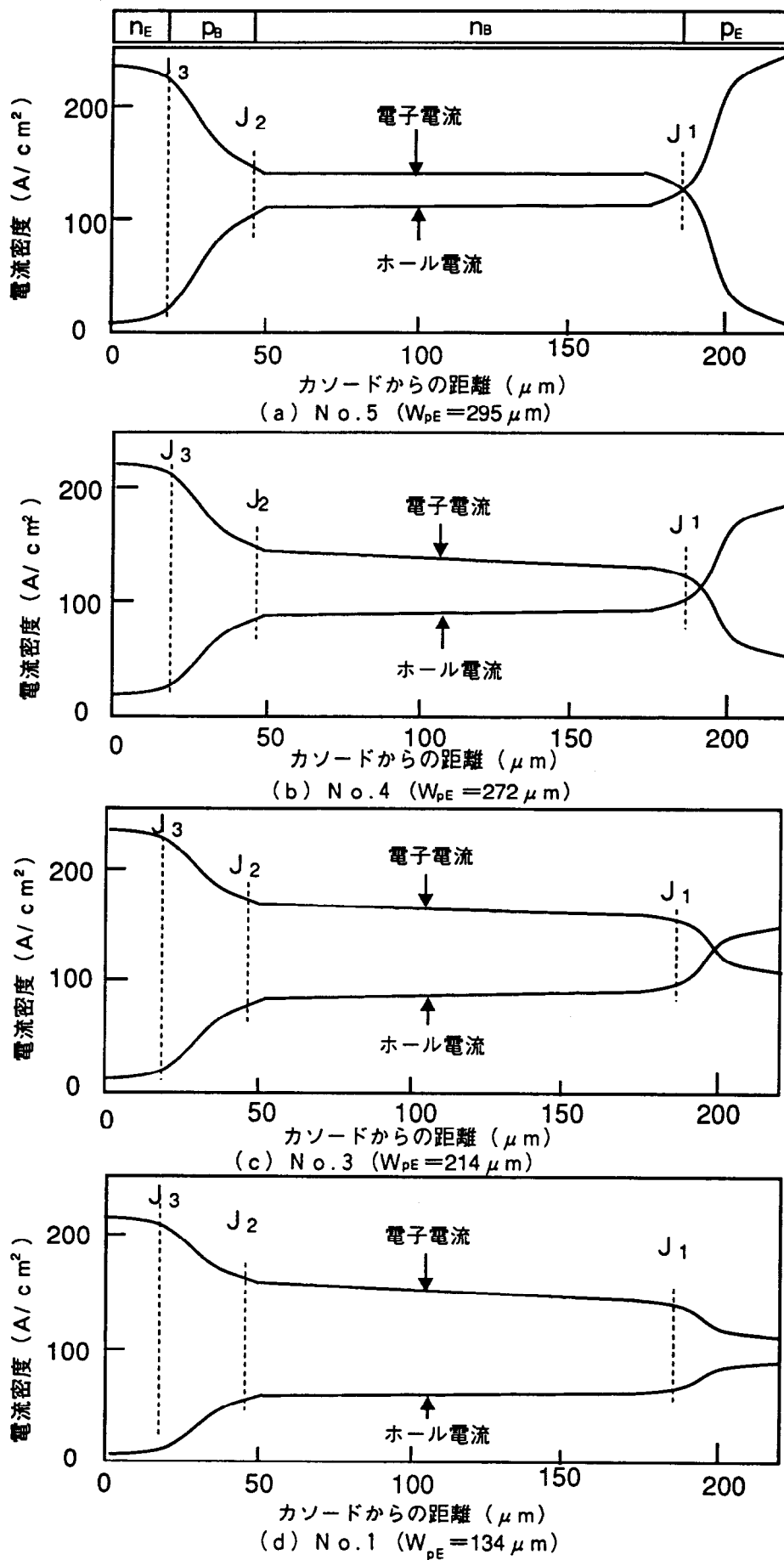


図 4.29 pエミッタ短絡構造と電流分布

参考文献

- 1) 例えば A. Tada et al., " Electric Characteristics of a High Voltage High Power Gate Turn-off Thyristor", IPEC Record, pp.54-63 (1983)
- 2) H.W.Becke and J.M.Neilson, " A New Approach to the Design of a Gate Turn-off Thyristor," IEEE Conf. Rec., Power Electronics Specialists Conference, pp.90-96 (1975)
- 3) M. Okamura et al., " The Current Status of the Power Gate Turn-off Switch(GTO)", IEEE/IAS Conf. Rec., International Power Converter Conference, pp.39-49 (1973)
- 4) 長野、岡村 " 電荷制御モデルを用いて最適化したアノードエミッタ短絡形ゲートターンオフサイリスタ", 電気学会 論文誌106-C (1986)
- 5) 長野 " アノードエミッタ短絡形ゲートターンオフサイリスタのターンオフ安全動作領域", 電気学会 論文誌107-C (1987)
- 6) R. H. Van Lighten and D. Navon, " Base turn-off of p-n-p-n switches", IRE WESCON Conv. Rec., pt.3, pp.49-52 (1960)
- 7) E.D. Wolley, " Gate Turn-off in p-n-p-n Devices," IEEE Trans. on Electron Devices, ED-13, p.590 (1966)
- 8) D. L. Scharfetter and H.K.Gummel, " Large Signal Analysis of a Silicon Read Diode Oscillator," IEEE Trans. on Electron Devices, ED-16, p.64 (1968)
- 9) W. Schockley and W.T.Read, " Statistics of the Recombination of Holes and Electrons," Phys. Rev. 87, p.835 (1952)
- 10) R.N. Hall, " Electron-Hole Recombination in Germanium", Phys. Rev. 87, p.387 (1952)
- 11) Y. Shimizu, M. Naito, M. Odamura, Y. Terasawa, and H. Fukui, " A Model to Simulate the Turn-off Characteristics of a Gate Turn-off Thyristor Having Shorted Anode Emitter", Proc. of NASECODE Conf., pp.275-278 (1981)
- 12) R.S. Varga, Matrix Iterative Analysis, New York: Prentice-Hall, 1962.
- 13) Lehdelhandler and L. J. Giacetto, " Measurement of Minority Carrier Lifetime and Surface Effects in Junction Devices," Proc. of the IRE, pp.477-483 (1955)
- 14) 例えば S. K. Ghandhi, Semiconductor Power Devices, p.10, John Wiley & Sons, New York (1977)
- 15) Y. Shimizu, S. Kimura, H. Kozaka, T. Tanaka, H. Onose, S. Sakurada, " High Power GTO with High Turn-off Ruggedness", IEEE Proc. of ISPSD '97, pp.101-104 (1997)
- 16) 清水、内藤、福井、寺沢: pエミッタ短絡GTOのターンオフ特性の数値解析、電気学会研究会資料、
- 17) Y. Shimizu, M. Naito, M. Odamura and Y. Terasawa, " Numerical Analysis of Turn-off Characteristic for a Gate Turn-off Thyristor with a Shorted Anode Emitter", IEEE Trans. on Electron Devices, ED-28, pp.1043 -1047 (1981)

第5章 サイリスタのターンオン動作の特性向上

5.1 まえがき

1.4で述べたようにサイリスタを高耐圧、大電流化するに当たってはターンオン時のスイッチングパワーが大きくなるために、これに耐える素子構造を実現することが課題である。ターンオン時のスイッチングパワー耐量を高めるには、先ずターンオン初期の導通面積を広げてエネルギー密度を下げることもある。具体的には素子内にゲートを複数設けて分散化することが考えられる。しかし、この手法は圧接型パッケージを採用している高耐圧・大容量サイリスタではパッケージ構造が複雑となり、また主電流の流れる主サイリスタ領域の面積が小さくなるなどの問題があるため採用されていないのが実状である。2番目の方法としてターンオン時の速い電流上昇率 (di/dt) を抑制するための抵抗を内蔵させる手法である。この方法は次節5.2で述べるように既に試みられ、有効であることが明らかにされていたが内蔵抵抗の動作時の抵抗値変動や素子内部の損失分担などの詳細な検討がなされておらず、またその設計手法も確立されていなかった。また本研究では初期導通領域であるパイロットサイリスタ或いは補助サイリスタと主サイリスタのnエミッタ層の不純物濃度分布を変える手法¹⁾を提案する。これはパイロットサイリスタ領域のnエミッタ層の濃度を下げてキャリアの注入効率を小さくし、ターンオン時の導通領域がパイロットサイリスタから主サイリスタへ速やかに移行させて電流密度を下げることを意図したものである。

本章では先ず従来、検討が充分に行われていなかった抵抗内蔵の方法に関して内蔵抵抗の温度依存性を調べて実動作時の問題点を明らかにした。また、内蔵抵抗の値を種々変えた小型サイリスタを試作してターンオン時の抵抗領域の分担電圧を実測し、発生損失の素子内での分散モデルを立てた。次にnエミッタの低濃度化の方法では低濃度化によりターンオン時間が速まることを確認し、導通領域の移動速度が速くなることが裏付けられた。最後に、これらの構造を取り込んだ5 kV級サイリスタによるスイッチングパワー耐量破壊試験を実施し、素子構造の違いと破壊耐量の関係を明らかにすると共に、ターンオン時の劣化機構についても検討した。次節では、先ずこれまで検討されてきたサイリスタのスイッチングパワー耐量向上の開発の経緯を辿ってみる。

5.2 ターンオン・スイッチング・パワー耐量向上の開発経緯

サイリスタのターンオン動作と素子構造の検討は1960年代の電力用サイリスタの開発段階でF I (Field Initiated)ゲート構造²⁾と呼ばれるものに端緒を發する。この構造はサイリスタをターンオンさせる電流、即ち最小点弧電流をいかに小さくできるかという課題に対する一つの回答である。

図5.1はFIゲート構造の断面構造およびその等価回路を示す。その特徴は同図(a)のようにゲート側のnエミッタ層端部とカソード電極との距離を幾分離することにある。これによりnエミッタ層下のpベース層の横方向抵抗 R_p を大きくしてゲート電流 I_g を与えたときに $R_p \times I_g$ の電位差が生じてnエミッタ接合を順バイアスし、nエミッタからの電子の注入を促すようにしたものである。この構造によりわずかなゲート電流でもサイリスタがターンオンできる。しかし本構造ではサイリスタのターンオン拡がり速度を大きくするには立ち上がりの速いゲート電流を供給する必要がある、 di/dt 耐量をいかに高くするかという課題が残された。

次に1983年に Temple は多段増幅ゲート構造を有する2.6~6 kVの光トリガサイリスタについて、ターンオン時の電流を制限することでスイッチング・パワー耐量を向上させた検討結果を報告³⁾している。

図5.2は制御されたターンオン特性を持つ光トリガ・サイリスタの断面を示す。ゲートSCR, パイロットSCR, 主SCRのそれぞれのカソード、ゲート間に電流制限用の抵抗 R_1, R_2 を素子に内蔵させる考え方のものである。

図5.3は図5.3の考え方を具体化したサイリスタの平面パターンおよび等価回路を示す。同図(a)の素子は5 kV, 1000 Aの光トリガ・サイリスタで素子の中央部にターンオン時の電流を制限する領域が設けられている。尚、図のパターンでは素子の端部からもターンオンできるように別のゲートが設けられている。同図(b)(c)はパターンの中央部の拡大図および、その等価回路を示す。図のように抵抗層(R_1, R_2)を持った複数の微小サイリスタを並列接続することにより、ターンオン時の電流集中を抑制してスイッチング・パワー耐量の向上を図ったものである。

続いて1987年に Przybysz らが高い di/dt 耐量を持つ光トリガ・サイリスタを発表⁴⁾している。

その構造は図5.4に示すように Temple の場合と同様に増幅ゲート構造において各補助サイリスタと次段サイリスタの間に電流制限用の抵抗を設けるというものである。電流制限用の抵抗は同図(b)のようにシリコン表面をエッチングして、不純物濃度の低い領域を露出させ、この領域を抵抗層として用いるものである。

図5.5、図5.6は図5.4のゲート部のパターンおよびターンオン時の温度分布を示す。図5.5のように光トリガの受光部にある初段の補助サイリスタから2段目の補助サイリスタの間にある抵抗が400Ω(実効的には2並列のため200Ω)と大きく、2段目の補助サイリスタと主サイリスタの間の抵抗は12Ω(実効的には6Ω)と小さい。これは初段から2段目、主サイリスタへと電流が移るに従って導通面積が増大するために抵抗値を次第に小さくしてターンオン初期の電流を抑制しつつ、主サイリスタへの電流移行が速や

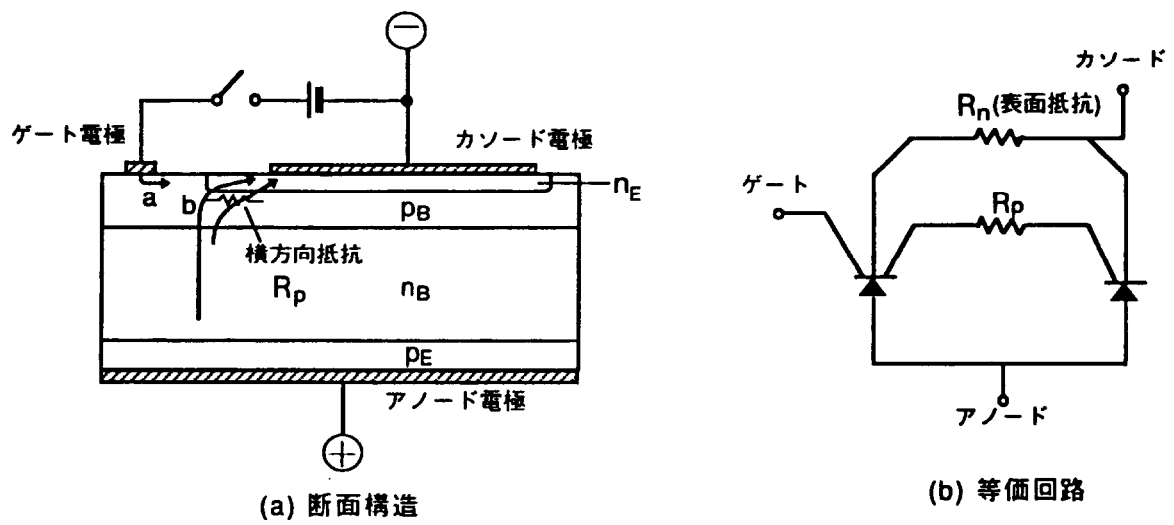


図5.1 Field-initiated gate 構造サイリスタ¹⁾

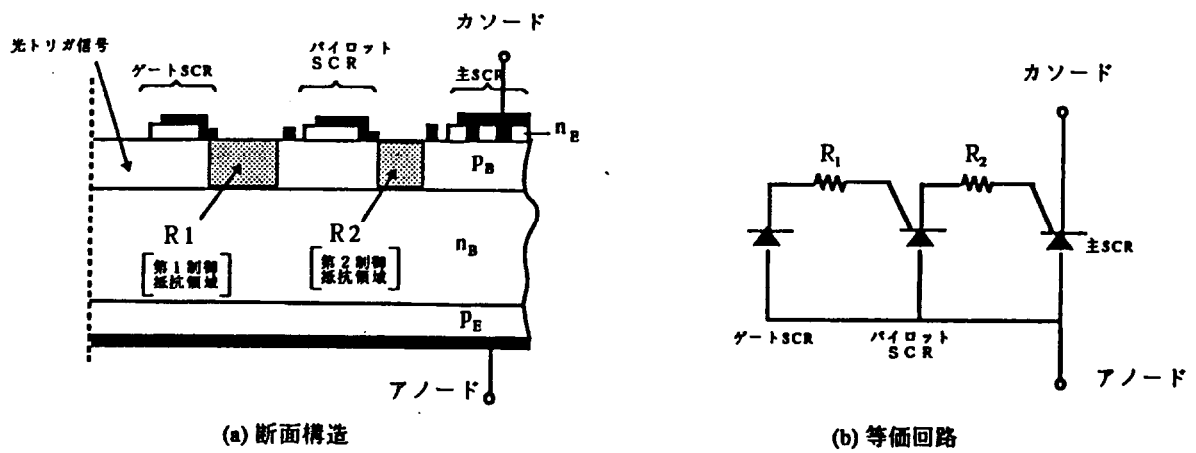
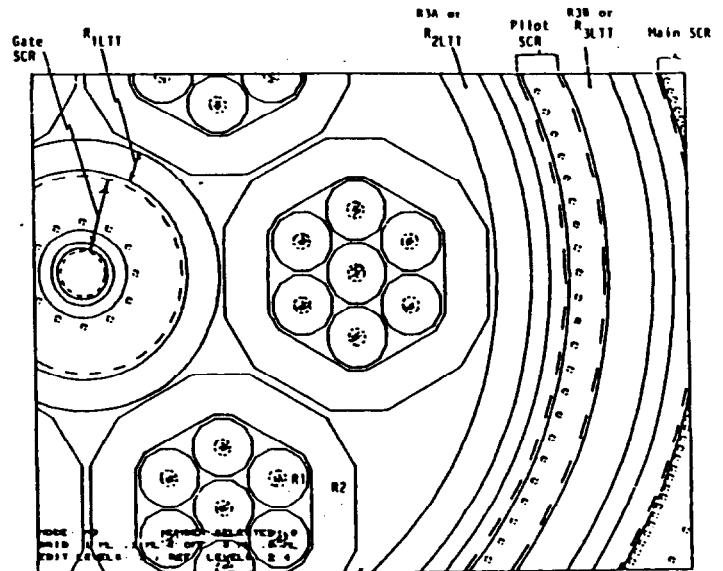


図5.2 Controlled turn-on 構造サイリスタ³⁾



(a) 5 kV, 1 kA 光トリガサイリスタの平面パターン



(b) (a) の中央部 (ゲート部分) の拡大図

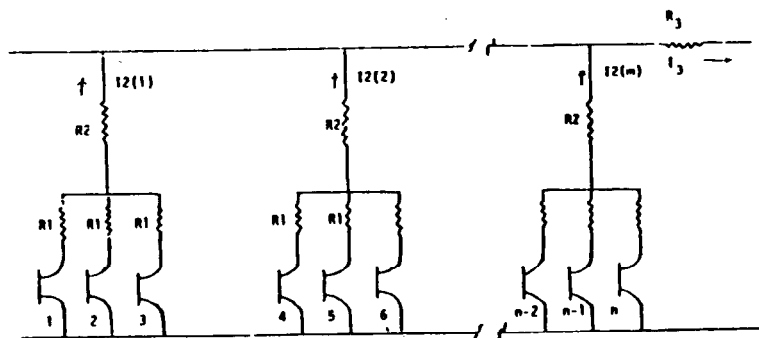
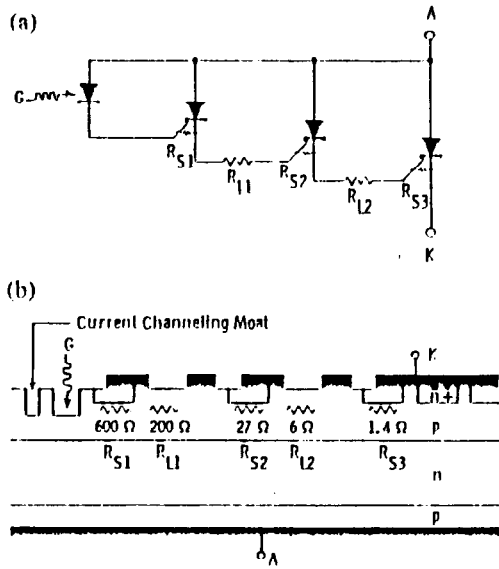


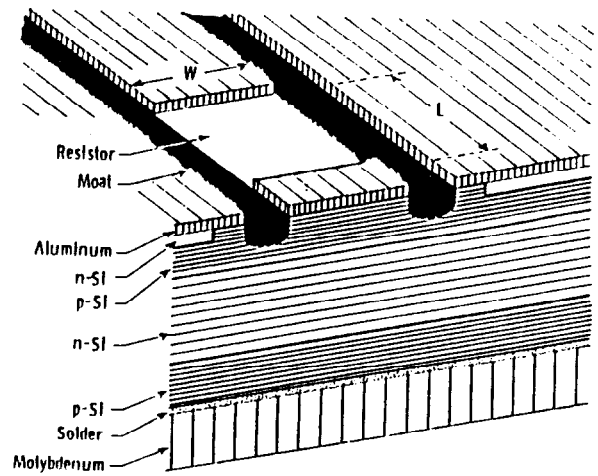
Fig. 11. (a) VBO turn-on scheme using a hierarchy of control resistors R_1 , R_2 , R_3 . Note R_3 is in two series sections R_{3A} and R_{3B} . The cross hatched regions are the VBO areas. (b) Schematic equivalent circuit of a less controlled but more area efficient method for VBO current control.

(c) 等価回路

図5.3 Controlled turn-on 構造サイリスタの具体例³⁾



(a) 等価回路と断面図



(b) 内蔵抵抗領域の断面

図5.4 高い di/dt 耐量をもつ光トリガサイリスタの例⁴⁾

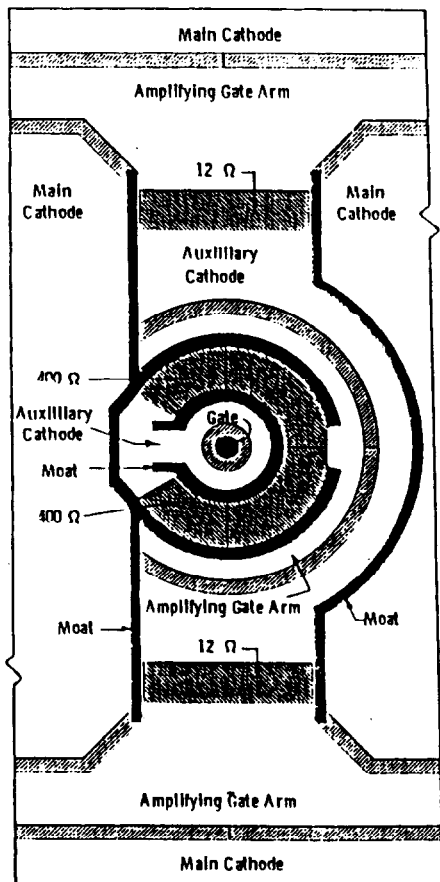


図5.5 図5.4のサイリスタのゲート部分の平面パターン

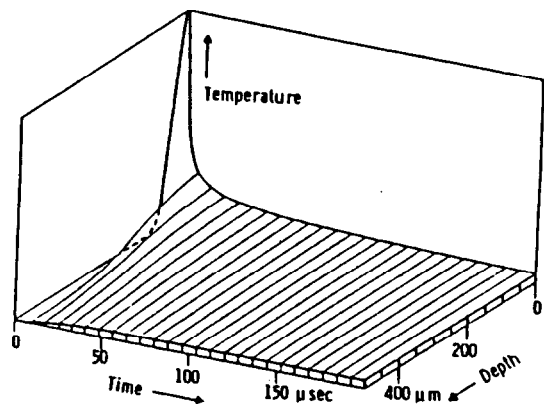


図5.6 内蔵抵抗領域のターンオン時の温度分布

かに行われるようにしたものである。また、Przybysz らは図 5.6 のようにターンオン時の抵抗層領域の温度上昇も見積っている。図のようにターンオン初期、素子表面での温度上昇が大きいことが分かる。

5.3 試作素子の構造と製作および評価方法

5.3.1 試作素子の構造と製作方法

高いスイッチングパワー耐量を持つサイリスタを実現するため筆者は2つの手法を取り上げた。第1の手法は Temple や Przybysz らが用いたパイロット・サイリスタ（或いは補助サイリスタ）と主サイリスタの間に抵抗を内蔵する方法である。この方法は5.2で述べたように抵抗を内蔵することでターンオン時に発生する高い立ち上がりの電流を抑制して耐量を高める方法である。第2の手法はパイロット・サイリスタのnエミッタ層を低濃度化することでパイロット・サイリスタをターンオフしやすくする方法である。サイリスタ素子がターンオンするとき、最初に微小領域のパイロット・サイリスタが点弧した後アノード電流は主サイリスタへと移る。このときパイロット・サイリスタがオン状態のままであると、パイロット・サイリスタ領域に電流が集中し最終的に破壊に至る。このためアノード電流が主サイリスタに移った後、速やかにパイロット・サイリスタはターンオフする必要がある。パイロット・サイリスタと主サイリスタの構造を変えることでパイロット・サイリスタから主サイリスタへの導通状態への移行が速やかに、且つ円滑に進むことを図ったものである。

以上の2つの手法を取り入れた素子を設計するに当たっては、素子にとって最も厳しい試験といえるブレークオーバーでのスイッチング試験で耐えられるように構造は自己保護型のサイリスタとした。

図 5.7 は上記手法を取り入れた試作素子の断面構造⁵⁾を示す。素子構造パラメータが多いこともあって、同一ウェハから多数の素子が得られるよう接合径は2.4 mmとし、中心部に自己保護領域となるウェル(溝)を配置している。ウェル部分の補助サイリスタを含めて2段の増幅ゲート構造となっている。ウェルに隣接した1段目のサイリスタをパイロットサイリスタ、2段目を補助サイリスタと呼ぶことにする。試作素子のnエミッタ層は、いずれもイオン打ち込み法により形成しており、パイロットサイリスタと補助サイリスタ領域の打ち込み量は $3.5 \times 10^{13} \sim 7 \times 10^{15} \text{ cm}^{-2}$ の範囲で変えている。主サイリスタの領域は $7 \times 10^{15} \text{ cm}^{-2}$ で一定である。

図 5.8 は試作素子のウェハ（8.5 mmΦ）内での各素子の配置とパイロット及び補助サイリスタ領域の詳細な構造を示す。同一ウェハから7ヶの素子が得られる。7ヶの素子について、それぞれ1から7までの番号を付け、この番号をTEG No. と呼ぶことにする。TEG No.1 とTEG No.7 は同じ構造であり、他の素子に比

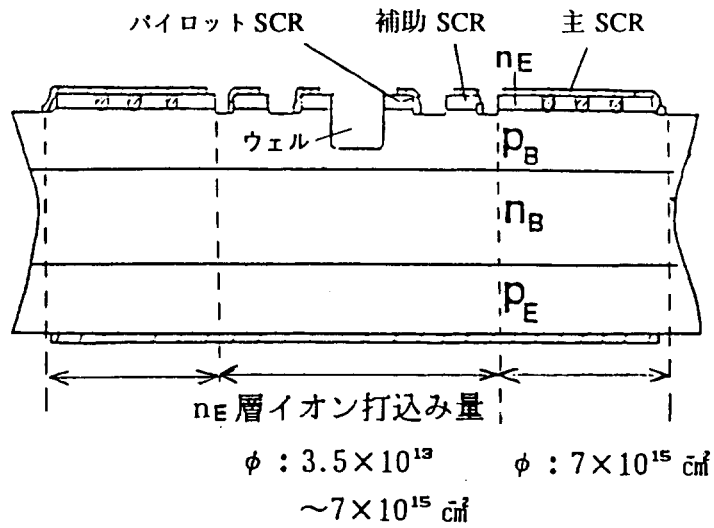


図5.7 試作素子の断面構造

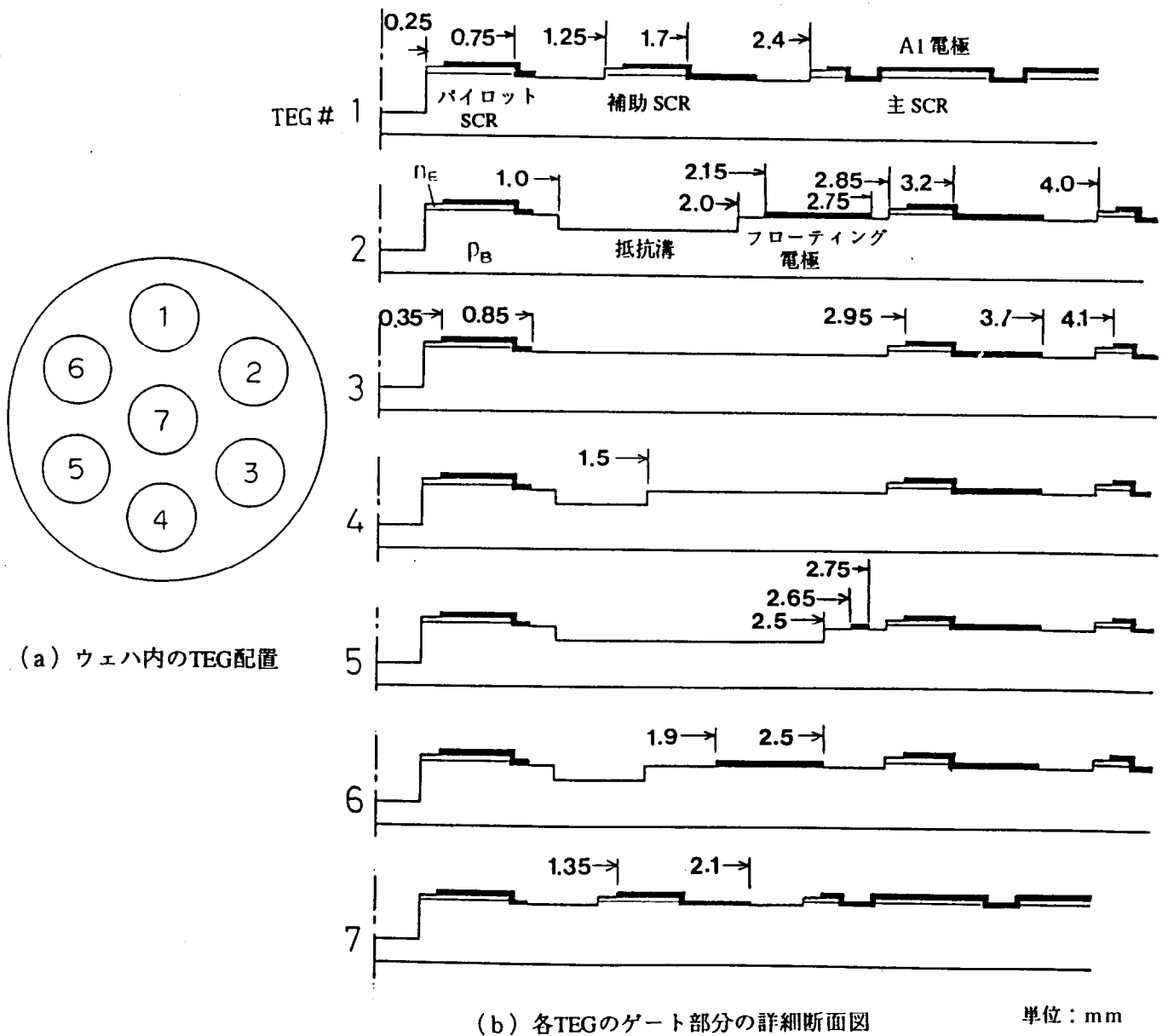


図5.8 試作素子のウェハ内配置とゲート部分の詳細断面図

べてパイロットサイリスタと補助サイリスタの間隔が狭い。これに対して、No.2～No.6の素子は間隔を広くしている。間隔を広くすることで、この領域での実効的な抵抗を大きくして、スイッチングパワー耐量を大きくすることを狙ったものである。特に、No.2, 4, 5, 6の素子については抵抗値を更に高くする目的で、リング状の溝を設けている。溝を設けたpベース層は表面から深さ方向に不純物濃度分布を持ち、表面から深いほど実効的な抵抗が大きくなる。溝を設けることで大きな抵抗を得るものである。この他、No.2, 5, 6については溝の近くのpベース表面にAlリング電極（以下フローティング電極と呼ぶ）を設けている。抵抗領域となる溝部で、蓄積キャリアによる抵抗値の低下を防ぐ目的で設けたもので、キャリアの再結合を助ける狙いのものである。リング溝の深さはブレイクオーバーするウェル部分の動作が変わらないようブレイクオーバー電圧で空乏層が溝の底に到達しない程度に、ほぼ $20\mu\text{m}$ とした。図5.9は試作素子の（No.6）の平面パターン写真である。

図5.10、図5.11は素子に内蔵されたリング溝部分の抵抗値を測定するための試料の構造を示す。図5.10はnエミッタのないpnp構造のウェハに内蔵抵抗溝を形成したものであり、図5.11はサイリスタ構造のサンプルである。いずれもリング溝の近くに $0.2\text{mm}\Phi$ のAlリード線を超音波溶接して、ターンオン時の電圧測定用の端子とした。ここでサイリスタ素子の抵抗の測定値を R_{PA} （Pilot SCRとAuxiliary SCRのPAを添字とした）した。

図5.12は試作素子の製作フローチャートである。工程No.7のnエミッタ形成工程では選択的にイオン打ち込みをして、パイロットサイリスタおよび補助サイリスタと主サイリスタの不純物濃度分布を変えている。No.8までで全ての接合形成を終えた後、ドライエッチングによりウェル溝部分とリング溝部分を形成する。

表5.1はリング溝の抵抗を測定するため用いたpnp試料の構造一覧表である。溝幅が 0.5mm と 1.5mm の2種類で、それぞれについて溝の深さがほぼ $11\mu\text{m}$, $20\mu\text{m}$, $30\mu\text{m}$ の3水準の試料を用意した。

表5.2はサイリスタ構造をもつ試作素子の構造一覧表である。例えばNo.1-1の場合、最初の1はウェハの番号を、次の1はTEGの番号を表す。ウェハNo.1, 2, 3, 4の素子は基板抵抗率 $270\sim 290\Omega\cdot\text{cm}$ の 5kV 級の素子であり、No.5-3のみ $350\Omega\cdot\text{cm}$ の 7kV 級の素子である。 5kV 級素子の全てにブレイクオーバー・スイッチング時の電圧をモニタするための測定用Alリード線を付けた。

5.3.2 評価方法

(a) 測定方法

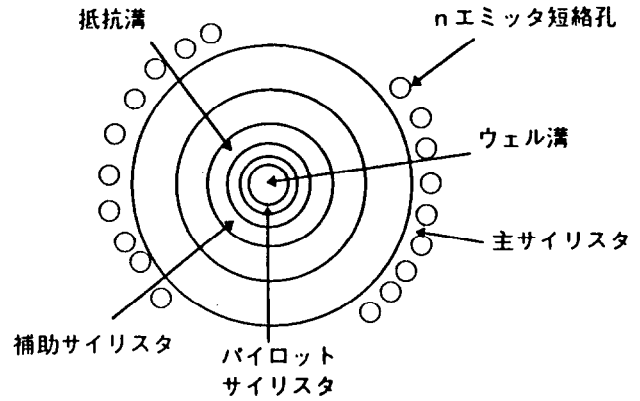
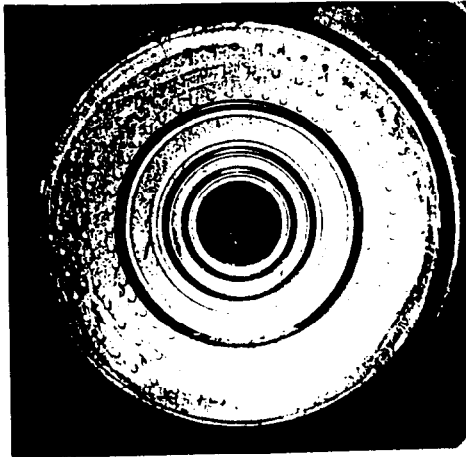


図5.9 試作素子の平面パターン

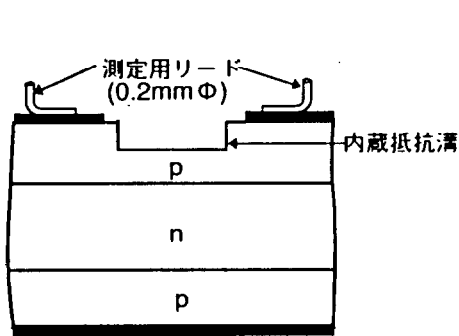


図5.10 内蔵抵抗測定pnp素子

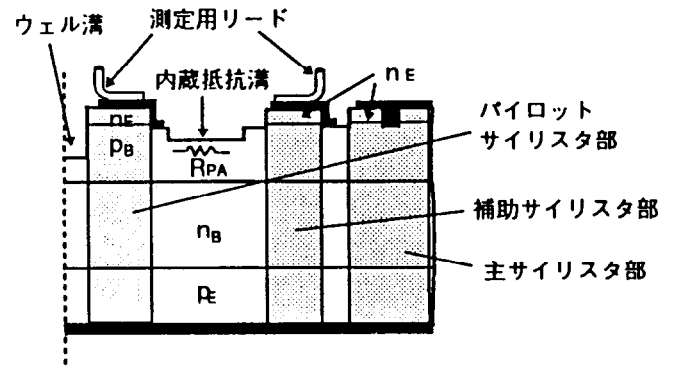


図5.11 内蔵抵抗測定サイリスタ素子

表5.1 抵抗測定用pnp試料の構造一覧

試料No.	リング溝幅 (mm)	リング溝深さ (μm)	抵抗値 (Ω)
1	1.5	11, 11	357
2	0.5	20, 21	245
3	1.5	20, 19	333
4	0.5	31, 30	333
5	1.5	31, 31	435
6	0.5	11, 11	225
7	—	—	117

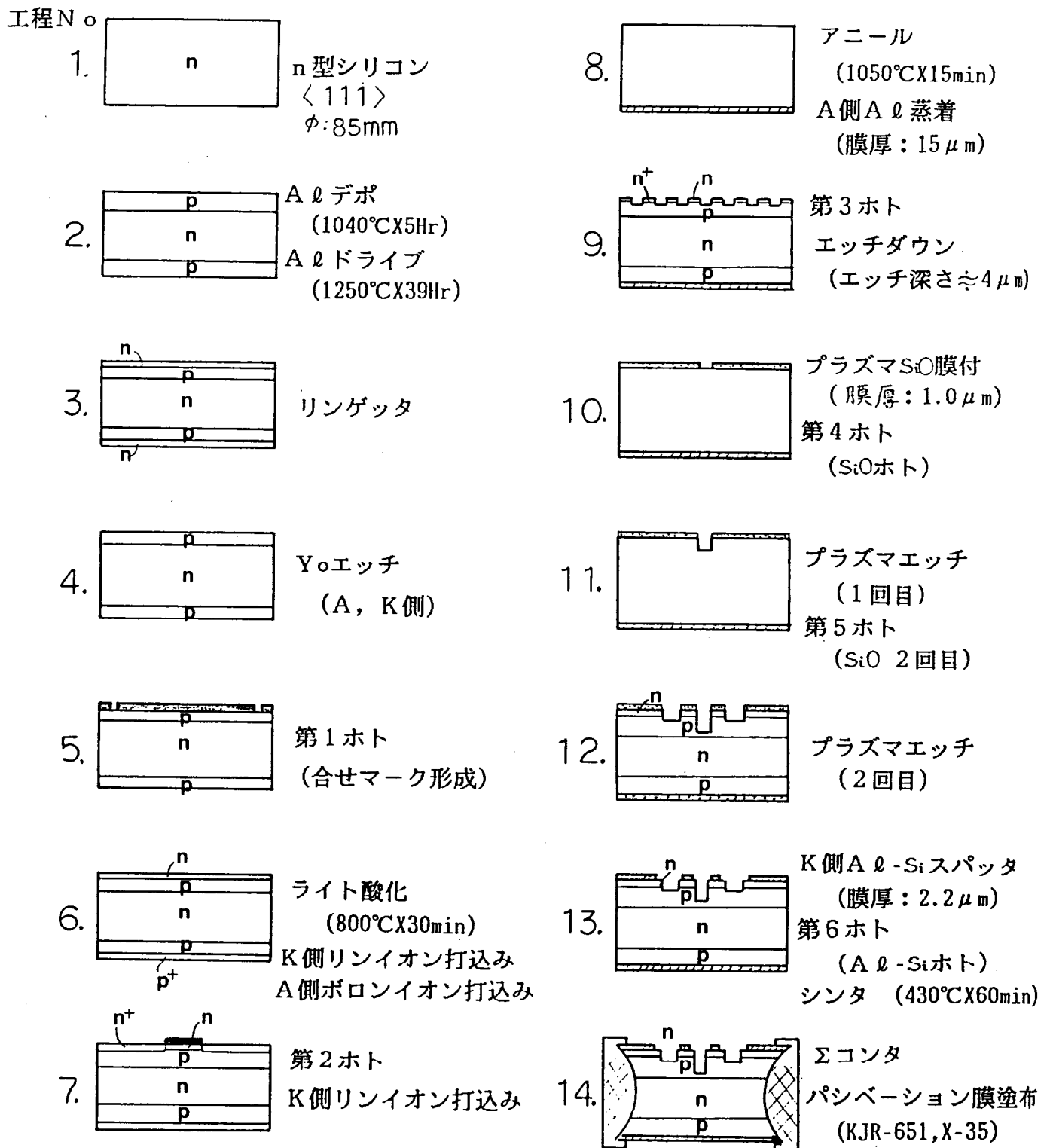


図5.12 試作素子の製作フローチャート

表 5.2 試作サイリスタ素子の構造一覧

素子No.	基板抵抗率 $\rho_n (\Omega \cdot \text{cm})$	接合寸法 (μm)				n_E 層イオン 打ち込み量 $\Phi (\text{cm}^{-2})$	溝深さ (μm)		抵抗値 $R_{PA} (\Omega)$
		W_{nE}	W_{pB}	W_{nB}	W_{pE}		ウェル溝	リング溝	
1-1	281	3	90	727	128	7×10^{15}	81	—	91
1-2							81	20	220
1-3							80	—	161
1-4							81	20	232
1-6							81	21	192
2-1							276	3	91
2-2	82	21	232						
2-3	81	—	156						
2-4	81	20	196						
2-5	81	21	260						
2-6	82	21	154						
2-7	82	—	84						
3-2	286	3	91	726	129	3.5×10^{14}			
3-3							81	—	144
3-5							81	21	260
3-6							82	22	152
3-7							82	12	71
4-3							272	3	93
4-4	81	22	260						
4-6	81	22	206						
5-3	350	3	99	991	103	3.5×10^{13}	84	—	152

パイロットサイリスタと補助サイリスタの間に形成した内蔵抵抗の値は、内蔵抵抗に近接した電極にプローブを立て、その電圧-電流特性より求めた。トランジスタ・カーブトレーサ (Techtronics社 Model 576) を用い、通電電流 10mA のときの電圧、電流の比をとって抵抗値とした。抵抗値の温度変化には恒温槽 (中央理研製) を用い、25~250℃ の範囲で調べた。5A 程度の比較的大きな電流領域の測定では超音波溶接された AI リード線に通電した。

図 5.13 (a) は数 A オーダーの抵抗値を測定した電源回路を示す。図で火花ギャップをトリガさせると同図 (b) のような電圧、電流波形が得られる。2 μ F のコンデンサの充電電圧を変えることで、電流の値を変化させ各時刻での抵抗値を求めた。

ブレイクオーバー電圧の測定にはダイオードカーブトレーサ (菊水電子製) を用いた。印加電圧は正弦半波で 2pps である。高温 (100℃) での測定は恒温槽 (LANSCO 社製 Model SD-60-1) を用いた。

図 5.14 は試作サイリスタのブレイクオーバー・ターンオン試験に用いた回路を示す。素子と並列にあるスナバコンデンサは図 5.13 の容量より小さな 0.5 μ F を用いた。これは高耐圧のコンデンサは体積が大きくなるために回路をコンパクトにして配線のインダクタンスを小さくしたことによる。また、スイッチングパワー耐量はほぼパワーのピーク値で決まると考えられ、ピーク値はブレイクオーバー電圧とスナバ抵抗の値で決まるため、コンデンサ容量を小さくしたことによる影響は比較的小さいと考えられる。スナバ抵抗は寄生インダクタンスによる誘導電圧を排除するため全て無誘導抵抗を用いた。予め測定した素子のブレイクオーバー電圧よりも、やや高くなるように素子に印加される電圧を設定しておき、ブレイクオーバー・ターンオン時の電圧、電流波形をデジタル・ストレージ・オシロスコープ (日立製 Model VC-6041 型) により観察した。試験ではスナバ抵抗を 120 Ω から徐々に小さくしてゆき、最小 20 Ω まで低下させて破壊時のスイッチングパワーを評価した。また、内蔵抵抗を挿入したパイロット・サイリスタ部と主サイリスタのカソード電極間のターンオン時の電圧の変化を観察した。図 5.11 (b) に示したパイロット・サイリスタの n エミッタ層の AI 電極に超音波溶接された AI リード線とカソード電極間の電位を測定した。

(b) シミュレーション

試作素子を 1 次元モデル化し、n エミッタ構造と電圧-電流特性の関係を調べた。計算に用いたプログラムはバイポーラ半導体素子の 1 次元過渡解析プログラム⁶⁾ である。

図 5.15 は計算に用いた回路を示す。モデル素子をゲート回路からの信号により導通状態にした後、ゲート電圧を零とし負荷抵抗 R_L を 2 Ω から 600 Ω まで大きくして 100A から保持電流までの特性を調べ

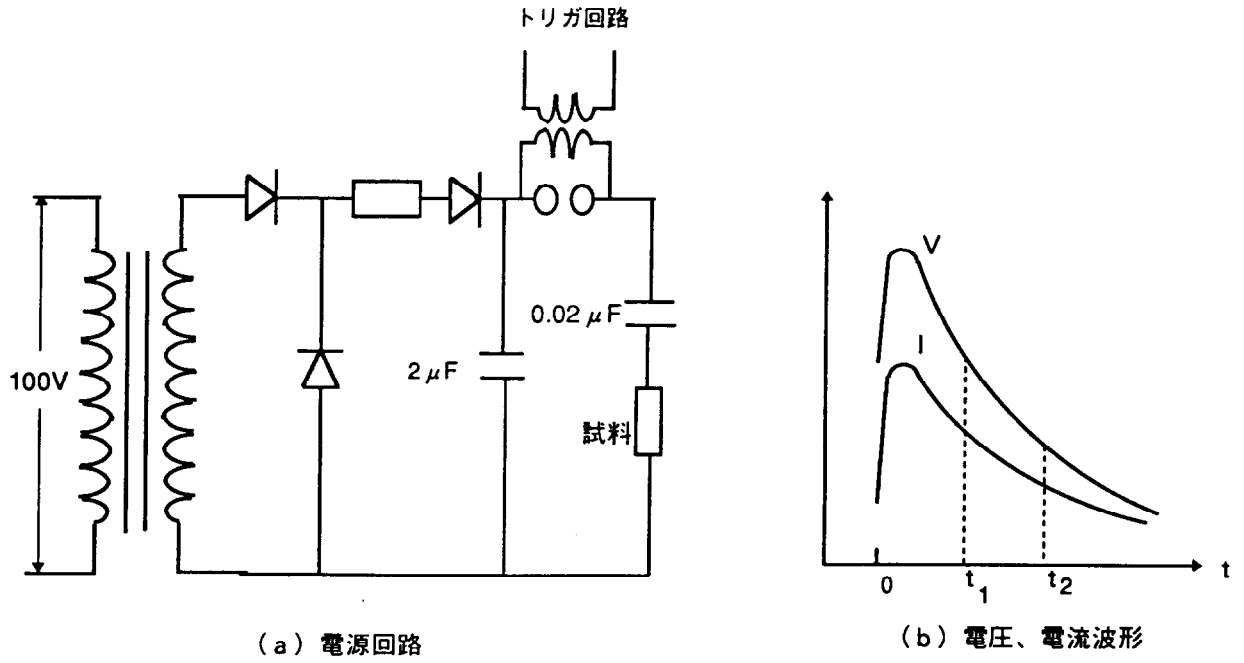


図 5.1.3 内蔵抵抗測定回路と電圧、電流波形

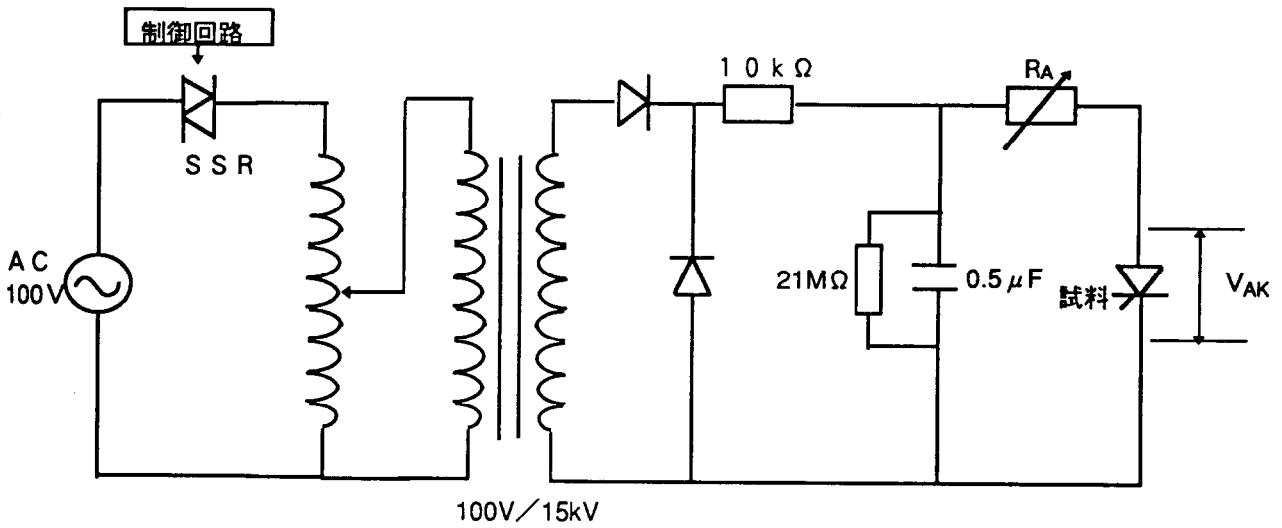


図 5.1.4 ブレークオーバー・ターンオン試験回路

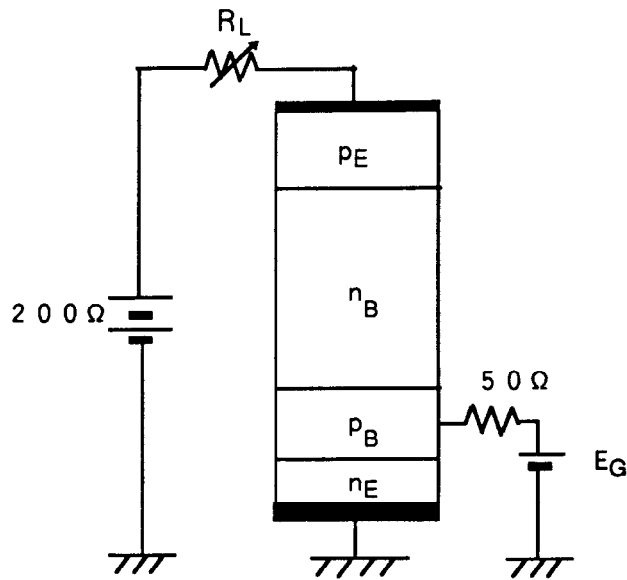


図 5.15 1次元デバイス・シミュレーションに用いた回路

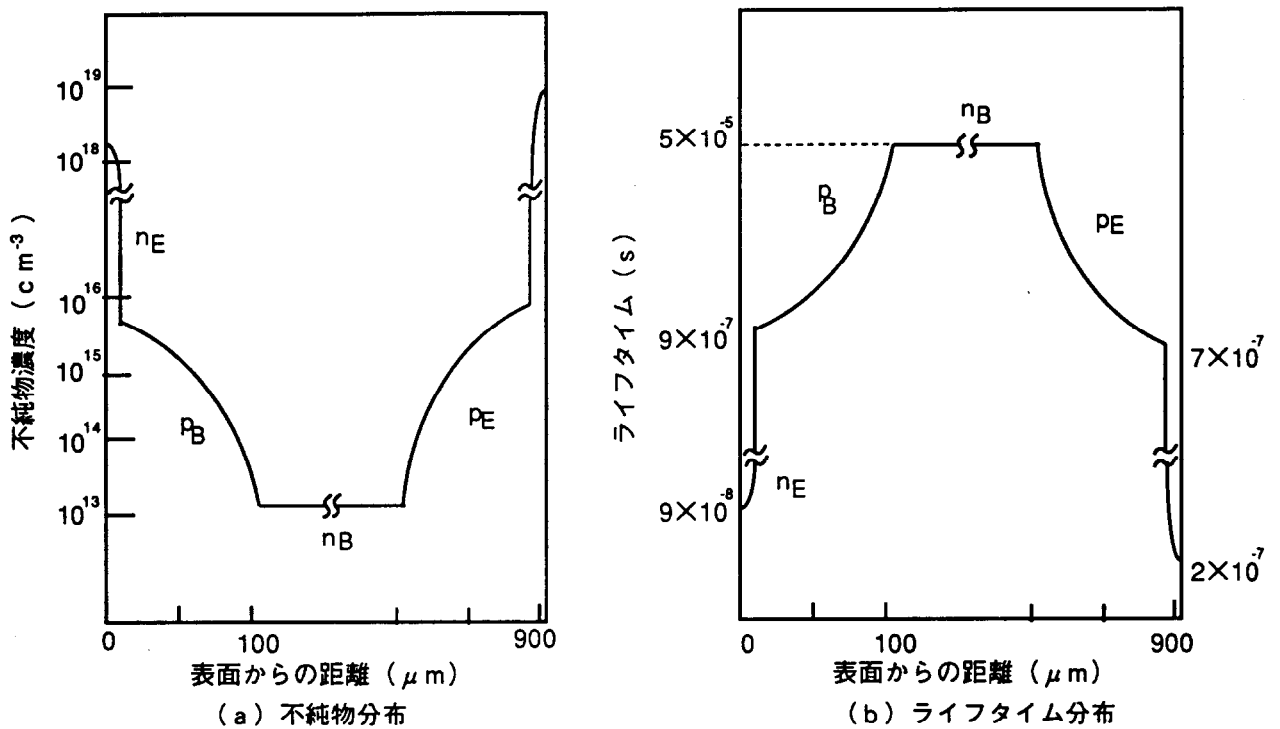


図 5.16 モデル素子の不純物濃度分布とライフタイム分布

表 5.3 計算に用いたnエミッタ構造一覧

No.	nエミッタ層イオン 打ち込み量 (cm ⁻²)	表面濃度 (cm ⁻³)	nエミッタ層 深さ (μm)	対応ウェハ No.
1	3.5×10^{13}	1.3×10^{18}	1.0	4
2	3.5×10^{14}	1.2×10^{19}	1.1	3
3	3.5×10^{15}	8.0×10^{19}	1.7	2
4	7.0×10^{15}	1.2×10^{20}	2.2	1
5	拡散形成	2.8×10^{20}	7.5	—

た。

図5.16 (a) (b) はモデル素子の不純物濃度分布の一例とライフタイム分布を示す。試作素子のパイロットおよび補助サイリスタ領域に対応した濃度分布としている。ライフタイム分布は表面を原点とするガウス分布の逆数とした。接合面積は、いずれも 1 cm^2 とし接合温度は 25°C である。

表5.3は計算に用いたnエミッタ構造の一覧表である。nエミッタ層の濃度分布はプロセスシミュレータ SUPREM⁷⁾を用い、実際の製造プロセス条件を入力して求めた。

5.4 試作素子の特性と評価結果

5.4.1 溝抵抗の温度依存性

図5.17は表5.1に示したpnp試料の抵抗値の温度依存性を示す。いずれの試料も温度と抵抗値は直線関係にあり正の温度係数を持っている。一般にシリコンの不純物拡散層を抵抗層として用いた場合、その温度係数は拡散層に含まれるキャリアの移動度 μ の温度依存性によって決まる。移動度 μ は一般に温度が上がると減少するので抵抗の温度係数は正⁸⁾になる。 25°C での抵抗値で規格化した各試料の抵抗値の温度係数は、いずれも $1.7 \sim 1.9 \times 10^{-2} / \text{deg}$ とほぼ一定であった。一方、半導体を抵抗として利用する場合、温度が高くなると半導体内部の真性キャリア濃度が増加するため抵抗値が低下することが懸念される。真性キャリア濃度と温度の間には次式の関係⁹⁾がある。

$$(n_i)^2 = 1.5 \times 10^{33} T^3 \exp(-qE_G/kT) \quad (5.1)$$

ここで、 E_G :シリコンのバンドギャップ幅、 k :ボルツマン定数、 T :絶対温度である。

図5.17の最高測定温度 250°C での真性キャリア濃度を求めると $n_i = 7 \times 10^{14} \text{ cm}^{-3}$ である。これは試料の抵抗領域を形成する溝部分の不純物濃度 $2.5 \times 10^{15} \text{ cm}^{-3}$ と比べて約3分の1と小さい。同図で 250°C でも抵抗が低下しなかったのは、温度上昇による真性キャリア濃度の増加が抵抗領域の不純物濃度に比べて小さいためと考えられる。しかし、 300°C 程度になると真性キャリア濃度は $1.8 \times 10^{15} \text{ cm}^{-3}$ と不純物濃度と同程度になり無視できなくなると考えられる。次に、サイリスタ素子を用いて抵抗領域に流す電流を変えた場合の抵抗値の変化を見てみた。

図5.18 (a) (b) は 25°C および 100°C におけるサイリスタ素子のパイロットおよび補助サイリスタ間の抵抗 R_{PA} の電流依存性を示す。実際のターンオン動作ではピークで 100 A 以上の電流が流れるが、今回の測定法でこれを実現するには 40 kV 以上の電圧を抵抗領域に印加しなければならず、絶縁など

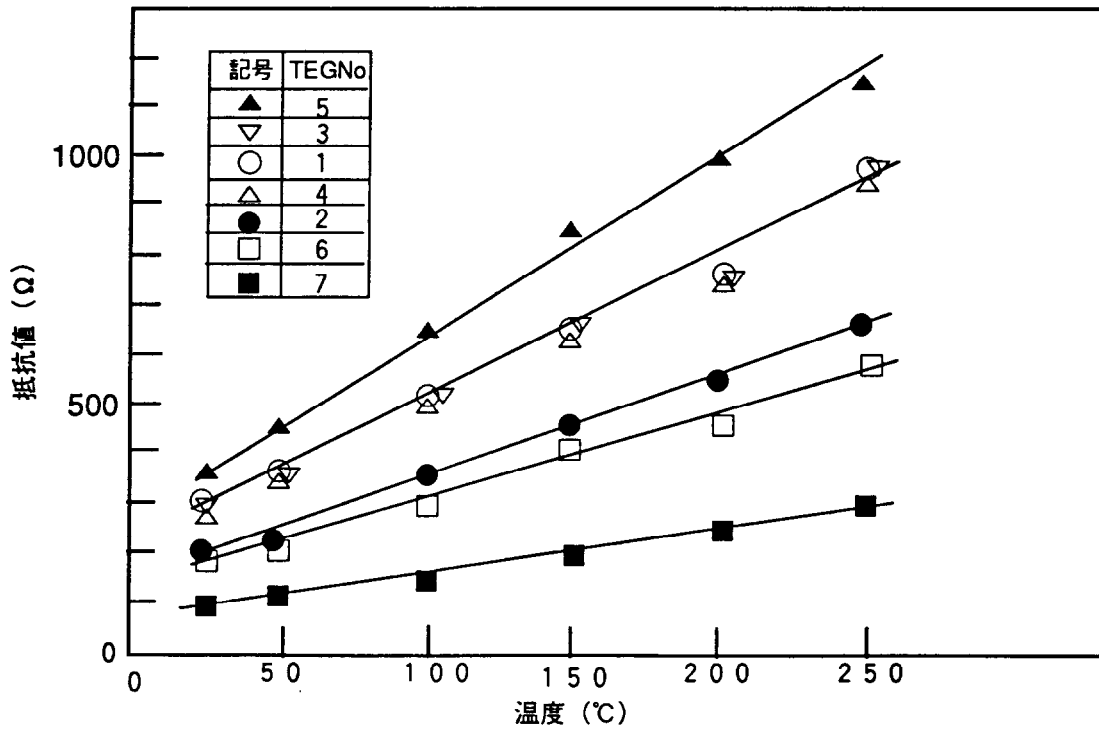


図5.17 内蔵溝抵抗の温度依存性

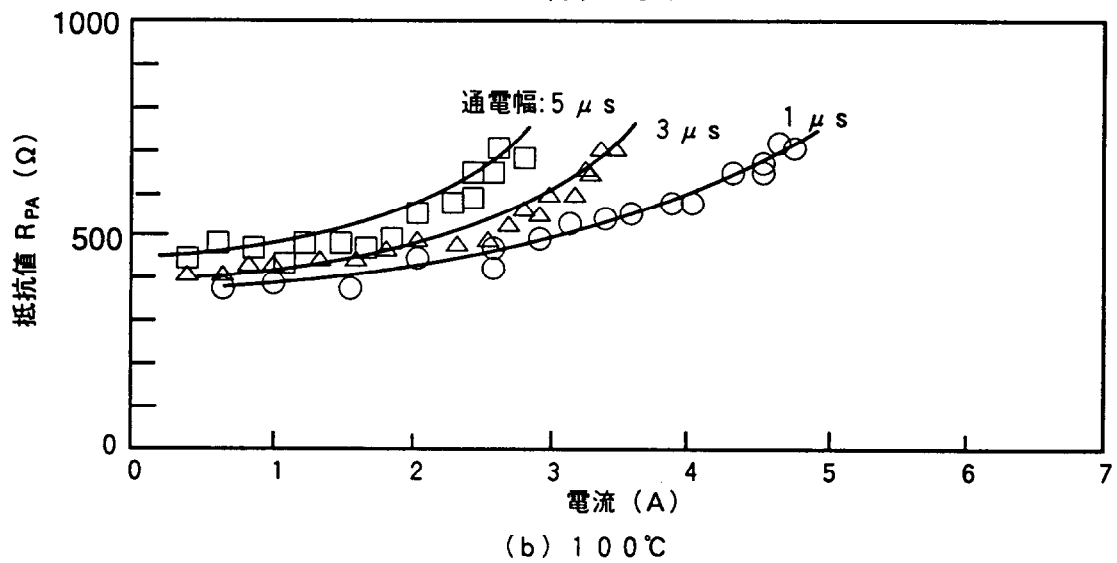
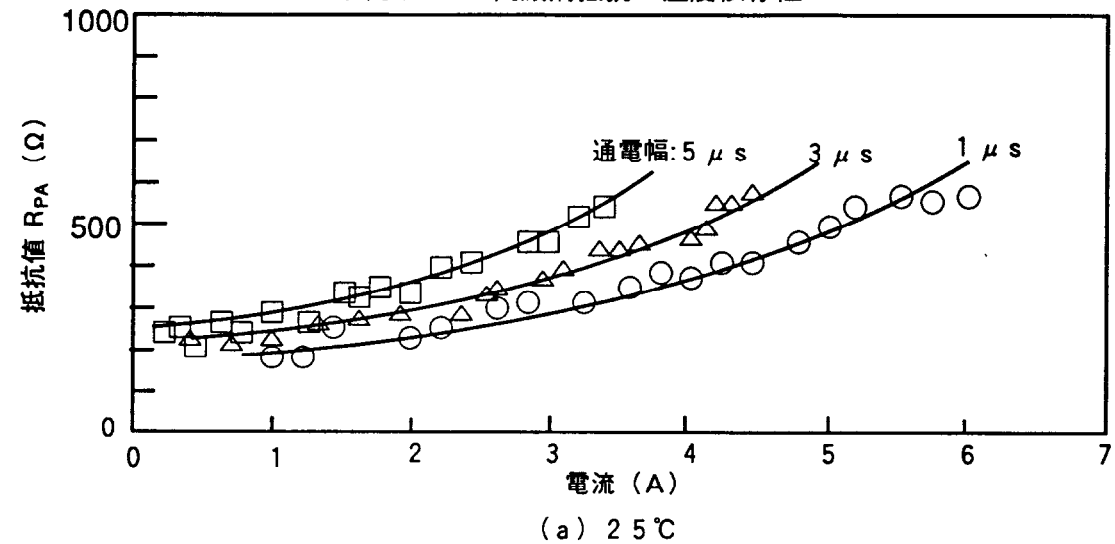


図5.18 サイリスタ素子の内蔵抵抗の電流依存性

の面から不可能である。このため通電電流は最大5 Aとした。電圧パルス印加後、 $1\ \mu\text{s}$ 、 $3\ \mu\text{s}$ 、 $5\ \mu\text{s}$ 経過した時点での抵抗値を求めた。 $25\ ^\circ\text{C}$ 、 $100\ ^\circ\text{C}$ の場合とも電流が大きいほど抵抗値は大きくなっている。また、電流値が同じ場合、通電後の時間が長くなるほど抵抗値が大きくなる傾向を持つ。今回の測定範囲では懸念された抵抗値の低下は見られなかった。ここで、nエミッタから注入される電子の拡散長を見積ると次式より $120\ \mu\text{m}$ 程度と推定される。

$$L = (D \cdot \tau)^{1/2} \quad (5.2)$$

ここで、D：電子の拡散係数 $30\ \text{cm}^2/\text{s}$ 、 τ ：電子のライフタイムは不純物濃度との関係から $5\ \mu\text{s}$ とした¹⁰⁾。

抵抗領域の溝幅は1 mmであり上記の電子の拡散長 $120\ \mu\text{m}$ に対して十分に長く、この間に電子はそのライフタイムで消滅すると考えられる。次に、通電後 $5\ \mu\text{s}$ での熱伝導の距離を見積ると、次式より距離dは約 $40\ \mu\text{m}$ になる。

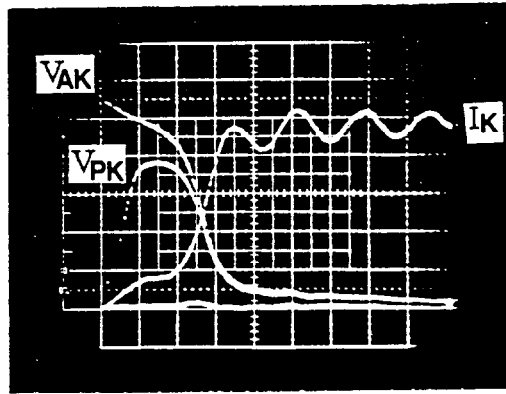
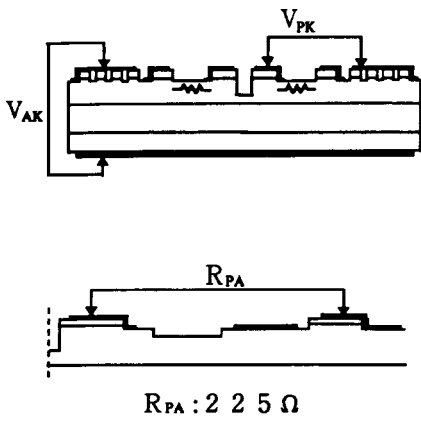
$$d = 2 (D \cdot t)^{1/2} \quad (5.3)$$

ここで、d：熱伝導の距離、D：Siの熱拡散定数 $0.9\ \text{cm}^2/\text{s}$ 、t：発熱期間である。

また、実際のブレイクオーバー・ターンオンは $1\ \mu\text{s}$ 以下の現象であるが、この場合の熱伝導の距離を(5.3)式より求めると $20\ \mu\text{m}$ 程度である。シリコンの厚さが1 mm程度ある超高耐圧サイリスタを考えたとき、 $20\sim 40\ \mu\text{m}$ の範囲の熱伝導は殆ど断熱的と云える。図5.18で通電電流が大きいほど、また通電後の経過時間が長いほど抵抗値が大きくなったのは、通電によって発生するジュール熱が抵抗領域に蓄積され、接合温度が高くなったためと考えられる。

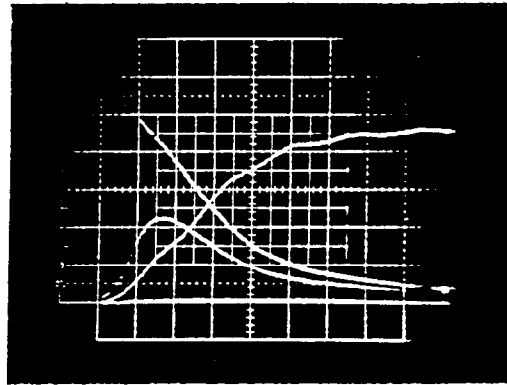
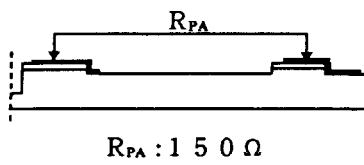
5.4.2 素子構造とブレイクオーバー・スイッチング波形

図5.19はパイロットサイリスタと補助サイリスタの間の構造を変えた素子のブレイクオーバー・ターンオン時の電圧、電流の波形を示す。これらの素子はNo.3のウェハから切り出したものであり、ブレイクオーバー電圧 V_{BO} は $5.4\sim 5.6\ \text{kV}$ とほぼ同じである。 V_{AK} はアノード・カソード間電圧、 V_{PK} はパイロットサイリスタ・主サイリスタ間の電圧であり、 I_K は主サイリスタのカソード電流である。No.3-7(以下No.を省く)はスナバ抵抗 R_A が $60\ \Omega$ で劣化したため $120\ \Omega$ での波形である。パイロットサイリスタと補助サイリスタの間隔が狭いNo.3-7ではブレイクオーバーの開始と共に、 V_{AK} 、 I_K が急激に変化する。この場合、 V_{PK} の発生は小さく、最大 $200\ \text{V}$ 程度である。これに対しパイロットサイリスタと補助



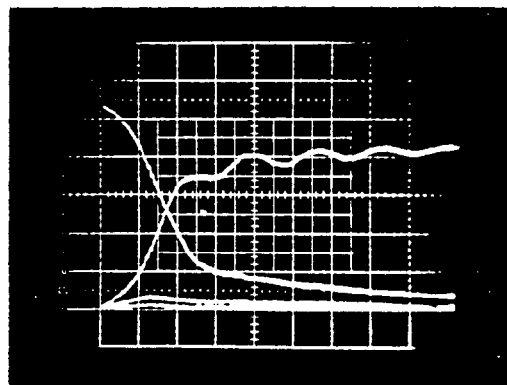
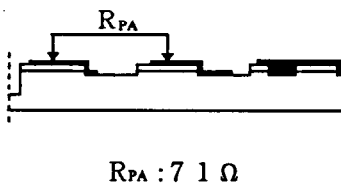
$V_{BO} : 5.5 \text{ kV}$
 $R_A : 60 \Omega$
 $V : 1 \text{ kV/div}$
 $I : 20 \text{ A/div}$
 $t : 0.1 \mu\text{s/div}$

(a) No. 3-2



$V_{BO} : 5.6 \text{ kV}$
 $R_A : 60 \Omega$
 $V : 1 \text{ kV/div}$
 $I : 20 \text{ A/div}$
 $t : 0.1 \mu\text{s/div}$

(b) No. 3-3



$V_{BO} : 5.4 \text{ kV}$
 $R_A : 120 \Omega$
 $V : 1 \text{ kV/div}$
 $I : 10 \text{ A/div}$
 $t : 0.1 \mu\text{s/div}$

(c) No. 3-7

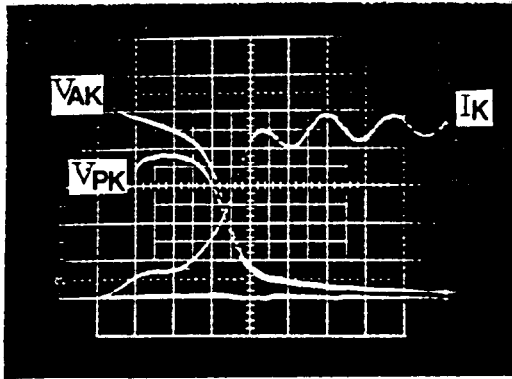
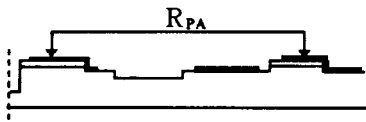
図5.19 ブレークオーバー・ターンオン波形

サイリスタの間隔が広いNo.3-3では V_{AK} 、 I_K の変化は3-7に比べて緩やかである。 V_{PK} のピーク値は2.2 kVと大きい。

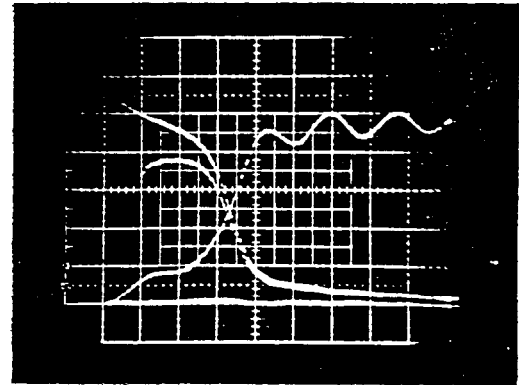
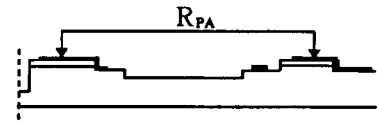
さらにパイロットサイリスタと補助サイリスタの間にリング溝を設けた3-2では、ターンオン後0.2 μ sまでに I_K が15 A程度に抑えられた後で電流が立ち上がってゆく。 V_{PK} のピーク値は3.8 kVにも達しており、これは V_{AK} の約80%に相当する。 I_K :15 Aと抵抗 R_{PA} の実測値225 Ω の積を求めると3.4 kVとほぼ V_{PK} のピーク値と同じ値になっている。抵抗を内蔵させることで、ブレークオーバー・ターンオン初期の電流を抑制でき、内蔵抵抗領域で電圧を分担できそうである。次に、内蔵抵抗およびフローティング電極の構造の違いとスイッチング波形の関係について詳しく見てゆくことにする。

図5.20は内蔵抵抗およびフローティング電極構造を変えた素子のブレークオーバー・ターンオン時の電圧、電流波形を示す。ブレークオーバー電圧 V_{BO} は5.3~5.5 kVとほぼ同じである。まず、溝抵抗のない2-3ではブレークオーバー開始後の V_{AK} 、 I_K は共に、ほぼ直線的に変化している。 V_{PK} のピーク値は2.3 kVである。溝抵抗の幅が0.5 mmでフローティング電極のない2-4の波形は2-3によく似ている。但し、 V_{PK} のピーク値は2.8 kVと2-3に比べ500 V高い。 V_{PK} のピーク値の比をとると $2800/2300=1.21$ であり、これは内蔵抵抗の比 $196/156=1.25$ とほぼ同じであることから、 V_{PK} の違いは内蔵抵抗の違いによると考えられる。これに対して、2-2,2-5,2-6の波形の様子は異なっている。いずれもブレークオーバー・ターンオン後、0~0.2 μ sの間の電流の増加が抑えられる一方、この期間の V_{PK} の増加が著しい。2-2,2-5,2-6は、それぞれ溝幅が1.0 mm, 1.5 mm, 0.5 mmと異なり抵抗値 R_{PA} も23 Ω 、260 Ω 、154 Ω と異なっているが、 V_{PK} のピーク値は約3.8 kVとほぼ同じである。また、0.5 mmの同じ溝幅をもちフローティング電極の有無のみが構造上の違いとなっている2-4と2-6を比べると電圧、電流の変化は異なっており、 V_{PK} のピーク値も2.9 kV, 3.8 kVと1 kVも異なる。これらを考えるとフローティング電極の存在がターンオン時の電流の立ち上がりを抑制するのに大きな効果を持っているようである。フローティング電極を付けることでキャリアの再結合が促され、ターンオン初期の電流が抑えられたものと推定される。また、キャリアの再結合が促進される結果、実効的な抵抗が大きくなり V_{PK} の値も大きくなったものと考えられる。次に、スイッチングパワーという面から各素子を比較してみる。

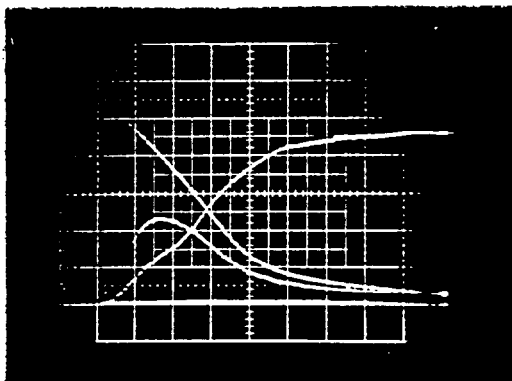
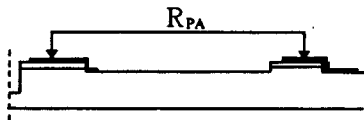
図5.21は2-2、2-3、2-4の各素子について、ブレークオーバー・ターンオン時のスイッチングパワ



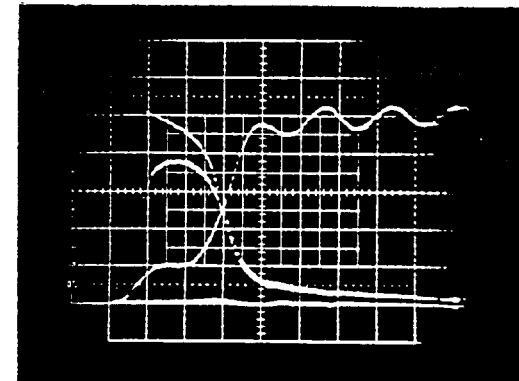
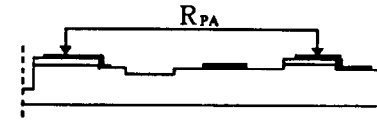
No. 2-2 $V_{BO} : 5.3 \text{ kV}$
 $R_{PA} : 232 \Omega$



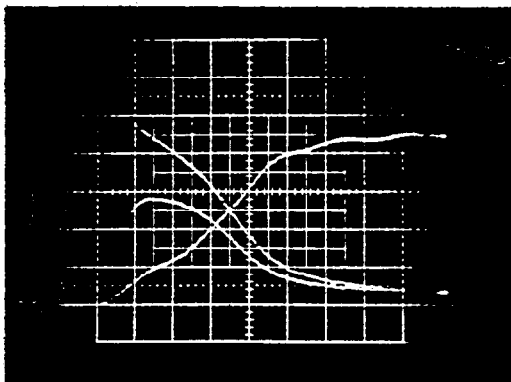
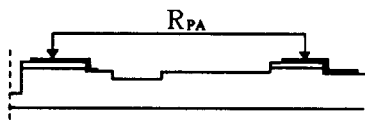
No. 2-5 $V_{BO} : 5.5 \text{ kV}$
 $R_{PA} : 260 \Omega$



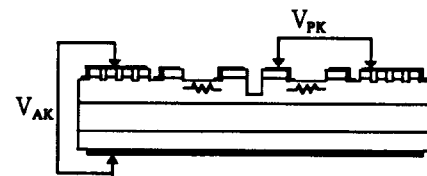
No. 2-3 $V_{BO} : 5.4 \text{ kV}$
 $R_{PA} : 156 \Omega$



No. 2-6 $V_{BO} : 5.5 \text{ kV}$
 $R_{PA} : 154 \Omega$



No. 2-4 $V_{BO} : 5.3 \text{ kV}$
 $R_{PA} : 196 \Omega$



条件

$V : 1 \text{ kV/div}$
 $I : 20 \text{ A/div}$
 $t : 0.1 \mu\text{s/div}$
 $T_j : 25^\circ\text{C}$

図 5.20 ブレークオーバー・ターンオン波形
 $(\Phi_{NE} : 3.5 \times 10^{15} \text{ cm}^{-2})$

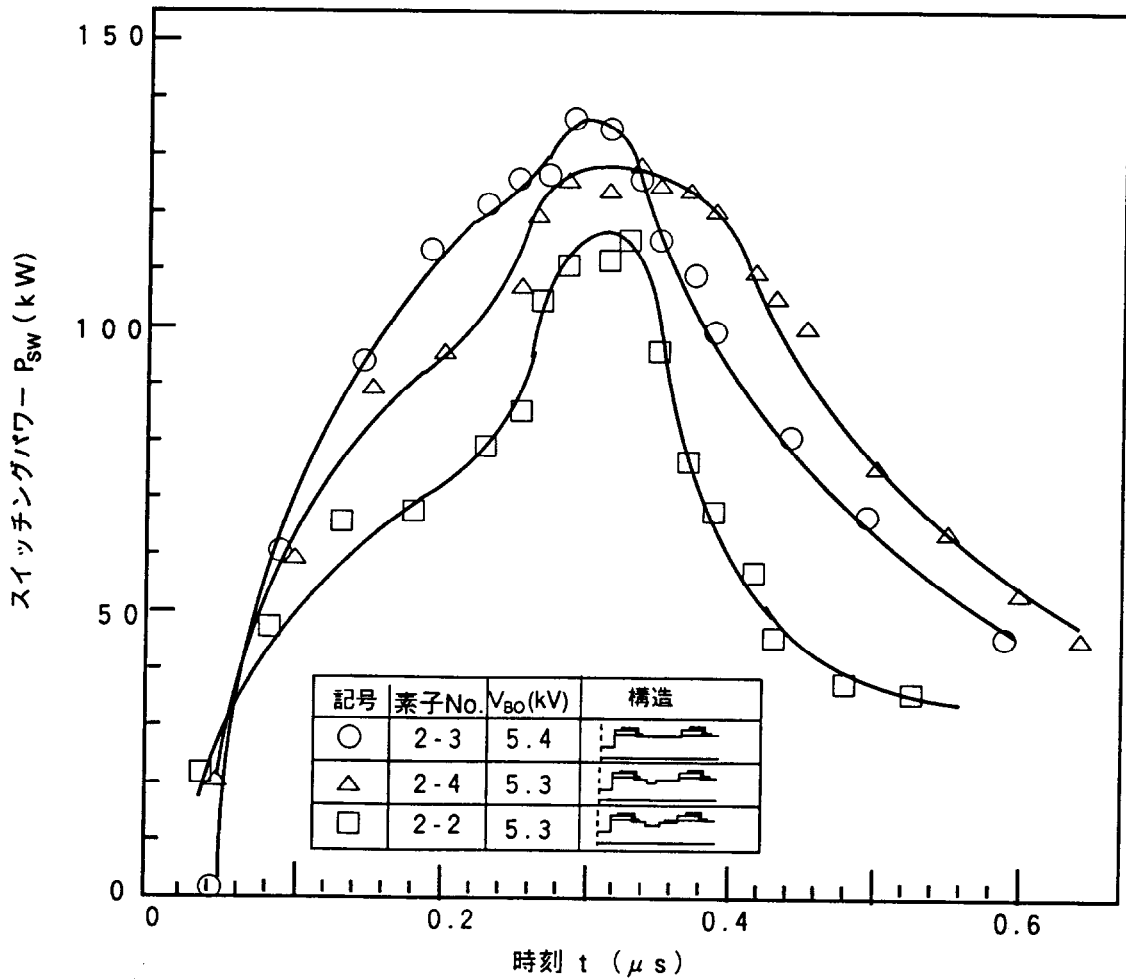


図 5.21 スイッチングパワーの時間変化

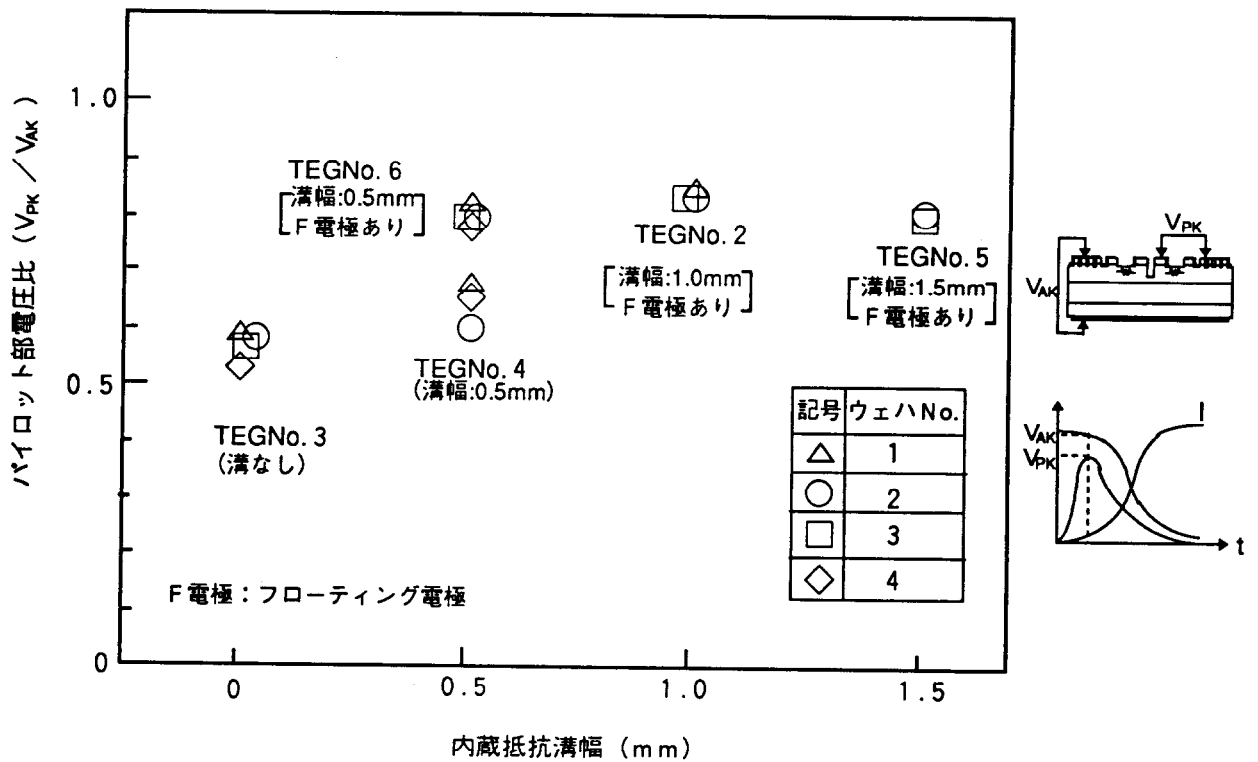
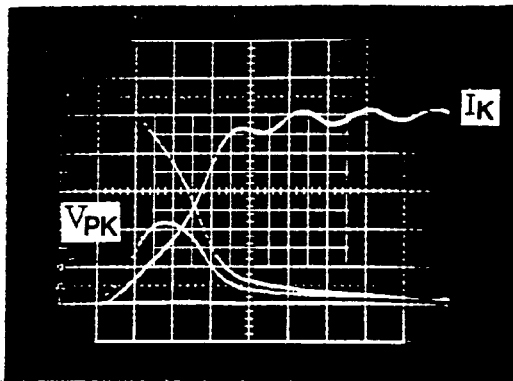
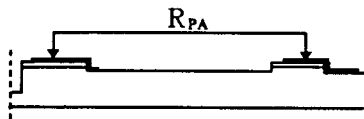


図 5.23 内蔵抵抗溝幅とパイロットサイリスタ部の電圧分担

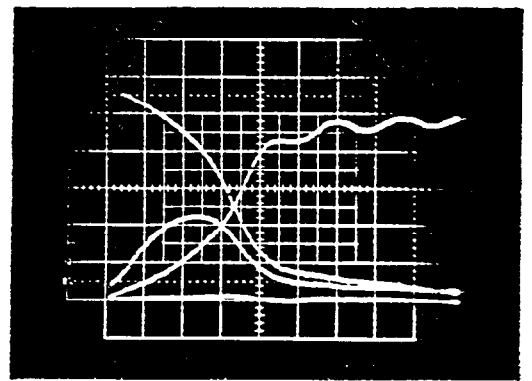
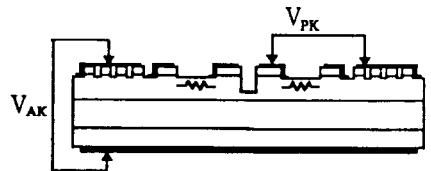
一の時間変化を示す。スイッチングパワーの値は図5.20から各時刻のカソード電流 I_K とアノード・カソード間電圧 V_{AK} の積として求めた。2-3、2-4に比べて2-2の素子では $0.1\mu s$ 以降のスイッチングパワーの増加が抑制されており、 $0.3\mu s$ でピーク値に達した後の減衰も速い。抵抗溝の無い2-3はピークに達するまでの変化は最も急であり、ピーク値も3ケの素子の中で最も大きい。2-4は2-2と2-3の中間の特性となっている。ターンオン・スイッチングでの破壊から素子を守るには発生スイッチングパワーは出来る限り小さいことが望ましい。この点、2-2が最も優れていると云える。構造的な特徴でいえば、リング溝とフローティング電極を持つことである。次に、接合温度が変わるとブレイクオーバー・スイッチング波形がどのように変わるかを調べてみた。

図5.22は $25^\circ C$ および $100^\circ C$ におけるNo.4のウェハから切り出した素子のブレイクオーバー・ターンオン時の波形を示す。4-3、4-4、4-6いずれの素子ともターンオン動作は $25^\circ C$ に比べて $100^\circ C$ の方が遅い。通常、サイリスタではゲートトリガ信号によりターンオンさせた場合、高温になるほどnエミッタ・pベース間の接合電圧が低くなるためにターンオン時間は速くなる。ブレイクオーバー・ターンオンの場合、これとは逆の傾向を示している。この原因として次章で詳しく述べるが、本構造素子のブレイクオーバー動作がアバランシ降伏によるためと考えられる。シリコン中のイオン化率は負の温度係数を持っており、 $25^\circ C$ に比べて $100^\circ C$ ではイオン化率は約半分になる¹⁰⁾。一般にサイリスタのオーバードライブ率（点弧に用いたゲート入力を最小点弧入力で除した値）を大きくするとターンオン時間は速くなる。ブレイクオーバー・ターンオンの場合、高温でのイオン化率が小さくなるため実効的なオーバードライブ率が小さくなって、ターンオン動作が遅くなったものと考えられる。パイロットサイリスタ・カソード電極間の電圧 V_{PK} のピーク値は $25^\circ C$ と $100^\circ C$ とでは殆ど変わらないことから、高温（ $100^\circ C$ ）動作時の内蔵抵抗の抵抗値の低下はないようである。次に、素子構造と素子内部の電圧分担について定量的に見てみる。

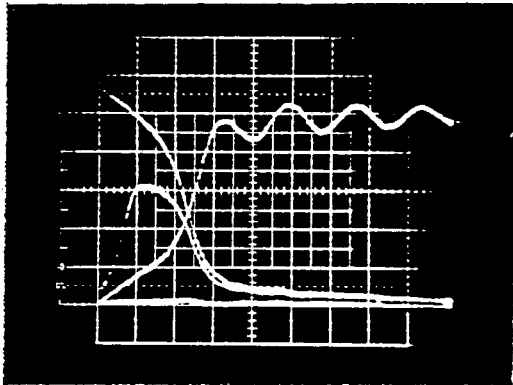
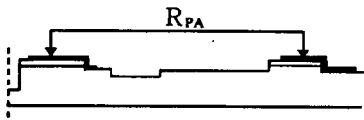
図5.23はブレイクオーバー・スイッチング時におけるパイロットサイリスタ、カソード間電圧 V_{PK} の最大値と同時刻のアノード、カソード間電圧 V_{AK} の比（ V_{PK}/V_{AK} ）と内蔵抵抗溝の溝幅の関係を示す。No.1、2、3、4の各ウェハ間での（ V_{PK}/V_{AK} ）の違いは殆ど見られない。溝幅が0、即ちリング溝のない素子では（ V_{PK}/V_{AK} ）の値は0.5~0.6であるのに対し、溝幅が0.5~1.5mmの素子では0.6~0.8と大きい。溝を形成したことによる内蔵抵抗値の増加の効果がはっきりと表われている。溝幅が0.5~1.5mmの素子の中でも、フローティング電極のあるTEG No. 2, 5, 6の素子は



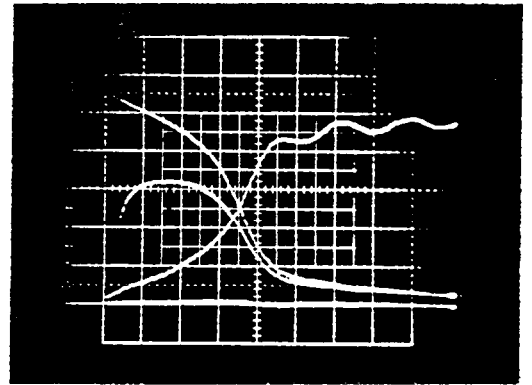
No. 4-3 $V_{Bo} : 5.7 \text{ kV}$
 $R_{PA} : 172 \Omega$



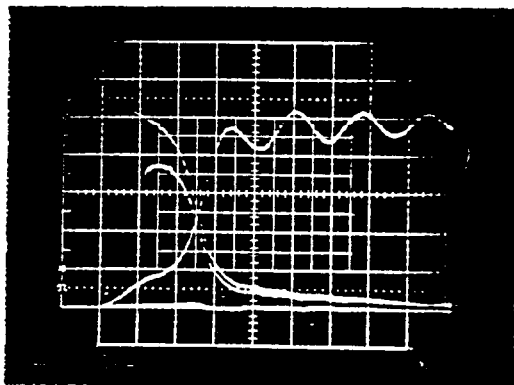
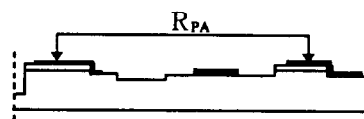
No. 4-3 $V_{Bo} : 5.7 \text{ kV}$



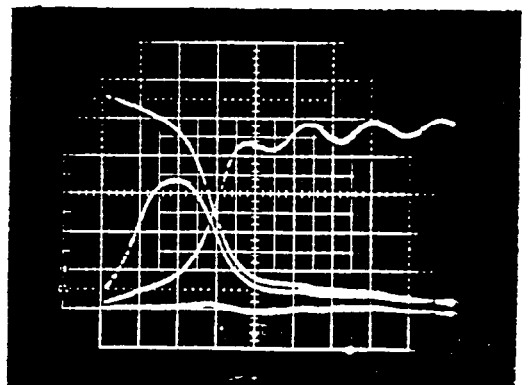
No. 4-4 $V_{Bo} : 5.4 \text{ kV}$
 $R_{PA} : 260 \Omega$



No. 4-4 $V_{Bo} : 5.5 \text{ kV}$



No. 4-6 $V_{Bo} : 5.6 \text{ kV}$
 $R_{PA} : 206 \Omega$



No. 4-6 $V_{Bo} : 5.6 \text{ kV}$

$T_j : 25^\circ\text{C}$

$T_j : 100^\circ\text{C}$

図 5.22 ターンオン波形の温度依存性 [$R_A : 60 \Omega$, $I : 20 \text{ A/div}$
 $(\Phi_{nE} : 3.5 \times 10^{13} \text{ cm}^{-2})$ [$V : 1 \text{ kV/div}$, $t : 0.1 \mu\text{s/div}$]

(V_{PK} / V_{AK})の値は図 5.20でも見たように、ほぼ同じレベルにあり、0.8である。フローティング電極のないTEG No. 4は0.6~0.7とやや小さい。この原因としては先に述べたように、フローティング電極がターンオン時にpベース層に注入されるキャリアの再結合のシンクとして働くことが考えられる。以上これまで見てきた素子構造とスイッチング波形から素子内部での発生パワーの分布を検討してみる。

図5.24(a)(b)はそれぞれ従来構造(TEG.No.1,7)の自己保護型サイリスタと今回の抵抗領域を内蔵した自己保護型サイリスタ(TEG.No.2~6)のブレイクオーバ・ターンオン時の発生パワーの分布を示すモデル図である。(a)従来構造では、ほぼウェルの近傍に発生パワーが集中するため、その密度も高くなることが予想される。これに対して抵抗を内蔵した新構造TEG.No.2~6では発生パワーはウェル近傍と抵抗領域に分散される。この場合の発生パワーを図のようにウェル近傍の縦方向成分 P_V と内蔵抵抗領域の横方向成分 P_L とに分けて考えることにする。

図5.25は新構造素子の内蔵抵抗値 R_{PA} と素子内の発生パワーの配分比($P_V / (P_V + P_L)$)の関係を示す。各発生パワーはブレイクオーバ・ターンオン波形より V_{PK} がピークになる時点での電圧、電流波形から求めた。ここで、 $V_{PK} \times I_P$ の値 P_L が全て内蔵抵抗領域で、 $(V_{AK} - V_{PK}) \times I_K$ の値 P_V がウェル近傍の縦方向成分として発生すると仮定した。従来構造のTEG No.1,7の素子では90%以上の発生パワーがウェル近傍に集中することになる。これに対して抵抗領域を内蔵したTEG No.2~6では発生パワーの50%以上を抵抗領域で分担する。特に溝抵抗のあるTEG No.2,4,5,6では65~80%にも達する。更にウェル部分の面積 S_1 と抵抗領域の面積 S_2 を比べると $S_1 = 0.19 \text{ mm}^2$, $S_2 = 9.42 \text{ mm}^2$ (リング溝幅1mmの場合)であり、1:50にもなる。発生パワー密度もこれに応じて抵抗を内蔵した素子では低くなると考えられ、スイッチングパワー耐量の向上が期待できる。次に、パイロットサイリスタおよび補助サイリスタのnエミッタ層のイオン打ち込み量がターンオン動作にどのような影響を与えるかについて検討してみる。

図5.26はnエミッタ層のイオン打ち込み量 Φ_{nE} とブレイクオーバ・ターンオン時の素子のアノード電圧とアノード電流が交わる時刻 t_{sw} の関係を示す。スイッチングパワーが最大となるのは、ほぼ素子の電圧と電流とが交わる時刻であると見なせることからスイッチング時間 t_{sw} をターンオン現象の時間の目安として用いた。図からnエミッタ層のイオン打ち込み量と t_{sw} の間には強い相関があり、打ち込み量が大きいほど t_{sw} が長くなることが分かる。時刻 t_{sw} 付近で素子内部ではウェル溝で始まったブレイクオーバ

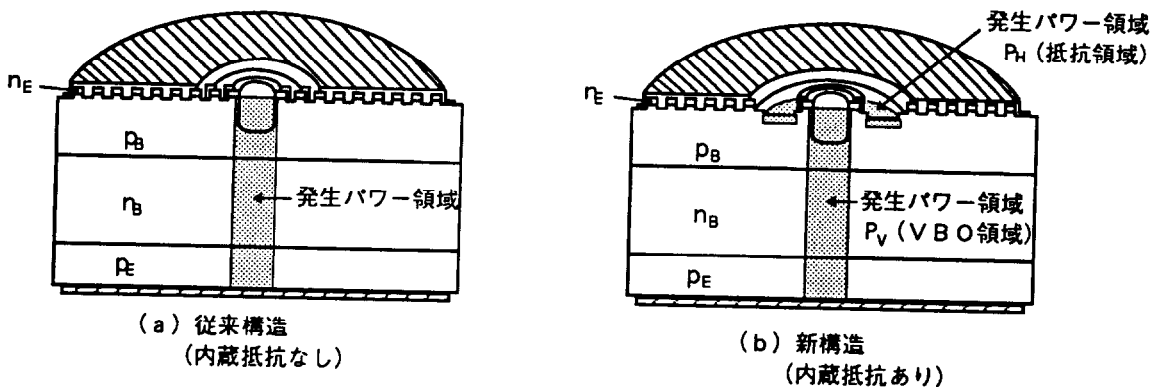


図 5.24 ブレークオーバー・ターンオン時の発生パワー分布モデル

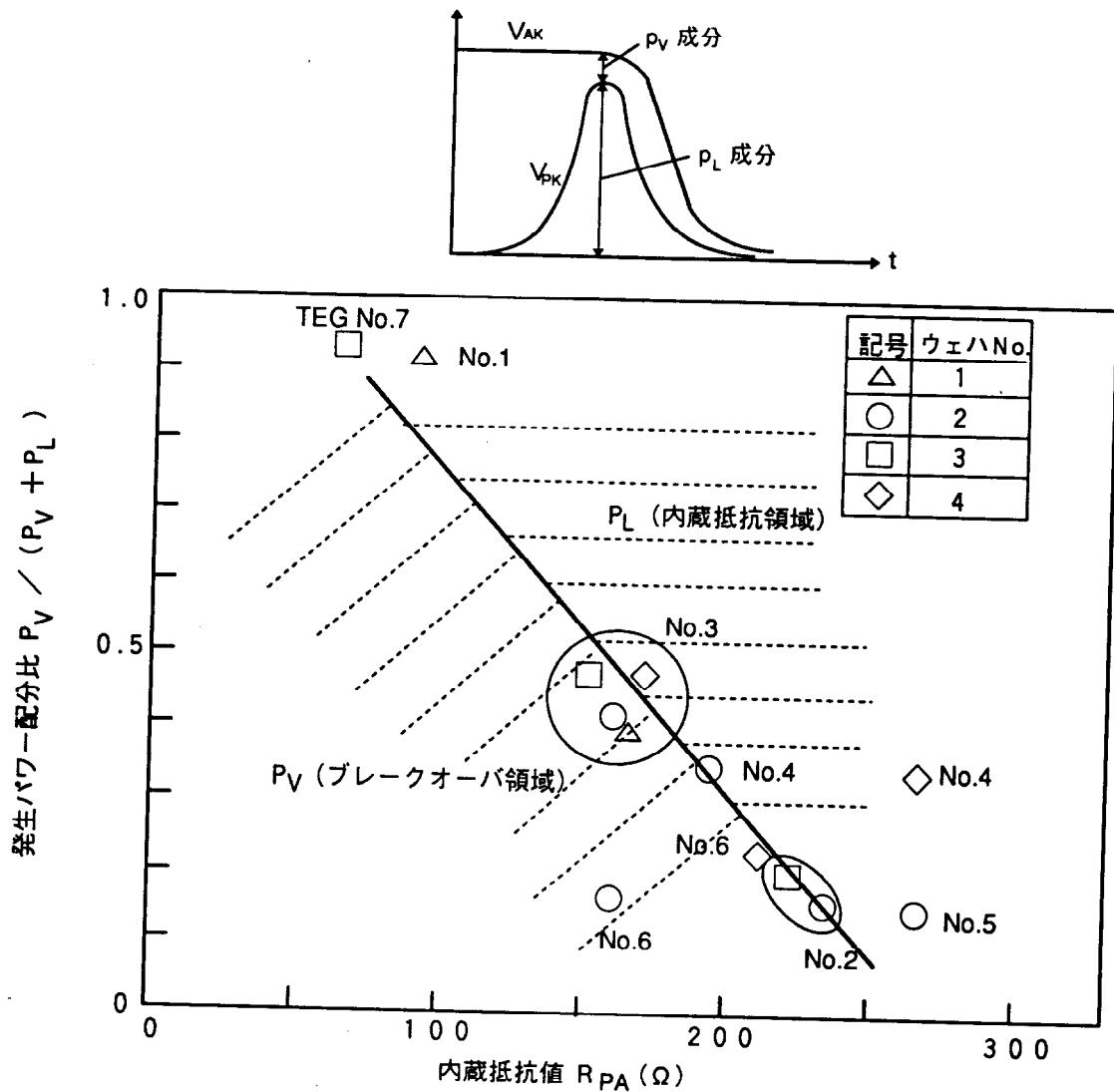


図 5.25 内蔵抵抗値と発生パワーの配分比の関係

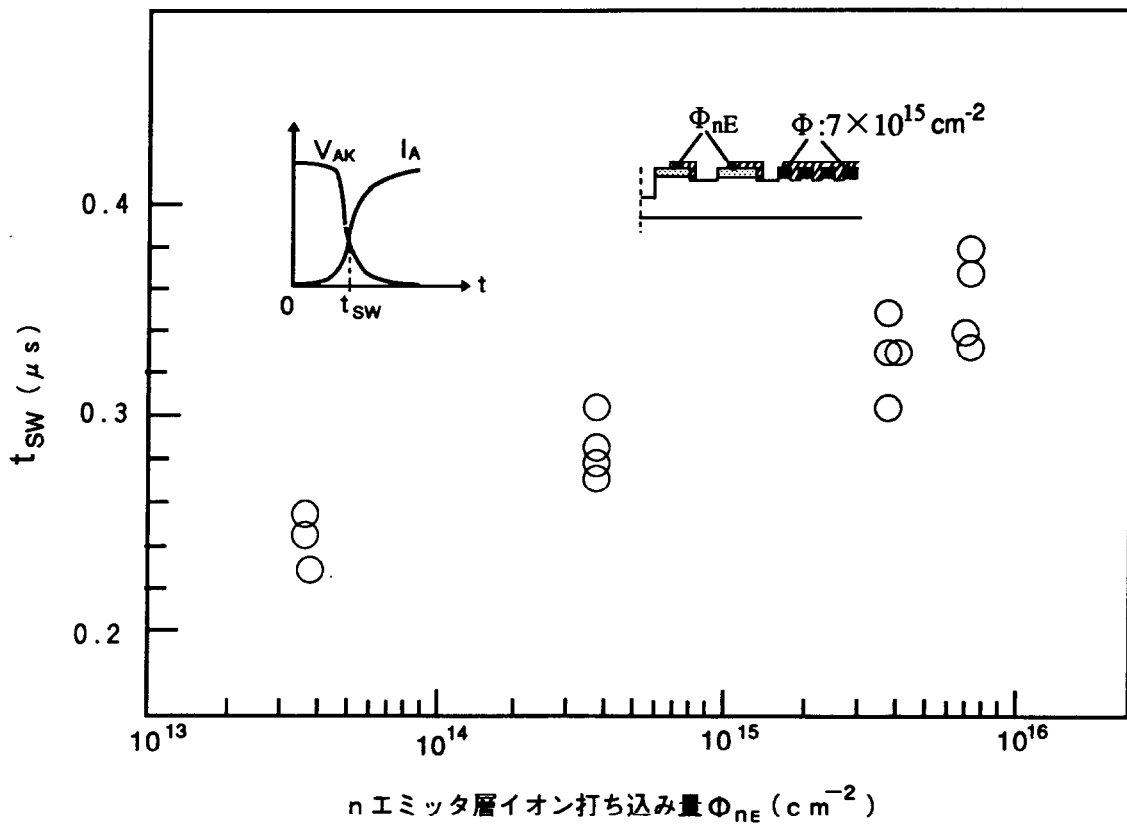


図5.26 nエミッタ層イオン量とスイッチング時間 t_{sw} の関係

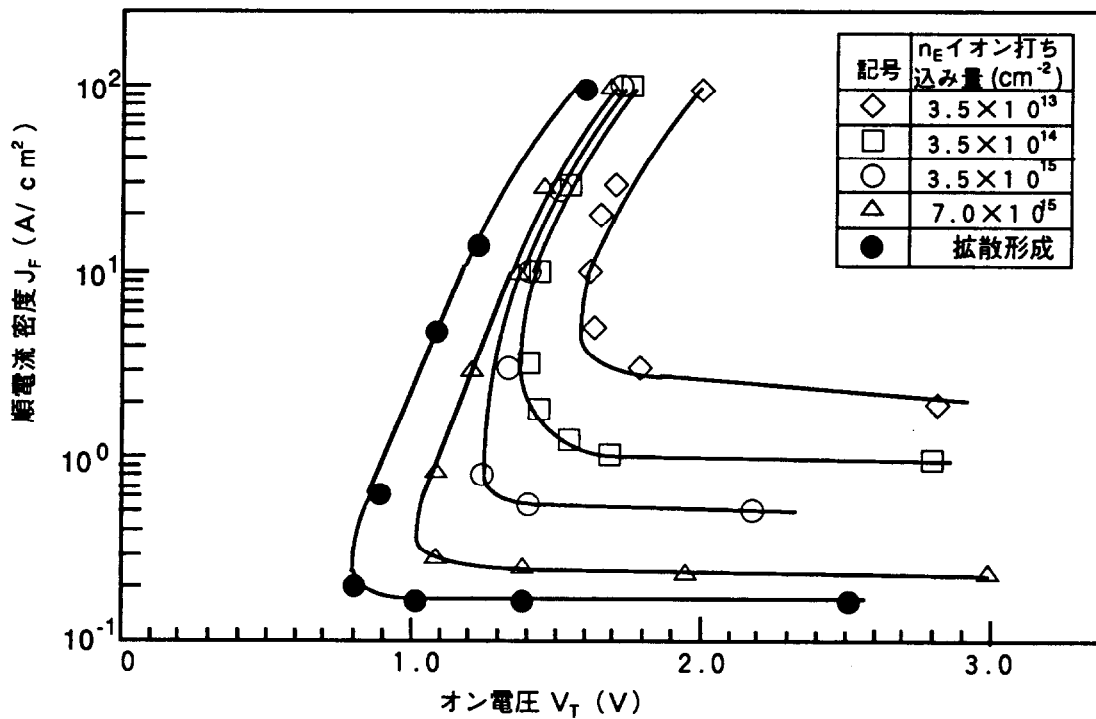


図5.27 nエミッタ層イオン打ち込み量と電圧-電流特性

がパイロットサイリスタから補助サイリスタ、主サイリスタへと移行してゆく過渡状態にあると考えられる。このことからイオン打ち込み量を変えることで、補助サイリスタ領域から主サイリスタ領域へと移行する様子が変わることが予想される。次に、この現象を1次元シミュレーションの結果より考えてみる。

図5.27は図5.26の試作サイリスタのnエミッタ層の濃度分布を近似した1次元モデルを用いて計算した電圧-電流特性を示す。100 A/cm²から保持電流領域までの特性が示してあり、イオン打ち込みしたモデル素子の他、拡散により形成したモデル素子の結果も示してある。イオン打ち込み量が少ないほど順電圧降下 V_F は高くなり、保持電流密度も大きくなる。これは表5.3に示したようにイオン打ち込み量が少なくなるとnエミッタ層が低濃度になり、エミッタとしての注入効率が低下するためである。ここで、試作素子のようにnエミッタの注入効率の小さなサイリスタを補助サイリスタ領域に、注入効率の大きなサイリスタを主サイリスタ領域に配置した場合、これらサイリスタの注入効率の差が大きいほど補助サイリスタから主サイリスタへの導通状態の移行が容易になると予想される。補助サイリスタと主サイリスタの電圧-電流特性の違いが大きくなって、順電圧降下の小さな主サイリスタにより容易に移るためである。このようなことから、図5.26で補助サイリスタ領域のイオン打ち込み量が小さいほど t_{SW} が小さかったのは、補助サイリスタから主サイリスタへの導通領域の移動が速いことによると考えられる。

5.4.3 試作素子の耐量と信頼性

次に、前節で検討したスイッチングパワー耐量の向上を図った素子について、耐量評価の破壊試験を実施した。ここでは、その結果について述べる。

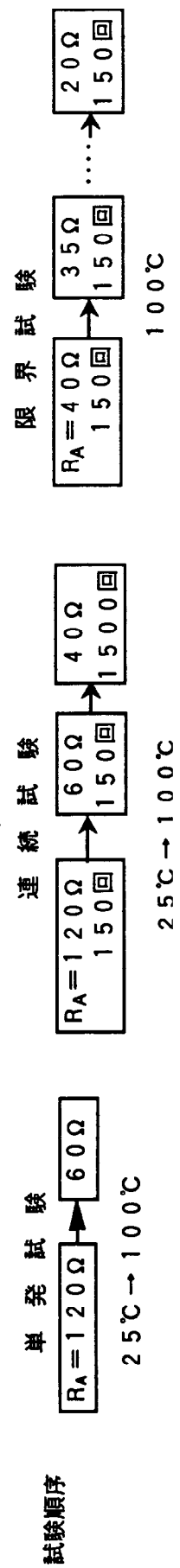
実際のサイリスタバルブ装置に使用する6 kV級サイリスタに要求されるスイッチングパワー耐量は190 kW以上 (T_j : 20~125℃, 繰り返し1500回)である。これは図5.14に示した試験回路でスナバ抵抗 R_A が4.7 Ω以下の場合に相当する。これを目標として試験条件および試験順序を決めた。

表5.4および図5.28は試作素子のスイッチングパワー耐量試験を示す。表5.4中の V_{PK} は図5.23に示したようにパイロットサイリスタとカソード電極間に発生する電圧のピーク値であり t_{SW} はターンオン後に素子の電圧と電流とが交差するまでの時間である。また、図5.29~5.30は試験により劣化した素子の破壊箇所を示す顕微鏡写真である。試験順序は室温の単発試験→100℃の単発試験→室温の連続試験→100℃での連続試験→100℃の限界試験である。まず、図5.28の内蔵抵抗値とスイッチングパワー耐量の間関係を見つめる。図中、黒塗りの記号の素子は試験により破壊したことを示し、白抜きの記号の素子はそのときのスイッチングパワー耐量を確認し、破壊しなかったことを示す。内蔵抵抗がなく、パイロ

表5.4 スイッチングパワー耐量試験結果

注) ○は合格 ×は破壊、又は劣化

素子No.	nエミッタ層イオン 打ち込み量Φ (cm ⁻²)	ブレイクオーバー電圧 V _{BO} (kV)		V _{PK} (kV) (25°C)	t _{SW} (μs) (25°C)	単発試験		連続試験		限界試験							
		25°C	100°C			25°C	100°C	25°C	100°C	40Ω	35Ω	30Ω	25Ω	20Ω			
		5.5	5.6			0.3	0.17	×	○	○	○	○	○	○	○	○	○
1-1	7.0 × 10 ¹⁵	5.2	5.9	3.8	0.34	○	○	○	○	○	○	○	○	○	○	×	
1-2		5.6	5.7	2.4	0.38	○	○	○	○	○	○	○	○	○	○	×	
1-3		5.0	5.5	2.9	0.33	○	○	○	○	○	○	×	○	○	○		
1-4		5.2	5.4	3.6	0.37	○	○	○	○	○	○	○	○	○	○		
1-6																	
2-1		3.5 × 10 ¹⁵	5.8	5.8	—	—	×	○	○	○	○	○	○	○	○	○	○
2-2	5.3		5.4	3.8	0.33	○	○	○	○	○	○	○	○	○	○	○	
2-3	5.4		5.7	2.3	0.29	○	○	○	○	○	○	×	○	○	○	○	
2-4	5.3		5.8	2.8	0.35	○	○	○	○	○	○	○	○	○	○	○	
2-5	5.5		5.6	3.8	0.33	○	○	×	○	○	○	○	○	○	○	○	
2-6	5.5		5.9	3.8	0.30	○	○	○	○	○	○	○	○	○	○	○	
2-7	5.0		5.1	0.7	0.17	×	○	○	○	○	○	○	○	○	○	○	
3-2	3.5 × 10 ¹⁴	5.5	5.5	3.8	0.27	○	○	○	○	○	○	○	○	○	○	○	
3-3		5.6	5.8	2.2	0.29	○	○	○	○	○	○	○	○	○	○	○	
3-5		5.5	5.7	3.8	0.28	○	○	○	○	○	○	○	○	○	○	○	
3-6		5.8	5.8	3.8	0.31	○	○	○	○	○	○	○	○	○	○	○	
3-7		5.4	5.8	0.3	0.27	×	○	○	○	○	○	○	○	○	○	○	
4-3		3.5 × 10 ¹³	5.7	5.7	2.2	0.22	○	○	○	○	○	○	×	○	○	○	○
4-4			5.4	5.5	3.1	0.23	○	○	○	○	○	○	○	○	○	○	○
4-6	5.6		5.6	3.7	0.25	○	○	○	○	○	○	○	○	○	○	○	



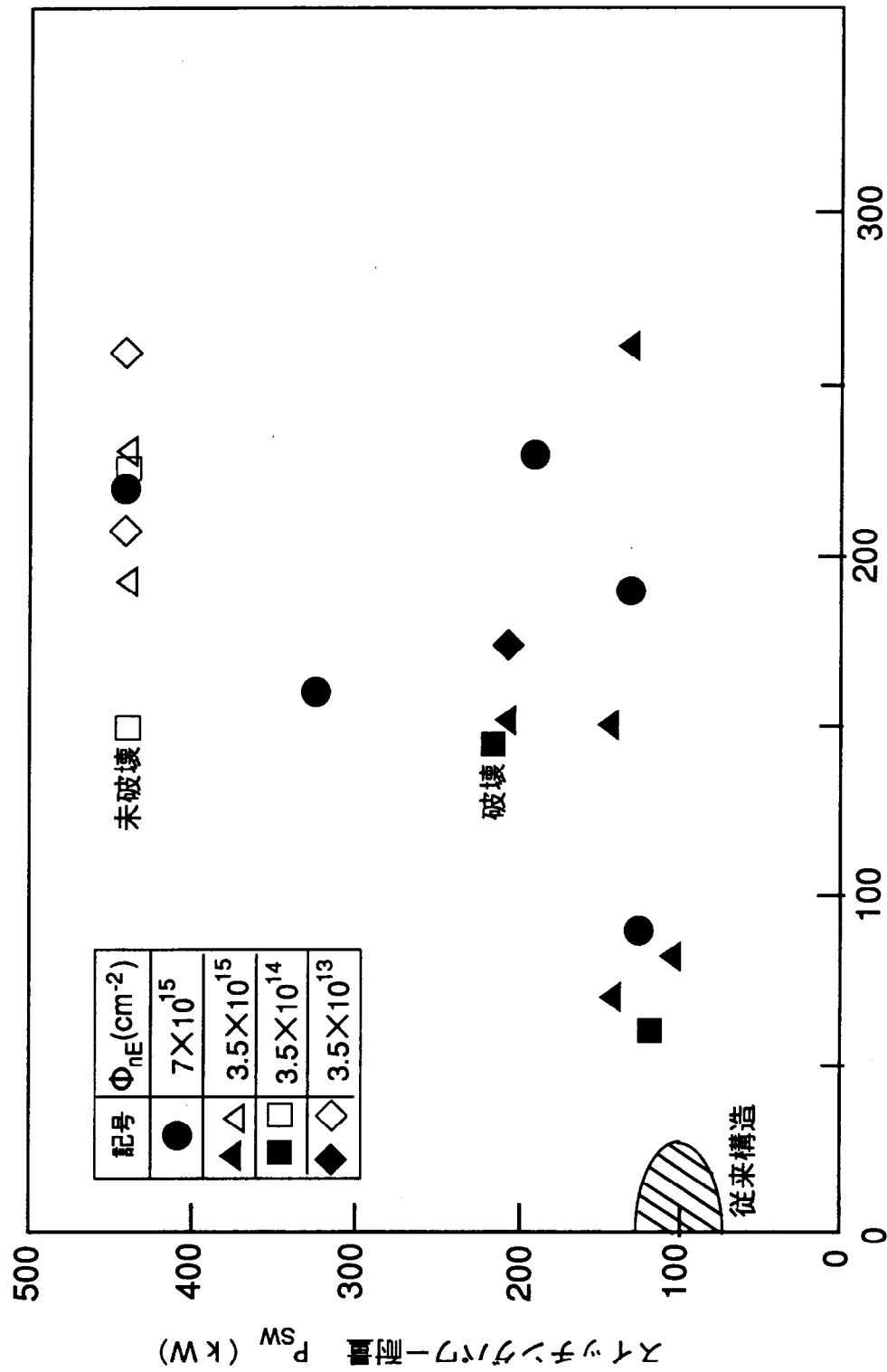


図5.28 内蔵抵抗値とスイッチングパワー耐量の関係

ットサイリスタ部を低濃度化していない従来構造素子の耐量は100 kW程度であった。内蔵抵抗を設けた今回の試作素子では内蔵抵抗が大きくなると共に耐量の上限值が大きくなっていることが分かる。但し、内蔵抵抗が200 Ω程度あるにもかかわらず耐量が100～200 kWと低かった素子はパイロットサイリスタ部のイオン打ち込み量が $3.5 \times 10^{15} \sim 7 \times 10^{15} \text{ cm}^{-2}$ と比較的高い。イオン打ち込み量を $3.5 \times 10^{13} \sim 3.5 \times 10^{14} \text{ cm}^{-2}$ と低めに設定した素子は6ケ中4ケが400 kW以上の耐量があり、低いものでも200 kW程度の耐量があった。このように抵抗を内蔵し、パイロットサイリスタ部のnエミッタ層を低濃度化することでスイッチングパワー耐量を従来に比べて大幅に高められることを確認した。次に試験結果と図5.29の素子の劣化状況を詳しく見てゆく。まず、No.1-1, 2-1, 2-7の素子はいずれも室温の単発試験で劣化し、最も耐量が小さかった。図5.29(a)に例を示したように、破壊箇所はいずれもウェル溝の側壁部であった。これらの素子の構造の特徴はパイロットサイリスタと補助サイリスタの間隔が他の素子に比べて短く、これら要素サイリスタ間の抵抗が小さいことである。次に、100℃の単発試験でNo.1-6, 2-5の素子が劣化した。破壊箇所は図5.29(b)に示したように、ウェル溝に隣接したパイロットサイリスタの電極の端部であった。破壊原因としてパイロットサイリスタの電極に溶接されたAlリード線により電流の流れが不均一となって局部的に集中したことが考えられる。調査ではAl電極をエッチングにより除去しなければ破壊箇所が見つからなかった為、Alリード線と破壊箇所の関係は必ずしも明確ではない。単発試験後の連続試験ではNo.3-3が劣化した。この他のTEG No.3の構造をもつNo.1-3、No.2-3、No.4-3には破壊箇所に大きな特徴がある。それは図5.30に示すようにパイロットサイリスタから補助サイリスタに向かって樹枝状の痕跡が見られたことである。このような痕跡はTEG No.3以外の素子には見られなかった。次に、Alリード線の影響を排除するため、リード線を付けていないNo.4-3について室温、 $R_A = 60 \Omega$ での連続試験を実施した。

図5.30はNo.4-3の繰り返し1500回、3000回試験後のウェル溝近傍の表面写真である。パイロットサイリスタの電極外周部より放射状に、ほぼ120度の角度を持って樹枝状の痕跡が伸びていることが分かる。今回の素子のように〈111〉方向の結晶軸をもつウェハを用いた場合、ターンオン時の電流は120度の方向性を持って拡がりやすいことが報告¹¹⁾されている。図の樹枝状の痕跡は電流の流れやすい120度の角度をもつ3方向に電流が集中して流れ、スイッチングの繰り返しにより痕跡を残したものと考えられる。なお、No.5-3は3000回の繰り返し後の測定でブレークオーバー電圧の低下は見られなかった。樹枝状の痕跡が次段の補助サイリスタに達したとき破壊すると考えられる。また、ウェル溝から補助サイリスタにかけて絶縁用のポリイミド樹脂が塗布されているが、この影響によるものかを調べるため、樹脂

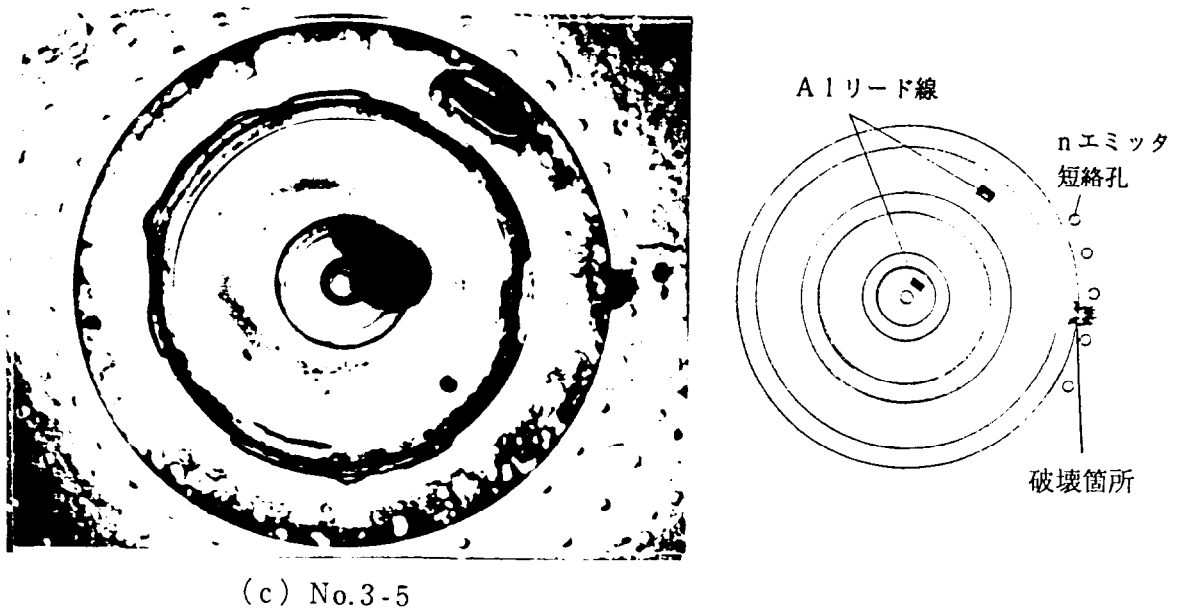
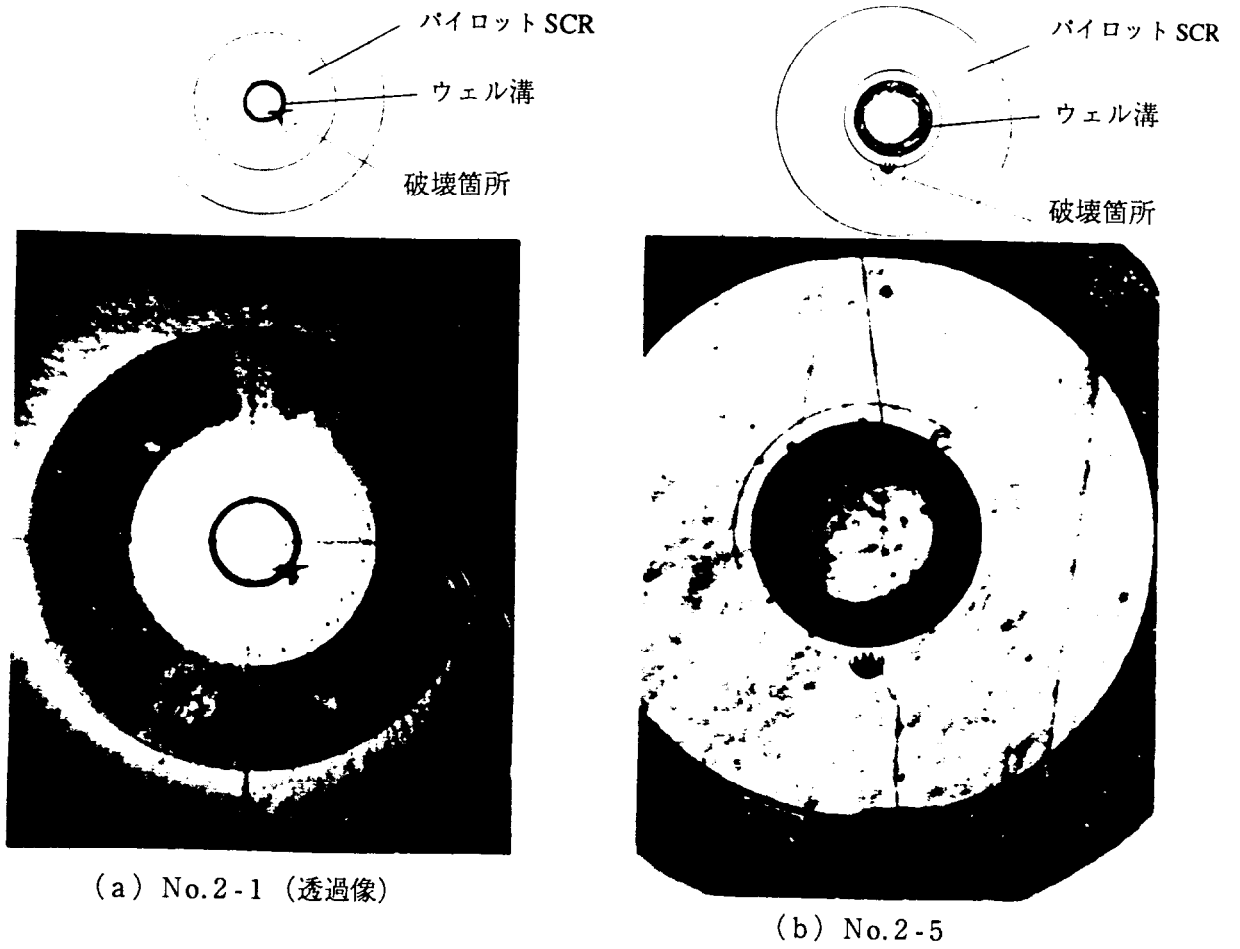
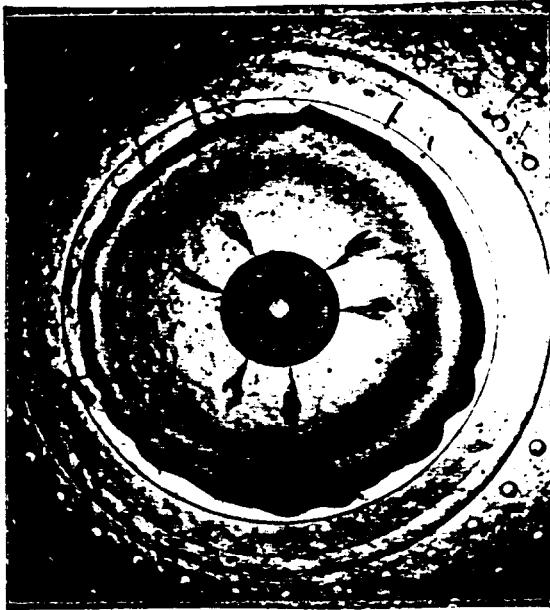
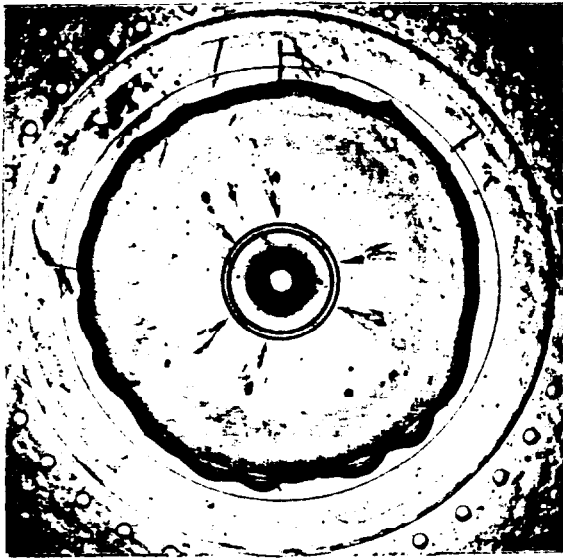


図5.29 スイッチングパワー耐量試験での破壊素子の破壊箇所写真



繰り返し 1500回



繰り返し 3000回

No.4-3 (V_{BO} :7.0 kV)

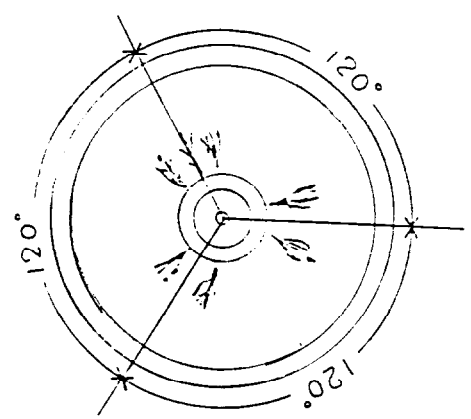


図5.30 スイッチングパワー耐量連続試験後のゲート領域表面写真

を塗布しない素子で試験したが、やはり樹枝状の痕跡が観測され、痕跡がシリコン表面にあることが確認された。パイロットサイリスタと補助サイリスタの間にリング溝を設けた素子には樹枝状の痕跡が見られなかったことから、リング溝の抵抗領域はターンオン時の電流の拡がりを均一化するバラスト抵抗の効果を持つと考えられる。次に限界試験で $R_A = 25 \Omega$ まで合格し、 20Ω で劣化したNo.1-2, No.3-5の破壊箇所(図5.29(c)参照)を見ると両方とも補助サイリスタに近い主サイリスタ領域の端部であった。この他、No.1-4も同じ場所が破壊箇所であった。抵抗を内蔵したことで、これまでで見たようにターンオン初期の電流が抑制されると共に、抵抗領域によりウェル溝領域でのスイッチングパワーの集中が緩和され、破壊箇所がウェル側壁部から主サイリスタ端部に移ったものと考えられる。表5.4で 100°C の連続試験に合格したものは、TEG No.1, 7を除くと、16ケ中12ケと75%が目標を満足したことになる。限界試験で目標値の2倍の耐量に相当する 20Ω まで合格した素子の内訳はウェハNo.1で5ケ中0ケ、No.2で7ケ中2ケ、No.3で4ケ中2ケ、No.4で3ケ中2ケであった。試験素子数が少なく各素子の構造が異なっているが、No.1のグループは他のグループに比べて耐量が小さいと云える。5.3.3で検討したように、nエミッタ層のイオン打ち込み量の最も多いNo.1の素子では他のグループの素子に比べて補助サイリスタから主サイリスタへの導通領域の拡がりが遅く、電流密度が高くなって破壊しやすくなったと考えられる。以上、ブレイクオーバ・スイッチングパワー耐量試験の結果から耐量が大きい構造として、1) 主サイリスタ領域に比べて補助サイリスタ領域のnエミッタ濃度を低濃度にし、2) パイロットサイリスタと補助サイリスタの間に抵抗層となるリング溝を設けることが効果的であることが分かった。

5.5 むすび

耐電圧5 kV級のサイリスタのターンオン時のスイッチングパワー耐量を高める素子構造を検討し、以下の結論を得た。

- (1) 過電圧自己保護用に形成したウェル溝のあるパイロットサイリスタと隣接する補助サイリスタの間にリング状の内蔵溝抵抗を設けることでブレイクオーバ・ターンオン時の電流の立ち上がりを抑制でき、発生パワーもウェル溝から溝抵抗領域へ分散できる。
- (2) 内蔵溝抵抗は $25 \sim 250^\circ\text{C}$ の範囲で正の温度係数を持ち、温度係数は抵抗値によらず $1.7 \sim 1.9 \times 10^{-2} / \text{deg}$ の範囲にある。
- (3) 内蔵抵抗領域のサイリスタに最大5 Aの電流を流しても蓄積キャリアによる抵抗値の低下は見られず、電流値が大きいほど抵抗値は大きくなる。

- (4) 内蔵溝抵抗の近傍にフローティング電極を設けると、これが無い場合に比べて電流の立ち上がりを抑制する効果が大きい。この場合、溝抵抗の幅に依らずアノード・カソード間電圧の約80%を抵抗領域で分担する。
- (5) 主サイリスタ領域に比べて補助サイリスタ領域のnエミッタ濃度を低濃度にすると、補助サイリスタ領域から主サイリスタ領域への導通領域の移動が速くなり、ブレイクオーバ・パワー耐量を高くできる。
- (6) 試作したスイッチングパワー耐量の向上を図ったサイリスタではブレイクオーバ動作時のターンオン時間は室温に比べて高温(100℃)の方が長い。

尚、本章で検討したターンオン特性の改良構造は現在、最大容量の8 kV, 3.5 kA光トリガ・サイリスタ¹²⁾や6 kV, 5.5 kA光トリガ・サイリスタ¹³⁾に採用されており、高耐圧・大容量にサイリスタ有用な技術であることが実証されたものと考えられる。

参考文献

- 1) 清水ほか ; "サイリスタ" 特許公報 第2673694号、昭和63年3月出願、平成9年7月公告
- 2) I. Somos and D.E. Piccone, " Behaviour of thyristors under transient conditions", Proc. IEEE, Vol.55, No.8, pp.1306-1311 (1967)
- 3) V. K. Temple, " Controlled Turn-on Thyristors", IEEE Trans. on Electron Devices, ED-30, No.7 July, p.816-824 (1983)
- 4) J. X. Przybysz et al., " High dI/dt Light-Triggered Thyristors", IEEE Trans. on Electron Devices, ED-34, No.10, Oct., p.2192-2199 (1987)
- 5) Y. Shimizu et al., " An overvoltage, self-protected thyristor with high breakover power endurance", IEEE Trans. on Electron Devices, ED-38, No.4, April, p.913-916 (1991)
- 6) M. Naito, T. Nagano, H. Fukui and Y. Terasawa, " One-dimesional Analysis of Turn-off Phenomena for a Gate Turnoff Thyristor", IEEE Trans. on Electron Devices, ED-26, p.226-231 (1979)
- 7) D.A. Antoniadis et al. : SUPREM- A program for IC process modeling and simulation, Stanford Univ. Tech. Rep. No.5019-2, June (1978)
- 8) 例えばS.K. Ghandhi : Semiconductor Power Devices, p.11, John Wiley & Sons,Inc. (1977)
- 9) 例えばS. M. Sze : Physics of Semiconductor Devices, Second Edition p.19, John Wiely & Sons,Inc. (1981)
- 1 0) 例えばS. M. Sze : Physics of Semiconductor Devices, Second Edition p.49, John Wiely & Sons,Inc. (1981)
- 1 1) P. Voss, " A thyristor protected against di/dt failure breakdown turn-on", Solid-St. Electron., Vol.17, pp.655-661 (1974)
- 1 2) K. Saito et al., " An 8-kV 3.5-kA 6-inch Light-Activated Thyristor for HVDC Transmission ", IEEJ Proc. of IPEC-Yokohama '95, pp.1250-1254 (1995)
- 1 3) S. Katoh et al., " 6-kV, 5.5-kA Light-Triggered Thyristor", IEEE Proc. of ISPSD '97, pp.73-76 (1997)

第6章 サイリスタの保護機能内蔵によるシステム化への展開

6.1 まえがき

大容量電力変換器の分野で使用される大容量サイリスタの過電圧保護機能を素子自身に内蔵化することを検討し、パンチスルーとアバランシ降伏を組み合わせた過電圧自己保護型サイリスタを提案した。直流送電設備や周波数変換装置に用いられるサイリスタバルブは高耐圧サイリスタを多数個直列接続して、超高耐圧・大電流を制御する装置である。サイリスタバルブは1.3で述べたように雷サージの侵入、直列接続された多数個のサイリスタの一部のサイリスタのみが導通してしまった場合などに発生する異常に高い電圧（以下、過電圧とよぶ）から素子を守るための保護回路が設けられている。一方、高耐圧サイリスタの分野ではゲート回路を簡略化でき、ノイズに対しても誤動作がなくなるなどの利点をもつ光トリガサイリスタが電気トリガサイリスタに代わって1970年頃より用いられるようになった。そして現在、この分野では主流になっている。しかし、光トリガサイリスタにも上記、過電圧保護回路が用いられているためゲート回路が簡略化できるという光サイリスタのメリットが半減されている。このため素子自体に過電圧保護機能を持たせることが電力変換システムへ光サイリスタを適用する場合の大きな課題であった。

過電圧自己保護型サイリスタ（以下、自己保護型サイリスタと呼ぶ）では素子に一定以上の電圧が印加された場合、外部からのトリガ信号なしに安全にターンオンしなければならない。図6.1は自己保護型サイリスタの電圧-電流特性を示す。従来のサイリスタでは過電圧が印加された場合、ブレイクオーバーが始まる素子内部の位置は不特定であり、電流集中により素子が破壊してしまうという問題があった。自己保護型サイリスタではゲート領域のブレイクオーバー電圧 V_{BO} を他の領域のブレイクオーバー電圧 V'_{BO} よりもわずかに低くし、過電圧が印加されたとき常にゲート領域から導通状態になるようにして素子破壊を防ぐ。また、ブレイクオーバー電圧は素子の接合温度や印加される電圧の上昇率 dV/dt などが変化しても、その変動が小さいことが要求される。次節ではこれまで検討されてきた自己保護型サイリスタの構造を記したが、いずれの構造もブレイクオーバー電圧を精密に制御することが難しい。本研究の過電圧自己保護型サイリスタは制御されたブレイクオーバー電圧を素子製作プロセスの途中の段階で予測し、これを調整できるという特徴がある。また、試作素子はパンチスルー現象とアバランシ現象を組み合わせた構造により動作電圧の温度依存性が小さく、ブレイクオーバー時の破壊耐量が大きいという特色をもつ。次節ではこれまで検討された自己保護型サイリスタについて概観してみることにする。

6.2 過電圧自己保護型サイリスタの開発経緯

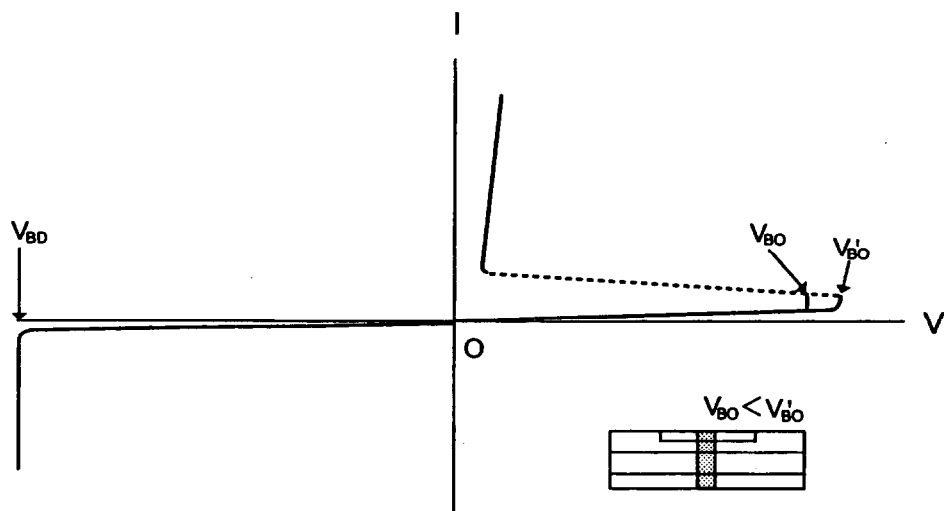


図6.1 過電圧自己保護型サイリスタの電圧-電流特性

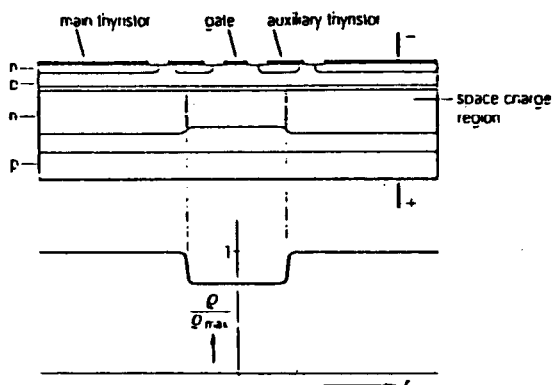


図6.2 過電圧自己保護型サイリスタの例¹⁾

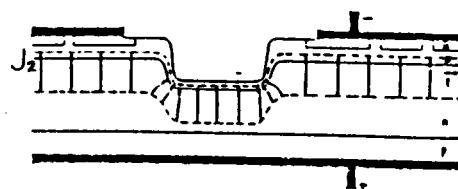


図6.3 過電圧自己保護型サイリスタの例³⁾

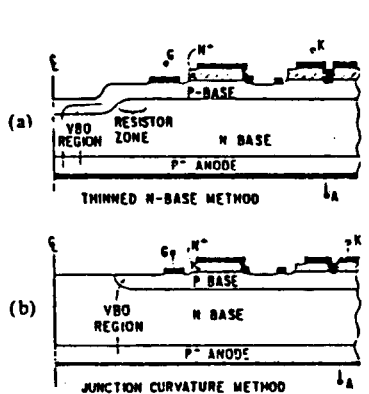


図6.4 過電圧自己保護型サイリスタの例⁴⁾

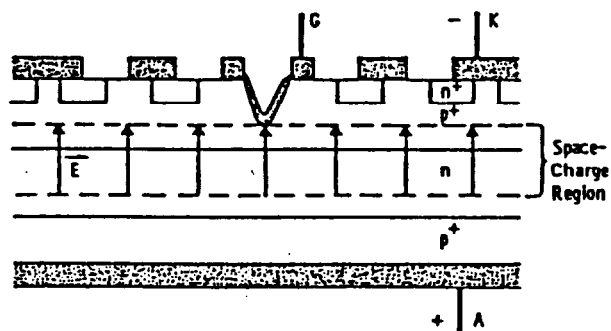


図6.5 過電圧自己保護型サイリスタの例⁵⁾

過電圧自己保護型サイリスタとして最初に提案された構造を図 6.2 に示す。1974年に P. Voss¹⁾ が提案したもので基板シリコンの抵抗率、すなわち n ベース層の抵抗率をゲート部のみ低く設定しておく。するとこの領域での降伏電圧は他の領域に比べて低いために必ずゲート領域から降伏を起こし、ここから点弧する。サイリスタの中央接合 (J_2 接合) の降伏電圧は n ベース層の不純物濃度に依存しており、1000 V 付近では降伏電圧 V_B と n ベース層の不純物濃度 N_D の間には次式²⁾ のような関係がある。

$$V_B = 5.34 \times 10^{13} \cdot N_D^{-0.75} \quad (6.1)$$

同図中にはこの場合に用いられるシリコンウェハの面内抵抗率分布が Q/Q_{\max} で示されている。このような抵抗率分布をもつウェハを得るには素材単結晶を作る段階で中央部の抵抗率が局部的に低くなるよう不均一な不純物ドーピングにより得られる。しかし、このような抵抗率の制御されたシリコン単結晶を得ることは難しく、現実に製品レベルに適用することは製造コストの点から難しいと考えられる。

次に、1981年には J. X. Przybysz らが図 6.3 に示す自己保護型サイリスタを発表³⁾している。その動作原理は図のようにカソード側の一部にウェル (溝) を形成して J_2 接合の一部に湾曲をもたせ、過電圧が印加されたとき、この部分の電界強度を強めアバランシ降伏を起こさせる。このアバランシ降伏電流によりサイリスタを点弧させるものである。この場合、素子のブレイクオーバー電圧を正確に制御できるかはウェル部分をいかに平坦にできるかが鍵となる。

さらに、1983年には V. A. K. Temple は図 6.4 のような2種類の自己保護型サイリスタを提案⁴⁾した。(a) は n ベース層の厚さをゲート領域近傍で部分的に薄くしておき、この領域でブレイクオーバー電圧を制御する方法である。(b) はゲート領域近傍の p ベース層をプレーナ構造とすることで湾曲をもたせ、電界強度を強めてアバランシ降伏を起こさせるものである。図 6.4 の Przybysz らの方法と同じ動作原理である。(a) (b) どちらの構造をとるにせよターンオン開始時点での電流集中による熱破壊を防ぐため Temple は自己保護領域に流れる電流を制限する必要があると強調している。

さらに、1985年に Przybysz は図 6.5 に示す新たな方式の自己保護型サイリスタを発表⁵⁾している。すなわち、カソード側からレーザー光線により p ベース層に達するウェルを設け、このウェルに金属電極を接着しておく。過電圧が印加されて p ベース層に広がる空乏層が、このウェルの底面に到達したとき素子がターンオンするというもので、空乏層のパンチスルーを利用したものである。本方式によれば素子のアノード、カソード間に電圧を印加した状態でレーザーパルスを繰り返し照射することにより、所定のブレイクオーバー電圧をモニターしながら調整できることが最大の長所であるとしている。

以上述べた自己保護型サイリスタは、いずれもサイリスタ本体に過電圧保護機能を内蔵させたものであるが、この他にサイリスタに並列に接続されたスイッチング素子の働きにより保護機能をもたせたもの⁶⁾⁷⁾もある。

6.3 単純ウェル構造によるブレークオーバー電圧制御

6.3.1 素子構造と動作原理

図6.6は本節で取り上げる自己保護型サイリスタの構造⁸⁾を示す。図のようにサイリスタのゲート領域の一部にpベース層に達するウェル（溝）が設けられている。この場合、中央接合（ J_2 接合）のフロントが同一面内にあることが特徴的である。素子に順方向電圧、即ちアノード側に正、カソード側に負の電圧が印加された場合pベース層に広がる空乏層がウェルに充分、到達するようにしておく。図6.7はこのときのウェル付近の空乏層の広がりの様子を示す。素子にある値以上の順方向の電圧が印加されたとき、pベース層に広がる空乏層はウェルのある部分では広がることが出来ず、本来広がるべき空乏層の電荷 Q_R と見合う電荷量 Q_H がウェルの周辺部に広がる⁹⁾。このときpベース層は不純物濃度勾配を持っているためにカソード表面に近いほど不純物濃度は高くなる。一般的に不純物濃度と空乏層の幅および印加電圧の間には次式のポアソンの関係がある。

$$(\partial V / \partial x) = - (1 / \epsilon) N_{(x)} dx \quad (6.2)$$

ここで、 V ：印加電圧、 W ：空乏層幅、 ϵ ：シリコンの誘電率、 $N_{(x)}$ ：不純物濃度分布
 W ：空乏層幅である。

(6.2)式より空乏層は不純物濃度が高いほど広がりにくいために不純物濃度の高いウェル周辺部では空乏層の伸びは抑制されて電界強度が高まり、そこでアバランシ降伏を起こす。このアバランシ降伏電流により素子をブレークオーバーさせるものである。ウェルの径が大きく、またはウェルの深さが深いほど周辺部に広がる電荷量が大きくなるためブレークオーバー電圧は低くなると予想される。図6.8は図6.7に示した自己保護型サイリスタを2次元数値解析するための簡略モデルを示す。このモデルにポアソン方程式を適用し、電位分布および電界分布を求めた。ウェル部分には絶縁物が充填されているとし、絶縁物とシリコンの間の界面電荷密度の値は0であるとした。ウェル以外のp層の表面には電極があるとし、ウェルの形状は深さを半径とする四分円と平坦な底からなるとした。この他、次の仮定をした。

- 1) 対象領域を静電界とする。
- 2) アクセプタ濃度は接合に平行なx方向では一様、接合に垂直なy方向では補誤差関数分布とする。

単純ウェル構造

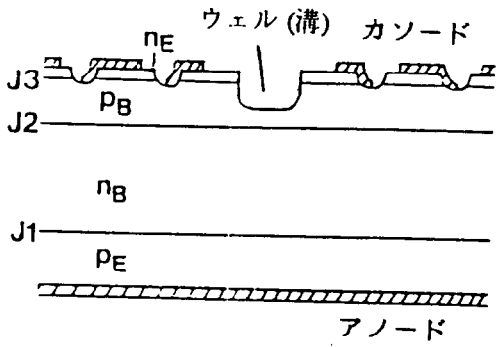


図6.6 単純ウェル構造の断面構造

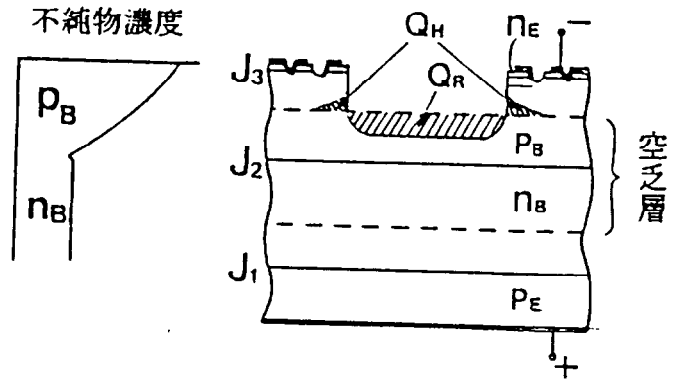


図6.7 単純ウェル構造の動作モデル

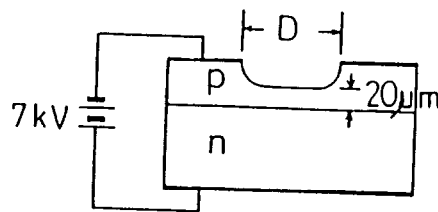


図6.8 2次元数値解析モデル

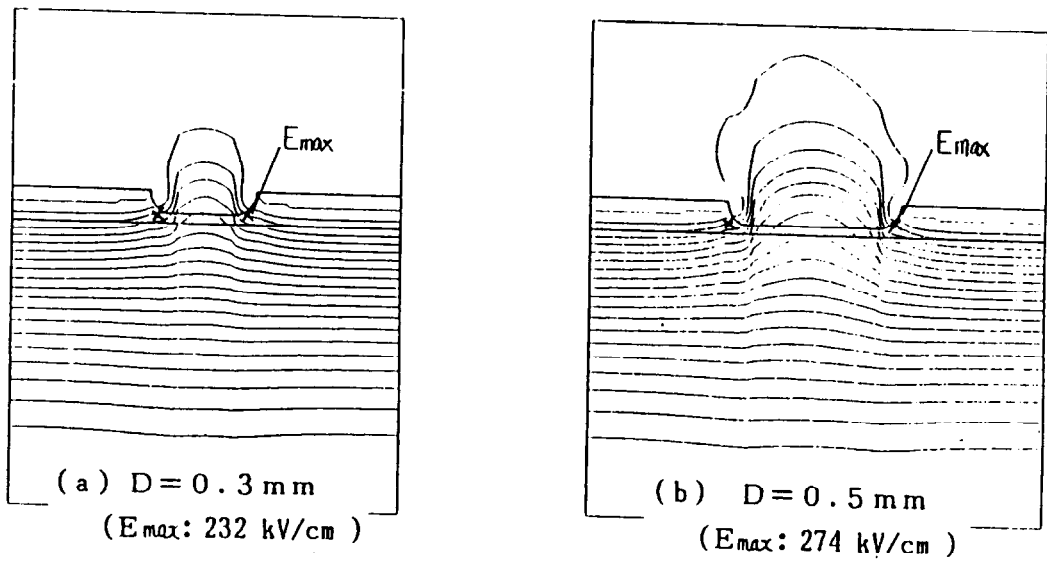


図6.9 2次元電位分布 (印加電圧:7 kV, 等電位線間隔:350V)

図 6.9 (a),(b) はそれぞれウェルの径 D が 0.3 mm および 0.5 mm の場合の等電位分布を示す。ウェルの深さはいずれも同じであり接合からウェル底面までの距離は $20\text{ }\mu\text{m}$ である。印加電圧は 7 kV である。ウェルの径が 0.3 mm の場合に比べ、 0.5 mm の場合はウェル周辺部からシリコン外部へ出て行く等電位線の本数が多く、ウェル周辺部での分布が密になっている。シリコン内部で電界強度 E_{max} を示す位置はウェルの側壁部にあり、(a)に比べて(b)の方が約 40 kV/cm 高い。ウェルの無い場合の最大電界はpn接合(J_2 接合)にあり、その値は 165 kV/cm であった。このようにpベース層に設けたウェルの径を変えることで、ウェル側壁部にある最大電界強度の値が変わる。

図 6.10 はウェルの深さをパラメータとした場合のウェルの径と最大電界強度の関係を示す。ウェルの深さに関するパラメータとしては、ウェル下のpベース層の残り代 Δx が最大電界強度と密接に関係するため、これをパラメータの値とした。ウェルの径が大きくなると共に、最大電界強度が高くなり、またウェルの深さが深くなるほど最大電界強度は高くなっている。このように、ウェルの径および深さにより、ウェル側壁部の最大電界強度が変わることから、アバランシ降伏電圧も変わると考えられる。

6.3.2 試作素子の製作法と特性

試作した自己保護型サイリスタ(単純ウェル構造と呼ぶ)の製造プロセスは、従来のサイリスタの接合プロセスによりサイリスタ構造を形成後、サイリスタのゲート部にドライエッチングにより自己保護領域となるウェル(溝)を形成した。

図 6.11 はドライエッチングにより形成したウェルの形状写真を示す。同図(a)の平面パターンでは直径 8.3 mm のウェハ内に12ケの $2.4\text{ mm}\Phi$ の小型素子が形成され、その中央部に径の異なるウェル(溝)が形成されている。同図(b)の断面顕微鏡写真ではウェルの底面が非常に平坦になっていることが分かる。ウェルには表面安定化のためパシベーション材料(ポリイミド樹脂)が塗布される。

表 6.1 は試作した単純ウェル構造素子の主な構造寸法を示す。ウェハNo.1~4は基板ウェハの比抵抗が $250\text{ }\Omega\cdot\text{cm}$ で素子耐圧が 4 kV 級の素子であり、No.5は $430\text{ }\Omega\cdot\text{cm}$ で 8 kV 級の素子である。同一ウェハからウェルの径を変えた直径 2.4 mm の素子を12ケ製作した。

図 6.12 はウェルの深さが同じでウェルの直径 D を変えた試作素子の電圧-電流特性を示す。本測定では素子が破壊せぬように電流レベルを下げてブレイクオーバーさせぬようにした。いずれもハードなアバランシ特性を示しており、ウェルの径によりアバランシ電圧が変化していることが分かる。ウェルのない素子(a)ではアバランシ電圧は 6 kV である。一方、ウェルを形成した場合、(b)ウェル径 $1.0\text{ mm}\Phi$ では 4.5 kV ,

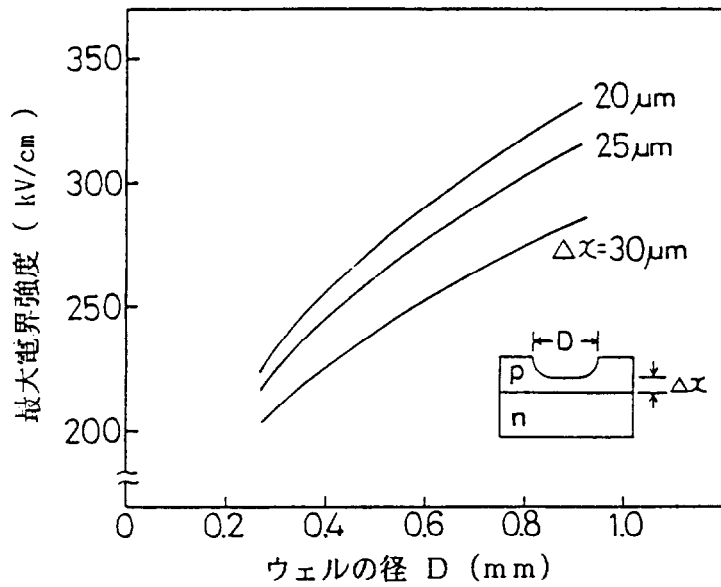
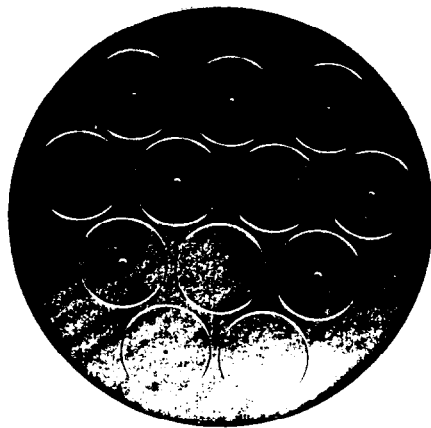
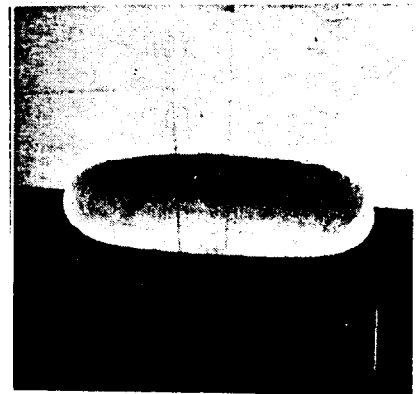


図 6.10 ウェルの形状と最大電界強度の関係



(a) 平面パターン

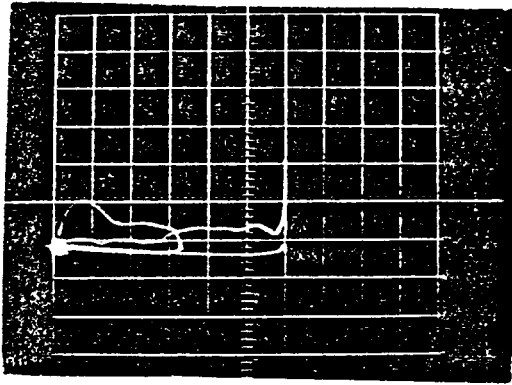


(b) 断面図 (SEM写真)
(D = 0.4 mm)

図 6.11 ウェルの形状写真

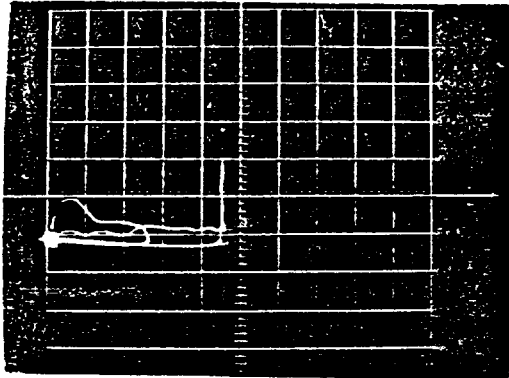
表 6.1 単純ウェル構造試作素子の主な構造寸法

ウェル No.	基板比抵抗 ($\Omega \cdot \text{cm}$)	接合寸法			ウェル寸法		素子耐圧 (kV)
		W_{nE} (μm)	W_{pB} (μm)	W_{pE} (μm)	深さ (μm)	直径 (mm)	
1	250	10	86	720	82	1.0 ~3.0	4.0
2	250	10	89	730	70	0.5 ~1.5	
3	250	10	89	730	80	0.5 ~1.5	
4	250	10	89	730	85	0.5 ~1.5	
5	430	10	105	1390	97	0.5 ~1.5	8.0

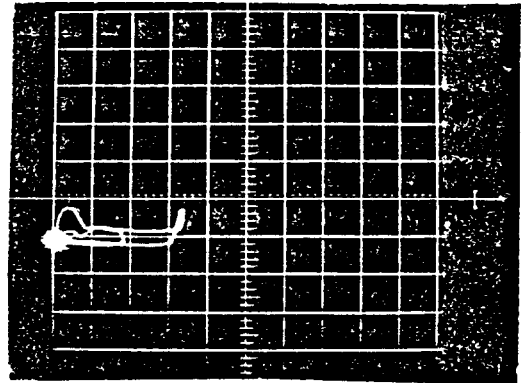


(a) ウェルの径 $D=0$

(H : 1 kv/div, V : 0.5mA/div)



(b) $D=1.0$ mm



(c) $D=1.5$ mm

図 6.1 2 ウェルの径を変えた素子の電圧-電流特性

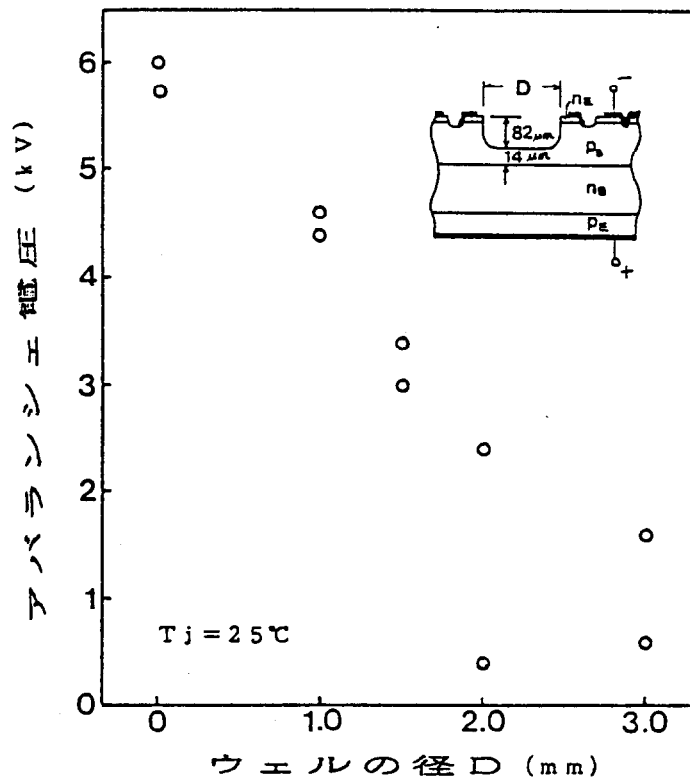


図 6.1 3 ウェルの径とアバランシ電圧の関係

(c) 1.5 mmΦでは3.4 kVとウェルの径が大きいほどアバランシ電圧は低くなっている。

図6.13は同一ウェハから得られたウェルの径が異なる複数の試作素子のウェルの径とアバランシ電圧の関係をまとめたものである。ウェルの径とアバランシ電圧の間には強い相関が見られる。ウェルの径が大きくなると共にアバランシ電圧は、ほぼ直線的に低下している。同一のウェル径の素子が各2ケではあるが、ウェル径の比較的大きな2.0 mmΦおよび3.0 mmΦの素子のアバランシ電圧のばらつきが大きい。次に図6.13の結果をふまえ、ブレイクオーバー電圧がウェルの径、および深さによりどのように変わるかを調べた。

図6.14は同一拡散ロットのウェハを用い、ウェルの深さをパラメータとしてウェルの径とブレイクオーバー電圧の関係をまとめたものである。それぞれのウェルの深さに応じて異なる相関曲線を形成しており、ウェルが深いほどウェル径に対するブレイクオーバー電圧の変化は大きい。ウェルの深さが70 μmの素子ではウェルの径が0.75 mmまではブレイクオーバー電圧はウェルのない場合と殆ど変わらず、1.5 mmの場合でも5.2 kVに低下するに過ぎない。一方、ウェルの深さが85 μmの場合、径が0.75 mmで4.3 kV、1.5 mmで3.5 kVと大幅に低下している。以上のように単純ウェル構造の自己保護型サイリスタではブレイクオーバー電圧をウェルの径および深さにより調整できることが分かった。次に更に耐圧の高い8 kV級のサイリスタについても調べた。

図6.15は表6.1、No.5の8 kV級素子の電圧-電流特性を示す。(a)ウェルのない素子ではアバランシ電圧は10 kVにまで達している。ウェルの径が大きくなるほどブレイクオーバー電圧が低下することは図6.14の結果と同様である。

図6.16は8 kV級素子のウェルの径とブレイクオーバー電圧の関係をまとめたものである。ウェルの径とブレイクオーバー電圧の関係は図6.14の場合に比べてウェルの径の変化に対するブレイクオーバー電圧の変化はより急峻である。この理由として4 kV素子に比べて(1)ウェルが深かったこと(2)印加電圧が高いためウェル部分での電界強度が高かったことなどが考えられる。

図6.17は図6.15の電圧-電流特性からウェルの径と素子がブレイクオーバーしたときの電流の関係をまとめたものである。ウェルの径が大きくなると共に、ブレイクオーバー時の電流が大きくなっている。図中の計算値は次式のようにウェルで発生したアバランシ電流により隣接するnエミッタ接合が順バイアスされブレイクオーバー・ターンオンするというモデルから求めた。

$$I_{BO} = V_{bi} / R \quad (6.3)$$

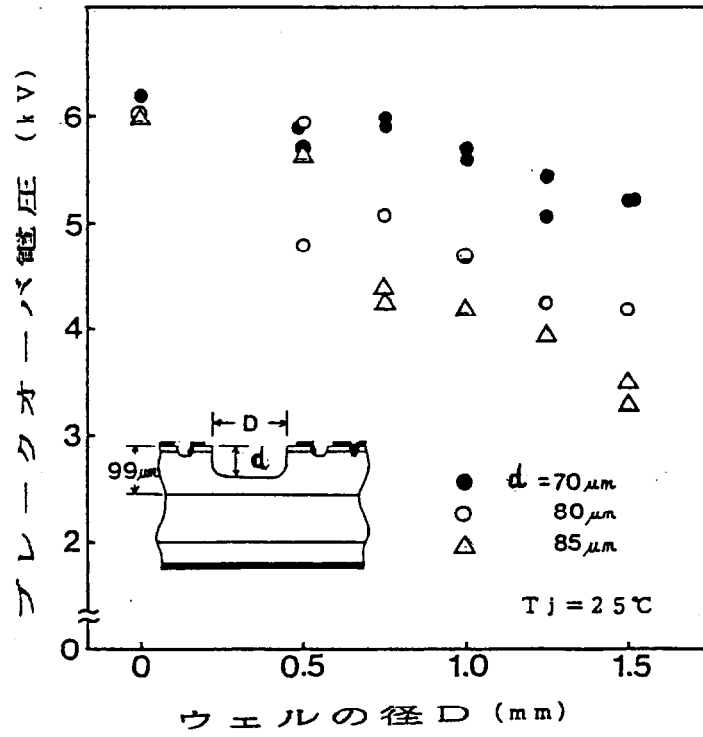


図6.14 ウェルの径とブレイクオーバー電圧の関係

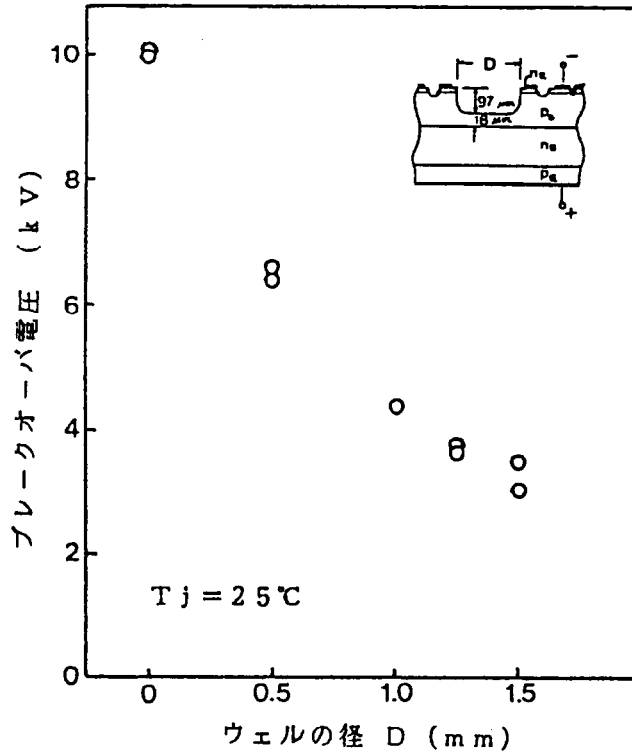
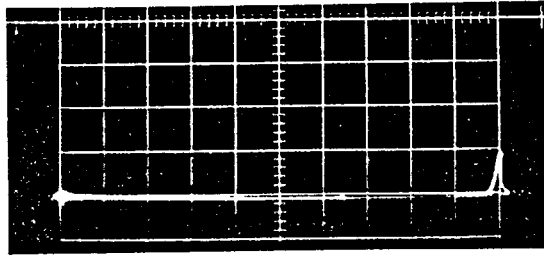
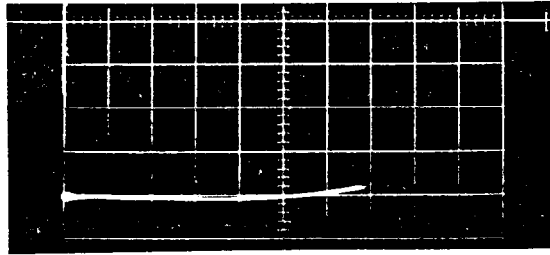


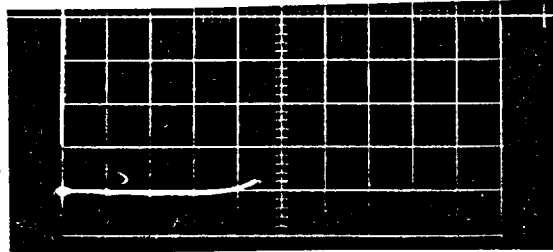
図6.16 8 kV級素子のウェルの径とブレイクオーバー電圧の関係



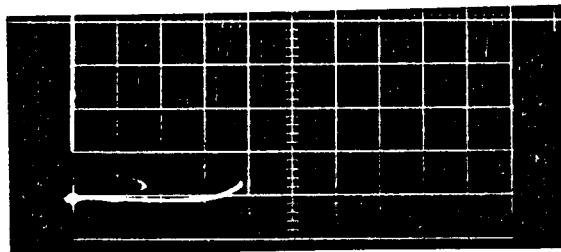
(a) $D=0$



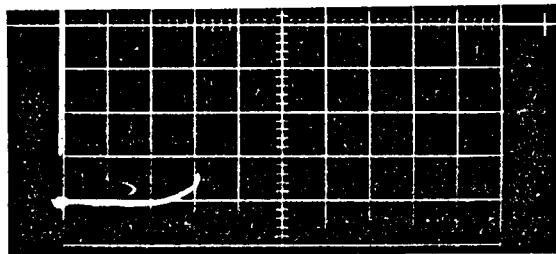
(b) $D=0.5 \text{ mm}$



(c) $D=1.0 \text{ mm}$



(d) $D=1.25 \text{ mm}$



(e) $D=1.5 \text{ mm}$

図 6.15 ウェルの径を変えた場合の
8 k V 級素子の電圧—電流特性
($T_j=25^\circ\text{C}$, $H: 1 \text{ kv/div}$, $V: 10 \text{ mA/div}$)

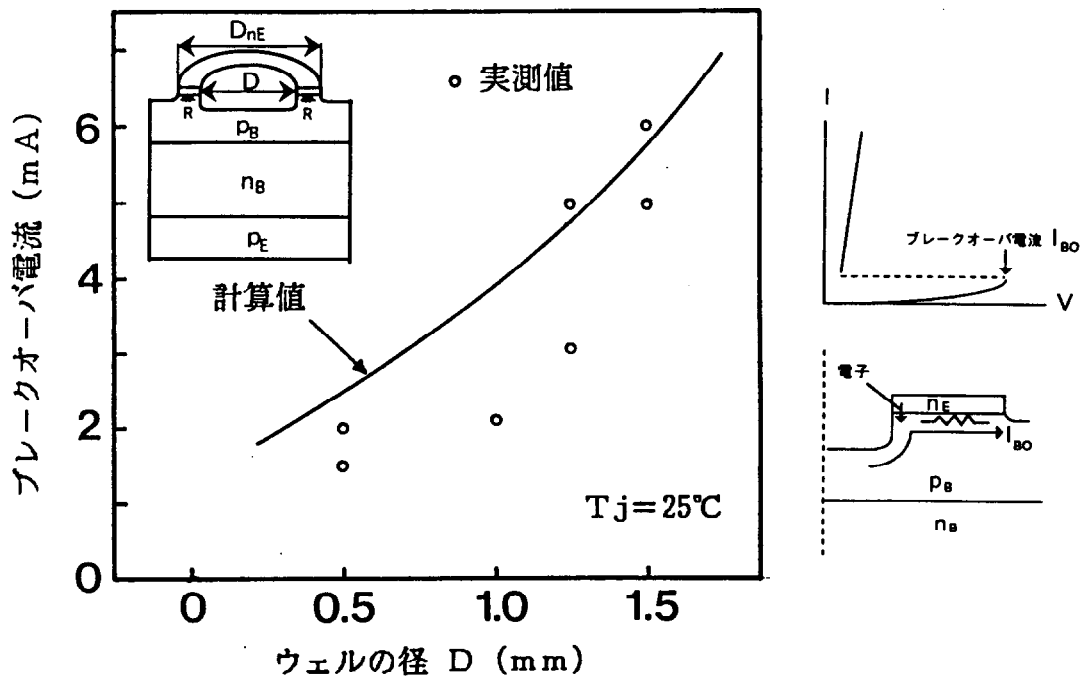


図 6.17 ウェルの径とブレイクオーバー電流の関係

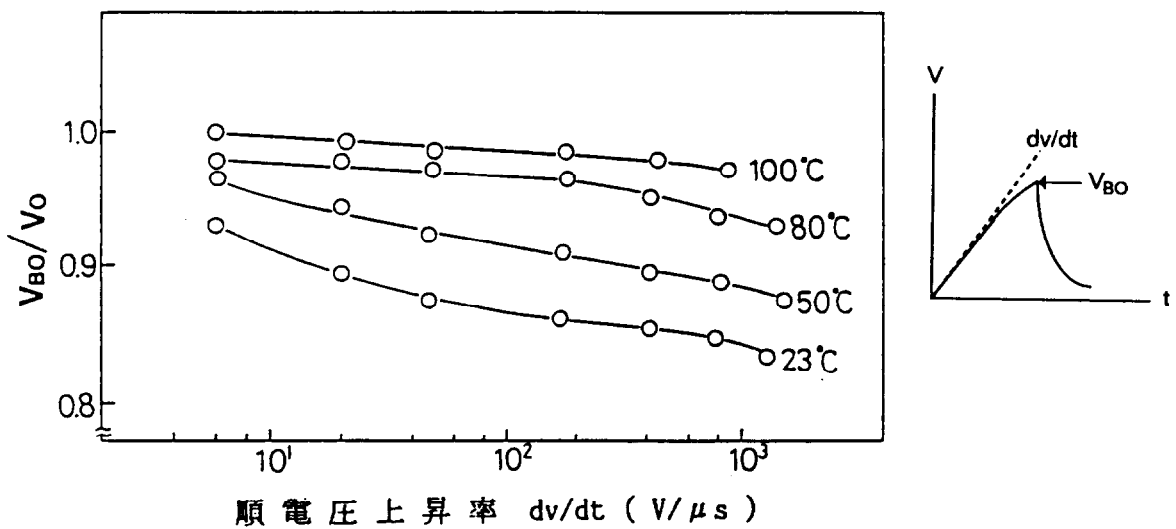


図 6.18 試作素子のブレイクオーバー電圧の順電圧上昇率 (dv/dt) 依存性

$$R = (\rho_s / 2\pi) \cdot \ln(D/D_{nE}) \quad (6.4)$$

ここで、 I_{BO} ：ブレイクオーバー時の電流、 V_{bi} ：nエミッタ接合のビルトイン電圧（内蔵電圧）、 R ：nエミッタ下の横方向抵抗、 ρ_s ：nエミッタ下のpベース層シート抵抗、 D ：ウェルの直径、 D_{nE} ：nエミッタの外径である。

試作のプロセスデータより $\rho_s = 750 \Omega/\square$ 、 $D_{nE} = 3.6 \text{ mm}$ 、 $V_{bi} = 0.6 \text{ V}$ の値を用いた。実測値と計算値とは、ほぼ同様な傾向を示しておりウェルで発生したアバランシ電流により、隣接するnエミッタ接合からターンオンするという動作モデルが妥当であることを裏付けている。

図6.18は試作素子の接合温度をパラメータとしたブレイクオーバー電圧の順電圧上昇率 dv/dt 依存性を示す。ブレイクオーバー電圧の値は 100°C 、 $dv/dt : 6 \text{ V}/\mu\text{s}$ の値で規格化している。ブレイクオーバー電圧は接合温度の上昇と共に高くなるが、 23°C から 100°C までの温度範囲での変化の幅は最大で約10%である。試作素子のブレイクオーバー電圧が正の温度係数を持つ理由は、ブレイクオーバー電圧を決めているアバランシ降伏電圧が正の温度係数¹⁰⁾を持つためと考えられる。ブレイクオーバー電圧の dv/dt 依存性については $1000 \text{ V}/\mu\text{s}$ までは dv/dt の増加と共に低下するが、相対変化は10%以下であった。

6.4 ブレイクオーバー電圧の特性安定化と温度依存性改善

6.4.1 PTA方式自己保護型サイリスタの構造と動作原理

前節では単純ウェル構造の自己保護型サイリスタはウェルの径および深さによりブレイクオーバー電圧を調整できることを示した。しかし、この構造では次のような問題があった。すなわち、(1)ウェル部分では低濃度のpベース層が露出するためにシリコンとウェル部に充填する絶縁樹脂との間に存在する界面電荷の変動の影響を受けやすくブレイクオーバー電圧が変動しやすいこと(2)動作メカニズムがアバランシ降伏現象を利用しているためブレイクオーバー電圧が正の温度依存性をもつことなどである。これらの問題点を解決するために考えられたのが図6.19に示すPTA方式(Punch Through and Avalanche)自己保護構造¹¹⁾である。同図(a)の断面構造をみると、カソード側からpベース層に設けられたウェルには高濃度のn型不純物層(以下、 n^+ 層とする)が形成されている。この n^+ 層に隣接したカソード表面にはp型高濃度不純物層(以下、 p^+ 層とする)があり、更にこれに隣接してパイロットサイリスタとなるnエミッタ層がある。本構造のサイリスタに順方向の電圧を印加した場合、空乏層が中央接合(J_2 接合)を挟んでpベース層とnベース層に広がる。電圧を高めてゆくと、pベース層に広がる空乏層はウェル部分の n^+ 層に到達し、所

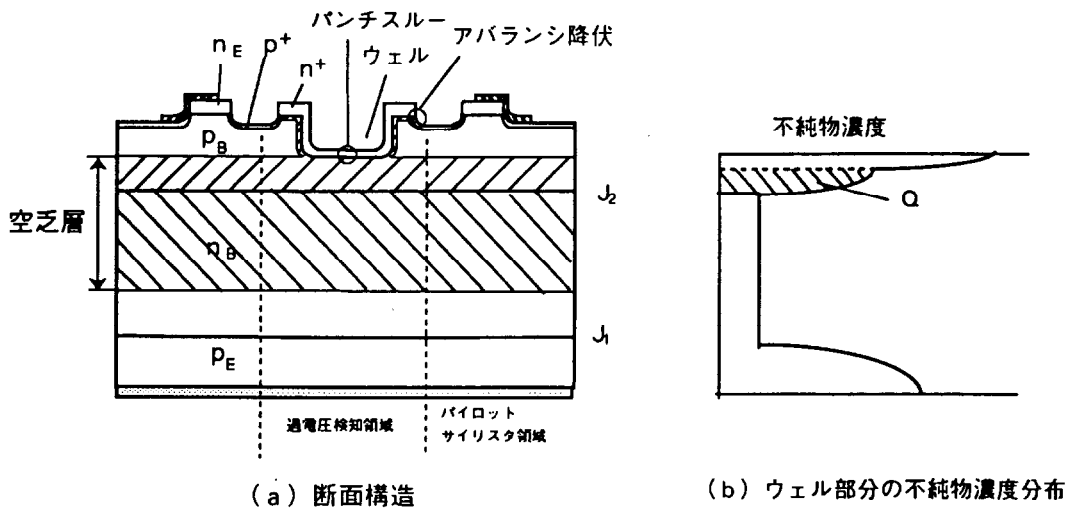


図 6.19 PTA (Punch-Through and Avalanche) 方式
自己保護型サイリスタの構造

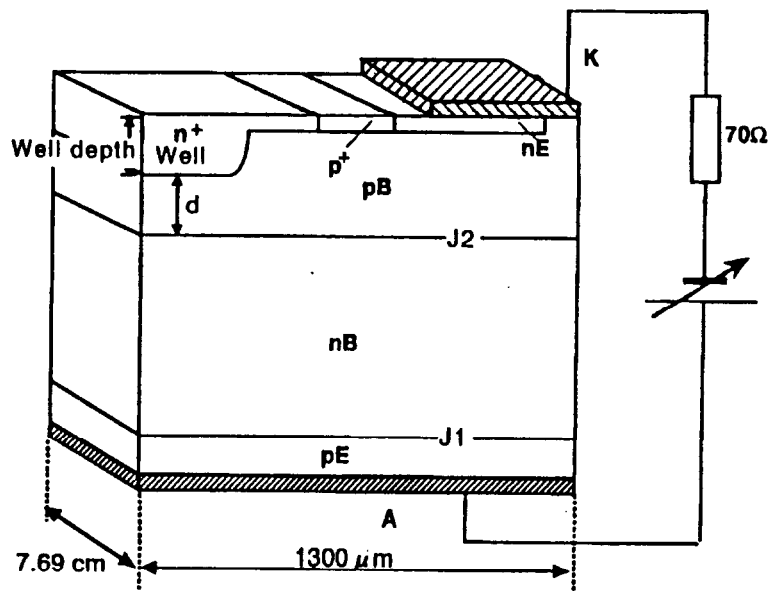


図 6.20 PTA方式自己保護型サイリスタの2次元解析モデル

謂パンチスルー（或いはリーチスルー）状態となる。この後、わずかの印加電圧の増加で空乏層はウェル部の n^+ 層と隣接する p^+ 層からなる p^+n^+ 接合の熱平衡状態で存在していた空乏層と接するようになり、 p^+n^+ 接合の電界強度が高くなってアバランシ降伏を起こす。このアバランシ降伏により発生した充分大きな電流がパイロットサイリスタを点弧させる。

従来の自己保護型サイリスタではアバランシ降伏、或いはパンチスルーのいずれかの現象を利用していたが、本構造は両者を同時に利用したものであり、PTA（Punch Through and Avalanche）方式と呼ぶことにする。本構造ではウェルを含むシリコン表面が全て高濃度の不純物層で覆われているため界面電荷の変動に対してブレイクオーバー電圧は安定であると考えられる。また、ウェル部の n^+ 層に隣接する p ベース層表面を高濃度にする事で、アバランシ降伏電圧を低くし、ブレイクオーバー電圧をほぼパンチスルー電圧と同じにすることが出来る。パンチスルー電圧は基本的に温度依存性がないためブレイクオーバー電圧の温度依存性を小さく出来る。ブレイクオーバー電圧の大きさはウェルの n^+ 層下の p ベース層の電荷総量 Q によって決まる。

図6.20はPTA型自己保護型サイリスタの動作を2次元デバイスシミュレータ（STAP2）¹²⁾により解析するための素子モデルを示す。ウェル部は表面から深い n^+ 層を埋め込んだ形状で近似した。モデル素子の形状寸法は素子面積が 1 cm^2 となるよう幅 $1300\text{ }\mu\text{m}$ 、奥行き 7.69 cm とした。本モデルに電流連続の式およびポアソン式を適用し、連立して解く。電流連続の式にはアバランシ降伏のモデルも取り入れている。接合温度は $25\text{ }^\circ\text{C}$ から $125\text{ }^\circ\text{C}$ まで変化させた。

図6.21は図6.20のモデルを用いた素子の電圧-電流特性を示す。接合温度は $25\text{ }^\circ\text{C}$ の場合である。素子が導通状態となる 5500 V までの漏れ電流は 10^{-6} A 程度と小さい。アノード電圧が 5500 V になるとアノード電流は急激に増加して数 A 程度となり、その後は負性抵抗をもつようになる。次に、図中の(a)-(d)の各状態での素子内部の電流分布およびキャリア分布をみてゆく。

図6.22は図6.21の(a)-(d)における電流分布、ホール濃度分布、電子濃度分布およびキャリア生成率の素子内部の分布を示す。(a)では電流分布はカソード表面を除いて、ほぼ一様である。この電流はベース層の空乏層で発生した生成電流（generation current）によるものである。ホール分布および電子分布をみるとアノードからカソードに向かって、ほぼ一様になっており、これからホール電流および電子電流は共に素子内で一様に流れていると見なせる。この段階では素子内には特別にキャリア生成率の大きな領域は見られない。次に、(b)になると電流分布は(a)とは、はっきり異なりウェルの中心部である n^+ 層に集中

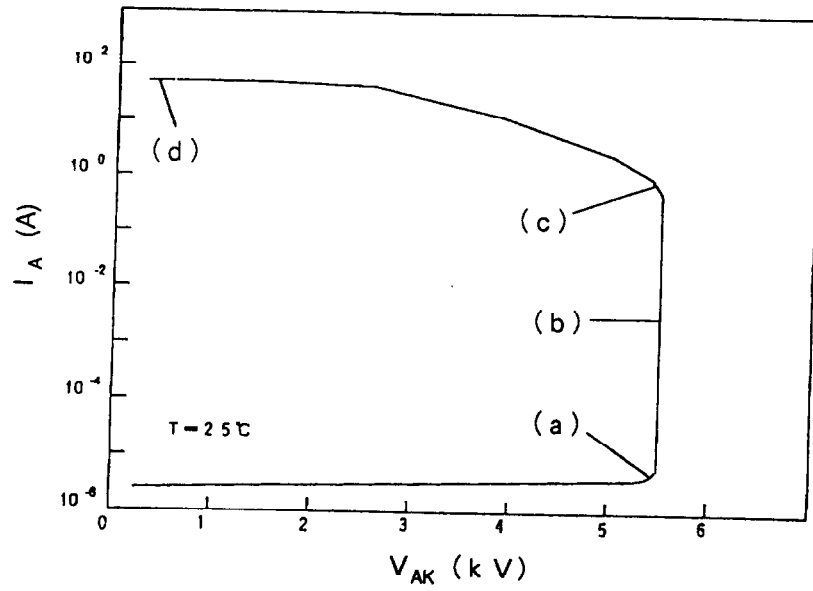


図 6.2 1 2次元数値解析による電圧-電流特性

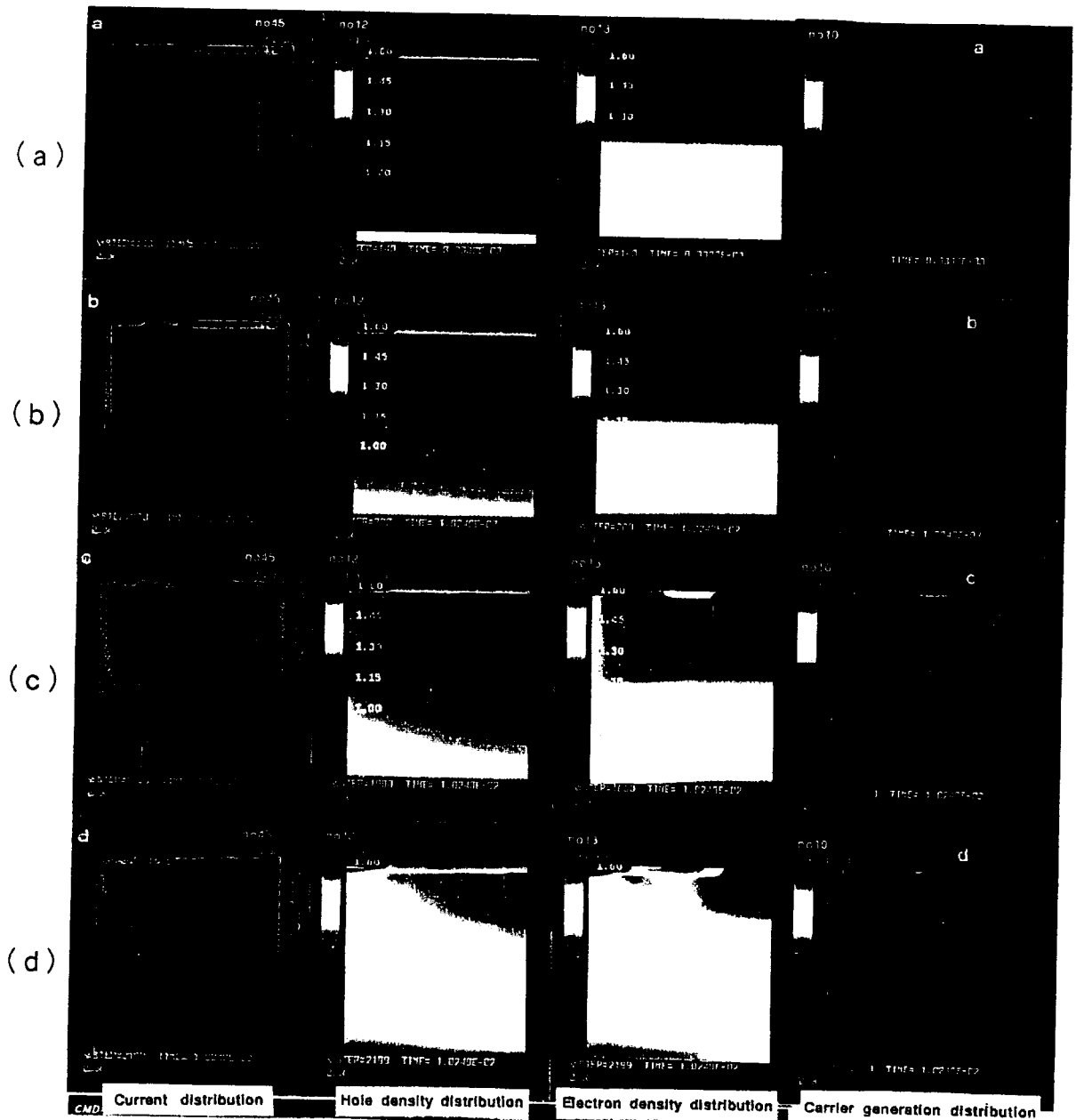


図 6.2 2 ブレークオーバー動作前後における素子内部の電流分布、キャリア分布、キャリア生成率分布

していることが分かる。キャリア分布からみて、この電流は電子電流が支配的である。キャリア生成率はウェル近傍の J_2 接合にそのピーク（図中の青色部分）がある。また、 n^+ 層と p ベース層とで形成される pn 接合部分でもキャリア生成率が高いことが分かる。(c)ではホール分布よりパイロットサイリスタ部の n エミッタ下を流れるホール電流が増大する。その結果 n エミッタから電子が注入される。これに応じて p エミッタからはホールが n ベースへと注入される。(d)になるとアノード電流は30Aに達し、アノード電圧は750Vへと低下して素子はサイリスタ動作モードへと近づく。 n エミッタからの電子注入量および p エミッタからのホール注入量が増大していることが分かる。この段階ではベース層に広がる空乏層はカソード電極付近を除き、ほとんど消滅している。いわゆるサイリスタ動作が起きている。(c)で見られた J_2 接合のキャリア生成率（インパクトイオン化率）の高い領域は空乏層の消滅により無くなっている。一方、カソード表面の n^+ 層 p ベース層接合付近でキャリア生成率が高くなっている。

以上がPTA方式自己保護型サイリスタの過電圧によるブレークオーバー動作の様子である。

6.4.2 試作素子の構造と製作プロセス

図6.23に試作した素子の詳細構造を示す。素子の直径24mmであり、素子中央部には自己保護領域となる直径0.5mmのウェルが設けられている。その他の各部の寸法は図の通りである。

図6.24は試作素子の不純物濃度分布を示す。

図6.25は試作素子の製造プロセスを示す。以下、図に従って説明する。

- (1) 基板 n 型シリコンにAlをソースとする p 型不純物を両面から拡散し、 p ベース層および p エミッタ層を形成する。拡散深さは約100 μ mである。
- (2) P（リン）をソースとして n 型高濃度層を p 型不純物層の上に拡散により形成する。拡散深さは約10 μ mである。
- (3) アノード側の n 型不純物層を除去すると共に、カソード側の n 型高濃度層をホトリソグラフィ技術を用いて部分的に除去し（エッチダウン）、 n エミッタ層を形成する。
- (4) B（ボロン）をソースとする p 型高濃度層をアノード全面およびカソードの p ベース表面に形成し、カソード側に p^+n^+ 接合を形成する。
- (5) 自己保護領域となるウェル（溝）をドライエッチングにより形成する。
- (6) P（リン）をソースとしてウェル（溝）部表面に高濃度 n 型不純物層を形成する。
- (7) アノード側の高濃度 n 型不純物層を除去する。

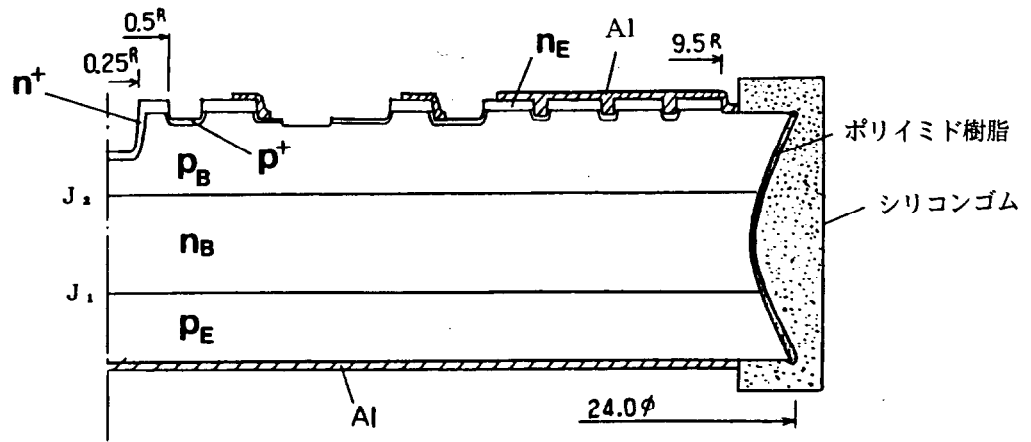


図 6.2 3 試作した P T A 方式自己保護型サイリスタの断面構造

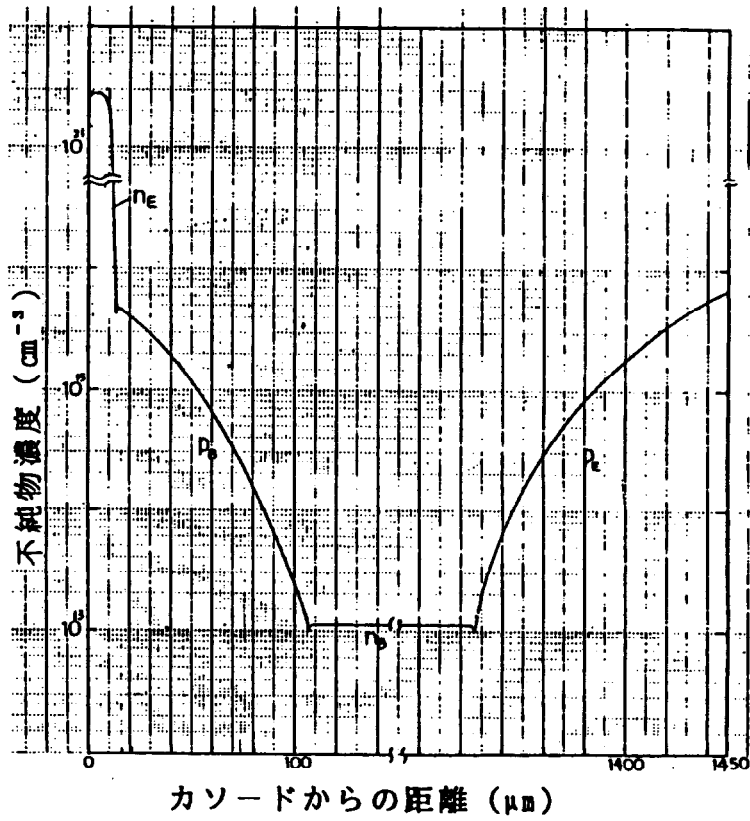


図 6.2 4 試作素子の不純物濃度分布

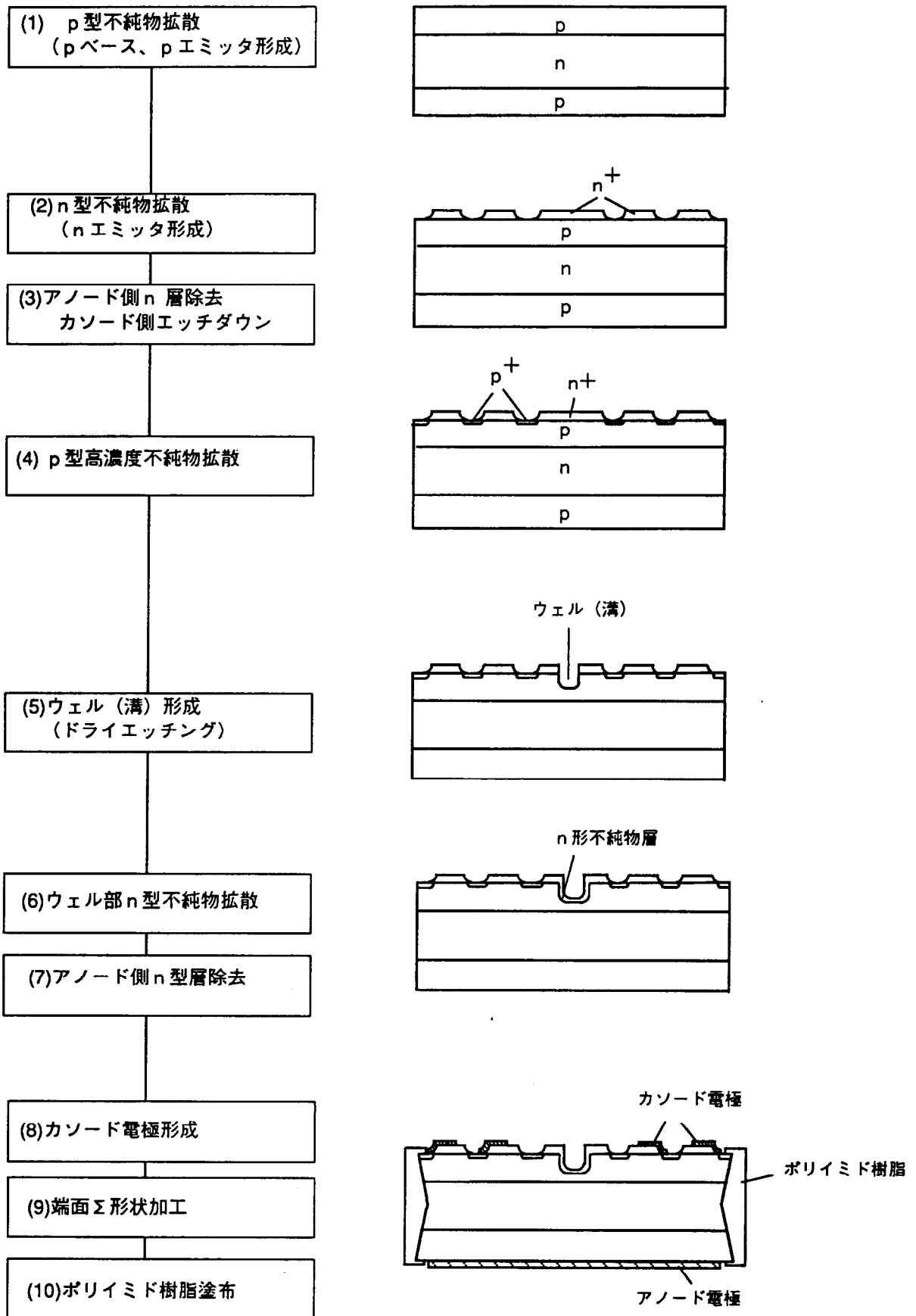


図 6.25 PTA方式自己保護型サイリスタの製造プロセス

(8) カソード側にAlを蒸着およびホトリソグラフィ技術によりカソード電極を形成する。

アノード側Alを全面に蒸着し、アノード電極とする。

(9) シリコン表面の電界強度を下げる目的で端面をサンドブラストによりΣ状に加工する。

(10) シリコン端部をウェットエッチングによりポリイミド樹脂を塗布して表面の安定化を図る。

表6.2には試作素子の主な構造パラメータ寸法とブレイクオーバー電圧の測定値を示した。

6.4.3 試作素子の特性

図6.26は同一接合寸法をもち、ウェルの深さのみを変えた素子のウェル下部のpベース層のシート抵抗とブレイクオーバー電圧の関係を示す。一般に不純物濃度分布の形状を補誤差関数やガウス関数で近似すると不純物層の表面濃度と深さが与えられれば不純物層のシート抵抗は一義的に求めることができる¹³⁾。

不純物層のシート抵抗 ρ_s と平均導電率 σ の間には次式の関係がある。

$$\sigma = (\rho_s \cdot x_j)^{-1} = (1/x_j) q \mu N(x) dx \quad (6.5)$$

ここで、 x_j ：不純物層の深さ、 q ：電子の電荷量、 μ ：キャリア移動度、 $N(x)$ ：不純物密度である。

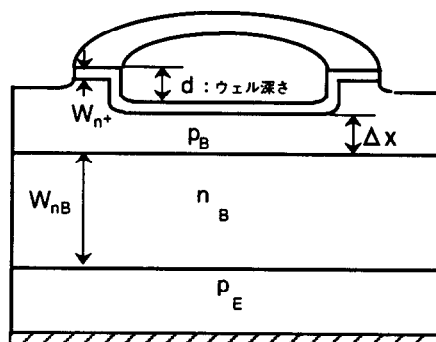
図6.26のシート抵抗は補誤差関数と仮定して求めたものである。図から分かるようにシート抵抗が大きくなると共にブレイクオーバー電圧が直線的に低下していることが分かる。これは(6.2)式で示したように空乏層の幅が印加電圧と不純物層の積分値により決まるためである。即ち、ブレイクオーバー電圧を決めるウェル部分のパンチスルー電圧がpベース層の不純物総量と等価であるシート抵抗に依存することを表わしている。

図6.27は一次元解析プログラム¹⁴⁾により求めた中央接合(J_2 接合)近傍の電位分布およびブレイクオーバー動作時の n^+ 層フロントの推定電位を示す。印加電圧を4kV、5kV、6kVと変えた場合である。表6.2のウェル下部のpベース層厚さ Δx とブレイクオーバー電圧の関係からブレイクオーバー電圧が4kV、5kV、6kVでの n^+ 層フロントの推定電位を○印で示した。その値は8~13Vとほぼ10V程度である。図6.19の動作モデルでは空乏層が n^+ 層に到達するパンチスルーと同時にウェルに隣接した n^+p^+ 接合がアバランシ降伏するとしたが、図からは n^+ 層の電位が10V程度上昇したときブレイクオーバーすることを示している。次に、この理由を考えてみる。

図6.28はウェルに隣接した n^+p^+ 接合の電圧-電流特性を示す。逆方向電圧がおおよそ8V付近で電

表 6.2 P T A 構造試作素子の主な構造寸法

ウェハ No.	ペレット No.	基板比抵抗 $\rho_n (\Omega \cdot \text{cm})$	接合寸法		ウェル深さ $d (\mu\text{m})$	ウェル下部 p ベース厚 $\Delta x (\mu\text{m})$	ブレーク オーバー電圧 $V_{B0} (\text{V})$
			$W_{n^+} (\mu\text{m})$	$W_{nB} (\mu\text{m})$			
1	1-1	340	8	1031	57	38	3100
	1-2	↑	↑	↑	57	38	5700
	1-3	↑	↑	↑	56	39	7400
	1-4	↑	↑	↑	56	39	5100
	1-5	↑	↑	↑	58	37	5700
	1-6	↑	↑	↑	58	37	5100
	1-7	↑	↑	↑	56	39	3600
2	2-1	335	8	1031	51	41	4500
	2-2	↑	↑	↑	52	40	5600
	2-6	↑	↑	↑	52	40	7400
3	3-2	445	8	1225	59	39	5300
	3-3	↑	↑	↑	57	41	6100
	3-4	↑	↑	↑	59	39	6000
	3-6	↑	↑	↑	59	39	5400
	3-7	↑	↑	↑	58	40	4000
4	4-3	448	8	1221	59	35	2300
	4-4	↑	↑	↑	57	37	3400
	4-7	↑	↑	↑	59	35	2100



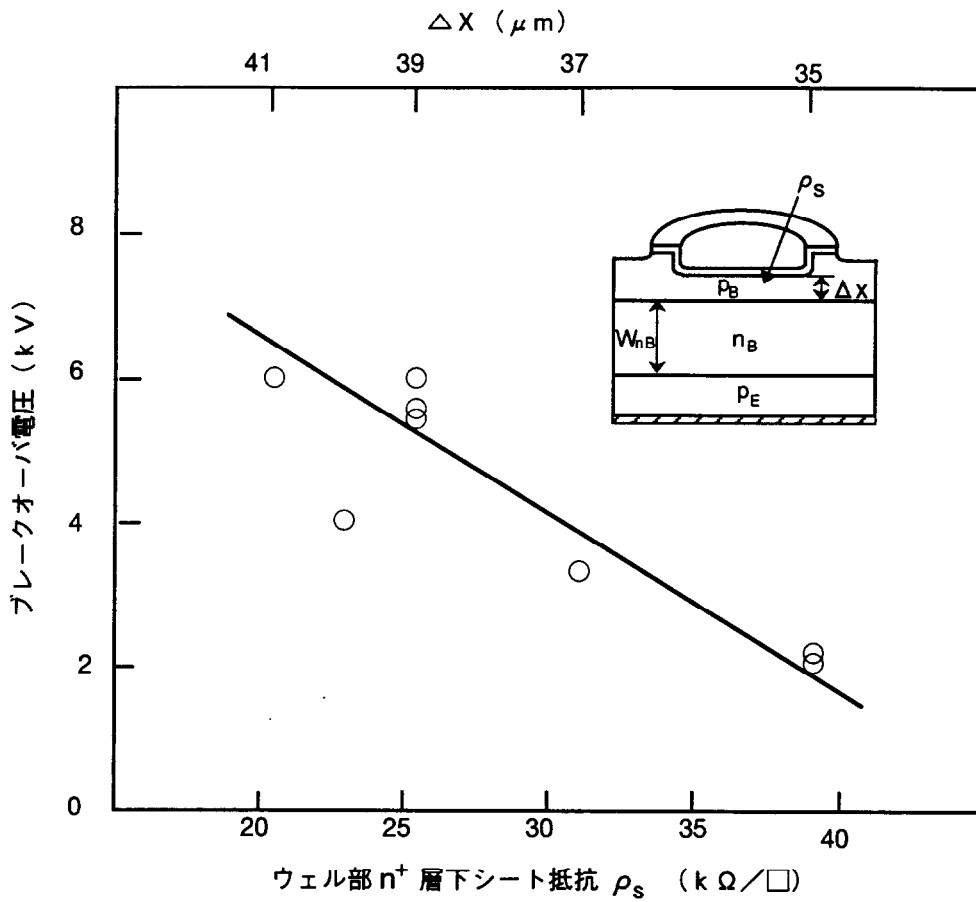


図 6.26 ウェル部 n 層下シート抵抗とブレイクオーバー電圧の関係

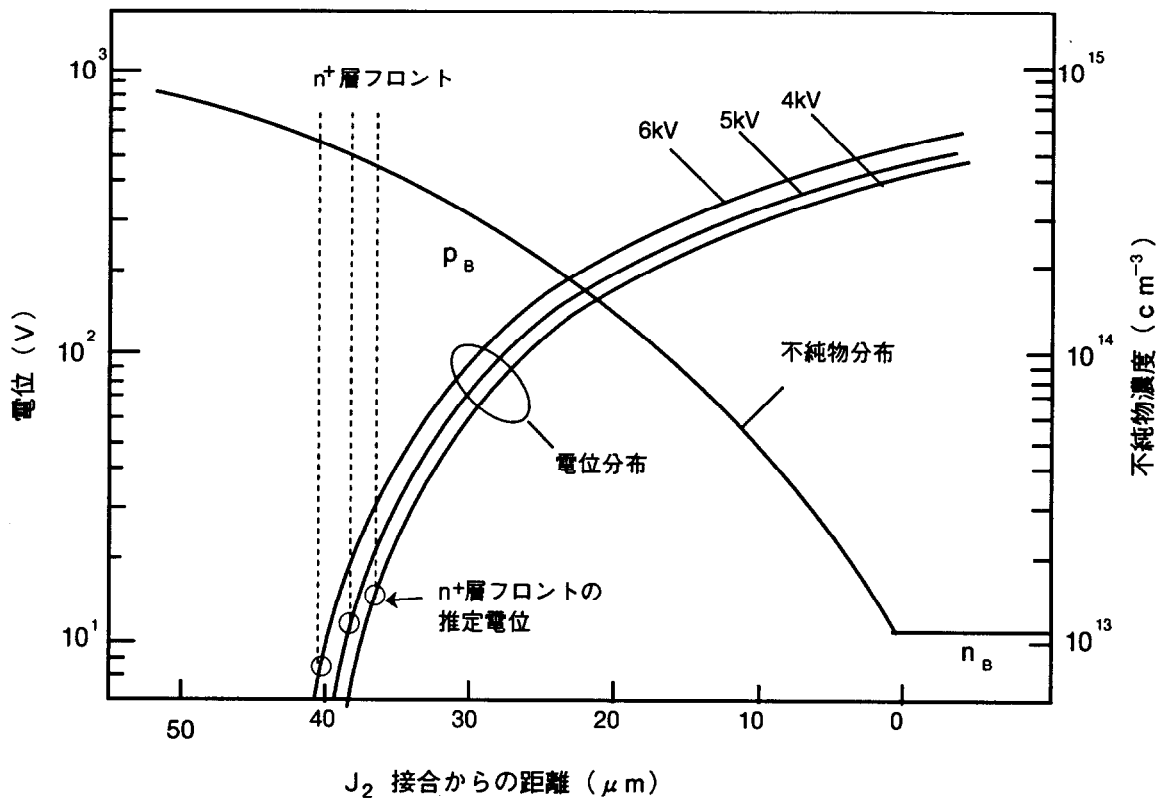


図 6.27 印加電圧を変えた場合のウェル部付近の電位分布の変化

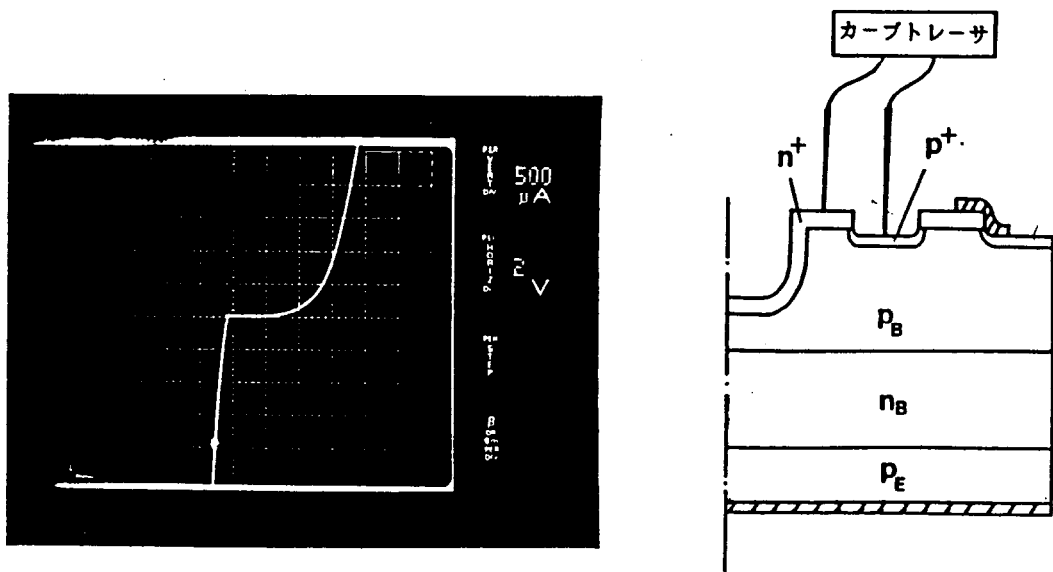


図6.28 ウェルに隣接した $n+p+$ 接合の電圧-電流特性

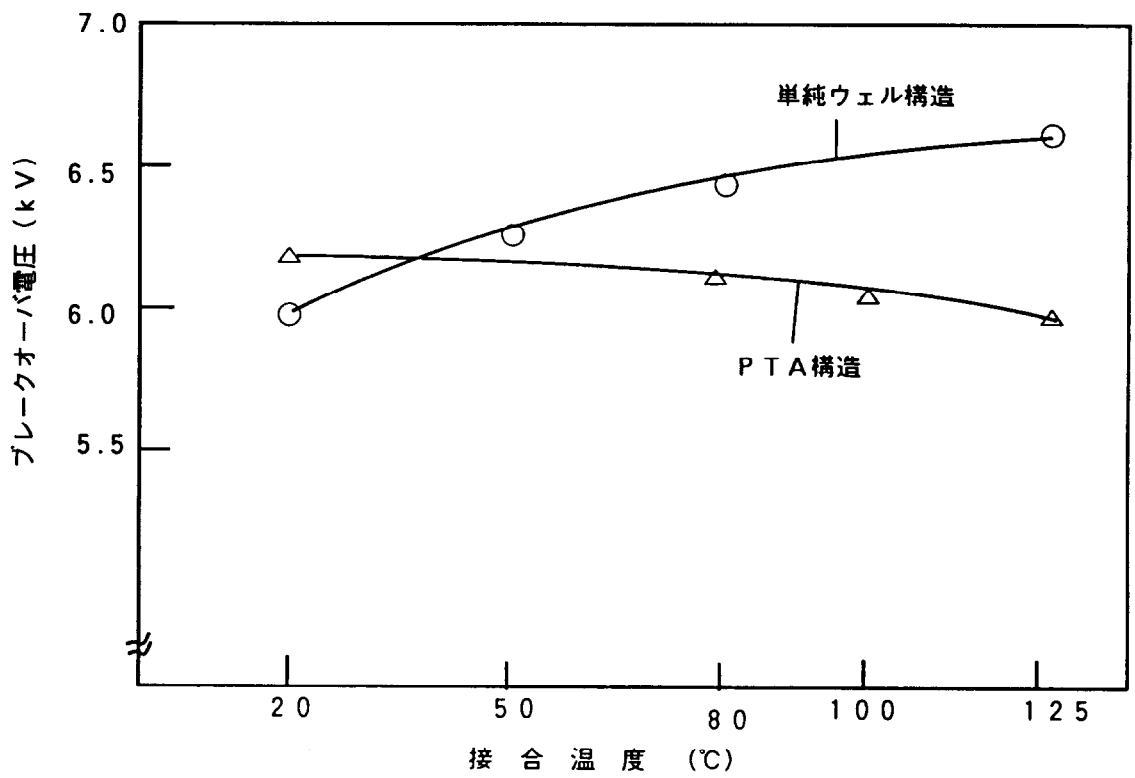


図6.29 試作素子のブレイクオーバー電圧の温度依存性

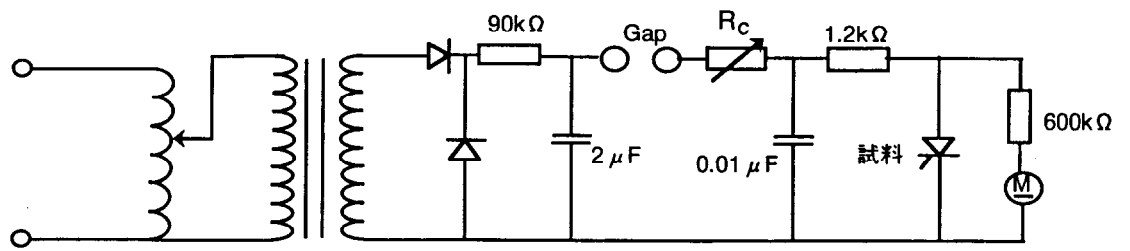
流が急激に立ち上がっており、 n^+p^+ 接合の降伏電圧は約8Vと見なせる。この値は図6.27のブレイクオーバー動作時の n^+ 層フロントの推定電圧とほぼ等しい。これは n^+ 層の電位が n^+p^+ 接合の降伏電圧に達したとき素子がブレイクオーバーするため、パンチスルーからアバランシ降伏へ移行するのに n^+ 層の電位をわずかに高める必要があることを示している。

図6.29は試作素子のブレイクオーバー電圧の温度依存性を示す。比較のため前節の単純ウェル方式の自己保護型サイリスタの温度依存性も示した。単純ウェル方式では、その動作がアバランシ降伏に依るため高温125℃でのブレイクオーバー電圧が20℃に比べて約600V高くなるのに対し、PTA方式では20℃～125℃まで変化したときブレイクオーバー電圧は約200V低下する程度であり、温度依存性は小さい。ブレイクオーバー電圧6200Vに対する比率は4%と単純ウェル方式自己保護サイリスタに比べて30%程度に小さくなっている。これらにより先に述べたウェル下部の不純物総量でブレイクオーバー電圧が決まるといふ動作原理がほぼ正しいことが裏付けられた。次に素子に印加する電圧の上昇率(dv/dt)を変えた場合のブレイクオーバー電圧の変化とブレイクオーバー動作時の破壊耐量を調べた。

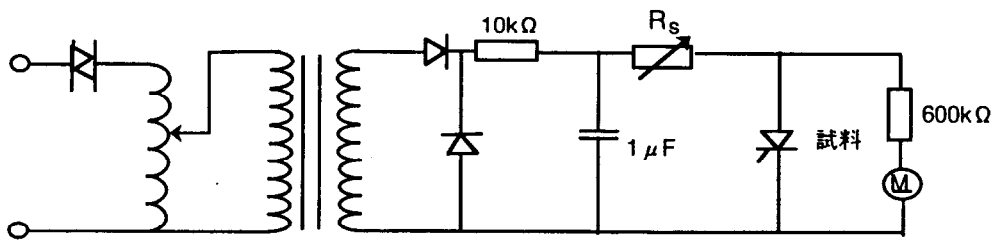
図6.30は試作した自己保護型サイリスタの評価回路を示す。同図(a)は素子のブレイクオーバー電圧の(dv/dt)依存性を調べる評価回路を示す。2 μ Fのコンデンサに充電した電荷をGapスイッチを介して試料(D.U.T)に供給する。このとき素子に印加される順方向電圧の上昇率(dv/dt)は可変抵抗 R_c により変化させる。

同図(b)は素子がブレイクオーバーした場合のスイッチングパワー耐量の評価回路を示す。試料には R_s および1 μ Fからなるスナバが設けられている。可変抵抗 R_s の値を120 Ω から5 Ω まで段階的に変えて素子の破壊耐量を調べた。

図6.31は順電圧上昇率(dv/dt)を変えた場合のブレイクオーバー電圧の測定波形例を示す。また、図6.32はブレイクオーバー電圧の dv/dt 依存性をプロットしたものである。No.3-2、No.3-3の素子ともに、ほぼ同じ傾向を示しており、ほぼ500V/ μ sまではブレイクオーバー電圧は減少傾向を示した後、2000V/ μ sまでは一転して上昇する。更に dv/dt が増すと再びブレイクオーバー電圧は減少する。 dv/dt が8~7000V/ μ sまで変化した場合のブレイクオーバー電圧の変動幅は3-2で400V、3-3で500Vである。このようにブレイクオーバー電圧が dv/dt により変わる原因については次のように考えられる。Erikssonらは自己保護型サイリスタのブレイクオーバー電圧の dv/dt 依存性を調べて、次のような報告⁷⁾をしている。すなわち、印加電圧の立ち上がり指数関数的か直線的かで dv/dt 依存性が異

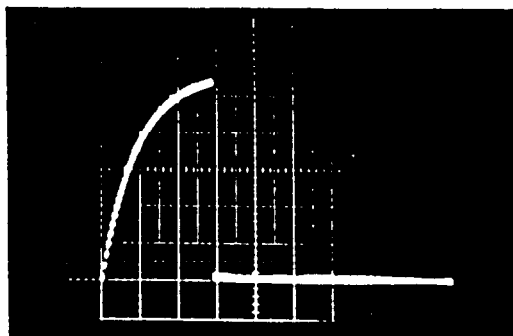


(a) ブレークオーバー電圧の dv/dt 依存性評価回路

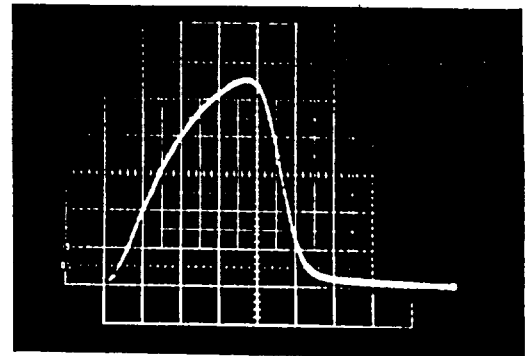


(b) ブレークオーバー時のスイッチングパワー耐量評価回路

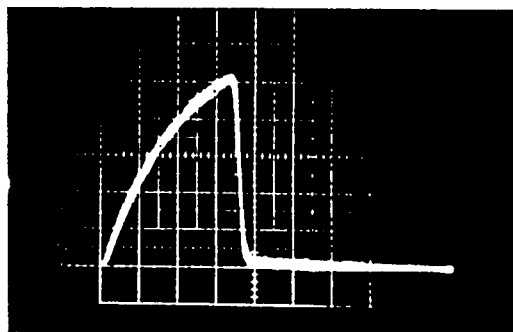
図 6.3 0 試作した自己保護型サイリスタの評価回路



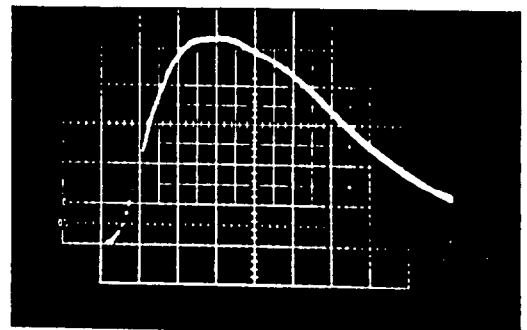
$R_c=50k\Omega$, $8 V/\mu s$, $H:0.5ms/div$
 $V:1kV/div$



$R_c=150\Omega$, $2150 V/\mu s$, $H:1\mu s/div$



$R_c=1k\Omega$, $430 V/\mu s$, $H:0.5\mu s/div$



$R_c=20\Omega$, $6800 V/\mu s$, $H:0.5\mu s/div$

図 6.3 1 順電圧上昇率 (dv/dt) を変えた場合の
ブレークオーバー電圧波形の変化 (No.3-2)

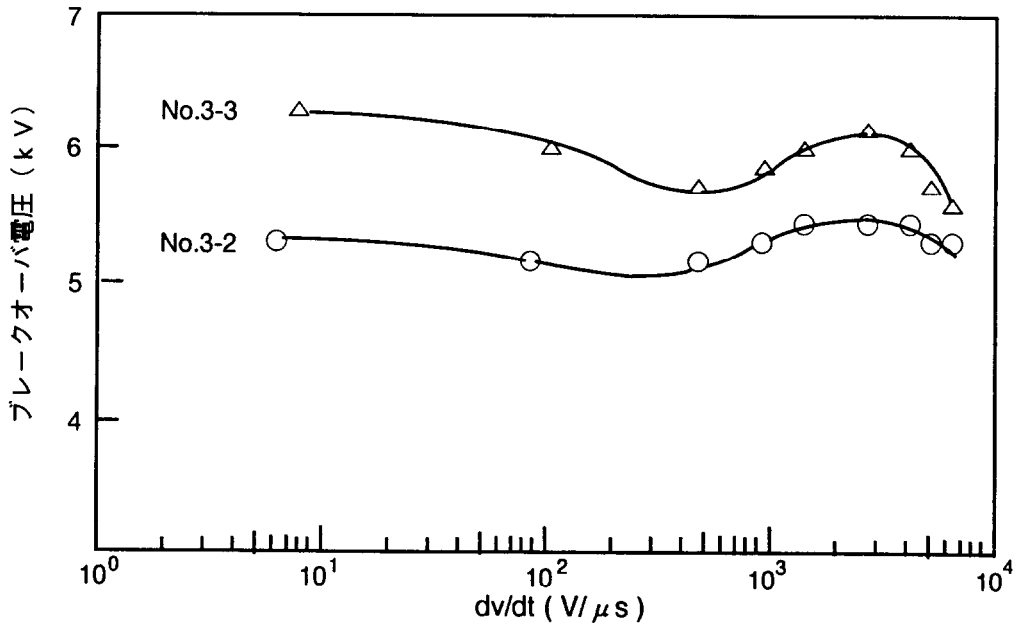


図 6.3.2 ブレークオーバー電圧の順電圧上昇率(dv/dt) 依存性

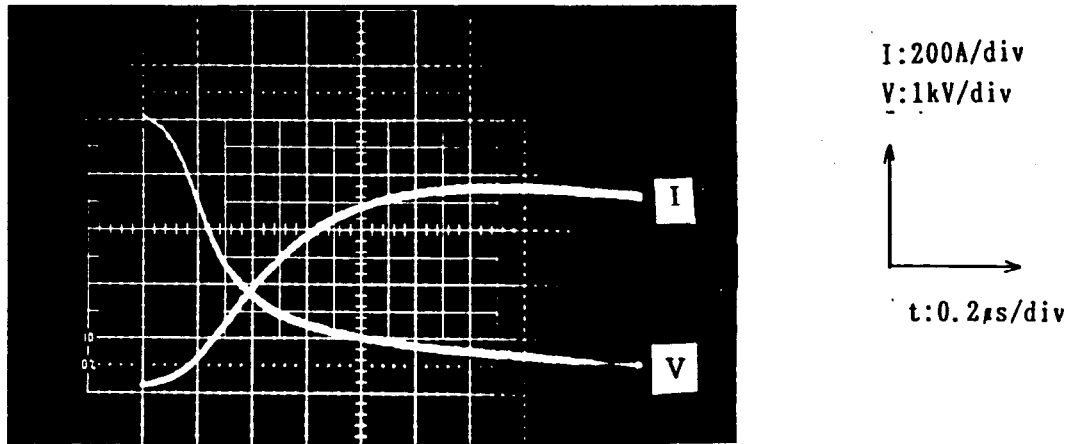


図 6.3.3 ブレークオーバー時のスイッチング動作波形例
(No.3-2, T_j : 100°C, R_s : 5Ω)

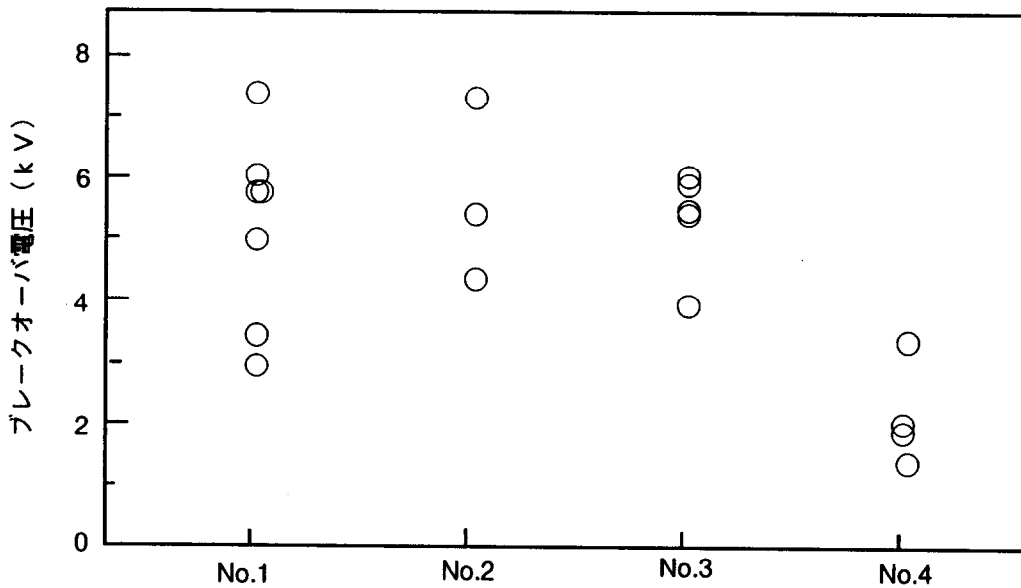


図 6.3.4 同一ウェハから作製したPTA方式自己保護型サイリスタのブレークオーバー電圧のばらつき

なる傾向を持ち、指数関数的であれば dv/dt の増加と共にブレイクオーバー電圧は減少し、直線的であれば増大する。その理由として指数関数的である場合、 dv/dt により生じた変位電流がブレイクオーバー電圧を低下させる効果を持つのに対し、直線的である場合ブレイクオーバーの電圧に達してから素子がターンオン状態になるまでの間に、印加電圧が上昇する効果を見掛けのブレイクオーバー電圧が上昇するというものである。図 6.3 1 の電圧波形を見ると dv/dt が増加すると共に、その波形は指数関数的か直線的な形に変わってゆくようである。定性的には、この電圧波形の変化により説明できる。図 6.3 2 の結果から dv/dt が 6 kV 級サイリスタでは実使用範囲である 2250 V/ μ s までのブレイクオーバー電圧の下限値を 6000 V に維持することが要求される。これを実現するにはスタティックな状態でのブレイクオーバー電圧を 500 V 程度高く、すなわち 6500 V に設定しておく必要がある。

図 6.3 3 は図 6.3 0 (b) に示した試験回路での試作素子のブレイクオーバー・スイッチング時の電圧、電流波形例を示す。No.3-2、スナバ抵抗は 5 Ω であるが試験ではスナバ回路の抵抗値を 120 Ω から 5 Ω まで減少させてブレイクオーバー動作での素子の破壊耐量を調べた。測定波形をみると約 5 kV でブレイクオーバーして電流が流れ始め、約 1 μ s 後にほぼ定常値に達することが分かる。この試験では周囲温度 100 $^{\circ}$ C でスナバ抵抗を 5 Ω まで減少させて 150 回の繰り返し試験を 3 ケの試験素子に実施し、素子はいずれも破壊しなかった。最もスイッチングパワー耐量の高かった素子はブレイクオーバー電圧 6150 V でスナバ抵抗 5 Ω の場合にも破壊しなかった。このとき発生するスイッチングパワーの値は電圧、電流がそれぞれのピーク値の 1/2 であるとし、ブレイクオーバー電圧を V_{BO} と仮定すると $(V_{BO})^2/4R_s$ となり、1400 kW に達する。素子の目標仕様（スナバ抵抗 45 Ω 、スイッチングパワー耐量 190 kW）を充分満足する値が得られた。このように素子のスイッチングパワー耐量が高かった原因としては（1）素子がパルススルー状態になると高濃度層である n^+ 層全体の電位が高くなってウェル周辺部がほぼ同時にアバランシ降伏を起こすため均一動作し易いこと、（2）アバランシ降伏電圧が 10 V 程度と低いこと、オーバードライブが強まることなどが考えられる。

図 6.3 4 は同一ウェハより作製した複数の試作素子のブレイクオーバー電圧の分布を示す。No.1 のウェハでは 3.0 ~ 7.4 kV までの幅に分布しており、ばらつきの範囲は 4 kV にも達する。No.2, No.3, No.4 では素子数が少ないこともあり、ばらつきの範囲は幾分小さくなるが、2 ~ 3 kV 程度ある。自己保護形サイリスタではブレイクオーバー電圧の許容範囲は定格電圧の 10% 以内であり、6 kV サイリスタでは 6.0 ~ 6.6 kV の 600 V の範囲に制御しなければならない。本構造のブレイクオーバー電圧を

決めるのは、ウェルの n^+ 層下のシート抵抗であり、同一ウェハ内でも不純物拡散やエッチングプロセスのウェハ内でのばらつきによりシート抵抗はばらつきを持つと考えられる。これがブレイクオーバー電圧が同一ウェハ内でばらつきを生じた原因と考えられる。

以上のように、本節で取り上げたPTA方式自己保護形サイリスタは優れた特性を持つがブレイクオーバー電圧を精密に制御するという点で難点があることが分かった。次節ではブレイクオーバー電圧の精密な調整方法について検討する。

6.5 ブレイクオーバー電圧の精密制御

6.5.1 抵抗モニタ方式によるブレイクオーバー電圧予測

前節で述べたようにPTA方式自己保護型サイリスタは、その特性が優れている反面、ブレイクオーバー電圧の制御が難しいという欠点があった。このため素子の製造プロセスの途中でブレイクオーバー電圧を予測し何らかの調整により、ブレイクオーバー電圧を所定の値に設定できることが望まれる。

図6.35は本節で取り上げる抵抗モニタ方式の自己保護型サイリスタの構造¹⁵⁾を示す。本構造のブレイクオーバー電圧の予測方法を以下に述べる。素子のブレイクオーバー電圧は6.4.1で述べたようにウェル部の n^+ 層下の p ベース層のシート抵抗により決まる。このためブレイクオーバー電圧を予想するには、このシート抵抗が分かれば良い。これには図のようにウェルの中央部に測定用の島状の領域を設け、この島状の領域とウェル周辺部の p^+ 層にプローブを立てて、その電圧-電流特性からシート抵抗を見積もるものである。一般に抵抗率 ρ を持つ円環状の抵抗は次式で与えられる。

$$R = (\rho / 2\pi) \cdot \ln(r_2 / r_1) \quad (6.6)$$

ここで、 r_1 ：円環の内径、 r_2 ：円環の外径である。

実際の測定ではウェル部 n^+ 層下の抵抗の他に電流の通路となるウェル側壁部や表面部分の抵抗が加算されるが、 n^+ 層下の抵抗が支配的であるためブレイクオーバー電圧を推定できる。(6.6)式で表される抵抗値は円環部に電流が一様に流れると仮定した場合であり、実際の測定ではプローブにより通電するため必ずしも電流が一様に流れない懸念がある。このためコンタクト抵抗を極力小さくするよう p ベース層露出部の濃度を高くした。抵抗測定にはプローブを用いた2端子法(電圧と電流を同一端子)を用いた(図6.35参照)。100 μ Aの電流をプローブに流し、そのときのプローブ端子の電圧値から抵抗値を算出した。プローブの針先の半径は30 μ mである。

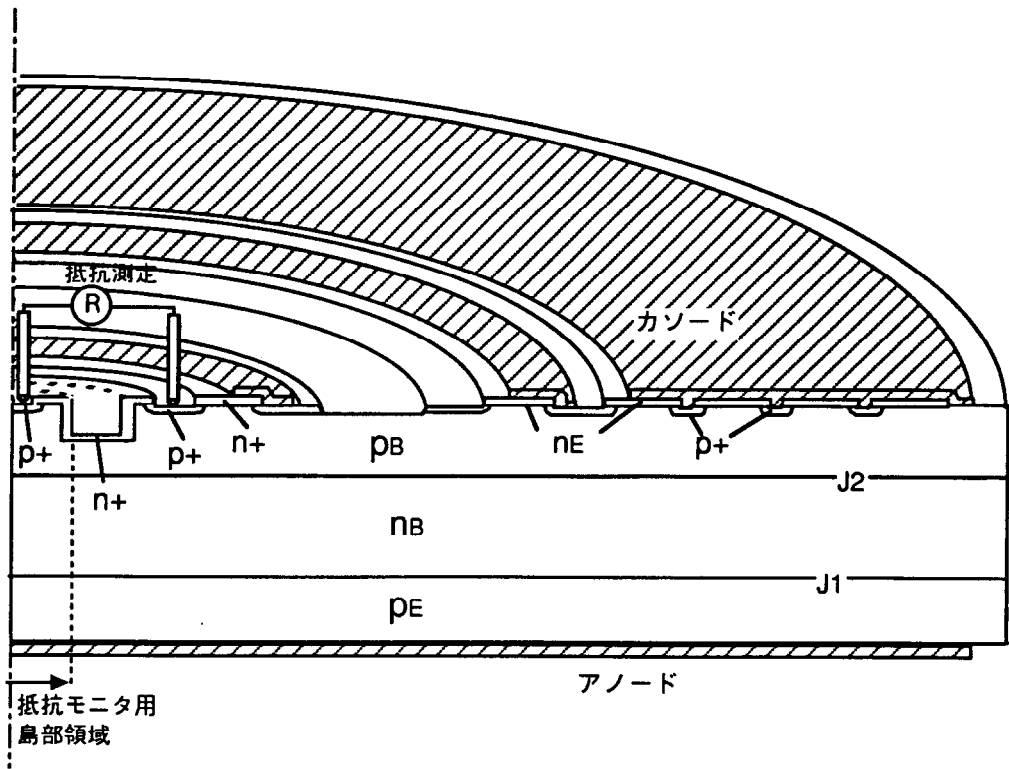


図 6.3 5 抵抗モニタ方式自己保護型サイリスタの構造

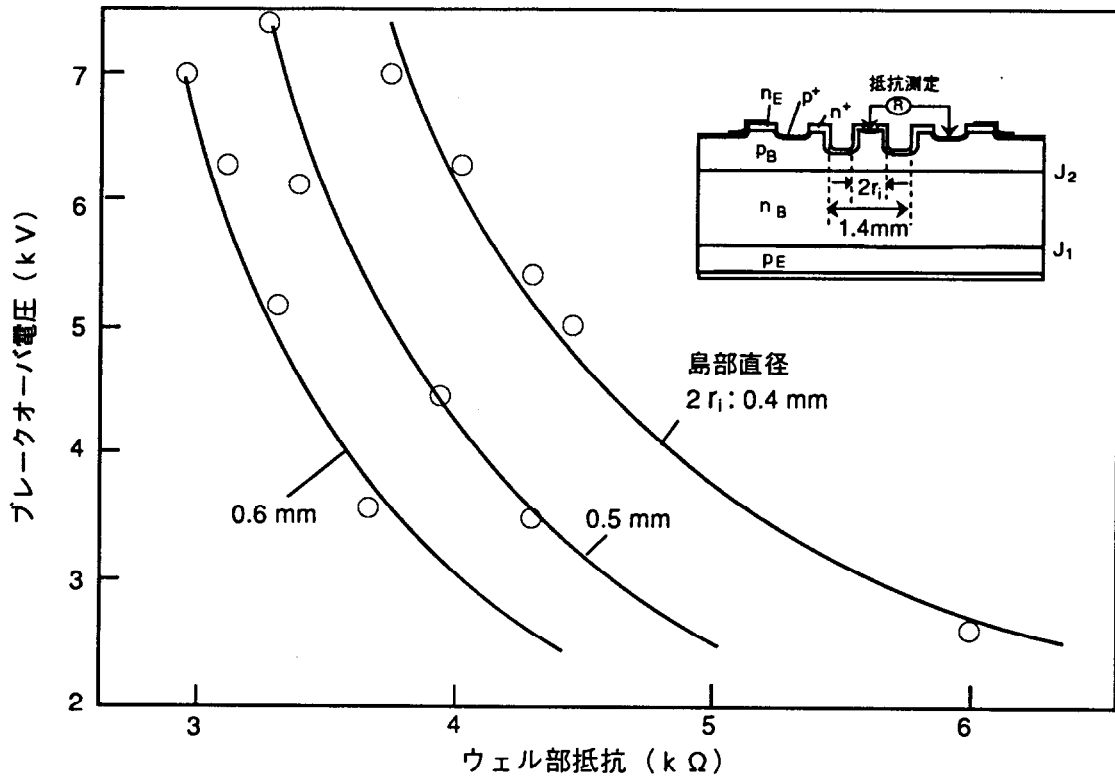


図 6.3 6 ウェル部抵抗値とブレイクオーバー電圧の関係

6.5.2 試作素子の特性

図6.36はウェルの外径1.4mmで島部の直径を0.4, 0.5, 0.6mmと変えた3種類の小型素子(直径2.4mm)のウェル部の抵抗測定値とブレイクオーバー電圧の関係をプロットしたものである。それぞれの島径に対して抵抗値とブレイクオーバー電圧の間には強い相関が見られ、ウェル部抵抗が大きくなると共に、ブレイクオーバー電圧は低下する。また、島径が大きいほど同一抵抗値に対するブレイクオーバー電圧の値は低い。これは(6.6)式の (r_2/r_1) の値の違いにより説明できる。本測定により本抵抗モニタ方式によるブレイクオーバー電圧の予測が可能であることが分かった。以後の測定では島部の径を0.6mmに固定した。次に抵抗モニター方式によるブレイクオーバー電圧の調整方法および調整結果の例を示す。

図6.37は抵抗モニター方式によるブレイクオーバー電圧の調整手法の概要を示す。予め図6.36のようなウェル部の抵抗値とブレイクオーバー電圧の校正曲線を作成しておく。次に目標のブレイクオーバー電圧よりも幾分高くなるように作製した素子のウェル部抵抗値を測定する。この測定値と最終目標の抵抗値を比較して追加ドライブ拡散条件を決める。図のように追加ドライブ拡散によりウェル部の高濃度n形不純物層(n⁺層)およびpベース層の拡散フロントは伸びるが、この場合n⁺層の拡散速度がpベース層よりも大きい実質的にpベース層は狭くなりブレイクオーバー電圧は低下する方向に動く。追加ドライブ後の抵抗値を測定し、目標値と比較して目標値に達するまでこの微調整を繰り返す。

図6.38は80mmΦ素子の追加ドライブ拡散によるウェル部のモニター抵抗値の変化を示す。目標のブレイクオーバー電圧を6.0～6.0kVに設定したとき、ウェル部の抵抗値は予め測定した校正用の素子のデータから2.3～2.4kΩとなる。図から分かるように初期の抵抗値を2.1～2.25kΩと目標値よりもわずかに低くした。この後、1100℃で30～90分の追加ドライブイン拡散により目標の抵抗値が得られた。

図6.39は図6.38に示した調整後に得られた素子のウェル部抵抗値とブレイクオーバー電圧の関係を示す。比較のために2.4mmΦ小型素子のデータ(●印)もプロットしてある。80mmΦ素子では目標範囲に入ったものは9ケ中で7ケであり、残る2ケも5.9kVと目標よりも100V低い程度であった。また、2.4mmΦ小型素子と80mmΦ素子を比較するとほぼ同じ相関曲線上にあり、素子の大きさに依らず、この調整方法が有効であることが分かる。このようにウェル部抵抗値を2.35～2.40kΩに調整することで、ブレイクオーバー電圧を目標値に入れることができ、本抵抗モニター方式の有効性が実証された。

図6.40は抵抗モニター方式の試作素子のブレイクオーバー電圧の温度依存性(○印)を示す。図には先に試作したPTA構造の単純ウェル方式(図6.26参照)の特性(△印)も併せて示している。単純ウェ

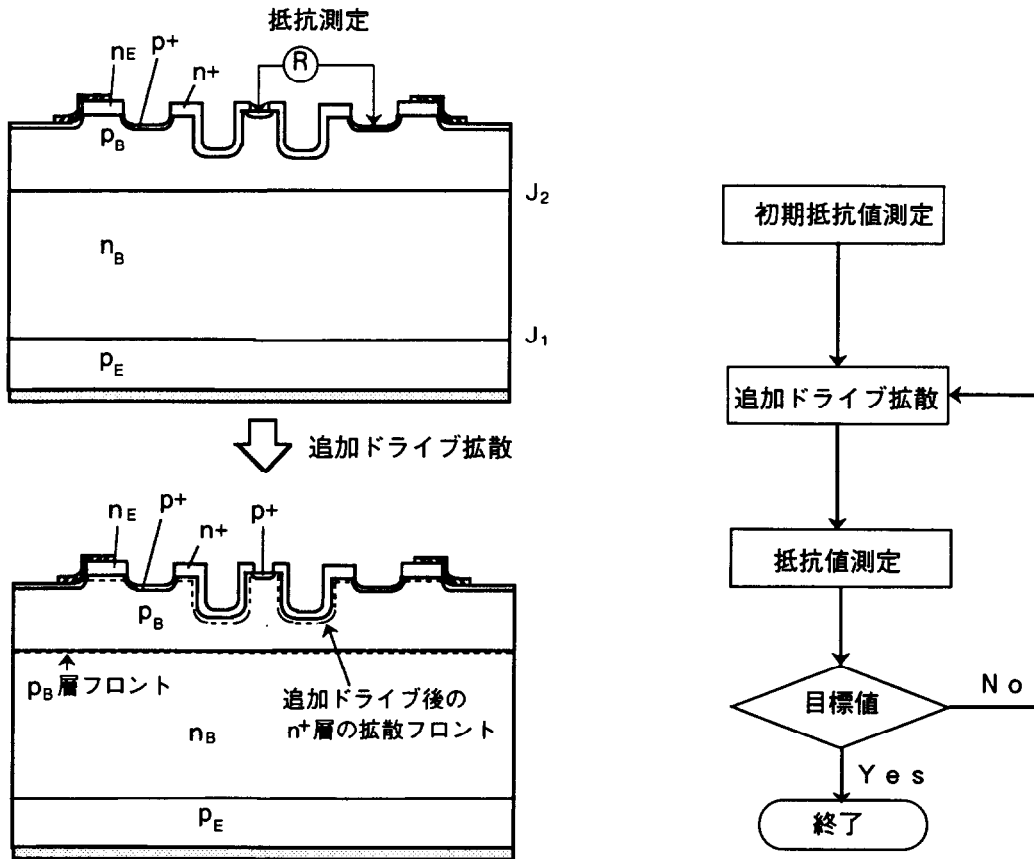


図 6.37 抵抗モニターによるブレークオーバー電圧の調整方法

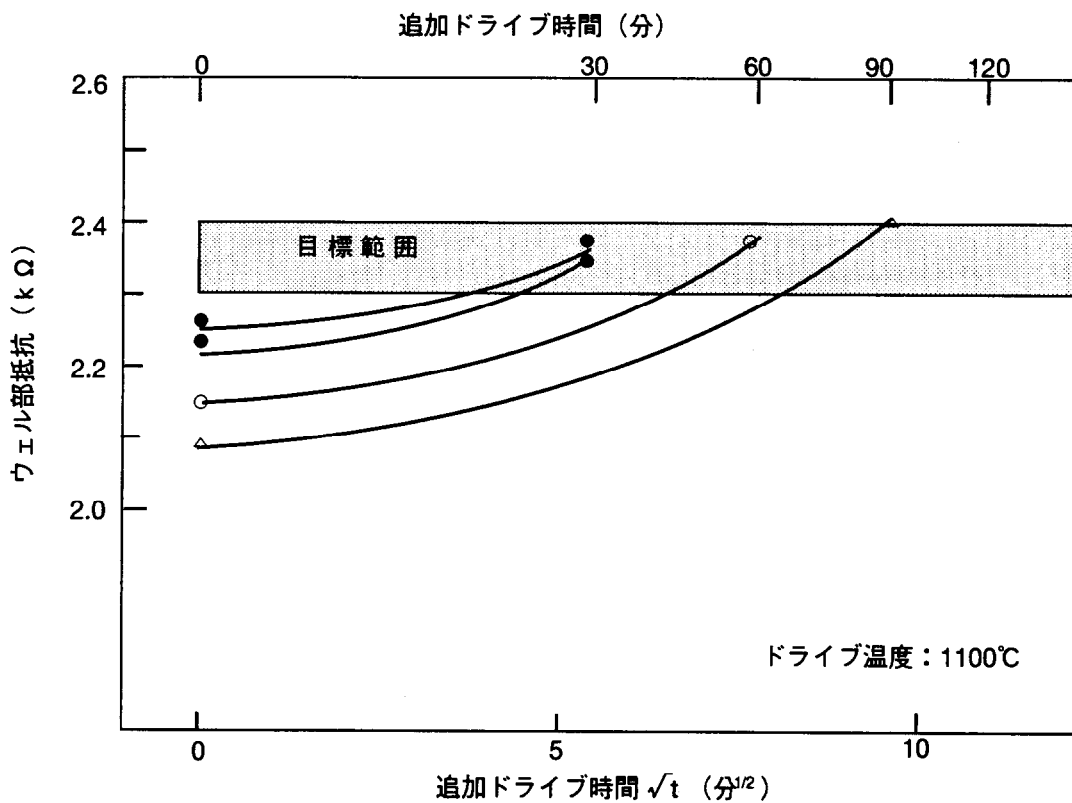


図 6.38 追加ドライブ拡散時間とウェル部抵抗の変化

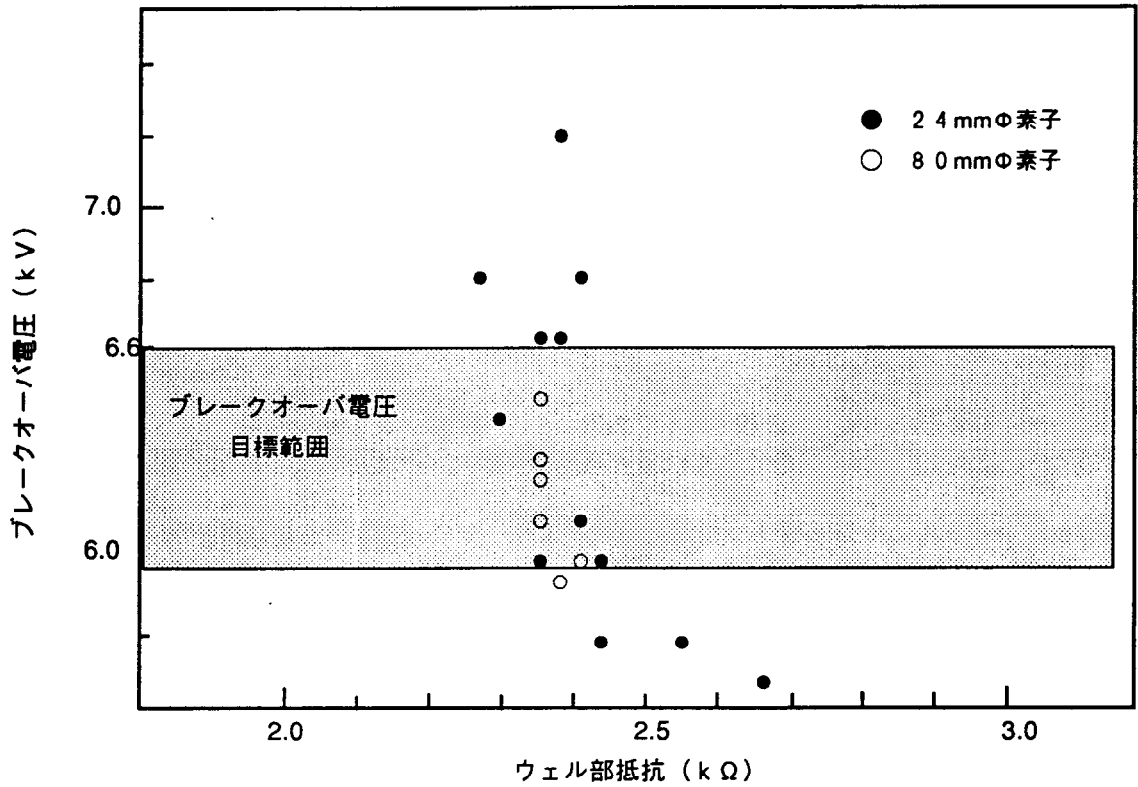


図 6.39 抵抗モニタ～追加ドライブ拡散により調整したサイリスタのウェル部抵抗とブレイクオーバー電圧の関係

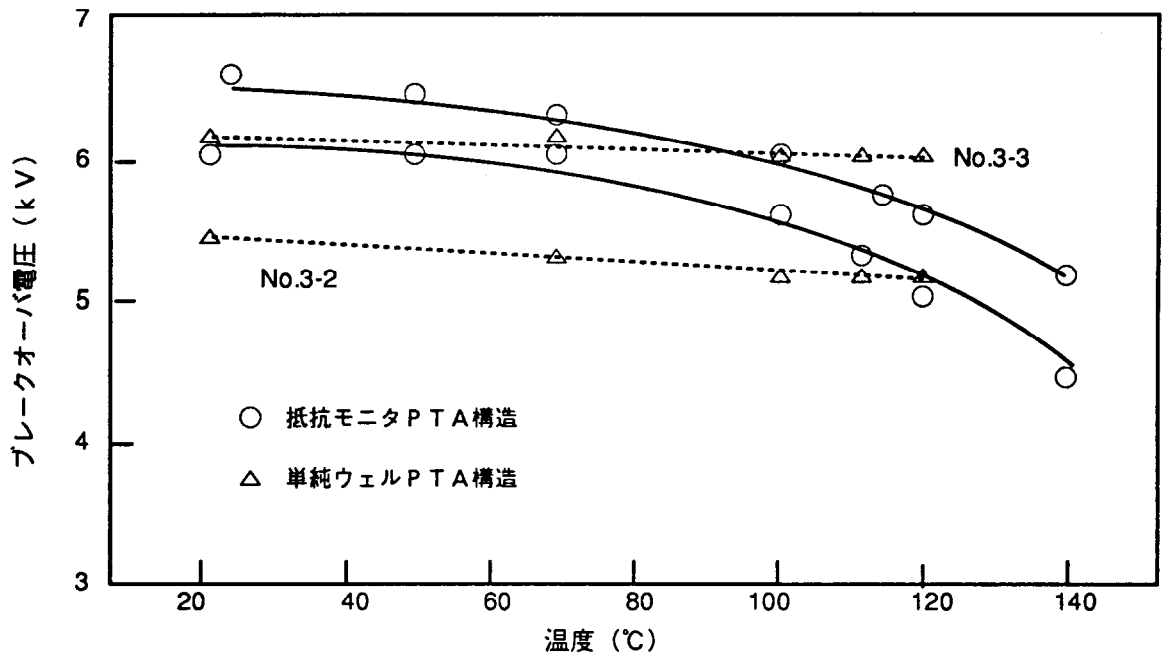


図 6.40 抵抗モニタ PTA 構造と単純 PTA 構造自己保護サイリスタのブレイクオーバー電圧の温度依存性の比較

ル方式では20～125℃の範囲でブレイクオーバー電圧の温度変化は最大でも5%程度であったが、抵抗モニター方式の素子では高温で1kV程度ブレイクオーバー電圧は低下し、相対変化は17%と単純ウェル方式に比べて3倍程度大きい。次に、この原因について詳しく調べてる。

図6.4.1は試作素子に2.7kVの順方向電圧を印加した場合の漏れ電流の温度依存性を示す。図より試作素子2ケの漏れ電流は接合温度の逆数に対して片対数ではほぼ直線的に低下することが分かる。一般にpn接合に逆バイアス電圧を印加した場合の漏れ電流（飽和電流）は次式¹⁶⁾により表される。

$$J_s \approx T^{(3+\gamma/2)} \exp(-E_G/kT) \quad (6.7)$$

ここで、T：接合温度、 E_G ：禁制帯幅、k：ボルツマン定数、 γ ：定数

(6.7)式より漏れ電流の温度依存性は、 $\exp(-E_G/kT)$ で示され、温度の逆数と片対数で直線関係にあることが分かる。図6.4.1に示したように漏れ電流の温度依存性が大きいことから、素子のブレイクオーバー電圧が漏れ電流に関係しているのではないかと考え、以下のモデルにより解析した。

図6.4.2はブレイクオーバーの発端となるエミッタからの電子注入条件を概念的に示した。pベース層とnベース層からなる J_2 接合の空乏層内で生成されるキャリアによる電流密度を J_t 、電流経路となる空乏化していないpベース領域の幅を W_0 、pベース層の抵抗率を ρ 、ウェル部半径をr、注入を起こすバイアス電圧を V_0 として、 ρ が一定であると仮定すると図6.4.2に示す円形ウェルの場合の注入条件は次式で表わされる。（付録参照）

$$W_0 = r \cdot J_t \cdot (\rho/4) / (1/V_0) \quad (6.8)$$

抵抗モニター方式である円環状ウェルの場合は次式で示される。

$$W_0 = (r_o^2 - r_i^2) \cdot J_t \cdot (\rho/4) / (1/V_0) \quad (6.9)$$

(6.8)(6.9)式から各構造の漏れ電流密度 J_t が温度により変化したときの W_0 の変化が分かる。ウェル下部pベース層中性領域幅 W_0 およびウェル下部pベース幅 Δx よりpベース層の空乏層は $(\Delta x - W_0)$ で与えられ、また空乏層と印加電圧の関係が分かっていることからブレイクオーバー電圧の温度依存性が求められる。

図6.4.3は図6.4.1の漏れ電流の温度依存性から求めたpベース中性領域 W_0 の温度依存性を示す。 V_0

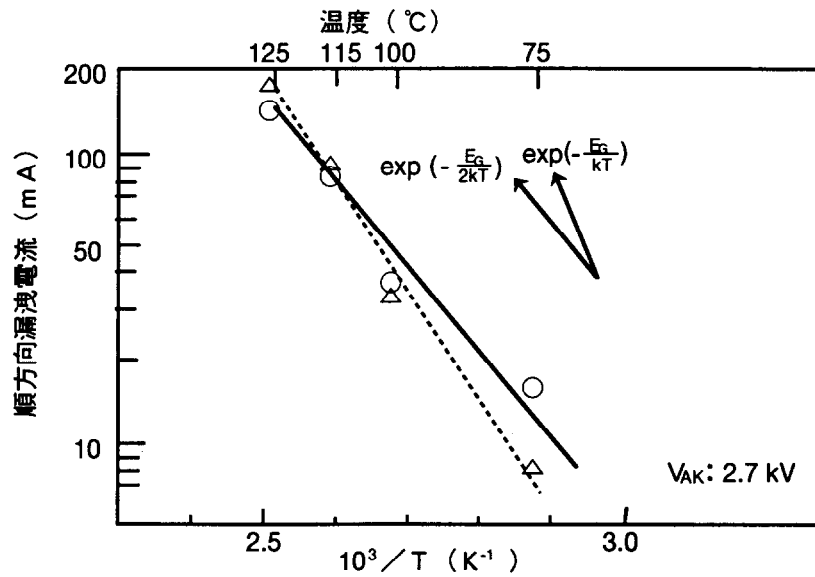


図 6.4.1 試作素子の漏洩電流の温度依存性

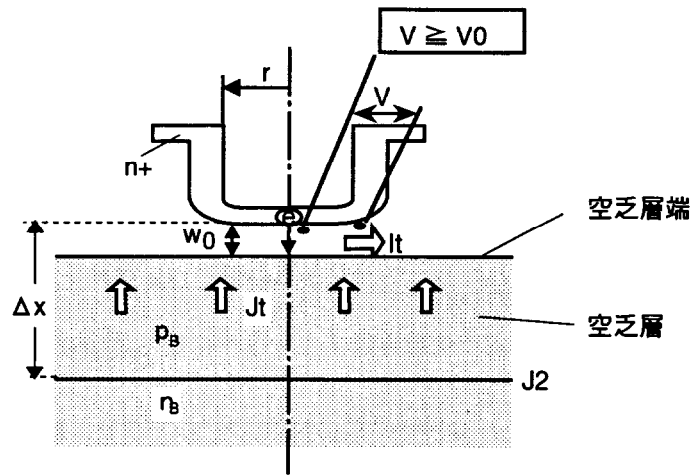


図 6.4.2 ウェル下部 n⁺層からの電子注入の条件

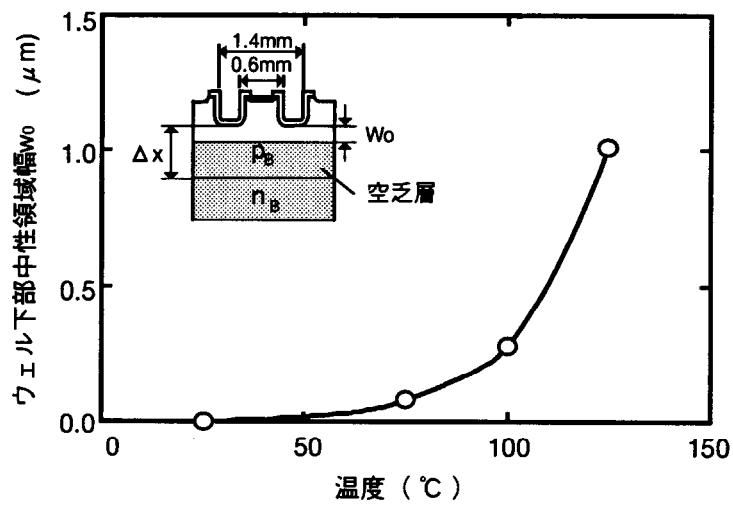


図 6.4.3 ウェル下部 p ベース層中性領域の温度変化

の値はpn接合の内蔵電圧に対応し、その温度依存性は25～125℃の範囲で0.1V¹⁷⁾程度である。ここでは計算の簡略化のため一定とした。図によれば25～125℃の範囲では W_0 の変動は1μm程度であることが分かる。(6.8)(6.9)式ではpベース層の抵抗率 ρ を一定としたが、pベース層の幅が80μm程度あることから1μm程度の変化による抵抗率 ρ への影響は数%と考えられる。このため抵抗率 ρ が一定であるという仮定は妥当であると見られる。

図6.44は抵抗モニター方式自己保護型サイリスタのブレイクオーバー電圧の温度依存性の実測値と計算値の比較を示す。但し、25℃のブレイクオーバー電圧の実測値と計算値が一致するように Δx (ウェル下部のpベース幅)の値を決めている。計算値は図6.41の漏れ電流の実測値と(6.9)式から求めた。実測値と計算値とは比較的よく一致しており、計算に用いたブレイクオーバーの動作モデルが妥当であることを示している。即ち、高温では空乏層での熱生成キャリアが増加するため、漏れ電流密度 J_t が増加する。この結果、(6.9)式から W_0 が大きくなり、空乏層幅($\Delta x - W_0$)は減少する。このため、より低い印加電圧で n^+ 層から電子が注入され素子が点弧(ブレイクオーバー)することになる。

6.5.3 抵抗モニター方式のブレイクオーバー電圧の温度依存性の改善

本節では抵抗モニター方式でのブレイクオーバー電圧の温度依存性の低減策を検討する。前節でみたように抵抗モニター方式のブレイクオーバー電圧の温度変動は高温時に漏れ電流が増加するためキャリア注入を起こす際のpベース層での空乏層幅が、 W_0 の変化分だけ小さくなることに起因していた。このため高温でのブレイクオーバー電圧の低下を抑えるには、ブレイクオーバー動作の引き金となるウェル部で発生する熱生成電流の総量を出来る限り小さくすることが重要になる。(6.9)式において、素子構造の制約から漏れ電流密度 J_t 、pベース層抵抗 ρ 、pn接合内蔵電圧 V_0 は変えることが出来ないため残されたパラメータである($r_0^2 - r_i^2$)を小さくすることが先ず考えられる。抵抗モニター方式では内径である r_i は、製作プロセス途中でウェル部の抵抗を測定するプローブ針を立てるために、これ以上の縮小は出来ない。そこで、外径 r_0 のみを縮小してすることを検討した。他の方法はウェル中央部に設けられた抵抗モニター用の凸部をカソード電極と短絡し、この部分から点弧に寄与する漏れ電流の一部を抜き取る方法である。

図6.45は抵抗モニター用の島部をカソード電極と短絡した素子の断面構造を示す。本構造では島部下の生成キャリアだけでなく、円環状ウェルの下部で熱生成されるホールも内径に近いものは中央の電極から流れ出すと考えられる。このことから点弧に寄与する漏れ電流成分が低減され温度依存性が少なくなると考

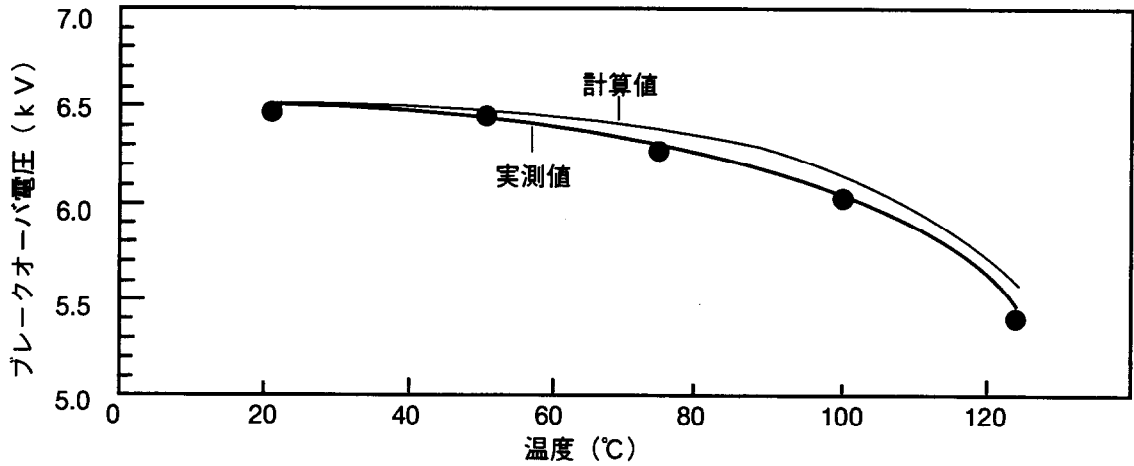


図 6.4 4 抵抗モニタ方式 P T A 構造のブレイクオーバー電圧の温度依存性

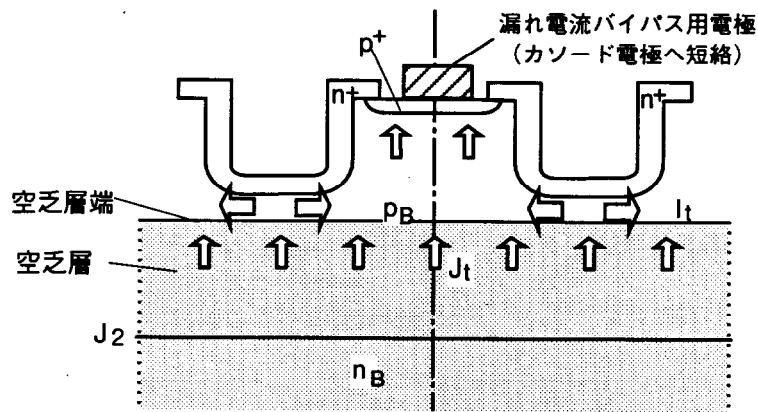


図 6.4 5 抵抗モニタ用凸部に設けた電極の効果

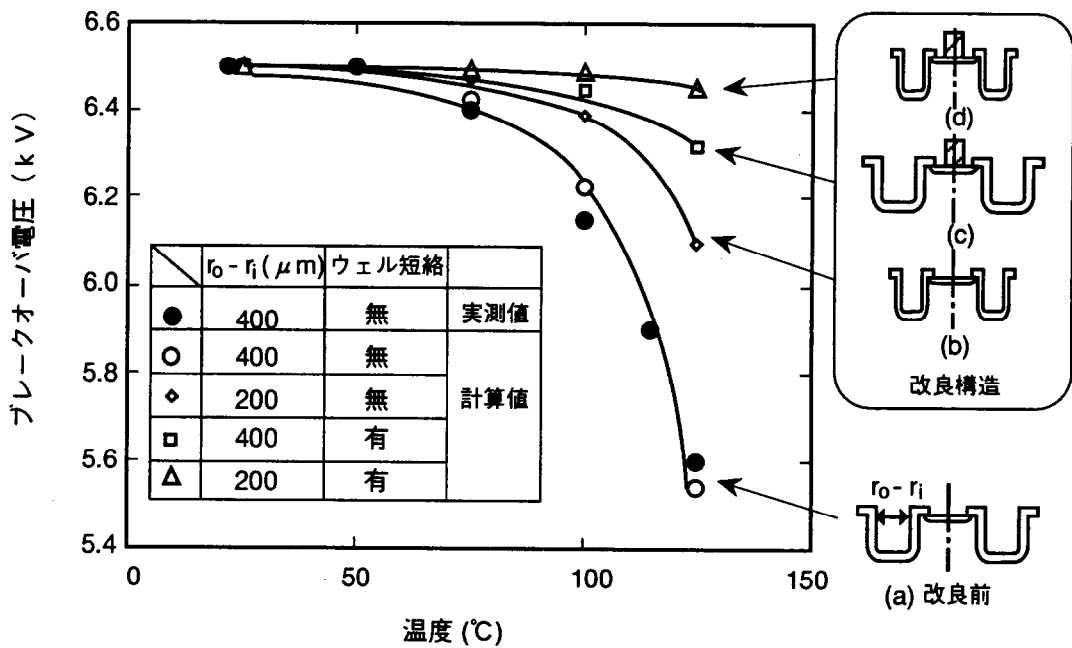


図 6.4 6 抵抗モニタ方式自己保護型サイリスタのブレイクオーバー電圧の温度依存性

えられる。

図 6.4 6 は以上述べた 2 種類の改良構造についてブレイクオーバー電圧の温度依存性を計算した結果を示す。まず、円環部の長さ($r_o - r_i$)を従来構造の (a) $400\mu\text{m}$ から (b) $200\mu\text{m}$ とした場合、ブレイクオーバー電圧の温度変化は $1/2$ 程度に小さくなることが分かる。次に、島部をカソード電極と短絡した構造の (c) では (a) に比べて温度変化を $1/5$ まで低減できている。更に、上記 2 つの方法を組み合わせた (d) の構造では温度変化は 125°C においても数 10V のオーダーで、(a) に比べて $1/10$ 近くまで変動幅が抑えられることが分かる。

6.6 むすび

過電圧が印加された場合に従来の保護装置を用いずに、素子自体に保護機能を持たせた過電圧自己保護型サイリスタの新構造を提案、試作して以下の結果を得た。

パイロット・サイリスタとなる領域の n エミッタ部分から p ベース層に達するウェル (溝) けた単純ウェル構造の自己保護型サイリスタを提案、試作し以下の結果を得た。

- (1) 試作素子ではウェルの径および深さによりブレイクオーバー電圧を調整でき、ウェルの径を大きく、或いはウェルの深さを深くするとブレイクオーバー電圧は低下する。
- (2) 単純ウェル構造ではウェルの径および深さに応じて、過電圧印加時のウェル側壁部の電界強度が変化し、ブレイクオーバー動作が側壁部のアバランシ降伏に依るものであることをシミュレーションおよび試作により明らかにした。
- (3) 単純ウェル構造では (a) ウェルに低濃度の p ベース層が露出するため、シリコン表面の表面状態の変化の影響を受けやすい懸念があること、(b) ブレイクオーバー動作がアバランシ降伏によるためブレイクオーバー電圧の温度依存性が比較的大きいことなどの問題がある。

次に、単純ウェル構造の問題点を解決する目的でパンチスルーとアバランシ降伏とを組み合わせた

PTA (Punch-Through and Avalanche) 構造の自己保護型サイリスタを提案、試作して以下の結果を得た。

- (4) 素子のブレイクオーバー電圧はウェル部に形成した n 型不純物層下の p ベース層の不純物総量 (シート抵抗) により決まるパンチスルー電圧にほぼ等しい。
- (5) PTA 構造ではブレイクオーバー電圧を決めているパンチスルー電圧は基本的に温度依存性が無いため、 $20 \sim 125^\circ\text{C}$ でのブレイクオーバー電圧の相対変化は約 5% であり、単純ウェル構造に比べて約 $1/2$ と小さい。

(6) 試作素子のブレイクオーバー動作でのスイッチング・パワー耐量は1400kW程度あり、従来のゲートトリガ動作でのスイッチング・パワー耐量に比べて約1桁大きい。

しかし、PTA構造自己保護サイリスタではブレイクオーバー電圧を精密に制御するという面で改善の余地がある。このため、PTA構造自己保護型サイリスタの特徴を生かしつつ、ブレイクオーバー電圧の精密な調整が可能な抵抗モニタ方式の自己保護型サイリスタを提案、試作した。得られた結果は以下の通りである。

(7) ブレイクオーバーする領域に素子のパンチスルー電圧を予測するためのpベース抵抗モニタ用の領域を設けて、モニタ抵抗とブレイクオーバー電圧の間に相関があることを明かにした。

(8) モニタ抵抗の値に応じて、素子のドライブイン拡散時間を調整することにより所定のブレイクオーバー電圧が得られることを明かにした。

(9) 抵抗モニタ方式では、ブレイクオーバー動作領域の面積が増加するため漏れ電流による高温でのブレイクオーバー電圧の低下が生じる。この問題点を改善するための構造を考案し、温度依存性を見積った。

(10) (a) ウェル部の外径を400 μ mから200 μ mへと小さくすることでブレイクオーバー動作の引金となるウェル部での発生漏れ電流を小さくしてブレイクオーバー電圧の温度依存性を約1/2に低減出来ることを明かにした。

(b) ウェル部で発生する漏れ電流を抵抗モニター領域の島部に設けたバイパス用電極に流すことによりブレイクオーバー電圧の温度依存性を1/5に低減できることを明かにした。

(c) (a) (b) の構造を組み合わせることにより、ブレイクオーバー電圧の温度依存性を1/10に低減できることを明かにした。

参考文献

- 1) P. Voss, " A thyristor protected against di/dt failure at breakdown turn-on", Solid-St. Electron., vol.17, p.655-661 (1974)
- 2) S.K. Ghandhi, Semiconductor power devices, p.45, Wiley, New York (1977)
- 3) J. X. Przybysz and E. S. Schlegel, " Thyristor with overvoltage self-protection", IEEE Proc. of IEDM '81, p.410-413 (1981)
- 4) V.A.K. Temple, " Controlled turn-on thyristor", IEEE Trans. on Electron Devices, ED-30, p.816-824 (1983)
- 5) J.X. Przybysz, " Laser trimming of thyristor to add an overvoltage self-protected turn-on feature", IEEE Proc. of PESC, p.463 (1985)
- 6) H.M. Lawatsch and J. Vitins, " Protection of thyristors against overvoltage with breakover diodes", IEEE Trans. on Industry Applications, IA-24, p.444-448 (1988)
- 7) L.O.Eriksson, V.A.K. Temple, L.B. Major, H. Mehta, " V_{BO} - Protection of power thyristors using an external trigger thyristor", IEEE Proc. of IAS '90, p.1648-1657 (1990)
- 8) 清水喜輝、伊予谷隆二、赤羽根克己：高耐圧自己保護型光サイリスタの基本特性、電気学会研究会資料 EDD-86-53, SPC-86-85, p.69-75 (1986)
- 9) V.A.K. Temple and M.S. Adler, " The theory and application of a simple etch contour for near ideal breakdown voltage in plane and planer p-n junctions", IEEE Trans. on Electron Devices, ED-23, p.950-955 (1976)
- 10) C.R. Crowell and S.M. Sze, " Temperature dependence of avalanche multiplication in semiconductors", Appl. Phys. Lett., vol.9, p.242 (1966)
- 11) Y. Shimizu, S. Murakami, M. Takata, and H. Honma, " A new concept, overvoltage self-protected thyristor", IEEE Proc. of ISPSD, p.104-109 (1992)
- 12) 柳沼隆男、福井宏：GTOターンオフ特性の2次元数値解析、電気学会研究会資料 SPC-83-27, p.11-20 (1983)
- 13) J.C. Irvin, " Resistivity of bulk silicon and of diffused layers in silicon", Bell Syst. Tech. J., Vol-41, p.387 (1962)
- 14) M. Naito, T. Nagano, H. Fukui and Y. Terasawa, " One-dimesional Analysis of Turn-off Phenomena for a Gate Turnoff Thyristor", IEEE Trans. on Electron Devices, ED-26, p.226-231 (1979)
- 15) Y. Shimizu, H. Kozaka, S. Murakami, and M. Takata, " An overvoltage self-protected Thyristor with a structure to predict breakover voltage", IEEE Trans. on Electron Devices, ED-43, p.1000-1006 (1996)
- 16) S.M. Sze, Physics of Semiconductor Devices, p.88, Second edition, Wiely, New York (1981)
- 17) H.F. Wolf, Silicon Semiconductor Data, p.488, Pergamon Press (1976)

付録

電子注入条件式の導出

a) 単純ウェル構造の場合

素子構造の断面図を付図1に示す。ウェル下部の非空乏化領域を流れる電流 I_t による電圧降下 V を求める。 I_t はウェル中央から動径方向に流れ、その電流は空乏層からほぼ一様な電流密度 J_t で流れ込む電流を吸収しながら径とともに増大してゆく。そこで、ウェル径 r を N 分割して、厚さ $\Delta r = r/N$ の N 個のリングに分け各リング内での電圧降下を求めた後、総和をとる。付図1に示す径 r_k 上での動径方向の電流密度 J_k は径 r_k 内の空乏層から流れ込む電流分 $\pi \cdot r_k^2 \cdot J_t$ を電流の流れ方向の断面積である円筒領域の面積 $2\pi \cdot r_k \cdot W$ で割ることにより、
 $J_k = r_k \cdot J_t / 2 / W_0$ 、径 $r_k \sim r_{k+1}$ のリング領域での電圧降下 ΔV_k はほぼ $J_k \cdot \Delta r \cdot \rho$ となる。但し、幅 W の電流通流域での抵抗率は一定値 ρ をとるとした。結局、電圧降下 V は

$$V = \sum_{k=1}^N (\Delta V_k) \quad \dots\dots\dots (1 a)$$

$$= \sum_{k=1}^N (r_k \cdot J_t / 2 / W \cdot \Delta r \cdot \rho) \quad \dots\dots\dots (2 a)$$

$$= r^2 \cdot J_t \cdot \rho / 2 / W \cdot (\sum_{k=1}^N k) / N^2 \quad \dots\dots\dots (3 a)$$

$$\sim r^2 \cdot J_t \cdot \rho / 4 / W \quad (N \rightarrow \infty) \quad \dots\dots\dots (4 a)$$

電子注入を起こすときの電圧 V_0 、そのときの W を W_0 とすると、

$$W_0 = r^2 \cdot J_t \cdot \rho / 4 / V_0 \quad \dots\dots\dots (6.8)$$

となる。

b) リング型ウェル（抵抗モニタ方式）の場合

この場合、求める電圧降下 V は付図2に示すウェルの内径 r_i から外径 r_o の間を流れる電流 I_t の寄与分である。a) の場合同様、内径 r_i から外径 r_o の間を動径方向に N 分割して、各分割領域での電圧降下を求めた後、総和をとる。

式 (2 a) で $r_k = r_{i+k} \cdot (r_o - r_i) / N$ 、 $\Delta r = (r_o - r_i) / N$ とおいて、

$$V = J_t \cdot \rho / 2 / W \cdot \{ r_i \cdot (r_o - r_i) + (r_o - r_i)^2 \cdot (\sum_{k=1}^N k) / N^2 \} \dots (5 a)$$

$$\sim J_t \cdot \rho \cdot (r_o^2 - r_i^2) / 4 / W \quad (N \rightarrow \infty) \quad \dots\dots\dots (6 a)$$

電子注入を起こすときの電圧 V_o 、そのときの W を W_o とすると、

$$W_o = J_t \cdot \rho \cdot (r_o^2 - r_i^2) / 4 / V_o \quad \dots\dots\dots (6.9)$$

となる。

c) 改良リング型ウエル (改良型抵抗モニタ方式) の場合

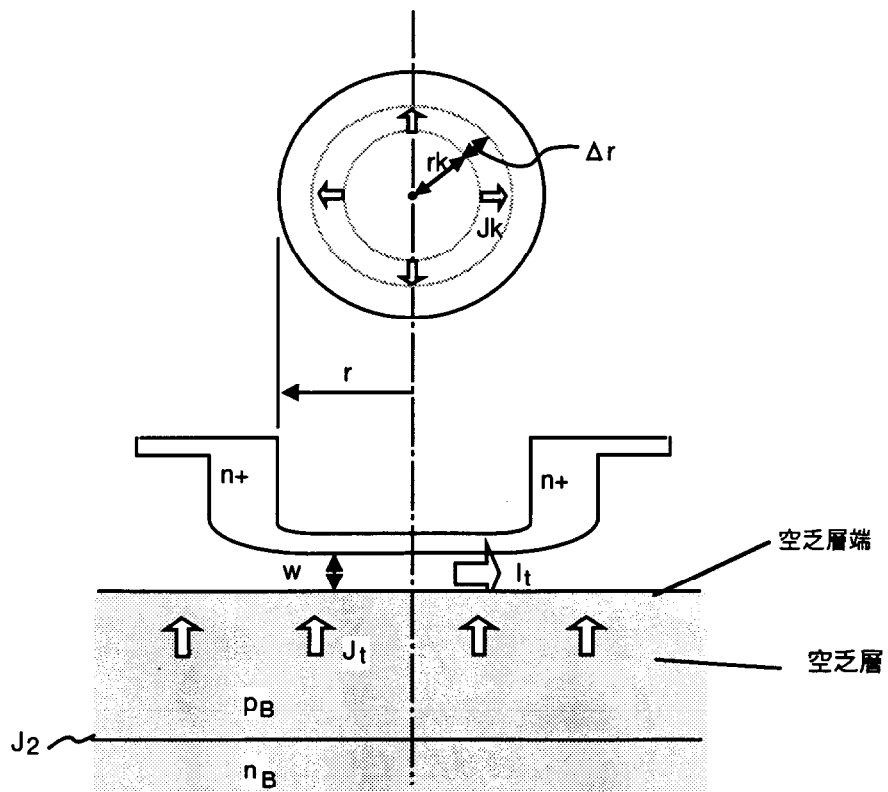
図 6.4 5 に示すように、ウエルの中央部にカソードに短絡した電極があるため、ウエル下部 p n 接合のバイアスに寄与する電流 I_t は円環状ウエルの内径 r_i と外径 r_o の中央にあたる r_c から動径方向を外径 r_o まで流れる電流に限定される。a) b) 同様、この部分を N 分割して考えると径 r_k 上の電流密度 J_k は

$$J_k = J_t \cdot (r_k^2 - r_i^2) / 2 / W / r_k \quad \dots\dots\dots (7 a)$$

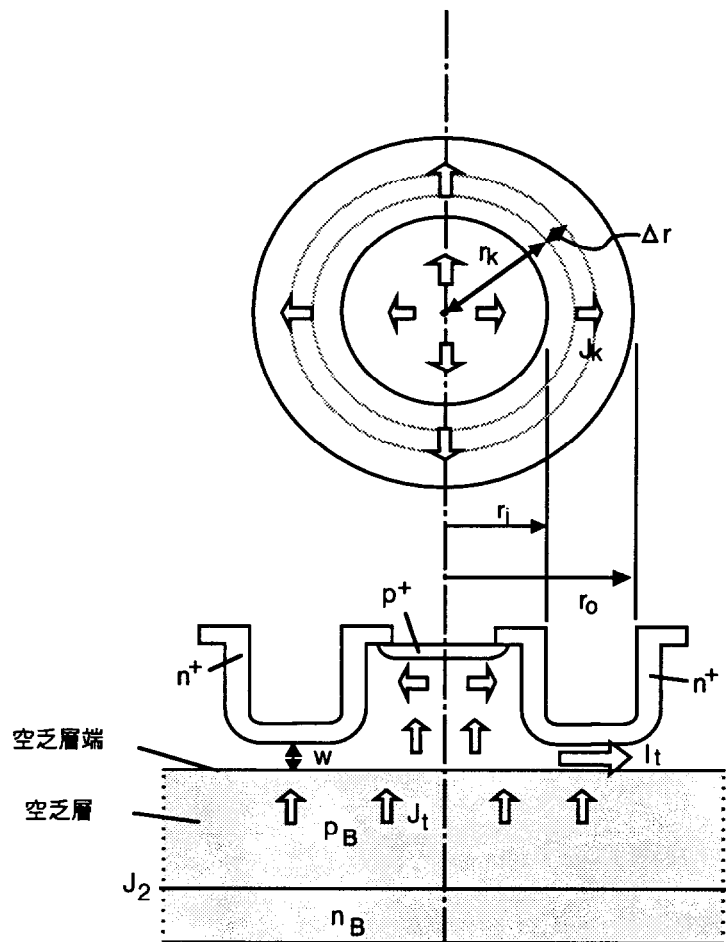
となる。これと、 $r_k = r_{ck} + k \cdot (r_o - r_c) / N$ 、 $\Delta r = (r_o - r_c) / N$ を (2 a) に代入して整理すると、

$$V = J_t \cdot \rho / 2 / W \cdot \left\{ r_c \cdot (r_o - r_c) + (r_o - r_c)^2 \cdot \left(\sum_{k=1}^N k \right) / N^2 \right. \\ \left. - \left\{ r_c^2 \cdot \left(\sum_{k=1}^N \left[1 / \left(k + r_c \cdot N / (r_o - r_c) \right) \right] \right) \right\} \right\} \quad \dots\dots\dots (8 a)$$

となる。極限值 ($N \rightarrow \infty$) は数値計算で求めることができる。



付図1. 単純ウェルPTA構造



付図2. 抵抗モニタ方式PTA構造

第7章 結 論

7.1 本研究の成果

半導体パワーデバイスには1940年代にダイオードが登場して以来、トランジスタ、サイリスタと次々に新しい素子が開発されてきた。サイリスタは高耐圧化、大電流化が図られる一方で、1970年代よりゲートターンオフ機能を持たせたゲートターンオフ・サイリスタが開発され、その後サイリスタと同様に高耐圧化、大電流化が図られてきた。一方、ダイオードもサイリスタなどのスイッチング素子と組み合わせて用いられる基本的なデバイスとして高耐圧化、大電流化が図られてきた。これら電力用素子に共通に要求される主要な課題は低損失化と高機能化であると云える。

本論文はパワーデバイスの中、ダイオードおよびサイリスタの性能向上、特に低損失化および高機能化に関して7章にわたり述べたものである。以下、各章毎に得られた主な成果を述べる。

第1章では先ず電力用半導体素子（パワーデバイス）の応用分野と本論文で取り上げるダイオードおよびサイリスタ（GTOを含む）の発展の経過を概括的に述べた。次にこれらの歴史的背景の中での本研究の位置付けと上記パワーデバイスの基本的な特徴およびその研究課題を述べた。本研究の具体的な目標として以下の項目が挙げられる。

ダイオードに関しては

- (i) 高速・低損失化と高耐圧化の両立
- (ii) ソフトリカバリー特性の実現

サイリスタに関しては

- (iii) オン電圧とターンオフ損失のトレードオフ向上
- (iv) ターンオフ性能向上と損失低減
- (v) ターンオン時のスイッチングパワー耐量の向上
- (vi) 過電圧保護機能内蔵化

である。

第2章では高速で低損失な特性を持つダイオードの構造としてチャネル構造SSD（Static Shielding Diode）を提案し、その動作と特性をシミュレーションにより確認した。

- (1) 主動作領域となるpエミッタ層の不純物濃度を低濃度化し、pエミッタ層の周辺部にこれよりも深く、高濃度のp⁺層を形成したチャネル構造とすることにより従来、両立が難しいと考えられていた高速、

低損失化と高耐圧化を同時に実現できた。

- (2) SSDの順方向特性はエミッタ層の不純物総量を少なくすることで、エミッタ接合での接合電圧降下を小さくでき、かつエミッタからのキャリア注入も少なくなるので、高速で低オン電圧化が可能になる。
- (3) 逆阻止特性ではnベース層の抵抗率が高い方が、チャンネル部の電界緩和の効果が強まるため漏れ電流を小さくできる。
- (4) 逆回復特性では、nベース層の抵抗率は低い方が空乏層の伸びが抑制されるため、逆回復時の残留キャリア量が多くなり、逆回復電流の尖頭値が小さく、逆回復後の電流振動も小さくなる。出力ノイズを低減するにはnベース層の抵抗率は低い方が良く、逆阻止特性とはトレードオフの関係にある。

第3章では第2章で提案され、その特性をシミュレーションにより明かにしたSSDの試作結果をまとめた。

- (5) 試作したSSDはチップサイズ3.1mm角で以下の特性を示した。

(a) 素子耐圧：200V	(b) 素子耐圧：270V
平均電流：20A	平均電流：20A
順電圧降下：0.88V	順電圧降下：0.90V
逆回復時間：60ns	逆回復時間：90ns

これらの特性はチャンネル部の寸法を変えることで連続的に変えることが出来る。得られた素子の特性は従来のpn接合ダイオードの特性を上回り、ショットキバリア・ダイオードに対しては順電圧降下、逆回復時間は若干、下回るものの素子耐圧は大きく上回る。一方、本SSDとほぼ同じ構造のダイオードSFDが製品化され、現在3kV級の高耐圧ダイオードまでその性能が確認されている。

第4章ではサイリスタのターンオフ性能向上と低損失化に関して、アノードエミッタ短絡型ゲートターンオフ・サイリスタ（以下GTO）の素子構造と定常オン特性およびターンオフ時間の関係を数値解析モデルにより求め、

- (6) アノードエミッタ短絡の2次元構造と定常状態での素子内電流分布、キャリア分布および電位分布の関係を明かにした。
- (7) アノードエミッタ短絡型GTOの1次元モデルとして、2次元モデルGTOの電流分布から求めたエミッタ短絡部を流れる電流がアノード電極から1次元モデルGTOのnベース層内の1点へ短絡されるというモデルを考え、このターンオフ特性の計算結果と実測結果がほぼ一致することを明かにした。
- (8) 上記1次元モデルおよび2次元モデルを用いたシミュレーションの結果、非短絡型に比べてアノード

エミッタ短絡型GTOのオン電圧とターンオフ時間の相関が優れていることを明かにした。

これらの結果は、その後のGTOの主流となるアノードエミッタ短絡構造の理論的な裏付けを与えるものである。本構造は、高耐圧・大電流化した全てのGTOに取り入れられ、現在の最大容量素子6kV、6kAGTOにも採用されている。

第5章ではサイリスタのターンオン動作の特性向上に係わるスイッチングパワー耐量について論じ、

(9) パイロットサイリスタと隣接する補助サイリスタの間にリング状の内蔵抵抗を設ける構造を過電圧自己保護型サイリスタに適用し、ブレイクオーバ・ターンオン時の電流の立ち上がりを抑制できることを実証した。

(10) 内蔵抵抗の温度依存性を測定し、その温度係数が抵抗値に依らずほぼ一定であり、5Aまでの電流では蓄積キャリアによる抵抗値の低下が無いことを実験的に明かにした。

(11) 内蔵抵抗の近傍にフローティング電極を設けることで、これが無い場合に比べて電流抑制効果が大きくなり、アノード・カソード間電圧の約80%を抵抗領域で分担していることを明かにした。

(12) 主サイリスタ領域に比べ、補助サイリスタ領域のnエミッタ濃度を低濃度にする新構造を提案、試作し、本構造により補助サイリスタから主サイリスタへの導通領域の移動が速くなり、ブレイクオーバ・パワー耐量を従来に比べて2倍以上高くできることを解析的および実験的に明かにした。

以上の得られた知見は現在、生産されている8kV、3.5kAの高耐圧光トリガ・サイリスタにも適用されており、高耐圧・大容量サイリスタに有用な技術であることが実証されたと考えられる。

第6章ではサイリスタのシステム化への展開の面から過電圧自己保護機能内蔵について論じ、

(13) パイロット・サイリスタとなる領域のnエミッタ部分からpベース層に達するウェル（溝）を設けた単純ウェル構造の自己保護型サイリスタを提案、試作しブレイクオーバ電圧がウェルの径および深さに応じて変わることを解析的および実験的に明かにすると共に、ブレイクオーバ電圧がシリコンの表面状態の影響を受けやすく、その温度依存性が大きいなどの問題点があることを明かにした。

(14) 単純ウェル構造の問題点を解決するためにパンチスルーとアバランシ降伏とを組み合わせたPTA (Punch-Through and Avalanche) 構造の自己保護型サイリスタを提案、試作しブレイクオーバ電圧が電圧検出部のpベース層の不純物総量により決まり、20~125℃でのブレイクオーバ電圧の相対変化が約5%と小さく、スイッチングパワー耐量も従来に比べて約1桁高いことを明かにした。

(15) ブレイクオーバ電圧の精密な調整を可能とする抵抗モニタによるブレイクオーバ電圧の予測方法を

提案、試作しモニタ抵抗値とブレークオーバ電圧の間に相関があることを実証すると共に、抵抗に応じて製造工程の拡散時間を調整によりブレークオーバ電圧の制御が可能であることを示した。

- (16) (15) の抵抗モニタ構造を導入すると、モニタ部で発生する漏れ電流によりブレークオーバ電圧が低下するが、モニタ部の面積縮小および漏れ電流バイパス抵抗を設けることにより改善できることを解析的に明かにした。

7.2 今後の課題と展望

本研究では電力用半導体素子の中、ダイオードおよびサイリスタに関してその低損失化と高機能化の検討結果をまとめたが、今後研究すべき課題も多く残されており、最後に今後の展望を含めてまとめた。

- (1) ダイオードに関してはSSD構造が3 kV級の高耐圧素子にも有効であることを確認したが、さらに4 kV以上の素子にも有効であるかを検証することが必要であると考えられる。
- (2) GTOに関してはアノードエミッタ短絡構造がその後、6 kV、6 kAの高耐圧・大電流GTOにも採用され、その有効性を確認している。今後はターンオフ時における破壊耐量を高めて保護に用いられているスナバ回路の簡略化（具体的にはスナバ容量の低減）、出来ればスナバ回路を必要としないGTOの開発が主要課題であると云える。
- (3) サイリスタに関しては電力系統を制御する基幹のデバイスとして、引き続き低損失化が主要な課題である。また、過電圧自己保護を内蔵したサイリスタの実用化も残された大きな課題である。

半導体パワーデバイスは情報通信分野におけるLSIと共に社会基盤技術に不可欠なもので、今後とも継続的に研究が進められるものと考えられる。近年の地球環境問題の顕在化などにより電気エネルギーの効率的な利用は益々、重要になっており、パワーデバイスの更なる低損失化、高機能化は大きなテーマである。最近ではシリコンカーバイドなどの禁制帯エネルギーの大きな半導体材料を用いてシリコンを上回る高温動作が可能で損失も大幅に低減できる素子の開発が進められている。また、パワーデバイスの適用分野ではサイラトロンなどの電子管やギャップスイッチが主要なスイッチング素子であるパルスパワーの分野でのパワーデバイスへの期待が大きい。半導体パワーデバイスが基本的に長寿命であること、保守が容易であること、比較的小型であることなどの長所があるためである。このような観点からは高速ターンオン動作に特化した素子開発も今後、重要な研究テーマとなるであろう。

謝 辞

本論文のまとめに対して御指導並びに御援助を賜った東京工業大学の石井彰三教授、深尾正教授、松村正清教授、古屋一仁教授、安岡康一助教授に衷心より感謝致します。特に、石井彰三教授には御多忙の中、直接、懇切に御指導と御教示を賜りましたことに対して重ねて御礼申し上げる次第です。

本研究は筆者が勤務している株式会社日立製作所において研究、開発に携わった電力用半導体素子、特にダイオードおよびサイリスタの低損失化と高機能化に関する研究成果をまとめたものである。この間、上司並びに関係各位には種々の面で御指導、御協力を頂いた。

ダイオードおよびGTOサイリスタに関しては日立研究所の岡村昌弘博士（現、北陸先端科学技術大学院大学教授）、亀井達弥氏、寺沢義雄博士（現、茨城高専教授）、内藤正美博士（現、日立製作所基礎研究所）には研究の進め方、並びに検討結果に対する御助言と評価を頂いた。また、素子設計から評価までに関しては佃 清氏、川畑重行氏に一貫して御協力頂いた。

一方、サイリスタのターンオン特性の改良、並びにサイリスタの保護機能内蔵に関して八尾 勉博士には上司として御指導頂き、村上 進博士、高田正典氏、小林秀男氏には本研究の共同研究者として実験結果の解析および検討に御協力頂いた。また、伊予谷隆二氏には実験試料の測定・評価に、横田武司氏、横田吉弘氏（元、佐和工場電子製造部）には試料の作成および評価に、小坂 広氏にはサイリスタの特性解析に多大の御協力を頂きました。

本論文は日立製作所日立工場の製品に関して行った研究成果をまとめたものであり、この研究を積極的に支援して頂き、多大な御協力を頂いた日立工場パワーデバイス開発センターの赤羽根克巳センター長、桜田修六副技師長、野乃山主任技師に深く感謝致します。

終わりに本研究の機会を与えて頂き、御支援、御指導を頂きました日立研究所の門馬直弘元部長（現、主管研究長）、小林 裕パワーエレクトロニクス第一研究部部長に深く感謝致します。

発表文献

(1) 本研究に関する発表文献

(i) 論文

No.	論文題目	発表機関および時期	共著者	本論文との関係
1	High-speed low-loss p-n diode having a channel structure	IEEE Trans.on Electron Devices, ED-31, 1984	M.Naito S.Murakami T.Terasawa	第2章 第3章
2	Numerical analysis of turn-off characteristics for a Gate Turn-off Thyristor with a shorted anode emitter	IEEE Trans.on Electron Devices, ED-28, 1981	M.Naito M.Odamura T.Terasawa	第4章
3	An overvoltage, self-protected thyristor with high breakover power endurance	IEEE Trans.on Electron Devices, ED-38, 1991	R.Iyotani T.Yatsuo Y.Yokota	第5章
4	A high-voltage light-activated thyristor with a novel over-voltage self-protection structure	IEEE Trans.on Electron Devices, ED-36, 1989	R.Iyotani N.Konishi T.Yatsuo	第6章
5	A New Concept for an Over-voltage Self-protected Thyristor with a structure to predict Breakover Voltage.	IEEE Trans.on Electron Devices, ED-43, 1996	H.Kozaka S.Murakami M.Takata	第6章

(ii) 研究会、学会講演など

No.	発表題目	発表機関および時期	共著者	本論文との関係
1	静電遮蔽型高速ダイオード	電子通信学会研究会 ED-84-3 (1984)	内藤、村上 寺沢	第2章 第3章
2	pエミッタ短絡型GTOの 二次元解析	電気学会東京支部大会 S.54 (No.168)	内藤、八尾	第4章
3	pエミッタ短絡型GTOの ターンオフ特性の数値解析	電気学会研究会 EDD-80-79, SPC-80-22 (1980)	内藤、寺沢	第4章
4	A model to simulate the turn-off characteristics of a gate turn-off thyristor having shorted anode emitter	Proceedings of the NASECODE Conference (1981)	M.Naito M.Odamura Y.Terasawa H.Fukui	第4章
5	A over-voltage, self-protected thyristor with high breakover power endurance	Proceedings of the ISPSD Conference (1988)	R.Iyotani T.Yatsuo Y.Yokota	第5章
6	高耐圧自己保護型光サイリスタ の基本特性	電気学会電子デバイス半導 体電力変換合同研究会 S.61.9	伊予谷 赤羽根	第6章
7	A High Voltage Light Activated Thyristor with Novel Over-Voltage Self-protected Thyristor	IEEE, PESC 18th Annual Meeting (1987)	R.Iyotani N.Konishi T.Yatsuo	第6章

(2) パワーデバイスに関する投稿など

	題目	発表期間および時期	共著者など
1	サイリスタ・ダイオード	電気学会誌： 110巻2号(平成2年)	八尾
2	大容量自己保護型光サイリスタ の開発	月刊"オーム" Vol.75, No.90 (1988)	
3	パワーデバイス・パワーIC ハンドブック	電気学会高性能高機能 パワーデバイス・パワーIC 調査専門委員会編	第10章 担当