

論文 / 著書情報
Article / Book Information

題目(和文)	高集積DRAM/論理LSI の低電圧動作に関する研究
Title(English)	
著者(和文)	中込儀延
Author(English)	Yoshinobu Nakagome
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:乙第4040号, 授与年月日:2011年1月31日, 学位の種別:論文博士, 審査員:石原 宏
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:乙第4040号, Conferred date:2011/1/31, Degree Type:Thesis doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

高集積 DRAM/論理 LSI の低電圧動作 に関する研究

中込 儀延

目 次

1. 序 論	4
1.1. はじめに	4
1.2. 低電圧動作と電池動作の課題	10
1.2.1. メモリ LSI の概要	10
1.2.2. 低電圧での安定動作	19
1.2.3. 低電圧での高速動作	23
1.2.4. 広い電圧範囲での動作	24
1.2.5. リーク電流増大抑止	25
1.3. 本研究の目的と論文の構成	26
2. 1.5 V DRAM 回路技術の開発	30
2.1. まえがき	30
2.2. DRAM セルアレー雑音の解析と低減技術	30
2.2.1. ビット線間干渉雑音の解析と実験的検証	31
2.2.2. ビット線間干渉雑音の低減手法	40
2.3. DRAM セルの動作マージン向上	42
2.3.1. 中間電圧発生回路	43
2.3.2. 高効率昇圧回路	46
2.4. 高速信号検出回路（センスアンプ高速化、高速 I/O 回路）	49
2.4.1. センスアンプの高速化技術	50
2.4.2. メインアンプの高速化技術	53
2.5. 64Mb DRAM チップの試作結果	57
2.6. まとめ	59
3. 広動作電圧範囲化技術の開発	66
3.1. まえがき	66
3.2. ユニバーサル電源方式の提案	66
3.3. 高耐圧回路技術	70
3.4. 64Mb DRAM チップの試作結果	76
3.5. まとめ	76

4. サブ 1V 振幅回路の開発.....	80
4.1. まえがき	80
4.2. 低振幅バス方式の提案.....	84
4.3. 回路設計.....	85
4.4. 実験的検討.....	92
4.5. まとめ.....	94
5. 低リーク回路方式の提案；サブスレッショルド電流低減	96
5.1. まえがき	96
5.2. 低リーク回路技術.....	98
5.2.1. マルチ V_T	99
5.2.2. 電源遮断.....	100
5.2.3. 動的しきい値電圧可変.....	101
5.3. まとめ.....	107
6. 結論および今後の展望	119
6.1. 結論.....	119
6.2. 今後の展望.....	121
7. 研究業績	132
7.1. 論文リスト.....	132
7.1.1. 学術論文(主著).....	132
7.1.2. 解説論文、等.....	133
7.1.3. 学術論文、等(共著).....	133
7.2. 発表リスト.....	137
7.2.1. 国際会議（筆頭）	137
7.2.2. 国内研究会、等（筆頭）.....	137
7.2.3. 国際会議、等（共著）.....	137
7.3. 主要特許.....	141
謝辞.....	143

1. 序 論

1.1. はじめに

1980 年代後半に集積回路の主役の座についた CMOS LSI (Complementary Metal Oxide Semiconductor Large Scale Integration) は使いやすさと高信頼性を維持・向上させながら、たえず低価格・高性能化（高集積・高速・低電力化）し、現代の情報通信時代を支える基幹部品になっている。一方で、LSI 自身の一層高まる電力危機、携帯機器のさらなる高機能化、地球温暖化などに対処するために、近年 LSI の低電力化が大きな課題になっている。本論文は、こうした課題を先取りし、低電圧・低電力 CMOS 回路技術を先駆的に研究した成果を纏めたものである。本研究では、1980 年代後半から 90 年代の研究実施時点において、プロセスのみならず回路技術においても CMOS LSI の最先端技術開発土俵であった DRAM を取り上げて研究を遂行した。ここで開発した世界初の 1.5 V 64Mb DRAM は、研究開発の中心がまだ 5 V 16 Mb であった当時、1.5 V 電池動作を目指し、しかも 64 Mb という記録を打ち立てたことで世界に衝撃を与えた。と同時に、全ての低電圧 CMOS LSI に共通なリーク電流問題を世界に先駆けて気づく事となり、それを低減するための基本回路の発明に結びついた。ここで発明・開発した基本回路は、その後の 90 年代から 2000 年以降の低電圧・低電力 CMOS 回路研究の端緒となるとともに、本先行発明が基本になって業界の標準技術として進化し、素子寸法が 90 nm 以下の最新の CMOS LSI 全体に広く適用されている。またその基本性・必然性からみて、2010 年以降の 0.5 V、さらにはサブ 0.5V 時代にも適用され続けていくと考えられる。

以下、集積回路を低電圧化に向かわせる要因として以下の 3 点について、動向と課題について述べる。

- (1) 素子の微細化に伴う耐圧低下
- (2) 低電力化(消費電力増大の抑止)
- (3) 電池動作機器への応用拡大

(1) 素子の微細化に伴う耐圧低下

LSI を代表する MPU (Micro Processing Unit) [1] と DRAM [2] の 2 つを取り上げ、素子寸法と電源電圧の推移を示す (図 1.1, 図 1.2)。なお 図 1.1 は、参考文献[1]にその後の発表データを追加したものである。MPU においては、発明から 40 年の間にゲート長とゲート酸化膜厚は、それぞれ約 1/100 に微細化されている。また、DRAM においても、その間にゲート長とゲート酸化膜厚は、それぞれ約 1/100 に微細化されている。素子の微細化に伴って動作電圧を低下させる要因としては、ドレイン耐圧の低下、ゲート耐圧の低下、ドレインリーク電流の増大などが挙げられる。ゲート酸化膜に電圧を加えると、酸化膜内に電界が生じ、微小な電流 (リーク電流) が流れるが、電荷の有するエネルギーがある程度以上に大きくなると、格子との衝突によって新たな電子・正孔対を発生させ、それが繰り返されてアバランシェ増大を引き起こし、熱破壊に至る。熱破壊に至らないまでも、電子・正孔が絶縁膜中に存在するトラップに捕獲されることにより、絶縁膜の特性変動を引き起こす。10 年程度の使用期間の間で劣化を生じさせないためには、通常、高品質の酸化膜でも 4~5 MV/cm 程度の電界以下に留める事が望ましいとされており、10 nm の酸化膜では、4~5 V が定常的に印加可能な電圧の上限となる。同様に、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のドレイン電流が流れる際にも、チャンネル方向に沿った電界の大きさが大きくなると、走行するキャリア (電子、正孔) の持つエネルギーが酸化膜のエネルギーバリアを越えて酸化膜中に注入される。注入されたキャリアが格子やトラップとの相互作用により、MOSFET の特性を経時劣化させる。これをホットキャリア劣化と呼ぶが、ゲート電圧とともにドレイン電圧の上限を規定する大きな要因の一つになっている [3, 4]。以上により、素子の微細化とともに電源電圧を低下せざるを得ない状況になっている。ただ一方で、電源電圧は単に LSI の都合だけで決められるものではないという側面がある。それは、(a)複数の LSI を用いてシステムを構成する際に、それぞれの LSI の電源電圧が異なると、違う種類の電圧をシステム側で用意しなければならなくなり、コスト面で望ましくないという点が一つ。また、(b)複数の LSI 同士を接続する際に信号のやりとりをするための入出力インタフェースが標準化されているが、その標準化の中で信号振幅や電源電圧が規定されるという制約があること。さらには、(c)システムを新しくする際に、前世代のシステム設計をそのまま踏襲したいというシステム設計の都合があること、などである。例えば MPU や DRAM で標準的に使用する電源電圧 (12 V, 5 V, 3.3 V) は数世代にわたって使われてい

た。しかしながら、同じ電源電圧の間にも微細化による集積度向上は続くため、標準の電源電圧と素子に最適な動作電圧の間にはギャップができる事が 1990 年代になると顕在化してくる。このギャップを埋めるために、DRAM ではチップ上に電源電圧変換回路を設け、例えば外部電源電圧は 5 V でもそれを 3 V 程度に変換してチップ内の主要回路を動作させるのが一般的になった。この場合、外付け部品を使用しないという標準パッケージの制約から、DRAM ではシリーズレギュレータを搭載している [5, 6]。他方、MPU では当初、標準的な電源電圧を使用していたが、1990 年代後半ごろからは、MPU 独自の電圧を用いるようになってきている。これは消費電力と速度性能の最適化を行うためには電源電圧を細かくチューニングする必要性が高くなったためである。最近では、動作モードに応じて動的に電源電圧を可変するような方式も用いられている。

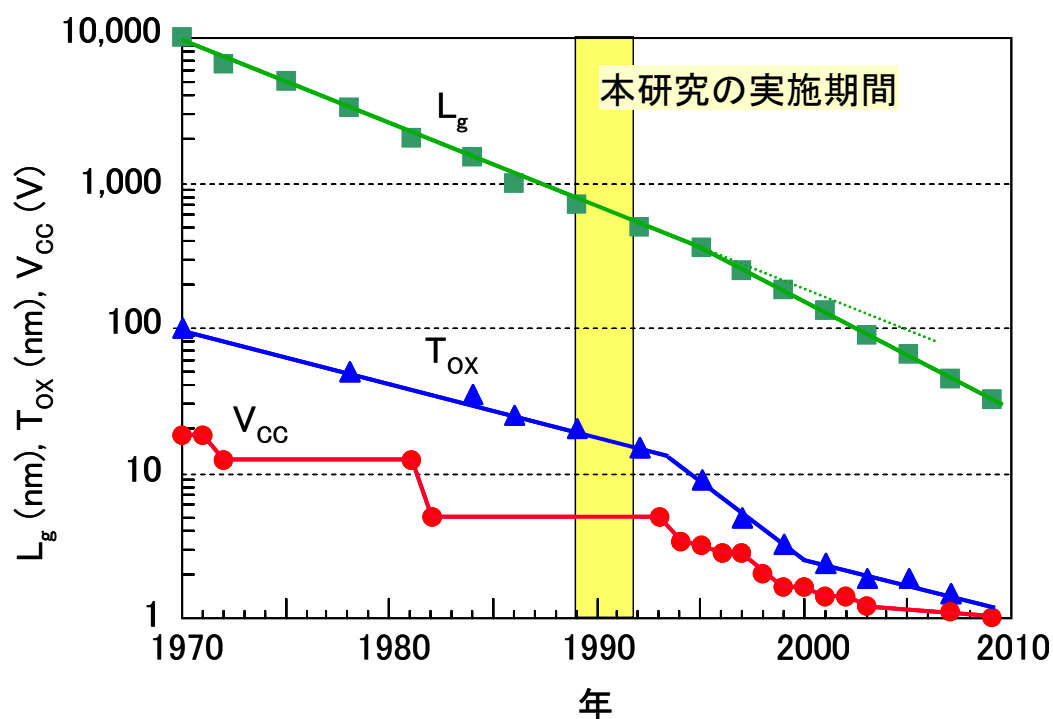


図 1.1 マイクロプロセッサの素子寸法と電源電圧の推移

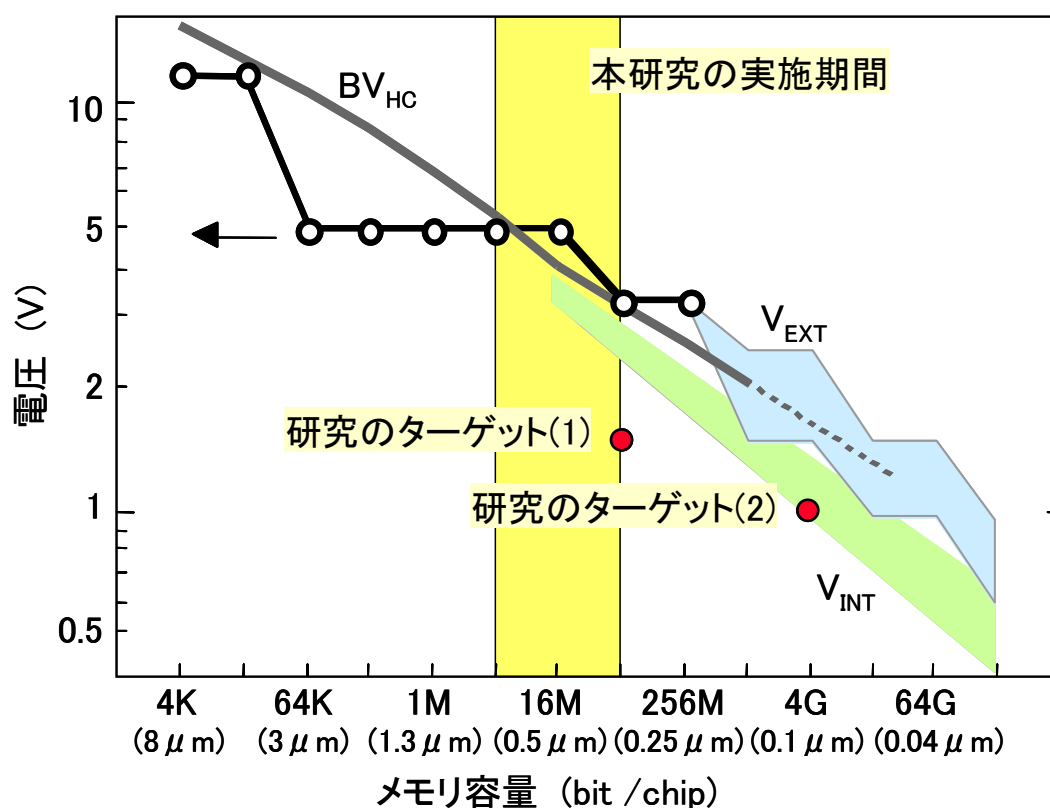


図 1.2 DRAM の電源電圧推移

(2) 低電力化(消費電力増大の抑止)

MPU に代表される論理 LSI は、1980 年代の半ばまでは E/D (Enhancement/Depletion) 型インバータや N-ch MOSFET によるダイナミック回路などの単一チャネル (N-ch or P-ch のどちらかのみ) で構成されていたが、これらは直流電流や貫通電流などの無効電力消費が大きいため、1990 年代初頭には全て無効電力をほとんど消費しない CMOS 回路に置き換わった。CMOS 論理回路では負荷容量の充放電電流以外は消費しないので、消費電力は

$$P = C_{total} V^2 f \quad (1.1)$$

で表わせる。ここで、 C_{total} は充放電容量の総和、 V は動作電圧、 f は動作周波数である。したがって、動作電圧(V)を低減する事により、2 乗分の 1 で電力が低減される。集積規模の増大による C_{total} の増加のみであれば、緩やかな電源電圧の低下でも動作電力の増

大を抑制する事は可能である。しかし、1990年代後半からはMPUの性能向上のために、パイプライン段数の増加によって動作周波数(f)も飛躍的に向上しており、電力抑制のために素子の耐圧で決まる電圧よりも電圧低下が加速しているという背景がある。電力増大の制約はMPUの方で影響が大きい、DRAMなどのメモリLSIにおいても、シンクロナスDRAM (SDRAM = Synchronous Dynamic Random Access Memory)、ダブルデータレートSDRAM (DDR SDRAM = Double Data Rate Synchronous Dynamic Random Access Memory) などの高速インタフェースの搭載や多ビット幅化によって、電力増大が問題になっている。

(3) 電池動作機器への応用拡大

1995年以降いわゆるユビキタス社会の到来によって、携帯情報機器が広く普及するようになっている。特に携帯電話は出荷台数、普及率の増大に伴い（図1.3）〔7〕、より軽く、薄く、長く（通話、待受け時間の増大）、が強く求められるようになった。より少ない電池容量で長時間動作を実現するために、携帯電話に搭載されるLSIには、消費電力の低減がより強く求められている。また、電池の放電特性を考慮して、より長く動作させるためにはLSIの動作下限電圧の低いものが求められている。

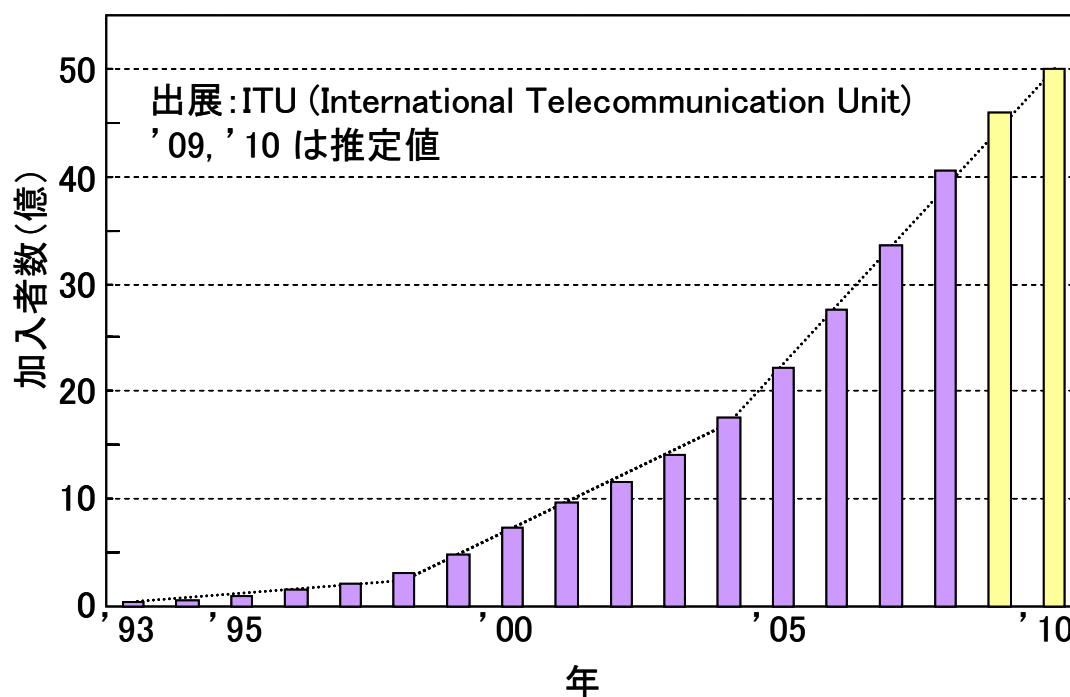


図 1.3 携帯電話加入者数の推移

図 1.4 には代表的な 2 次電池の放電特性を示している。電池の端子電圧は放電とともに減少し、残量が少なくなったところで大きく電圧が下降する。このような電池で LSI を直接駆動するようなニーズも増えてきており、そのため LSI には広い動作電圧範囲での動作、なるべく低い電圧での動作が求められるようになってきている。LSI の最低動作電圧が低いほど、長時間の使用が可能になる。最近では、NiCd 乾電池一本での動作を想定し、0.9V で動作するマイコンなども市場に出回り始めている [8]。

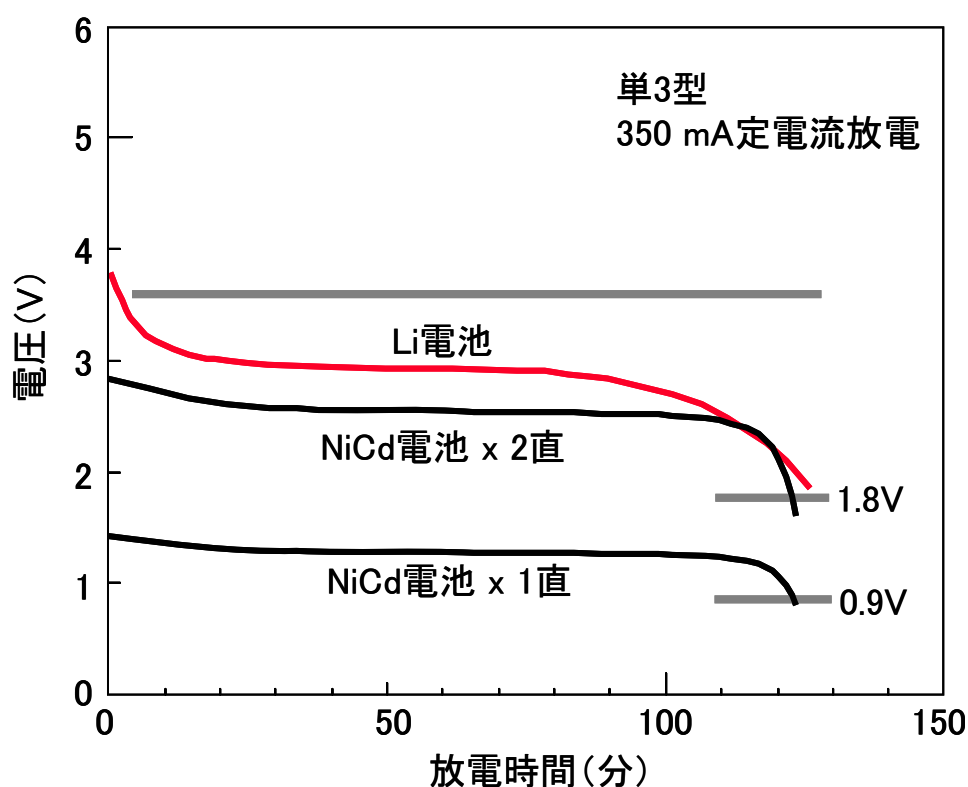


図 1.4 電池の放電特性の例

以上、(1)~(3)の背景にあるように、LSI に対する低電圧・低電力への要求は強くなる一方である。しかしながら、低電圧化するためにはいくつかの技術的な障壁を乗り越えるためのブレークスルーが求められる。次節では低電圧化するための課題を述べる。

1.2. 低電圧動作と電池動作の課題

本節では、LSI の低電圧動作、電池動作化に伴う課題について述べる。検討の対象とする LSI としては、論理 LSI とメモリ LSI、メモリ LSI は DRAM と SRAM (Static Random Access Memory) を取り上げる。論理 LSI の構成素子は CMOS インバータに代表されるので動作マージンや動作速度に関する詳細記述は省略するが、DRAM と SRAM について着目する回路を明確にするために、以下簡単に基本的な動作を説明しておく [9]。SRAM は電源を供給するのみで情報保持が可能であるが、一方 DRAM は周期的に情報保持(リフレッシュ)動作を必要とする。SRAM と DRAM を応用面で比較すると、SRAM は集積度で劣る反面、高速であるため、MPU のキャッシュメモリやシステム LSI のオンチップ RAM、情報保持の電力が小さいことや供給電圧が比較的低くても情報保持が可能であることなどから携帯機器など電池で直接動作させる機器で用いられる。一方、DRAM はメモリセル構造が単純で集積度が高いことから PC やワークステーションの主記憶として広く用いられている。

1.2.1. メモリ LSI の概要

初期の DRAM のメモリセルは 3 つのトランジスタで構成される場合もあったが、現在は集積度の最も高い 1 トランジスタ型のメモリセルが主流である。これはスイッチとして働く 1 つのトランジスタと情報を電荷の形で蓄える蓄積容量で構成される。大容量の 1 トランジスタ型のメモリセルを LSI レベルで実用化するためには、小さな占有面積の中に如何に大きな蓄積容量を実現するかというメモリセルの形成技術とともに、微小な信号を安定に読み出すための回路技術、すなわち高い信号対雑音比 (S/N 比) を実現するメモリセルアレーと信号増幅器 (センスアンプ) が必須である。以下では 1 トランジスタ型のメモリセルの構成とメモリセルアレーの設計について述べる。

図 1.5 に 1 トランジスタセルの構成を示す。1 トランジスタセルは 1 つの MOSFET と 1 つの蓄積容量から構成される。MOSFET はビット線と蓄積容量の間で電荷のやりとりを行うという意味で、転送ゲートなどとも呼ばれる。書込み時には、書込みデータに応じて V_{CC} または $0V$ をビット線に印加するとともに、選択ワード線に V_{CC} 以上の電圧 ($V_{CC} + \alpha$) を与える。ワード線に V_{CC} 以上の電圧を与えることをワードブーストと言う。

これは MOSFET のしきい値電圧ドロップによりメモリセルの蓄積電圧が V_{CC} 以下にならないようにするためである。蓄積容量に書込み情報に応じた電圧を設定した後、ワード線を $0V$ に戻して書込みが終了する。読出し時には、①ビット線を V_{CC} と $0V$ の中間電圧 V_{BP} にプリチャージし、フローティング状態にした後、②ワード線に $V_{CC} + \alpha$ を印加して、蓄積容量の電荷をビット線に流出させる。このときのビット線の電位変化量 V_S は蓄積容量 C_S とビット線容量 C_B による電荷再分配により、

$$V_S = \pm \frac{C_S}{C_B + C_S} \cdot \frac{V_{CC}}{2} \quad (1.2)$$

となる。本研究時点での一般的な DRAM の設計では C_S はおよそ $20 \sim 30 \text{fF}$ 、 C_B はおよそ $100 \sim 200 \text{fF}$ 、 V_{CC} は $2 \sim 3V$ 程度の値であるので、信号量は $150 \sim 300 \text{mV}$ 程度の値となる。この信号電圧でインバータ等のゲートを直接駆動することは難しいので、センスアンプと呼ぶ信号増幅回路で V_{CC} まで増幅した後、次段に伝達する。

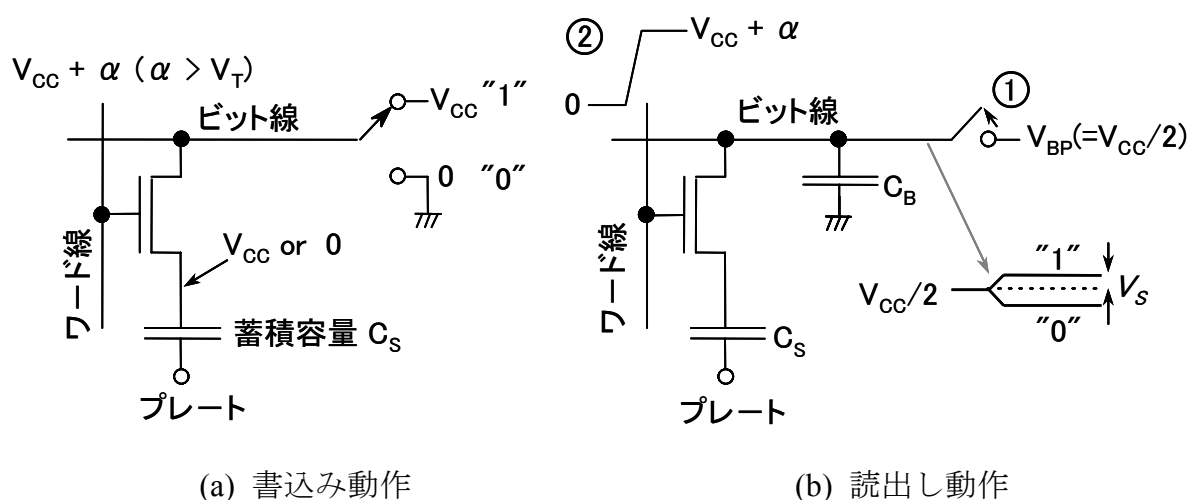


図 1.5 1 トランジスタ DRAM セルの動作

DRAM ではメモリセルを 2 次元に配列してメモリセルアレーを構成する。現在の DRAM ではほとんど 2 交点セルアレーが採用されている。これは、センスアンプをはさんで開放型に配置されていたビット線対を、隣接するように折り返して配置したものである。なおかつ、一つのワード線を選択したときに、ビット線対の一方のみメモリセルが接続されるような構成にしている。こうすることにより、センスアンプで増幅する

際にビット線対の一方は V_{CC} に、他方は V_{SS} に（あるいはこの逆に）変化するので、非選択ワード線への容量結合雑音が相殺され、雑音量を大幅に低減することができる。

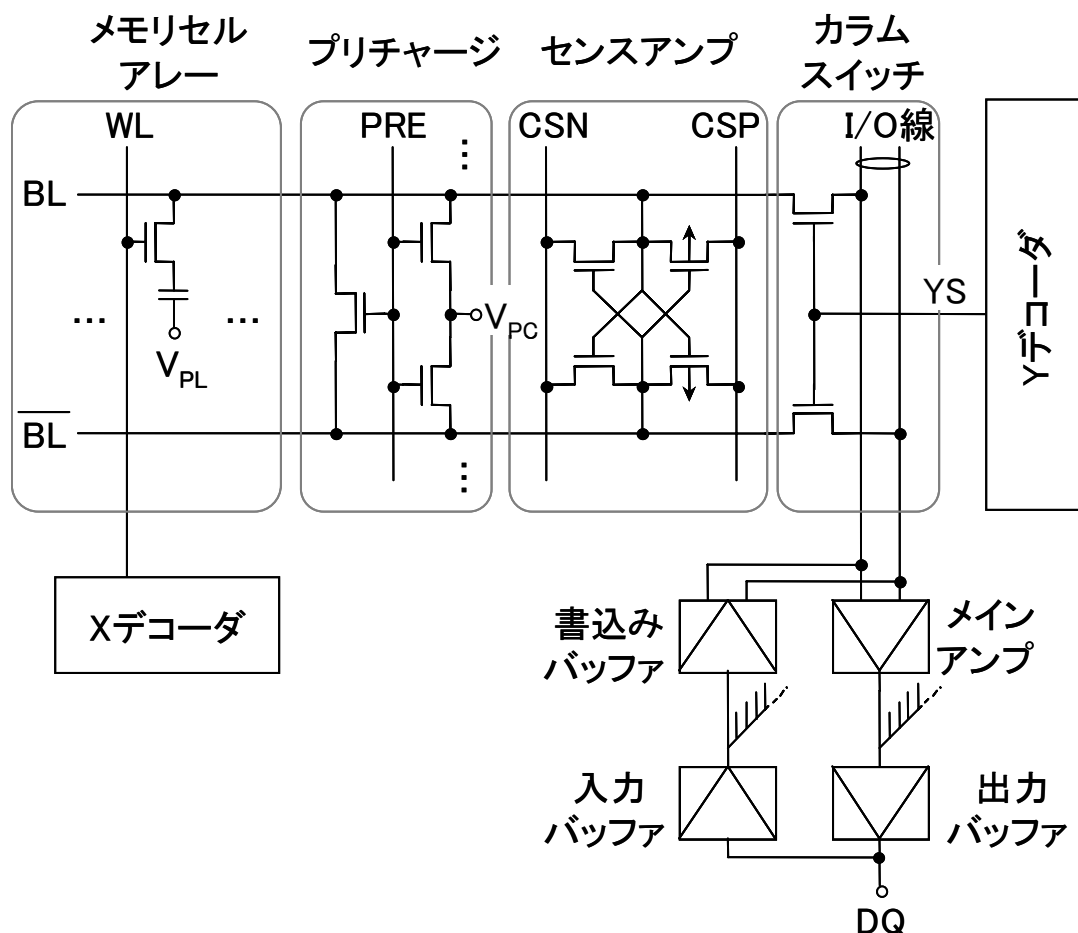


図 1.6 DRAM データ系の回路構成図

図 1.6 に DRAM の構成例、図 1.7 に動作タイミング波形を示す。メモリセルアレーは複数のワード線とビット線が直交して配されているが、メモリ容量の増大に伴って S/N 比の確保や配線の時定数の観点から、実際には小さなセルアレー（サブアレー）に多分割されるのが通例である。多数のワード線やビット線から、1 つを選択するための選択回路がデコーダと呼ばれる。ワード線を選択回路が X デコーダ（行デコーダ、ワード線デコーダなどとも呼ばれる）、ビット線を選択回路が Y デコーダ（列デコーダ、ビット線デコーダなどとも呼ばれる）である。これらのデコーダの選択信号は外部から入力されるアドレス信号をもとに生成される。次にデータの入出力関係の回路であるが、

外部からの書込みデータは入力バッファで受けた後に書込みバッファ、チップ内部の共通信号線（I/O 線）を介し、列デコーダで選択されたビット線に伝達される。一方、読み出し信号の振幅は小さいために、一旦センスアンプで増幅した後に、I/O 線に伝達され、メインアンプで増幅された後に出力バッファからチップ外部に出力される。

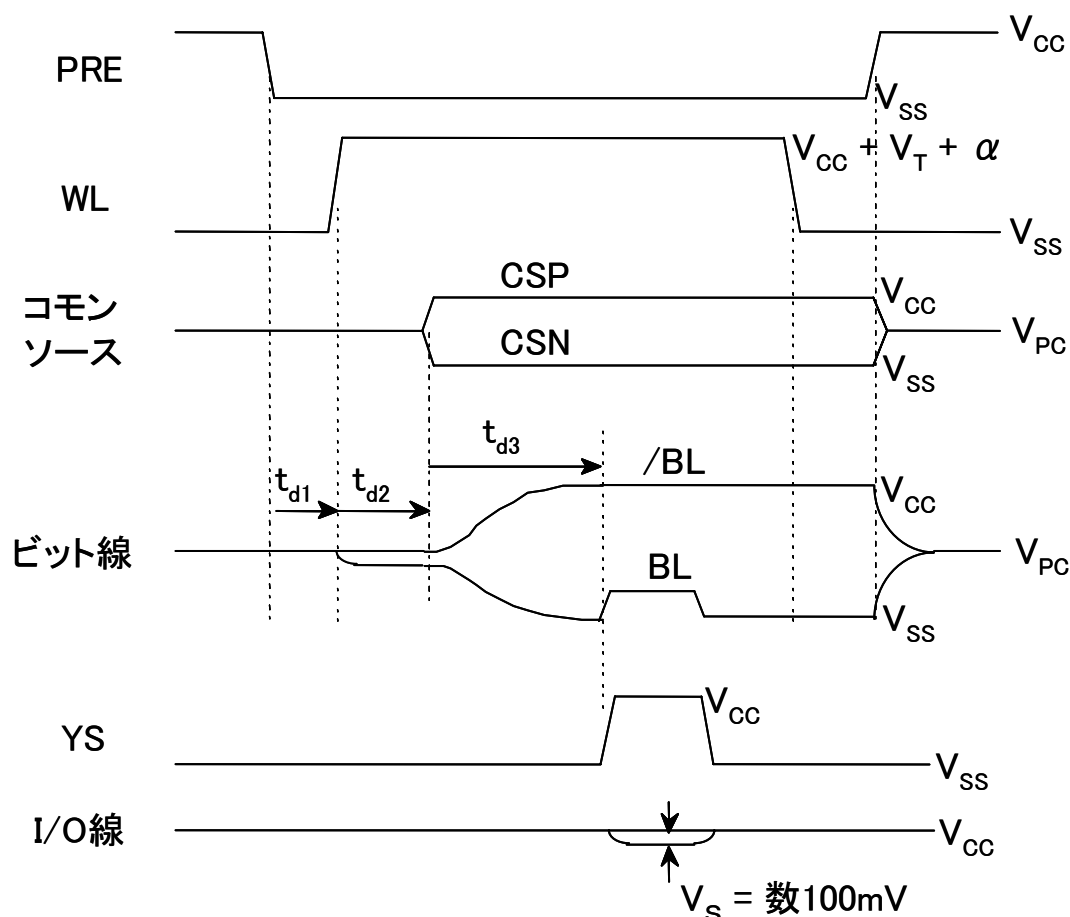


図 1.7 DRAM データ系の動作タイミング図

以下、主要な回路要素につき詳細に述べる。メモリセルアレーから読み出される信号は数 100 mV と小さいため、それを増幅するセンスアンプが各ビット線毎に設けられている。図 1.8 は DRAM で用いられるセンスアンプの構成である。センスアンプの基本構成は SRAM セルと同様、2 つのインバータであるが、それらの電源を固定せず、タイミングに応じて MOSFET で駆動することを特徴にしている。センス開始前にはセンスノードと参照ノードはイコライズ MOSFET とプリチャージ MOSFET によって V_{PC} にプリチャージされる。その後センスノードに信号 (V_S) を出力し、センスアンプの活性化信

号である SAN、SAP を印加する。これにより 2 つのインバータが活性化され、初期の信号電圧差に応じて、2 つの安定点のいずれかに増幅される。このセンス方式では元の情報が残らないため、誤まって増幅してしまうと誤動作になってしまう。したがって、タイミング・マージンを十分に確保する必要がある。図 1.7 において、 t_{d1} はプリチャージ完了後ワード線を印加するまでのマージン、 t_{d2} はワード線を活性化して信号がビット線に現れ、センスアンプを活性化するためのマージン、 t_{d3} はビット線の増幅後にカラムスイッチをオンするまでのマージンである。これらの遅延時間は、メモリセルアレイの配線遅延や回路遅延のばらつきなどを考慮し、最悪条件下でも増幅に支障無いような信号電圧を確保するように設定される。

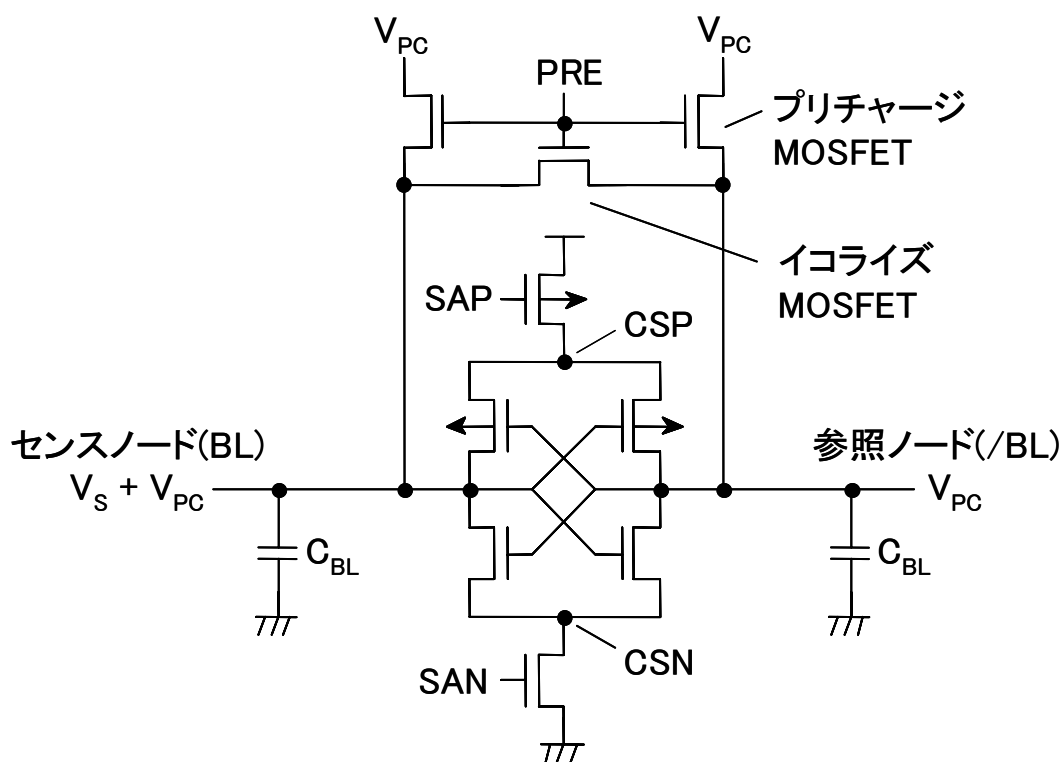


図 1.8 DRAM のセンスラッチ回路

図 1.9 はセンスアンプの増幅スピードを計算したものである。初期の信号電圧をパラメータとしている。増幅によって電圧差が増大すると正帰還が働いて増幅スピードが増大する。したがって、初期の信号電圧が大きい方が増幅スピードが大きい。また、駆動電流が大きいほど増幅スピードは大きい、増幅初期には無効な貫通電流が流れる。

DRAM などでは、初期は小さな駆動電流、ある程度振幅が大きくなったところで駆動電流を増大させることにより、無効電流を抑えながら高速化を図る工夫も用いられている。この後、読出しにおいては、I/O 線を高レベルに設定しておいてカラムスイッチを導通させる。このときに、I/O 線には I/O 線の負荷とセンスアンプの駆動電流のレシオに応じた信号電圧が出現する。この信号電圧を I/O 線に設けた増幅器（メインアンプ）で増幅して出力バッファから出力する。読出し動作が終了すると、ワード線を低レベルにし、センスアンプを非活性にすると同時にプリチャージを開始する。この一連の動作に必要な時間をサイクル時間と呼んでいる。書込み時もメモリセルアレーは読出し時とほとんど同じ動作を行う。異なるのは、I/O 線の電圧を外部の書き込みデータに応じて対の一方を低レベルに遷移させることである。I/O 線を低レベルにすることにより、ビット線の駆動能力に打ち勝って高レベルを低レベルに反転させることができる。

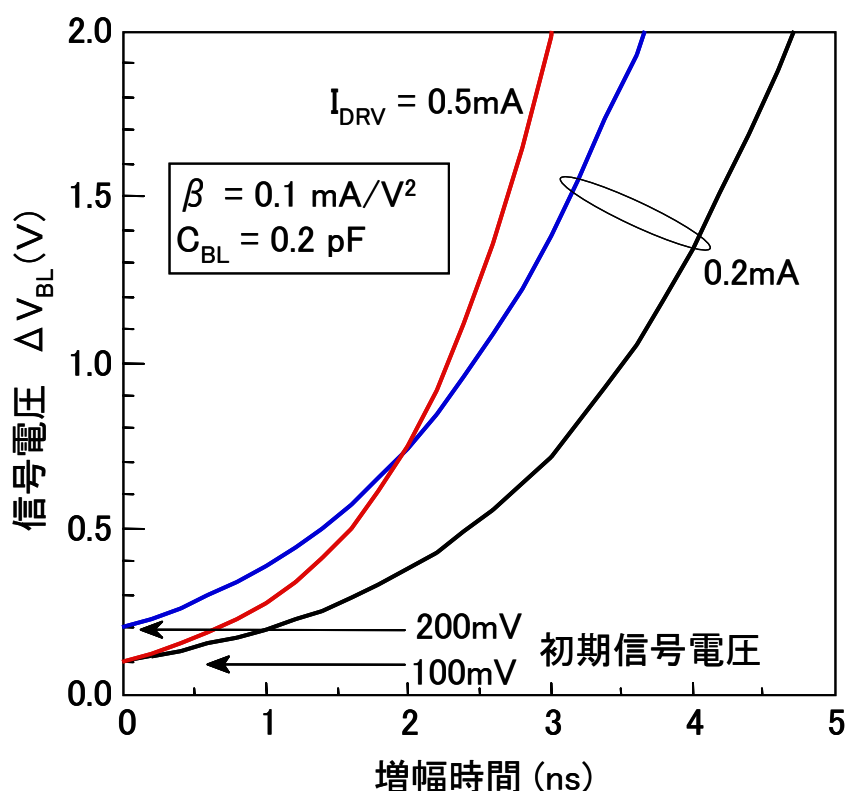


図 1.9 DRAM のセンスラッチ回路の動作速度

DRAM に代表されるメモリ LSI においては、(1)素子の微細化に伴う耐圧低下、(2)低電圧化に伴う動作マージン低下、に対処するためにチップ上に種々の内部電源回路を搭載している。(1)素子の微細化に対しては、チップ上に電圧降下回路を搭載し、微細な素子は低い電圧で動作させることで、従来の高い電源電圧での動作を保証している。図 1.10 にオンチップ降圧回路を搭載した DRAM の構成例を示す。基準電圧発生回路 (V_{REF} Gen.) はプロセス、外部電圧や温度の変動によらず安定した基準電圧を発生する回路である。 V_{INT} バッファや V_{ARY} バッファは V_{REF} をもとに周辺回路やメモリセルアレーに電圧を供給するためのバッファである。さらに DRAM では、(2)メモリセルアレー動作の安定化の為に昇圧電圧 (V_{PP})、中間電圧 $HVC(V_{ARY}/2)$ 、基板バイアス電圧 (V_{BB}) などが用いられる。これらの回路は V_{INT} をもとに作られることが多い。昇圧電圧はメモリセルの転送ゲートに加えられ、十分高いレベルをメモリセルに書込むために用いられる。また中間電圧 HVC はメモリセルのプレート電圧やビット線のプリチャージ電圧に用いられる。また V_{BB} はメモリセルの転送ゲートの基板バイアスに用いられ、短チャネル効果によるしきい値電圧の低下や基板効果の抑制に用いられる。以上が DRAM の基本構成と動作原理である。

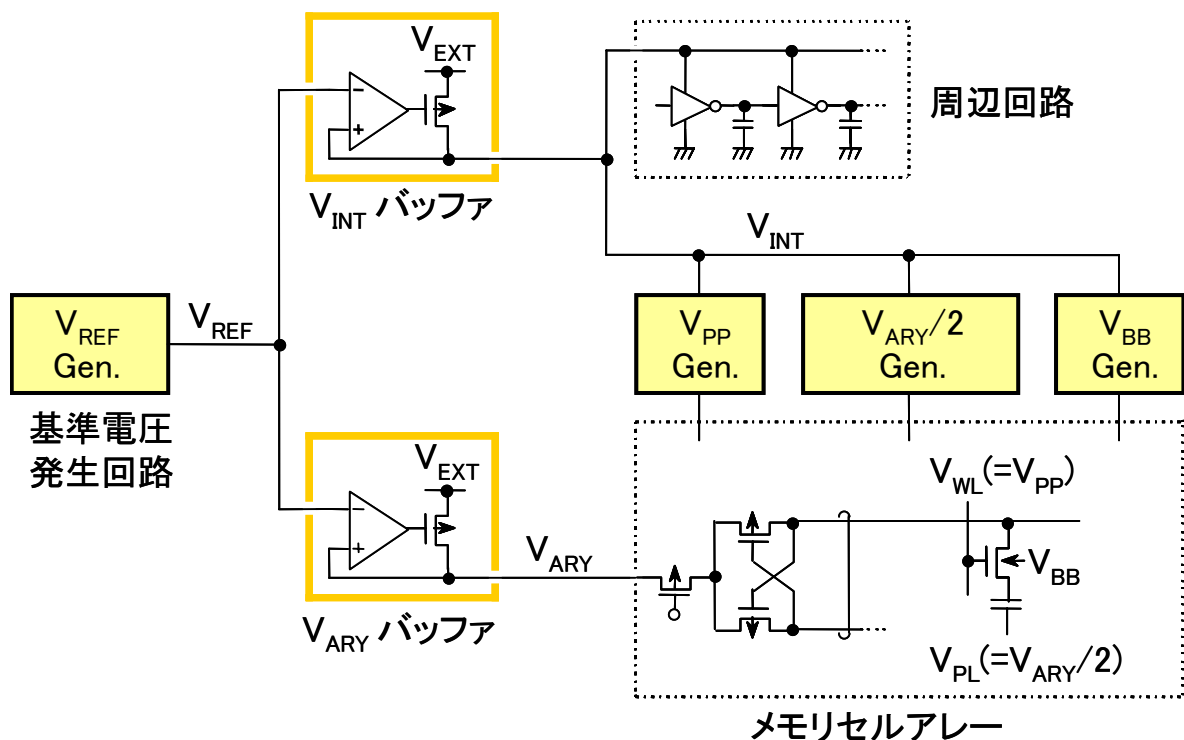


図 1.10 DRAM のオンチップ電源回路構成

次に SRAM メモリセルの基本構成を図 1.11 に示す。2 つのインバータの入出力を互いに接続することにより、対の蓄積ノード N1 と N2 の電圧が"0""1"あるいは"1""0"で安定する。2 つの安定状態が存在する為、電源を供給していれば情報保持が可能であり、Static RAM といわれる由縁でもある。蓄積された情報にアクセスするために、アクセストランジスタ MA1,MA2 をさらに設け、ワード線によってオン・オフを制御する。オンしたときには各蓄積ノードがビット線対と接続される。ビット線対の電位は読出し時には電源電圧 V_{CC} にプルアップされており、アクセストランジスタのオンに伴い、"0"蓄積側のビット線電位がより低位になることをセンスアンプで検知増幅する。SRAM セルの用途として、最近では汎用の外部メモリに加えて、MPU のキャッシュメモリやシステム LSI のオンチップ RAM としての応用が広がっている。こうした論理 LSI では低電力化が最大の課題になってきており、そのためデバイスも微細化と低電圧化が急激に進展している。SRAM セルにも 1 V 程度の低電圧下での安定動作が求められており、多少セルサイズが増大しても、低電圧動作の安定な CMOS セルが主流になっている。

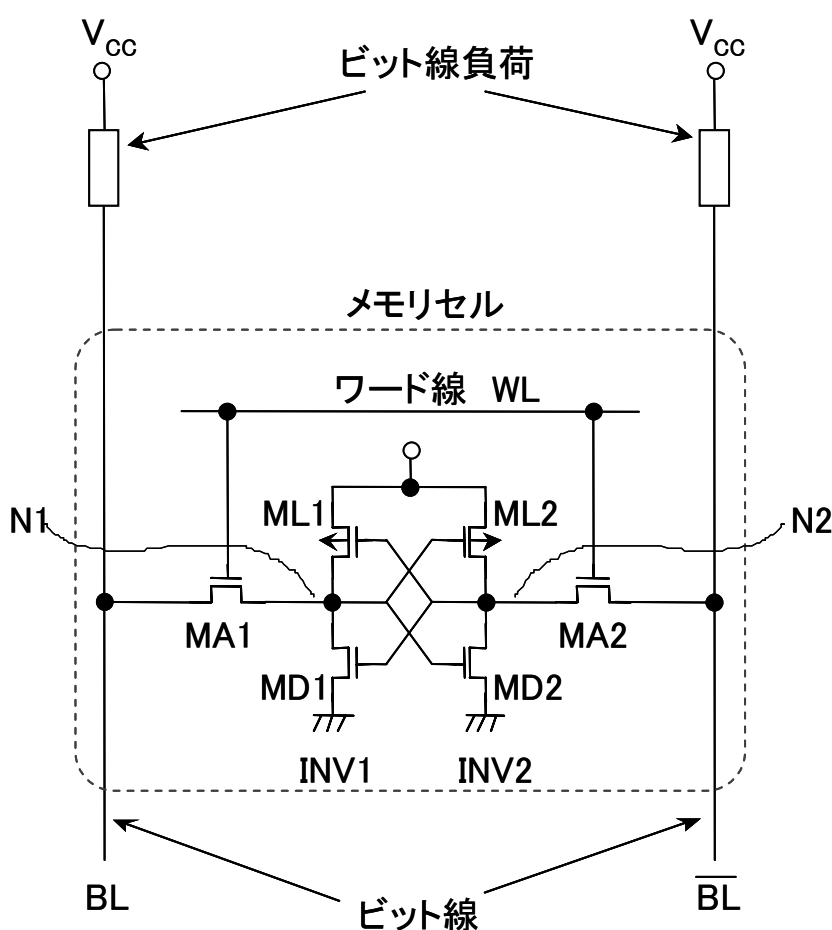


図 1.11 SRAM メモリセル回路構成

表 1.1 は課題と本研究で取り上げた範囲、そこでの提案技術を一覧にしたものである。

1. の低電圧での安定動作は、主に信号対雑音比やノイズマージンが低電圧化によって低下する事に起因する。2. 低電圧での高速動作は所謂オーバドライブ電圧（ゲート・ソース電圧からしきい値電圧を差引いた値）が低下するために、信号振幅に対する MOSFET の駆動電流が相対的に低下する事に起因する。これは回路形式に依存する部分があり、特に DRAM のセンスアンプのように増幅初期でのオーバドライブ電圧が小さい場合に顕著になる。3. 動作電圧範囲の拡大は、LSI の速度性能が電圧変化に大きく依存する事と、高い電圧での信頼性確保に関する課題である。4. リーク電流増大の抑止は、1.5 V 以下で顕著になる課題である。電源電圧を低下させたときに速度性能を維持・向上させるためには、しきい値電圧を電圧に比例して低下させる必要があるが、そうすると MOSFET の弱反転領域で流れる電流、所謂サブスレッショルド電流が指数関数的に増大する。したがって、CMOS でも定常的に流れる無効電流が無視できなくなり、低電力化の狙いとは逆に電力を増大させてしまう事になる。これらの課題について、以下詳しく述べる。

表 1.1 低電圧化の技術課題と本研究での提案技術

No.	項目	技術課題			本論分での提案技術	対応する章
		共通	DRAM	SRAM、論理LSI		
1	低電圧での安定動作	信号対雑音比の確保 (信号量の増大、雑音の低減)	セル容量の増大 外来雑音耐性の向上 (少数キャリア注入、 α 線)	SRAMセル動作マージン (Static Noise Margin)向上 α 線耐性向上	DRAMセルアレー雑音の解析 三重ウェル基板 Vthドロップ補償昇圧回路 中間電圧の高速駆動回路	2
			アレー雑音の低減 しきい電圧(Vth)ドロップの補償			
2	低電圧での高速動作	オーバドライブ電圧 (Vgs-Vth)の少ない 領域での高速化	センスアンプ高速動作	SRAMセル読出し電流の増大	センスアンプ高速化技術 (ダイナミックブースト)	2
			大容量負荷の高速信号伝送(信号検出)		相補型電流センス回路	2
			大容量負荷の高速駆動		低振幅バス回路(Sub-1V)	4
3	動作電圧範囲の拡大	性能変化を抑制した 広動作電圧範囲動作化	速度変動の抑制 高耐圧化		ユニバーサル電源回路 高耐圧回路技術	3
4	低しきい電圧化に伴う リーク電流増大の抑止	サブスレッショルド電流 増大の抑制技術	待機(情報保持)時の電流抑制 動作電流の抑制		ゲート・ソースのオフセット駆動技術	4
					電源遮断技術 しきい電圧ダイナミック可変技術 マルチしきい電圧技術	5

1.2.2. 低電圧での安定動作

素子を微細化したり、電圧を小さくしても必要な信号電圧を確保するため、高集積 DRAM では立体構造のメモリセルを用いて容量の面積を増大させている。図 1.12 にはメモリセルの信号電荷量の推移を示している[10]。1Mb 以降の世代では、立体型のメモリセルが用いられている。その一つは積層容量型メモリセルと呼ばれ、拡散層からの引き出し電極（ポリシリコン）上に蓄積容量を形成する。側壁などを利用し、拡散層の面積による制限を受けずに大きな表面積を得ることが出来る。他方は溝容量型メモリセルであり、シリコン基板に掘った溝の内壁に蓄積容量を形成する。溝内に埋めこんだプレート電極にバイアス電圧を与え、それによって生じる反転層を蓄積ノードとしている。この構造の利点は、溝の深さによって容量値を比較的自由に選択できることである。また、積層容量セルでは容量形成工程での熱処理により MOSFET の拡散層が延びてしまうのに対し、溝容量型では MOSFET 形成プロセス前に容量を形成できるため、高性能の MOSFET を作りやすいというメリットがある。一方、微細化とともに、溝のアスペクト比（溝の開口径に対する深さの比）が大きくなるため、高精度のエッチング技術が求められることになる。

DRAM のメモリセルアレイは 2 交点セル方式を用いる事により、低雑音化が可能となったが、信号電荷量の減少とともに、微細化によるビット線ピッチの縮小によるビット線間雑音の増大が S/N 比低下の要因になる。こうした問題は 16 Mb 以降の高集積 DRAM で顕著になった [11, 12]。また、外来雑音という面では、アルファ線によって電子・正孔対が誘起されることによる雑音電荷の注入の問題に加えて、入力信号が電源電圧範囲以外にオーバーシュート/アンダーシュートすることによって接合が順方向にバイアスされ、少数キャリアが発生、それがメモリセルに到達する事によって S/N 比が劣化する事が問題となる。この対策のため、高集積 DRAM では P 型基板を用いて、基板をマイナスの電圧にバイアスし、少しのアンダーシュートでも接合が順方向にバイアスされないようにしていた。しかしながら、このために微細なデバイス設計が行いにくい、接合の逆バイアスが深くなり、微細化とともに接合リークの問題が顕在化するという問題があった。

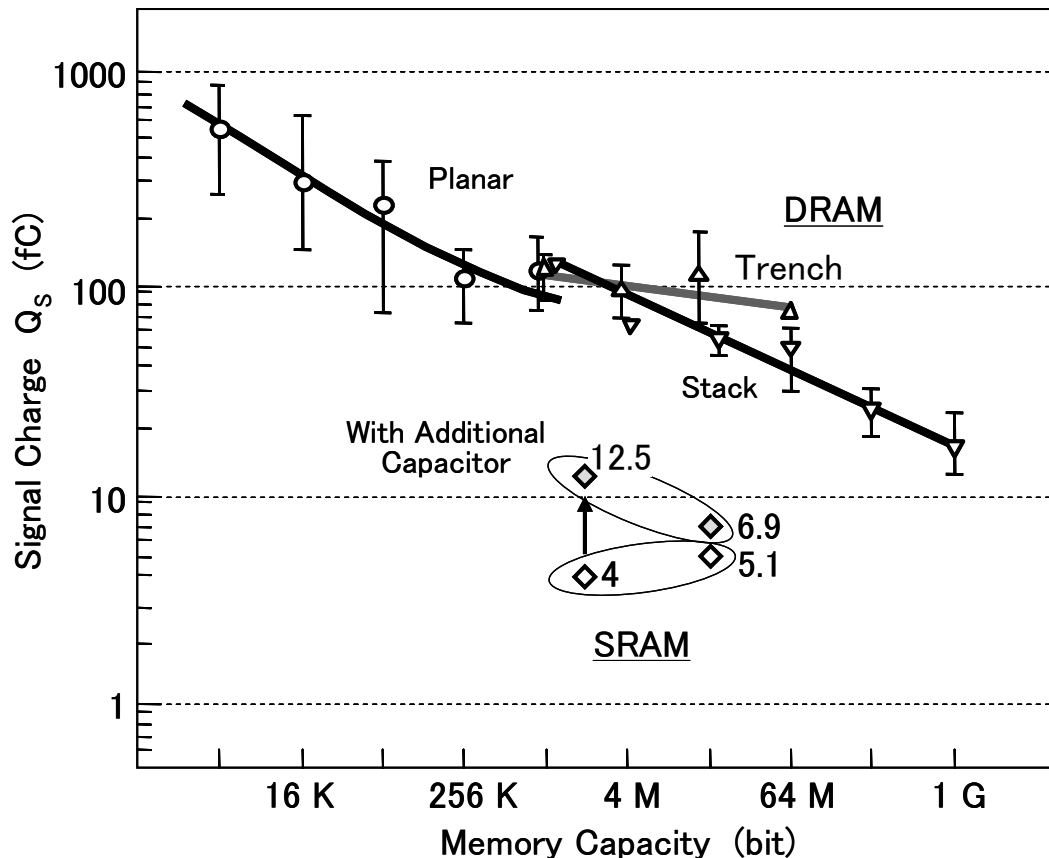


図 1.12 DRAM メモリセルの信号電荷量推移

また、DRAM の信号量を確保するという観点では、High レベルを十分に確保する事が重要である。メモリセルの転送ゲートは N-ch MOSFET であるため、選択時のゲート電圧が V_{CC} であると、メモリセルにはしきい値電圧分ドロップした電圧しか書き込む事ができない。フルに V_{CC} を書き込むためにはゲートにしきい値電圧以上の電圧を印加する必要がある。これをワード線ブーストと称する。メモリセルのしきい値電圧は以下の理由により、高集積化とともに低くする事はできない。それは、メモリセルに蓄積した電荷をリフレッシュの期間保持しないとならないため、メモリセルの転送ゲートのしきい値電圧は世代とともにスケールリングする事ができないばかりか、むしろ上昇させないとチップ全セルの情報保持ができない (図 1.13) [10]。したがって、低電圧化とともに電源電圧に対するブースト量の比率は大きくなり、高い昇圧率を実現する回路方式が必要になる。

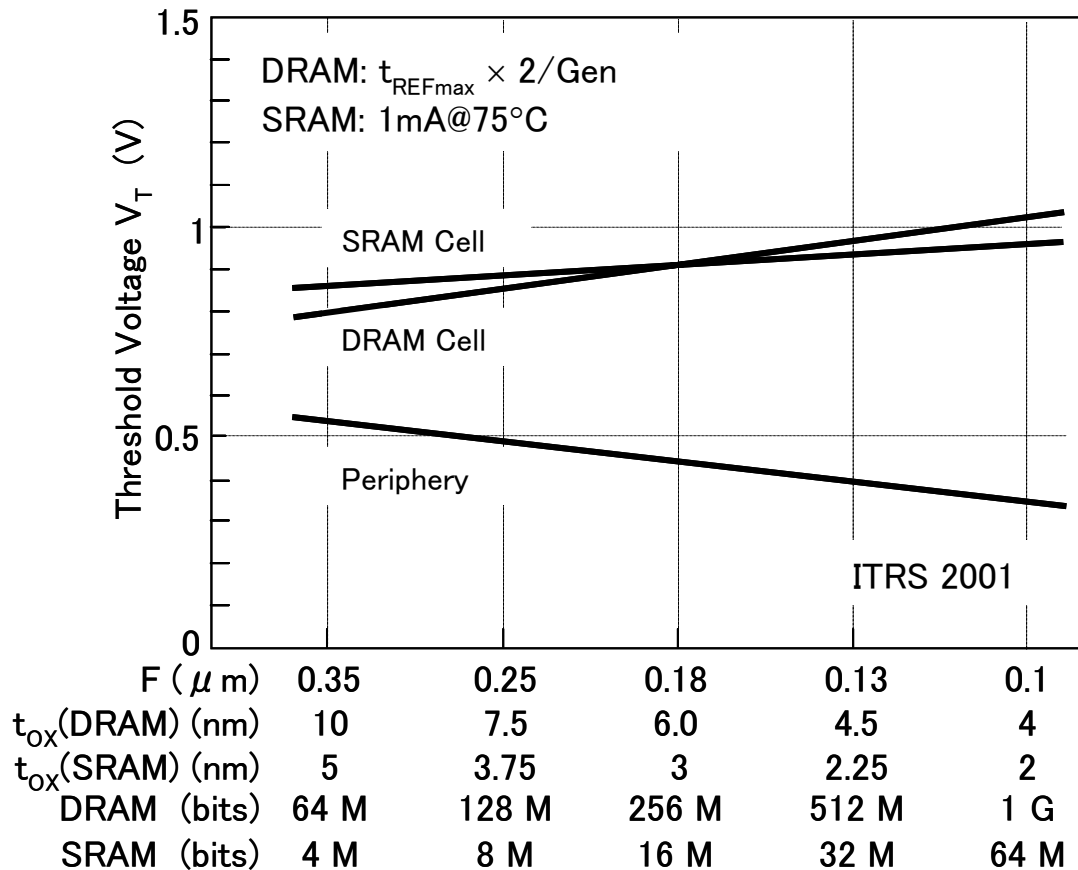


図 1.13 DRAM/SRAM メモリセルに要求されるしきい値電圧の推移

また、低電圧化とともにメモリセルの信号電圧が減少するので、蓄積容量の対向電圧であるプレート電圧の変動も低電圧化に応じて抑制する必要がある。高集積化とともに、セル容量は増大するので、プレート電圧を発生・駆動する回路には、精度と駆動能力の高さが要求される。DRAM の場合、電源投入から実際にメモリ動作に移行するまでには、ある一定の時間と空サイクルの和で決まる待ち時間が規定されており、この時間内にプレート電圧が十分に安定せずに変動が残っていると、その分が S/N 比の劣化を引き起こしてしまう。

SRAM セルの設計に際して重要なパラメータがノイズマージンである。以下、情報保持時、読出し時、書き込み時に分けてノイズマージンについて述べる。図 1.11 において INV1 の入出力特性は、入力を V_{N2} 、出力を V_{N1} として、図 1.14(a)に示すような特性になる。INV2 と INV1 とは入力と出力が入れ替わっているので、図中に示すように 45

度の線に対して線対称の特性になる。これら2つの特性が交わる点のうち安定な状態は2つ（図中の安定点Aと安定点B）ある。安定点Aから安定点Bへ、あるいは安定点Bから安定点Aへ移行するためにはバリアを越える必要がある。このバリアの高さが情報保持の安定度や耐雑音性を示す指標であり、スタティックノイズマージン(SNM)と呼ばれる [13]。具体的には図中の2つの特性に内接する最大の正方形の一辺の量がそれに相当する。SNMは一般的に V_{CC} が高いほど大きく、かつしきい値電圧 V_T が大きいほど大きい。したがって素子サイズの縮小によって電源電圧やしきい値電圧が小さくなるほどマージンが減少するため、設計上注意が必要である。

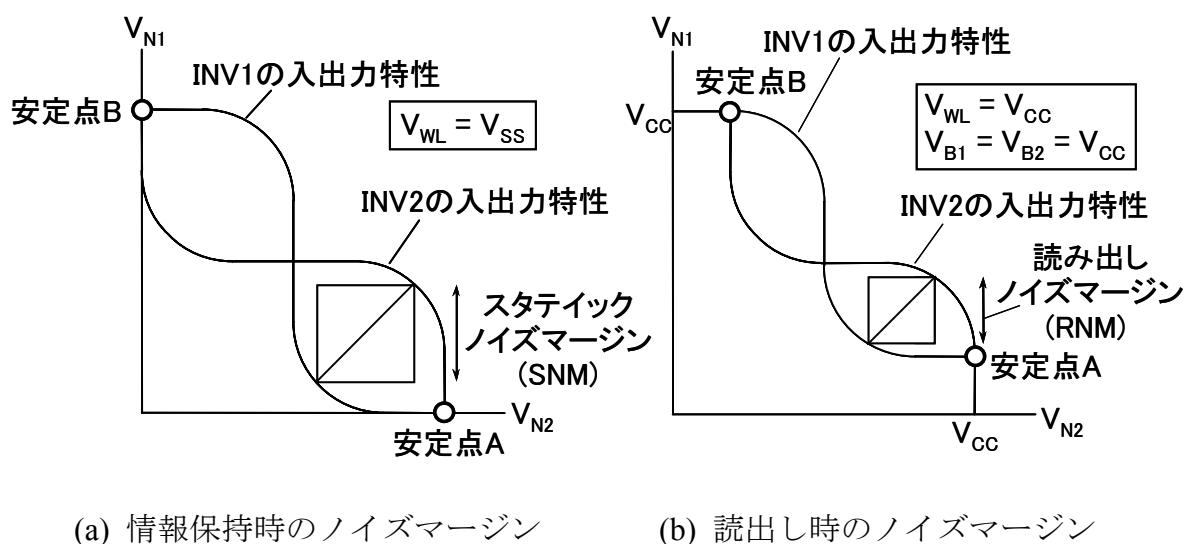


図 1.14 SRAM メモリセルのノイズマージン

実動作上は、読出しや書込み時にノイズマージンが減少するため、それを考慮した定数の最適設計が必要である。読出し時には、ビット線電圧を V_{CC} に、ワード線にも V_{CC} を印加する。この結果、図 1.14(b)に示すように、アクセストランジスタ MA1 と駆動トランジスタ MD1 が共にオンし、“0”を蓄積するノード N1 は、いわゆるレシオで決まる中間電圧まで上昇する。したがって、読出し時のノイズマージン (RNM) は情報保持時のそれに比べて小さくなる。RNM に十分な余裕が無いと、素子ばらつきやノイズの大きさ次第では情報が反転したり、不定の状態になり、安定動作が期待できなくなる。ここでノイズ源としては、トランジスタの雑音以外にも、素子バラツキや電源電圧変動なども含むことに注意が必要である。同様に書込み時についてもノイズマージン

(WNM) が定義できる。ビット線電圧 V_{B2} を V_{SS} に変化させたときに、それを打ち消すようなノイズ源 V_N を仮定する。これに打ち勝って、反転情報を書込めるかどうかを書込み易さの目安になる。図 1.15 の書き込み時の特性において、2つのインバータ曲線が離れていればいるほど、安定点 A から安定点 B に確実に移行できる。したがって WNM は大きい方が安定に書込みができる。RNM と WNM は β 比に強く依存性する。 β 比とは、駆動トランジスタの β とアクセストランジスタの β の比である。一般に、 β 比が大きい方が RNM が大きくなるが、反面 WNM があるところから急激に減少する。したがって、RNM と WNM を最大化する β 比が存在する。SRAM セルの設計時には、素子バラツキや電源電圧範囲を考慮して、RNM と WNM 共に十分な量が確保できるような β 比を選択する。

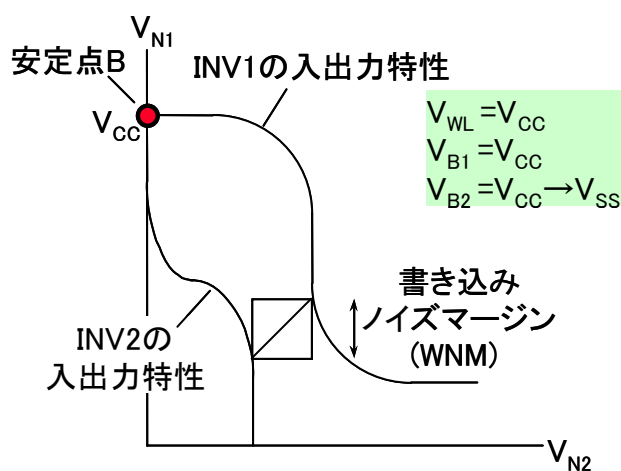


図 1.15 SRAM メモリセル書き込み時のノイズマージン

1.2.3. 低電圧での高速動作

DRAM の低電圧化に伴い、高速で動作させる事も大きな課題となる。読出し動作時においては、特に、センスアンプの動作、センスアンプの信号をメインアンプで増幅する動作、の2つが特に課題である。

センスアンプは前節で述べたように、メモリセルから読み出された微小な信号を電源電圧まで増幅するものである。その増幅速度は (1)初期の信号電圧、(2)MOSFET の β 、(3)ビット線の負荷容量、などで決まるが、低電圧化によって初期の信号電圧を大きく取

る事は難しくなるとともに、初期のビット線電圧と電源電圧の差（＝電源電圧の約 1/2）が小さくなるため、MOSFET の駆動電流も小さくなる。例えば、電源電圧=1.5V の場合、ビット線のプリチャージ電圧（初期に MOSFET のゲート・ソース間電圧）は 0.75V と、しきい値電圧を僅かに越える程度の電圧しか印加されない。したがって、通常の CMOS インバータに比べて、低電圧化の影響は顕著に現れる。

センスアンプで増幅後にメインアンプで増幅する段階では、センスアンプは SRAM セルと同様に、情報をラッチすると同時に、共通信号線（I/O 線）を駆動する役割も果たす。このときに信号線上に現れる信号振幅は、近似的には駆動電流に時間を乗じたものを信号線の負荷容量で割ったものになる。したがって信号線の容量が一定の場合、駆動電流が維持できなければ、同じ電圧振幅を得るのに要する時間は増大する事になる。素子のスケールリングによって駆動電流は小さくなるので、同じ信号振幅を得るまでの遅延時間は素子の縮小および電源電圧の低下によって増大してしまう。この状況は SRAM セルからの読出し信号を増幅するアンプにも共通する課題である。

論理 LSI やメモリ LSI に共通する課題として、チップ上の長い距離を電源電圧振幅で信号伝播する場合に、一般的なスケールリング則で期待されるような負荷容量の低減はないので速度の向上は期待できない。したがって、大容量負荷を高速駆動する事も低電圧化の課題の一つである。

1.2.4. 広い電圧範囲での動作

LSI の動作速度は、その大部分の処理機能を担う MOSFET によって決まっている。一般に、MOSFET、あるいは MOSFET により構成される複数の論理回路段の動作速度は大きな電源電圧依存性を有する。そのため、LSI の電源電圧仕様は $\pm 10\%$ 程度と小さいのが一般的である。この範囲外では、動作速度自体が大きく変わるのと同時に、内部回路間のタイミングマージンを確保する事が難しくなり、動作保証そのものが難しい。したがって、例えば電池動作で望まれるような 1.5～3.6 V といった 2 倍以上の電圧範囲に亘って安定的に、かつ大きな速度変動無く動作させる事が課題となってくる。また、動作速度の観点で最適な印加電圧と MOSFET が劣化しはじめる電圧との間に大きな余裕は無いため、広い電圧範囲の下限で性能を狙うと上限で素子特性の劣化などの信頼性上の問題を起こす。逆に広い電圧範囲の上限で性能を狙うと下限で速度性能劣化が著し

いという問題が生じる。このように、広い動作電圧範囲で、動作速度、信頼性、の両面から安定的に動作する LSI を提供することが大きな課題となる。

1.2.5. リーク電流増大抑止

電源電圧がさらに低下し、1.5 V 以下（例えば 1V 程度）になると、サブスレッショルド電流によるリーク電流の増大が顕著になる。例えば、1 Mb の SRAM セルアレーに流れる電流のしきい値電圧依存性を図 1.16 に示す [10]。この電流はメモリセルを構成する N-ch MOSFET、P-ch MOSFET のゲート・ソース間電圧が 0 V の場合にも定常的に流れるサブスレッショルド電流に起因している。例えば、情報保持電流を 50 °C で 3 μA 以下に抑えるためには、しきい値電圧 V_T の最小値を 0.65 V にする必要がある。しきい値電圧のばらつきを $\pm 0.1V$ と仮定すると、 V_T に要求される値は $0.75 V \pm 0.1 V$ となる。電源電圧 1 V で高速に動作させるためには、しきい値電圧 0.75 V では高すぎる。このリーク電流は、MOSFET の弱反転領域（いわゆるサブスレッショルド領域）で流れる電流であり、下式で表される。

$$I_{leak} \propto \exp\left(\pm \frac{V_{GS} - V_T - K(\sqrt{V_{BS} + 2\psi} - \sqrt{2\psi}) + \lambda V_{DS}}{S/\ln 10}\right) \cdot \left\{1 - \exp\left(-\frac{qV_{DS}}{kT}\right)\right\}$$

(+: NMOST, -: PMOST) (1.4)

ここで、 K は基板効果係数、 λ はドレイン誘起障壁低下係数、である。 S はサブスレッショルド係数あるいは S ファクタと呼ばれ、

$$S = \frac{kT \ln 10}{q} \times \frac{C_D + C_{ox}}{C_{ox}} \quad (1.5)$$

で表わされる。 C_D は弱反転チャネル部の対基板容量である。 S の値は 100 °C で約 100 mV/decade 程度の値である。したがって、しきい値電圧が 0.1 V 下がるとリーク電流が約 1 桁上昇してしまう。このように、リーク電流はしきい値電圧の低下に対して指数関数的に増大する事、高温で増大が顕著になることから、LSI の低電圧化にとって大きな障害になる。LSI の高速動作のためには、電源電圧の低下に比例して、しきい値電圧を

低下させる必要があるが、それによって急激にリーク電流が増大してしまう。低リークと高速動作の両立が極めて困難な課題となる。

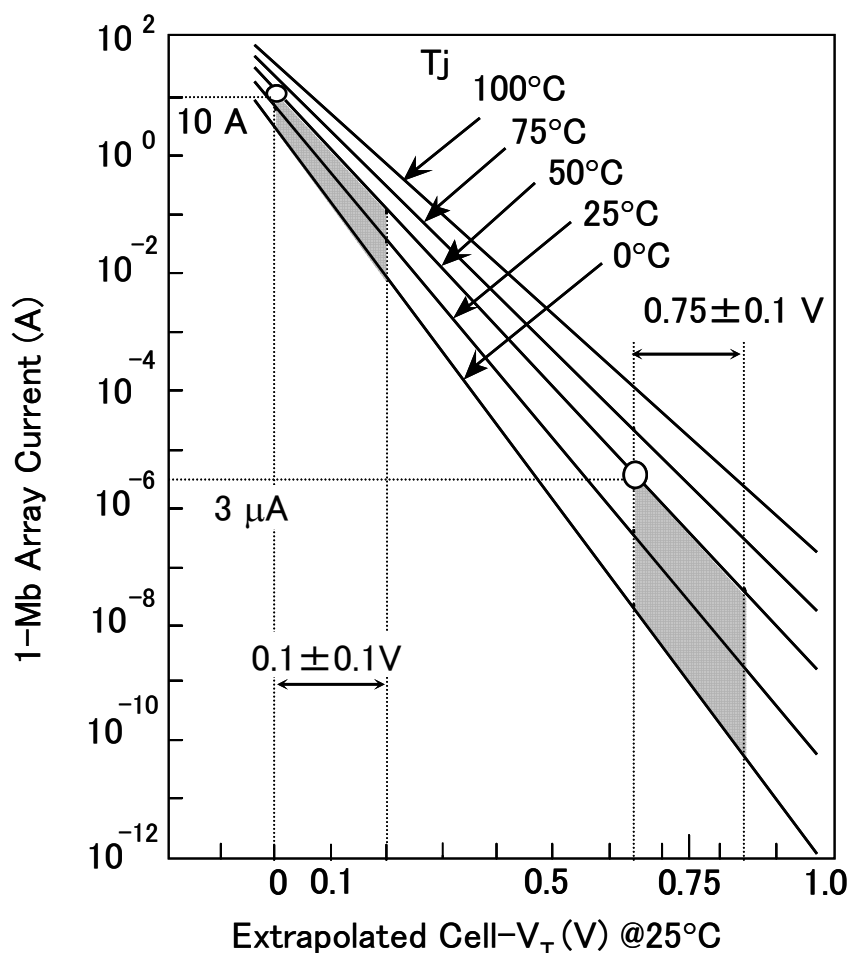


図 1.16 SRAM メモリセルアレー電流のしきい値電圧依存性

1.3. 本研究の目的と論文の構成

以上、述べた課題に対して、本研究では回路設計の側面から様々なコンセプトを提案する。(1) 低電圧での安定動作の課題に対しては、16Mb 以上の高集積 DRAM で問題となるビット線間の容量結合に起因する雑音の定量的予測を可能とする事を目的とし、雑音の定式化を行った。また、メモリセルに蓄積する信号電荷のロスを低減するために、低電圧でも昇圧比の低下を生じない昇圧電圧発生回路を提案した。さらにはプレート電圧を高精度で駆動するための中間電圧発生回路を提案する。(2) 低電圧での高速動作に関しては、DRAM のセンスアンプの動作速度を向上するための幾つかの手法を提案す

る。また、センスアンプからの信号読出し回路の高速化のために、大きな容量を有する信号線を大きな電圧振幅で駆動せずに高速伝送するための電流センス方式、とりわけ低電圧での動作に適した相補型電流センス回路を提案する。また、小さな電圧振幅でもバス配線上の信号伝播を高速化できる低振幅バス回路方式を提案する。(3) 動作電圧範囲の拡大に関しては、広い電源電圧範囲で速度変動を抑制するためのユニバーサル電源回路方式を提案する。また、微細な素子を用いながら高耐圧化を実現するために、高耐圧回路方式を提案する。(4) サブスレッシュルド電流によるリーク電流増大の問題に対しては、マルチ V_T 技術、待機時の電流削減を可能とする電源遮断技術、しきい値電圧のダイナミック可変技術を提案する。

以下、第2章では1.5V 64Mb DRAMを設計の例題として、(1) 低電圧での安定動作、(2) 低電圧での高速動作のために提案した基本概念を検証する。その結果、1.5 Vでもアクセス時間 50 nsと従来の電源電圧である3 Vとほぼ同等の速度性能を達成できる事を示す。また、実際に64 Mb DRAMを試作し、実験的に検証した結果を報告する。第3章では1.5~3.6 Vという広い動作電圧範囲で動作する64 Mb DRAMを設計し、広い動作電圧範囲にわたって高速アクセス時間と高い電源電圧下でも素子に印加される電圧を低減し、高信頼のLSIを実現するための回路方式を提案する。また、実際に64 Mb DRAMを試作し、実験的に検証した結果を報告する。第4章ではさらなる低電圧化に向けた一つの実験的な取り組みとして、信号線（バス）の振幅を1 V以下とするための低振幅バス方式を提案する。また、実験的に検証するために試作チップを設計・試作し、評価を行ったので、その結果を報告する。第5章ではサブスレッシュルド電流によるリーク電流増大に対処するための幾つかの重要なコンセプトを提案する。これらは、マルチ V_T 技術、電源遮断技術、しきい値電圧のダイナミック可変技術、などであり、最新の大規模・低電力 SoC (System On Chip)を実現するために不可欠の技術となっている。第6章では本研究で得られた成果について纏めるとともに、今後の低電圧化に向けて残された課題と、今後の展望について述べる。

第 1 章の参考文献

- [1] G. E. Moore, “No Exponential is Forever: But “Forever” Can Be Delayed !,” 2003 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.20-23 (Feb. 2003).
- [2] K. Itoh, Y. Nakagome, S. Kimura, and T. Watanabe, “Limitations and challenges of multigigabit DRAM chip design,” IEEE J. Solid-State Circuits, vol.32, no.5, pp.624-634 (May 1997). (Invited Paper)
- [3] E. Takeda, Y. Nakagome, H. Kume, and S. Asai, “New hot-carrier injection and device degradation in submicron MOSFETs,” IEE Proc., vol.130, Pt.I, no.3, pp.144-150 (June 1983).
- [4] Y. Nakagome, E. Takeda, H. Kume, and S. Asai, “New observation of hot-carrier injection phenomena, ” The 14th Conf. (1982 International) on Solid State Devices, Proceedings, pp.99-102 (Aug. 1982).
- [5] M. Horiguchi, M. Aoki, H. Tanaka, J. Etoh, Y. Nakagome, S. Ikenaga, Y. Kawamoto, and K. Itoh, “Dual-operating-voltage scheme for a single 5-V 16-Mbit DRAM,” IEEE J. Solid-State Circuits, vol.23, no.5, pp.1128-1132 (Oct. 1988).
- [6] 田中 均, 青木 正和, 衛藤 潤, 堀口 真志, 伊藤 清男, 梶谷 一彦, 松本 哲郎, “ミラー補償による高集積 DRAM 用電圧リミッタ回路の安定化,” 電子情報通信学会論文誌 C-II 分冊, vol.J75-C-II, no.8, pp.425-433 (1992-8).
- [7] ITU (International Telecommunication Union) 統計
(URL = <http://www.itu.int/ITU-D/ict/statistics/index.html>).
- [8] 例えば Silicon Labs 社製品 “C8051F90x-91x Ultra Low-Power MCUs
(URL=<https://www.silabs.com/products/mcu/lowpower/Pages/C8051F90x-91x.aspx>)
”など.
- [9] 伊藤清男, “超 LSI メモリ,” 培風館.
- [10] Y. Nakagome, M. Horiguchi, T. Kawahara, and K. Itoh, “Review and future prospects of low-voltage RAM circuits,” IBM J. Res. & Dev., vol.47, no.5/6, pp.525-552 (September/November 2003). (Invited Paper)
- [11] M. Aoki, Y. Nakagome, M. Horiguchi, H. Tanaka, S. Ikenaga, J. Etoh, Y. Kawamoto, S. Kimura, E. Takeda, H. Sunami, and K. Itoh, “A 60-ns 16-Mbit CMOS DRAM with a transposed data-line structure,” IEEE J. Solid-State Circuits, vol.23, no.5, pp.1113-1119 (Oct. 1988).

- [12] Y. Nakagome, M. Aoki, S. Ikenaga, M. Horiguchi, S. Kimura, Y. Kawamoto, and K. Itoh, "The impact of data-line interference noise on DRAM scaling," IEEE J. Solid-State Circuits, vol.23, no.5, pp.1120-1127 (Oct. 1988)
- [13] E. Seevinck, F. J. List, and J. Lohstroh, "Static-Noise Margin Analysis of MOS SRAM Cells," IEEE Journal of Solid-State Circuits, vol.SC-22, No.5, pp.748-754 (Oct. 1987).

2. 1.5 V DRAM 回路技術の開発

2.1. まえがき

本章では 1.5 V 64Mb DRAM を設計の例題として、(1) 低電圧での安定動作、(2) 低電圧での高速動作のための回路方式を提案し、それを実験的に検証する。ここで用いた回路パラメータは 0.3 ミクロンを仮定しているが、回路技術の面では他のプロセスノードについても同様に適用可能である。最初に、DRAM セルアレーの高集積化に伴って問題となるセルアレーの雑音、特にビット線間の干渉雑音を取り上げ、その解析結果を示す。また、その結果をもとに、64 Mb 以降の高集積 DRAM セルアレーの低雑音化に有効な手法を提案する。次に、2.3 節ではメモリセルの動作マージン向上のための幾つかの手法を提案する。2.4 節では 1.5 V という低電圧でも高速動作を可能とする回路技術として、特に読み出しパスの高速化に着目し、センスアンプとメインアンプの高速化技術を提案する。最後に、2.5 節では、これらの技術を用いた 1.5 V 64 Mb DRAM を実際に試作し動作検証を行ったので、その結果について報告する。

2.2. DRAM セルアレー雑音の解析と低減技術

DRAM セルからの読出し信号 V_s は式 1.2 に示したように、

$$V_s = \pm \frac{C_s}{C_B + C_s} \cdot \frac{V_{cc}}{2} \quad (2.1)$$

と表される。ここで、 V_{cc} :電源電圧 (=ビット線の振幅)、 C_s :メモリセルの蓄積容量、 C_B :ビット線容量、である。ビット線容量は、対向する各種電極、すなわち、交差するワード線、隣接するビット線、プレート、基板、などとの間の各容量の和になる。このうち、隣接するビット線容量の成分は高集積化に伴って比率が増大する事が解析や実験により明らかになっており、16 Mb 級の DRAM ではビット線間容量がトータルのビット線容量の 10 % 以上にもなると報告されている [1]。ビット線容量に占めるビット線間容量の比率が増大すると、隣接するビット線の電圧変化によって自らのビット線の電圧

が変調を受けるようになるため、信号振幅がデータパターン依存性を持つようになる。この影響を解析的に把握し、影響が大きい場合には低減する方策を導入する必要がある。今回、この雑音量がセンスアンプの起動によって増大する機構があることを見出した。これは多数のセンスアンプを同時に活性化しても、信号量が相対的に少ないビット線の活性化タイミングが遅延する事に起因する。以下、このビット線間干渉雑音の解析結果と実験的に試作したメモリセルアレーによる検証結果について報告する [2]。

2.2.1. ビット線間干渉雑音の解析と実験的検証

先にも述べたように、ビット線容量は、対向する各種電極、すなわち、交差するワード線、隣接するビット線、プレート、基板、などとの間の各容量の和になる。ここでは、**図 2.1(a)**に示すように、隣接するビット線との間（ビット線対間）の容量 C_m 、ビット線対内の容量 C_i 、それ以外の容量 C_0 、の和で表されると仮定する。すなわち、

$$C_B = C_0 + C_i + C_m \quad (2.2)$$

となる。センス増幅動作の期間中にビット線間容量がどのように影響するかを**図 2.1**で説明する。ワード線を立ち上げると、メモリセルからビット線に信号電荷が読み出される。例えば、BL(i)というビット線に着目すると、その対となる/ $BL(i)$ はBL(i-1)と隣接しているので、BL(i-1)に読みだされる信号によって**図 2.1(b)**に示すように変調される。その後、センスアンプ (SA) が起動されると、各ビット線の電圧はフルの電源電圧まで増幅されるが、後述するようにビット線の信号電圧が同一でなく、一部のビット線の信号電圧が小さい場合には、そのビット線の増幅が遅延し、その間に隣接ビット線の電圧変化によって信号電圧が減少する。**図 2.1(c)**ではBL(i)の信号が他のビット線のそれよりも小さく、時間 t_d の間に信号量が減少している様子を示している。ここでは、信号量を解析的に求めるために、**図 2.2(a)**のようにビット線対を2組でBL(i)、/ $BL(i)$ が信号の小さな（ノイズを受ける）ビット線対、BL(n)、/ $BL(n)$ がフルの信号振幅を読み出す（ノイズ源となる）ビット線対、であるとする。センスアンプ起動前にBL(i)と/ $BL(i)$ 間に現れる信号電圧は以下で表される。

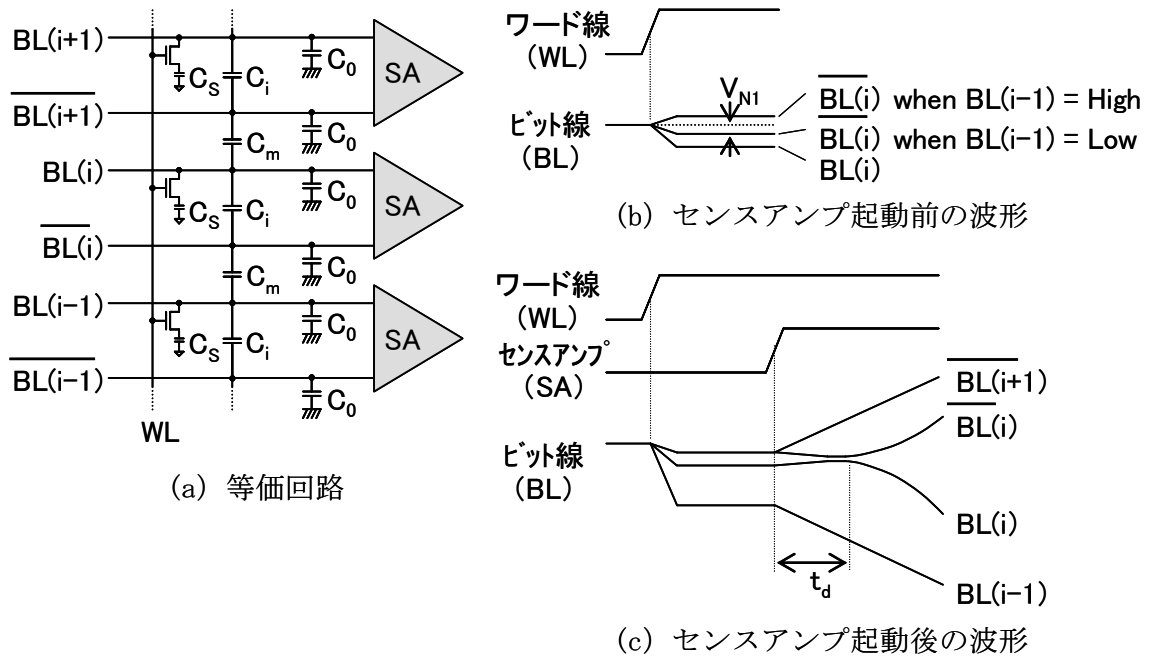


図 2.1 ビット線間干渉雑音の発生機構

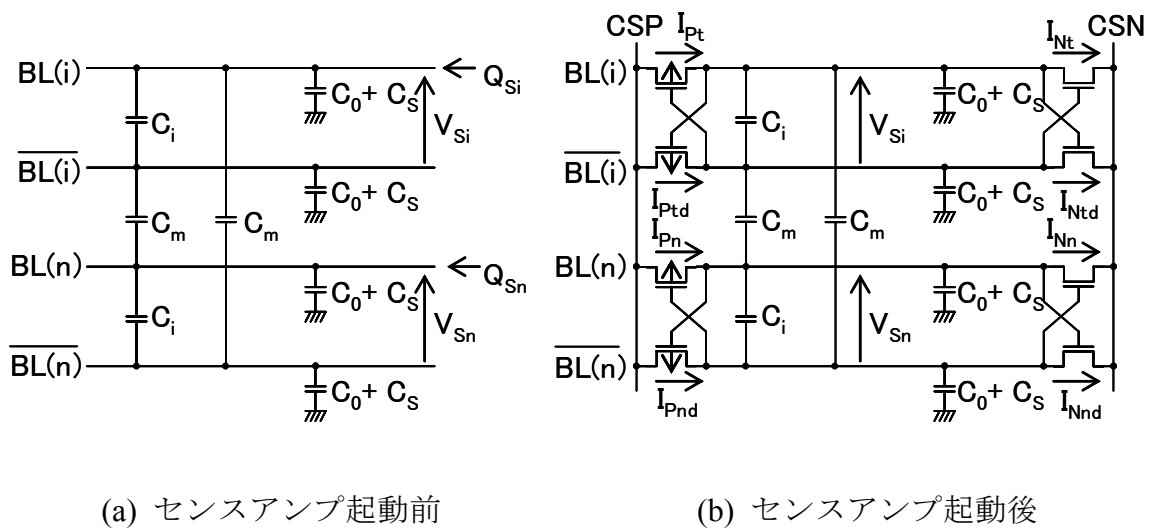


図 2.2 ビット線間干渉雑音の解析モデル

$$V_s = \frac{1}{C_B + C_S} \times \frac{(1 + \eta_i)Q_{Si} - \eta_m Q_{Sn}}{(1 + \eta_i)^2 - \eta_m^2} \quad (2.3)$$

ここで、 Q_{Si} , Q_{Sn} はそれぞれ BL(i)対、BL(n)対に読み出される信号電荷量、 η_i , η_m は全ビット線容量に占めるビット線対間、およびビット線対内容量の比で、

$$\eta_i = \frac{C_i}{C_B + C_S} \quad (2.4)$$

$$\eta_m = \frac{C_m}{C_B + C_S} \quad (2.5)$$

と表される。したがって、隣接するビット線対の読み出しデータの影響で変調される信号電圧成分、すなわちノイズ電圧成分は、

$$V_n = \frac{\eta_m}{(1 + \eta_i)^2 - \eta_m^2} \times \frac{Q_s}{C_B + C_S} \quad (2.6)$$

と表される。雑音が全てこの成分に起因すると仮定したときの信号対雑音比は、

$$\left(\frac{N}{S} \right)_1 = \frac{\eta_m}{1 + \eta_i} \quad (2.7)$$

と表される。 η_i が 1 より小さく無視できるとすると、センスアンプ起動前の信号対雑音比はほぼ η_m に等しくなる。例えば、 η_m が 10 % であれば、信号対雑音比も 10 % 程度劣化する事になる。

次に、センスアンプ起動後の雑音について解析を行った結果を示す。図 2.2(b) で示される回路で、起動前と同様に BL(i) が雑音を受けるビット線、BL(n) が雑音源となるビット線であるとする。ここでは簡単のために、センスアンプは CMOS 型で各 MOSFET の特性は同一 (N-ch と P-ch は対称特性) であると仮定する。センスアンプによる増幅動作を考える際に、その駆動インピーダンスが重要である。ここでは、駆動インピーダンスが無限大すなわち電流源で駆動する場合と、駆動インピーダンスがゼロすなわち電圧

源で駆動する場合、2つの場合について解析を行った。実際の DRAM ではこれら 2つの中間になる。例えば、セルアレーの中で駆動源に近いところでは電圧源駆動に近く、駆動源から離れたところでは電流源駆動に近くなる。図 2.3 は各駆動方法の場合のビット線波形を模式的に示したものである。最初全ての SA が非活性でコモンソース CSP/CSN の電位差が拡大していき、一部活性化した SA を通してビット線への充放電が開始する。大きな信号電圧の現れる BL(n) が大多数のビット線を代表するとすると、電流源駆動の場合には、大きな信号電圧の現れる BL(n) を定電流で駆動するようにセンスアンプを構成する MOSFET のゲート・ソース間電圧がバイアスされる事になる。したがって、駆動端（コモンソース）CSN、CSP の電圧は MOSFET が飽和領域で動作する間はビット線の電圧変化に追従して変化する。ある程度振幅が大きくなると、MOSFET が線形領域に入るため、その後はビット線の電圧に漸近するような軌跡を取る。ここで重要なのは、駆動端（コモンソース）の電圧が駆動方向とは逆方向（例えば N-ch MOSFET に対しては V_{SS} 方向とは逆の V_{CC} 方向）に駆動される期間が存在する事である。この期間、初期の信号電圧の小さなビット線に対しては、MOSFET のゲート・ソース間電圧が十分確保できないため、信号増幅がほとんど行われない期間が存在する事になる。したがって、その期間は隣接ビット線対の増幅動作を容量結合によって受ける事になり、センスアンプ起動前の容量結合で予測される以上の雑音になる。一方の電圧源駆動の場合、駆動端（コモンソース）の電圧は駆動方向に単調に変化するので、着目ビット線対が増幅されずに放置される期間は電流源駆動に対しては相対的に減少する。

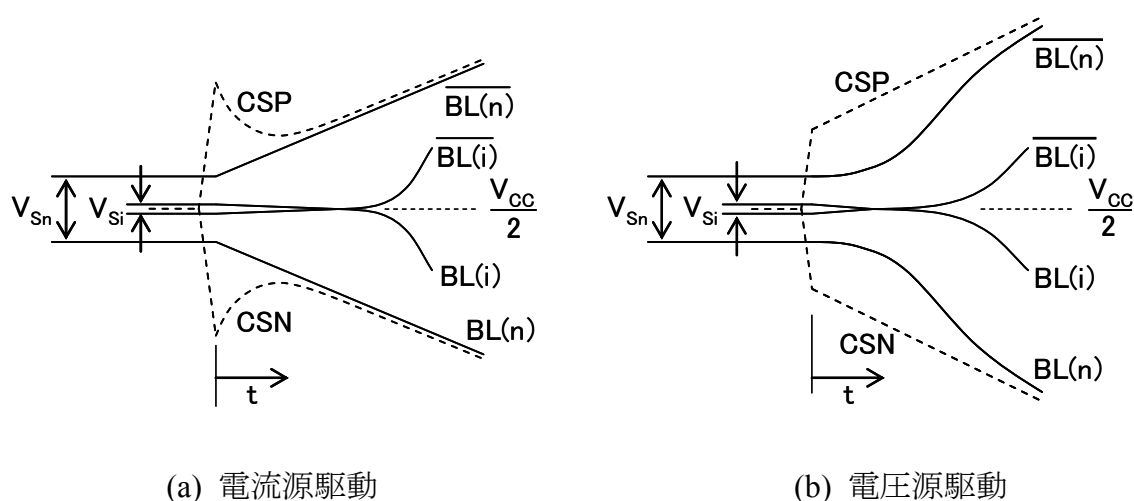


図 2.3 センスアンプ起動時のビット線波形の模式図

解析式の導出過程は参考文献 [2]を参照されたい。電流源駆動の場合のビット線電圧の時間変化は、飽和領域では

$$\frac{dV_{Si}(t)}{dt} \approx 2\gamma_1\beta \left[-\frac{V_{Sn}(0)}{2} - \gamma_1 I_d \times t + \sqrt{\frac{2I_d}{\beta}} \right] V_{Si}(t) - 2\gamma_2 I_d \quad (2.8)$$

$$\frac{dV_{Sn}(t)}{dt} \approx 2\gamma_1 I_d \quad (2.9)$$

と表される。ここで、 $V_{Sn}(0)$ は BL(n)対の初期信号電圧、 β は MOSFET の電流特性式の β 、 I_d はビット線あたりの駆動電流である。また、 γ_1 、 γ_2 は以下の式で表される。

$$\gamma_1 = \frac{1}{C_B + C_S} \times \left(1 - \frac{C_i}{C_B + C_S} \right) \quad (2.10)$$

$$\gamma_2 = \frac{C_m}{(C_B + C_S)^2} \quad (2.11)$$

同様に、線形領域では、

$$\frac{dV_{Si}(t)}{dt} \approx 2\gamma_1\beta \left[-\frac{V_{Sn}(0)}{2} - \gamma_1 I_d \times t + \sqrt{\frac{2I_d}{\beta} + (V_T - V_{Sn}(0) - 2\gamma_1 I_d \times t)^2} \right] V_{Si}(t) - 2\gamma_2 I_d \quad (2.12)$$

$$\frac{dV_{Sn}(t)}{dt} \approx 2\gamma_1 I_d \quad (2.13)$$

と表される。電圧源駆動の場合、飽和領域では、

$$\frac{dV_{Si}(t)}{dt} \approx 2K\gamma_1\beta(t - t_d)V_{Si}(t) - \gamma_2\beta \left[Kt + \frac{V_{Sn}(t) - V_{Sn}(0)}{2} \right]^2 \quad (2.14)$$

$$\frac{dV_{sn}(t)}{dt} \approx \gamma_1 \beta \left[Kt + \frac{V_{sn}(t) - V_{sn}(0)}{2} \right]^2 \quad (2.15)$$

と現される。ここで、 K は駆動端の電圧変化率、 t_d は増幅遅延時間で、

$$t_d = \frac{V_{sn}(0) - V_{si}(0)}{2K} \quad (2.16)$$

と表される。同様に線形領域では、

$$\begin{aligned} \frac{dV_{si}(t)}{dt} \approx & 2K\gamma_1\beta(t - t_d)V_{si}(t) - \gamma_2\beta \left[Kt + V_T - \frac{V_{sn}(t) + V_{sn}(0)}{2} \right] \\ & \times \left[Kt - V_T + \frac{3V_{sn}(t) - V_{sn}(0)}{2} \right] \end{aligned} \quad (2.17)$$

$$\begin{aligned} \frac{dV_{sn}(t)}{dt} \approx & \gamma_1\beta \left[Kt + V_T - \frac{V_{sn}(t) + V_{sn}(0)}{2} \right] \\ & \times \left[Kt - V_T + \frac{3V_{sn}(t) - V_{sn}(0)}{2} \right] \end{aligned} \quad (2.18)$$

と表される。これらの解析式に基づいて、センスアンプ起動後の信号電圧の変化に着目するビット線対の初期信号電圧をパラメータとしてプロットした結果を示す。**図 2.4** は電流源駆動の場合、**図 2.5** は電圧源駆動の場合である。条件は図中に示したとおりである。電流源駆動の場合には、起動直後に増幅されかけているものの、その後 5 ns 程度の間は増幅されずに隣接ビット線対からの結合により信号量が減少しているのが分かる。**図 2.4(a)** の $\eta_m = 3\%$ の例では、初期信号電圧が 18 mV 以下で誤動作に至っている。電圧源駆動の場合、隣接するビット線対からの結合を受ける期間は短いものの、増幅初期に十分なゲート・ソース間電圧が得られないために増幅開始が遅延し、その間に隣接ビット線の増幅率が増大すると、その結合を受けて誤動作に至っている。**図 2.5(a)** の $\eta_m = 3\%$ の例では、12 mV 以下の初期信号電圧で誤動作に至る。センスアンプ起動後の雑音対信号比を規定するために、信号が反転して誤動作するクリティカルな初期信号電圧をここでは雑音電圧と定義する。例えば、上記の電流源駆動の場合には、信号対雑音比 $(N/S)_2$ は $15 \text{ mV}/200 \text{ mV} = 7.5\%$ となる。センスアンプ起動前の雑音量と合わせたトータルの雑

音量をビット線間容量結合率 η_m に対してプロットした結果を図 2.6(a)に示す。このときの条件は、 $V_T = 0.6 \text{ V}$ 、 $C_B + C_S = 200 \text{ fF}$ 、 $I_d = 200 \mu\text{A}$ 、 $K = 0.1 \text{ V/ns}$ 、 $V_{Sn}(0) = 200 \text{ mV}$ 、である。 $(N/S)_1$ がセンスアンプ起動前、 $(N/S)_2$ がセンスアンプ起動後の雑音対信号比を示している。この図から、センスアンプ起動後の雑音は起動前のそれに比べて約 2 倍程度の値となっており、起動後の挙動が雑音量に大きく影響している事が明らかである。図 2.6(b)には $\eta_m = 3 \%$ のときのセンスアンプを構成する MOSFET のしきい値電圧 V_T 依存性としてプロットしたものである。電圧源駆動の場合に比べて電流源駆動の方がしきい値電圧依存性が高い。これは、しきい値電圧が大きい方が飽和領域で動作する期間が延びるため、増幅されずに隣接ビット線からの結合を受ける期間も延びるためである。

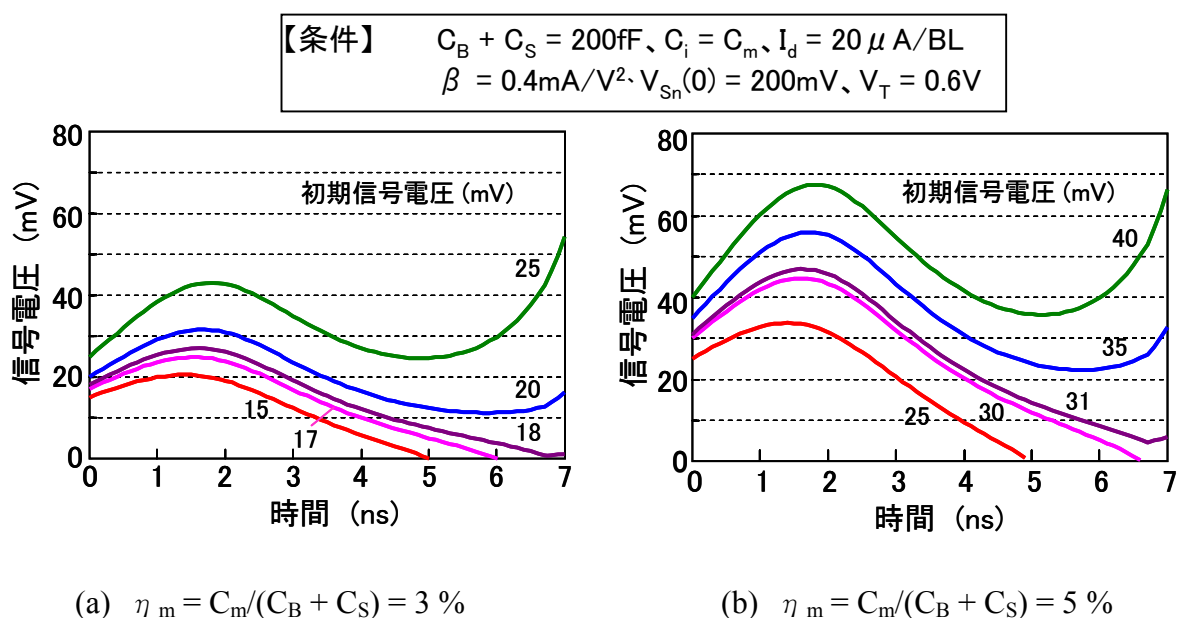


図 2.4 センスアンプ起動時の信号電圧変化（電流源駆動）

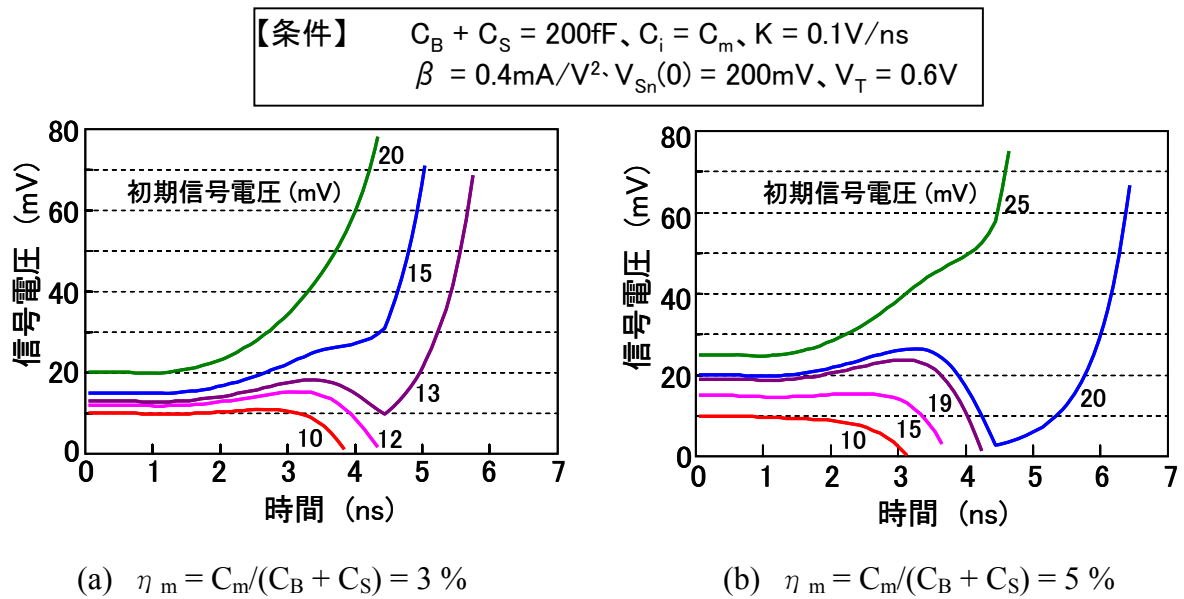


図 2.5 センスアンプ起動時の信号電圧変化（電圧源駆動）

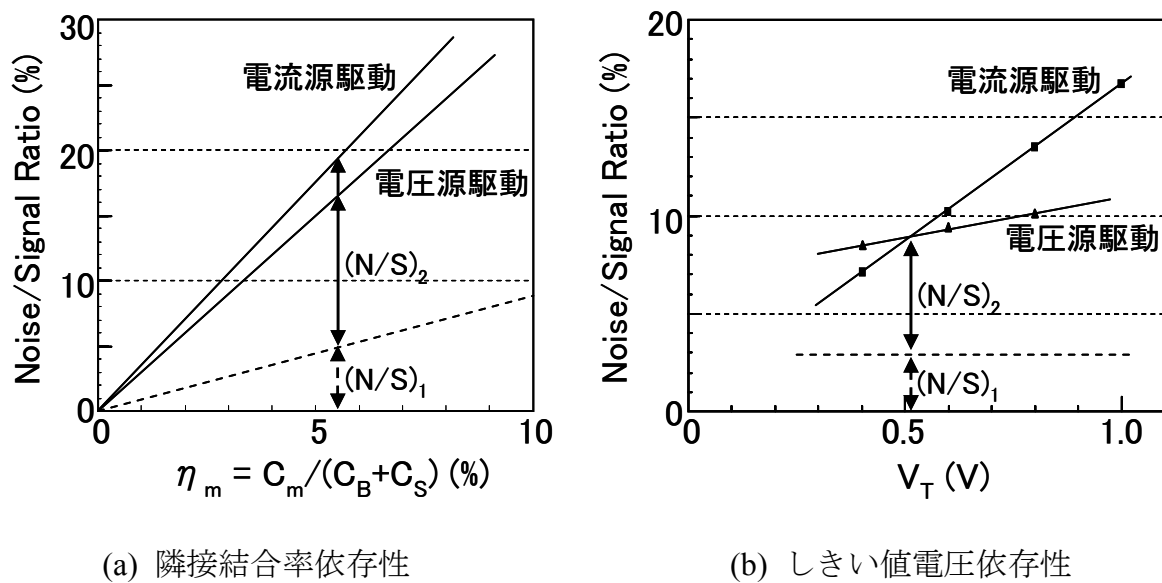
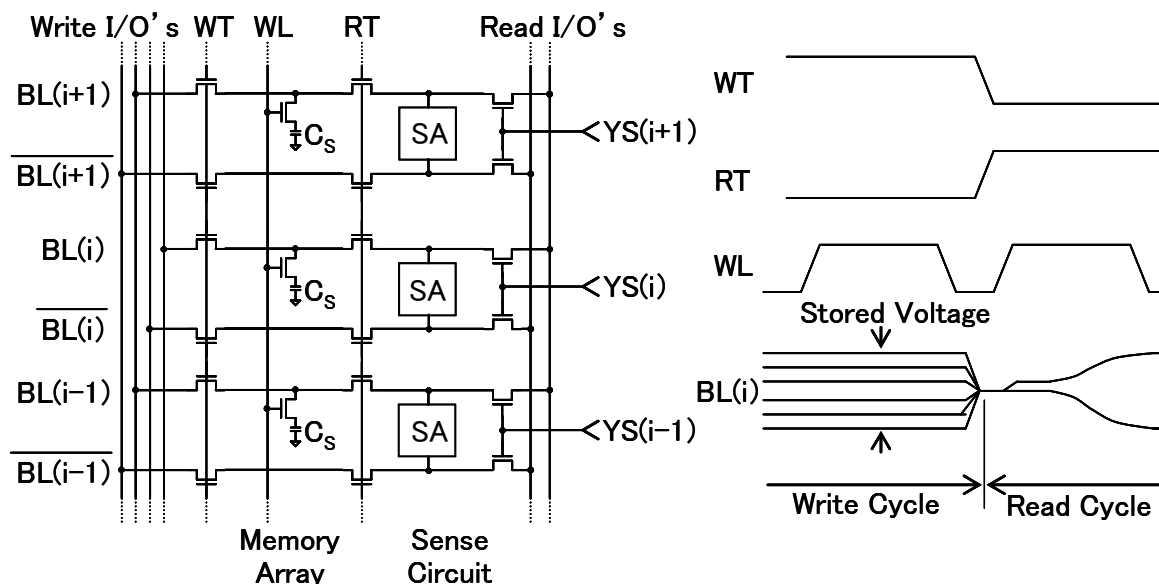


図 2.6 信号対雑音比の解析結果

上記した解析結果を検証するために、実験的なメモリセルアレーを試作した。図 2.7(a) にその構成を示す。このセルアレーでは、特定のビット線に繋がるメモリセルに任意の電圧を蓄積できるように、外部から直接電圧を印加できるパスを別に設けている [3]。図 2.7(b)はその動作タイミング図である。図 2.8(a)に蓄積電圧を変化させたときの信号を“1”と判定する累積度数分布を示している。隣接するビット線に蓄積する情報を V_{CC} 、

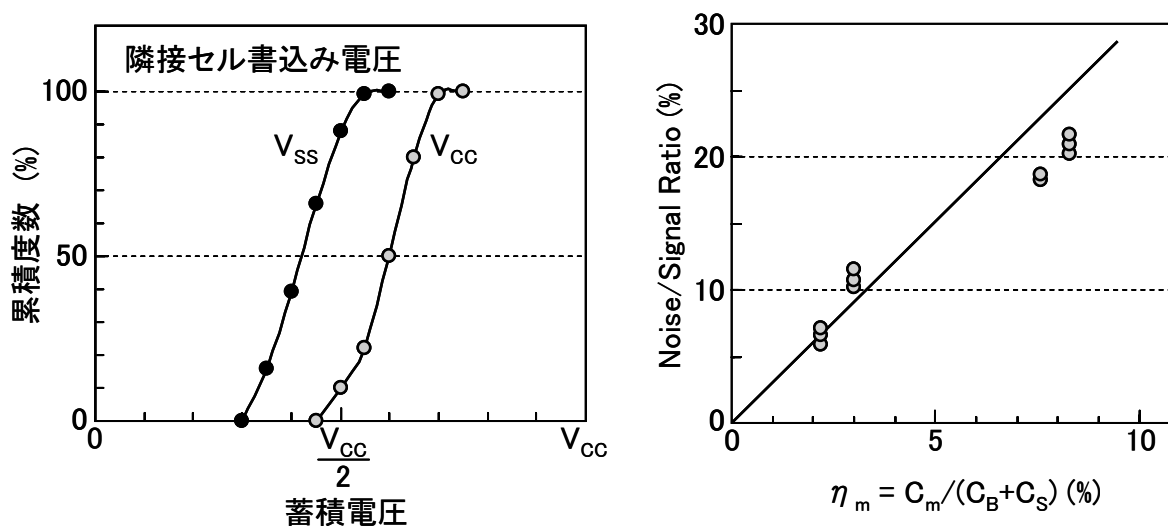
V_{SS} と変える事で、分布が移動している事が分かる。この移動量が隣接ビット線のデータによって変調を受ける量に対応している。実験的なセルアレイの各種容量やセンスアンプのしきい値電圧などの各種パラメータでの解析結果と実験で得た値をプロットした結果を図 2.8(b)に示す。この結果から、解析結果と実験結果は良い一致を示しており、解析結果が妥当であると言う事ができる。



(a) 解析用セルアレイ構成

(b) 動作タイミング図

図 2.7 データパターン依存性雑音の実験検証用メモリセルアレイ



(a) 隣接データ依存性

(b) 実験と解析結果の比較

図 2.8 データパターン依存性雑音の実験結果

上記の検討結果から、ビット線間の結合容量成分が数%でも雑音量への影響は 10 % を超える場合があることが明らかとなった。このことから、高集積の DRAM セルアレイ設計では、ビット線間容量を考慮した設計が必須である。なお、本論文では解析式で表現する事が可能な等価回路モデルでの 1 次レベルでの定量化を行ったので、実際のメモリセルアレイ、センスアンプ、センスアンプ駆動源、などのトランジスタモデルや配線寄生素子の影響は無視している。これら詳細なパラメータ依存性を見積もるためにはトランジスタモデルや寄生素子を入れた回路シミュレーションを行う必要がある。

2.2.2. ビット線間干渉雑音の低減手法

前節で述べたビット線間の干渉雑音を回路的に低減する方法として、図 2.9 に示すようにビット線を交差させる方法を提案している [4, 5]。例えば同図(b)では偶数番目のビット線対を $1/2$ の位置で、奇数番目のビット線対を $1/4$ と $3/4$ の位置で交差させている。これにより、ビット線の電圧変化が隣接するビット線対に対称に容量結合するため、雑音を低減することが可能となる。ただ、この方法では、ビット線を交差させるためにセルアレイ中に余分な交差エリアを設けなければならないという欠点がある。また、センスアンプやプリチャージ回路が形成されるエリアのビット線対のビット線容量が無視できない場合には、センスアンプ形成領域でも対策が必要になる。後者の課題に対しては、センスアンプ領域でもビット線を交差する構成を提案している [6, 7]。

このようにビット線間の容量結合雑音を相殺する方法の他、容量結合そのものを減らすために、ビット線間のシールド構造を有するメモリセルが開発されている。図 5.10 にシールド型メモリセルの平面図と断面図を示す [8]。このメモリセルでは、ワード線の後にビット線を形成し、それらの隙間に蓄積容量と拡散層間のコンタクトを形成する。このような構造をとることにより、ビット線間には蓄積容量を構成するポリシリコン層が入りこむため、それがシールドの役目を果たす。この構造はプレートのパターニングの必要が無いため、蓄積容量の面積を最大化できるというメリットもあり、積層容量型メモリセル方式の主流になっている。

後述する 1.5V 64Mb DRAM にはシールド型の積層容量型メモリセルを採用した。また、単位面積当たりの蓄積容量として大きな値を得るために、誘電率の大きな五酸化タングステン膜を用いている [9]。

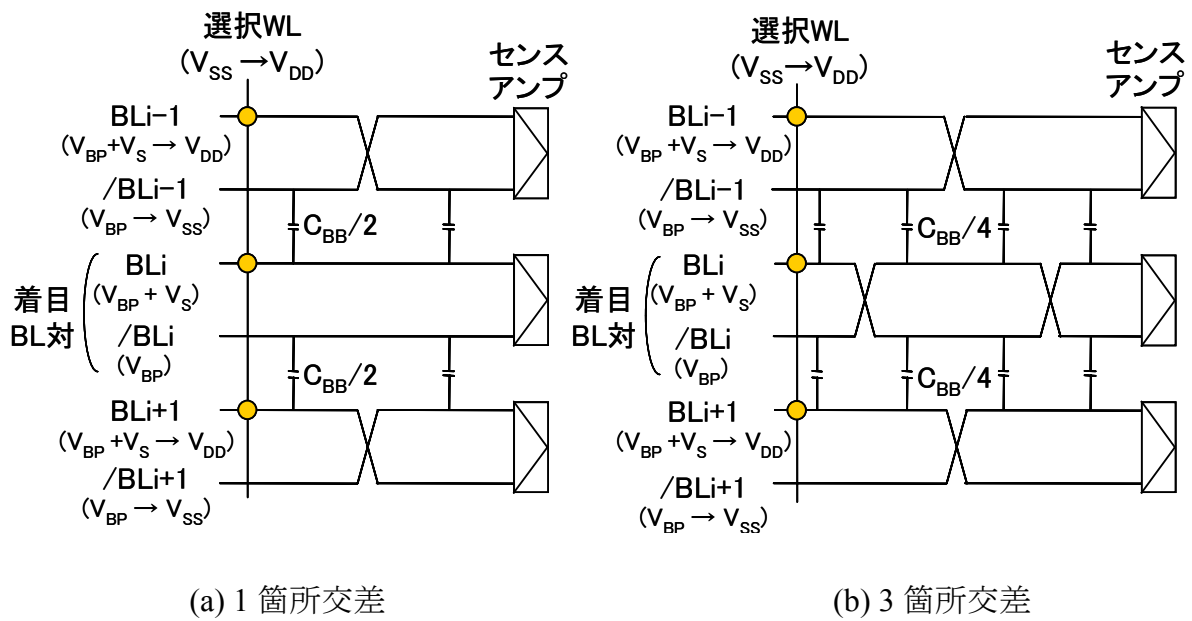


図 2.9 交差型折り返しビット線構成によるビット線間干渉雑音の低減

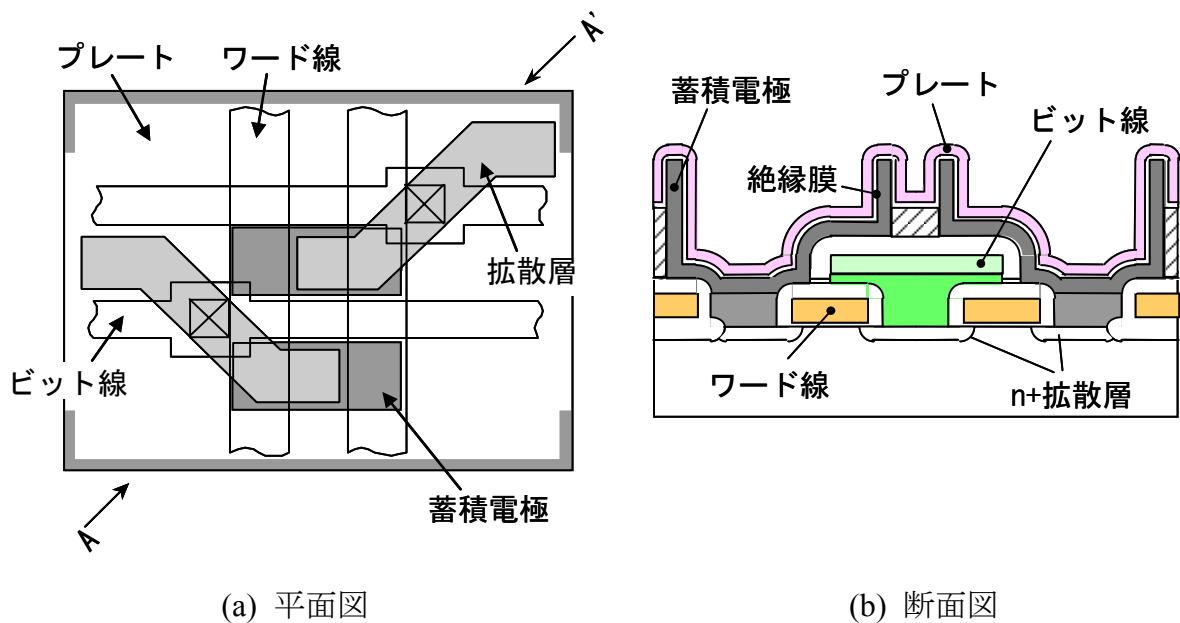


図 2.10 シールド型 DRAM メモリセル

2.3. DRAM セルの動作マージン向上

メモリセルの動作マージン向上と低電圧での性能向上を目的として、基板構造として図 2.11 に示すような三重ウェルを採用している。深い領域に形成された N ウェル(Deep N ウェル)によりメモリセルアレーの P ウェルを P 基板から分離する事によって、メモリセルアレーを外来雑音から保護することが可能となる。また、これにより周辺回路をセルアレーとは独立な P 基板に形成できるので、これまでの DRAM で一般的であった $-2 \sim -3V$ のマイナスの基板電圧を $0V$ とすることができ、周辺回路を構成する MOSFET の短チャネル効果を抑制でき、低電圧での性能向上が容易になるというメリットもある。回路的には、プレート電圧の安定化のために高速・安定駆動を特徴とする中間電圧発生回路を提案した。また、ワード線の昇圧レベルの確保のために、高い昇圧比を実現できる昇圧回路方式を提案した。以下、それぞれの回路について述べる [10, 11]。

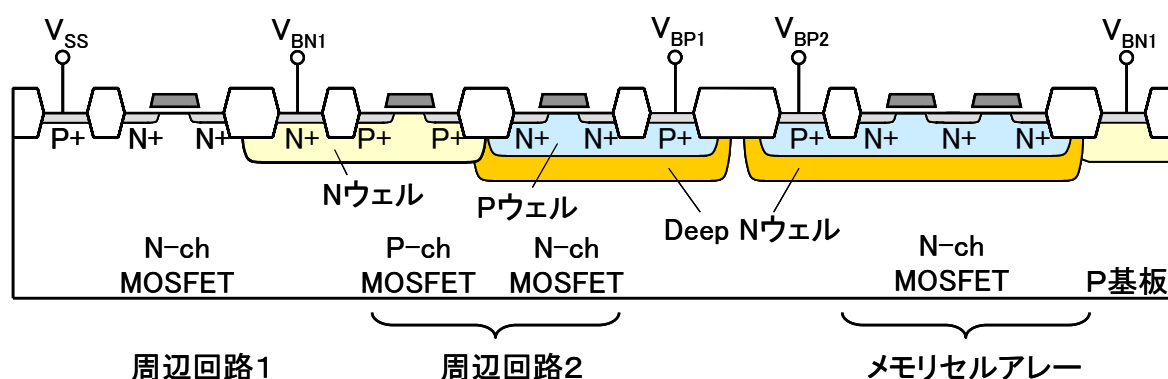


図 2.11 3重ウェル構造の DRAM への適用

2.3.1. 中間電圧発生回路

図 2.12 は研究開始時点で用いられていた、代表的な中間電圧発生回路の例を示す。この回路では、 V_{CC} の中間電圧と次段の駆動 MOSFET のバイアス電圧を抵抗分圧と MOSFET の直列接続により発生している。駆動段については、DRAM のスタンバイ電流を低減する目的のために、その定常電流がほとんど流れない程度にバイアスされている。そのため、出力が中間電圧に近づくと負荷駆動能力が極端に低下するという問題がある。電源電圧が 3.3 V 程度であれば、10 %以内のセトリング時間（応答時間）は 100 μ s 以下であり、実用上は差し支えないが、電源電圧の低下と共にセトリング時間は悪化し、かつ大きな電圧依存性を有している事が分かる。また、この回路では N-ch MOSFET と P-ch MOSFET のしきい値電圧 V_T の絶対値の差が中間電圧からのずれを生じさせるため、特に低電圧では精度が悪化するという欠点があった。

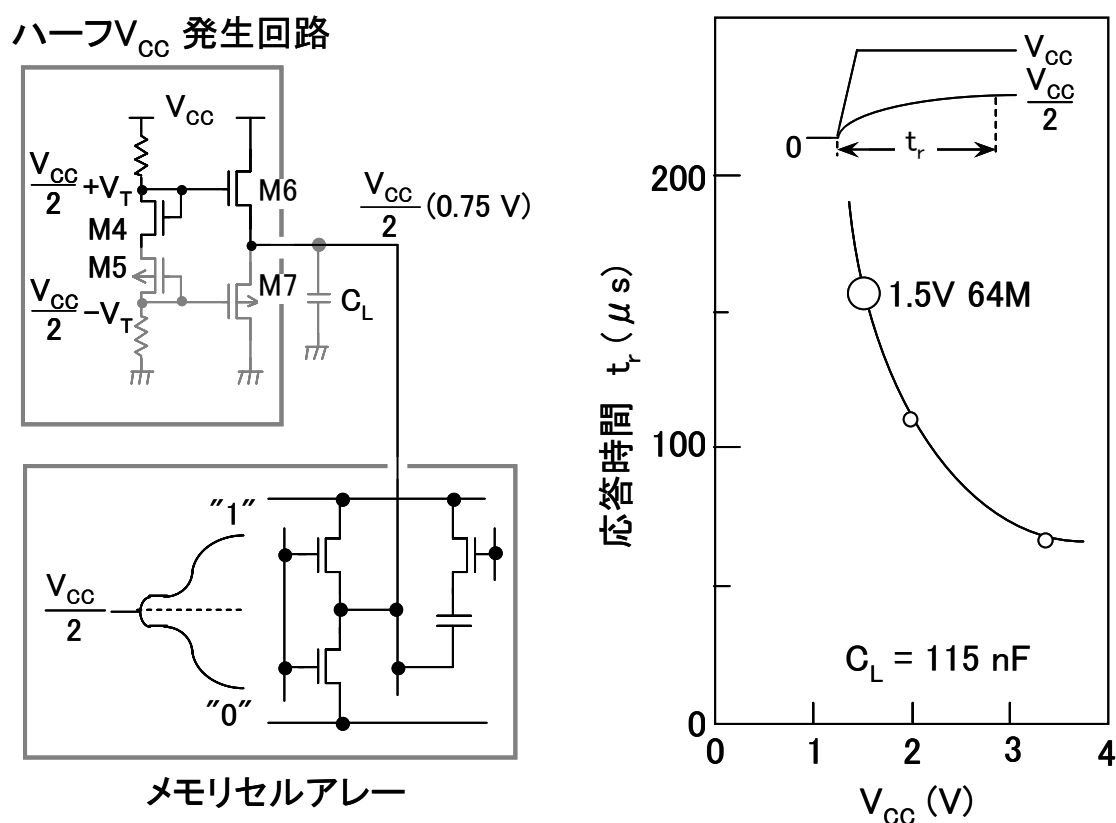


図 2.12 従来の中間電圧（ハーフ V_{CC} ）発生回路と応答特性

図 2.13 は今回提案する中間電圧発生回路である。この回路の特長は以下の3点である。

- (1) 分圧回路とバイアス回路の分離
- (2) 出力の誤差電圧を増幅する機構（プッシュプル・電流ミラーアンプ）とそれによる出力段の駆動
- (3) (2)の誤差増幅機構の出力を受けて動作する、不感帯付きトライステート・バッファ

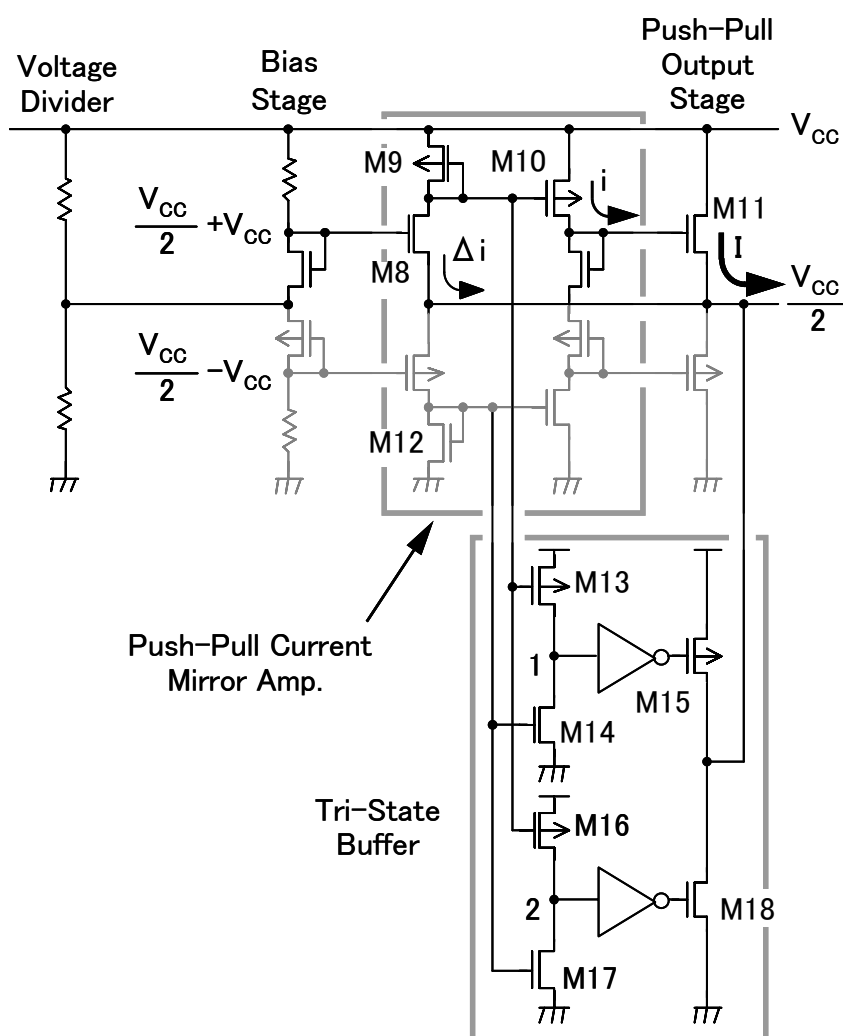


図 2.13 今回提案の中間電圧（ハーフ V_{CC} ）発生回路

(1) 同じ素子同士の相対的ばらつきは小さいことを利用し、分圧回路は抵抗比のみで中間電圧を得る構成とした。ここで得られた精度の高い中間電圧をもとに、N-ch、P-ch 各 MOSFET の V_T 分シフトした電圧を発生している。

(2) 出力が所期の電圧に近いときにも十分な駆動能力を得るために、誤差増幅機構を設けた。図中の M8 のゲートを先のバイアス段の $V_{CC}/2 + V_T(\text{N-ch})$ に設定しゲート接地の構成とした。出力の誤差電圧は電流 Δi に変換される。この電流はさらに M9 と M10 で構成されるカレントミラーによって電流 i に増幅され、M11 のゲート電圧を V_{CC} 側に駆動する。この結果、出力を電流 I で駆動する事ができる。このパスの電圧ゲイン G は

$$G = N \times gm(M8) \times R_{out}(M10) \quad (2.19)$$

と表される。ここで、 N は M9 と M10 のミラー比、 $gm(M8)$ は M8 のトランスコンダクタンス、 $R_{out}(M10)$ は M10 のドレイン端の出力抵抗である。本回路はバイアス電流を絞り込んだ設計としているため、出力が V_{SS} 側に振れた場合には、下半分の回路はほとんどカットオフ状態になり、上記した R_{out} の値は極めて大きな値となる。したがって、直流の電圧ゲインは極めて大きな値となる。トランジェント特性については、ミラー比と各トランジスタのサイズ (M9, M10, M11) に依存するため、これらのパラメータ調整による設計自由度は大きくなる。

(3) さらに駆動能力を上げるため、誤差がさらに大きくなった場合に動作するトライステート・バッファを設けた。トライステート・バッファは MOSFET M13, M14, M16, M17 と、インバータおよび出力駆動 MOSFET M15, M18 で構成される。先の誤差検出回路の M9 と M13 および M16、はカレントミラーを構成している。同様に、N-ch MOSFET の M12 と M14 および M17 がカレントミラーを構成している。これらのカレントミラー比の大きさによって誤差がどこまで大きくなったときに、ノード1 およびノード2 が反転するかが決定できる。例えば出力が低下し、それが設定した量を越えると、ノード1 が Low から High に遷移し、M15 のゲートは High から Low に駆動され、M15 がオンする。反対に、出力が上昇し、ある設定量を越えると M18 がオンする。このように、出力が設定した誤差範囲内であれば動作しないが、それを越えたときに動作させることにより、大振幅で動作させる必要があるとき、例えばパワーオンのときのレスポンスを高速化する事が可能となる。1.5 V 64 Mb DRAM の中間電圧発生回路を設計し、シミュレーションした結果を図 2.14 に示す。90 % にいたる応答時間を電源電圧依存性

として示している。カレントミラーアンプにより $1/10 \sim 1/5$ 、さらにトライステート・バッファの併用により $1/30 \sim 1/20$ と大幅に応答時間を短縮できる。

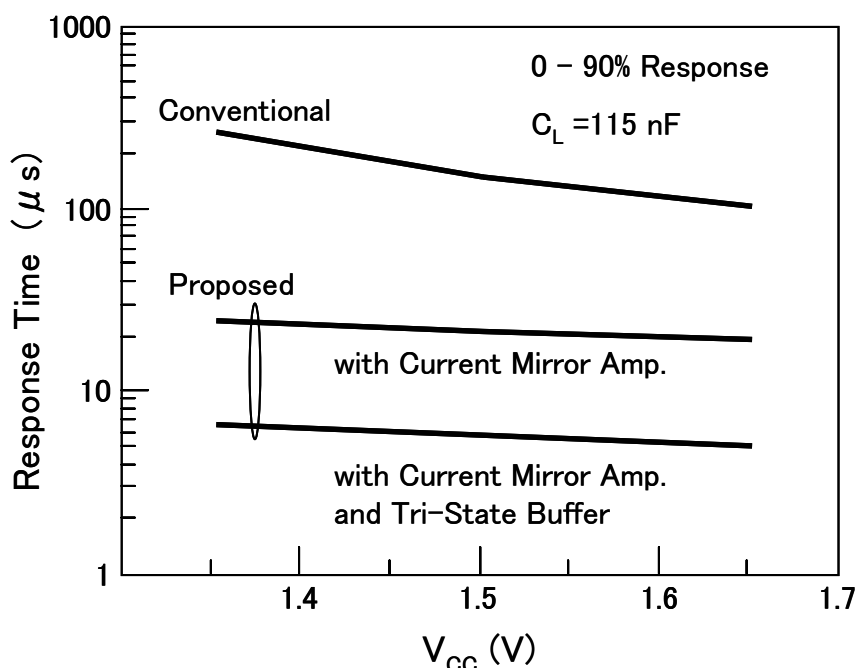


図 2.14 中間電圧（ハーフ V_{CC} ）発生回路の応答時間の比較

2.3.2. 高効率昇圧回路

先に述べたように、メモリセルに蓄積した電荷をある時間（リフレッシュ周期）にわたって保持するためには、メモリセルのリーク電流を抑制する必要がある。そのためのしきい値電圧は世代にもよるが、 $0.8 \sim 1V$ 程度の値が必要である（図 1.13） [12]。したがって、ビット線の電圧をフルに書き込むためには、それにさらにマージン分を加えた $1 \sim 1.2V$ 高い電圧をワード線に印加する必要がある。ビット線電圧 V_{BL} に対して必要なワード線電圧 V_{WL} および昇圧率 $\gamma (= V_{WL}/V_{BL})$ を図 2.15 に示す。ビット線電圧を下げて、そこからの昇圧電圧は一定のため、昇圧率は低電圧化とともに大きくなり、電源電圧（ $1.5 V$ ）の -10% すなわち $1.35 V$ では昇圧率として $1.75 \sim 1.9$ 程度の高い値が必要となる。電源電圧 $3 V$ のときの値（ 1.5 以下）に対して極めて大きな昇圧率を実現しなければならない事が分かる。

従来の昇圧回路の基本的な構成を図 2.16 に示す。この回路構成では。昇圧部分（ブースタ）と転送ゲートにゲート・ドレインを接続した、いわゆるダイオード接続を用い

ているため、それぞれしきい値電圧分の電圧降下（ロス）が生じる。さらに、ブースターおよび転送ゲートのソースは常に高い電圧で動作するため、基板効果によってしきい値電圧は上昇し、電圧ロスはさらに大きな値となる。

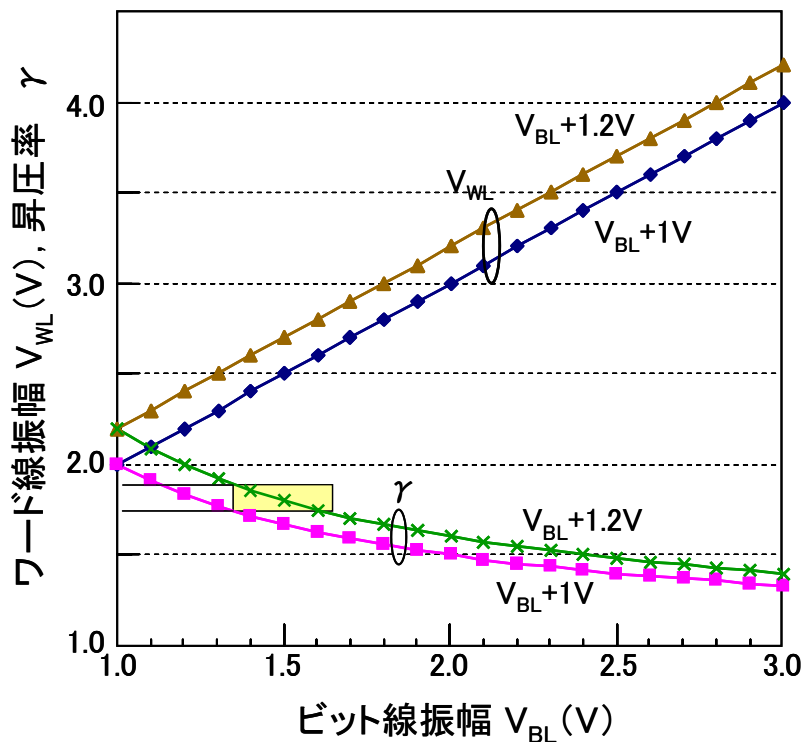


図 2.15 ワード線振幅と昇圧比

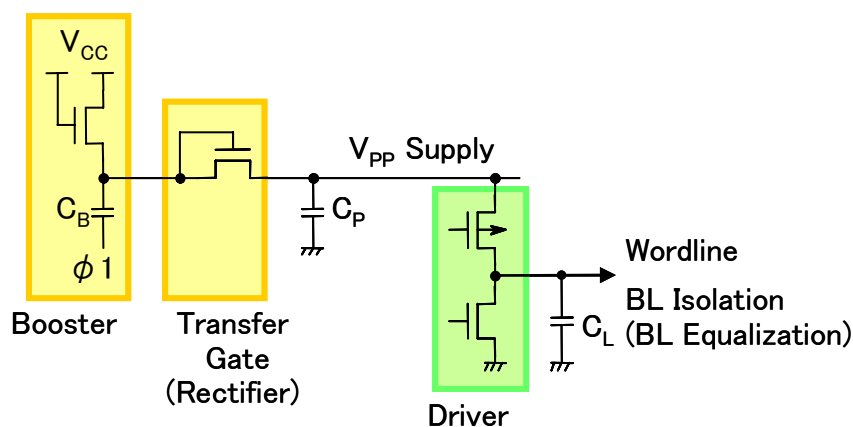


図 2.16 従来のチャージポンプ昇圧回路

このロス無くすために、帰還型の昇圧回路を考案した。図 2.17(a)にその基本構成を示す。この回路では、ブースタのダイオード接続の MOSFET と並列に MOSFET を設け、そのゲート電圧を別のブースタの容量 C_{BG} で昇圧する事により、ブースト容量 C_B のプリチャージ時 (ϕ が High) にフル V_{CC} が蓄積されるようにしている。また、ブースト電圧は、そのままフィードバック MOSFET のゲート電圧を駆動するため、 C_{BG} にもフル V_{CC} をプリチャージする事ができる。転送ゲートを理想的な駆動波形で駆動したときの昇圧率の値をシミュレーションした結果を図 2.17(b)に示す。従来の帰還なしの回路では、電源電圧が 1.5 V 以下で急激に昇圧率が低下するのに対して、帰還を設けた今回の回路では、電源電圧 1 V 以下の領域まで昇圧率 1.8 程度を実現する事ができている。昇圧率は昇圧回路の駆動能力と負荷電流で決まってくるので、ブースト容量の値やポンピング周波数を上げる事により、昇圧率を 2 に近づける事は可能である。

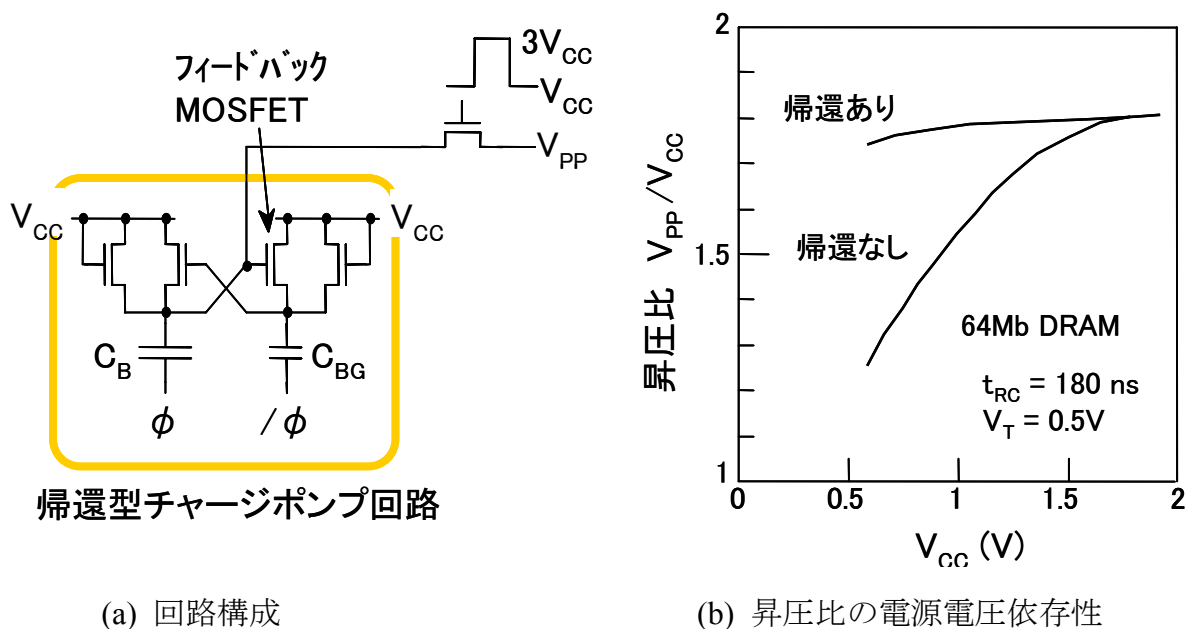


図 2.17 帰還型チャージポンプ昇圧回路

図 2.18 には転送ゲートの駆動回路の例を示している。転送ゲート M1 のゲート N4 を最大で $3V_{CC}$ で駆動するために、 $3V_{CC}$ 昇圧回路と、 $3V_{CC}$ の信号を駆動する $3V_{CC}$ ドライバ、そのドライバを駆動するチャージポンプから構成している。 $3V_{CC}$ を得るために、出力電圧 V_{PP} を取り込んでノード N2 にプリチャージする。そのノードを次の周期でブーストし、 $3V_{CC}$ の電圧を得ることができる。 $3V_{CC}$ ドライバには P-ch MOSFET を用いているが、これは N-ch MOSFET のみで構成すると、 $3V_{CC}$ を通すために、さらに高い電圧

が必要となるため、ゲート酸化膜にストレスがかかって劣化するのを防止するためである。ノード N2 は負荷を駆動しないので、ブースト後に電圧降下は生じず、接合が順方向になってリークする心配が無いので、P-ch MOSFET が限定的に使用可能になっている。3V_{CC} ドライバのゲート N3 は駆動時には V_{CC}、オフ時には 2V_{CC} とする事により、P-ch MOSFET のオン/オフを制御することが可能である。これにより、転送ゲート M1 のゲートにはオン時には 3V_{CC}、オフ時には V_{CC} が印加されるため、昇圧電圧である最大 2V_{CC} をロス無く出力に転送する事ができる。

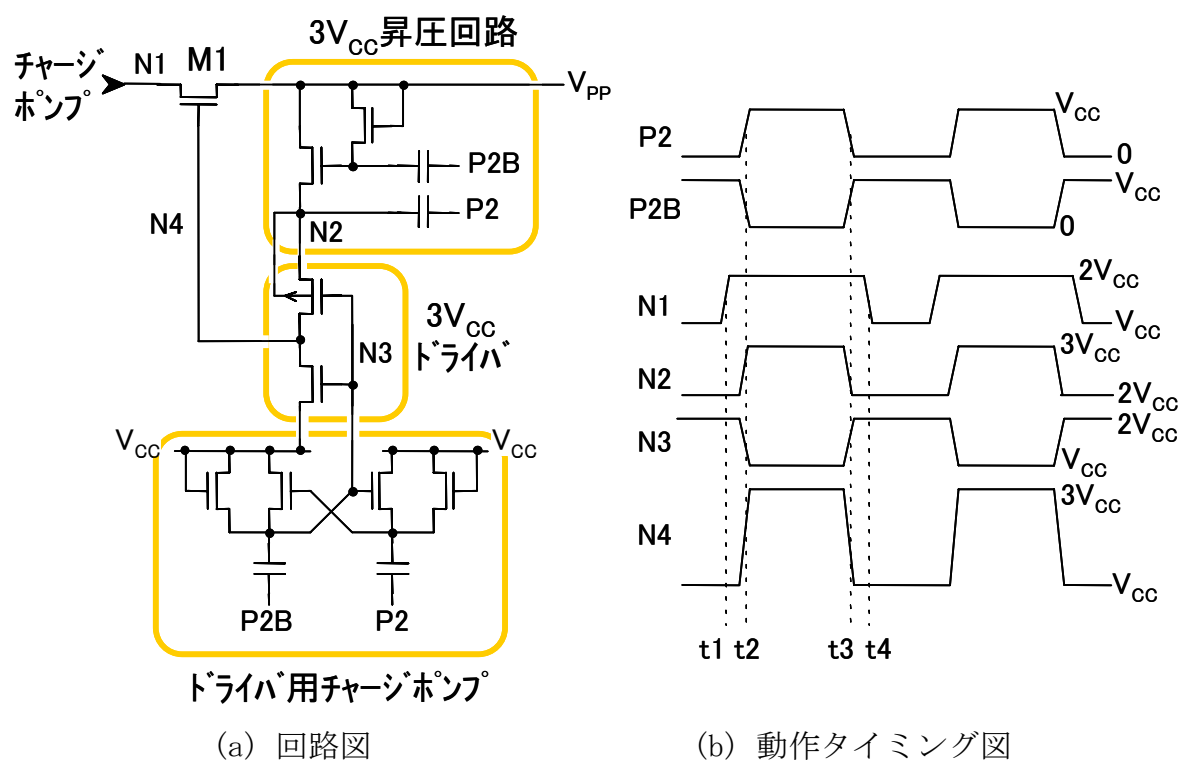


図 2.18 転送ゲート駆動回路

2.4. 高速信号検出回路（センスアンプ高速化、高速 I/O 回路）

本節では、DRAM の低電圧動作の律則要因となる信号検出系の低電圧・高速動作化に関する研究内容を述べる。信号検出は、(1)各ビット線毎に設けられ、メモリセルから読み出された 100 ～ 200 mV 程度の微小な信号電圧を電源電圧まで増幅してラッチするセンスアンプと、(2)選択されたビット線の情報を共通信号線（I/O 線）を介して伝送する I/O 回路とメインアンプ、の 2 つのパスで行われる。このそれぞれについて新規な

回路技術が必要であり、以下それらについて詳しく述べる。

2.4.1. センスアンプの高速化技術

センスアンプは前章で述べたように、CMOS のインバータの入出力を相互に結合したラッチを初期電圧にプリチャージした状態から N-ch 側コモンソースは V_{SS} に、P-ch 側コモンソースは V_{CC} 側に駆動する事によって信号電圧をフルの電源電圧振幅まで増幅する。CMOS DRAM では初期のプリチャージ電圧は高速安定動作の観点から電源電圧の中間（ハーフ V_{CC} ）に設定されているため、センスアンプを構成する各 MOSFET のゲート・ソース間には電源電圧の半分しかかからない事になる。したがって、電源電圧が 1.5 V のときには 0.75 V 程度の電圧しか印加されない状態となり、しきい値電圧を上回る電圧（オーバドライブ電圧）がほとんど確保できず、初期の動き出しが極めて低速になるという問題がある。

この問題に対処するため、本研究では幾つかの回路技術を提案した。以下に、その主要なものを記載する。

- (1) センスアンプの低しきい値電圧化（マルチ V_T 化）
- (2) コモンソース線ブースト（センスアンプ駆動線ブースト）
- (3) ビット線ブースト（ビット線電圧シフト）

(1) センスアンプの低しきい値電圧化はセンスアンプを構成する N-ch および P-ch MOSFET のしきい値電圧を他の MOSFET に比べて低く設定する方法である（図 2.19）。これにより、 V_T を低くした分だけオーバドライブ電圧を増加させる事ができる。課題は、プロセス工程が増加（コストが増加）する事と、増幅後（ラッチ後）にセンスアンプを流れるリーク電流が増加する事、である。後者については、DRAM の仕様であるアクティブ スタンバイ電流に影響するが、DRAM 全体の MOSFET に比べて、活性化されるセンスアンプ分の MOSFET の個数は桁の単位で少ないので、 V_T を 0.2V 程度低くしても実用上は問題にならない。

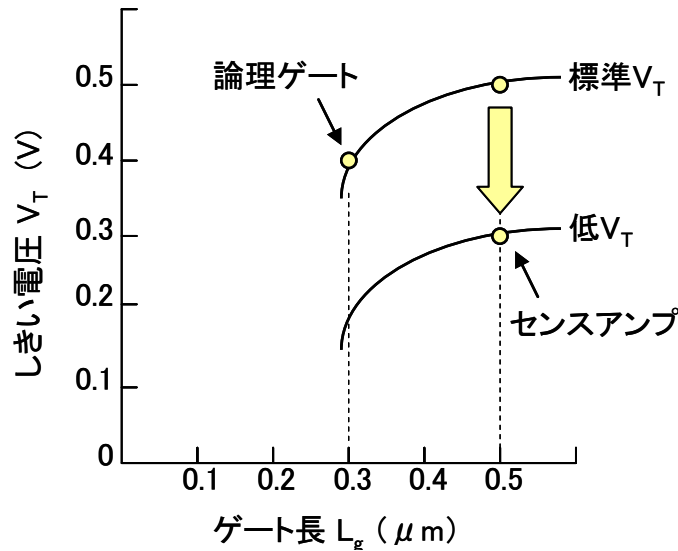


図 2.19 低電圧センスアンプ (マルチ V_T)

プロセス工程増を伴わない回路的な手法の一つとして、(2)センスアンプ駆動線（コモンソース）をセンスアンプ動作初期に昇圧（ブースト）する手法を提案した。このブーストの方法としては、(2a)ブースト電圧を用いる方法と、(2b)容量によりブーストする方法の2つが考えられる。(2a)ではセンスアンプ駆動線を駆動するドライバとして通常の電源で駆動するドライバと並列にブースト電源用のドライバを並置し、センスアンプ動作初期のみブースト電源用のドライバで駆動する。ある程度ビット線の振幅が大きくなったところで、ブースト用のドライバはオフし、以後は通常のドライバのみで駆動する。このブースト用のドライバはN-ch、P-ch、の両方のドライバに設けなくとも、片側のみに設けても効果が得られる。図 2.20 には P-ch 側にブースト用のドライバを設けた構成例と動作波形を示している。この方式の課題はビット線振幅を決める電源の他にブースト用の電源が必要な事である。DRAM 内部の動作電圧は外部電源電圧よりも低く設定し、内部電源はチップに搭載した降圧回路で供給する事が多いため、通例ではブースト電源を外部電圧やビット線よりも高く設定した別の降圧電源とすることは大きな問題でなく、実用上最も有効な手法であると考えられる。実際、多くの製品で本技術が適用されている。一方、(2b)はブースト電源を用いる事ができない場合でも適用できる、という利点がある。図 2.21 に示すとおり、駆動線にブースト容量を付加しておき、センスアンプ動作初期に駆動線を駆動した直後に容量を駆動してブーストする。この方法

の欠点は、比較的大きな面積のブースト容量を形成する必要があること、および、ブーストの効果を得るためのタイミング制御が難しい事である。この方式については、その後学会発表されている [13]。

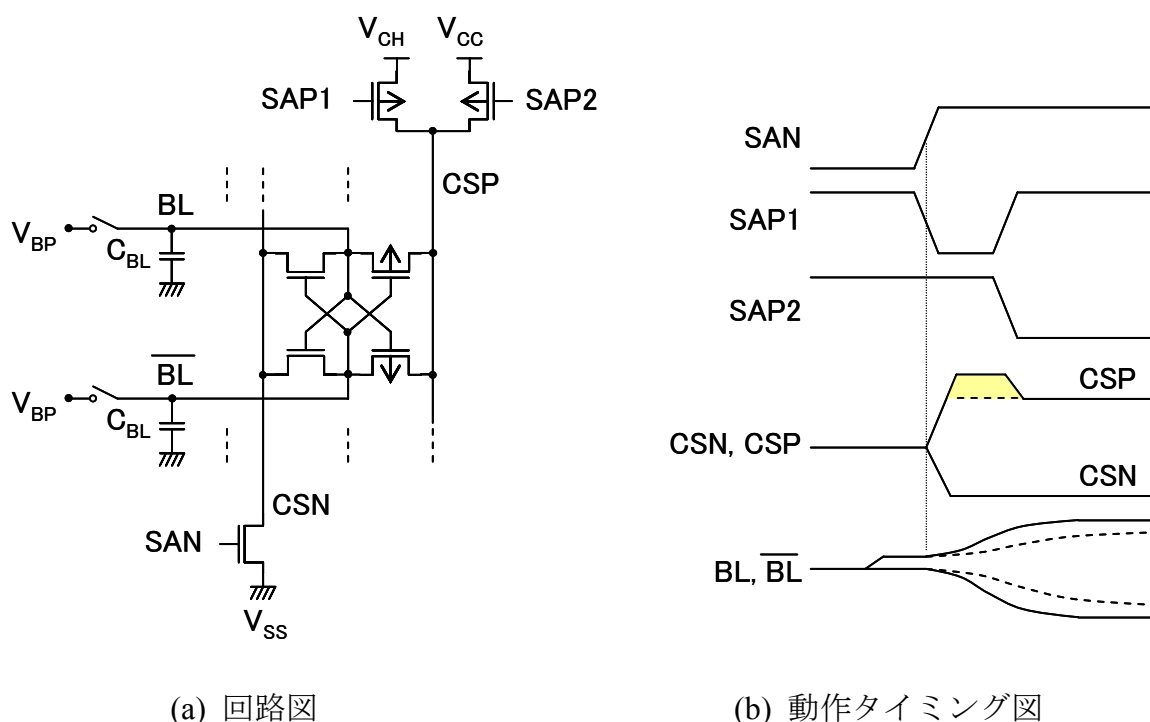


図 2.20 低電圧センスアンプ（コモンソース線電圧ブースト）

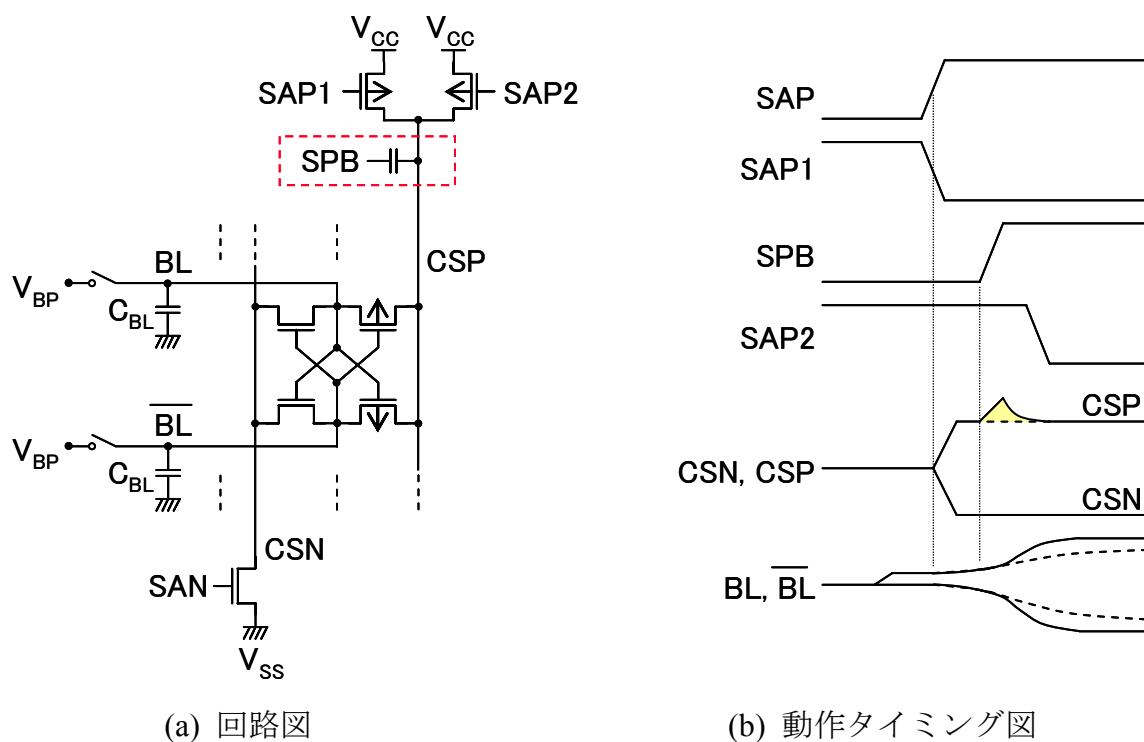


図 2.21 低電圧センスアンプ（コモンソース線容量ブースト）

他の方法として、(3)ビット線の初期電圧を V_{CC} 側あるいは V_{SS} 側に一時的にシフトさせ、N-ch、P-ch いずれかのセンスアンプを先にオンさせ、ビット線増幅動作を加速する方法が考えられる。図 2.22 には各ビット線に設けたブースト容量を用いてビット線の初期電圧を V_{CC} 側に駆動する回路の例と動作波形を示している。この方法の課題は、容量を各ビット線に設けなければならないため、面積増加を招くことである。さらに、容量のアンバランスはオフセットになるので、バランスをとるような設計（レイアウト）が必要になる点である。この方式についても、その後学会発表されている [14]。

今回、試作した 64 Mb のテストチップでは、マルチ V_T を用いたが、このコアを用いた超高速 DRAM では、さらなる高速化のために、マルチ電圧による駆動線ブーストを採用した [15]。

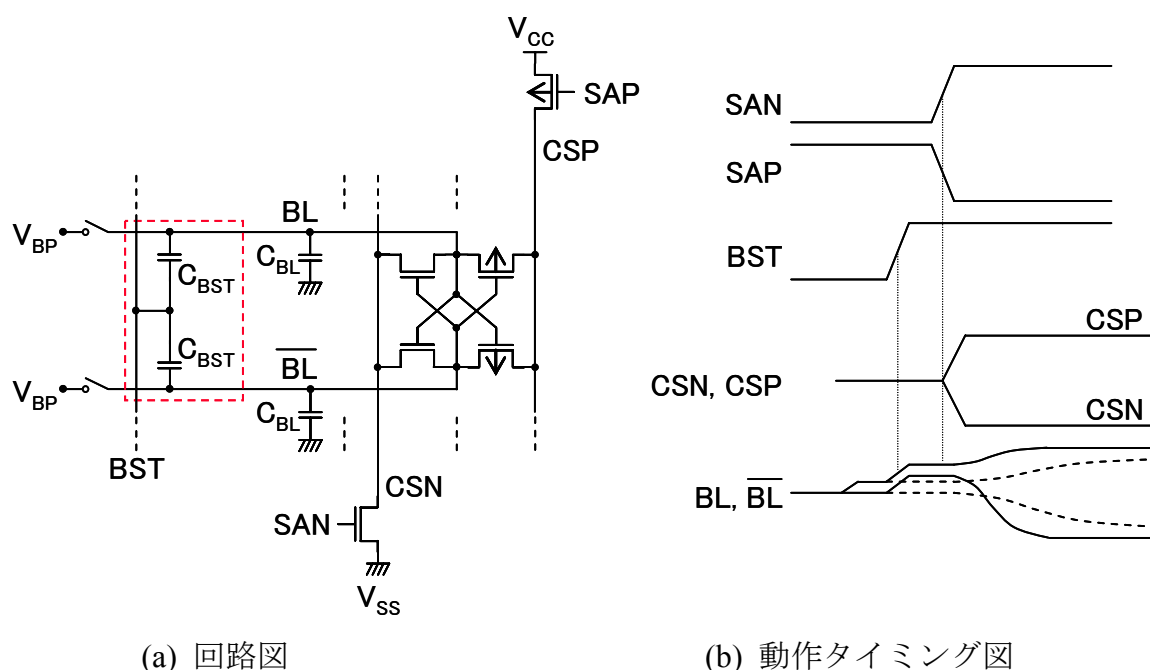


図 2.22 低電圧センスアンプ（ビット線ブースト）

2.4.2. メインアンプの高速化技術

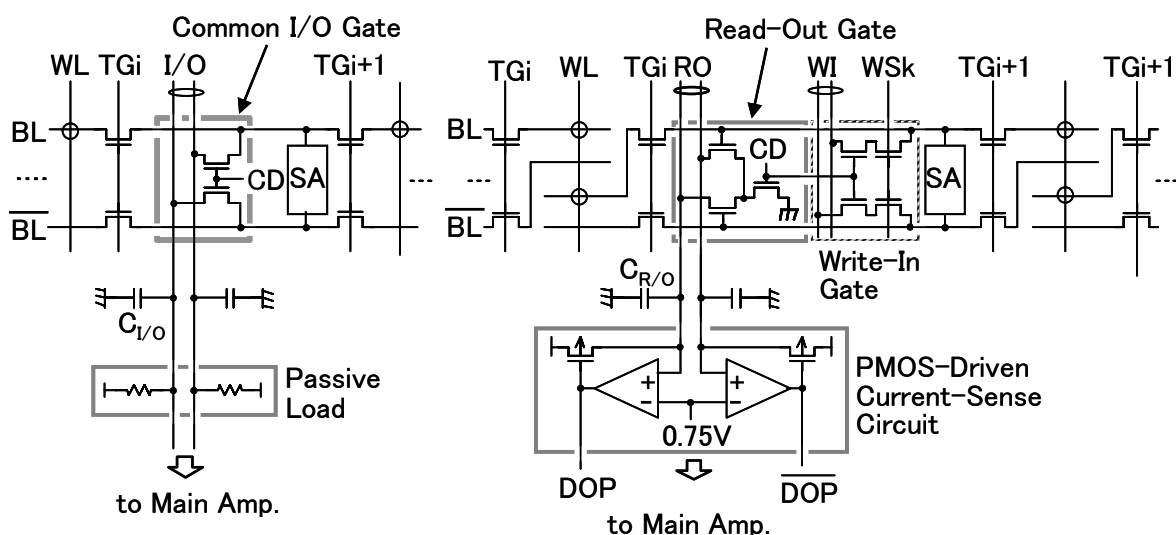
選択されたセンスアンプは SRAM セルと等価とみなせるので、これまでの DRAM では共通信号線に負荷を付し、選択されたセンスアンプの駆動電流によって負荷に発生する信号電圧を差動増幅器で増幅してフル振幅の信号に変換していた。この差動アンプを DRAM ではメインアンプと称することがあり、この論文でもメインアンプと呼ぶことにする。共通信号線の寄生容量はセルアレー構成にも依存するが、数 pF 程度になる事

もあり、この信号線上に検出可能な信号電圧を得るまでの時間が DRAM のカラム系のアクセス時間（ページモードのアクセス時間）に影響を与えることになる。低電圧化によって、センスアンプのラッチの電源電圧は下がってしまうので、センスアンプが共通信号線を駆動する電流も低下し、信号伝播遅延が増大する事が問題となる。

この問題に対処するため、共通信号線の電圧振幅を大きく取ることなく高速化する電流検出型の伝播方式を検討した。図 2.23 にこれまでの (a) 共通信号線・電圧センス方式と、今回提案した (b) 分離信号線・電流センス方式を比較している。従来は書き込みと読出しに同一の共通信号線を用いていたが、今回の方式では、読出しの高速化を図るため、それらを分離した。これにより、センスアンプ動作途中であっても読み出し共通信号線の駆動を開始できる。また、これまでの負荷（抵抗）に替えて、電流－電圧変換器を設けている。この方式では、共通信号線の負荷インピーダンスが下がり、電圧振幅は減少する。理想的な電流－電圧変換器の出力振幅 ΔV_{out} は、

$$\Delta V_{out} = R \times \Delta i \quad (2.20)$$

で表される。ここで R は電流－電圧変換器の変換抵抗である。したがって、R を適切な値に設定する事により、小さな信号電流でも大きな信号振幅出力を得る事ができ、電圧信号で伝播する場合に比べて高速動作が期待できる。



(a) 共通信号線、電圧センス

(b) 分離信号線、電流センス

図 2.23 メインアンプ方式

図 2.24 には幾つかの電流—電圧変換器の構成例を示している。(a)はバイポーラ Tr のベース接地、(b)(c)は MOSFET と差動アンプで構成した回路例である。(a)の場合には変換抵抗は負荷 R、(b)(c)の場合には MOSFET M1, M2 の $1/g_m$ になる。実際の DRAM の設計ではバイポーラ Tr を用いる事は難しいが、MOSFET + アンプで構成した場合との比較参照用として検討した。(b)の構成では N-ch MOSFET、(c)では P-ch MOSFET を用いている。(c)では信号源となる N-ch MOSFET M3 とは相補の P-ch MOSFET M2 で I-V 変換を行う構成とすることにより、より低い電源電圧での動作を狙ったもので、相補型電流センス回路と呼んでいる。

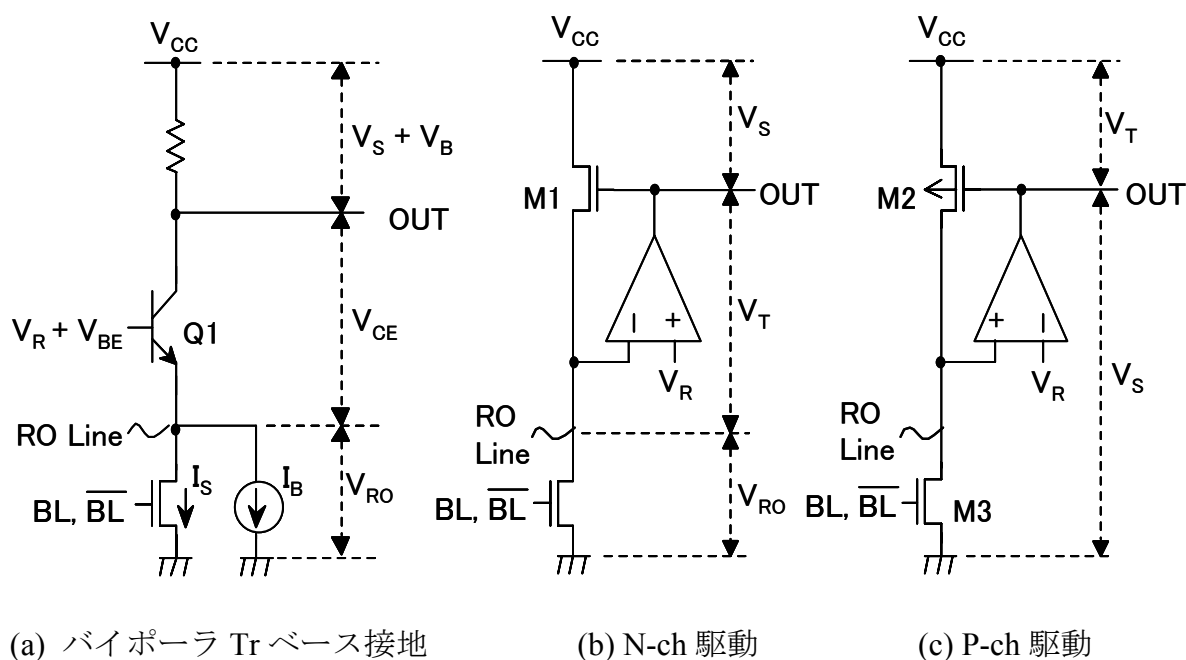


図 2.24 電流電圧変換回路の動作電圧マージン

これらの各回路方式における信号増幅遅延をシミュレーションした結果を図 2.25 に示す。従来の電圧検出型、電流検出型、ともに信号電圧 200 mV が得られるまでの時間を電源電圧依存性としてプロットしている。従来の電圧検出型に対して、電流検出型ではいずれも 10 ns 以上の高速化が達成できているが、ベース接地では 2.5 V 程度、N-ch の電流検出回路では 1.9 V 程度が動作電圧の下限となり、1.5 V での動作には適用できない。今回提案した相補型電流検出回路では、動作電圧の下限が 1.25 V 程度であり、1.5 V では従来に比べて 20 ns という大幅な速度改善が達成されている。

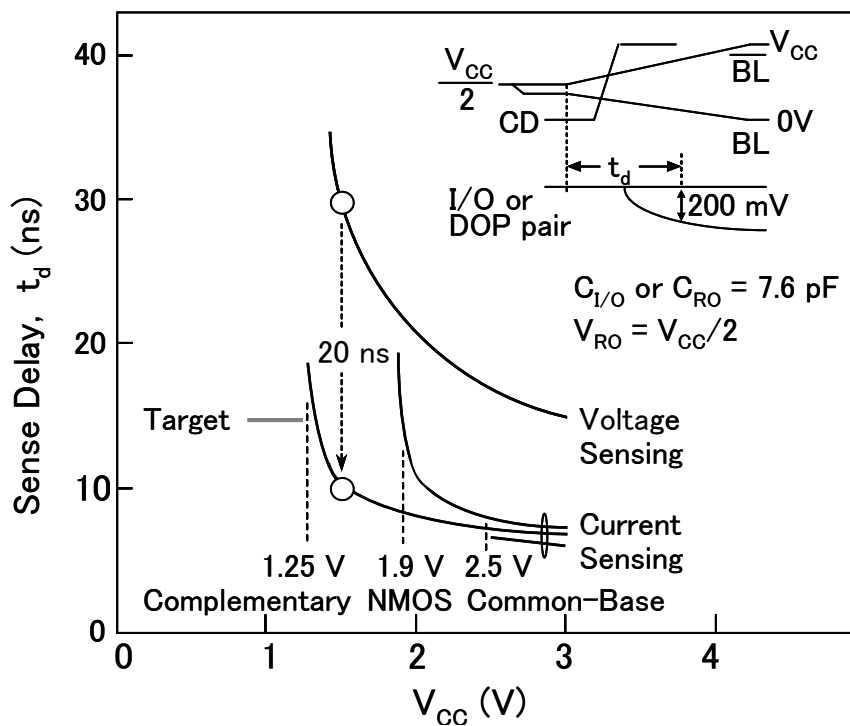


図 2.25 メインアンプのセンス時間の比較

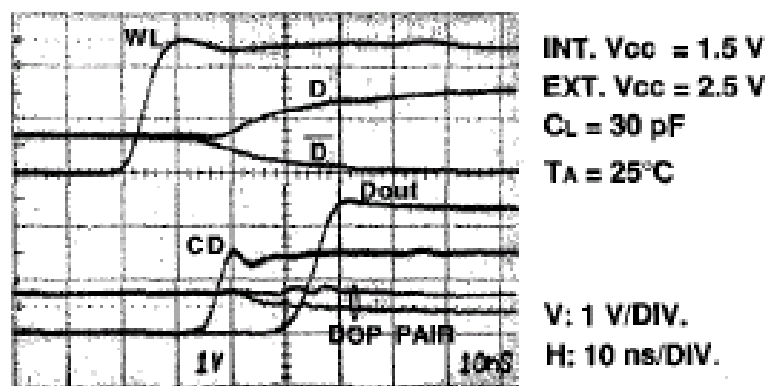


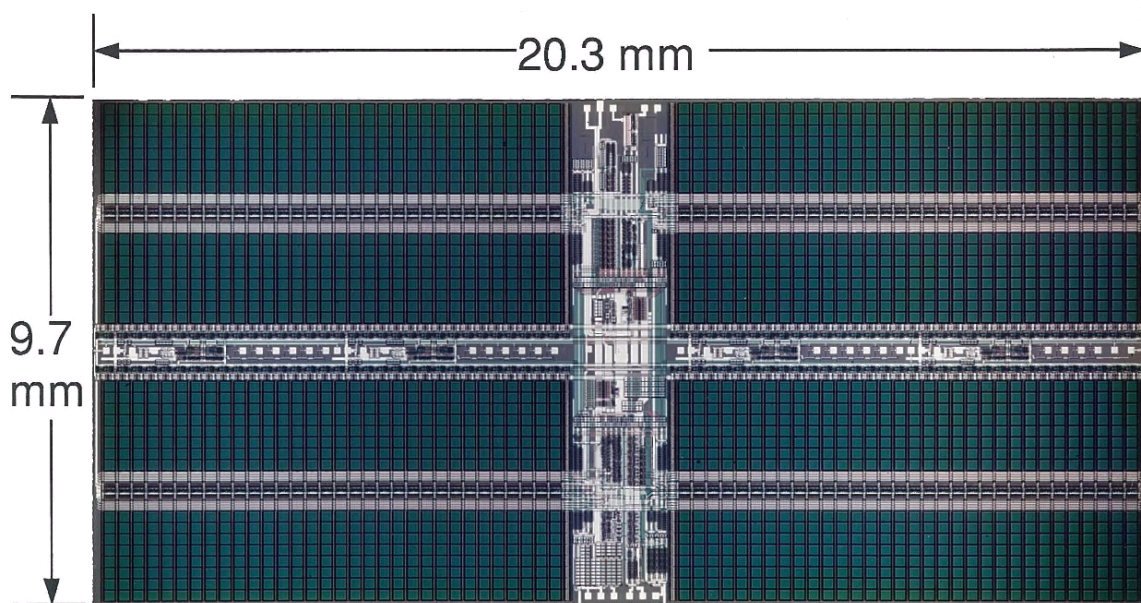
図 2.26 実験チップにおけるメインアンプの動作波形

この回路方式の有効性を調べるために、図 2.23(b)と同じ回路構成による実験チップを試作した。図 2.26 に動作波形を示す。電源電圧 1.5 V でシミュレーションと同等の読出し速度が得られる事が確認できた。以上、低電圧での大容量負荷の高速信号伝播の回路方式として、本研究で提案した相補型の電流センス回路が有効であることが明らかとなった。

2.5. 64Mb DRAM チップの試作結果

これらの回路技術を総合的に検証するために、1.5 V で動作する 64 Mb DRAM チップを設計・試作した。図 2.27 にチップ写真、表 2.1 にチップの概要を示す。3 重ウェル構造の 0.3 ミクロンプロセスを用い、1.5 V という低電圧でも十分な蓄積電荷を確保し、耐雑音性にも優れた、ビット線シールド型の積層容量型セルを適用した。容量絶縁膜には誘電率の大きな五酸化タンタル絶縁膜を用いている [16]。

図 2.28 には試作チップの動作波形を示す。外部電源電圧 1.5 V という低電圧でも従来と同等の 70 ns という高速動作が確認できた。これにより、本研究で提案した各種回路技術が有効であることが確認できた。



メモリセル : $0.8 \times 1.6 \mu\text{m}^2$ 積層形セル
素子数 : 約1億4000万個

図 2.27 1.5V 64Mb DRAM チップ写真

表 2.1 1.5V 64Mb DRAM チップ概要

Organization	16M Words x 4b
Technology	0.3 μm P-sub Triple-well CMOS 44fF CROWN Cell $T_{\text{ox}} = 6.5\text{nm}$ $L_{\text{N}}/L_{\text{P}} = 0.5/0.6 \mu\text{m}$ (drawn) 0.35/0.45 μm (effective) $V_{\text{TN}}/V_{\text{TP}} = 0.4/-0.4\text{V}$
Cell Size	0.8 μm x 1.6 μm = 1.28 μm^2
Chip Size	9.74 mm x 20.28 mm = 197.5 mm ²
Power Supply	1.5 V or 3.3 V (internal 1.5V)
Access Time	$t_{\text{RAC}} = 50 \text{ ns}$ (simulated; 1.5 V, 25°C) 70 ns (measured; 1.5 V, 25°C)
Supply Current	Active 29 mA ($t_{\text{RC}} = 180 \text{ ns}$, 1.5 V, 25°C) Standby <1 mA (1.5 V, 25°C)
Refresh Cycle	8192/64 ms

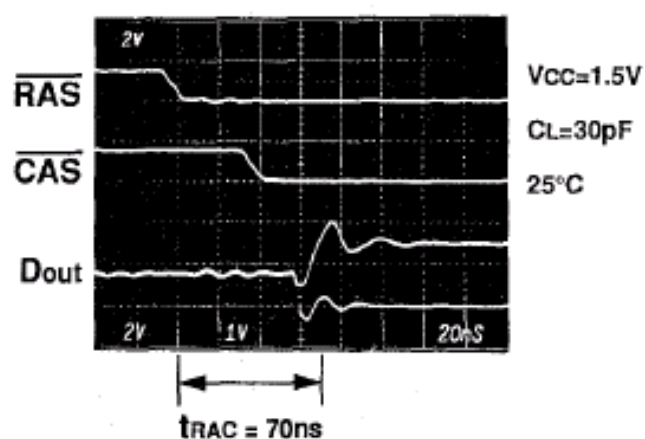


図 2.28 1.5V 64Mb DRAM 試作チップ動作波形

2.6. まとめ

本章では、1.5 V 動作の DRAM を例題として取り上げ、高 S/N 化、低電圧での安定動作、低電圧での高速動作、のために以下の技術を開発した。高 S/N 化のためには、高集積化とともに顕著になる隣接ビット線間の干渉雑音のモデル化、解析、実験的検証を行い、その低減が必須である事を明らかにした。安定動作のために、中間電圧発生回路の高速化、ワード線昇圧回路の高昇圧比実現が重要であることを明らかにし、2 段階の誤差増幅機構を有する中間電圧発生回路、しきい値電圧ロスのないフィードバック型チャージポンプ回路を提案した。高速動作については、特にセンスアンプ動作の高速化と、センスアンプからの信号検出回路の高速化が必要であることを明らかにした。その上で、センスアンプについては、マルチ V_T 、コモンソース線ブースト、ビット線ブーストなどの高速化手法を提案した。信号検出回路については、信号源とは異なる伝導型の駆動 MOSFET を用いる相補型電流センス回路を提案し、低電圧での高速動作に適している事を明らかにした。これらの安定動作化技術、高速化技術、を実験的に検証するために 1.5 V 64 Mb DRAM を設計・試作し、アクセス時間 70 ns と 3 V の設計に匹敵する高速動作が可能である事を示した。これらの結果により、DRAM の 1.5 V 低電圧動作への道を拓いた。

本章で提案した各種技術に関しては特許を出願、登録になっている [17-21]。これらの技術は、その後の DRAM 製品の低電圧化や高速化の流れの中で必須の技術として、主要な DRAM メーカーで広く製品に適用されている。回路関連の主要国際学会である International Solid-State Circuits Conference (ISSCC)、Symposium on VLSI Circuits (VLSI Circuit Symp.) での発表例を見ても、例えば三重ウェルを用いた DRAM に関しては図 2.29 に示すように、1995 年以降ほぼ 10 年間にわたって、ほぼ全 DRAM メーカーの発表で適用されている[22-39]。1998 年ごろ以降、ほぼ全ての製品に適用されていると推定される。また、低電圧センスアンプに関する発表も図 2.30 に示すように、1995 年以降ほぼ 10 年間にわたって、ほぼ全 DRAM メーカーの発表で適用されている[26, 28, 32, 35, 38, 40, 41]。1997 年ごろ以降、ほぼ全ての製品に適用されていると推定される。これらの事実から、ここで提案した技術の多くが、現在も DRAM 製品の実現に際して不可欠な技術である事が明らかである。

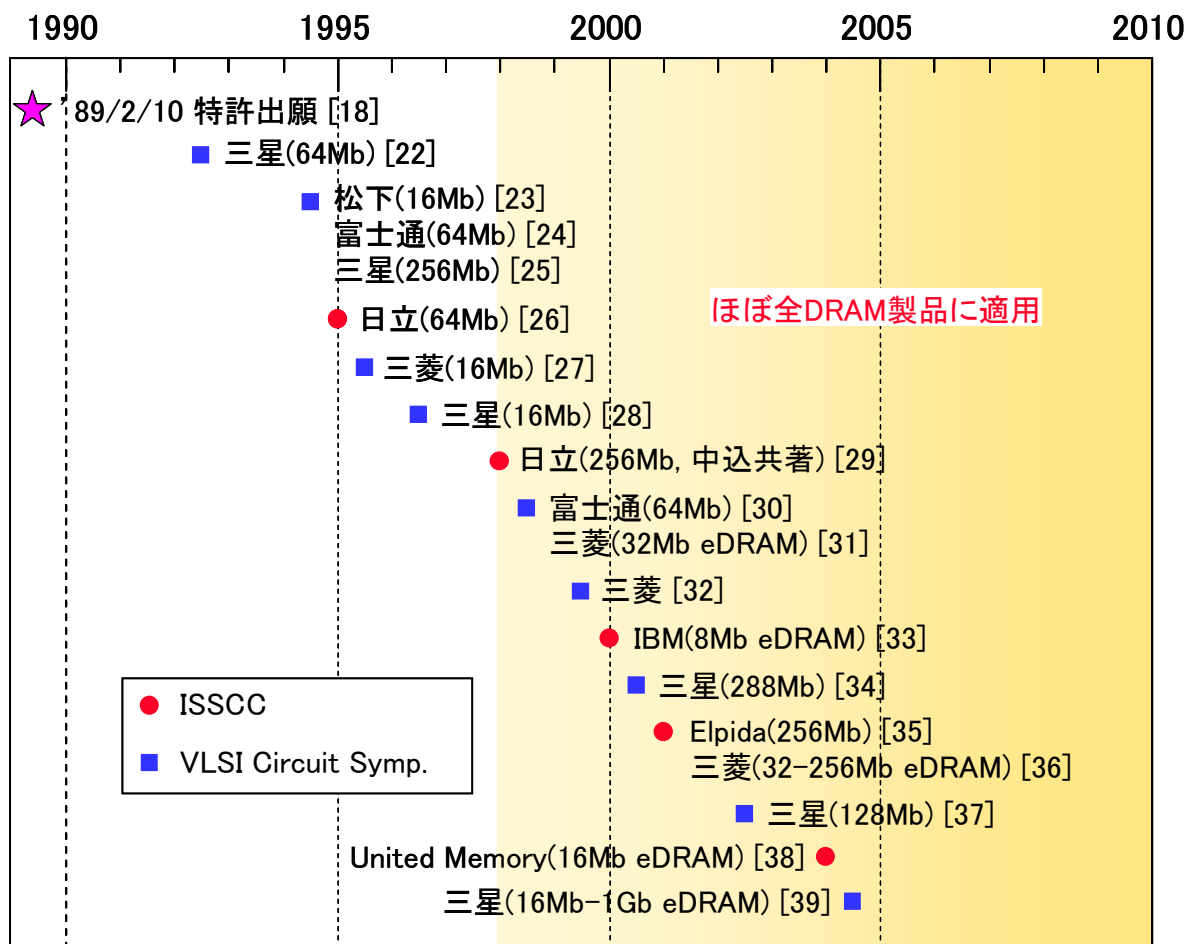


図 2.29 3重ウェル DRAM に関する主な学会発表

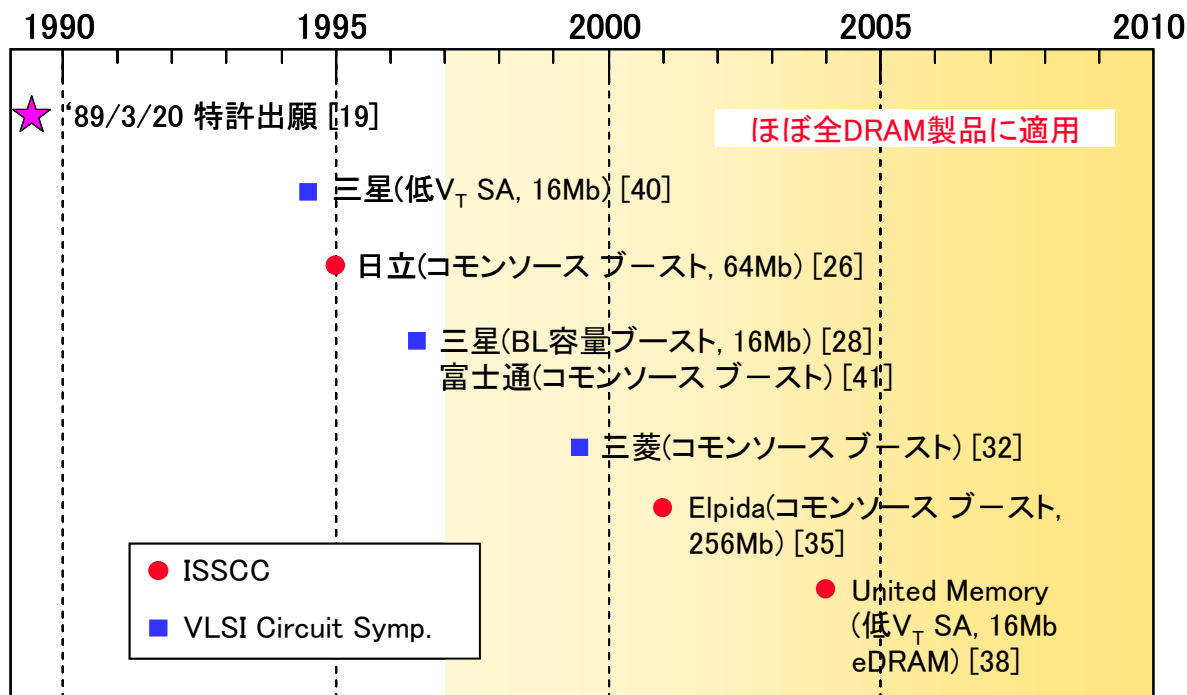


図 2.30 低電圧センスアンプに関する主な学会発表

第2章の参考文献

- [1] M. Yoshida, T. Takeshima, and M. Takada, "Scaled bit line capacitance analysis using a three-dimensional simulation," 1985 Symposium on VLSI Technology, Digest of Technical Papers, pp.66-67 (May 1985).
- [2] Y. Nakagome, M. Aoki, S. Ikenaga, M. Horiguchi, S. Kimura, Y. Kawamoto, and K. Itoh, "The impact of data-line interference noise on DRAM scaling," IEEE J. Solid-State Circuits, vol.23, no.5, pp.1120-1127 (Oct. 1988)
- [3] 青木 正和, 竹内 幹, 中込 儀延, 川瀬 靖, 伊藤 清男, 木村 紳一郎, 加賀 徹, 川本 佳史, "立体形DRAMセルにおけるデータ線間干渉雑音を排除した α 線誘起収集電荷の評価," 電子情報通信学会論文誌 C-II 分冊, vol.J73-C-II, no.5, pp.310-318 (1990-5).
- [4] M. Aoki, Y. Nakagome, M. Horiguchi, S. Ikenaga, J. Etoh, Y. Kawamoto, S. Kimura, E. Takeda, H. Sunami, K. Itoh, and H. Tanaka, "An experimental 16Mb DRAM with transposed data-line structure," 1988 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.17-19 (Feb. 1988).
- [5] M. Aoki, Y. Nakagome, M. Horiguchi, H. Tanaka, S. Ikenaga, J. Etoh, Y. Kawamoto, S. Kimura, E. Takeda, H. Sunami, and K. Itoh, "A 60-ns 16-Mbit CMOS DRAM with a transposed data-line structure," IEEE J. Solid-State Circuits, vol.23, no.5, pp.1113-1119 (Oct. 1988).
- [6] S. Ikenaga, M. Aoki, Y. Nakagome, M. Horiguchi, Y. Kawase, Y. Kawamoto, and K. Itoh, "New DRAM noise generation under half Vcc precharge and its reduction using a transposed amplifier," 1988 Symposium on VLSI Circuits, Digest of Technical Papers, pp.79-80 (June 1988).
- [7] M. Aoki, S. Ikenaga, Y. Nakagome, M. Horiguchi, Y. Kawase, Y. Kawamoto, and K. Itoh, "New DRAM noise generation under half-Vcc precharge and its reduction using a transposed amplifier," IEEE J. Solid-State Circuits, vol.24, no.4, pp.889-894 (Aug. 1989).
- [8] S. Kimura, Y. Kawamoto, T. Kure, N. Hasegawa, J. Etoh, M. Aoki, E. Takeda, H. Sunami, and K. Itoh, "A new stacked capacitor DRAM cell characterized by a storage capacitor on a bit-line structure," 1988 International Electron Device Meeting (IEDM), pp.596-599 (Dec. 1988).
- [9] H. Shinriki, T. Kisu, S. Kimura, Y. Nishioka, Y. Kawamoto, and K. Mukai, "Promising storage capacitor structures with thin Ta₂O₅ film for low-power

- high-density DRAMs,” IEEE Trans. Electron Devices, vol.37, No.9, pp.1939-1947 (Sept. 1988).
- [10] Y. Nakagome, Y. Kawamoto, H. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, F. Murai, R. Izawa, D. Hisamoto, T. Kisu, T. Nishida, E. Takeda, and K. Itoh, “A 1.5-V circuit technology for 64Mb DRAMs,” 1990 Symposium on VLSI Circuits, Digest of Technical Papers, pp.17-18 (June 1990).
- [11] Y. Nakagome, H. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, Y. Kawamoto, F. Murai, R. Izawa, D. Hisamoto, T. Kisu, T. Nishida, E. Takeda, and K. Itoh, “An experimental 1.5-V 64-Mb DRAM,” IEEE J. Solid-State Circuits, vol.26, no.4, pp.465-472 (April 1991).
- [12] Y. Nakagome, M. Horiguchi, T. Kawahara, and K. Itoh, “Review and future prospects of low-voltage RAM circuits,” IBM J. Res. & Dev., vol.47, no.5/6, pp.525-552 (September/November 2003). (Invited Paper)
- [13] K. Gotoh, J. Ogawa, M. Saito, H. Tamura, and M. Taguchi, “A 0.9 V sense-amplifier driver for high-speed Gb-scale DRAMs,” 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.108-109 (June 1990).
- [14] K. C. Lee, C. H. Kim, D. Y. Yoo, J. H. Sim, S. B. Lee, B. S. Moon, K. Y. Kim, N. J. Kim, S. M. Yoo, J. H. Yoo, and S. I. Cho, “Low voltage high speed circuit designs for Giga-bit DRAMs,” 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.104-105 (June 1990).
- [15] T. Kawahara, Y. Kawajiri, G. Kitsukawa, Y. Nakagome, K. Sagara, Y. Kawamoto, T. Akiba, S. Kato, Y. Kawase, and K. Itoh, “A circuit technology for Sub-10-ns ECL 4-Mb BiCMOS DRAM’s,” IEEE J. Solid-State Circuits, vol.26, no.11, pp.1530-1537 (Nov. 1991).
- [16] Y. Kawamoto, T. Kaga, T. Nishida, S. Iijima, T. Kure, F. Murai, T. Kisu, D. Hisamoto, H. Shinriki, and Y. Nakagome, “A 1.28 μm^2 bit-line shielded memory cell technology for 64 Mb DRAMs,” 1990 Symposium on VLSI Technology, Digest of Technical Papers, pp.13-14 (June 1990).
- [17] 中込 儀延, 伊藤 清男, “半導体装置,” 特願平 2-41076 (1990年2月23日出願), 特許 2,771,880 (1998年4月17日登録) **【ハーフ Vcc 発生回路】**
- [18] 中込 儀延, 伊藤 清男, “半導体装置,” 特願平 10-369013 (1989年2月10日原出願), 特許 3,251,558 (2001年11月16日登録) **【三重ウェル DRAM】**
- [19] 久米 栄治, 田中 均, 中込 儀延, 川尻 良樹, 伊藤 清男, “半導体集積回路,” 特願平 10-259684 (1989年3月20日原出願), 特許 3,052,178 (2000年4月7日登

録)

【コモンソース ブースト SA】

- [20] 中込 儀延, 伊藤 清男、田中 均, 渡辺 泰, 久米 栄治, 礪田 正典, 山崎 英治, “半導体装置,” 特願平 2-146283 (1990 年 6 月 6 日 出願), 特許 3,112,019 (2000 年 9 月 22 日 登録) 【相補型電流センス】
- [21] 中込 儀延, 伊藤 清男、田中 均, 渡辺 泰, 久米 栄治, 礪田 正典, 山崎 英治, “半導体装置,” 特願平 11-282421 (1990 年 6 月 日 原出願), 特許 3,542,308 (2004 年 4 月 9 日 登録) 【クロスカップル昇圧回路】
- [22] D-J. Lee, Y-S. Seok, D-C. Chi, J-H. Lee, Y-R. Kim, H-S. Kim, D-S. Jun, and O-H. Kwon, “A 35ns 64Mb DRAM Using On-Chip Boosted Power Supply,” 1992 Symposium on VLSI Circuits, Digest of Technical Papers, pp.64-65 (June 1992).
- [23] A. Fujiwara, H. Kikukawa, K. Matsuyama, M. Agata, S. Iwanari, M. Fukumoto, T. Yamada, S. Okada and T. Fujita, “A 200MHz 16Mbit Synchronous DRAM with Block Access Mode,” 1994 Symposium on VLSI Circuits, Digest of Technical Papers, pp.79-80 (June 1994).
- [24] Y. Kodama, M. Yanagisawa, K. Shigenobu, T. Suzuki, H. Mochizuki, and T. Ema, “A 150-MHz 4-Bank 64M-bit SDRAM with Address Incrementing Pipeline Scheme,” 1994 Symposium on VLSI Circuits, Digest of Technical Papers, pp.81-82 (June 1994).
- [25] S-M. Yoo, J. M. Han, E. Haq, S. S. Yoon, S-J. Jeong, B. C. Kim, J-H. Lee, T-S. Jang, H-D. Kim, C. J. Park, D. I. Seo, C. S. Choi, S-I. Cho and C. G. Hwang, “A 256M DRAM with Simplified Register Control for Low Power Self Refresh and Rapid Burn-In,” 1994 Symposium on VLSI Circuits, Digest of Technical Papers, pp.85-86 (June 1994).
- [26] M. Nakamura, T. Takahashi, T. Akiba, G. Kitsukawa, M. Morino, T. Sekiguchi, I. Asano, K. Komatsuzaki, Y. Tadaki, C. Songs, K. Kajigaya, T. Tachibana, and K. Satoh, “A 29ns 64Mb DRAM with Hierarchical Array Architecture,” 1995 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.246-247 (Feb. 1995).
- [27] K. Dosaka, A. Yamazaki, N. Watanabe, H. Abe, T. Ogawa, K. Ishihara and M. Kumanoya, “A 90MHz 16M bit System Integrated Memory with Direct Interface to CPU,” 1995 Symposium on VLSI Circuits, Digest of Technical Papers, pp.19-20 (June 1995).
- [28] K-C. Lee, C-H. Kim, D-Y. Yoo, J-H. Sim, S-B. Lee, B-S. Moon, K-Y. Kim, N-J. Kim,

- S-M. Yoo, J-H. Yoo, and S-I. Cho, "Low Voltage High Speed Circuit Designs for Giga-bit DRAMs," 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.104-105 (June 1996).
- [29] M. Hasegawa, M. Nakamura, S. Narui, S. Ohkuma, Y. Kawase, H. Endoh, S. Miyatake, T. Akiba, K. Kawakita, M. Yoshida, S. Yamada, T. Sekiguchi, I. Asano, Y. Tadaki, R. Nagai, S. Miyaoka, K. Kajigaya, M. Horiguchi, and Y. Nakagome, "A 256Mb SDRAM with Subthreshold Leakage Current Suppression," 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.80-81 (Feb. 1998).
- [30] Y. Sato, T. Suzuki, T. Aikawa, S. Fujioka, W. Fujieda, H. Kobayashi, H. Ikeda, T. Nagasawa, A. Funyu, Y. Fujii, K. Kawasaki, M. Yamazaki, and M. Taguchi, "Fast Cycle RAM (FCRAM); a 20-ns Random Row Access, Pipe-Lined Operating DRAM," 1998 Symposium on VLSI Circuits, Digest of Technical Papers, pp.22-25 (June 1998).
- [31] A. Yamazaki, T. Yamagata, M. Hatakenaka, A. Miyanishi, I. Hayashi, S. Tomishima, A. Mangyo, Y. Yukinari, T. Tatsumi, M. Matsumura, K. Arimoto, and M. Yamada, "A 5.3Gb/s 32Mb Embedded SDRAM Core with Slightly Boosting Scheme," 1998 Symposium on VLSI Circuits, Digest of Technical Papers, pp.100-103 (June 1998).
- [32] T. Kono, T. Hamamoto, K. Mitsui, and Y. Konishi, "A Precharged-Capacitor-Assisted Sensing (PCAS) Scheme with Novel Level Controller for Low Power DRAMs," 1999 Symposium on VLSI Circuits, Digest of Technical Papers, pp.123-124 (June 1999).
- [33] O. Takahashi, S. Dhong, M. Ohkubo, S. Onishi, R. Dennard, R. Hannon, S. Crowder, S. Iyer, M. Wordeman, B. Davari, W. B. Weinberger, and N. Aoki, "1GHz Fully Pipelined 3.7ns Address Access Time 8k x 1024 Embedded DRAM Macro," 2000 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.396-397 (Feb. 2000).
- [34] K-H. Kyung, H-C. Lee, K-W. Song, H-S. Song, K-W. Jung, D-Y. Lee, C. Kim, and S-I. Cho, "A 2.5V, 2.0Gbyte/s 288M Packet-based DRAM with Enhanced Cell Efficiency and Noise Immunity," 2000 Symposium on VLSI Circuits, Digest of Technical Papers, pp.112-115 (June 2000).
- [35] T. Takahashi, T. Sekiguchi, R. Takemura, S. Narui, H. Fujisawa, S. Miyatake, M. Morino, K. Arai, S. Yamada, S. Shukuri, M. Nakamura, Y. Tadaki, K. Kajigaya, K. Kimura, and K. Itoh, "A Multi-Gigabit DRAM Technology with $6F^2$ Open-Bit-line

- Cell Distributed Over-Driven Sensing and Stacked-Flash Fuse,” 2001 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.380-381 (Feb. 2001).
- [36] S. Tomishima, T. Tsuji, T. Kawasaki, M. Ishikawa, T. Inokuchi, H. Kato, H. Tanizaki, W. Abe, A. Shibayama, Y. Fukushima, M. Niino, M. Maruta, T. Uchikoba, M. Senoh, S. Sakamoto, T. Ooishi, H. Kikukawa, H. Hidaka, and K. Takahashi, “A 1.0V 230MHz Column-Access Embedded DRAM Macro for Portable MPEG Applications,” 2001 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.384-385 (Feb. 2001).
- [37] J-Y. Sim, H. Yoon, K-C. Chun, H-S. Lee, S-P. Hong, S-Y. Kim, M-S. Kim, K-C. Lee, J-H. Yoo, D-I. Seo and S-I. Cho, “Double Boosting Pump, Hybrid Current Sense Amplifier, and Binary Weighted Temperature Sensor Adjustment Schemes for 1.8V 128Mb Mobile DRAMs,” 2002 Symposium on VLSI Circuits, Digest of Technical Papers, pp.294-297 (June 2002).
- [38] K. Hardee, F. Jones, D. Butler, M. Parris, M. Mound, H. Calendar, G. Jones, L. Aldrich, C. Gruenschlaeger, M. Miyabayashi, K. Taniguchi, and T. Arakawa, “A 0.6V 205MHz 19.5ns tRC 16Mb Embedded DRAM,” 2004 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.200-201 (Feb. 2004).
- [39] K. J. Noh, Y. J. Choi, J. D. Joo, M. J. Kim, J. H. Jung, J. J. Lim, C. H. Lee, G. H. Kim, and M. G. Kim, “A 130nm 1.1V 143MHz SRAM-like Embedded DRAM COMPILER with Dual Asymmetric Bit Line Sensing Scheme and Quiet Unselected IO Scheme,” 2004 Symposium on VLSI Circuits, Digest of Technical Papers, pp.190-191 (June 2004).
- [40] D-C. Choi, Y-R. Kim, G-W. Cui, J-H. Lee, S-B. Lee, K-Y. Kim, E. Huq, D-S. Jun, K-P. Lee, S-I. Cho, J-W. Park, and H-K. Lim, “Battery operated 16M DRAM with Post Package Programmable and Variable Self Refresh,” 1994 Symposium on VLSI Circuits, Digest of Technical Papers, pp.83-84 (June 1994).
- [41] K. Gotoh, J. Ogawa, M. Saito, H. Tamura, and M. Taguchi, “A 0.9 V Sense-Amplifier Driver for High-speed Gb-Scale DRAMs,” 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.108-109 (June 1996).

3. 広動作電圧範囲化技術の開発

3.1. まえがき

本章では第2章で報告した1.5 V 64 Mb DRAM コアをベースに、1.5～3.6 V という広い電源電圧範囲で動作する DRAM を設計の例題として、(1) 広い電圧範囲での安定動作、(2) 微細な素子を用いながら高耐圧を実現する回路方式、を提案し、それを実験的に検証する。次節では、広い電源電圧範囲での安定動作のために提案したユニバーサル電源方式について述べる。次に、3.3 節では微細な素子で高耐圧を実現するための回路方式の提案を行う。これらの技術を用いた1.5～3.6 V 64 Mb DRAM を実際に試作し、動作検証を行ったので、3.4 節ではその結果について報告する [1,2]。

3.2. ユニバーサル電源方式の提案

広い電源電圧範囲での安定・高速動作を実現するためには、その電圧範囲の最低電圧で十分な速度性能が達成できねばならない。前章で述べたように、1.5 V で動作する DRAM コアが実現できたので、このコアを用いて、3.6 V までの高電圧に耐えられる回路方式を研究する事にした。図 3.1 には今回提案したユニバーサル電源方式の概念図を示す。この方式は以下の構成要素を有することを特徴としている。

- (1) 低電圧 (1.5 V) で動作する DRAM コア
- (2) 2 経路給電ユニット ; 1.5 V 電源降圧回路と電源直接給電用スイッチ
- (3) 外部電源電圧 (V_{CC}) レベル検出回路
- (4) 二重電圧リミッタ (後述する高耐圧回路のバイアス生成)
- (5) レベル変換機能を有する高耐圧入出力回路

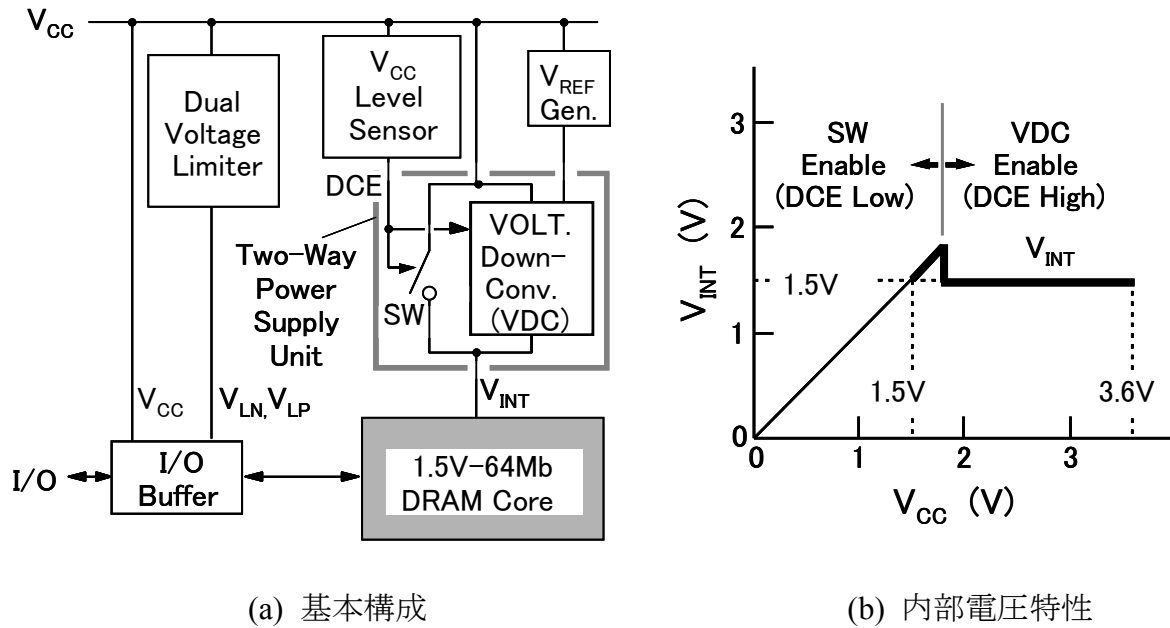


図 3.1 ユニバーサル電源方式

(2)2 経路給電ユニット (Two-Way Power Supply Unit) は外部電源電圧に応じて、1.5 V コアに供給する電圧を (a)降圧回路経由で行うか、(b)スイッチを通して直接外部から供給するか、を切り替える機能を有している。この切替は(3)V_{CC} レベル検出回路 (V_{CC} Level Sensor) によって行われる。図に示す例では、電源電圧 1.8 V 以上では降圧回路をオン、スイッチをオフし、降圧回路から供給を行い、1.8 V 以下ではスイッチをオン、降圧回路をオフし、外部の電圧を直接コアに供給する。これによって、コアに印加される電圧は最大 1.8 V に制限されるため、高い電圧が印加されて信頼性の問題が生じたり、電圧によって動作速度が大きく変動するような問題を回避することができる。高い電圧が印加されるブロック、例えば入出力部や降圧回路などの信頼性確保のためには、コアよりも厚いゲート酸化膜の MOSFET を形成して用いることも考えられるが、それではプロセスコストが上昇してしまう。大多数の回路は 1.5 V コアであるので、付加的な回路ブロックのためにプロセス工程が増加することは避けたい。そこで、本研究では微細素子を用いて高耐圧化する回路方式を考案した。図中の(4)二重電圧リミッタ (Dual Voltage Limiter) は高耐圧化のために必要なバイアス電圧を生成する回路である。また(5)入出力回路 (I/O Buffer) には高耐圧回路方式を適用している。

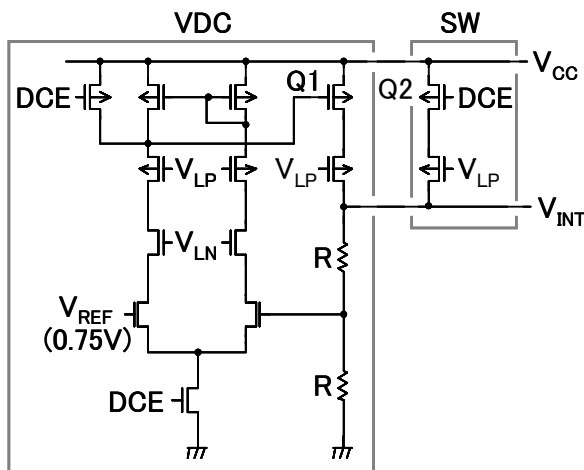


図 3.2 2 経路給電方式の回路構成

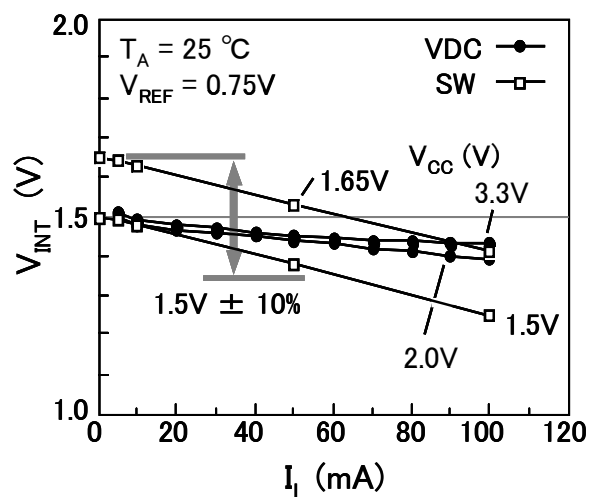


図 3.3 2 経路給電方式の負荷特性

今回の給電方式で課題となるのは、外部電源電圧と内部動作電圧が近いところで降圧回路の供給能力が劣化する事による内部電源電圧の変動、およびスイッチで直接供給するときのスイッチの抵抗による電圧ドロップによる内部電源電圧の変動、である。これらを検証するために、2 経路給電ユニットのシミュレーションを行った。図 3.2 は 1.5 ～ 3.6 V DRAM で用いた給電ユニットの回路図である。降圧回路 (VDC = Voltage Down Converter) はカレントミラー差動増幅段と P-ch MOSFET によるドライバ段からなっている。16 Mb 以降の DRAM で一般的になったオンチップ降圧回路と基本的に同一の構成である。微細な素子で構成するために、MOSFET を縦続 (カスコード) 接続し、その一方に電源電圧と接地電圧の間の適当なバイアス電圧を印加する事により高耐圧化している。この詳細については次節で述べる。降圧回路の基準電圧としては 0.75 V が与えられ、出力の分圧値 (1/2) と等しくなるようにフィードバック制御される。降圧回路と並列に置かれているのは、2 つの P-ch MOSFET で構成されたスイッチ (SW) である。このスイッチも高耐圧化のために縦続接続の構成としている。スイッチを構成する MOSFET Q2 のゲート幅 W は降圧回路の出力段の MOSFET Q1 のゲート幅の 3 倍の値に設定している。スイッチから直接給電する場合には、スイッチのオン抵抗による電圧降下が直接内部電圧の変動になってしまうため、極力オン抵抗を下げる必要があるためである。図 3.3 はこの回路の直流負荷特性を実測した結果である。各種外部電圧に対してプロットしており、3.3 V、2.0 V のときには降圧回路経由で、1.65 V、1.5 V のときには

はスイッチ経由で給電されている。降圧回路経由では2～3.6 Vの範囲でほぼ同等の負荷特性が実現されており、今回設計した DRAM の周辺回路部の平均消費電流は、動作サイクル時間 180 ns のときに約 16 mA であるので、内部電圧変動は 50 mV 以下に抑制する事ができる。また、DRAM 動作時のピーク電流に対しても、降圧回路からの供給時には+0.04 V、-0.02 V の電圧変動、スイッチから供給した場合でも-10 %以内に変動を抑制できている事をシミュレーションにより確認した。これらの結果より、今回提案した方式が 1.5 V 64 Mb DRAM コアの動作に対して十分マージンを持っている事が明らかとなった。図 3.4 には外部電源電圧が 3.3 V と 1.5 V の間で遷移したときの内部電圧の応答特性を実測した結果を示す。内部電源電圧にはダミー負荷として、620 オームと 680 pF が並列に付加されている。降圧回路とスイッチの切替は、 V_{CC} の立下り時には 1.8 V、立上り時には 2 V で行われるように設定した。これは、外部供給電圧が切替電圧付近にあるときのチャタリングを防止するためである。実測結果からは、設計どおりの電圧で切替が行われている事がわかる。

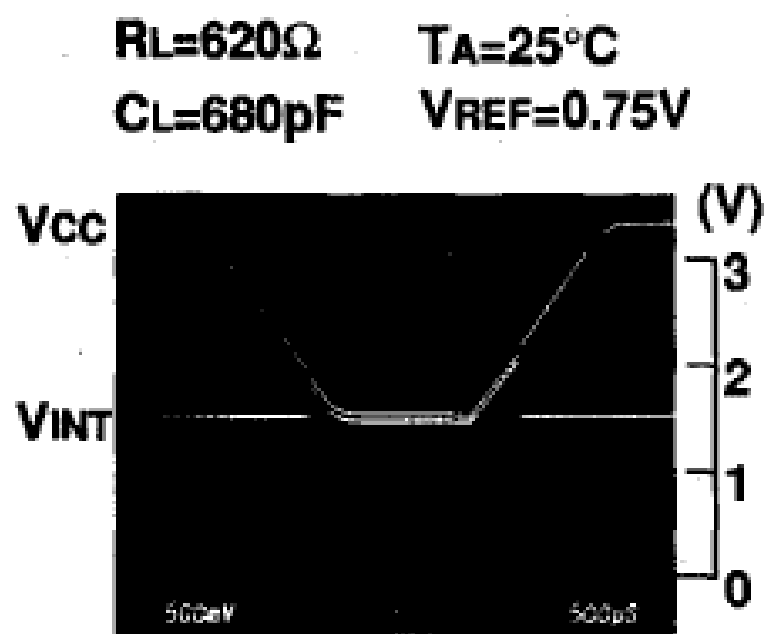


図 3.4 外部電源電圧変動時の内部電圧応答特性

3.3. 高耐圧回路技術

前節で述べたように、降圧回路とスイッチを切替えて低電圧コアに給電することにより、外部から高電圧を供給した場合でも、微細な素子には高い電圧が印加されることは無く、かつ外部電圧の変動を受けないために安定な動作を実現する事ができる。しかしながら、外部との信号のやりとりを行う入出力回路や、オンチップ降圧回路そのものは高い電圧に曝されるため、微細な素子をそのまま使用することはできない。一つの手段は、微細素子に加えて高い電圧にも耐えられるような素子をチップ上に形成する事であるが、プロセスステップ数やマスク枚数が増加するため、コストの増加を招いてしまう。もう一つの手段は、素子の種類は増やさずに、微細な素子を用いて回路的な工夫で高耐圧化を実現する事である。本節では後者を実現する回路方式を提案する。

MOSFET の耐圧としてはゲート、ソース、ドレイン、バックゲート、の4端子間の印加電圧を考慮する必要がある。ただし、バックゲートとソース/ドレイン間は逆接合耐圧で決まるため、素子を微細化しても他の端子間ほど耐圧低下は顕著ではない。また、バックゲートとゲートの間もチャネルが形成されていないオフ状態でのみ問題になるが、通常の回路構成、回路動作では深いオフ状態になることはほとんど無いので、バックゲートを除く3端子間の耐圧を考慮すれば良い。高い電源電圧下でも、ゲート、ソース、ドレイン、3端子間の印加電圧を制限する回路構成として、**図 3.5** に示すインバータ回路を提案する。**図 3.5(a)**はインバータ2段分を示している。基本的な特徴は、N-ch MOSFET、P-ch MOSFET、それぞれをカスコード接続とし、その内側（出力側）のMOSFETのゲートに印加するバイアス電圧 V_{LN} , V_{LP} を**図 3.5(b)**のように、ある電源電圧以上でリミットする特性とする事である。CMOS インバータがスイッチングするときの各ノードの電圧を簡単に試算した例を**図 3.5(c)**に纏めた。なお、CMOS インバータはN-ch 側と P-ch 側で対称な動作となるので、試算はN-ch 側のみで行っている。また、簡単のために、ゲートしきい値電圧によるゲート・ソースの電圧降下、言い換えればソースフォロワ動作におけるゲート・ソース間電圧の収束値が 0.5 V であると仮定する。電源電圧が 4 V、バイアス電圧が 2 V であるとする、トランジスタ Q4 の入力 INL の Low レベルは 0 V、High レベルは 1.5 V となる。INL が Low のときには Q4 がオフし、出力 OUTL には 1.5 V、OUT には電源電圧と同じ 4 V が出力される。また、INL が High のときには

Q4 がオンし、OUTL、OUT、ともに 0 V となる。各入力に対する Q3、Q4 のゲート、ソース、ドレイン間の電圧を図 3.5(c)のテーブルに示すが、最大印加電圧は 2.5 V となっており、電源電圧 4 V から 1.5 V 低下した値となっている。したがって、この構成とバイアス電圧の組み合わせにより、素子に印加される電圧を緩和する事が可能となる。この回路構成の他の特長として、次段のインバータを構成する N-ch MOSFET、P-ch MOSFET それぞれの駆動信号を得るのと同時に、電源電圧のフル振幅出力も得られる事が挙げられる。

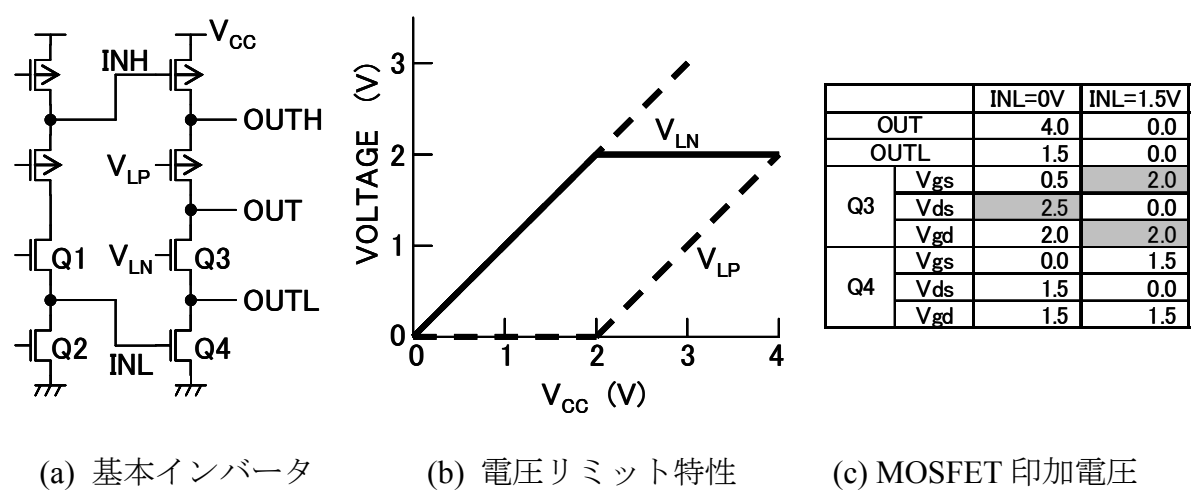
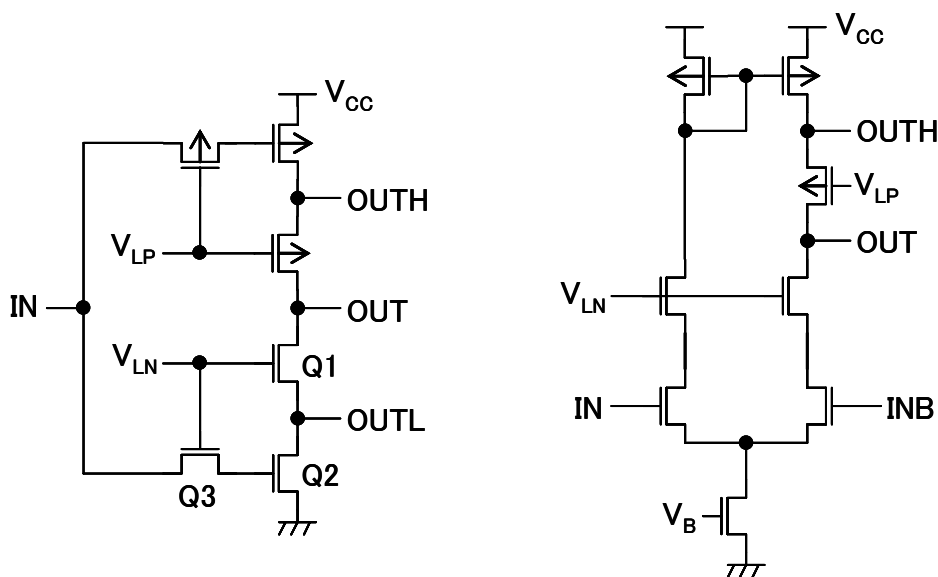


図 3.5 高耐圧 CMOS インバータ

前述した CMOS インバータ以外の高耐圧回路の構成として、図 3.6(a)には電源電圧のフル振幅入力を受けられる CMOS インバータの構成を示す。Q1、Q2 は前述した高耐圧 CMOS インバータと同様であるが、Q2 の High 入力レベルをクランプするために、Q3 を追加している。Q3 のゲート電圧は V_{LN} 、すなわち電源電圧のほぼ中間付近にバイアスしているので、フル振幅が入力されても、ゲートと入力の電圧差は電源電圧のほぼ半分には緩和される。また、図 3.6(b)には差動増幅回路の構成例を示している。オンチップ降圧回路などで、バッファを構成する際に適用することができる。基本的には、CMOS インバータと同様に、N-ch MOSFET、P-ch MOSFET、それぞれをカスコード接続とし、クランプ用のバイアス電圧を印加する。大振幅が入力されるボルテージフォロワのような使い方はできないが、仮想接地点付近で動作させる誤差増幅器のような場合に適用できる。

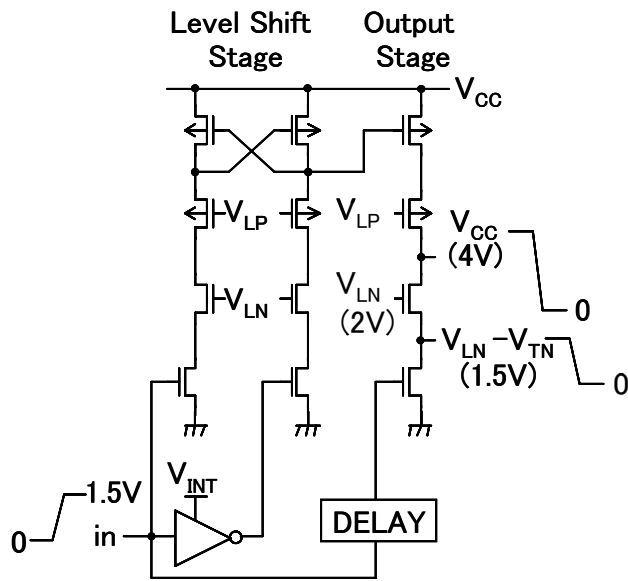


(a) 大入力振幅への対応

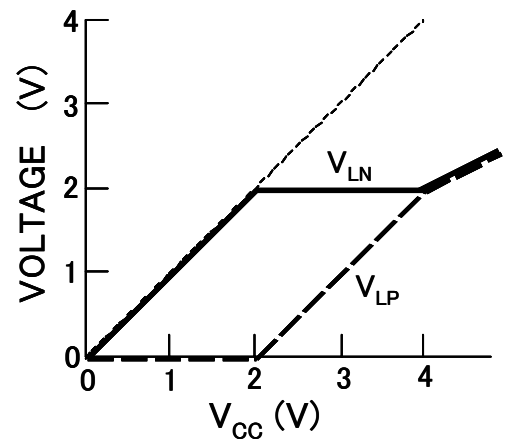
(b) 差動増幅回路

図 3.6 高耐圧方式の他回路への応用例

以上の回路構成をベースに、出力バッファを構成した例を図 3.7(a)に示す。バッファは出力段 (Output Stage) とそれを駆動するレベルシフト段 (Level Shift Stage) で構成される。出力段は高耐圧 CMOS インバータそのものである。レベルシフト段は相補信号を入力する N-ch MOSFET ペア、ゲートをクロスカプル接続された P-ch MOSFET ペア、それらを高耐圧化するためのカスコード MOSFET、で構成される。出力段の N-ch 入力と P-ch 入力の駆動信号に遅延時間差があると、出力段に大きな貫通電流が流れるおそれがあるので、レベルシフト段の遅延時間に合わせるための遅延回路が必要である。図 3.7(b)にはクランプ電圧の特性を示す。電源電圧 4 V までのクランプ特性は図 3.5(b)に示したものと同一であるが、それ以上の電圧では、電源電圧依存性をもたせている。これはカスコードを構成する 2 つの MOSFET にかかる電圧を均等にするためと、バーンイン（電圧加速試験）のときに通常動作時の電圧よりも大きな電圧が各 MOSFET に印加されるようにするためである。図 3.8 には電源電圧 3.3 V の場合、高耐圧出力バッファがスイッチング動作を行ったときのカスコード MOSFET の各ノード間電圧の時間変化をシミュレーションしたものである。各ノード間の電圧は 2 V 以下にクランプされており、期待通りの効果が得られている。



(a) 回路構成



(b) クランプ電圧特性

図 3.7 高耐圧出力バッファ回路

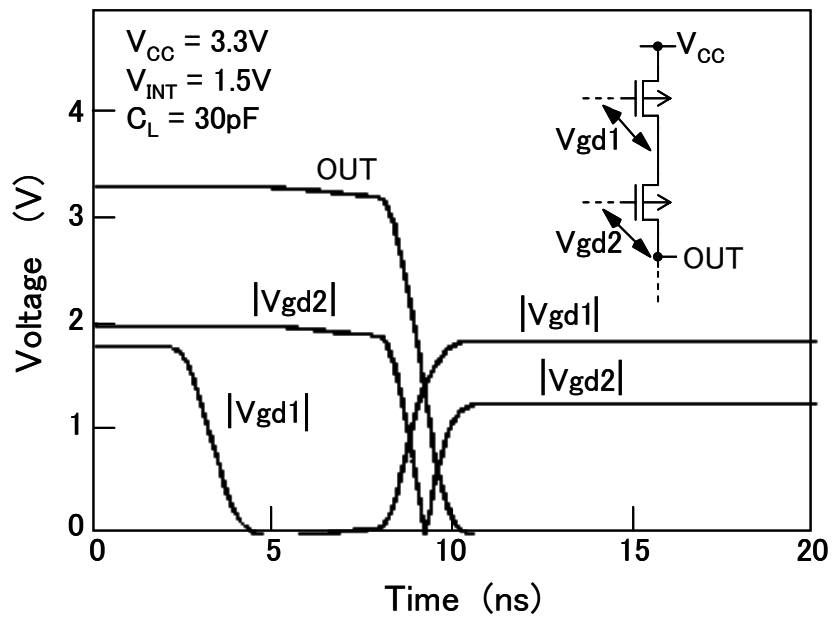


図 3.8 スイッチング時の MOSFET 端子間電圧

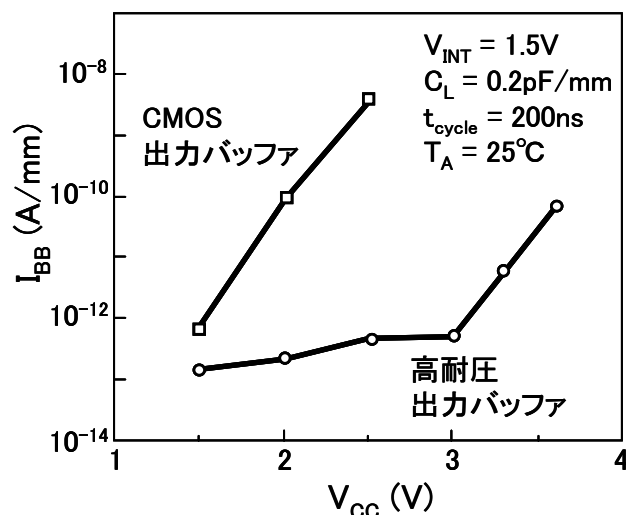


図 3.9 基板電流の実測結果

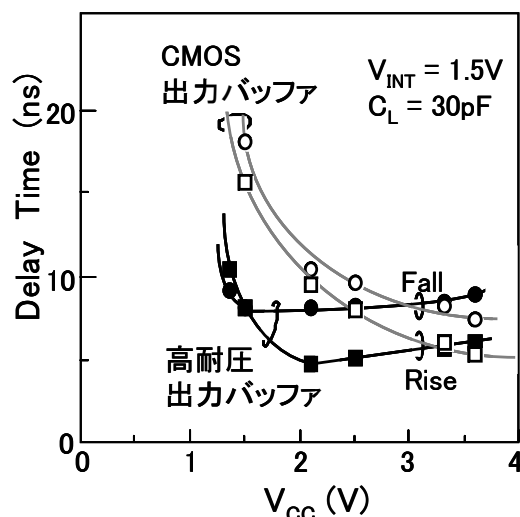


図 3.10 遅延時間の電源電圧依存性

ここで提案した方式を実験的に検証するために、図 3.7 の構成と同じ高耐圧出力バッファを設計・試作した。図 3.9 は出力バッファがスイッチング動作を繰り返したときに生成される基板電流の値を実測したものである。図中、CMOS 出力バッファは高耐圧回路を用いない通常の CMOS インバータである。基板電流は MOSFET のチャネルを走行する電子が加速されて高エネルギーを持ち、それが格子との衝突をする事により生じた電子・正孔対のうちの正孔が基板に流れる事による電流である。したがって、この基板電流の大きさで MOSFET のドレイン耐圧やホットキャリア劣化が決まる。ゲート長やゲート幅が同一であれば、基板電流が同じ場合に同等の耐圧になると考えられるので、高耐圧回路を用いる事で耐圧が約 1.5 V 程度上昇する事が実験的にも明らかとなった。図 3.10 には出力バッファ段での遅延時間を電源電圧依存性として測定したものである。ここでも高耐圧回路を用いない通常の CMOS インバータとの比較結果として示している。通常の CMOS インバータの場合、遅延時間は大きな電源電圧依存性を有するが、高耐圧出力バッファでは電源電圧依存性がほぼ一定、実際にはわずかながら電源電圧に対して逆の依存性を有している。これは回路構成上、ゲート電圧とドレイン電圧が、それぞれほぼ一定の値にクランプされ、ほぼ定電流で駆動されているためである。定電流駆動であるがゆえに、電源電圧が低く振幅が小さい方が高速に遷移するため、このような逆の依存性を有している。図 3.11 は高耐圧出力バッファの動作波形を示す。電源電圧 3.3 V と 1.5 V でほぼ同じ遅延時間で動作している事がわかる。

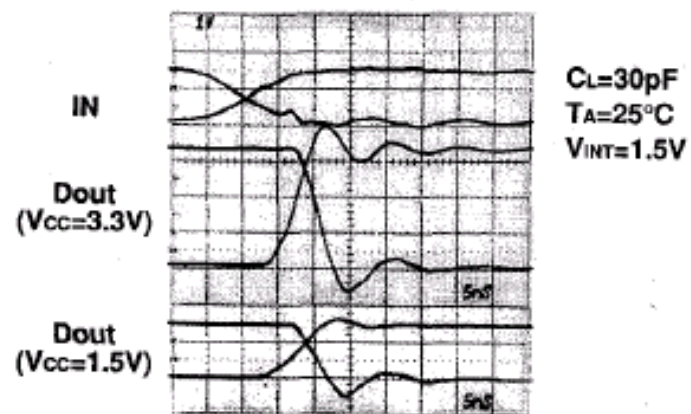


図 3.11 高耐圧出力バッファ実験チップの動作波形

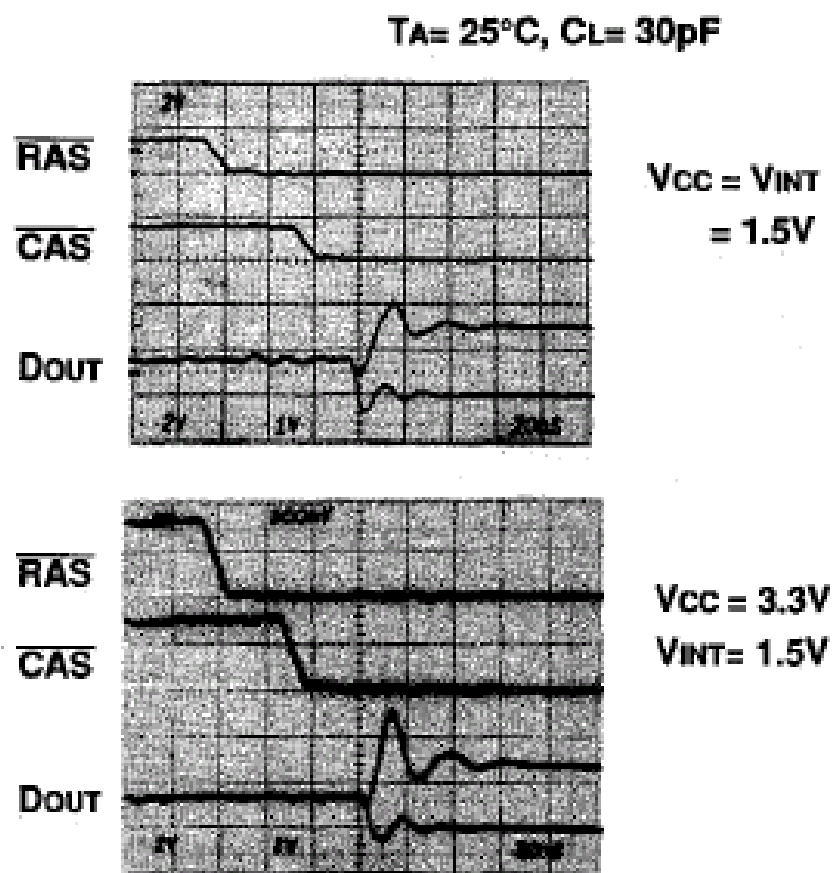


図 3.12 1.5-3.6V 64Mb DRAM 試作チップの動作波形

3.4. 64Mb DRAM チップの試作結果

以上、述べてきたようなユニバーサル電源方式、および高耐圧回路を実際の DRAM で検証するために、1.5 V から 3.6 V の広い電源電圧範囲で動作する 64 Mb DRAM を設計・試作した。図 3.12 は試作したチップのアクセス波形を示している。1.5 V と 3.3 V でほぼ同じアクセス時間が得られている。また、図 3.13 にはアクセス時間の電源電圧依存性をシミュレーションした結果を示すが、広い電源電圧範囲にわたってアクセス時間の変動は極めて小さなものとなっている。これらの結果より、ここで提案した回路方式が広い電源電圧で動作する LSI を実現する上で有効な手段であることが示された。

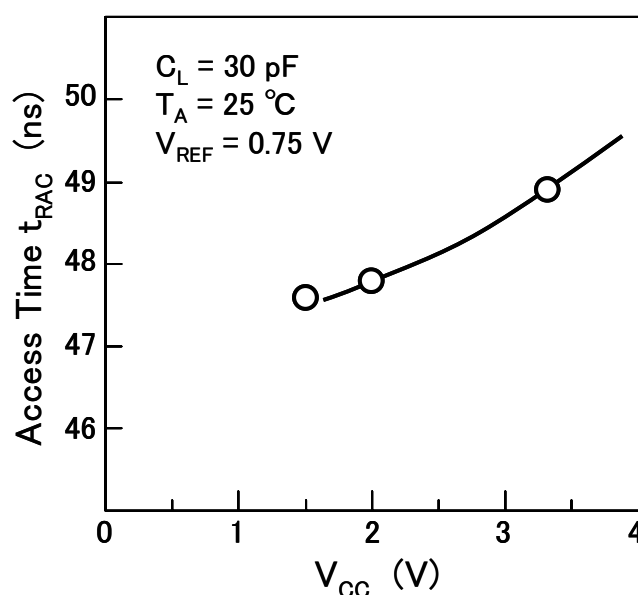


図 3.13 アクセス時間の電源電圧依存性（シミュレーション）

3.5. まとめ

本章では、LSI を 1.5～3.6 V という広い電圧範囲で動作させるための回路技術を提案し、その実現性を試作により検証した。降圧回路と MOSFET スイッチから構成され、高い電圧領域では降圧回路から給電し、低電圧領域ではスイッチを介して電源から直接給電する 2 経路給電方式を提案した。入出力回路など外部電圧に曝される回路について

は、CMOS のカスコード接続と N-ch/P-ch 独立したバイアス源で構成する高耐圧 CMOS 回路を提案した。これらの回路技術を組み合わせて、例えば 1.5～3.6 V といった広い電圧範囲で高速動作を可能にするユニバーサル電源方式の概念を提案した。この概念を検証するために、1.5～3.6 V で動作する 64 Mb DRAM を設計・試作し、広い電圧範囲にわたってほぼ一定の高速性能を維持する事ができる事を示した。この結果より、プロセス工程を増やすことなく、1.5～3.6 V といった広い電圧範囲でほぼ一定の高速性能と高信頼性を実現する LSI を提供できる事を明らかにした。

本章で提案した 2 つの技術に関しては特許を出願、登録になっている [3, 4]。これらの技術のうち特に高耐圧 CMOS 回路については、主に MPU 製品で不可欠な技術として広く適用されている。低電力・高性能化を追求するために MOSFET の微細化と低電圧動作化が進む中で、周辺 I/O インタフェースは高い電圧での動作が必要になっているためである。図 3.14 に International Solid-State Circuits Conference (ISSCC)、Symposium on VLSI Circuits (VLSI Circuit Symp.) での発表例を示す[5-13]。1997 年以降、直近の 2010 年まで主要な MPU メーカーの発表で適用されており、現在も先端プロセス製品の実現のために不可欠な技術の一つになっている事が明らかである。

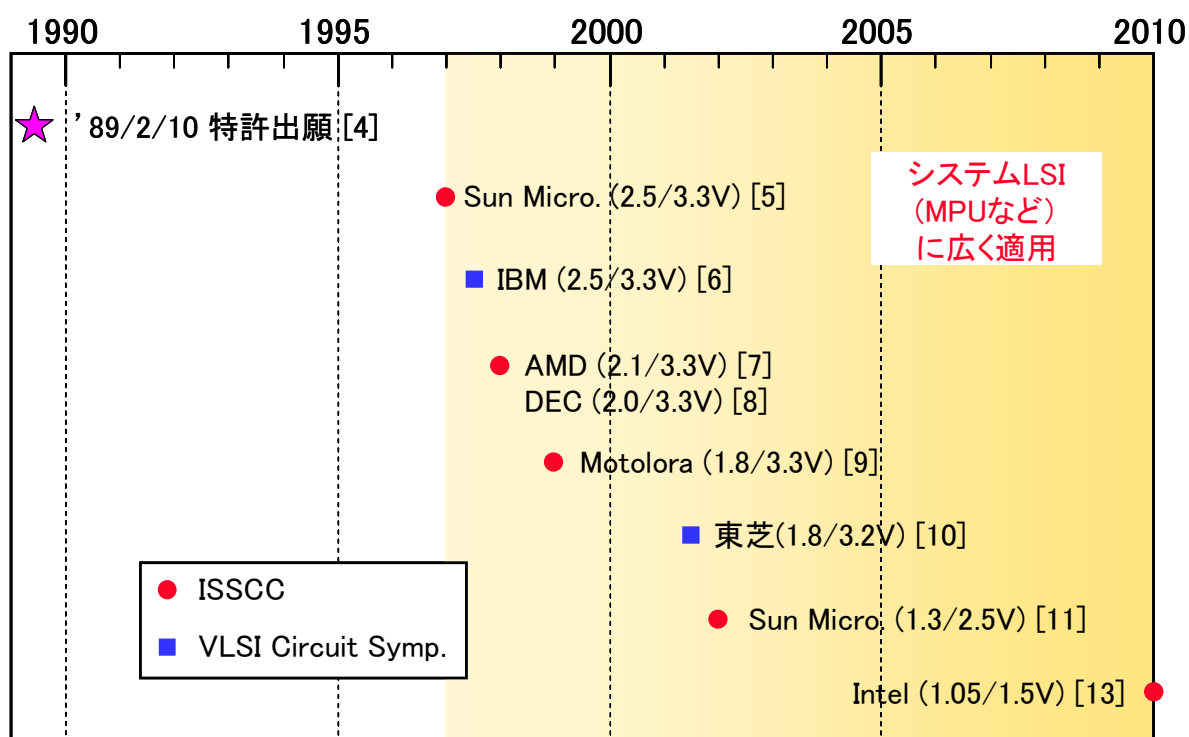


図 3.14 高耐圧 CMOS 回路に関する主な学会発表

第 3 章の参考文献

- [1] Y. Nakagome, K. Itoh, K. Takeuchi, E. Kume, H. Tanaka, T. Mushya, T. Kaga, T. Kisu, T. Nishida, Y. Kawamoto, and M. Aoki, "Circuit techniques for 1.5-3.6 V battery-operated 64Mb DRAMs," European Solid-State Circuits Conference (ESSCIRC), Proceedings, pp.157-160 (Sep. 1990).
- [2] Y. Nakagome, K. Itoh, K. Takeuchi, E. Kume, H. Tanaka, M. Isoda, T. Musha, T. Kaga, T. Kisu, T. Nishida, Y. Kawamoto, and M. Aoki, "Circuit techniques for 1.5-3.6-V battery-operated 64-Mb DRAM," IEEE J. Solid-State Circuits, vol.26, no.7, pp.1003-1010 (July 1991).
- [3] 中込 儀延, 伊藤 清男, "半導体装置," 特願平 1-29803 (1989 年 2 月 10 日 出願), 特許 2,914,989 (1999 年 4 月 16 日 登録) 【ユニバーサル電源】
- [4] 中込 儀延, 伊藤 清男, "半導体装置," 特願平 10-244712 (1989 年 2 月 10 日 原出願), 特許 3,339,564 (2002 年 8 月 16 日 登録) 【高耐压 CMOS 回路】
- [5] D. Greenhill, E. Anderson, J. Bauman, A. Charnas, R. Cheerla, H. Chen, M. Doreswamy, P. Ferolito, S. Gopaladhine, K. Ho, W. Hsu, P. Kongetira, R. Melanson, V. Reddy, R. Salem, H. Sathianathan, S. Shah, K. Shin, C. Srivatsa, and R. Weisenbach, "A 330MHz 4-Way Superscalar Microprocessor," 1997 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.166-167 (Feb. 1997).
- [6] J. Connor, D. Evans, G. Bracer, J. Sousa, W. W. Abadeer, S. Hall, and M. Robillard, "Dynamic Dielectric Protection For I/O Circuits Fabricated in a 2.5V CMOS Technology Interfacing to a 3.3V LVTTTL Bus," 1997 Symposium on VLSI Circuits, Digest of Technical Papers, pp.119-120 (June 1997).
- [7] R. Khanna, A. Ben-Meir, L. DiGregorio, D. Draper, R. Krishna, R. Maley, A. Mehta, S. Oberman, L. Tsai, and T. Williams, "A 0.25 μ m x86 Microprocessor with a 100MHz Socket 7 Interface," 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.242-243 (Feb. 1998).
- [8] S. Santhanam, A. Baum, D. Bertucci, M. Braganza, K. Broch, T. Broch, J. Burnette, E. Chang, K. Chui, D. Dobberpuhl, P. Donahue, J. Grodstein, I. Kim, D. Murray, M. Pearce, A. Siberia, D. Soudalay, A. Spink, R. Stepanian, A. Varadharajan, and R. Wen, "A Low-Cost 300MHz RISC CPU with Attached Media Processor," 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers,

pp.298-299 (Feb. 1998).

- [9] H. Sanchez, J. Siegel, C. Nicoletta, J. Alvarez, J. Nissen, and G. Gerosa, "A Versatile 3.3V/2.5V/1.8V CMOS I/O Driver Built in a 0.2 μ m 3.5nm Tox 1.8V CMOS Technology," 1999 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.276-277 (Feb. 1999).
- [10] D. Takashima and H. Nakano, "A Cell Transistor Scalable Array Architecture for High-Density DRAMs," 2001 Symposium on VLSI Circuits, Digest of Technical Papers, pp.31-32 (June 2001).
- [11] G. Konstadinidis, K. Normoyle, S. Wong, S. Bhutani, H. Stuimer, T. Johnson, A. Smith, D. Cheung, F. Romano, S. Yu, S-H. Oh, V. Melamed, S. Narayanan, D. Bunsey, C. Khieu, K. J. Wu, R. Schmitt, A. Dumlao, M. Sutura, J. Chau, and K. J. Lin, "Implementation of a Third-Generation 1.1GHz 64b Microprocessor," 2002 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.338-339 (Feb. 2002).
- [12] B. Serneels, T. Piessens, M. Steyaert, and W. Dehaene, "A High-Voltage Output Driver in a Standard 2.5V 0.25 μ m CMOS Technology," 2004 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.146-147 (Feb. 2004).
- [13] N. A. Kurd, S. Bhamidipati, C. Mozak, J. L. Miller, T. M. Wilson, M. Nemani, and M. Chowdhury, "Westmere: A Family of 32nm IA Processors," 2010 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.96-97 (Feb. 2010).

4. サブ 1V 振幅回路の開発

4.1. まえがき

本章では、論理 LSI のさらなる低電圧動作化に向け、一部の回路の低振幅動作を実現するための一提案を示す。まずは、その詳細内容の前に背景について以下述べる。

MPU の性能向上は、1 命令を実行するのに必要なサイクル数（CPI = Cycles Per Instruction）の減少とサイクル時間（動作周波数の逆数）の削減、すなわち動作周波数の上昇によって達成されてきている。特に RISC(Reduced Instruction Set Computer)アーキテクチャのように、命令セットを単純化し、CPI やサイクル時間を削減する方式がワークステーション中心に広く採用されるとともに、周波数の向上は顕著になっている。図 4.1 に 1991 年ぐらいまでに発表された主な RISC プロセッサの性能と消費電力の関係を示す。なお、性能としては MIPS 値（Million Instructions Per Second）を用いている。一つだけ電源電圧 3.3 V のものがあるが、これは 200MHz という発表当時としては高周波数動作で話題となった DEC 社の Alpha マイクロプロセッサである [1]。この図から、性能向上に比例して消費電力の増大が顕著になっている事がわかる。特に電力が 30 W を越えると、自然放熱での対応は難しくなり、冷却コストの上昇につながる。第 1 章でも述べたように、CMOS 論理 LSI の消費電力は容量負荷の充放電電力が支配的であるので、

$$P = C_{total} V^2 f \quad (4.1)$$

と表される。ここで、 C_{total} はスイッチング動作を行う負荷容量、 f は動作周波数、である。この式より、電源電圧を低下させることにより大きな電力削減が期待できる事がわかる。同図には電源電圧を 5 V から 1.5 V に低下させたときの電力の推定値を示しているが、5 V に対して約 1/10 に電力を低減できるため、より高性能のプロセッサを実現するためにも低電圧化が有効である。なお、図において電力と性能の傾きが 1 よりも大きな値となっているが、これは性能向上に伴ってバス幅が増大したり、キャッシュメモリの容量が増大したりすることによりチップサイズが増加している事に起因していると推測する。このように、特に論理 LSI の高性能化のためには低電圧化が重要な課題である。

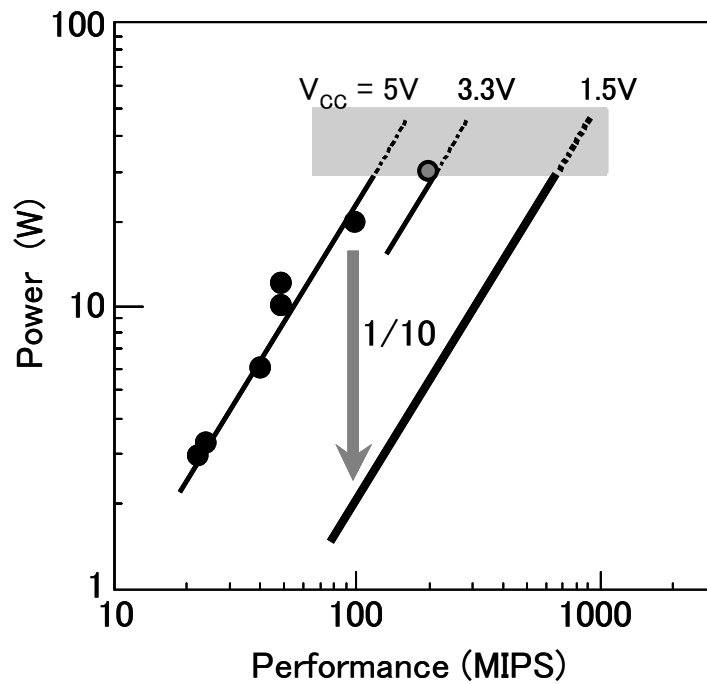


図 4.1 RISC プロセッサの消費電力推移

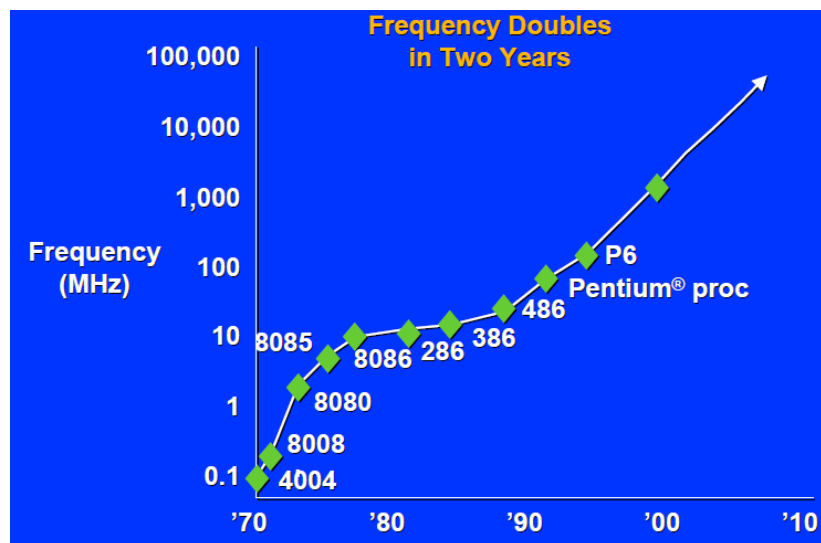


図 4.2 マイクロプロセッサの動作周波数推移 (Intel)

本章のベースとなる論文発表は 1992 年に行ったが、その約 10 年後の 2001 年の ISSCC (International Solid State Circuits Conference)においてインテル社から発表されたデータを 図 4.2、図 4.3 に示す [2]。図 4.2 は同社の製品の動作周波数の推移を示している。1990 年ごろまでは動作周波数は数 10MHz 程度の値に留まっていたが、Pentium アーキテクチ

の導入によって動作周波数が製品世代とともに上昇している。最近の製品では動作周波数の上昇は頭打ちになっているが、3.6 GHz を越える値にまでなっている。また、図 4.3 に示すように、回路規模の増大や動作周波数の上昇に伴って消費電力も増大を続け、2000 年以降のハイエンドの MPU は 100 W を越えるような値になっている。先に、図 1.1 に示したように、こうした消費電力増大に対処するため、1993 年ぐらいまで 5 V 一定であった電源電圧は各製品毎に低下させる状況になっており、消費電力が性能向上の主要な律則要因になっている。低電圧化は、しかし一方で大きな問題を投げかける事になる。

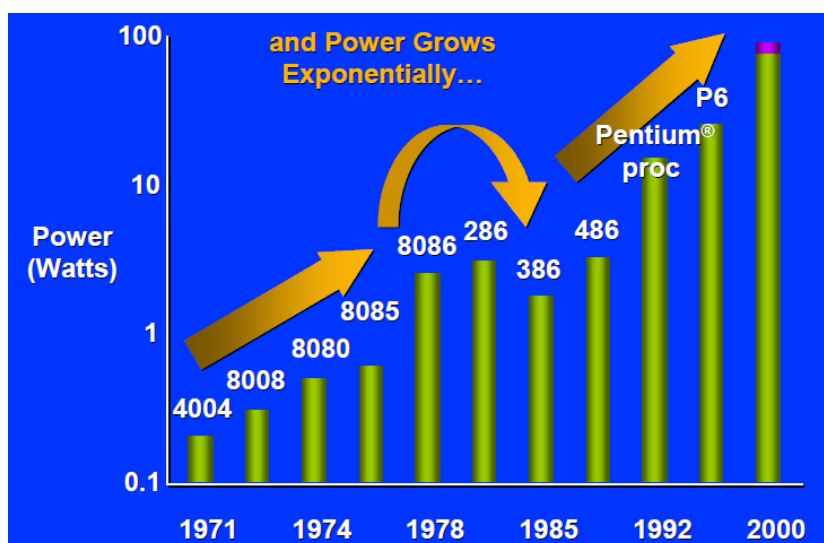


図 4.3 マイクロプロセッサの消費電力推移 (Intel)

図 4.4 には電源電圧 3.3 V を起点として、そこから素子サイズと電源電圧をスケールしたときのインバータ列の遅延時間の推移を示している。図には 2 つの場合、すなわちインバータのしきい値電圧 V_T をスケール則に従って低下させた場合 (V_T scaled) と回路のスイッチング動作を行わないスタンバイ時の電流 I_{SB} を 0.2 mA 一定に保った場合 (V_T unscaled) である。前者のスケールを行った場合には遅延時間は世代とともに減少し、高速動作が期待できるが、スタンバイ時の電流は低電圧化とともに増大し、0.13 μm 世代では 3 A を越える電流が流れてしまう。これは、MOSFET のサブスレショルド電流が指数関数的に増大するため、回路全体で流れる直流リーク電流が無視できなくなる事を意味している。一方後者では素子数が増大してもスタンバイ電流を一定に保つ必要があるため、低電圧化とともにしきい値電圧を上昇させなければならず、

遅延時間はあるところからかえって増大してしまう事になる。このように、低電圧ではスタンバイ電流の増大抑止と高速動作の両立が極めて難しい事が明らかになった。

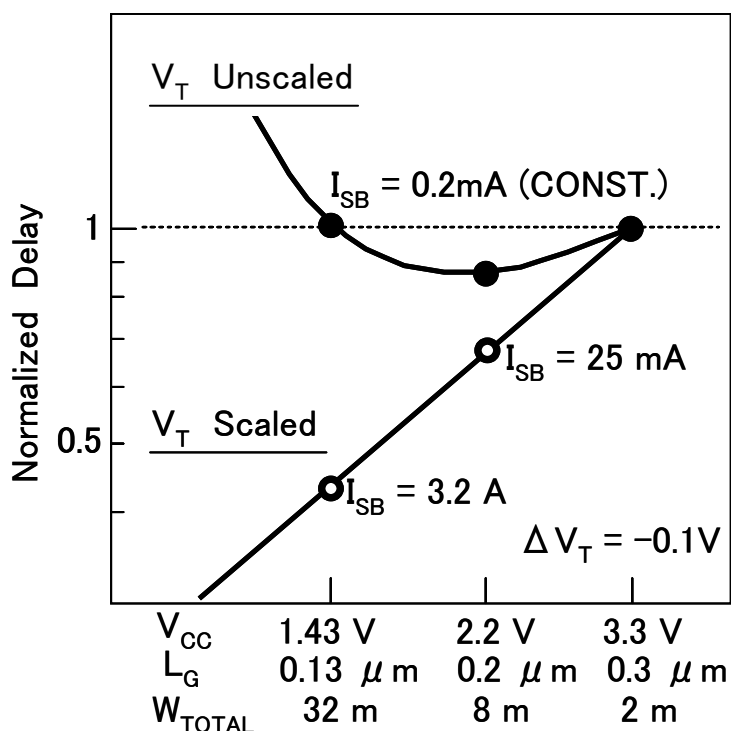


図 4.4 遅延時間とスタンバイ電流の推移

以上、述べてきたように、MPU に代表される論理 LSI の高性能化のためには電力増大の抑止が必要であり、そのためには低電圧化が有効な手段である。しかしながら低電圧化により、スタンバイ時の電流増大抑止と高速動作の両立が困難になるため、何らかのブレークスルーが必要である。本節では、これに対する一つの提案として、消費電流に影響する大きな容量負荷部分のみを低振幅で動作させ、消費電力を削減する方式を提示する。4.2 節では論理 LSI の動作振幅の一部を 1V 以下に低下させるための回路方式の提案を行う [3, 4]。4.3 節では、その具体的な回路設計の内容を述べ、4.4 節では、実験的に検証するために試作したチップの評価結果を述べる。

4.2. 低振幅バス方式の提案

図 4.5 に今回提案する低振幅バス方式の基本概念を示す。本提案では LSI を論理処理を行う論理回路ブロックと負荷容量の大きなバス配線部分に分け、バス配線部分の信号振幅を論理回路ブロックの信号振幅よりも小さく ($1/n$ に) する事を特徴としている。このような構成にすることにより、バス配線部分で消費される電力を削減する事が可能となるため、LSI 全体の消費電流のうちでバス配線部分の占める比率が高い場合には大きな電力削減効果を期待できる。MPU の高性能化に際して、先に述べたようにバス幅の増大やチップ面積の増大が不可避であり、チップ上の比較的長い距離を伝播するバス配線の充放電電力の占める割合は増えると言われており、0.1 ミクロン世代では約半分を占めるという見積もり結果もある [5]。例えば、バス配線容量の占める割合が 50 %、バス配線部分の振幅を $1/3$ に低減できたとすると、チップ全体の電力は 66 %に低減することができる。また、本提案はクロックラインにも適用する事が可能であるため、クロック給電系の電力削減にも有効である。また振幅を低減した分、充放電電流も小さくなるので、バス配線で問題になるエレクトロマイグレーションの問題も軽減する事ができ、配線やスルーホール設計ルールも緩和できるという利点もある。

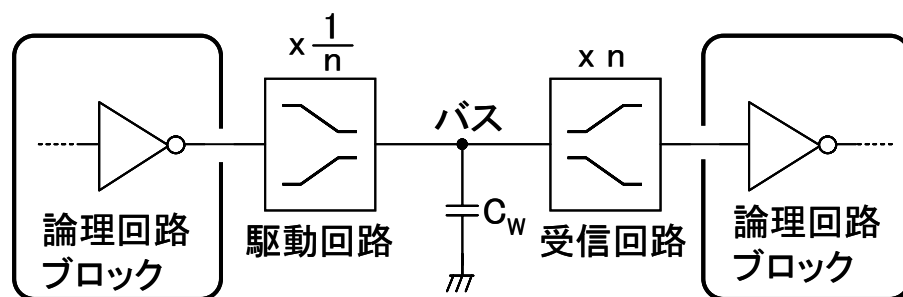


図 4.5 低振幅バス方式

また、本提案の他の特徴は、差動信号を用いずシングルエンドで構成している事、かつ特に受信回路（レシーバ）で直流電流を消費させないという事である。このために、バスの振幅の midpoint を論理回路ブロックの midpoint とほぼ同じ値とし、CMOS インバータの論理しきい値近辺でレベル変換を行っている。低振幅で動作させるという提案は過去にもあったが、それらはいずれも直流電流を消費したり、別のクロックを必要とする方式で

あった [6, 7]。言い換えると、今回の方式を実現する鍵は定常的な電流消費無しに、高速に信号振幅変換を行う回路である。以下、次節ではその回路設計について述べる。

4.3. 回路設計

図 4.6(a)はバス駆動回路を示す。この駆動回路が通常の CMOS インバータと異なっているのは以下の 2 点である。(1)通常のインバータとは異なり、動作電圧を低振幅に対応する内部電源にした事、(2)駆動回路を構成する N-ch、P-ch 各 MOSFET のしきい値電圧 V_T を通常のインバータよりもソース電圧のシフト分だけ低くする事である。インバータの入力は論理回路の電源電圧で駆動されるので、上記のような構成を採ることにより、駆動回路の N-ch、P-ch 各 MOSFET の駆動電流は通常のインバータと同等の値を確保できる。駆動する振幅は小さくなっている所以、通常のインバータに比べて立上り/立下り時間の短縮を図ることができる。また、MOSFET のしきい値電圧を低下させても、オフしているときのゲート・ソース間電圧はその分マイナスに振り込んでいるので、サブスレッショルド・リーク電流が増大する事もない。図 4.6(b)は低振幅を規定する内部電源 V_{CL} 、 V_{SL} を生成する回路である。基準となる電圧は抵抗 $R1$ 、 $R2$ 、 $R3$ の分圧で生成し、それをバッファで駆動する構成をとっている。

図 4.7 には負荷容量 2 pF のバス駆動に要する伝播遅延時間をシミュレーションした結果を示す。伝播遅延時間は信号振幅の 10~90 %の間を遷移するのに必要な時間で定義している。シミュレーションに用いた MOSFET のパラメータは先の 64 Mb の設計に用いたものと同じである。ゲート長は 0.6 ミクロン、ゲート酸化膜厚は 6.5 nm、論理回路ブロックの MOSFET のしきい値電圧は 0.5/-0.5 V、駆動回路の MOSFET のしきい値電圧は低振幅 = 0.6 V ($V_{CL} = 1.3V$ 、 $V_{SL} = 0.7V$) 時に最適になるように -0.1/0.1 V とした。また電源電圧は低振幅バス回路の場合は $V_{CC} = 2V$ 、 $V_{SS} = 0V$ 、信号振幅 = $V_{CL} - V_{SL}$ は可変、一方従来インバータでは振幅 = 電源電圧としている。また MOSFET の定数は、 $W_N = 15\mu m$ 、 $W_P = 50\mu m$ である。従来のインバータでは電源電圧 2 V 以下で顕著に遅延時間が増大している。一方、低振幅バス方式では振幅が 0.3 V から 1 V の間ではほぼ一定である。振幅 0.6 V のときの遅延時間は約 0.7 ns と従来方式の 2 V のときの遅延時間の約 1/2 に短縮されており、高速な伝送が実現できている。

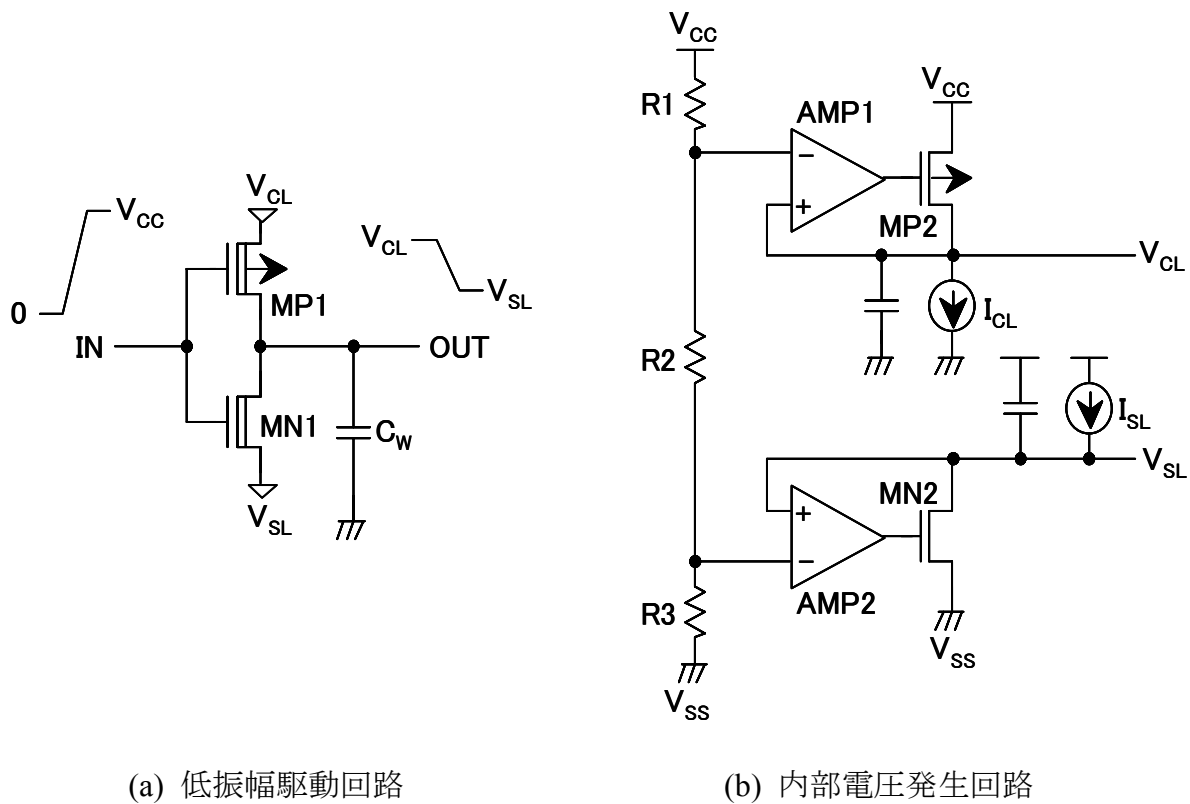


図 4.6 低振幅バス駆動回路

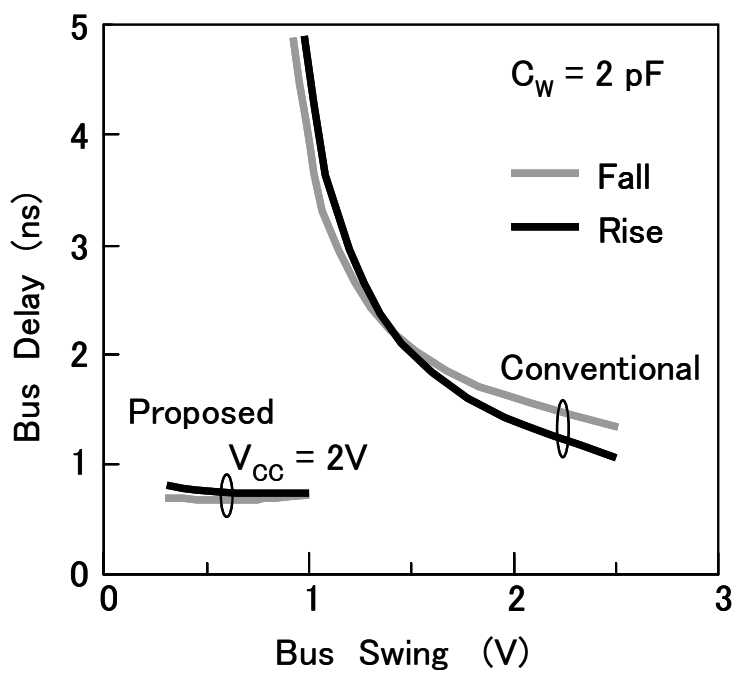


図 4.7 バス駆動遅延時間

先に述べたように、本方式実現の鍵は低振幅信号を論理回路ブロックで処理できる電源電圧振幅に変換（増幅）する受信回路である。図 4.8(a)には提案した受信回路を示す。

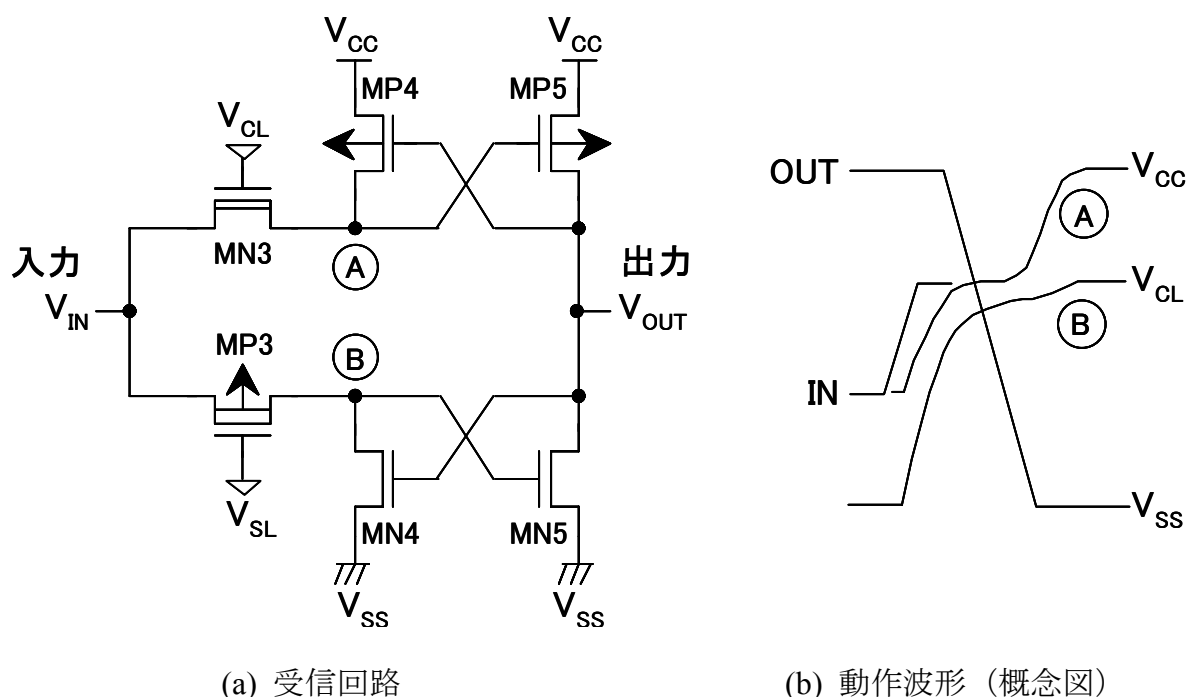


図 4.8 受信回路とその動作

この回路は上下対称な振幅変換回路を組み合わせで構成している。回路の下半分が Low 側($V_{SL} \rightarrow V_{SS}$)、上半分が High 側 ($V_{CL} \rightarrow V_{CC}$) の振幅変換の機能を有している。例えば Low 側の振幅変換回路は MN4、MN5 によって構成されるクロスカップル N-ch MOSFET 対と P-ch の転送ゲートによって構成される。また、High 側はこの逆極性の MOSFET により構成される。転送ゲート MP3、MN3 は駆動回路と同様に低しきい値電圧の MOSFET で構成され、そのゲートはそれぞれ V_{SL} 、 V_{CL} にバイアスされる。入力 Low から High に遷移する場合の動作を図 4.8(b)を用いて説明する。入力が Low から High になると、転送ゲート MP3 がオン、MN3 がオフに変化する。これによって、端子 B が V_{SS} から V_{CL} に向かって遷移する。このとき、MOSFET MN4 はまだオン状態なので、MN4 と MP3 のレシオで決まる電圧まで上昇するが、MN4 のコンダクタンスを MP3 に比べて小さく設定することで、端子 B は V_{CL} に近い電圧まで上昇する。この遷移によって、MN5 がオンし、出力を V_{SS} に駆動する。出力が V_{SS} になると MN4 がオフとなり、端子 B が入力と同じ V_{CL} に、MP4 がオンして端子 A が V_{CC} に駆動される。出力のスイ

ッティングが終了したときには、出力を駆動する MN5、MP5 のいずれか一方は必ずオフとなるため、出力に直流電流は流れない。一方で、入力が高レベル (= V_{CL}) のときには MN3 のサブスレッショルド・リーク電流が端子 A から入力に向かって流れるが、基板効果によってしきい値電圧が上昇する事、この受信回路はバスを駆動する部分に限定的に用いられる事、受信回路のゲート幅 W は駆動回路などに比べて十分小さな値で済む事、などにより、チップ全体でのリーク電流として顕著な値にならないように設定が可能である。

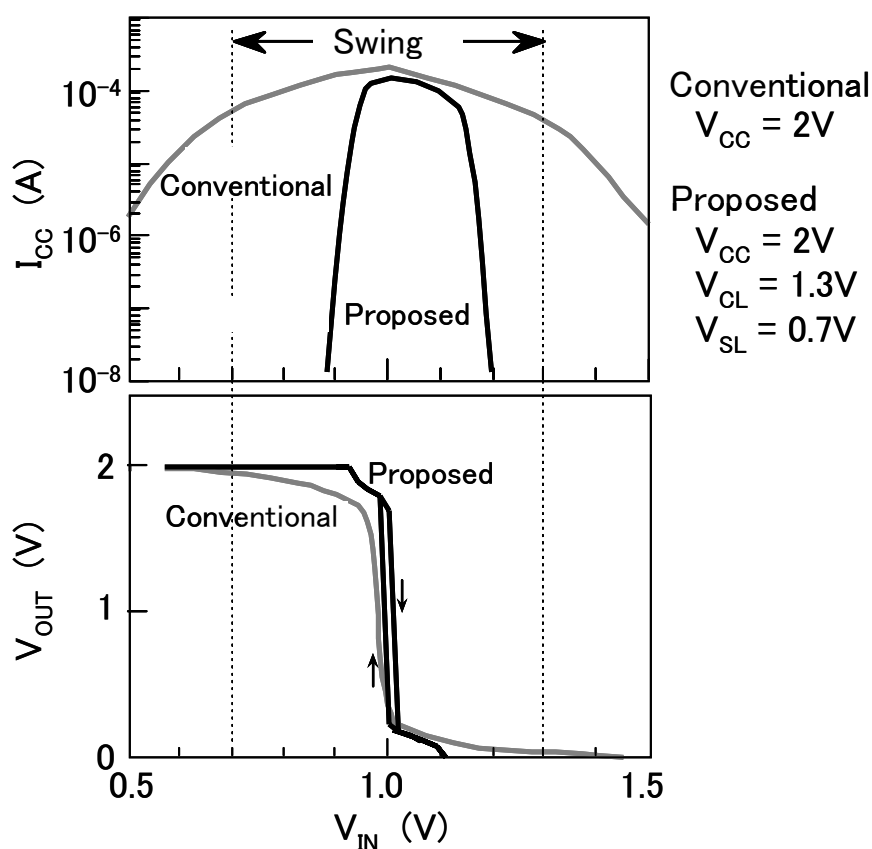


図 4.9 受信回路の伝達特性

受信回路の直流入出力特性と受信回路に流れる電流をシミュレーションした結果を図 4.9 に示す。シミュレーションの条件は、 $V_{CC} = 2V$ 、 $V_{CL} = 1.3V$ 、 $V_{SL} = 0.7V$ である。比較のために通常の CMOS インバータを受信回路として用いた場合も示す。通常の CMOS インバータの場合、定数は図 4.8 の MN5、MP5 と同じ、電源電圧は 2V である。入出力特性のシミュレーション結果によれば、通常の CMOS インバータに比べて、今

回提案の受信回路では小さな入力電圧の遷移幅の間で出力が遷移している事が分かる。これはクロスカップル構成とした事で、出力から端子 A、端子 B それぞれに正帰還がかかっているためである。この正帰還の影響で僅かなヒステリシス特性が見られるが、その幅は 0.05 V 程度であり、入力振幅の値に対して十分小さいのでスイッチング特性への影響はほとんど無い。また、この正帰還の効果で、受信回路に流れる電流も CMOS インバータに比べると極めて小さな入力電圧範囲でのみ流れている。本提案の受信回路では入力電圧の幅 0.3 V の間でのみ電流が流れているのに対して、従来の CMOS インバータでは約 1 V 以上の広い範囲で直流電流が流れている。このように本提案の回路方式では、小さな入力振幅の間で出力をフル振幅に駆動でき、かつ電源間に流れる貫通電流もその振幅外では極めて小さな値に抑制する事が可能となる。

以上述べたように、本提案の受信回路により、定常電流の消費なしに低振幅信号の増幅が可能になるが、一方で電源変動や素子バラツキによる動作マージンの低下が懸念される。図 4.10 には入力スレッシュホールド電圧のしきい値電圧依存性をシミュレーションした結果を示す。ここで入力スレッシュホールド電圧は、出力が Low から High、あるいは High から Low に遷移するときの入力電圧、すなわち出力が電源電圧の 1/2 になるときの入力電圧で定義している。N-ch MOSFET と P-ch MOSFET のしきい値電圧が同方向に変動したときがワーストになるが、その条件下で入力が立上る場合 (Rise)、立下る場合 (Fall)、それぞれのスレッシュホールド電圧をプロットした。しきい値電圧の変動は入力スレッシュホールド電圧の値そのものに影響すると同時に、ヒステリシスの幅、すなわち図中の立上り、立下りの曲線の間隔にも影響を与えている。これは、転送ゲートとクロスカップルのフィードバック用 MOSFET のコンダクタンスのバランスが崩れるためである。この図から、しきい値電圧の変動を ± 0.1 V と仮定すると、入力スレッシュホールド電圧の値は 0.88~1.11 V の範囲で変動することがわかる。これは、通常の CMOS インバータと同等の変動量である。また、電源電圧変動に対する感度をシミュレーションした結果からは、入力スレッシュホールド電圧は V_{CL} や V_{SL} の変動には大きく影響されず、 V_{CC} や接地電位の変動に敏感で、かつ V_{CC} や接地電圧の変動値の約 1/2 の量の変動が生じることが分かっている。これは、入力スレッシュホールド電圧は図 4.8 中で、MN5、MP5 で構成される出力インバータの論理しきい値電圧で決まっている事を示している。これらの検討結果から、しきい値電圧の変動が ± 0.1 V、 V_{CC} や接地電位の変動が 0.2 V に抑えられれば、入力スレッシュホールド電圧の変動は ± 0.1 V に抑制されるため、入力振幅 0.6 V 程

度の動作に対してマージンを確保する事ができる。

本方式における他の課題は、受信回路が振幅増幅動作を伴うため、遅延が増大する事である。これは、受信回路の出力を駆動する MOSFET のゲートに印加される振幅が電源電圧フルの振幅でないために、MOSFET の駆動電流が低下し、出力の立上り/立下りが緩やかになるためである。したがって、受信回路の出力負荷は極力少なくし、立上り/立下り時間を増大させないように注意する必要がある。図 4.11 には受信回路の変換遅延時間の出力ファンアウト (γ) 依存性をシミュレーションした結果を示している。変換遅延時間は立上り/立下り時間 1 ns の入力から出力が 50 % 遷移までの遅延時間で定義した。また、出力ファンアウトは受信回路の出力 MOSFET のゲート幅に対する次段インバータのゲート幅の比である。比較のために、従来の CMOS インバータを電源電圧 2 V と同じ入力振幅で駆動した場合を示している。CMOS インバータに比べ、今回の受信回路の遅延時間は約 3 倍に増大している。しかしながら、出力ファンアウトを小さくする事で、遅延時間の差を少なくする事が可能である。この方式はバスのような長距離配線を駆動する部分に適用して効果があるものであるから、次に示すように、バスの伝送遅延も含めたトータルの伝播遅延時間で比較する必要がある。

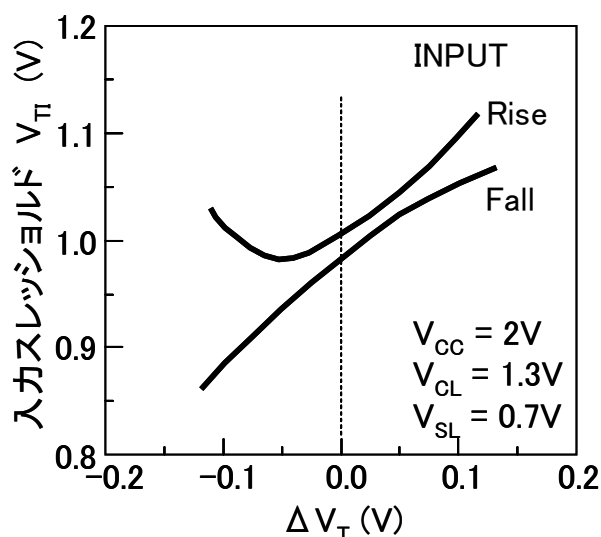


図 4.10 受信回路の V_T 電圧変動

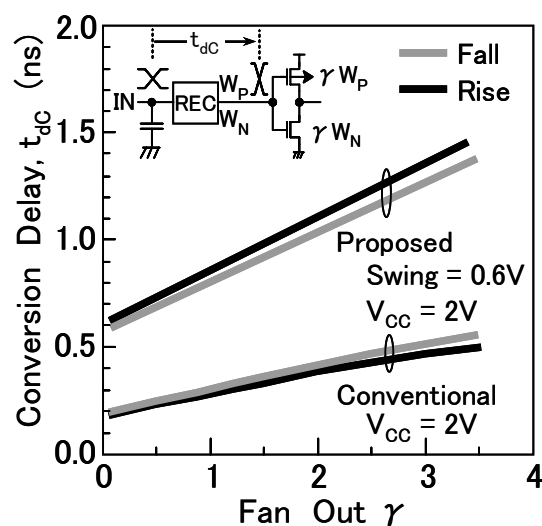


図 4.11 遅延時間のファンアウト依存性

図 4.12 にはバスの伝播遅延時間トータルのシミュレーション結果を示す。伝播遅延時間は、(1)バス駆動回路の前置ドライバとしてインバータ 2 段、(2)バス駆動回路 (DRV) およびバス、(3)受信回路 (REC)、各段での遅延の総和で定義している。バス配線の負荷容量は 2 pF である。従来の CMOS インバータで構成した場合には、電源電圧が 2 V 以下で急激に遅延が増大する。一方、本方式では振幅が 0.6 V 程度まで高速な伝送が可能になっている事がわかる。振幅 0.6 V のときの遅延時間は 2.3 ns で、従来方式の 2 V のときと同等である。また、100 MHz で動作させたときの消費電流は、従来方式で 489 μ A であるのに対して、本方式では 165 μ A と大幅に消費電流を削減できている。このように、本方式により、従来と同等のバス遅延時間を約 1/3 の振幅と消費電流で実現することが可能となる。

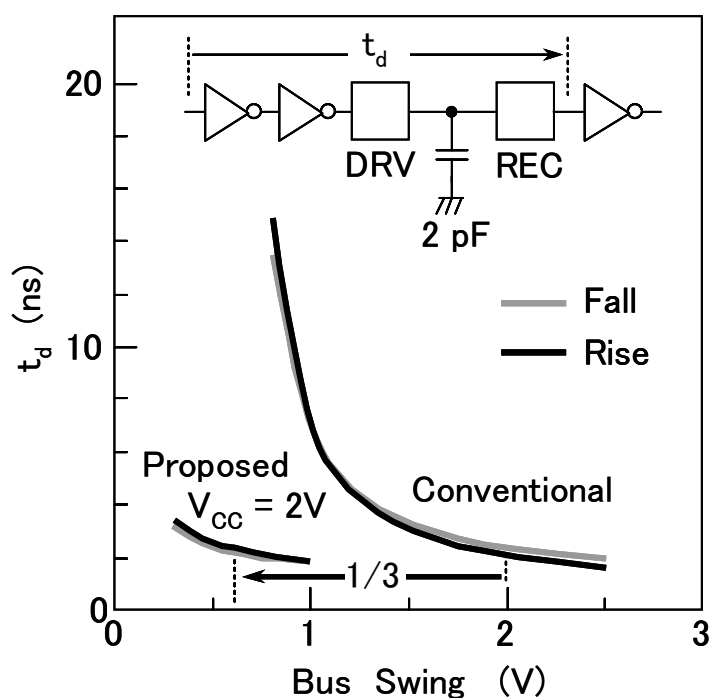


図 4.12 バス伝播遅延時間

図 4.13 には遅延時間のバス配線容量依存性を示す。本方式では、従来に比べてバス配線容量依存性が小さい。これは、本方式では全体の遅延時間に占めるバス配線部分の遅延時間の割合が小さいためである。言い換えるとバス配線容量の値が大きいほど本方式の効果が顕著になることを示している。図 4.14 には遅延時間のバス配線抵抗依存性を示す。従来、本提案、いずれの場合でも、配線抵抗の値が数 100 オームを越えると増

大している。これは遅延時間が RC 時定数で律則されているためである。本方式は従来方式に比べて、配線抵抗の値に対する感度が高いが、これは先に述べたように、本方式では全体遅延に占めるバス配線遅延の割合が小さいためである。したがって、バス遅延に占める RC 時定数遅延の割合が小さいときに、本方式の効果を得やすい。

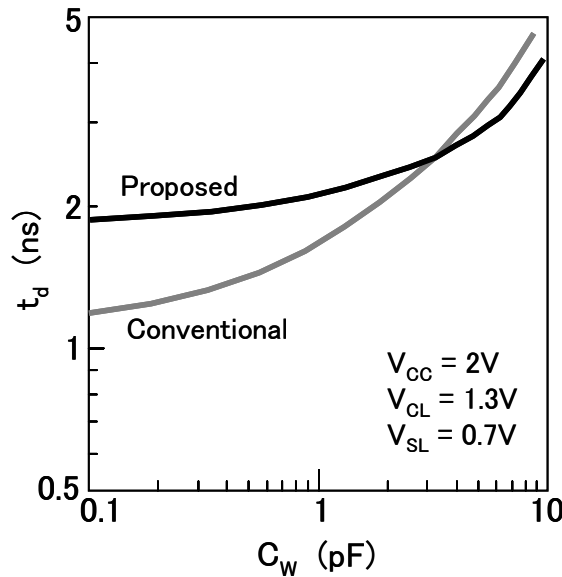


図 4.13 伝播遅延時間の負荷容量依存性

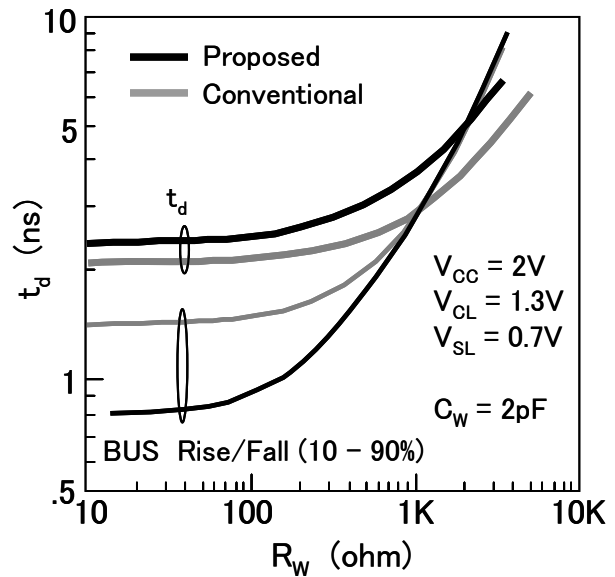


図 4.14 伝播遅延時間の抵抗依存性

4.4. 実験的検討

本方式を実験的に検証するために、0.3 ミクロンプロセスを用いて、30 段のドライバ、レシーバを直列に接続したテストチップを設計・試作した。図 4.15 に顕微鏡写真を示す。テストチップでは、バス配線の代わりに各ドライバ出力に 0.83 pF の負荷容量を付加した。負荷容量の大きいときには、今回の方式による面積ペナルティは小さくなる。これは、負荷容量の大きいときにはドライバ出力段の MOSFET が面積を決めるため、他の回路の面積影響は小さくなるためである。なお、テストチップでは低振幅を決める V_{CL} 、 V_{SL} は外部から印加している。

図 4.16 には測定結果を示す。一段あたりの遅延時間をバス振幅の依存性としてプロットしている。本方式では、電源電圧は 3 V で、振幅 0.8 V のときの遅延時間として 10 ns が得られている。従来方式では、電源電圧 1.5 V で 10 ns となっており、バス振幅は 1.5 V から 0.8 V に低下する事ができている。シミュレーションにより期待される効果よ

りも小さいが、実際に試作したプロセスでは MOSFET のしきい値電圧が今回検討した MOSFET のそれよりも 0.5 V 高い事、低しきい値電圧の MOSFET を用いる事ができなかった事、の 2 つが主な要因である。MOSFET のしきい値設定を最適化する事により、改善が期待される。図 4.17 には 3 段分の遅延時間差に相当するノードの観測波形を示す。振幅は、従来、今回、いずれの場合も 1.3 V である。本方式では、立上り時間と立下り時間が改善されている。これらの実験的な検証により、本方式の効果が示された。

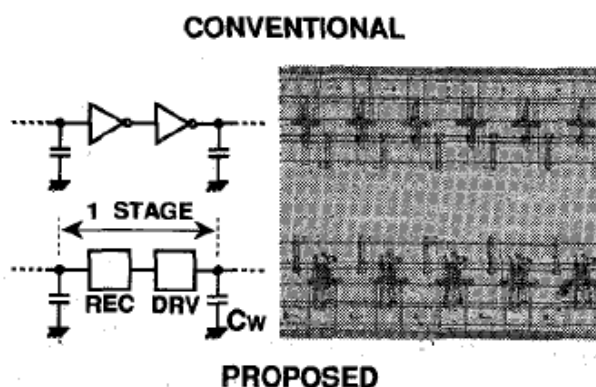


図 4.15 テストチップ写真

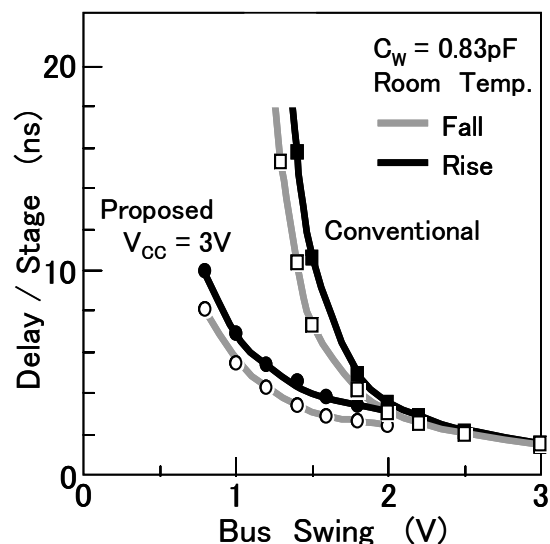


図 4.16 遅延時間の測定結果

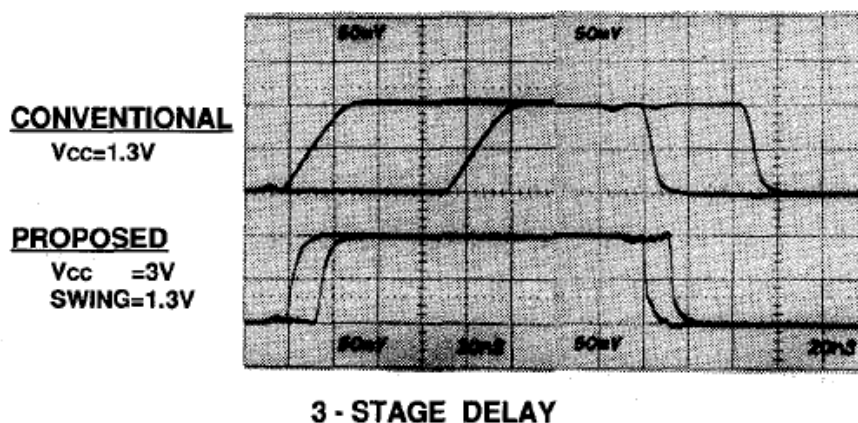


図 4.17 テストチップの動作波形

4.5. まとめ

本章では、電力増大の対策のために低電圧化が必須である事と、一方で 1.5 V 以下の低電圧下では、低リークと高速性能の両立が困難である事を示し、その対策の一つの手段として、LSI 内部のバス配線を 1 V 以下の振幅で動作させる方式を提案した。直流電流を消費せずに低振幅と高振幅の振幅変換を実現するために、低 V_T CMOS ドライバを高振幅で駆動する低振幅駆動回路と、上下対称の 2 つのレベル変換回路を組み合わせた低振幅受信回路、を提案した。これらの効果を実験的に検証するために、ドライバチェーンを試作し、動作を確認した。これらの結果より、LSI の一部負荷を低振幅で駆動し、低電力化を図る方式が実現可能である事を示した。なお、本章で提案した技術に関しては特許を出願、登録になっている [8]。バスを低振幅化する技術に関しては、本方式とは異なる方法ながら、その後多くの学会発表がなされている。

第 4 章の参考文献

- [1] D. Dobberpuhl, R. Witek, R. Allmon, R. Anglin, S. Britton, L. Chao, R. Conrad, D. Dever, B. Gieseke, G. Hoeppner, J. Kowaleski, K. Kuchler, M. Ladd, M. Leary, L. Madden, E. McLellan, D. Meyer, J. Montanaro, D. Priore, V. Rajagopalan, S. Samudrala, and S. Santhanam, “A 200 MHz 64 b dual-issue CMOS microprocessor,” 1992 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.106-107 (Feb. 1992).
- [2] P. P. Gelsinger, “Microprocessors for the new millennium: Challenges, opportunities, and new frontiers,” 2001 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.22-25 (Feb. 2001).
- [3] Y. Nakagome, K. Itoh, M. Isoda, K. Takeuchi, and M. Aoki, “Sub-1-V swing bus architecture for future low-power ULSIs,” 1992 Symposium on VLSI Circuits, Digest of Technical Papers, pp.82-83 (June 1992).
- [4] Y. Nakagome, K. Itoh, M. Isoda, K. Takeuchi, and M. Aoki, “Sub-1-V swing internal bus architecture for future low-power ULSI’s,” IEEE J. Solid-State Circuits, vol.28, no.4, pp.414-419 (April 1993).
- [5] M. Fukuma, “Limitations on MOS ULSIS,” 1987 Symposium on VLSI Technology, Digest of Technical Papers, pp.7-8 (June 1987).
- [6] H. J. Shin and D. A. Hodges, “A 250-Mbit-s CMOS crosspoint switch,” IEEE J. Solid-State Circuits, vol.24, no.2, pp.478-486 (April 1989).
- [7] H. B. Bakoglu and J. D. Meindl, “New CMOS driver and receiver circuits reduce interconnection propagation delays,” 1985 Symposium on VLSI Technology, Digest of Technical Papers, pp.54-55 (May 1985).
- [8] 中込 儀延, 伊藤 清男, 竹内 幹, “半導体装置,” 特願平 3-29847 (1991 年 2 月 25 日出願), 特許 3,225,524 (2001 年 8 月 31 日 登録) 【低振幅バス】

5. 低リーク回路方式の提案；サブスレッショルド電流低減

5.1. まえがき

第4章で述べたとおり、しきい値電圧のスケーリングはリーク電流の増大をもたらし、0.1 μm 級の LSI では低い待機時電流と高速化の両立は不可能になる事を 1992 年の発表で明らかにした [1]。このリーク電流はサブスレッショルド電流と呼ばれ、MOSFET の原理上、避けて通れないものである。第1章の式 1.3 に示した通り、電流はゲート電圧に対して指数関数の依存性を有し、その傾きは温度に強く依存する。傾き S は

$$S = \frac{kT \ln 10}{q} \times \frac{C_D + C_{ox}}{C_{ox}} \quad (5.1)$$

で表される。また、しきい値が V_T と V_T' のときのリーク電流の値 I_L と I_L' の間には、

$$I_L' = I_L \times 10^{\frac{V_T - V_T'}{S}} \quad (5.2)$$

の関係がある（図 5.1）。例えば、 S の値が 100 mV/decade と仮定すると、しきい値電圧を 100 mV 低下させることにより、リーク電流は 1 桁増大する。

この発表が端緒となり、DRAM や論理 LSI におけるリーク電流の検討が様々な研究機関でなされた。DRAM については、伊藤清男氏をリーダーとする日立中研の特別研究チームが発足し、集積度 16 Gb、電源電圧 1 V をビークルにしたリーク電流の検討が行われた。DRAM の回路でリーク電流の影響を試算した結果を図 5.2 に示す [2, 3]。DRAM の集積度の向上とともに回路規模が増大し、リーク電流に寄与する MOSFET の総ゲート幅は一世代で約 2 倍になる。一方で、世代とともに低下する電源電圧に比例してしきい値電圧を低下させるため、チップ全体のリーク電流 I_{DC} は急激に増大し、16 Gb DRAM では 1.2 A に達すると予測している。特筆すべきは、4 Gb DRAM 世代以降は DC リーク電流が容量の充放電に関わる AC 電流を越えてしまう点である。回路的な対策無しには、チップの消費電流を DC リーク電流成分が支配してしまう事を示している。その後、IBM や INTEL などの検討によって、MPU においても同様の問題が顕在化する事が示された（図 5.3） [4]。

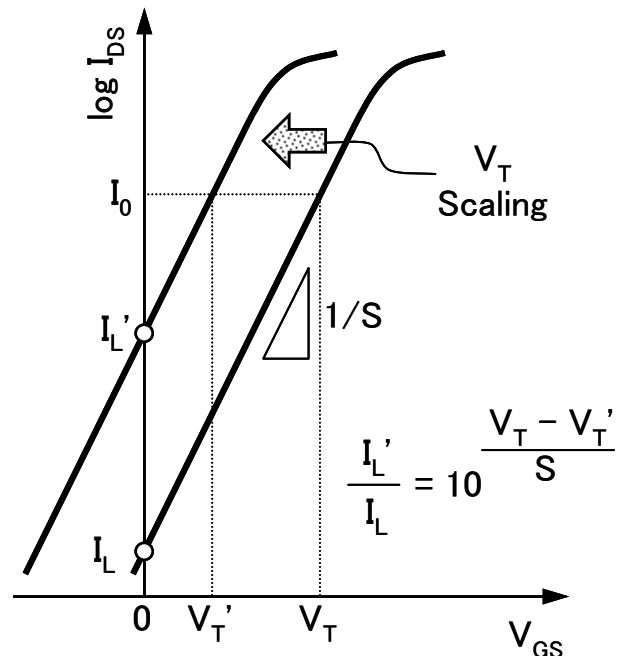


図 5.1 低しきい値電圧化によるサブスレッショルド電流の増大

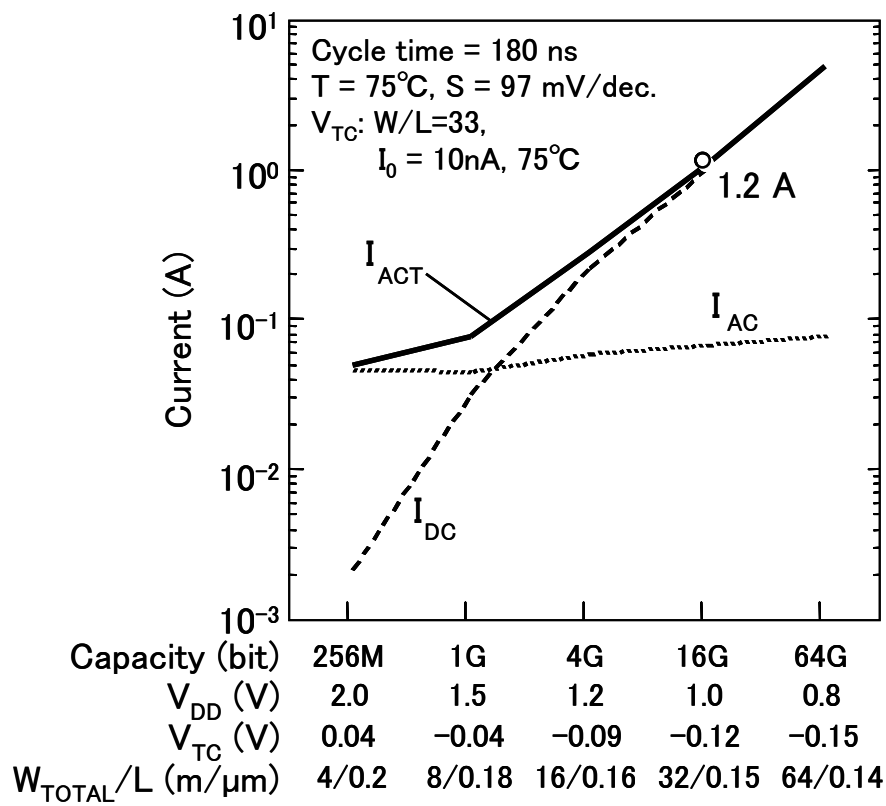


図 5.2 DRAM 消費電流の推移

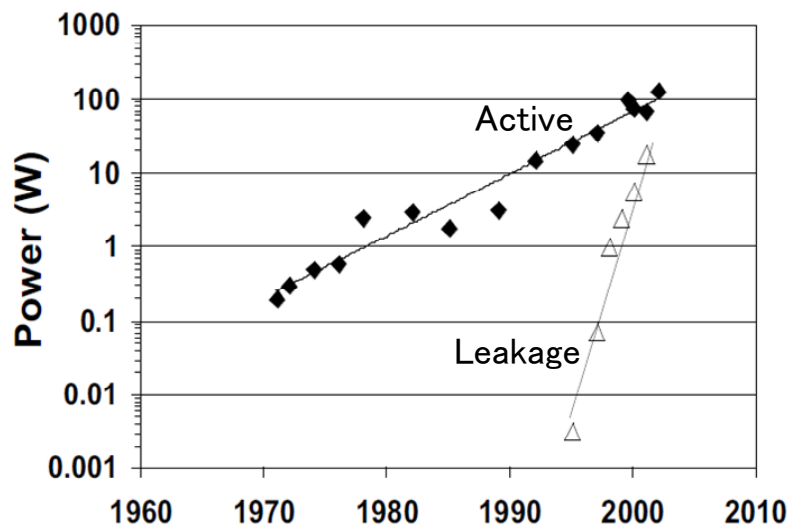


図 5.3 マイクロプロセッサ消費電力の推移

これらの検討によって、2000 年の初頭には、サブスレッショド電流によるリーク電流が全ての CMOS LSI のスケーリングを阻害する最も大きな問題である事が広く世界に認知されるに至った。繰り返しになるが、本研究による 1992 年の発表が世界で初めて、この問題を指摘し、その後の低電圧回路の研究の端緒となった。

5.2. 低リーク回路技術

前節で述べたように、サブスレッショルド・リーク電流は MOSFET の物理的な特性によるものなので、従来の CMOS 回路構成を採る限り低減の方策は無い。回路的な対策のためには、(1)設計上の制約、や(2)LSI 使用上（仕様面）の制約、を伴うものになる。本節では、本研究を通して提案した基本概念を提示する。これらの概念は、実際に LSI を試作して検証したものでは無いが、後述するように、その後世界中の研究機関によって改善され、多数の論文の形で発表されている。本論文で提案する基本概念を分類するやり方には幾つかあるが、ここでは以下のとおりに分類を行う。

(1) 設計上の制約を伴う方法

(a) マルチ V_T

(2) LSI 使用上の制約を伴う方法

(a) 電源遮断

(b) 動的な実効 V_T 可変

(1)設計上の制約を伴う手法は、CMOS 論理ゲートを設計する上で従来とは異なる手法や注意を要するが、一旦設計してしまった後には仕様面での制約無しに扱う事ができる方法である。(2)LSI 使用上の制約を伴う手法は、設計上の制約はもちろんの事、使用上の各種の制約がある方法である。この場合、LSI あるいは内部の機能ブロックの仕様に従来との違いが明示的に表れる。一般に、(1)の方法は適用範囲が広く、自由度も大きいですが、リーク電流の削減効果は小さく、(2)の方法は適用できる機能ブロックや効果が得られる範囲は相対的に少ないが、削減効果は大きいものである。以下、それぞれについて基本概念と適用事例について述べる。

5.2.1. マルチ V_T

MPU に代表される論理 LSI を構成する際に、例えばしきい値電圧の低い CMOS ゲート(Low V_T セル)としきい値電圧の高い CMOS ゲート(High V_T セル)の 2 種類のゲートを組み合わせる事で、高速性と低リークを両立させるものである (図 5.4(a))。一般に、論理 LSI では 1 クロックの間にラッチ (レジスタ) 間を信号が伝播して処理を行っていく。このラッチ間の遅延時間はチップ内で分布を持ち、その最大のものが動作周波数を規定する。この最大遅延を有する伝播経路をクリティカルパスと呼ぶ事もある。こうした特性を利用して、クリティカルパスを含む遅延の大きな経路(パス)には高速動作をする Low V_T セルを用い、高速動作が要求されないブロックには High V_T セルを用いる事で、不要なリーク電流を発生させないようにするものである。この方法では、LSI の設計段階で、各パスのタイミングマージンを見ながら、余裕のあるパスについては High V_T に置き換えるという設計ツール上の仕掛けが必要になる。この手法によるリーク電流低減効果は、LSI の種類や設計そのものに依存するところが大である。したがって、

一般的な効果を定量的に予測する事は困難であるが、20～50 %の削減効果のある事が報告されている [5]。本研究の過程でマルチ V_T に関する特許を出願、取得した [6]。

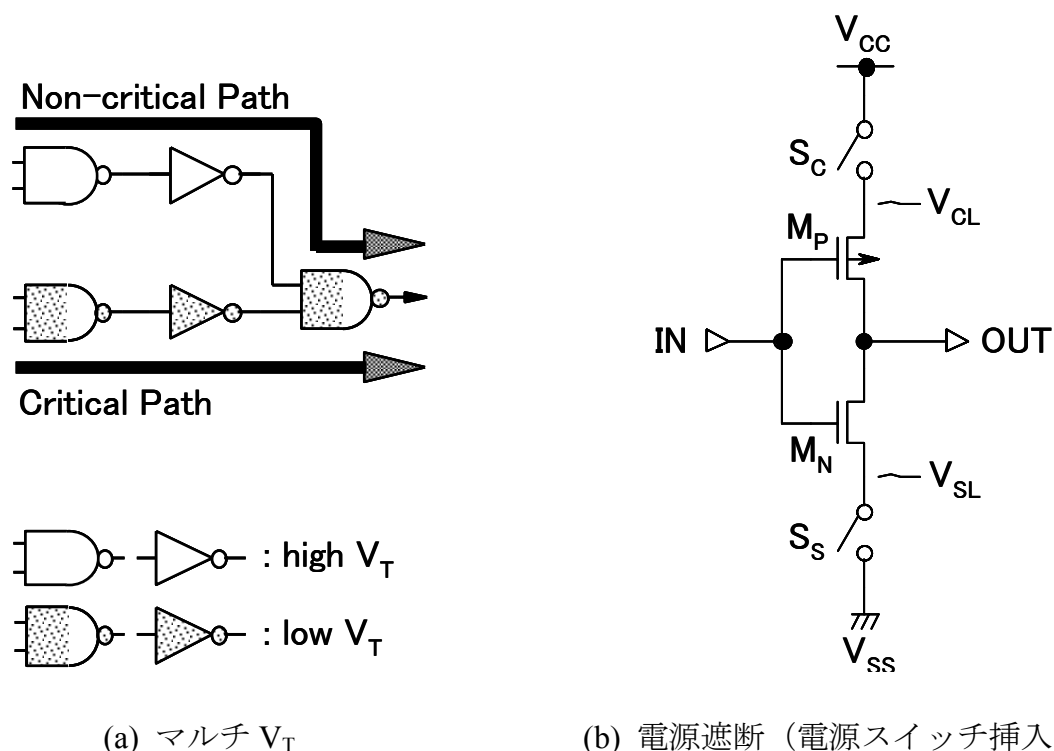


図 5.4 サブスレッショルド電流低減法

5.2.2. 電源遮断

例えばしきい値電圧の低い CMOS ゲート (Low V_T セル) の電源パスにスイッチを挿入し、リーク電流を低減する方法である (図 5.4(b))。スイッチのオン抵抗はインバータの MOSFET のオン抵抗に比べて十分低くないと、スイッチ部分の電圧降下によって速度性能が劣化してしまう。また、スイッチのオフ電流はインバータ単体でのリーク電流に比べて小さくないと効果が無いので、例えばインバータよりも高い V_T の MOSFET で構成した方がよい。こうした要件を満たすスイッチを各インバータ毎に置いては、面積増大を招くので、実際にはある機能ブロック単位でスイッチを置くことが望ましい。この方式では、スイッチがオフからオンになったときに、インバータの電源 V_{CL} 、 V_{SL} が立上るまでに遅延時間が生じるので、高速の応答性を求める用途には不向きである。したがって、オンする期間、オフする期間、それぞれがある程度長い時間間隔で処理す

るような場合、例えばスタンバイモードなどで使用するのが望ましい。

図 5.5 には、電源遮断の適用例の一つとして、SRAM の情報保持モードでのリーク電流低減のために、周辺回路の電源を遮断した例を示す [7]。SRAM セルの情報は保持したままチップ全体のリーク電流を低減するために、SRAM セルアレーへの給電は遮断せずに、周辺回路への給電のみを遮断している。単一の V_T で構成した場合には、チップ全体のリーク電流は SRAM セルアレーが支配的になってしまうので、例えば前節のマルチ V_T と組み合わせて、セルアレーは高い V_T 、周辺回路でクリティカルパスになる部分には低 V_T を用いるのが効果的である。

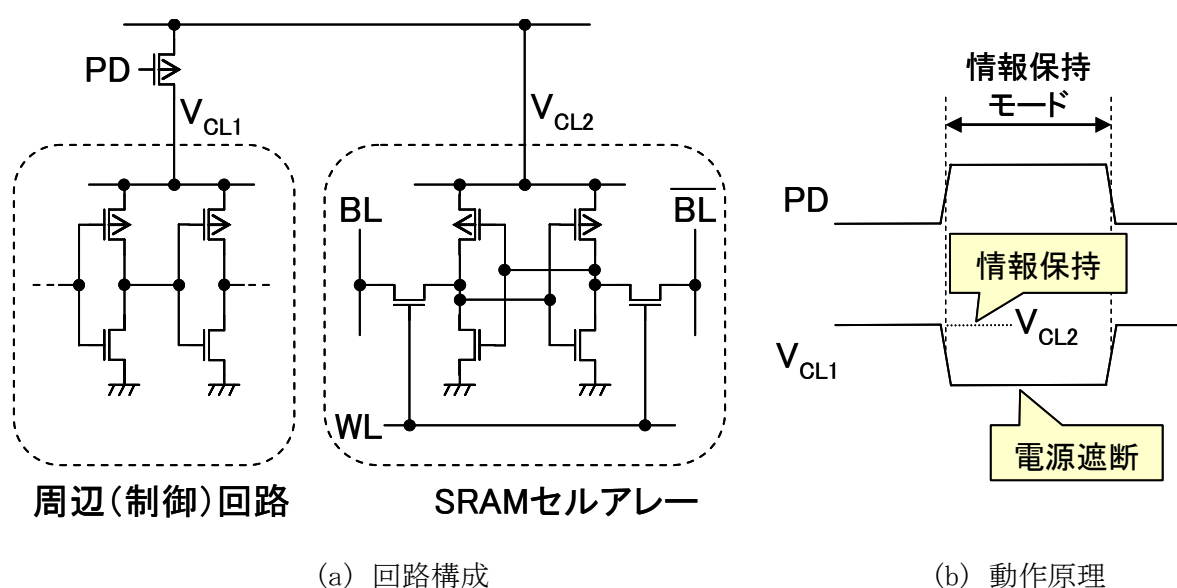


図 5.5 電源遮断適用例 (SRAM 待機時電流の低減)

5.2.3. 動的しきい値電圧可変

前節まで述べた方法以外に、MOSFET のしきい値電圧を動的に、あるいは実効的に可変する事によってリーク電流を低減する方法が考えられる。具体的には、MOSFET の 4 端子 (ドレイン D、ゲート G、ソース S、基板あるいはボディ B) の相対的な電圧関係を可変する事によって実現できる。表 5.1 に N-ch、P-ch MOSFET それぞれに対する動的な実効 V_T 可変の基本概念を纏める [8]。この概念は以下に分類される；

(A) ゲート - ソース (V_{GS}) 逆バイアス

(A1) ゲート電圧固定

(A2) ソース電圧固定

(B) 基板 - ソース (V_{BS}) 逆バイアス

(B1) ソース電圧固定

(B2) 基板電圧固定

(C) ドレイン - ソース (V_{DS}) 電圧低減

表 5.1 動的な実効 V_T 可変

Modified Voltage(s)		NMOST	PMOST
(A) V_{GS} Reverse Biasing	(A1) V_S : Self-Reverse Biasing		
	(A2) V_G : Offset Gate Driving		
(B) V_{BS} Reverse Biasing	(B1) V_B : Substrate Driving		
	(B2) $V_S = V_G$: Offset Source Driving		
(C) V_{DS} Reduction			

(A)はオフ時のゲートとソースの電圧を同じ値にするのではなく、ゲート電圧をソース電圧よりも低く（N-ch の場合）バイアスする事によって、リーク電流を削減するものである。(B)はオフ時の基板電圧をソース電圧よりも低くバイアス（N-ch の場合）し、基板効果によるしきい値電圧上昇によりリーク電流を削減するものである。(C)はしきい値電圧がドレイン－ソース間電圧に依存する事を用いて、オフ時にはドレイン－ソース間電圧を減少させてしきい値電圧を上昇させ、リーク電流を削減するものである。これらの各手法によるリーク電流削減効果を0.1ミクロン級のMOSFETで試算した結果を図5.6に示す。(A2)によるリーク電流削減率 r_{A2} は

$$r_{A2} = \frac{I_{leak}(V_{GS} = 0)}{I_{leak}(V_{GS} = -\delta)} = \exp\left(\frac{\delta}{S/\ln 10}\right) \quad (5.3)$$

と表される。ゲート - ソース間の電圧変調 δ が直接寄与するため、大きな削減効果が得られる。また、(B1) によるリーク電流削減率 r_{B1} は

$$r_{B1} = \exp\left(\frac{K(\sqrt{\delta + 2\psi} - \sqrt{2\psi})}{S/\ln 10}\right) \quad (5.4)$$

と表される。図5.6にも示される通り、(A)に比べると効果は小さい。これは基板効果による間接的なしきい値電圧変調だからである。(C)によるリーク電流削減率 r_C は

$$r_C = \exp\left(\frac{\lambda\delta}{S/\ln 10}\right) \quad (5.5)$$

と表される。これは、(B)に比べてもさらに小さな値である。リーク電流は1章でも述べたとおり下式で表されるが、これからも V_{DS} の値が熱電圧に近くない限りは削減への寄与は小さい事が分かる。

$$I_{leak} \propto \exp\left(\pm \frac{V_{GS} - V_T - K(\sqrt{V_{BS} + 2\psi} - \sqrt{2\psi}) + \lambda V_{DS}}{S/\ln 10}\right) \cdot \left\{1 - \exp\left(-\frac{qV_{DS}}{kT}\right)\right\} \quad (5.6)$$

(+: NMOST, -: PMOST)

これらの中では、(A1)が最も削減効果が高いが、これは式(5.3)～(5.5)の3つの効果が全て相乗して寄与するためである。(B2)は(B1)に対して若干効果が高いが、これは(C)の効果が相乗されるためである。

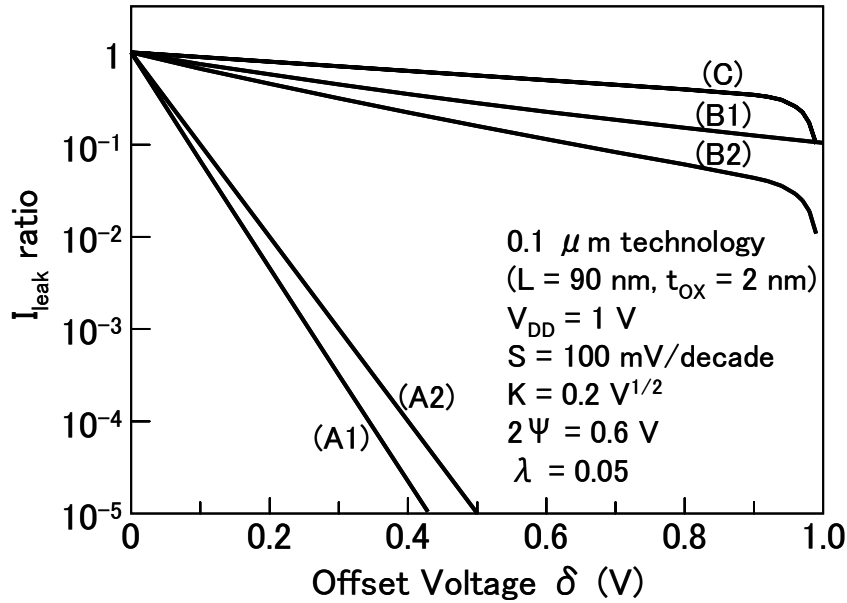


図 5.6 リーク電流削減効果の比較

これらの概念を回路レベルで実現する方法について、代表的なものをいくつか述べる。図 5.7(a)は(A1)に対応するもので、セルフ リバース バイアスと呼ばれる。低 V_T の MOSFET スイッチ Q_S を MOSFET Q_P と電源の間に挿入する。リーク電流が Q_S と Q_P に流れると Q_S で電圧降下が生じ、その接続点の電圧 V_{DL} は電源電圧から δ 下がった値になる (図 5.7(b))。ここで、 δ は下式で近似される

$$\delta = V_{TS} - V_{TP} + S \times \text{Log}(W_P/W_S) \quad (5.7)$$

δ の値が大きいほどリーク電流削減効果が高いので、できるだけ Q_S の V_T を大きく、ゲート幅 W_S を小さくする事が有効である。図 5.7(c)はメモリ LSI のデコーダやドライバのような繰り返し回路に適用したものである。メモリでは選択されるのは n 個のドライバのうちの 1 個である場合が多いので、 δ は

$$\delta = V_{TS} - V_{TP} + S \times \text{Log}(nW_P/W_S) \quad (5.8)$$

となる。 Q_S のゲート幅は 1 つのドライバのゲート幅と同程度でも構わないので、例えば数 100 のドライバが 1 つの Q_S を共有する場合には 2 桁程度のリーク電流削減効果を得ることができる [9]。

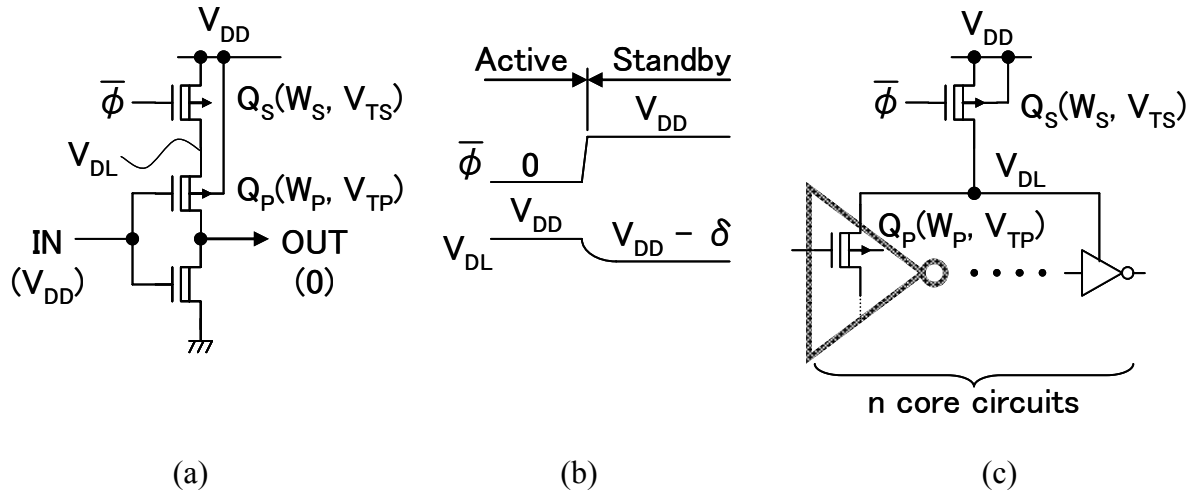


図 5.7 低リーク電回路方式；セルフ リバース バイアス (A1)

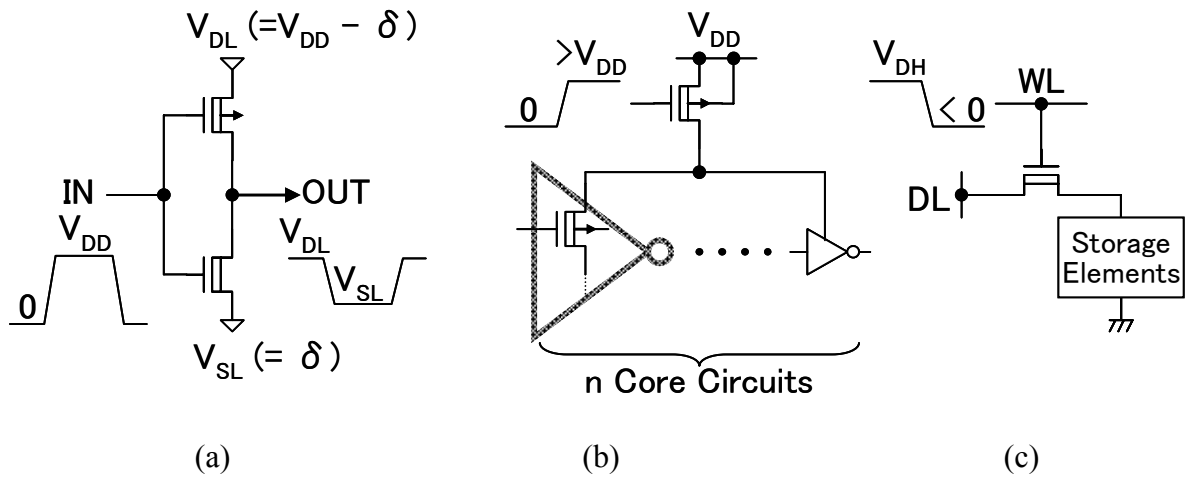


図 5.8 低リーク電回路方式；オフセット ゲート駆動 (A2)

図 5.8(a)は(A2)に対応するもので、オフセット ゲート駆動と呼ぶ [10]。ゲート電圧をインバータの電源以上の振幅で駆動する事で、オフ時のリーク電流を削減できる。通常の論理回路に適用する事は難しいが、先に述べたバス駆動回路やメモリなど、特定の回路ブロックに適用して効果がある方法である。図 5.8(b)は先の例と同様にメモリの駆動回路に適用した例である。数 100 の駆動回路に対して 1 つのスイッチを設け、本手法を適用する事により、 Q_s の実効的なしきい値電圧が上がる事になるので、より大きな電流削減効果が得られる [11]。また、図 5.8(c)は DRAM のワード線駆動に適用した例であるが、メモリセルのリーク電流削減に効果がある [12]。同様に SRAM のワード線駆動への適用例も報告されている [13]。

図 5.9(a)(b)は(B1)に対応する基板電圧駆動の例である[14]。例えばメモリ LSI の周辺回路ブロックを 2 つに分け、情報保持モードにおいて、一方の周辺回路 1 は電源遮断を行い、他方の周辺回路 2 は基板電圧を印加してしきい値電圧を上昇させてリーク電流を削減している。 V_{BP} や V_{BN} は必要に応じてチップ上に設けたチャージポンプ回路で生成する。MPU などへの適用例も報告されている [15, 16]。

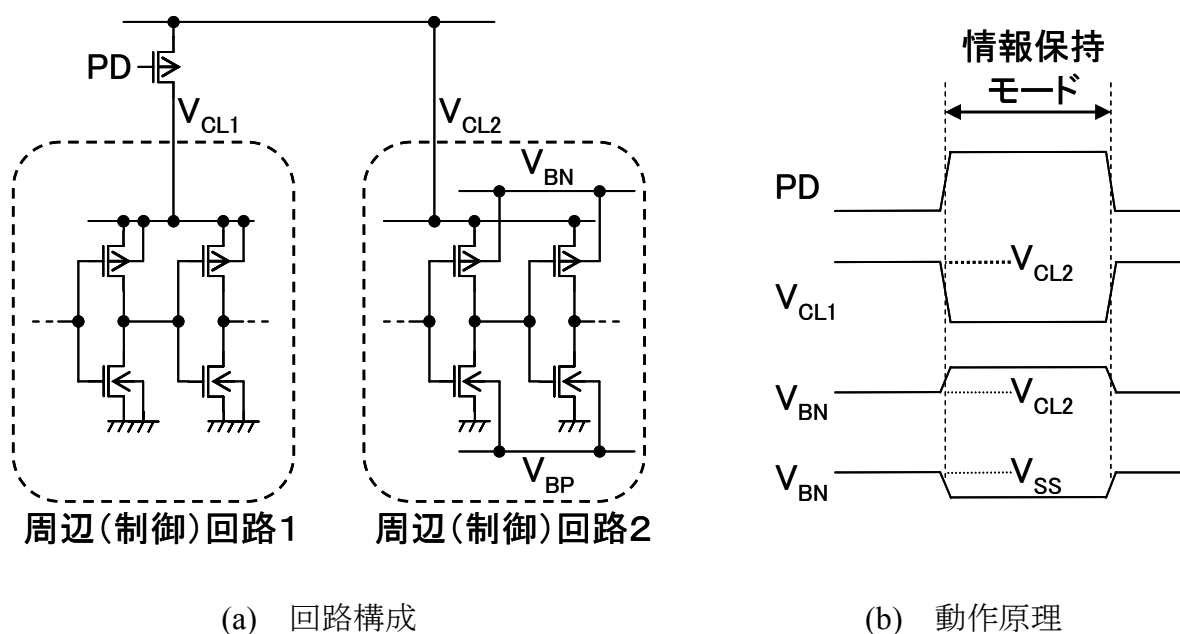


図 5.9 低リーク電回路方式；基板電圧駆動 (B1)

5.3. まとめ

本章では、LSI のさらなる低電圧化 (1V 以下) に向けての最大の課題であるサブスレッシヨルド・リーク電流を回路的に低減する幾つかの基本概念を提案した。マルチ V_T 、電源遮断、動的な実効 V_T 可変手段、などである。机上検討や解析を通して、リーク電流低減に有効な基本概念である事を示すとともに、メモリ LSI への適用例を示した。世界中の研究機関によって改善され、多数の論文の形で発表されているが、その基本概念の多くはこの研究によって創出したものである。回路関連の主要国際学会である International Solid-State Circuits Conference (ISSCC)、Symposium on VLSI Circuits (VLSI Circuit Symp.) での発表例を見てみると、例えばマルチ V_T に関しては図 5.10 に示すように、1995 年以降現在に至るまで毎年のように適用例が発表されてきており、システム LSI 製品実現のための基本技術として定着している事がわかる[17-34]。

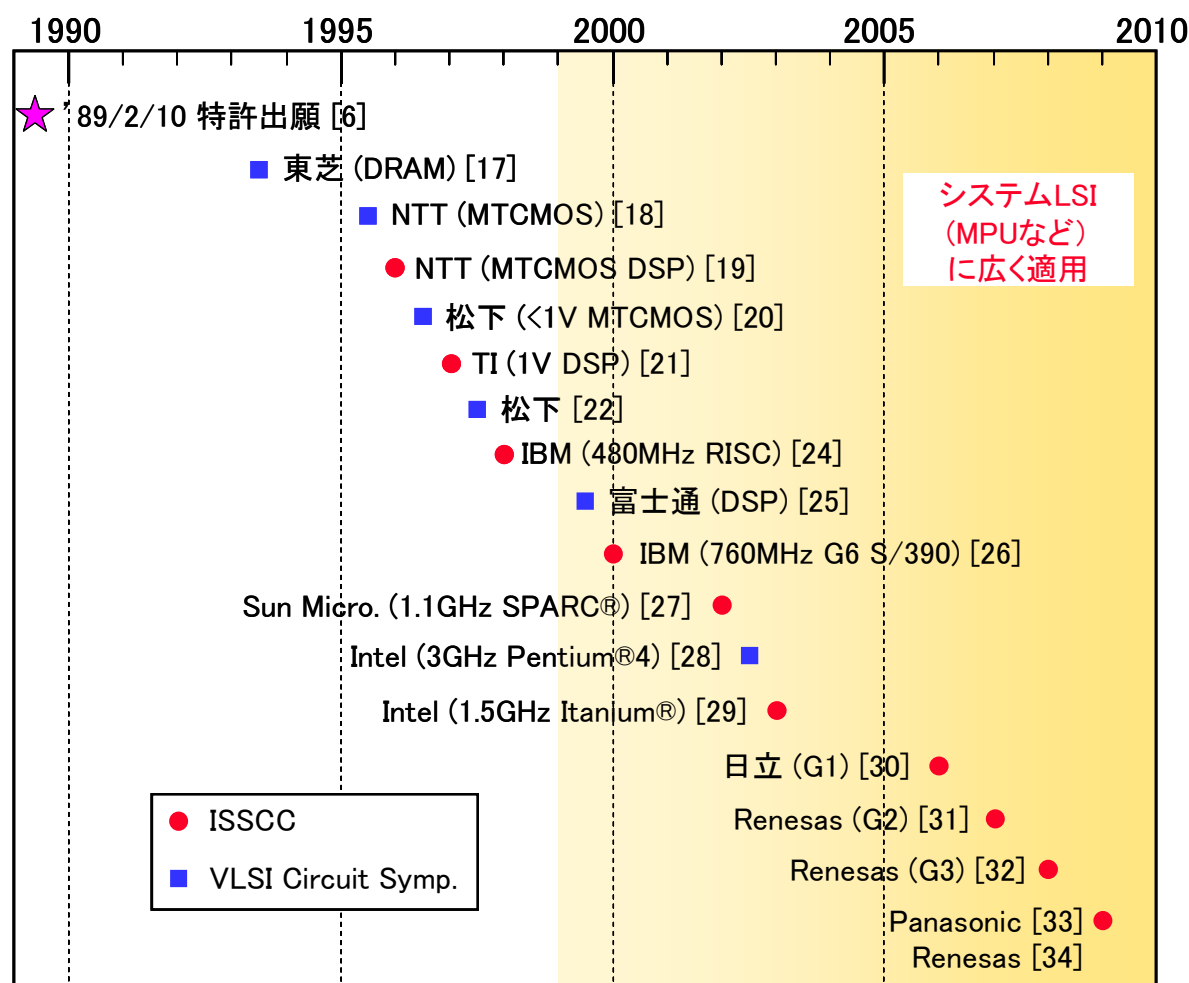


図 5.10 マルチ V_T に関する主な学会発表

また、電源遮断技術に関しても図 5.11 に示すように、1995 年以降現在に至るまで毎年のように適用例が発表されてきており、ほぼ全ての先端 LSI 製品に適用されている[12, 18-19, 29-33, 35-56]。G-S オフセット駆動技術については、図 5.12 に示すようにオンチップ/オフチップメモリ LSI のワード線駆動（ネガティブ ワード線駆動）や電源遮断スイッチの低リーク駆動として広く適用されている[11-13, 54, 57-63]。基板電圧駆動技術についても、図 5.13 に示すようにオンチップ/オフチップ メモリシステム LSI の待機時電流低減のための基本技術として広く適用されている[15-16, 33, 39, 43, 48, 64-71]。これらの事実から、ここで提案した技術の多くが、現在も各種システム LSI 製品の実現に際して不可欠な技術である事が明らかである。

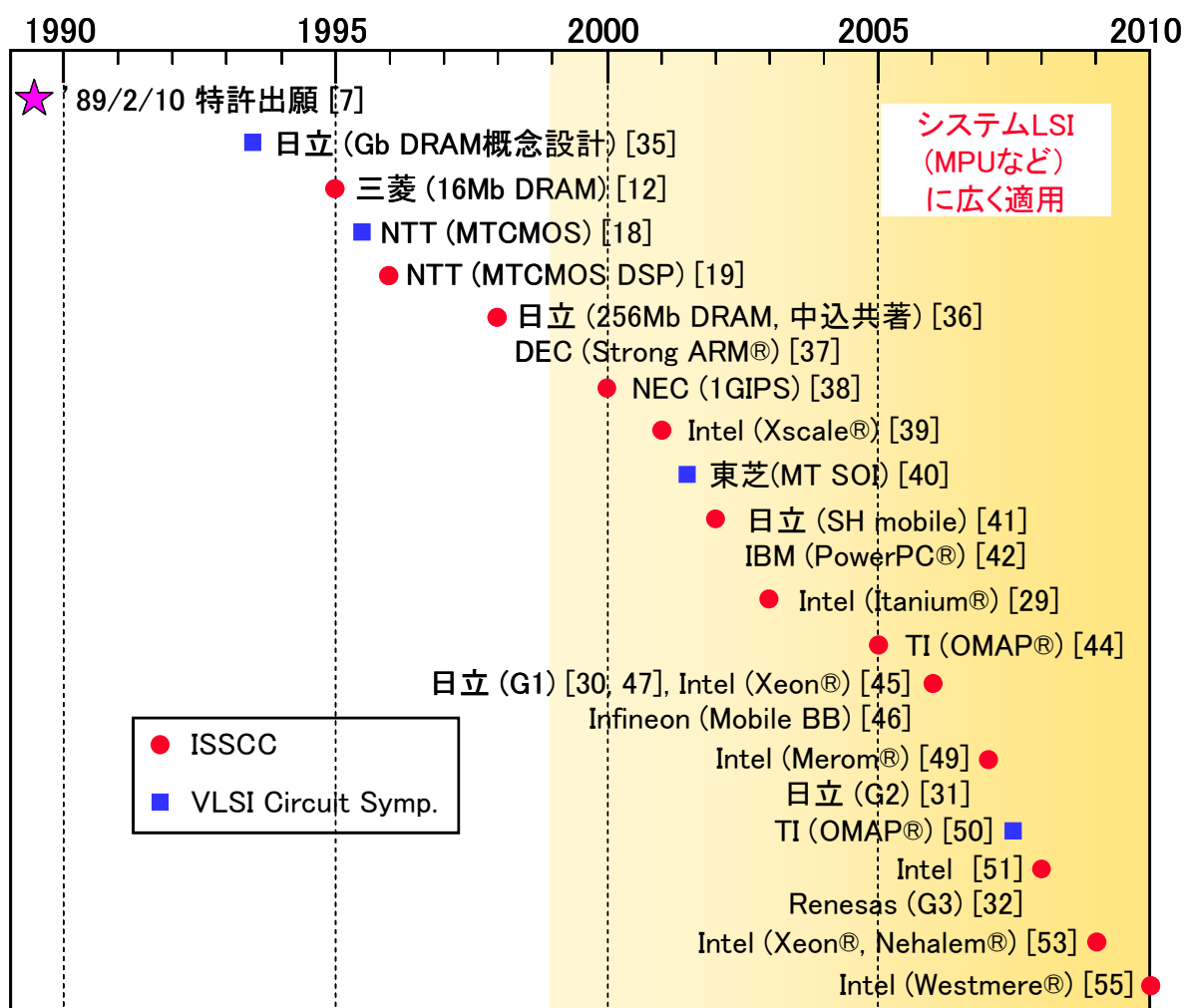


図 5.11 電源遮断に関する主な学会発表

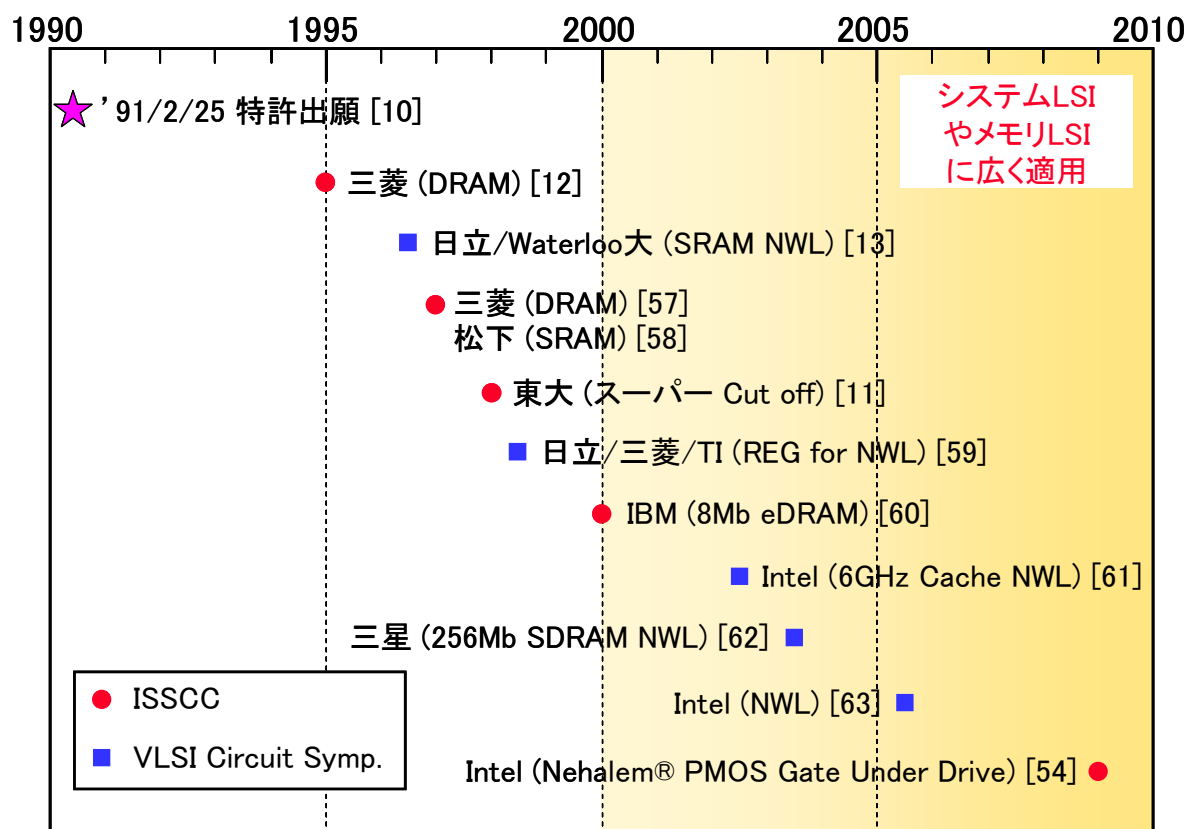


図 5.12 ゲート・ソース オフセット駆動に関する主な学会発表

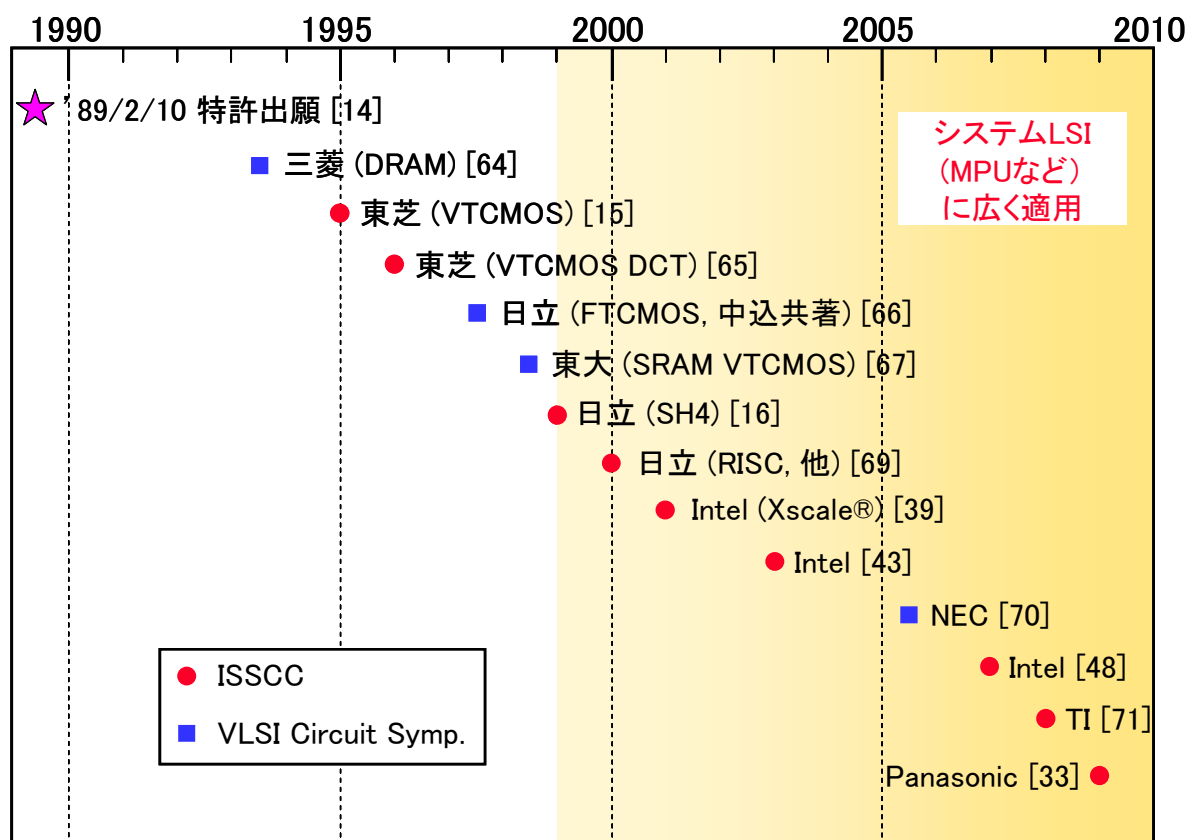


図 5.13 基板電圧駆動に関する主な学会発表

第 5 章の参考文献

- [1] Y. Nakagome, K. Itoh, M. Isoda, K. Takeuchi, and M. Aoki, "Sub-1-V swing bus architecture for future low-power ULSIs," 1992 Symposium on VLSI Circuits, Digest of Technical Papers, pp.82-83 (June 1992).
- [2] T. Sakata, K. Itoh, M. Horiguchi and M. Aoki, "Subthreshold-current reduction circuits for multi-gigabit DRAM's," IEEE J. Solid-State Circuits, vol. 29, no. 7, pp. 761-769 (July 1994).
- [3] T. Sakata, K. Itoh, M. Horiguchi and M. Aoki, "Two-dimensional power-line selection scheme for low subthreshold-current multi-gigabit DRAM's," IEEE J. Solid-State Circuits, vol. 29, no. 8, pp. 887-894 (August 1994).
- [4] G. E. Moore, "No Exponential is Forever: But "Forever" Can Be Delayed !," 2003 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.20-23 (Feb. 2003).
- [5] L. Wei, Z. Chen, K. Roy, M. C. Johnson, Y. Ye, V. K. De, "Design and optimization of dual-threshold circuits for low-voltage low-power applications," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 7, no. 1, pp.16-24 (Mar 1999).
- [6] 中込 儀延, 伊藤 清男, "半導体装置," 特願 2002-4054 (1989 年 2 月 10 日 原出願), 特許 3,460,713 (2003 年 8 月 15 日 登録) **【マルチ VT CMOS】**
- [7] J. Etoh, Y. Nakagome, "Large Scale Integration Circuit with Sense Amplifier Circuits for Low Voltage Operation ," Application No. 09/864338 (2001 年 5 月 25 日 Filed) , Patent US RE40,132E (2008 年 3 月 4 日 Re-issued) **【低リーク電源遮断】**
- [8] Y. Nakagome, M. Horiguchi, T. Kawahara, and K. Itoh, "Review and future prospects of low-voltage RAM circuits," IBM J. Res. & Dev., vol.47, no.5/6, pp.525-552 (September/November 2003).
- [9] T. Kawahara, M. Horiguchi, Y. Kawajiri, G. Kitsukawa, T. Kure and M. Aoki, "Subthreshold current reduction for decoded-driver by self-reverse biasing," IEEE J. Solid-State Circuits, vol. 28, no.11, pp. 1136-1144 (Nov. 1993).
- [10] 中込 儀延, 伊藤 清男, 竹内 幹, "半導体装置," 特願 2001-33096 (1991 年 2 月 25 日 原出願), 特許 3,534,398 (2004 年 3 月 19 日 登録) **【G-S オフセット駆動 CMOS】**
- [11] H. Kawaguchi, K. Nose, and T. Sakurai, "A CMOS Scheme for 0.5V Supply Voltage

- with Pico-Ampere Standby Current,” 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.192-193 (Feb. 1998).
- [12] T. Yamagata, S. Tomishima, M. Tsukude, Y. Hashizume, and K. Arimoto, “Circuit Design Techniques for Low-Voltage Operating and/or Giga-Scale DRAMs,” 1995 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.248-249 (Feb. 1995).
- [13] K. Itoh, A. R. Fridi, A. Bellaouar, and M. I. Elmasry, “A Deep Sub-V, Single Power-Supply SRAM Cell with Multi-V_t, Boosted Storage Node and Dynamic Load,” 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.132-133 (June 1996).
- [14] 中込 儀延, 伊藤 清男, “半導体装置,” 特願 2002-229399 (1989 年 2 月 10 日 原出願), 特許 3,431,023 (2003 年 5 月 23 日 登録) 【VBB 可変低リーク】
- [15] K. Seta, H. Hara, T. Kuroda, M. Kakumu, and T. Sakurai, “50% Active-Power Saving Without Speed Degradation Using Standby Power Reduction (SPR) Circuit,” 1995 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.318-319 (Feb. 1995).
- [16] H. Mizuno, K. Ishibashi, T. Shimura, T. Hattori, S. Narita, K. Shiozawa, S. Ikeda, and K. Uchiyama, “A 18 μ A-Standby-Current 1.8V 200MHz Microprocessor with Self Substrate-Biased Data-Retention Mode,” 1999 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.280-281 (Feb. 1999).
- [17] D. Takashima, S. Watanabe, K. Sakui, H. Nakano, and K. Ohuchi, “Stand-by/Active Mode Logic for Sub-1 V 1G/4Gb DRAMs,” 1993 Symposium on VLSI Circuits, Digest of Technical Papers, pp.83-84 (June 1993).
- [18] S. Shigematsu, S. Mutoh, Y. Matsuya, and J. Yamada, “A 1-V High-speed MTCMOS Circuit Scheme for Power-down Applications,” 1995 Symposium on VLSI Circuits, Digest of Technical Papers, pp.125-126 (June 1995).
- [19] S. Mutoh, S. Shigematsu, Y. Matsuya, H. Fukuda, and J. Yamada, “A 1V Multi-Threshold Voltage CMOS DSP with an Efficient Power Management Technique for Mobile Phone Application,” 1996 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.168-169 (Feb. 1996).
- [20] H. Akamatsu, T. Iwata, H. Yamamoto, T. Hirata, H. Yamauchi, H. Kotani, and A. Matsuzawa, “A Low Power Data Holding Circuit with an Intermittent Power Supply scheme for sub-1V MT-CMOS LSIs,” 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.14-15 (June 1996).

- [21] W. Lee, P. Landman, B. Barton, S. Abiko, H. Takahashi, H. Mizuno, S. Muramatsu, K. Tashiro, M. Fusumada, L. Pham, F. Boutaud, E. Ego, G. Gallo, H. Tran, C. Lemonds, A. Shih, M. Nandakumar, B. Eklund, and I.-C. Chen, "A 1V DSP for Wireless Communications," 1997 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.92-93 (Feb. 1997).
- [22] S. Sakiyama, H. Nakahira, M. Fukuda, A. Yamamoto, M. Kinoshita, A. Matsuzawa, H. Yamamoto, Y. Kato, Y. Matsuya, S. Mutoh, H. Fukuda, Y. Nishino, and T. Sakurai, "A Lean Power Management Technique : The lowest power consumption for the given operating speed of LSIs," 1997 Symposium on VLSI Circuits, Digest of Technical Papers, pp.99-100 (June 1997).
- [23] K. Fujii, T. Douseki, and M. Harada, "A Sub-IV Triple-Threshold CMOS/SIMOX Circuit for Active Power Reduction," 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.190-191 (Feb. 1998).
- [24] N. Rohrer, C. Akrou, M. Canada, D. Cawthron, B. Davari, R. Floyd, S. Geissler, R. Goldblatt, R. Houle, P. Kartschoke, D. Kramer, P. McCormick, G. Salem, R. Schulz, L. Su, and L. Whitney, "A 480MHz RISC Microprocessor in a 0.12 μ m Leff CMOS Technology with Copper Interconnects," 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.240-241 (Feb. 1998).
- [25] T. Shiota, I. Fukushi, R. Ohe, W. Shibamoto, M. Hamaminato, R. Sasagawa, A. Tsuchiya, T. Ishihara, and S. Kawashima, "A 1 V, 10.4 mW Low Power DSP core for Mobile Wireless Use," 1999 Symposium on VLSI Circuits, Digest of Technical Papers, pp.13-14 (June 1999).
- [26] T. McPherson, R. Averill, D. Balazich, K. Barkley, S. Carey, Y. Chan, Y.H. Chan, R. Crea, A. Dansky, R. Dwyer, A. Haen, D. Hoffman, A. Jatkowski, M. Mayo, D. Merrill, T. McNamara, G. Northrop, J. Rawlins, L. Sigal, T. Slegel, D. Webber, P. Williams, and F. Yee, "760MHz G6 S/390 Microprocessor Exploiting Multiple Vt and Copper Interconnects," 2000 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.96-97 (Feb. 2000).
- [27] G. Konstadinidis, K. Normoyle, S. Wong, S. Bhutani, H. Stuimer, T. Johnson, A. Smith, D. Cheung, F. Romano, S. Yu, S.-H. Oh, V. Melamed, S. Narayanan, D. Bunsey, C. Khieu, K. J. Wu, . Schmitt, A. Dumlaio, M. Sutura, J. Chau, and K. J. Lin, "Implementation of a Third-Generation 1.1GHz 64b Microprocessor," 2002 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.338-339 (Feb. 2002).

- [28] D. Deleagnes, J. Douglas, B. Kommandur, and M. Patyra, "Designing a 3GHz, 130nm, Intel® Pentium® 4 Processor," 2002 Symposium on VLSI Circuits, Digest of Technical Papers, pp.130-133 (June 2002).
- [29] J. Stinson and S. Rusu, "A 1.5GHz Third Generation Itanium® Processor," 2003 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.252-253 (Feb. 2003).
- [30] Y. Kanno, H. Mizuno, Y. Yasu, K. Hirose, Y. Shimazaki, T. Hoshi, Y. Miyairi, T. Ishii, T. Yamada, T. Irita, T. Hattori, K. Yanagisawa, and N. Irie, "Hierarchical Power Distribution with 20 Power Domains in 90-nm Low-Power Multi-CPU Processor," 2006 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.540-541 (Feb. 2006).
- [31] M. Ito, T. Hattori, T. Irita, K. Tatezawa, F. Tanaka, K. Hirose, S. Yoshioka, K. Ohno, R. Tsuchihashi, M. Sakata, M. Yamamoto, and Y. Arai, "A 390MHz Single-Chip Application and Dual-Mode Baseband Processor in 90nm Triple-Vt CMOS," 2007 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.274-275 (Feb. 2007).
- [32] M. Naruse, T. Kamei, T. Hattori, T. Irita, K. Nitta, T. Koike, S. Yoshioka, K. Ohno, M. Saigusa, M. Sakata, Y. Kodama, Y. Arai, and T. Komuro, "A 65nm Single-Chip Application and Dual-Mode Baseband Processor with Partial Clock Activation and IP-MMU," 2008 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.260-261 (Feb. 2008).
- [33] M. Shirasaki, Y. Miyazaki, M. Hoshaku, H. Yamamoto, S. Ogawa, T. Arimura, H. Hirai, Y. Iizuka, T. Sekibe, Y. Nishida, T. Ishioka, and J. Michiyama, "A 45nm Single-Chip Application-and-Baseband Processor Using an Intermittent Operation Technique," 2009 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.156-157 (Feb. 2009).
- [34] K. Iwata, T. Irita, S. Mochizuki, H. Ueda, M. Ehama, M. Kimura, J. Takemura, K. Matsumoto, E. Yamamoto, T. Teranuma, K. Takakubo, H. Watanabe, S. Yoshioka, and T. Hattori, "A 342mW Mobile Application Processor with Full-HD Multi-Standard Video Codec," 2009 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.158-159 (Feb. 2009).
- [35] T. Sakata, M. Horiguchi, and K. Itoh, "A Subthreshold-Current Reduction Circuits for Multi-Gigabit DRAM's," 1993 Symposium on VLSI Circuits, Digest of Technical Papers, pp.45-46 (June 1993).

- [36] M. Hasegawa, M. Nakamura, S. Narui, S. Ohkuma, Y. Kawase, H. Endoh, S. Miyatake, T. Akiba, K. Kawakita, M. Yoshida, S. Yamada, T. Sekiguchi, I. Asano, Y. Tadaki, R. Nagai, S. Miyaoka, K. Kajigaya, M. Horiguchi, and Y. Nakagome, "A 256Mb SDRAM with Subthreshold Leakage Current Suppression," 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.80-81 (Feb. 1998).
- [37] R. Stephany, K. Anne, J. Bell, G. Cheney, J. Eno, G. Hoeppner, G. Joe, R. Kaye, J. Lear, T. Litch, J. Meyer, J. Montanaro, K. Patton, T. Pham, R. Reis, M. Silla, J. Slaton, K. Snyder, and R. Witek, "A 200MHz 32b 0.5W CMOS RISC Microprocessor," 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.238-239 (Feb. 1998).
- [38] N. Nishi, T. Inoue, M. Nomura, S. Matsushita, S. Torii, A. Shibayama, J. Sakai, T. Ohsawa, Y. Nakamura, S. Shimada, Y. Ito, M. Edahiro, M. Mizuno, K. Minami, O. Matsuo, H. Inoue, T. Manabe, T. Yamazaki, Y. Nakazawa, Y. Hirota, Y. Yamada, N. Onoda, H. Kobinata, M. Ikeda, K. Kazama, A. Ono, T. Horiuchi, M. Motomura, M. Yamashina, and M. Fukuma, "A 1GIPS 1W Single-Chip Tightly-Coupled Four-Way Multiprocessor with Architecture Support for Multiple Control Flow Execution," 2000 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.418-419 (Feb. 2000).
- [39] L. T. Clark, E. Hoffman, M. Schaecher, M. Biyani, D. Roberts, and Y. Liao, "A Scalable Performance 32b Microprocessor," 2001 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.230-231 (Feb. 2001).
- [40] T. Fuse, A. Kameyama, M. Ohta and K. Ohuchi, "A 0.5V Power-Supply Scheme for Low Power LSIs using Multi-Vt SOI CMOS Technology," 2001 Symposium on VLSI Circuits, Digest of Technical Papers, pp.219-220 (June 2001).
- [41] T. Yamada, N. Irie, J. Nishimoto, Y. Kondoh, T. Nakazawa, K. Yamada, K. Tatzawa, T. Irita, S. Tamaki, H. Yagi, M. Furuyama, K. Ogura¹, H. Watanabe, R. Satomura, K. Hirose, F. Arakawa, T. Hattori, I. Kudo, I. Kawasaki, and K. Uchiyama, "A 133MHz 170mW 10 μ A Standby Application Processor for 3G Cellular Phones," 2002 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.370-371 (Feb. 2002).
- [42] K. Nowka, G. Carpenter, E. M. Donald, H. Ngo, B. Brock, K. Ishii, T. Nguyen, and J. Burns, "A 0.9V to 1.95V Dynamic Voltage-Scalable and Frequency-Scalable 32b PowerPC Processor," 2002 IEEE International Solid-State Circuits Conference

(ISSCC), Digest of Technical Papers, pp.340-341 (Feb. 2002).

- [43] J. Tschanz, S. Narendra, Y. Ye, B. Bloechel, S. Borkar, and V. De, "Dynamic-Sleep Transistor and Body Bias for Active Leakage Power Control of Microprocessors," 2003 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.102-103 (Feb. 2003).
- [44] P. Royannez, H. Mair, F. Dahan, M. Wagner, M. Streeter, L. Bouetel, J. Blasquez, H. Clasen, G. Semino, J. Dong, D. Scott, B. Pitts, C. Raibaut, and U. Ko, "90nm Low Leakage SoC Design Techniques for Wireless Applications," 2005 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.138-139 (Feb. 2005).
- [45] S. Rusu, S. Tam, H. Muljono, D. Ayers, and J. Chang, "A Dual-Core Multi-Threaded Xeon® Processor with 16MB L3 Cache," 2006 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.118-119 (Feb. 2006).
- [46] T. Lüftner, J. Berthold, C. Pacha, G. Georgakos, G. Sauzon, O. Hömke, J. Beshenar, P. Mahrla, K. Just, P. Hober, S. Henzler, D. S.-Landsiedel, A. Yakovleff, A. Klein, R. Knight, P. Acharya, H. Mabrouki, G. Juhoor, and M. Sauer, "A 90nm CMOS Low-Power GSM/EDGE Multimedia-Enhanced Baseband Processor with 380MHz ARM9 and Mixed-Signal Extensions," 2006 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.252-253 (Feb. 2006).
- [47] T. Hattori, T. Irita, M. Ito, E. Yamamoto, H. Kato, G. Sado, T. Yamada, K. Nishiyama, H. Yagi, T. Koike, Y. Tsuchihashi, M. Higashida, H. Asano, I. Hayashibara, K. Tatezawa, Y. Shimazaki, N. Morino, K. Hirose, S. Tamaki, S. Yoshioka, R. Tsuchihashi, N. Arai, T. Akiyama, and K. Ohno, "A Power Management Scheme Controlling 20 Power Domains for a Single-Chip Mobile Processor," 2006 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.542-543 (Feb. 2006).
- [48] S. Vangal, J. Howard, G. Ruhl, S. Dighe, H. Wilson, J. Tschanz, D. Finan, P. Iyer, A. Singh, T. Jacob, S. Jain, S. Venkataraman, Y. Hoskote, and N. Borkar, "An 80-Tile 1.28TFLOPS Network-on-Chip in 65nm CMOS," 2007 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.98-99 (Feb. 2007).
- [49] N. Sakran, M. Yuffe, M. Mehalel, J. Doweck, E. Knoll, and A. Kovacs, "The Implementation of the 65nm Dual-Core 64b Merom Processor," 2007 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers,

pp.106-107 (Feb. 2007).

- [50] H. Mair, A. Wang, G. Gammie, D. Scott, P. Royannez, S. Gururajaroo, M. Chau, R. Lagerquist, L. Ho, M. Basude, N. Culp, A. Sadate, D. Wilson, F. Dahan, J. Song, B. Carlson, and U. Ko, "A 65-nm Mobile Multimedia Applications Processor with an Adaptive Power Management Scheme to Compensate for Variations," 2007 Symposium on VLSI Circuits, Digest of Technical Papers, pp.224-225 (June 2007).
- [51] G. Gerosa, S. Curtis, M. D'Addeo, B. Jiang, B. Kuttanna, F. Merchant, B. Patel, M. Taufique, and H. Samarchi, "A Sub-1W to 2W Low-Power IA Processor for Mobile Internet Devices and Ultra-Mobile PCs in 45nm Hi-K Metal Gate CMOS," 2008 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.256-257 (Feb. 2008).
- [52] S. Nomura, F. Tachibana, T. Fujita, C. K. Teh, H. Usui, F. Yamane, Y. Miyamoto, C. Kumtornkittikul, H. Hara, T. Yamashita, J. Tanabe, M. Uchiyama, Y. Tsuboi, T. Miyamori, T. Kitahara, H. Sato, Y. Homma, S. Matsumoto, K. Seki, Y. Watanabe, M. Hamada, and M. Takahashi, "A 9.7mW AAC-Decoding, 620mW H.264 720p 60fps Decoding, 8-Core Media Processor with Embedded Forward-Body-Biasing and Power-Gating Circuit in 65nm CMOS Technology," 2008 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.262-263 (Feb. 2008).
- [53] S. Rusu, S. Tam, H. Muljono, J. Stinson, D. Ayers, J. Chang, R. Varada, M. Ratta, and S. Kottapalli, "A 45nm 8-Core Enterprise Xeon® Processor," 2009 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.56-57 (Feb. 2009).
- [54] R. Kumar, G. Hinton, "A Family of 45nm IA Processors," 2009 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.58-59 (Feb. 2009).
- [55] N. A. Kurd, S. Bhamidipati, C. Mozak, J. L. Miller, T. M. Wilson, M. Nemani, and M. Chowdhury, "Westmere: A Family of 32nm IA Processors," 2010 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.96-97 (Feb. 2010).
- [56] R. Islam, A. Sabbavarapu and R. Patel, "Power Reduction Schemes in Next Generation Intel® ATOM™ Processor Based SoC for Handheld Applications," 2010 Symposium on VLSI Circuits, Digest of Technical Papers, pp.173-174 (June 2010).
- [57] K. Shimomura, H. Shimano, F. Okuda, N. Sakashita, T. Oashi, Y. Yamaguchi, T.

- Eimori, M. Inuishi, K. Arimoto, S. Maegawa, Y. Inoue, T. Nishimura, S. Komori, K. Kyuma, A. Yasuoka, and H. Abe, "A 1V 46ns 16Mb SOI-DRAM with Body Control Technique," 1997 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.68-69 (Feb. 1997).
- [58] T. Iwata, H. Yamauchi, H. Akamatsu, Y. Terada, and A. Matsuzawa, "Gate-Over-Driving CMOS Architecture for 0.5V Single-Power-Supply-Operated Devices," 1997 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.290-291 (Feb. 1997).
- [59] H. Tanaka, M. Aoki, T. Sakata, S. Kimura, N. Sakashita, H. Hidaka, T. Tachibana, and K. Kimura, "A Precise On-Chip Voltage Generator for a Giga-Scale DRAM with a Negative Word-Line Scheme," 1998 Symposium on VLSI Circuits, Digest of Technical Papers, pp.94-95 (June 1998).
- [60] O. Takahashi, S. Dhong, M. Ohkubo, S. Onishi, R. Dennard, R. Hannon, S. Crowder, S. Iyer, M. Wordeman, B. Davari, W. B. Weinberger, and N. Aoki, "1GHz Fully Pipelined 3.7ns Address Access Time 8k x 1024 Embedded DRAM Macro," 2000 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.396-397 (Feb. 2000).
- [61] Y. Ye, M. Khellah, D. Somasekhar, A. Farhang, and V. De, "A 6GHz, 16Kbytes L1 Cache in a 100nm Dual-VT Technology Using a Bitline Leakage Reduction (BLR) Technique," 2002 Symposium on VLSI Circuits, Digest of Technical Papers, pp.50-51 (June 2002).
- [62] J.-Y. Sim, Y.-G. Gang, K.-N. Lim, J.-Y. Choi, S.-K. Kwak, K.-C. Chun, J.-H. Yoo, D.-I. Seo, and S.-I. Cho, "Charge-Transferred Presensing and Efficiently Precharged Negative Word-Line Schemes for Low-Voltage DRAMs," 2003 Symposium on VLSI Circuits, Digest of Technical Papers, pp.289-292 (June 2003).
- [63] M. Khellah, Y. Ye, D. Somasekhar, D. Casper, B. Bloechel, T. Nguyen, G. Dermer, K. Zhang, G. Pandya, A. Farhang and V. De, "Bitline Leakage Compensation (BLC) and Leakage Reduction (BLR) Techniques for 2-3GHz On-Chip Cache Arrays in Microprocessors on 90nm Logic Technology," 2005 Symposium on VLSI Circuits, Digest of Technical Papers, pp.262-263 (June 2005).
- [64] T. Ooishi, M. Asakura, S. Tomishima, H. Hidaka, K. Arimoto, and K. Fujishima, "A Well-Synchronized Sensing/Equalizing Method for Sub-1.0V Operating Advanced DRAMs," 1993 Symposium on VLSI Circuits, Digest of Technical Papers, pp.81-82 (June 1993).

- [65] T. Kuroda, T. Fujita, S. Mita, T. Nagamatu, S. Yoshioka, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu, and T. Sakurai, "A 0.9V 150MHz 10mW 4mm² 2-D Discrete Cosine Transform Core Processor with Variable Threshold Voltage Scheme," 1996 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.166-167 (Feb. 1996).
- [66] H. Mizuno, M. Miyazaki, K. Ishibashi, Y. Nakagome and T. Nagano, "A Lean-Power Gigascale LSI using Hierarchical VBB Routing Scheme with Frequency Adaptive VT CMOS," 1997 Symposium on VLSI Circuits, Digest of Technical Papers, pp.95-96 (June 1997).
- [67] H. Kawaguchi, Y. Itaka and T. Sakurai, "A Dynamic Leakage Cut-off Scheme for Low-Voltage SRAM's," 1998 Symposium on VLSI Circuits, Digest of Technical Papers, pp.140-141 (June 1998).
- [68] T. Yamashita, N. Yoshida, M. Sakamoto, T. Matsumoto, M. Kusunoki, H. Takahashi, A. Wakahara, T. Ito, T. Shimizu, K. Kurita, K. Higeta, K. Mori, N. Tamba, N. Kato, K. Miyamoto, R. Yamagata, H. Tanaka, and T. Hiyama, "A 450MHz 64b RISC Processor using Multiple Threshold Voltage CMOS," 2000 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.414-415 (Feb. 2000).
- [69] M. Miyazaki, G. Ono, T. Hattori¹, K. Shiozawa, K. Uchiyama, and K. Ishibashi, "A 1000-MIPS/W Microprocessor using Speed-Adaptive Threshold-Voltage CMOS with Forward Bias," 2000 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.420-421 (Feb. 2000).
- [70] M. Nomura, Y. Ikenaga, K. Takeda, Y. Nakazawa, Y. Aimoto, and Y. Hagihara, "Monitoring Scheme for Minimizing Power Consumption by Means of Supply and Threshold Voltage Control in Active and Standby Modes," 2005 Symposium on VLSI Circuits, Digest of Technical Papers, pp.308-311 (June 2005).
- [71] G. Gammie, A. Wang, M. Chau, S. Gururajao, R. Pitts, F. Jumel, S. Engel, P. Royannez, R. Lagerquist, H. Mair, J. Vaccani, G. Baldwin, K. Heragu, R. Mandal, M. Clinton, D. Arden, and U. Ko, "A 45nm 3.5G Baseband-and-Multimedia Application Processor using Adaptive Body-Bias and Ultra-Low-Power Techniques," 2008 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.258-259 (Feb. 2008).

6. 結論および今後の展望

6.1. 結論

メモリ LSI やシステム LSI の高集積化に伴う諸課題のうち、1.5 V 以下の低電圧動作で障害となる各種課題を取り上げ、それらを克服する下記の回路技術を開発した。

(1) 高集積 DRAM で顕在化するビット線間干渉雑音のモデル化を行い、解析式を与えた。センスアンプ増幅時に雑音が増大される機構を解析的に明らかにするとともに、各種設計パラメータが雑音に与える影響を定量的に予測する事を可能とした。雑音測定用のセルアレーを設計・試作し、解析と実験結果の良い一致を見た。これらにより、高集積 DRAM 用メモリセル、およびセルアレーの設計指針を与えた。

(2) 高集積 DRAM の低電圧下での高速・安定動作のために以下の回路技術を開発した。

(2A) セルプレートやビット線のプリチャージレベルなど、メモリセル蓄積電圧の変動に大きな影響を与える中間電圧発生回路の高精度化、高速応答化、のために、プッシュプル・カレントミラー誤差増幅回路、トライステート・バッファによる中間電圧発生回路を開発した。

(2B) 低電圧で問題となるチャージポンプ回路でのしきい値電圧降下による電圧ロスを回避するために、帰還パスを設けてフルの電源電圧をブースト容量にプリチャージする帰還型チャージポンプ昇圧回路を開発した。

(2C) 低電圧化に伴い顕著となるセンスアンプの初期増幅遅延時間の短縮のために、マルチ V_T 、コモンソース線ブースト、ビット線ブーストなどの低電圧センスアンプ回路方式を開発した。

(2D) ビット線と外部との信号授受を高速かつ安定に行うために、分離入出力 I/O 構成と、読み出しゲートの MOSFET とは相補の伝電型の駆動 MOSFET からなる電流センス回路 (I/V 変換器) を組合わせた相補型電流センス回路を開発した。

これら回路技術を実験的に検証するために、1.5 V 64 Mb DRAM を設計・試作し、1.5V での動作とアクセス時間 70 ns を確認。効果を実験的に検証した。

(3) 電池動作に適する広電圧動作範囲を有する LSI 実現のために、1.5~3.6 V といった 2 倍程度の広い電圧範囲で、速度性能変動少なく動作させるためのユニバーサル電源回路方式（以下）を開発した。

(3A) 広い動作電圧範囲での動作を可能とするために、降圧レギュレータとスイッチの並列給電パスを設けた 2 経路給電方式を開発した。

(3B) 素子の耐圧以上の電源電圧での動作を可能とするために、カスコード接続 CMOS+クランプ電圧でのバイアスによる高耐圧 CMOS 回路を開発した。レベル変換回路と組合わせた高耐圧出力バッファを設計・試作し、シミュレーションで予測した高耐圧性能が実現できる事を確認した。

これら回路技術を実験的に検証するために、1.5~3.6 V 64 Mb DRAM を設計・試作し、広い電源電圧範囲にわたって、ほぼ一定のアクセス時間（70 ns）が得られる事を実験的に検証した。

(4) 大規模な論理 LSI の電力削減のために、LSI の内部バスの振幅を 1 V 以下で動作させる方式を提案し、それを実現する以下の回路を提案した。

(4A) 内部電源 (V_{CL} , V_{SL}) で動作する低 V_T CMOS 駆動回路を開発した。

(4B) 直流電流の消費無しに V_{CL} （内部高電圧）→ V_{CC} （高電圧）、 V_{SL} （内部低電圧）→ V_{SS} （低電圧）、の振幅変換（増幅）を実現する対称レベル変換回路を開発した。

これらからなる低振幅バス駆動/受信回路を開発し、通常のインバータ構成に比べて約 1/3 程度（0.6 V）の低振幅でも同等のバス伝送遅延が得られる事をシミュレーションにより確認した。テストチップを設計・試作し、実験的に動作を検証した。

(5)サブスレッショルド・リーク電流を回路的に低減するために、以下の基本概念を提案した。

(5A) 低 V_T CMOS ゲートと高 V_T CMOS ゲートを使い分けるマルチ V_T CMOS 回路を創出し、特許化した。

(5B) 待機時に給電パスを遮断する電源遮断方式を創出し、特許化した。

(5C) 低 V_T MOSFET の実効的な V_T を動的に可変する方式として、オフセット・ゲート駆動、基板電圧可変などの概念を創出し、特許化した。

以上、本研究により、1.5 V 以下の低電圧下での高速・安定動作を実現するとともに、低電圧で顕在化するサブスレッショルド・リーク電流を低減できる基本回路を提案し、1.5 V 以下の高集積 DRAM やシステム LSI の道を拓いた。

6.2. 今後の展望

本研究の後、ここで提案した技術や基本概念をもとに、製品適用に向けた様々な技術開発がなされてきた事は、各章のまとめで述べてきたとおりである。現在使用されているメモリ LSI、システム LSI などに広く適用されている。しかしながら、現在の製品のほとんどは、その電源電圧は 1 V 以上であり、本格的なサブ 1 V の時代はこれからと言う事ができる。これまで、研究レベルではサブ 1 V に向けた様々な発表が行われてきている。ここでは、その内容を概観するとともに、今後 0.5 V 程度の製品実現に向けた研究の課題と方向性を明らかにする。

表 6.1 には、さらなる低電圧化に向けた課題とこれまでに開発されてきた技術を示す。低電圧での安定動作という面で、サブ 1 V に向けて特に顕在化してきたのが、ばらつきの問題である。素子寸法の縮小に伴い、物理パラメータのばらつきや不純物ゆらぎが素子特性の変動に及ぼす影響が大きくなるためである。LSI の回路要素の中で、このばらつきの影響を最も大きく受けるのが SRAM である。SRAM セルの動作マージンには第 1 章で述べたとおり、読み出し時と書き込み時のマージンがあるが、各マージンはメモリセルを構成する MOSFET のしきい値電圧に対する感度が高い。SRAM を構成する MOSFET は最小寸法で構成される事と、システム LSI に搭載される SRAM は大容量化している事、の 2 つの面から SRAM の全セルに対してマージンを確保するのが、特に

低電圧下では困難になっている。この問題に対処するため、SRAM セルの動作マージン
それ自体を高めるための回路技術が多く発表されている。また、通常の論理回路でも低
電圧化とともに遅延ばらつきが増大するため、ばらつきを考慮した設計やばらつき耐性
を向上させる技術が必要になってくる。一方、DRAM セルは、蓄積電荷の電荷再分配
によって信号電圧を得るという原理のため、低電圧化に伴って信号電圧を維持するのが
困難になってきている。信号を検出するセンスアンプの感度を世代とともに改善するの
は難しいため、信号電圧を確保するための新しいセル方式が必要とされている。

低電圧での高速動作という面では、SRAM の読み出し信号電流を増大させるための
8T SRAM が提案されている。また、LSI 内部の局所的な電源変動（IR ドロップ）を抑
制したり、積極的に変動をキャンセルするための回路技術が必要になる。また、動作電
圧範囲の拡大という面では DVS (Dynamic Voltage Scaling)、DVFS (Dynamic Voltage
Frequency Scaling)、といった電源電圧や動作周波数を必要な処理能力に応じて適応的に
可変する方式が一部の LSI に適用されており、広い電源電圧範囲で安定に動作させるた
めの回路技術が別の意味でも重要になってきている。さらにはゲート絶縁膜の薄膜化に
伴って増大するゲートリーク電流を抑制する回路技術の開発も重要な課題である。

表 6.1 さらなる低電圧化に向けた技術課題と開発技術

No.	項目	技術課題			本論分での提案技術	本研究後の開発技術
		共通	DRAM	SRAM、論理LSI		
1	低電圧での安定動作	信号対雑音比の確保 (信号量の増大、 雑音の低減)	セル容量の増大 外来雑音耐性の向上 (少数キャリア注入、 α 線)	SRAMセル動作マージン (Static Noise Margin)向上 α 線耐性向上		
				ばらつき耐性向上		ばらつき耐性向上 セル駆動技術(SRAM) ばらつき耐性向上 CMOS回路技術(Logic)
			電荷再分配に起因する 信号電圧の低下			3T、/2Tゲインセル(DRAM)
			アレー雑音の低減 しきい電圧(V_{th})ドロップ の補償		DRAMセルアレー雑音の解析 三重ウェル基板 V_{th} ドロップ補償昇圧回路 中間電圧の高速駆動回路	
2	低電圧での高速動作	オーバドライブ電圧 ($V_{gs}-V_{th}$)の少ない 領域での高速化	センスアンプ高速動作	SRAMセル読み出し電流 の増大	センスアンプ高速化技術 (ダイナミックブースト)	8T-SRAMセル
			大容量負荷の高速信号伝送(信号検出)		相補型電流センス回路	
			大容量負荷の高速駆動		低振幅バス回路(Sub-1V)	
			電源電圧変動の抑止			電源雑音キャンセル
3	動作電圧範囲の拡大	性能変化を抑制した 広動作電圧範囲動作化	速度変動の抑制 高耐圧化		ユニバーサル電源回路 高耐圧回路技術	DVS/DVFS対応設計技術 高速信号レベル変換
4	低しきい電圧化 に伴うリーク電流 増大の抑止	サブスレッショルド電流 増大の抑制技術	待機(情報保持)時の電流抑制 動作電流の抑制		ゲート・ソースの オフセット駆動技術 電源遮断技術 しきい電圧ダイナミック 可変技術 マルチしきい電圧技術	
5	ゲート絶縁膜の 薄膜化に伴う ゲートリーク電流 増大の抑止	ゲートリーク電流 増大の抑制技術				SRAMセルのゲートリーク 電流抑止

表 6.2 には SRAM セルのばらつき耐性を向上させるために、セルの動作マージンを改善するための回路方式の発表例を示す[1-17]。2004 年以降、プロセスノードで言えば 65 nm 以降で発表件数が増加している事からも 65 nm 以細でより顕著な問題になっている事を知ることができる。これらの発表は SRAM セルの読出しマージンや書込みマージンを改善するために、セルアレー電圧を静的あるいは動的に変化させたり、ワード線の電圧を読出し時と書込み時で変えたり、それらを組み合わせたりするものがほとんどである。図 6.1 にその一例を示す。特徴は、(1) 転送ゲートに低しきい値電圧の MOSFET を使用する、(2)ワード線の非選択時の電圧を V_{SS} 以下にする(ネガティブワード線駆動)、(3)セルアレーの電圧を昇圧する(ワード線の電圧よりも高く設定)、などである。(1)と(2)によって、非選択時のサブスレッショルド・リーク電流を増加させずにセルからの読出し電流を増加させる事ができる。また、(3)により読出し時のマージンを増大させると同時にセルの読出し電流も増加させる事が可能となる[1,2]。図 6.2 にセルアレーを昇圧した場合のノイズマージンの改善例を示す[18]。セルアレーの電圧 V_{DH} を上昇させるのに伴い、ノイズマージンが改善するのが分かる。また、ばらつき耐性の点でも、セルのしきい値電圧差 δV_T がある場合にも、セルアレーを昇圧する事により、ばらつきが無い場合と同等のマージンを確保できる事が分かる。この例のように、セルの電圧関係を静的あるいは動的に制御する事により動作マージンを高め、ばらつき耐性を改善する事が可能である。

表 6.2 SRAM セルばらつき耐性向上に関する発表例

発表			テクノロジ (nm)	SRAM 容量(bit)	最小電源 電圧(V)	マージン向上策							適用技術
年	学会	機関				読出しマージン向上			書込みマージン向上				
						セルVdd ブースト	ワード線 電圧降下	PMOS FBB	セルVdd 降下	セルVss ブースト	ワード線 ブースト	Negative BL駆動	
1996	VLSI	日立/ Waterloo大	250	8K	0.5	○			△ Floating				
2002	VLSI	日立	180	256K	0.4	○							
2004	ISSCC	日立	90	1M	0.75					○			Self Bias Write
2004	VLSI	IBM	65	1.296M	0.08	○							
2005	ISSCC	日立	90	512K	0.8				○				
		Intel	65	70M	1.1				○				
2006	VLSI	Renesas	65	16M	1		○		○				Read Assist & Write Assist
		IBM	65	32M	1.2				○				
		金沢大	90	64K	0.3	○						○	
2007	ISSCC	Renesas	45	1M	1~1.4		○		○				
2008	ISSCC	Intel	45	153M	1.1			○					
		Intel	45	1M	0.7		○		○				
2008	VLSI	Renesas	45	4.5M	0.7		○					○	
		TSMC	45	1M	0.6	○							
2009	ISSCC	東芝	40	2M	1	○					○		
2010	ISSCC	Cypress	65										Calibration
		Intel	32	3.4M					○				Process Corner検出

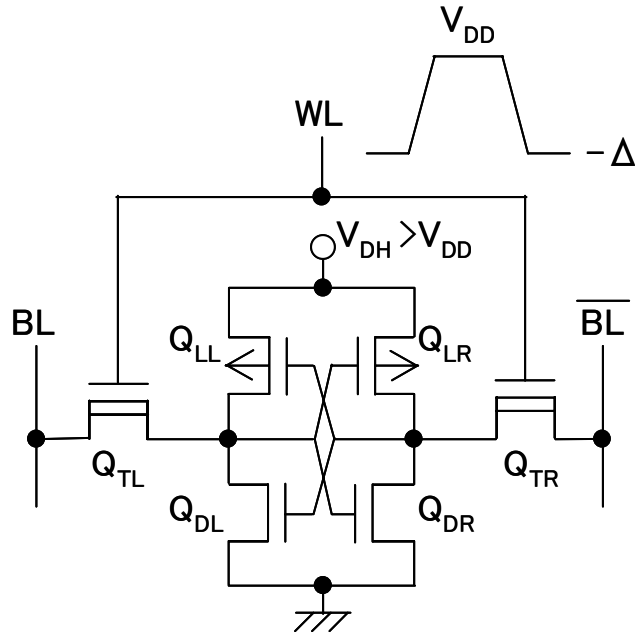


図 6.1 SRAM セルの動作マージン改善例（回路動作原理）

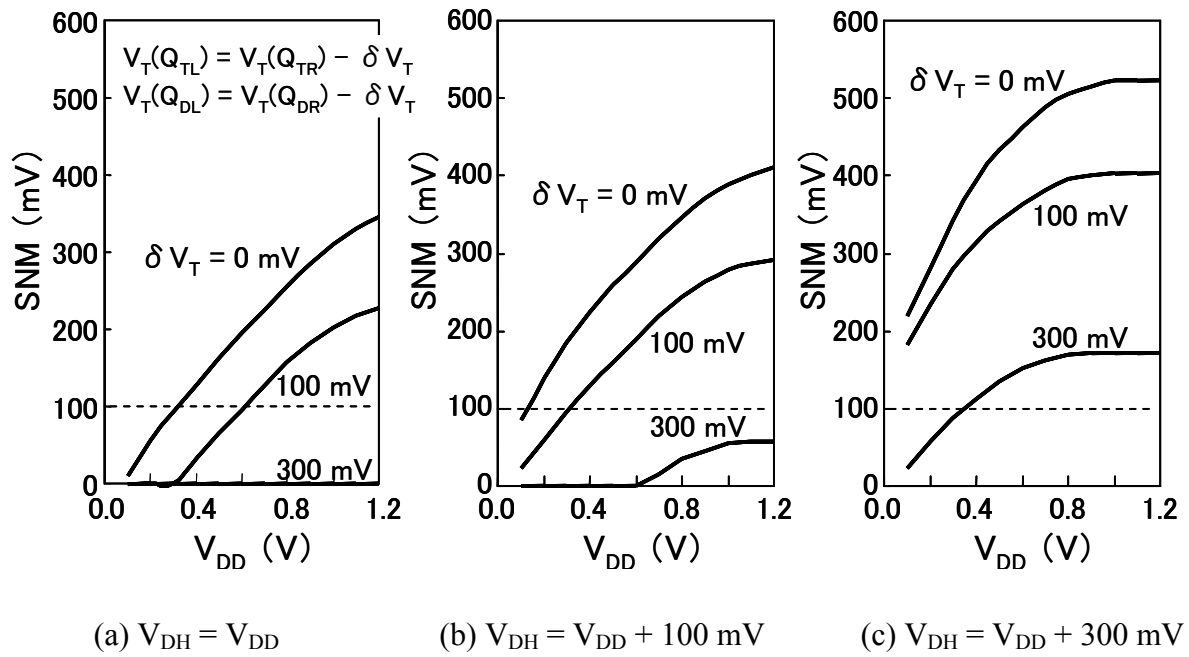


図 6.2 SRAM セルの動作マージン改善例（アレー昇圧の効果）

DRAM については、低電圧化とともに 1 トランジスタ セルでは動作安定性の確保が難しくなる事は、その原理上明らかである。特に、システム LSI に混載する大容量のセルとしては、低電圧化とともに特殊なプロセスを用いないセルも望まれている[19]。所謂ゲインセルは信号を電荷ではなく電流で取り出すために、蓄積容量も小さくする事ができるとともに、低電圧での動作にも適している。1 トランジスタ セルは面積の点でゲインセルよりも有利であるが、信号電圧を確保するためには低電圧化とともにビット線容量を小さくする必要がある、センスアンプも含めた実効セル面積は増大する。図 6.3 に 1 トランジスタ セルの実効セル面積の電源電圧依存性を示す[18]。電源電圧 1 V 以下で急激に増大しており、0.7 V 以下ではゲインセルの方が面積の点でも有利になる事が分かる。最近の学会発表でも、ゲインセルの発表が増えてきており[20-25]、今後 0.5 V 程度で動作する高集積メモリとして再度注目を集める事になると思われる。

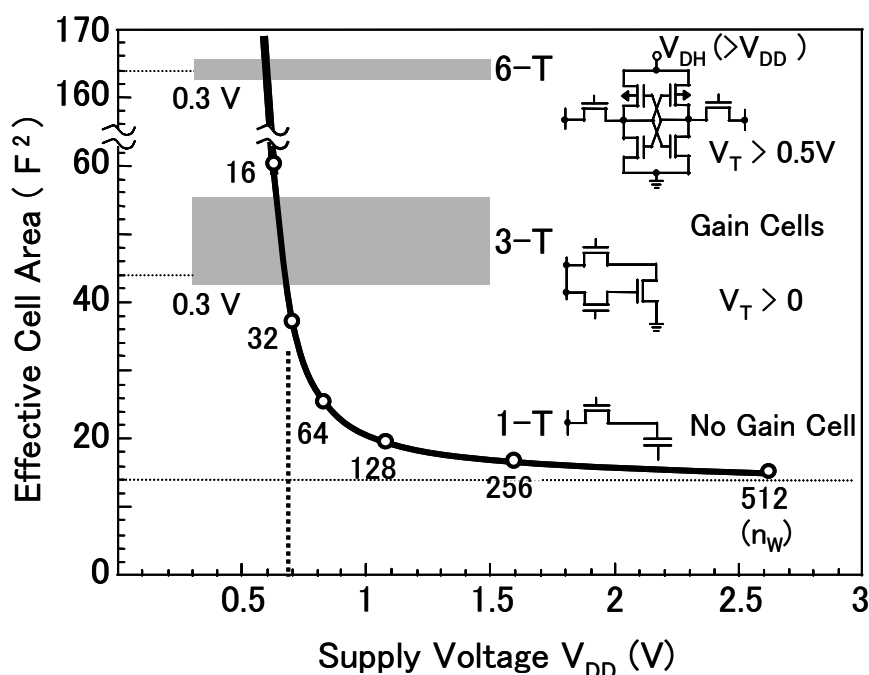


図 6.3 DRAM セル実効面積の電源電圧依存性

また、素子の微細化に伴ってゲートリークの問題も顕在化している。ゲートリークは酸化膜のトンネル電流であるため回路的な対策は難しく、酸化膜に印加する電圧を下げるしか方策が無いのが実情である。SRAM セルにおけるゲートリーク電流低減の例が発表されているが[26]、スタンバイ時にはセルの V_{SS} を上昇させる事により、ゲート酸化膜に印加される電圧を低減してリーク電流を削減する。

今後、0.5 V 程度の低電圧 LSI、低電力の LSI を実現するためには、素子レベル（デバイス、プロセス）、回路レベル、システムレベル、各レベルでの対策の他に、それぞれの協調が重要になると考える。図 6.4 は今後重要になるとと思われる技術と各レベルでの協調関係を示したものである。それらの中でも、とりわけデバイス・プロセス技術が重要である。現在の LSI 製品の主流であるプレーナ型 MOSFET においては、サブスレッショルド係数を表す S ファクタを小さくする事が構造上難しいためである。完全空乏化 SOI や Fin FET などの S ファクタを物理的な限界まで小さくできる素子構造の適用が 0.5 V LSI 実現の大きな鍵を握っている。同時に、マルチ V_T を実現できる事が必須条件であるのに加えて、プログラマブル V_T すなわち V_T の値を調整する事ができる機能があれば、より粒度の細かいばらつき補正を行うことが可能となる。ゲートリーク電流の低減のためには、高誘電率絶縁膜いわゆる high- κ 絶縁膜などの新材料に期待するところが大である。また、電源電圧変動耐性を向上させるために、局所的な電源電圧変動を抑制するためにコンパクトなデカップリング容量が必要となる。回路レベルでは、これまで研究されてきた各種技術の改良と組合せによる実用性向上が重要となる。また、複数の電源電圧を高精度・高効率で供給するための電源回路技術（DC-DC 変換回路）の重要性が増すことになるだろう。システムレベルでは、現状でも行われている電源制御（パワーマネジメント）を応用に応じて適応的に制御する事が重要になるであろう。また、回路技術との協調による DVS や DVFS をより回路の細かな単位で適用していく事が求められるであろう。アナログについては、信号処理をなるべくデジタル化する事による低コスト化、低消費電力化を進展させる必要がある。回路とデバイスの協調の観点では、 V_T を静的かつ動的に制御する必要性があるために、素子に V_T 調整機能を有することが必須となる。また、パッシブなデカップリング容量をさらに進めて、アクティブに制御する事により電源変動抑制効果をさらに高める工夫が必要になってくるであろう。また、これらの総合的な協調という観点では、素子のばらつきやミスマッチを計測して補正するキャリブレーション技術がアナログ、メモリ、論理 LSI、全てで不可欠になってくるであろう。SRAM にマイクロプロセッサを搭載してばらつきを補正する技術も発表されている [16]。

28 nm 程度の最先端 LSI が実用に供せられる今日、さらなる微細化・低電圧化に向けて、こうした技術開発は今後も盛んに行われていく事であろう。こうした技術の多くが本研究を通して提案した要素技術や基本概念をベースに成り立っている事はこれまで

の説明で明らかである。今日の最先端 LSI の実現、さらには今後の本格的なサブ 1V 時代を切り開くためにも、本研究の果たした役割は大きいという事ができる。

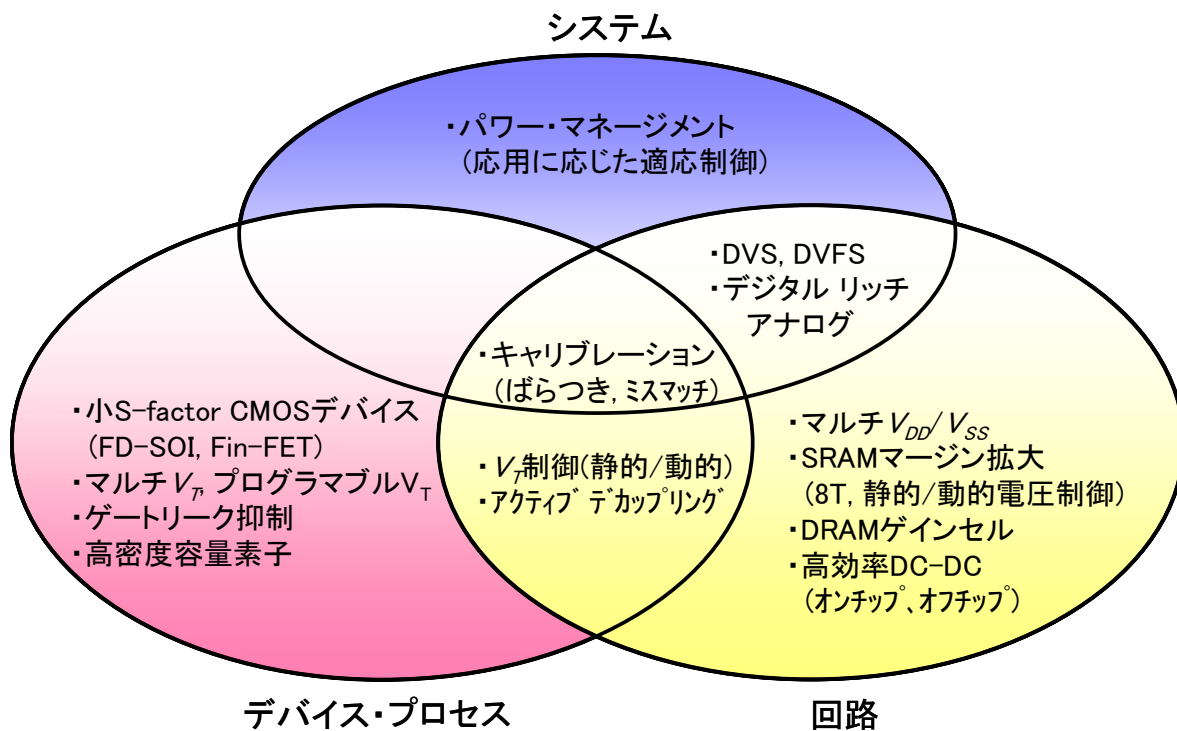


図 6.4 0.5V LSI の課題

第 6 章の参考文献

- [1] K. Itoh, A. R. Fridi, A. Bellaouar, and M. I. Elmasry, "A Deep Sub-V, Single Power-Supply SRAM Cell with Multi-V_t, Boosted Storage Node and Dynamic Load," 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.132-133 (June 1996).
- [2] M. Yamaoka, K. Osada, and K. Ishibashi, "0.4-V Logic Library Friendly SRAM Array Using Rectangular-Diffusion Cell and Delta-Boosted-Array-Voltage Scheme," 2002 Symposium on VLSI Circuits, Digest of Technical Papers, pp.170-173 (June 2002).
- [3] M. Yamaoka, Y. Shinozaki, N. Maeda, Y. Shimazaki, K. Kato, S. Shimada, K. Yanagisawa, and K. Osada, "A 300MHz 25 μ A/Mb Leakage On-Chip SRAM Module Featuring Process-Variation Immunity and Low-Leakage-Active Mode for Mobile-Phone Application Processor," 2004 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.494-495 (Feb. 2004).
- [4] A. J. Bhavnagarwala, S. V. Kosonocky, S. P Kowalczyk, R. V Joshi, Y. H. Chan, U. Srinivasan, and J. K. Wadhwa, "A Transregional CMOS SRAM with Single, Logic VDD and Dynamic Power Rails," 2004 Symposium on VLSI Circuits, Digest of Technical Papers, pp.292-293 (June 2004).
- [5] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa, and T. Kawahara, "Low-Power Embedded SRAM Modules with Expanded Margins for Writing," 2005 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.480-481 (Feb. 2005).
- [6] K. Zhang, U. Bhattacharya, Z. Chen, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, and M. Bohr, "A 3-GHz 70Mb SRAM in 65nm CMOS Technology with Integrated Column-Based Dynamic Power Supply," 2005 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.474-475 (Feb. 2005).
- [7] S. Ohbayashi, M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Imaoka, Y. Oda, M. Igarashi, M. Takeuchi, H. Kawashima, H. Makino, Y. Yamaguchi, K. Tsukamoto, M. Inuishi, K. Ishibashi and H. Shinohara, "A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits," 2006 Symposium on VLSI Circuits, Digest of Technical Papers, pp.17-18 (June 2006).
- [8] H. Pilo, J. Barwin, G. Bracer, C. Browning, S. Burns, J. Gabric, S. Lamphier, M.

- Miller, A. Roberts, and F. Towler, "An SRAM Design in 65nm and 45nm Technology Nodes Featuring Read and Write-Assist Circuits to Expand Operating Voltage," 2006 Symposium on VLSI Circuits, Digest of Technical Papers, pp.15-16 (June 2006).
- [9] Y. Morita, H. Fujiwara, H. Noguchi, K. Kawakami, J. Miyakoshi, S. Mikami, K. Nii, H. Kawaguchi, and M. Yoshimoto, "A V_{th} -Variation-Tolerant SRAM with 0.3-V Minimum Operation Voltage for Memory-Rich SoC under DVS Environment," 2006 Symposium on VLSI Circuits, Digest of Technical Papers, pp.13-14 (June 2006).
- [10] M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Ohbayashi, S. Imaoka, H. Makino, Y. Yamagami, S. Ishikura, T. Terano, T. Oashi, K. Hashimoto, A. Sebe, G. Okazaki, K. Satomi, H. Akamatsu, and H. Shinohara, "A 45nm Low-Standby-Power Embedded SRAM with Improved Immunity Against Process and Temperature Variations," 2007 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.326-327 (Feb. 2007).
- [11] F. Hamzaoglu, K. Zhang, Y. Wang, H. J. Ahn, U. Bhattacharya, Z. Chen, Y.-G. Ng, A. Pavlov, K. Smits, and M. Bohr, "A 153Mb-SRAM Design with Dynamic Stability Enhancement and Leakage Reduction in 45nm High- κ Metal-Gate CMOS Technology," 2008 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.376-377 (Feb. 2008).
- [12] M. Khellah, N. S. Kim, Y. Ye, D. Somasekhar, T. Karnik, N. Borkar, F. Hamzaoglu, T. Coan, Y. Wang, K. Zhang, C. Webb, V. De, "PVT-Variations and Supply-Noise Tolerant 45nm Dense Cache Arrays with Diffusion-Notch-Free (DNF) 6T SRAM Cells and Dynamic Multi-Vcc Circuits," 2008 Symposium on VLSI Circuits, Digest of Technical Papers, pp.48-49 (June 2008).
- [13] K. Nii, M. Yabuuchi, Y. Tsukamoto, S. Ohbayashi, Y. Oda, K. Usui, T. Kawamura, N. Tsuboi, T. Iwasaki, K. Hashimoto, H. Makino and H. Shinohara, "A 45-nm Single-port and Dual-port SRAM family with Robust Read/Write Stabilizing Circuitry under DVFS Environment," 2008 Symposium on VLSI Circuits, Digest of Technical Papers, pp.212-213 (June 2008).
- [14] Y.H. Chen, W.M. Chan, S.Y. Chou, H.J. Liao, H.Y. Pan, J.J. Wu, C.H. Lee, S.M. Yang, Y.C. Liu, and H. Yamauchi, "A 0.6V 45nm Adaptive Dual-rail SRAM Compiler Circuit Design for Lower VDD_{min} VLSIs," 2008 Symposium on VLSI Circuits, Digest of Technical Papers, pp.210-211 (June 2008).
- [15] O. Hirabayashi, A. Kawasumi, A. Suzuki, Y. Takeyama, K. Kushida, T. Sasaki, A. Katayama, G. Fukano, Y. Fujimura, T. Nakazato, Y. Shizuki, N. Kushiya, and T.

- Yabe, "A Process-Variation-Tolerant Dual-Power-Supply SRAM with $0.179\mu\text{m}^2$ Cell in 40nm CMOS Using Level-Programmable Wordline Driver," 2009 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.459-459 (Feb. 2009).
- [16] S. T. Eid, M. Whately, and S. Krishnegowda, "A Microcontroller-Based PVT Control System For A 65nm 72Mb Synchronous SRAM," 2010 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.184-185 (Feb. 2010).
- [17] H. Nho, P. Kolar, F. Hamzaoglu, Y. Wang, E. Karl, Y.-G. Ng, U. Bhattacharya, and K. Zhang, "A 32nm High- κ Metal Gate SRAM with Adaptive Dynamic Stability Enhancement for Low-Voltage Operation," 2010 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.346-347 (Feb. 2010).
- [18] Y. Nakagome, M. Horiguchi, T. Kawahara, and K. Itoh, "Review and future prospects of low-voltage RAM circuits," IBM J. Res. & Dev., vol.47, no.5/6, pp.525-552 (September/November 2003). (Invited Paper)
- [19] R. C. Foss, "Implementing Application Specific Memory," 1996 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.260-261 (Feb. 1996).
- [20] W. K. Luk and R. H. Dennard, "A Novel Dynamic Memory Cell With Internal Voltage Gain," IEEE J. Solid-State Circuits, vol.40, no.4, pp.884-894 (April 2005).
- [21] R. Takemura, K. Itoh, T. Sekiguchi, S. Akiyama, S. Hanzawa, K. Kajigaya, and T. Kawahara, "A 0.4-V High-speed, Long-retention-time DRAM Array with $12\text{-}F^2$ Twin Cell," 2005 Symposium on VLSI Circuits, Digest of Technical Papers, pp.362-365 (June 2005).
- [22] W. K. Luk, J. Cai, R. H. Dennard, M. J. Immediato, S. V. Kosonocky, "A 3-Transistor DRAM Cell with Gated Diode for Enhanced Speed and Retention Time," 2006 Symposium on VLSI Circuits, Digest of Technical Papers, pp.184-185 (June 2006).
- [23] D. Somasekhar, Y. Ye, P. Aseron, S.-L. Lu, M. Khellah, J. Howard, G. Ruhl, T. Karnik, S. Y. Borkar, V. De, and A. Keshavarzi, "2GHz 2Mb 2T Gain-Cell Memory Macro with 128GB/s Bandwidth in a 65nm Logic Process," 2008 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.274-275 (Feb. 2008).
- [24] K. C. Chun, P. Jain, J. H. Lee, and C. H. Kim, "A Sub-0.9V Logic-compatible Embedded DRAM with Boosted 3T Gain Cell, Regulated Bit-line Write Scheme and

PVT-tracking Read Reference Bias,” 2009 Symposium on VLSI Circuits, Digest of Technical Papers, pp.134-135 (June 2009).

- [25] K. C. Chun, P. Jain, T. H. Kim, and C. H. Kim, “A 1.1V, 667MHz Random Cycle, Asymmetric 2T Gain Cell Embedded DRAM with a 99.9 Percentile Retention Time of 110 μ sec,” 2010 Symposium on VLSI Circuits, Digest of Technical Papers, pp.191-192 (June 2010).
- [26] K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, “16.7fA/cell Tunnel-Leakage-Suppressed 16Mb SRAM for Handling Cosmic-Ray-Induced Multi-Errors,” 2003 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.302-303 (Feb. 2003).

7. 研究業績

7.1. 論文リスト

7.1.1. 学術論文(主著)

- (1) Y. Nakagome, E. Takeda, H. Kume, and S. Asai, “New observation of hot-carrier injection phenomena, ” 14th Conf. (1982 International) on Solid State Devices, Proceedings, pp.99-102 (Aug. 1982); Jpn. J. Appl. Phys., vol.22, Supplement 22-1, pp.99-102, 1983.
- (2) Y. Nakagome, M. Aoki, S. Ikenaga, M. Horiguchi, S. Kimura, Y. Kawamoto, and K. Itoh, “The impact of data-line interference noise on DRAM scaling,” IEEE J. Solid-State Circuits, vol.23, no.5, pp.1120-1127 (Oct. 1988).
- (3) Y. Nakagome, H. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, Y. Kawamoto, F. Murai, R. Izawa, D. Hisamoto, T. Kisu, T. Nishida, E. Takeda, and K. Itoh, “An experimental 1.5-V 64-Mb DRAM,” IEEE J. Solid-State Circuits, vol.26, no.4, pp.465-472 (April 1991).
- (4) Y. Nakagome, K. Itoh, K. Takeuchi, E. Kume, H. Tanaka, M. Isoda, T. Musha, T. Kaga, T. Kisu, T. Nishida, Y. Kawamoto, and M. Aoki, “Circuit techniques for 1.5-3.6-V battery-operated 64-Mb DRAM,” IEEE J. Solid-State Circuits, vol.26, no.7, pp.1003-1010 (July 1991).
- (5) Y. Nakagome, K. Itoh, M. Isoda, K. Takeuchi, and M. Aoki, “Sub-1-V swing internal bus architecture for future low-power ULSI’s,” IEEE J. Solid-State Circuits, vol.28, no.4, pp.414-419 (April 1993).
- (6) Y. Nakagome and K. Itoh, “Reviews and prospects of DRAM Technology,” IEICE Trans., vol.E74, no.4, pp.799-811 (April 1991). (Invited Paper)
- (7) 中込儀延, “超 LSI の低電圧化,” 電子情報通信学会誌, vol.75, no.10, pp.1047-1049 (1992-10).
- (8) Y. Nakagome, M. Horiguchi, T. Kawahara, and K. Itoh, “Review and future prospects of low-voltage RAM circuits,” IBM J. Res. & Dev., vol.47, no.5/6, pp.525-552 (September/November 2003). (Invited Paper)
- (9) Y. Nakagome, G. A. Uvieghara, and D. A. Hodges, “Multiport memory design considerations for parallel execution CPU architectures,” U.C.Berkeley ERL, Memorandum No. UCB/ERL M88/83 (Dec. 1988).

7.1.2. 解説論文、等

- (1) 中込儀延, 加賀徹, “1.5V 電源電圧を実現した 64M DRAM,” 電子材料, pp.30-36 (1991-6).
- (2) 中込儀延, “携帯情報機器のための低電圧・低電力メモリ,” 強誘電体薄膜メモリ (サイエンスフォーラム), pp.337-345 (1995-6).
- (3) 中込儀延, 堀口真志, 渡部隆夫, “低電力メモリ回路技術 - DRAM,” 低消費電力, 高速 LSI 技術 (リアライズ社), pp.163-183 (1998-10).
- (4) Y. Nakagome, "Media Chip: DRAM based parallel processing chip for future multimedia applications", Workshop on DRAM-Based Merged DRAM/SRAM/Logic Technology and Application (Feb.1995).
- (5) Y. Nakagome, "Voltage Regulator Design for Low Voltage DRAMs," 1998 VLSI Memory Short Course (June 1998).
- (6) Y. Nakagome, "Memory LSI Design in Multi-Media Era," 1999 年国際固体素子材料コンファレンス・ショートコース (設計技術), pp.57-81 (1999-9)

7.1.3. 学術論文、等(共著)

- (1) E. Takeda, Y. Nakagome, H. Kume, and S. Asai, “New hot-carrier injection and device degradation in submicron MOSFETs,” IEE Proc., vol.130, Pt.I, no.3, pp.144-150 (June 1983).
- (2) E. Takeda, H. Kume, Y. Nakagome, T. Makino, A. Shimizu, and S. Asai, “An As-P (n+-n-) double diffused drain MOSFET for VLSI's,” IEEE Trans. Electron Devices, vol.ED-30, pp.652-657 (June 1983).
- (3) E. Takeda, Y. Nakagome, H. Kume, N. Suzuki, and S. Asai, “Comparison of characteristics of n-channel and p-channel MOSFET's,” IEEE Trans. Electron Devices, vol.ED-30, pp.675-680 (June 1983).
- (4) M. Aoki, Y. Nakagome, M. Horiguchi, S. Ikenaga, and K. Shimohigashi, “A 16-level/cell dynamic memory,” IEEE J. Solid-State Circuits, vol.SC-22, no.2, pp.297-299 (April 1987).
- (5) M. Horiguchi, M. Aoki, Y. Nakagome, S. Ikenaga, and K. Shimohigashi, “An experimental large-capacity semiconductor file memory using 16-levels/cell

- storage,” IEEE J. Solid-State Circuits, vol.23, no.1, pp.27-33 (Feb. 1988).
- (6) M. Aoki, Y. Nakagome, M. Horiguchi, H. Tanaka, S. Ikenaga, J. Etoh, Y. Kawamoto, S. Kimura, E. Takeda, H. Sunami, and K. Itoh, “A 60-ns 16-Mbit CMOS DRAM with a transposed data-line structure,” IEEE J. Solid-State Circuits, vol.23, no.5, pp.1113-1119 (Oct. 1988).
 - (7) M. Horiguchi, M. Aoki, H. Tanaka, J. Etoh, Y. Nakagome, S. Ikenaga, Y. Kawamoto, and K. Itoh, “Dual-operating-voltage scheme for a single 5-V 16-Mbit DRAM,” IEEE J. Solid-State Circuits, vol.23, no.5, pp.1128-1132 (Oct. 1988).
 - (8) T. Kaga, Y. Kawamoto, T. Kure, Y. Nakagome, M. Aoki, H. Sunami, T. Makino, N. Ohki, and K. Itoh, “Half-V_{cc} sheath-plate capacitor DRAM cell with self-aligned buried plate wiring,” IEEE Trans. Electron Devices, vol.35, No.8, pp.1257-1263 (Aug. 1988).
 - (9) S. Kimura, Y. Kawamoto, N. Hasegawa, A. Hiraiwa, Y. Nakagome, M. Aoki, T. Kisu, H. Sunami, and K. Itoh, “An optically delineated 4.2- μm^2 self-aligned isolated-plate stacked-capacitor DRAM cell,” IEEE Trans. Electron Devices, vol.35, No.10, pp.1591-1595 (Oct. 1988).
 - (10) M. Aoki, S. Ikenaga, Y. Nakagome, M. Horiguchi, Y. Kawase, Y. Kawamoto, and K. Itoh, “New DRAM noise generation under half-V_{cc} precharge and its reduction using a transposed amplifier,” IEEE J. Solid-State Circuits, vol.24, no.4, pp.889-894 (Aug. 1989).
 - (11) 青木正和, 竹内幹, 中込儀延, 川瀬靖, 伊藤清男, 木村紳一郎, 加賀徹, 川本佳史, “立体形 DRAM セルにおけるデータ線間干渉雑音を排除した α 線誘起収集電荷の評価,” 電子情報通信学会論文誌 C-II 分冊, vol.J73-C-II, no.5, pp.310-318 (1990-5).
 - (12) F. Murai, Y. Nakayama, I. Sakama, T. Kaga, Y. Nakagome, Y. Kawamoto, and S. Okazaki, “Electron beam direct writing technology for 64-Mb DRAM LSIs,” Jpn. J. Appl. Phys., vol.29, No.11, pp.2590-2595 (Nov. 1990).
 - (13) T. Kawahara, Y. Kawajiri, G. Kitsukawa, Y. Nakagome, K. Sagara, Y. Kawamoto, T. Akiba, S. Kato, Y. Kawase, and K. Itoh, “A circuit technology for Sub-10-ns ECL 4-Mb BiCMOS DRAM’s,” IEEE J. Solid-State Circuits, vol.26, no.11, pp.1530-1537 (Nov. 1991).
 - (14) T. Kaga, T. Kure, H. Shinriki, Y. Kawamoto, F. Murai, T. Nishida, Y. Nakagome, D. Hisamoto, T. Kisu, E. Takeda, and K. Itoh, “Crown-shaped stacked-capacitor cell for 1.5-V operation 64-Mb DRAMs,” IEEE Transactions on Electron Devices, vol.38,

No.2, pp.255-261 (Feb. 1991).

- (15) H. Tanaka, Y. Nakagome, J. Etoh, E. Yamasaki, M. Aoki, and K. Miyazawa, "Sub-1- μ A dynamic reference voltage generator for battery-operated DRAM's," IEEE J. Solid-State Circuits, vol.29, no.4, pp.448-453 (April 1994).
- (16) M. Suzuki, N. Ohkubo, T. Shinbo, T. Yamanaka, A. Shimizu, K. Sasaki, and Y. Nakagome, "A 1.5-ns 32-b CMOS ALU in double pass-transistor logic," IEEE J. Solid-State Circuits, vol.28, no.11, pp.1145-1151 (Nov. 1993).
- (17) N. Ohkubo, M. Suzuki, T. Shinbo, T. Yamanaka, A. Shimizu, K. Sasaki, and Y. Nakagome, "A 4.4 ns CMOS 54X54-b multiplier using pass-transistor multiplexer," IEEE J. Solid-State Circuits, vol.30, 251-257 (Mar. 1995).
- (18) S. Tachibana, H. Higuchi, K. Takasugi, K. Sasaki, T. Yamanaka, and Y. Nakagome, "A 2.6-ns wave-pipelined CMOS SRAM with dual-sensing-latch circuits," IEEE J. Solid-State Circuits, vol.30, no.4, pp.487-490 (April 1995).
- (19) T. Sakata, M. Horiguchi, T. Sekiguchi, S. Ueda, H. Tanaka, E. Yamasaki, Y. Nakagome, M. Aoki, T. Kaga, M. Ohkura, R. Nagai, F. Murai, T. Tanaka, S. Iijima, N. Yokoyama, Y. Gotoh, K. Shoji, T. Kisu, H. Yamashita, T. Nishida, and E. Takeda, "An experimental 220-MHz 1-Gb DRAM with a distributed-column-control architecture," IEEE J. Solid-State Circuits, vol.30, no.11, pp.1165-1173 (Nov. 1995).
- (20) T. Sekiguchi, M. Horiguchi, T. Sakata, Y. Nakagome, S. Ueda, and M. Aoki, "Low-noise, high-speed data transmission using a ringing-canceling output buffer," IEEE J. Solid-State Circuits, vol.30, no.12, pp.1569-1574 (Dec. 1995).
- (21) K. Takeuchi, K. Matsuno, Y. Nakagome, and M. Aoki, "Half-V_{cc} plate nonvolatile DRAMs with ferroelectric capacitors," IEICE Trans. Electron., vol.E79-C, no.2, pp.234-242 (Feb. 1996).
- (22) T. Watanabe, K. Ayukawa, and Y. Nakagome, "3-D CG Media Chip: An experimental single-chip architecture for three-dimensional computer graphics," IEICE Trans. Electron., pp.1881-1887 (Dec. 1994).
- (23) T. Watanabe, R. Fujita, K. Yanagisawa, H. Tanaka, K. Ayukawa, M. Soga, Y. Tanaka, Y. Sugie, and Y. Nakagome, "A modular architecture for a 6.4-Gbyte/s, 8-Mb DRAM-integrated Media Chip," IEEE J. Solid-State Circuits, vol.32, no.5, pp.635-641 (May 1997).
- (24) T. Sato, Y. Nishio, T. Sugano, and Y. Nakagome, "A 5-GByte/s data-transfer scheme with bit-to-bit skew control for synchronous DRAM," IEEE J. Solid-State Circuits, vol.34, no.5, pp.653-660 (May 1999).

- (25) G. A. Uvieghara, Y. Nakagome, D-K. Jeong, and D. A. Hodges, "An on-chip smart memory for a data-flow CPU," IEEE J. Solid-State Circuits, vol.25, no.1, pp.84-94 (Feb. 1990).
- (26) G. A. Uvieghara, W. W. Hwu, Y. Nakagome, D-K. Jeong, D. D. Lee, D. A. Hodges, and Y. N. Patt, "An experimental single-chip data flow CPU," IEEE J. Solid-State Circuits, vol.27, no.1, pp.17-28 (Jan. 1992).
- (27) K. Itoh, K. Sasaki, and Y. Nakagome, "Trends in low-power RAM circuit technologies," Proc. IEEE, vol.83, no.4, pp.524-543 (April 1995). (Invited Paper)
- (28) K. Itoh, Y. Nakagome, S. Kimura, and T. Watanabe, "Limitations and challenges of multigigabit DRAM chip design," IEEE J. Solid-State Circuits, vol.32, no.5, pp.624-634 (May 1997). (Invited Paper)

7.2. 発表リスト

7.2.1. 国際会議（筆頭）

- (1) Y. Nakagome, M. Aoki, M. Horiguchi, S. Ikenaga, and K. Shimohigashi, “A high S/N design on multilevel storage dynamic memory,” 17th Conf. on Solid State Devices and Materials, Extended Abstracts, pp.45-48 (Aug. 1985).
- (2) Y. Nakagome, Y. Kawamoto, H. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, F. Murai, R. Izawa, D. Hisamoto, T. Kisu, T. Nishida, E. Takeda, and K. Itoh, “A 1.5-V circuit technology for 64Mb DRAMs,” 1990 Symposium on VLSI Circuits, Digest of Technical Papers, pp.17-18 (June 1990).
- (3) Y. Nakagome, K. Itoh, K. Takeuchi, E. Kume, H. Tanaka, T. Mushya, T. Kaga, T. Kisu, T. Nishida, Y. Kawamoto, and M. Aoki, “Circuit techniques for 1.5-3.6 V battery-operated 64Mb DRAMs,” European Solid-State Circuits Conference (ESSCIRC), Proceedings, pp.157-160 (Sep. 1990).
- (4) Y. Nakagome, K. Itoh, M. Isoda, K. Takeuchi, and M. Aoki, “Sub-1-V swing bus architecture for future low-power ULSIs,” 1992 Symposium on VLSI Circuits, Digest of Technical Papers, pp.82-83 (June 1992).

7.2.2. 国内研究会、等（筆頭）

- (1) 中込儀延, 伊藤清男, “64M ビット DRAM の低電圧・高速化技術,” 電子情報通信学会, 集積回路研究会技術報告, ICD90-98, pp.1-9 (1990-8).
- (2) 中込儀延, 加賀徹, “64M ビット DRAM 用低電圧技術,” 電子情報通信学会, 集積回路研究会技術報告, ICD90-200, pp.7-13 (1991-3).

7.2.3. 国際会議、等（共著）

- (1) T. Kaga, Y. Kawamoto, T. Kure, Y. Nakagome, M. Aoki, H. Sunami, and K. Itoh, “4.2 μm^2 Half-VCC sheath-plate-capacitor DRAM cell with self-aligned buried plate-wiring,” 1987 International Electron Device Meeting (IEDM), vol.33, pp.332-335 (Dec. 1987).
- (2) M. Aoki, Y. Nakagome, M. Horiguchi, S. Ikenaga, J. Etoh, Y. Kawamoto, S. Kimura,

- E. Takeda, H. Sunami, K. Itoh, and H. Tanaka, "An experimental 16Mb DRAM with transposed data-line structure," 1988 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.17-19 (Feb. 1988).
- (3) T. Kaga, Y. Kawamoto, T. Kure, Y. Nakagome, M. Aoki, H. Sunami, and K. Itoh, "4.2 μm^2 Half-VCC sheath-plate-capacitor DRAM cell with self-aligned buried plate-wiring," 1987 International Electron Device Meeting (IEDM), vol.33, pp.332-335 (Dec. 1987).
 - (4) K. Itoh, K. Sasaki, and Y. Nakagome, "Trends in low-power RAM circuit technologies," IEEE Symposium on Low Power Electronics, Digest of Technical Papers, pp.84-87 (Oct. 1994).
 - (5) H. Tanaka, Y. Nakagome, J. Etoh, E. Yamasaki, M. Aoki, and K. Miyazawa, "Sub-1- μA dynamic reference voltage generator for battery-operated DRAMs," 1993 Symposium on VLSI Circuits, Digest of Technical Papers, pp.87-88 (May 1993).
 - (6) H. Mizuno, M. Miyazaki, K. Ishibashi, Y. Nakagome, and T. Nagano, "A lean-power gigascale LSI using hierarchical V_{bb} routing scheme with frequency adaptive V_t CMOS," 1997 Symposium on VLSI Circuits, Digest of Technical Papers, pp.95-96 (June 1997).
 - (7) M. Aoki, Y. Nakagome, M. Horiguchi, S. Ikenaga, and K. Shimohigashi, "A 16-levels/cell dynamic memory," 1985 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.246-247 (Feb. 1985).
 - (8) G. A. Uvieghara, Y. Nakagome, D. K. Jeong, and D. A. Hodges, "An on-chip smart memory for a data flow CPU," 1989 Symposium on VLSI Circuits, Digest of Technical Papers, pp.121-122 (June 1989).
 - (9) Y. Okuda, M. Horiguchi, and Y. Nakagome, "A 66-400 MHz, adaptive-lock-mode DLL circuit with duty-cycle error correction for SDRAMs," 2001 Symposium on VLSI Circuits, Digest of Technical Papers, pp.37-38 (June 2001).
 - (10) T. Sato, Y. Nishio, T. Sugano, and Y. Nakagome, "5 GByte/s data transfer scheme with bit-to-bit skew control for synchronous DRAM," 1998 Symposium on VLSI Circuits, Digest of Technical Papers, pp.64-65 (June 1998).
 - (11) M. Hasegawa, M. Nakamura, S. Nanri, S. Ohkuma, Y. Kawase, H. Endoh, S. Miyatake, T. Akiba, K. Kawakita, M. Yoshida, S. Yamada, T. Sekiguchi, S. Asano, Y. Tadaki, R. Nagai, S. Miyaoka, K. Kajigaya, M. Horiguchi, and Y. Nakagome, "A 255 Mb SDRAM with subthreshold leakage current suppression," 1998 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers,

pp.80-81 (Feb. 1998).

- (12) T. Watanabe, R. Fujita, K. Yanagisawa, H. Tanaka, K. Ayukawa, M. Soga, Y. Tanaka, Y. Sugie, and Y. Nakagome, "A modular architecture for a 6.4-Gbyte/s, 8-Mbit media chip," 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.42-43 (June 1996).
- (13) M. Horiguchi, T. Sakata, T. Sekiguchi, S. Ueda, H. Tanaka, E. Yamasaki, Y. Nakagome, M. Aoki, T. Kaga, M. Ohkura, R. Nagai, F. Murai, T. Tanaka, S. Iijima, N. Yokoyama, Y. Gotoh, K. Shoji, T. Kisu, H. Yamashita, T. Nishida, and E. Takeda, "An experimental 220 MHz 1 Gb DRAM," 1995 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp.252-253 (Feb. 1995).
- (14) S. Tachibana, H. Higuchi, K. Takasugi, K. Sasaki, T. Yamanaka, and Y. Nakagome, "A 2.6-ns wave-pipelined CMOS SRAM with dual-sensing-latch," 1994 Symposium on VLSI Circuits, Digest of Technical Papers, pp.117-118 (June 1994).
- (15) N. Ohkubo, M. Suzuki, T. Shinbo, T. Yamanaka, A. Shimizu, K. Sasaki, and Y. Nakagome, "A 4.4-ns CMOS 54×54-b multiplier using pass-transistor multiplexer," Proceedings of the IEEE 1994 Custom Integrated Circuits Conference (CICC), pp.599-602 (May 1994).
- (16) T. Sakuta, M. Muranaka, H. Matsuura, H. Tanaka, Y. Nakagome, K. Miyazawa, and M. Ishihara, "Circuit techniques for multi-bit parallel testing of 64 Mb DRAMs and beyond," 1992 Symposium on VLSI Circuits, Digest of Technical Papers, pp.60-61 (June 1992).
- (17) D. Hisamoto, S. Kimura, T. Kaga, Y. Nakagome, M. Isoda, T. Nishida, and E. Takeda, "A new stacked cell structure for giga-bit DRAMs using vertical ultra-thin SOI (DELTA) MOSFETs," 1991 International Electron Device Meeting (IEDM), pp.959-961 (Dec. 1991).
- (18) G. A. Uvieghara, W. Hwu, Y. Nakagome, D. K. Jeong, D. Lee, D. A. Hodges, and Y. N. Patt, "An experimental single-chip data flow CPU," 1990 Symposium on VLSI Circuits, Digest of Technical Papers, pp.119-120 (June 1990).
- (19) Y. Kawamoto, T. Kaga, T. Nishida, S. Iijima, T. Kure, F. Murai, T. Kisu, D. Hisamoto, H. Shinriki, and Y. Nakagome, "A 1.28 μm^2 bit-line shielded memory cell technology for 64 Mb DRAMs," 1990 Symposium on VLSI Technology, Digest of Technical Papers, pp.13-14 (June 1990).
- (20) S. Ikenaga, M. Aoki, Y. Nakagome, M. Horiguchi, Y. Kawase, Y. Kawamoto, and K. Itoh, "New DRAM noise generation under half Vcc precharge and its reduction

using a transposed amplifier,” 1988 Symposium on VLSI Circuits, Digest of Technical Papers, pp.79-80 (June 1988).

- (21) K. Itoh, K. Sasaki, and Y. Nakagome, “Trends in low-power RAM circuit technologies,” IEEE Symposium on Low Power Electronics, Digest of Technical Papers, pp.84-87 (Oct. 1994). (Invited Paper)
- (22) K. Itoh, Y. Nakagome, S. Kimura, and T. Watanabe, “Limitations and challenges of multi-gigabit DRAM circuits,” 1996 Symposium on VLSI Circuits, Digest of Technical Papers, pp.2-7 (June 1996). (Invited Paper)

7.3. 主要特許

登録特許（国内、米国）数＝ 1 1 6 件

本研究に関わる主要特許を下記する。

- (1) 中込 儀延, 伊藤 清男, “半導体装置,” 特願平 2-41076 (1990 年 2 月 23 日 出願), 特許 2,771,880 (1998 年 4 月 17 日 登録) 【ハーフ Vcc 発生回路】
- (2) 中込 儀延, 伊藤 清男, “半導体装置,” 特願平 10-369013(1989 年 2 月 10 日 原出願), 特許 3,251,558 (2001 年 11 月 16 日 登録) 【三重ウェル DRAM】
- (3) 久米 栄治, 田中 均, 中込 儀延, 川尻 良樹, 伊藤 清男, “半導体集積回路,” 特願平 10-259684(1989 年 3 月 20 日 原出願), 特許 3,052,178 (2000 年 4 月 7 日 登録) 【コモンソース ブースト SA】
- (4) 中込 儀延, 伊藤 清男、田中 均, 渡辺 泰, 久米 栄治, 磯田 正典, 山崎 英治, “半導体装置,” 特願平 2-146283 (1990 年 6 月 6 日 出願), 特許 3,112,019 (2000 年 9 月 22 日 登録) 【相補型電流センス】
- (5) 中込 儀延, 伊藤 清男、田中 均, 渡辺 泰, 久米 栄治, 磯田 正典, 山崎 英治, “半導体装置,” 特願平 11-282421 (1990 年 6 月 日 原出願), 特許 3,542,308 (2004 年 4 月 9 日 登録) 【クロスカップル昇圧回路】
- (6) 中込 儀延, 伊藤 清男, “半導体装置,” 特願平 1-29803 (1989 年 2 月 10 日 出願), 特許 2,914,989 (1999 年 4 月 16 日 登録) 【ユニバーサル電源】
- (7) 中込 儀延, 伊藤 清男, “半導体装置,” 特願平 10-244712 (1989 年 2 月 10 日 原出願), 特許 3,339,564 (2002 年 8 月 16 日 登録) 【高耐圧 CMOS 回路】
- (8) 中込 儀延, 伊藤 清男, 竹内 幹, “半導体装置,” 特願平 3-29847 (1991 年 2 月 25 日出願), 特許 3,225,524 (2001 年 8 月 31 日 登録) 【低振幅バス】
- (9) 中込 儀延, 伊藤 清男, “半導体装置,” 特願 2002-4054 (1989 年 2 月 10 日 原出願), 特許 3,460,713 (2003 年 8 月 15 日 登録) 【マルチ VT CMOS】
- (10) J. Etoh, Y. Nakagome, “Large Scale Integration Circuit with Sense Amplifier Circuits for Low Voltage Operation ,” Application No. 09/864338 (2001 年 5 月 25 日 Filed) , Patent US RE40,132E (2008 年 3 月 4 日 Re-issued) 【低リーク電源遮断】

- (11) 中込 儀延, 伊藤 清男, 竹内 幹, “半導体装置,” 特願 2001-33096 (1991 年 2 月 25 日 原出願), 特許 3,534,398 (2004 年 3 月 19 日 登録) 【G-S オフセット駆動 CMOS】
- (12) 中込 儀延, 伊藤 清男, “半導体装置,” 特願 2002-229399 (1989 年 2 月 10 日 原出願), 特許 3,431,023 (2003 年 5 月 23 日 登録) 【VBB 可変低リーク】

謝辞

本論文をまとめるにあたり、懇切なる御指導と御鞭撻を賜りました東京工業大学大学院 総合理工学研究科 物理電子システム創造専攻 石原宏 卓越教授に心から感謝の意を表します。

また本論文に対して、同大学ソリューション研究機構 益一哉 教授、同大学院 理工学研究科 電子物理工学専攻 松澤昭 教授、同大学院 総合理工学研究科 物理情報システム専攻 前島英雄 教授、同大学院総合理工学研究科 物理電子システム創造専攻 筒井一生 教授には副査として論文内容についての御討論と有益なる御助言を頂きました。厚く御礼申し上げます。

本研究成果は、電池動作の 1.5 V DRAM という研究ターゲットを設定し、常に懇切に研究の指導を頂いた 伊藤清男 日立フェローの強力なご支援の賜物であり、深く感謝申し上げます。

本論文執筆の機会を与えて頂いた、ルネサスエレクトロニクス（株） 矢野陽一 常務取締役、元ルネサステクノロジ 西野壽一 取締役（現 日立製作所理事）、元ルネサステクノロジ 中屋雅夫 取締役（現 STARC）、元ルネサステクノロジ 堀田正生 アナログ技術統括部長（現 東京都市大学 教授）、鵜野敬史 ルネサスエレクトロニクス（株）技術開発本部 副本部長、長谷川淳 ルネサスエレクトロニクス（株）技術開発本部 副本部長、谷本晋 ルネサスエレクトロニクス（株）ミックスドシグナルコア開発統括部長に感謝申し上げます。

本研究は 1989～1992 年に日立中研で遂行した研究内容を纏めたものであり、研究推進の機会を与えて頂いた、増原利明 元第 7 部長、下東勝博 元第 3 部長（現 STARC 社長）、武田英次 元第 3 部長（現 日立総合計画研究所研究顧問）に感謝致します。

研究遂行に際しては、日立中研（当時）の青木正和、堀口真志、池永伸一、河原尊之、衛藤潤、堀陵一、橘川五郎、川尻良樹、竹内幹、久米英治、阪田健、渡部隆夫の各氏、日立超 LSI エンジニアリング（当時）の田中均、渡辺泰、山崎英治、磯田正典、武者辰紀の各氏、日立デバイスエンジニアリング（当時）の秋葉武定、川瀬靖史の各氏、との有益な議論や協力が不可欠でした。ここに深く感謝いたします。

チップの試作やデバイス・プロセスの面では日立中研（当時）の 角南英夫 元第 3 部

長、川本佳史（現 次世代半導体材料技術研究組合 理事）、林田哲也、西田高、木村紳一郎、加賀徹、井澤龍一、岡崎信次、村井二三男、神力博、久本大、の各氏に大変お世話になりました。ここに深く感謝申し上げます。また、チップ設計に際しては、当時の最新 DA 技術の適用が必須であり、半導体事業部 DA 開発部（当時）の山城治、高橋強、の各氏には全面的に協力を頂きました。ここに深く感謝の意を表します。

本研究に対して、事業サイドから有益なご助言を頂いた、デバイス開発センタ（当時）の川本洋（現 エスアンドエスセミコン代表取締役）、石原政道（現 九州工業大学 産学連携推進センター）、松本哲郎、宮沢一幸、梶谷一彦の各氏、半導体事業部（当時）の伊藤達氏に感謝いたします。

本研究を長期にわたって成し得た事は、日立中研の 堀越彌 元日立中研所長、中村道治 元日立中研所長（現 日立製作所 取締役）、浅井彰二郎 元日立中研副所長のご支援によるものであり、深く感謝いたします。