

論文 / 著書情報  
Article / Book Information

題目(和文)	システムパッケージの電磁ノイズ低減設計技術に関する研究
Title(English)	A study of electromagnetic interference suppression in system packages
著者(和文)	佐々木英樹
Author(English)	Hideki Sasaki
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第7673号, 授与年月日:2009年3月26日, 学位の種別:課程博士, 審査員:益 一哉,佐藤 高史
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第7673号, Conferred date:2009/3/26, Degree Type:Course doctor, Examiner:.
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

博士学位論文  
DOCTOR THESIS

システムパッケージの電磁ノイズ低減設計技術に関する研究

**A Study of Electromagnetic Interference Suppression  
in System Packages**

東京工業大学大学院 総合理工学研究科 物理電子システム創造専攻  
Tokyo Institute of Technology,

Interdisciplinary Graduate School of Science and Engineering,

Department of Electronics and Applied Physics

指導教員 益 一哉 教授 佐藤 高史 教授

SUPERVISORS Professor Kazuya Masu and Professor Takashi Sato

佐々木 英樹

**Hideki Sasaki**

2009年3月

March 2009

## 要旨

エレクトロニクス産業発展の原動力は、高付加価値な電子機器を低コストで作る性能コスト比の改善である。なかでも電子機器における電磁ノイズ対策の低コスト化は、製品の競争力の大きな支配要因となってきた。本論文は、電子機器を構成するプリント回路基板や LSI パッケージなどのシステムパッケージに対し、電磁ノイズの本質的な低減に資する包括的な設計技術を研究開発し、体系化したものである。「システムパッケージの電磁ノイズ低減設計技術に関する研究」と題し、全6章からなる。

第1章「序論」では、電磁放射と電磁干渉に大別できるシステムパッケージの電磁ノイズ問題に対し、全体像を示すと共に、その中でプリント回路基板の電源系と信号系からの電磁放射、RF/デジタル混載パッケージとアナ/デジ混載パッケージの電磁干渉が、重要なノイズ問題であることを論じている。また、ノイズを低コストで効果的に低減する設計技術を開発する本研究の目的を定義し、その実現のために『ノイズの結合経路や伝播経路でノイズを分離する』ことの重要性を述べている。

第2章「電源系に起因する電磁放射の低減設計技術」では、プリント回路基板の電源系からの電磁放射の発生メカニズムを探究し、その上で、追加コストを極力抑えつつ電磁放射を低減する電源デカップリング回路を考案している。2つのキャパシタと1本の電源配線によって構成される $\pi$ 型フィルタで、電源配線長を電磁放射の上限周波数(1 GHz)の約 1/4 波長に設計することを特徴とする。従来から広く用いられているキャパシタのみのデカップリング回路では問題となる、電源共振による強い電磁放射が効果的に低減できることを、試作基板を用いた実測と解析によって確認している。

第3章「信号系に起因する電磁放射の低減設計技術」では、同じ回路構成でも信号配線のレイアウトによってプリント回路基板の電磁放射量が変わること、その原因が基板のグランドプレーンがダイポールアンテナとして振る舞うコモンモード (CM) 放射にあることを、実測と解析により明らかにしている。更に、放射電界の偏波特性に着目することで、信号配線自身からのディファレンシャルモード (DM) 放射に対する CM 放射の比率という新たな指標を導き出し、この指標により、信号配線のレイアウトと CM 放射との関係を定量的に評価できることを見出している。また、これに基づき、放射を低減する基板設計指針を

見出している。

第4章「RF/デジタル混載パッケージの電磁干渉低減設計技術」では、携帯電話などに用いられる RF/デジタル混載パッケージにおいて、低コスト化のために表面実装部品の代わりに、導体パターンによる基板内蔵受動素子を用いた場合の電磁干渉を検討している。LNA (Low noise amplifier) の入力整合回路に基板内蔵キャパシタを用いた場合、そのキャパシタの浮遊容量を小さくする、隣接電源プレーンに設けた小さなスロットがデジタル配線からのノイズ混入経路になることを明らかにしている。また、デジタル配線がデジタルと RF の共通電源系を貫通することで、同配線が共通電源系にノイズを混入させることを明らかにしている。実測により、これらのメカニズムを確認し、ノイズ低減設計指針を導出している。

第5章「アナ/デジ混載 SiP の電磁干渉低減設計技術」では、kHz 帯域のノイズに敏感な音源チップと同帯域のノイズを発生するスピーカアンプチップを題材とし、この2つのチップをパッケージ内で積層した SiP (System-in-Package) の設計指針を明らかにしている。ノイズを考慮した SiP の設計、試作、特性評価によって、スピーカを駆動する D 級アンプの矩形波信号が音源チップの DAC (Digital Analog Converter) の SNR (Signal-to-Noise Ratio) を劣化させること、更に、パッケージ基板が 2 層リジット基板よりも 1 層テープ基板とした方が、SNR が劣化することを確認し、設計指針を見出している。

第6章「結論」では、システムパッケージの電磁ノイズに対し、共通するノイズ低減設計指針を示し、今後の課題と技術開発の方向性を示している。

## Summary

The driving force for growth of the electronics industry is to improve the performance-to-cost ratio of electronics products. Especially, the reduction of the cost for solving electromagnetic interference (EMI) problems has been a predominant factor for competitiveness of the products. This thesis describes original research achievements about suppressing EMI in system packages that include printed circuit boards and LSI packages of electronics products. Almost all EMI problems can be explained by the combination of (1) noise sources, (2) coupling path and (3) antenna or receivers. From this point of view, this research has focused on the coupling path, because the author finds that isolation techniques at the coupling path are the most cost-effective approaches. The research has clarified the most significant four EMI mechanisms of system packages and has established the design guidelines for suppressing EMI.

At first, new decoupling circuits for suppressing strong radiations of printed circuit boards have been presented. These circuits are pi-type filters consisting of two capacitors and one power trace. The circuits effectively suppress the radiations due to the resonance of the power distribution network up to 1 GHz. Second, signal layout design techniques for suppressing common-mode (CM) radiations of printed circuit boards have been presented. The original evaluation technique focusing on observation planes of the radiations enables us to completely separate CM radiations from all radiations including differential-mode (DM) radiations. The relationships between CM radiations and the signal layout are found out for the first time by this technique. Third, layout design techniques of RF/digital mixed-signal package embedding passives components in the package substrate have been presented. This research finds that a slightly small slot on the power plane against an embedded capacitor becomes a coupling path from a digital circuit to the capacitor of a LNA. Fourth, design techniques of analog/digital mixed-signal system-in-package (SiP) have been presented. The chip-stacked SiPs consisting of a sound source LSI and a power amplifier LSI are designed, fabricated and measured. The measurement results demonstrate that signal-to-noise ratio of the sound source LSI depends on designs of the SiPs. Finally, this thesis shows design guidelines and future research directions for suppressing EMI of system packages.

The achievements have already applied to many product designs for terminating EMI problems.

# 目次

<b>第 1 章</b>	<b>序論</b> .....	<b>1</b>
1.1	本研究の社会背景 .....	1
1.2	本研究の目的 .....	6
1.3	研究領域 .....	7
1.4	本論文の構成 .....	10
1.5	本研究の着眼点 .....	12
	参考文献 .....	13
<b>第 2 章</b>	<b>電源系に起因する電磁放射の低減設計技術</b> .....	<b>14</b>
2.1	まえがき .....	14
2.2	提案する電源デカップリング回路の構成 .....	17
2.3	ノイズ分離効果の事前検討 .....	19
2.4	提案するデカップリング回路の基本構成による放射低減効果 .....	23
2.5	QFP の LSI を搭載したテスト基板 .....	28
2.6	QFP 向け回路の放射電界特性の測定結果 .....	31
2.7	QFP 向け回路のノイズ分離効果の測定による確認 .....	34
2.7.1	S <sub>21</sub> 測定 .....	34
2.7.2	S <sub>11</sub> 特性 .....	36
2.8	LSI 直下にキャパシタを集中させる電源デカップリング方法との比較 .....	38
2.9	設計指針 .....	40
2.10	むすび .....	41
	参考文献 .....	42
<b>第 3 章</b>	<b>信号系に起因する電磁放射の低減設計技術</b> .....	<b>44</b>
3.1	まえがき .....	44
3.2	同じ回路構成でレイアウトの異なるプリント回路基板の放射特性 .....	46
3.3	放射パターンによる放射特性分析 .....	53
3.4	電磁界シミュレーションによる放射パターンの算出 .....	62
3.5	『DM 放射を基準とした CM 放射量および最大放射量』の指標提案 ..	65
3.6	設計指針 .....	70
3.7	むすび .....	71

参考文献 .....	72
<b>第4章 RF/デジタル混載パッケージの電磁干渉低減設計技術 .....</b>	<b>74</b>
4.1 まえがき .....	74
4.2 検討に用いたテスト基板 .....	76
4.3 100 MHz のデジタル信号によるノイズ干渉 .....	81
4.3.1 測定系 .....	81
4.3.2 測定結果 .....	82
4.3.3 ノイズ干渉メカニズムの解析 .....	85
4.4 ギガヘルツ帯域の高調波によるノイズ干渉 .....	88
4.4.1 測定系 .....	88
4.4.2 測定結果 .....	89
4.4.3 ノイズ干渉メカニズムの解析 .....	91
4.5 考察と残された課題 .....	96
4.6 設計指針 .....	97
4.7 むすび .....	97
参考文献 .....	98
<b>第5章 アナ/デジ混載 SiP の電磁干渉低減設計技術 .....</b>	<b>100</b>
5.1 まえがき .....	100
5.2 SiP 設計 .....	102
5.3 テスト基板 .....	107
5.4 SNR 測定 .....	108
5.5 ノイズ源の特定 .....	112
5.6 設計指針 .....	115
5.7 むすび .....	115
参考文献 .....	116
<b>第6章 結論 .....</b>	<b>117</b>
6.1 全体のまとめ .....	117
6.2 今後の電磁ノイズ問題予測 .....	118
6.3 むすび .....	122
参考文献 .....	122
<b>論文業績リスト .....</b>	<b>123</b>
<b>謝辞 .....</b>	<b>131</b>

# 第1章 序論

## 1.1 本研究の社会背景

エレクトロニクス産業は、高付加価値な製品を低コストで作ることで発展してきた。その代表例が、メモリのような半導体や液晶ディスプレイのような FPD (Flat Panel Display) である。半導体では、スケーリング則[1.1]によって、1世代微細化を進めてチップ面積を半分にすると、消費電力が半分となり、性能は2倍となる。同時に1ウエハ当たりの取り数が増え、低コストになる。更に、ウエハを大口径化すると取り数が増え、更なる低コスト化につながる。そのため、全世界で半導体メーカー各社が微細化や大口径化のための投資を続けている。FPDも半導体と同様、大きいガラスパネルを使うほど取り数が増え、コストが下がるため、ガラスの大型化に多大な投資を実施している。

しかし、近年、グローバル競争の激化からその価格下落が止まらない。例えば、携帯音楽プレーヤー iPod の爆発的なヒットや今後のモバイル PC の記憶媒体として普及が予想されている SSD (Solid State Device) により、フラッシュ・メモリの所要増への期待が高まっている。しかし、2008年の1Gバイト当たりの平均販売価格は前年比で62%下落する見通しであり、2009年は同50%下落すると予測されている[1.2]。DRAM (Dianmic Randam Access Memory) も Microsoft Windows VISTA 発売後のメモリ所要の期待から巨額な投資がなされてきたが、大幅な価格下落が続いており、2008年の第3四半期には、四半期だけで10%以上の下落が予想されている[1.3]。また、液晶テレビでは年率20%の価格下落が続いており、2010年には、32型が6万円、40型が10万円になると予想されている(図1-1) [1.4]。このような背景から、各社、半導体や液晶パネルのコストダウンに取り組んでいるが、それだけでは追いつかず、周辺のあらゆる構成部材のコスト削減にも取り組んでいる。

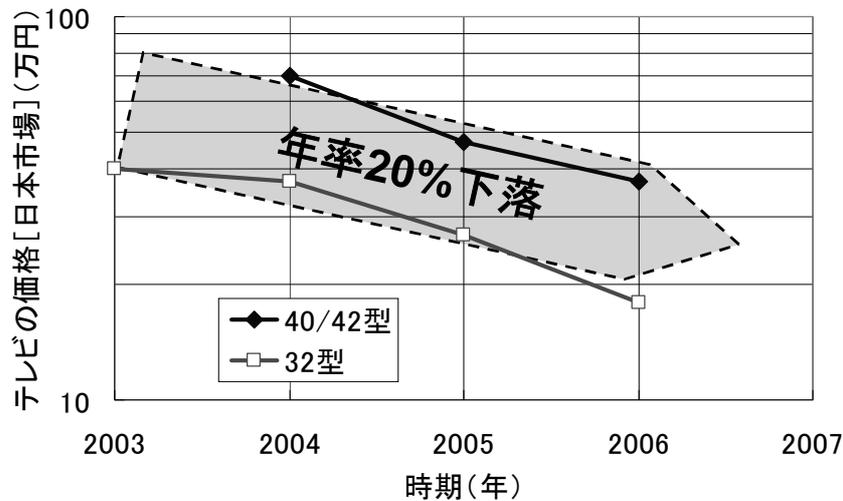


Fig.1-1 Price trend of Liquid Crystal Display (LCD) TV.

図 1-1 液晶テレビの価格推移 [1.4]

その対象の一つが、本研究で採り上げるプリント回路基板や LSI パッケージであり、本論文では総称して“システムパッケージ”と定義する。近年、プリント回路基板と LSI パッケージは境界が無くなりつつあるためである。LSI パッケージでは、半導体チップと受動素子を 1 つのプリント回路基板の上もしくは中に設け（パッケージ化して）、より多くの機能を統合し、システムを構成するケースが増えている。一方、プリント回路基板では、樹脂封止しない、ベアの半導体チップをプリント回路基板上に直接実装した、従来の LSI パッケージと見分けのつかない小型モジュールが携帯電話を中心に実現されるようになってきたためである。

上述のように、システムパッケージで使われるプリント回路基板は、あるシステムの機能を実現するために半導体や受動素子を互いに配線でつなぐ役割をもつ。各回路を独立して正常に動作させるためには、例えば、各回路の配線を別々の配線層に配置し、その上下にグランドプレーンを設ける方法がとられる（図 1-2(a)）。このような基板層構成にすることで、各回路の配線を電氣的に上下で分離することができ、上下配線層間のクロストークを回避できるからである。また、これらの配線が高速信号配線の場合、配線と上下のグランドプレーンとの電磁的な結合が強くなり、左右の配線間のクロストークも低減できる。また、配線がすべて誘電体内にあるため、配線がプリント回路基板の表面層にあり、上部が空気と接するマイクロストリップ線路構造よりも表面波のような

不要モードが立ちにくく、均一な TEM (Transverse Electro-Magnetic) モードが実現でき、より高周波まで信号伝送が可能となるからである。

しかしながら、プリント回路基板は各配線層を張り合わせて作る工程から、その層数を減らすことが最もコスト削減効果大きい。コスト削減のためには、例えば、6層基板を使っていた FPD 製品で、次製品では4層基板を採用し、次々製品では2層基板を採用することも想定される。このように層数が削減されると、当初グランドにのみ使っていたグランド層に信号配線や電源配線が設けられ、その結果、グランドに切り欠きを作ることになり、グランドから不要な電磁放射が発生することになる (図 1-2(b)). 更に2層基板になるとグランドをプレーンとして設けることができず、配線としてしか設けられなくなる。そうすると、信号-信号間、信号-電源間、異種電源間、異種グランド間で多くのクロストークや電磁干渉が発生する。また、複雑な線状のグランド構造が予期せぬアンテナとして振る舞い、強い電磁放射を引き起こすことになる。

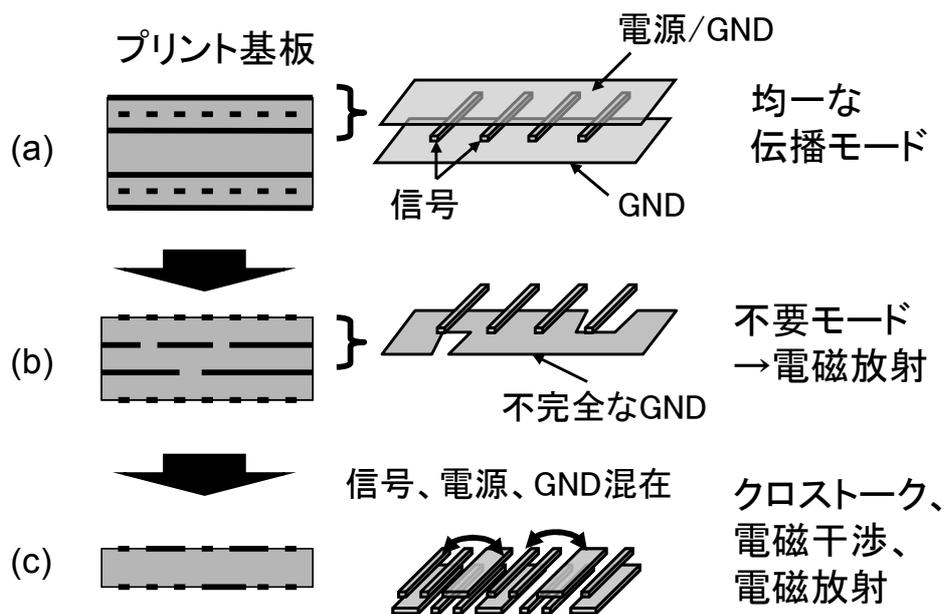


Fig.1-2 Relationships between the layer structure of printed circuit board and EMI.

図 1-2 プリント回路基板の層構成と電磁ノイズとの関係

ここで、本研究で対象とする電磁ノイズを定義する。一つは、デジタル回路の動作に伴い、電子機器から空間に放射される不要電磁放射、もう一つは、電子機器の内部で発生した電磁ノイズが同機器内部の他の回路に混入し、その回

路の電気特性を劣化させる電磁干渉である。

不要電磁放射は、公共の放送や通信に電波妨害を与える電磁放射のことであり、無線通信機器から積極的に放射される通信用の電波とは異なる。電子機器を出荷する際には、この不要電磁放射量のある規格値以下にしなければならない。この規格値は、国内では VCCI (Voluntary Control Council for Interference by Information Technology Equipment: 情報処理装置等電波障害自主規制協議会) [1.5], アメリカでは FCC (Federal Communications Commission) [1.6], 欧州では CENELEC (European Committee for Electrotechnical Standardization) [1.7]が規定している。図 1-3 に、この不要電磁放射の測定環境と測定結果の一例を示す。30 MHz ~ 1 GHz の周波数帯域で、一般にはバイコンカルアンテナやログペリオディックアンテナを用いて電界強度を測定する。本例では、VCCI のクラス B の規格を超える電磁放射が 220 MHz と 240 MHz で発生しており、これらの電磁放射を低減させる必要がある。

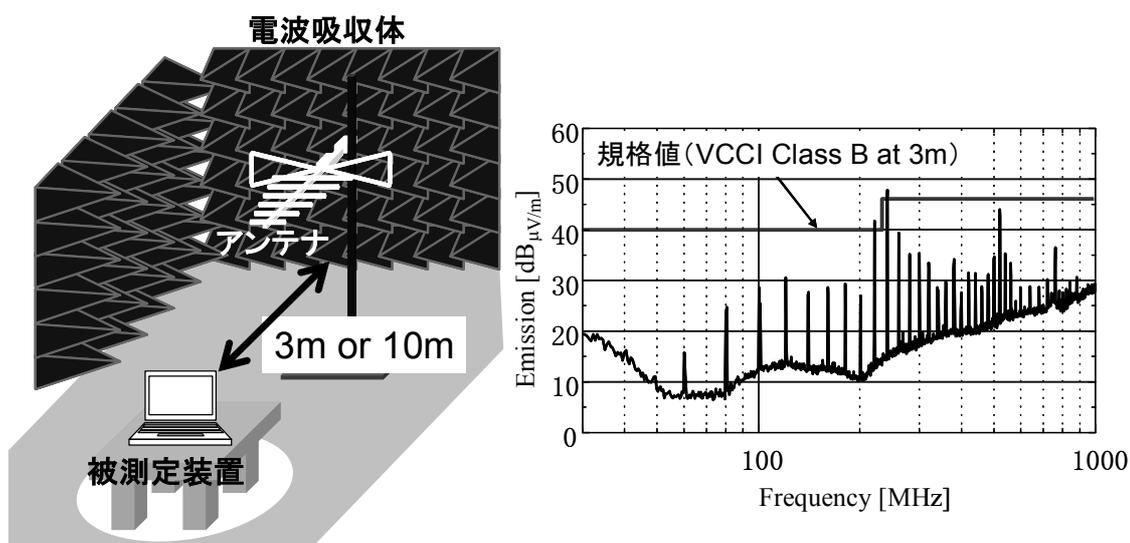


Fig.1-3 An example of measurement setup and measured results for emissions.

図 1-3 電磁放射の測定環境と測定結果の一例

測定する周波数帯域は国内で現時点では 1 GHz までである。そのため、本研究では 1 GHz 以下の電磁放射を対象とした。ただし、Wireless LAN (2.4GHz, 5 GHz) や第 3 世代携帯電話 (2 GHz) などの普及により、1 GHz 以上の電磁放射も問題視されており、日本では 2010 年から 6 GHz までの規格が施行される予定

である[1.8].

電磁干渉は、パッケージ内でデジタルから RF やアナログにノイズが混入し、電気特性を劣化させる問題のことを指す。特に、携帯電話に代表されるような多機能な電子機器では、情報処理用のデジタル部、無線通信用の RF 部、音声処理するアナログ部が混載されており、ミックスドシグナルのシステムになっている。これを高集積化し、小型化していくためには、上記のような電磁干渉を低減することがとても重要となる。図 1-4 はミックスドシグナル SOP (System-on-Package) や SiP (System-in-Package) における電磁干渉の概念図である。2次元、3次元での電磁的な結合によるノイズ混入が予想される。特に RF では無線通信用で利用される MHz~GHz の帯域、アナログでは可聴周波数帯域の 20 kHz 以下での電磁干渉が問題となりやすい。

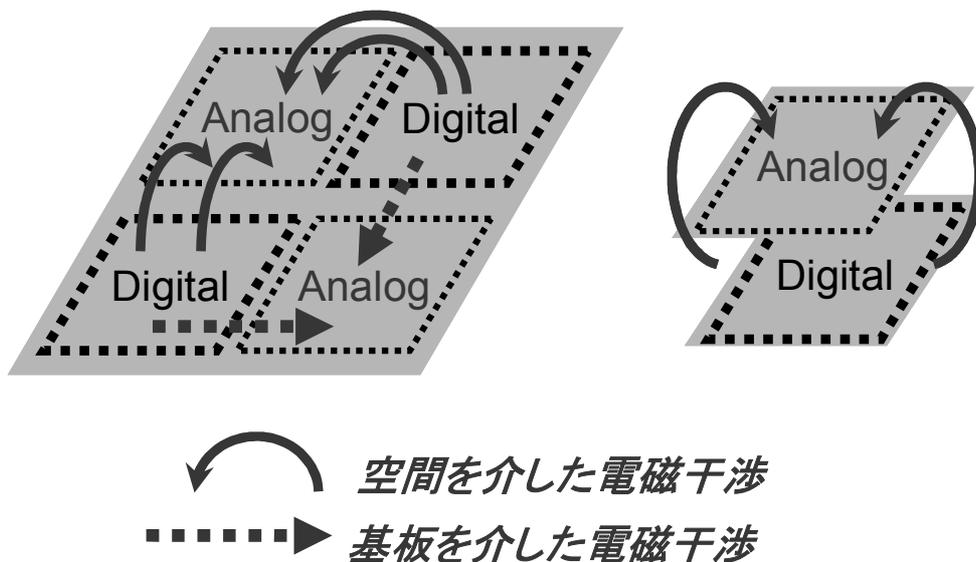


Fig.1-4 EMI of mixed-signal SOP/SiP.

図 1-4 ミックスドシグナル SOP/SiP での電磁干渉

従来、電磁放射や電磁干渉の問題が発生した場合、経験や勘を頼りにした対応がほとんどであった。例えば、ケーブルにフェライトコアを装着する、基板を金属ケースに収める、信号配線にダンピング抵抗を挿入する、電源ーグラウンド間にデカップリングキャパシタを挿入するなどの対応がとられてきた。また、無線機器では、回路ブロックに金属シールドを装着する、電磁波吸収シートをつける、などの対応がとられてきた。

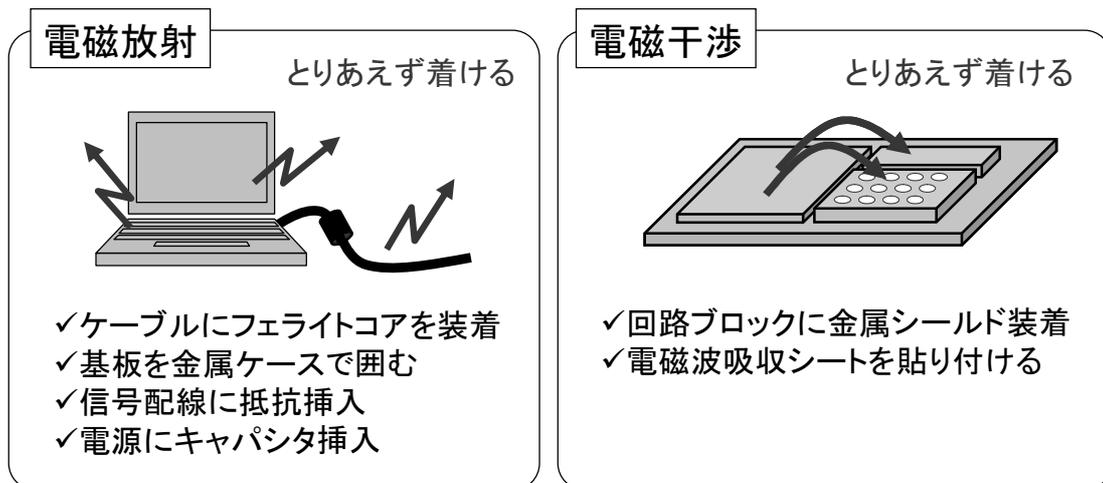


Fig. 1-5 Conventional approaches for solving emissions and EMI.

図 1-5 電磁放射や電磁干渉に対する従来の対応方法

これらの対応を電磁放射や電磁干渉の発生メカニズムをおさえた上で行わないと、ある製品では効果があっても他の製品では効果が出ない。このようなことを繰り返し、多くの技術者が対応に長い時間を費やしてきた。また、基板を6層から4層にしてコストを下げたつもりでも、電磁ノイズ対応のために逆にコスト増につながるケースもあった。

## 1.2 本研究の目的

このような背景から、本研究では、電磁放射や電磁干渉（ここでは総称して電磁ノイズ）の問題を解決するために、まず電磁ノイズの発生現象のメカニズムを解明すること、その上で本問題を解決するための低減設計指針を確立することを目的とした。更に、できるだけコストをかけない設計手法の開発を目指した。メカニズムを明確にすることで、確実に、最も効果的な対応策を見出すこと、加えて、できるだけコストをかけない設計指針を開発することが工業的な利用価値と工学的な意義の高い設計技術と考えたためである。

### 1.3 研究領域

図 1-6 は、本研究で扱ったシステムパッケージの電磁ノイズ問題の全体像である。電磁放射を発生する原因は、電源系 (①) と信号系 (②) の二つに分けられる。この両者に関して上記目的を達成する研究を行った。また、電磁干渉が問題となりやすい MHz~GHz 帯域のデジタルから RF への電磁干渉問題 (③), kHz 帯域のデジタルからアナログへの電磁干渉問題 (④) について支配的な問題を抽出し、研究を行った。

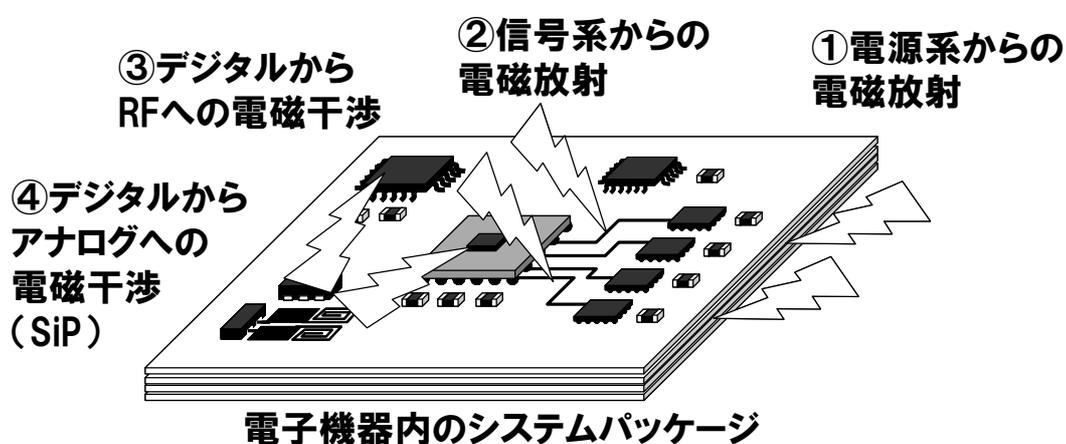


Fig.1-6 Target of this research for EMI problems in system packages.

図 1-6 本研究で対象とした電磁ノイズ問題の全体像

図 1-7 に電磁ノイズに関する主な研究領域を整理している。研究対象をプリント回路基板、半導体パッケージ、半導体チップに分け、電磁ノイズ問題も電磁放射と電磁干渉に分けた。本研究では、電磁放射はプリント回路基板を対象とし、電磁干渉はプリント回路基板と半導体パッケージを対象とした。1 GHz 以下であればプリント回路基板は電磁放射に対するアンテナとして作用するものの、半導体パッケージは波長よりも十分小さいため、アンテナとして作用しないからである。一方、電磁干渉は近接した箇所が発生することから、プリント回路基板と半導体パッケージで共通する問題として扱った。

	プリント回路基板	半導体パッケージ	半導体チップ
電磁放射	<ul style="list-style-type: none"> <li>● 信号配線からの放射 (DM放射)</li> <li>① 電源共振からの放射</li> <li>② 信号配線からの放射 (CM放射)</li> </ul>	<ul style="list-style-type: none"> <li>● ヒートシンクからの放射</li> </ul> <p style="text-align: center;">対象とした 研究領域</p> 	<ul style="list-style-type: none"> <li>● 電源ノイズ電流のモデル化</li> </ul>
電磁干渉	<ul style="list-style-type: none"> <li>③ RF/デジタル混載によるノイズ干渉 (MHz-GHz、携帯/WLAN)</li> <li>④ アナ/デジ混載によるノイズ干渉 (kHz、音声)</li> </ul>		<ul style="list-style-type: none"> <li>● アナ/デジ混載 (シリコン基板を介したノイズ干渉)</li> <li>● 電源ノイズ観測</li> </ul>

DM: Differential-mode, CM: Common-mode

Fig.1-7 Research area for EMI.

図 1-7 電磁ノイズに関する研究領域

更に、本研究の対象とした最終製品領域を図 1-8 に示す。横軸は右に行くほど高密度、高性能、多機能であることを意味し、縦軸は上に行くほど大型の電子機器であることを意味する。一般的に大型で、高密度、高性能、多機能の電子機器ほど開発コストが高いため、斜め右上に向かってコストの軸を設けている。本研究では、電磁放射は、高密度よりもむしろ低コストを意識した製品を対象とした。それは、1.1 で述べた通り、コスト削減により電磁ノイズが発生し易い環境にあるためである。また、電磁干渉は、小型化を追及する製品を対象とした。小型化するほど、デジタルと RF やアナログが近接するためである。

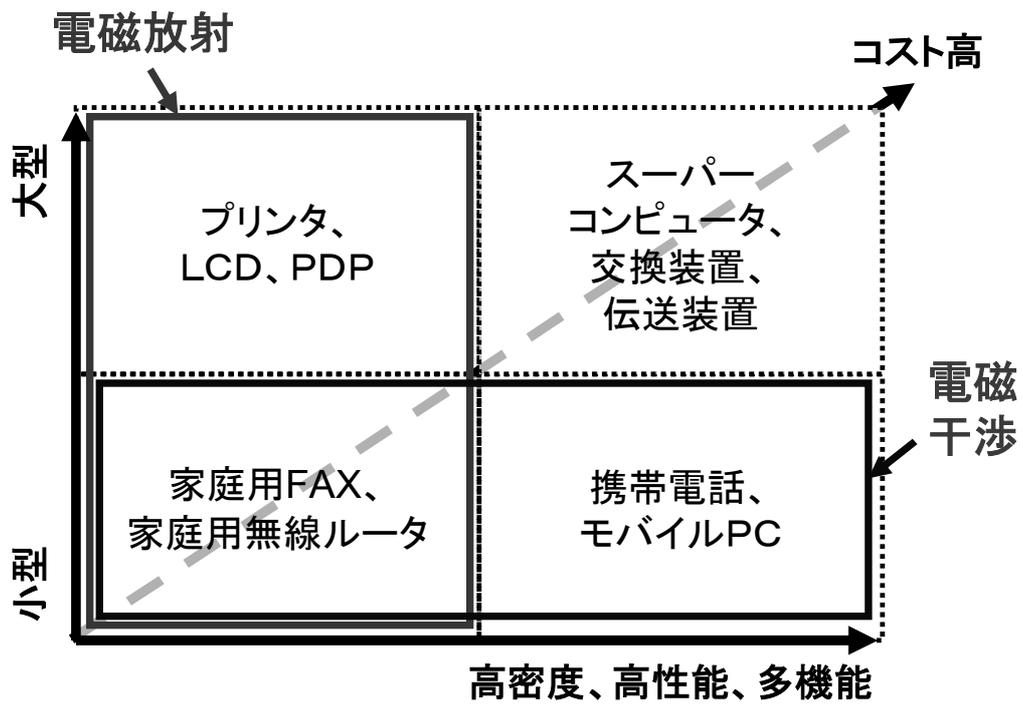


Fig.1-8 Final product targets of this research.

図 1-8 本研究が対象とした最終製品領域

## 1.4 本論文の構成

図 1-9 は本論文の構成である。本章にて本研究の導入を述べ、第 2 章、第 3 章で電磁放射に関する研究成果を述べる。次に、第 4 章、第 5 章で電磁干渉に関する研究成果を述べ、第 6 章にて本研究の結論と今後の課題について述べる。

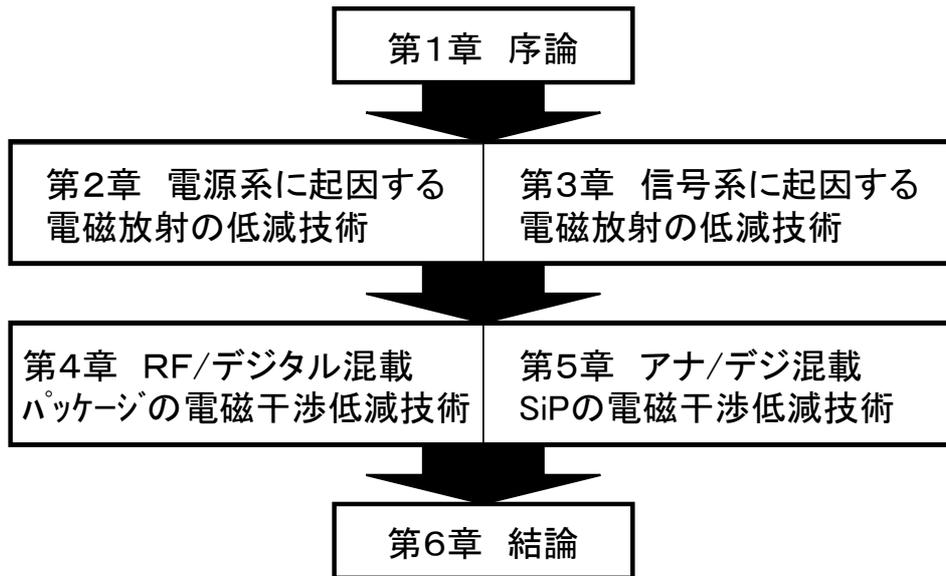


Fig.1-9 The structure of this thesis.

図 1-9 本論文の構成

第 2 章以降の概要は以下の通りである。

第 2 章では、プリント回路基板の電源系からの電磁放射発生メカニズムを探究し、追加コストを極力抑えた電源デカップリング回路を考案している。2つのキャパシタと電源配線によって構成される  $\pi$  型フィルタで、最終製品として数円のコスト削減も要求される電子機器で工業的価値の高い設計技術である。

第 3 章では、プリント回路基板の信号配線レイアウトに依存する電磁放射発生メカニズムを探究し、放射を極力抑えるための信号配線レイアウト手法、更には、レイアウトに依存する放射成分を定量的に評価する新たな指標を考案している。本成果は、現在、市販の EMI 抑制支援ツール（NEC 情報システムズ社の DEMITASNX<sup>TM</sup> と EMI Stream<sup>TM</sup>）に採用され、広く世界で利用されている。

第 4 章では、携帯電話に代表される無線機器において、プリント回路基板やモジュールのコスト削減のために検討されている基板内蔵受動素子の電磁干渉

メカニズムを検討している。無線機器では、RF 回路とデジタル回路を混載しなければならないため、デジタルから RF への電磁干渉低減が性能保証のためには重要になっている。一方、従来から表面実装部品として使われてきたキャパシタやインダクタを基板パターンで実現する基板内蔵受動素子では、受動素子が基板内に形成される。そのため、予期せぬ電磁干渉が起こることを見出している。更に、レイアウトと電磁干渉量の関係を測定により明確にし、電磁干渉の少ないレイアウトも明確にしている。対象とした周波数帯域は MHz~GHz である。

第 5 章では、従来のプリント回路基板に比べて、システムの更なる小型化を実現するチップ積層の SiP (System-in-Package) での電磁干渉を検討している。チップ積層の SiP は、1999 年頃、携帯電話のメモリの大容量化と実装領域の小型化の要求に応えるために開発された技術であり、当初はメモリのみを多段に積層したものが製品化された[1.9][1.10]。その後、ベースバンド LSI とメモリを積層した製品が登場している[1.11]。本研究では、本パッケージと同じ構造をとるために電気特性劣化が危惧されるアナログチップとデジタルチップを積層した SiP の電磁干渉を検討している。音源 LSI チップ (アナログ) とスピーカアンプ LSI チップ (デジタル) を混載した SiP で、スピーカアンプの D 級アンプの矩形波パルス出力が音源チップの DAC (Digital Analog Converter) の SNR (Signal-to-Noise Ratio) に与える影響を検討している。更に、パッケージコストにつながるパッケージ基板を 1 層テープ基板と 2 層リジット基板とした場合の影響度も明らかにしている。対象とした周波数帯域は kHz 帯域である。

第 6 章では、結論として、システムパッケージの電磁ノイズに対する共通する低減設計指針を示し、今後の課題と技術開発の方向性を示している。

## 1.5 本研究の着眼点

本研究では、システムパッケージの電磁ノイズ問題における支配的な4つの事例について検討し、それぞれ独自の設計指針を見出している。その際、『ノイズの結合経路や伝播経路でノイズを分離する』ことに着眼点を置いた。図 1-10 に電磁ノイズの発生メカニズムと本研究の低減設計技術の関係を示す。電磁ノイズ問題を解決するには、上記アプローチの他に、ノイズ源となる LSI のスイッチングノイズを低減させる方法や、アンテナの放射効率を低下させる方法、受信回路のノイズ耐性を高める方法も考えられる。その中で、結合経路や伝播経路に着目したのは、プリント回路基板近傍の磁界計測技術の研究開発[1.12]を通じて、結合経路や伝播経路に対して電磁界理論や伝送線路理論の考え方を適用することで電磁ノイズがコントロールできること、言い換えれば、『設計できること』、更に言えば、僅かな工夫で、効果的に、電磁ノイズを低減できることを見出していたためである。

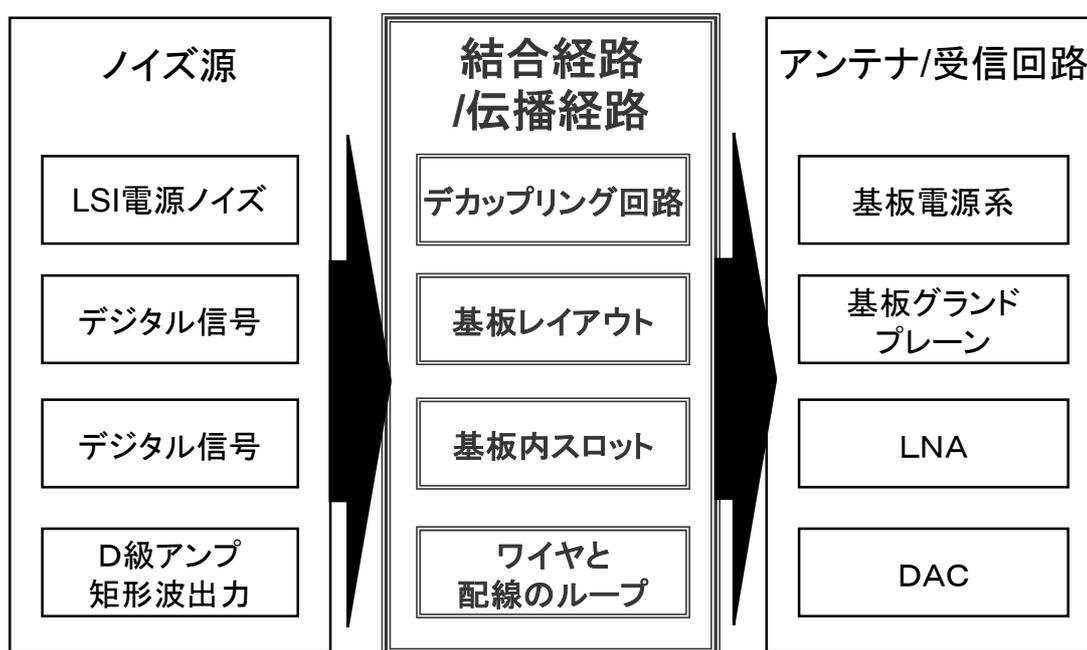


Fig.1-10 Relationships between the EMI mechanisms and these suppression approaches.

図 1-10 電磁ノイズの発生メカニズムと本研究の低減設計技術の関係

## 参考文献

- [1.1] 中澤喜三郎, 中村宏 監訳, ”VLSI システム設計～回路と実装の基礎～, ”丸善, 1995 年 4 月.
- [1.2] 加納征子, “NAND フラッシュ・メモリの世界売上高は 2009 年まで年間 15%程度減少, 米 iSuppli 社が予想,” 日経エレクトロニクス, 2008 年 11 月 04 日, <http://techon.nikkeibp.co.jp/article/NEWS/20081104/160739/>.
- [1.3] “第 2 四半期の DRAM 業界は複雑な様相を示す”, IS06-PR101J, iSuppli 社プレスリリース, 2008 年 8 月 13 日, <http://www.isuppli.co.jp/pdf/IS06-PR101J13Aug.pdf>
- [1.4] 田中直樹, “FPDI 15 年史, 2006 年: 液晶テレビ 1 億台時代, コスト競争に打ち勝て,” 日経エレクトロニクス, 2008 年 10 月 23 日, <http://techon.nikkeibp.co.jp/article/NEWS/20080929/158706/?P=3>.
- [1.5] VCCI (情報処理装置等電波障害自主規制協議会), <http://www.vcci.or.jp/>
- [1.6] FCC (Federal Communications Commission), <http://www.fcc.gov/oet/info/rules/>
- [1.7] CENELEC (European Committee for Electrotechnical Standardization), <http://www.cenelec.eu/Cenelec/Homepage.htm>
- [1.8] “2009 年度向け VCCI 規定説明会・技術シンポジウム開催報告,”VCCI, 2009 年 2 月 24 日, <http://www.vcci.or.jp/topics/new0224b.html>
- [1.9] 中山貞夫, 平田昌義, 浦井孝彦, 文倉泰辰, 岡山久敏, 榎本秀一, 小野和彦, “スタック MCP (SRAM+フラッシュメモリ),”NEC 技報, vol.52, no.3, pp.37-39, 1999 年.
- [1.10] 宮川優一, 中山貞夫, 平田昌義, 小林雅弘, 尾崎雅弘, “4 段スタック MCP の開発,” NEC 技報, vol.55, no.4, pp.133-135, 2002 年.
- [1.11] 宇野隆行, 鈴木康弘, 河上聡子, “ロジック/メモリ混載 SiP の開発,” NEC 技報, vol.56, no.4, pp.152-155, 2003 年.
- [1.12] 原田高志, 佐々木英樹, 半杭英二 “プリント回路基板近傍磁界の時間軸波形計測”, 電気学会 論文誌 A, vol.117, No.5, pp.523-530, 1997 年 5 月.

## 第2章 電源系に起因する電磁放射の低減設計技術

本研究では、プリント回路基板の電源共振による強い電磁放射を低減するための新たな電源デカップリング回路を考案した。特に、QFP (Quad Flat Package) などのリードフレームタイプの LSI パッケージを採用した、低コスト要求の強いシステム向けのプリント回路基板に対し、低コストで電磁放射を低減できる回路である。

本デカップリング回路は2つのキャパシタと1本の電源配線によって構成される $\pi$ 型フィルタを基本とし、共振を起こす基板の電源系を、ノイズを発生させる LSI の電源系から効果的に分離できる。ここで、前記電源配線は伝送線路理論に基づき、電磁放射で問題とする上限周波数（ここでは1 GHz）の約1/4波長の長さに設計し、電源配線の特性インピーダンスは、実装状態での寄生インダクタンスを考慮したキャパシタのインピーダンスの3倍以上に設計する。この回路の基本構成を提案し、更に、複数の電源端子を有する QFP 向けに、放射低減効果を維持もしくは向上させながら、必要とするキャパシタ数を削減した新たな回路構成を提案している。本回路が LSI の電源系とプリント回路基板の電源系との間で、電源スイッチングノイズを広帯域で分離できることを、基板電源系のインピーダンスの計算結果や S パラメータの測定結果を用いて示している。また、208 ピン QFP の LSI を実装した基板に本回路を適用した実測を行い、従来の電源デカップリング方法に比べ電磁放射が広帯域で低減できることを確認している。

### 2.1 まえがき

多層プリント回路基板では、基板内層の電源系が IC や LSI の電源スイッチングノイズによって強い電磁放射を引き起こすことが知られている。電源系を構成する電源プレーンとグランドプレーンのペアが低周波ではキャパシタとして働くものの、高周波では並行平板の共振回路や共振アンテナとして働き、LSI のスイッチングノイズがこの共振回路や共振アンテナを励振することによって、この電磁放射は生じる[2.1]。図 2-1 はこの電磁放射の概念を説明した図である。

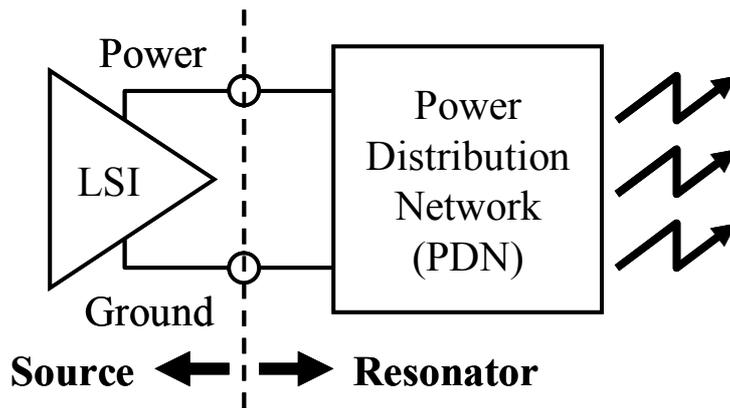


Fig.2-1 Concept of radiated emissions from PDN of a PCB.

図 2-1 基板電源系の電磁放射を説明した概念図

図 2-1 で説明される電磁放射のメカニズムから、電磁放射の低減方法は、ノイズ源である LSI 電源系でノイズを抑える設計、LSI-基板間でノイズを伝播させない設計、基板電源系で共振回路の Q 値 (Quality Factor) や共振アンテナの放射効率を下げる設計の 3 つに大きく分類できる。各分類における電磁放射の低減方法[2.2]-[2.14]を表 1 にまとめた。最も一般的な方法は、LSI-基板間で、LSI の電源-グランド端子間にセラミックのチップキャパシタを接続する方法である。このキャパシタが LSI の動作に必要な電荷を LSI 電源系に供給すると同時に、電源-グランド端子間のインピーダンスを低くすることで LSI の電源スイッチングノイズを吸収 (デカップリング) し、基板電源系に伝播させないことを目的としている。しかし、本方法では電磁放射が十分低減できないことから [2.6]、表 2-1 に示すような種々の低減方法が開発されてきた。

筆者は、LSI チップや LSI パッケージの変更を行わず、また、プリント回路基板の電源系に特殊な絶縁樹脂などを用いることもなく、低コストで電磁放射を効果的に低減する方法を検討した。その結果として、リードフレームを採用した汎用 IC 向けに、2 つのチップキャパシタと 1 本の電源配線で構成した電源デカップリング回路を考案した [2.6]。更に、端子数が 30~400 ピンで低コスト要求の強い LSI、たとえばマイコンなどで広く採用されている QFP (Quad Flat Package) 向けの電源デカップリング回路を考案した [2.15]-[2.17]。

第 2-2 章では、提案した電源デカップリング回路の構成を従来回路と比較しながら示す。第 2-3 章では、提案する回路で期待されるノイズ分離効果を基板電源系の伝送線路モデルによるインピーダンス計算によって示す。第 2-4 では、提案

したデカップリング回路の基本構成と放射低減効果を示す。第 2-5 章に 208 ピン QFP に本回路を適用したプリント回路基板のレイアウト例, 第 2-6 章にその基板に対する電磁放射量の測定結果, 第 2-7 章に本回路が効果的に働いていることを示す S パラメータの測定結果を示す。更に第 2-8 章では最近広く適用されている電源デカップリング方法との差異についても示し, 第 2-9 章で設計指針を示し, 第 2-10 章でまとめている。

Table 2-1 Suppression methods of radiated emissions related to PDN of a PCB.

表 2-1 基板電源系による電磁放射の低減方法

対象	電磁放射の低減方法
LSI電源系 (ノイズ源)	①LSIチップ内にキャパシタを配置[2.2],[2.3] ②LSIパッケージ内にキャパシタを配置[2.2],[2.3] ③LSIパッケージ内にキャパシタとインダクタを配置[2.3],[2.4]
LSI-基板間 (伝播経路)	①LSIの電源-グランド端子間にキャパシタを接続 ②①に加え, 電源端子もしくはグランド端子にインダクタを接続 [2.5] ③キャパシタ-インダクタ-キャパシタの $\pi$ 型フィルタを挿入[2.3] ④キャパシタ-電源配線-キャパシタの $\pi$ 型フィルタを挿入[2.6]
基板電源系 (共振回路)	①LSI搭載位置近傍にキャパシタを配置[2.7]. ②基板全面に均一にキャパシタを配置[2.7] ③基板外周端部にキャパシタを配置[2.8] ④基板外周端部にキャパシタと抵抗の直列回路を配置[2.9] ⑤電源をコイル形状とし, 電源-グランド層間に磁性材挿入 [2.10] ⑥電源-グランドプレーン間の絶縁樹脂を薄くする[2.11],[2.12] ⑦電源-グランドプレーン間の絶縁樹脂を高誘電体[2.12] ⑧電源-グランドプレーン間の絶縁樹脂を高周波損失材[2.13] ⑨電源プレーンを上下のグランドプレーンで挟み込む[2.14]

## 2.2 提案する電源デカップリング回路の構成

図 2-2 に本研究で検討した電源デカップリング回路を示す。回路 A は、最も一般的に使われている電源デカップリング回路である。チップキャパシタを IC 電源端子近傍に実装し、キャパシタの一方を IC の電源端子、他方を基板内層のグラウンドプレーンに接続した回路である。

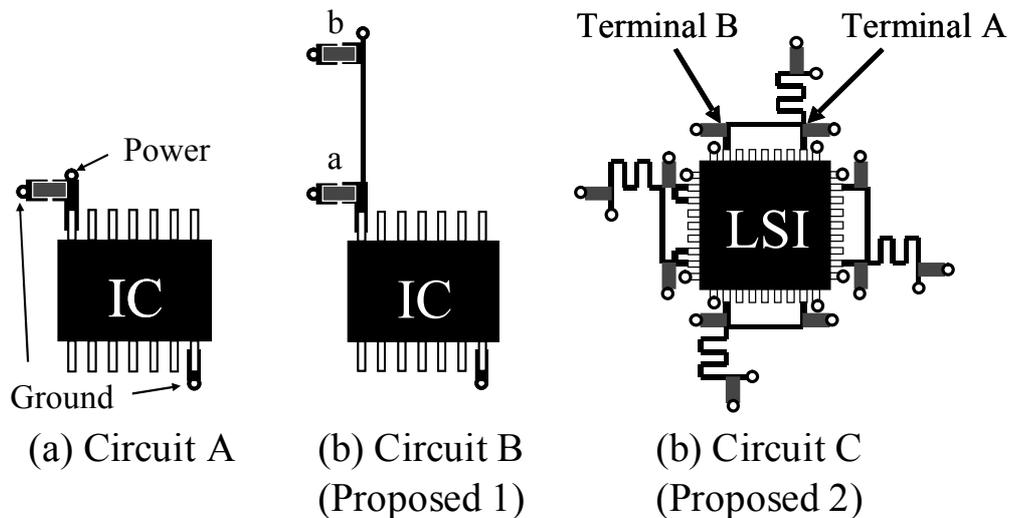


Fig.2-2 Decoupling circuits:

(a) circuit A, (b) circuit B (proposed 1), (c) circuit C (proposed 2).

図 2-2 電源デカップリング回路：

(a)回路 A (従来)，(b)回路 B (提案 1)，(c)回路 C (提案 2)

一方、回路 B は、筆者が最初に考案した電源デカップリング回路である[2.6]。2つのキャパシタと1本の電源配線によって構成した $\pi$ 型フィルタである。IC 近くのキャパシタ (a) は IC の電源端子と基板内層のグラウンドプレーンに、IC から離れたもう1つのキャパシタ (b) は基板内層の電源、グラウンドプレーンに接続し、これら2つのキャパシタを電源配線で接続している。この電源配線の長さは、VCCI (Voluntary Control Council for Information Technology Equipment) や FCC (Federal Communications Commission) などの電磁放射の規格で決められた上限周波数に対し、実効的な電気長が  $1/4$  波長よりも僅かに短くなるよう設計する。例えば、上限周波数が 1 GHz、基板材料の比誘電率が 4.7 のガラスエポキシ

シ樹脂の場合、1 波長が約 140 mm であることから、1/4 波長は約 35 mm となる。また、電源配線の特徴インピーダンスは、キャパシタとそれを実装するパッド、パッドと電源/グランドプレーンをつなぐビアのインピーダンスの総和よりも高く設計する。例えば、0.001~1  $\mu$ F, 2125 サイズのチップキャパシタを選定した場合、キャパシタ単体、実装パッド、基板内層ビアのインダクタンスの総和は約 1~2 nH, 1 GHz におけるキャパシタのインピーダンスは 6~13  $\Omega$  となる。筆者らは今までの実験からこのデカップリング回路の電源配線の特徴インピーダンスをキャパシタのインピーダンスの総和に対して 3 倍よりも大きく設計していれば、本回路が電磁放射を効果的に抑えることを確認している[2.6]。これに従い、電源配線の特徴インピーダンスは 24~39  $\Omega$  よりも大きく設計すればよい。ちなみに最近では、チップキャパシタは 1608, 1006, 0804, 0603 と小型化が進み、キャパシタの寄生のインダクタンスが小さくなる方向にあるため、電源配線の特徴インピーダンスは以前よりも低くても本回路が機能する方向にある。

回路 C は、QFP 向けに提案した電源デカップリング回路である[2.15]-[2.17]。QFP の LSI では一般に、複数の電源、グランド端子を有しているため、回路 B をそのまま適用すると多くのキャパシタと電源配線が必要となり、コスト増と実装面積増が懸念される。そこで、隣り合う電源端子間を電源配線をつなぎ、LSI 電源端子と基板内層の電源プレーンとの間の  $\pi$  型フィルタの数を減らした。図中の電源端子 A (Terminal A) では、基板電源プレーンとの間に  $\pi$  型フィルタがあるが、電源端子 B (Terminal B) では、直接、基板電源プレーンにつながる  $\pi$  型フィルタはない。これによりキャパシタ総数が削減できている。更に、この回路構成では新たな効果が生まれた。電源端子 B に対しては基板電源プレーンとの間に 2 段の  $\pi$  型フィルタが挿入されることになる。そのため、電源端子 B にとっては電源端子 A に比べノイズ分離効果が向上することが期待できる。

### 2.3 ノイズ分離効果の事前検討

図 2-2 に示した回路 A, 回路 B と回路 C の端子 A, 回路 C の端子 B でのノイズ分離効果を, 基板電源系のインピーダンス特性を計算することで定量的に比較した. 図 2-3~2-5 は各基板電源系の等価回路と, 電源インピーダンス特性の計算結果である. 仮定した基板電源系は複数のキャパシタを接続した電源プレーンとグランドプレーンで構成した. 基板の大きさは  $180\text{ mm} \times 96\text{ mm} \times 1.0\text{ mm}$ . プレーン間の誘電体はガラスエポキシ樹脂. 電源デカップリング回路の等価回路には銅配線の導体損と誘電体の誘電体損を含めた. キャパシタの等価回路としては直列インダクタンス, 直列キャパシタンス, 直列抵抗をそれぞれ  $1.2\text{ nH}$ ,  $0.1\text{ }\mu\text{F}$ ,  $0.05\text{ }\Omega$  とした.  $Z_{in1}$  は IC 搭載位置から見た基板電源系の入力インピーダンス (実線),  $Z_{C1}$  はキャパシタのインピーダンス (破線),  $Z_{in2}$  は前記キャパシタのインピーダンス特性を含まない, キャパシタ搭載位置から見た基板電源系の入力インピーダンス (点線) である.

図 2-3(b)では,  $Z_{in1}$  が  $285\text{ MHz}$  と  $570\text{ MHz}$  で高いインピーダンスのピークを有している. この原因を考察する.  $Z_{C1}$  は  $17\text{ MHz}$  以上でインダクタンス特性を示しているが, これはキャパシタの直列インダクタンスによって生じている.  $Z_{in2}$  は  $200\text{ MHz}$  以上で容量性と誘導性を繰り返している. これは電源系が伝送線路として振る舞うからである.  $Z_{C1}$  と  $Z_{in2}$  との並列インピーダンスが  $Z_{in1}$  であることから,  $Z_{in1}$  内のインピーダンスの高いピークは,  $Z_{C1}$  の誘導性と  $Z_{in2}$  の容量性による並列共振であることがわかる. さらに, 図 2-1 に示した電磁放射の概念図から, これらの共振周波数で強い電磁放射を生じることが予想できる.

図 2-4(a)の等価回路では電源配線の特異インピーダンスを  $64\text{ }\Omega$ , 配線長を  $35\text{ mm}$  とした. 図 2-4(b)にて,  $Z_{in2}$  ではいくつかの共振によるピークが観測されるが, IC から見た  $Z_{in1}$  ではピークが観測されていない. このような特性を示す理由は,  $17\text{ MHz}$  から  $1\text{ GHz}$  までの範囲で  $Z_{C1}$  と  $Z_{in2}$  が共にインダクタンスとして振る舞うこと,  $Z_{in2}$  が  $Z_{C1}$  よりも約  $10$  倍大きいため, 並列回路にすると  $Z_{C1}$  しか見えなくなることによる. また, これは電源配線のインダクタンスがキャパシタの寄生インダクタンスよりも十分大きいためであり, これにより, 広帯域で IC の電源系と基板電源系が分離できている.

図 2-5(b)では,  $1\text{ GHz}$  以下で,  $Z_{in2}$  と  $Z_{in1}$  のどちらにも共振によるピークが見当たらない.  $\pi$  型フィルタが 2 段接続されているためである. LSI では電源端子

によってスイッチングノイズの大きさが一般的には異なる．このノイズの大きい電源端子に，このような多段の $\pi$ 型フィルタを適用すれば回路 B を適用する場合よりも電磁放射低減効果が大きくなると予想できる．

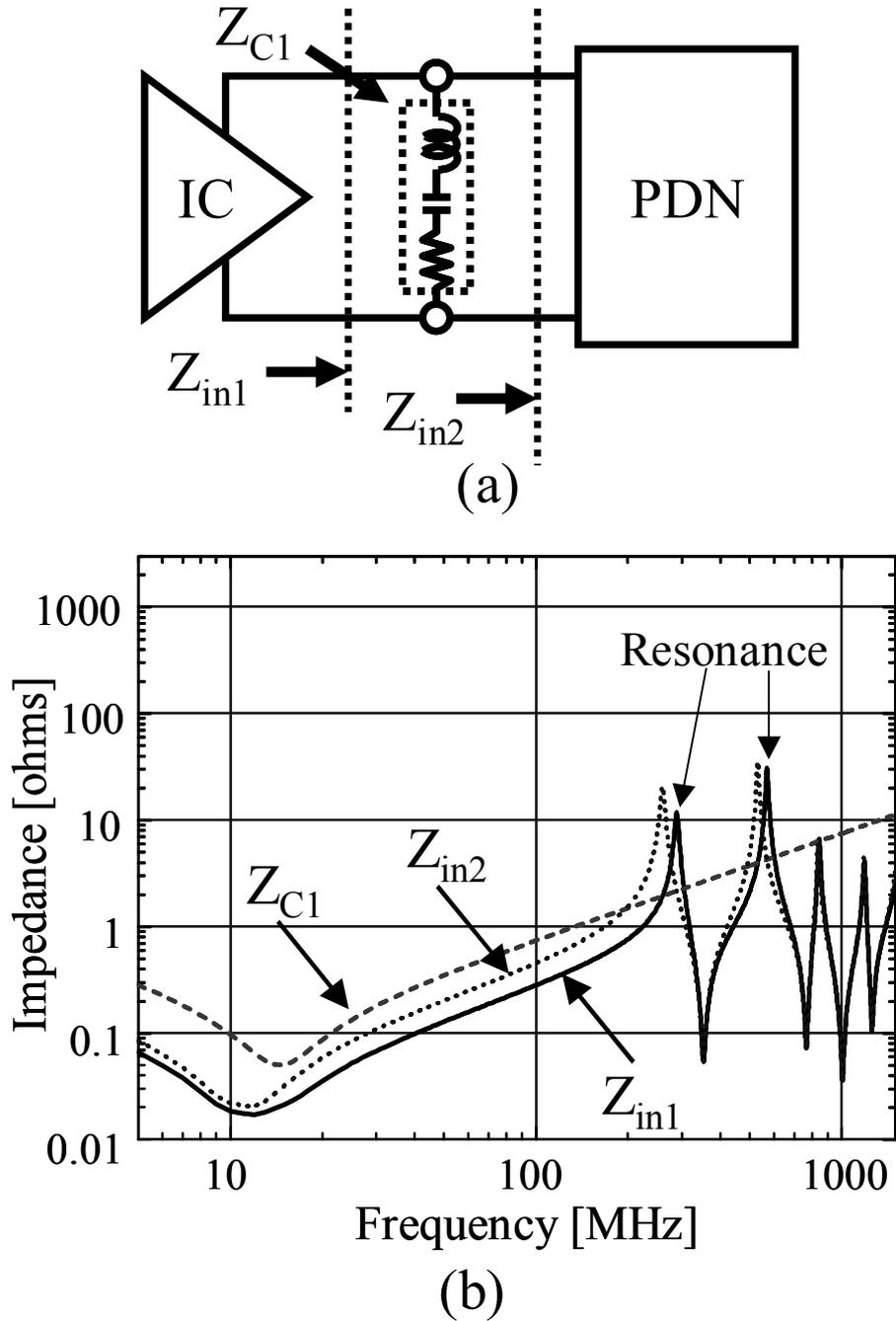


Fig.2-3 Calculated impedance properties of PDN for circuit A.

図 2-3 回路 A を適用した基板の電源インピーダンス特性

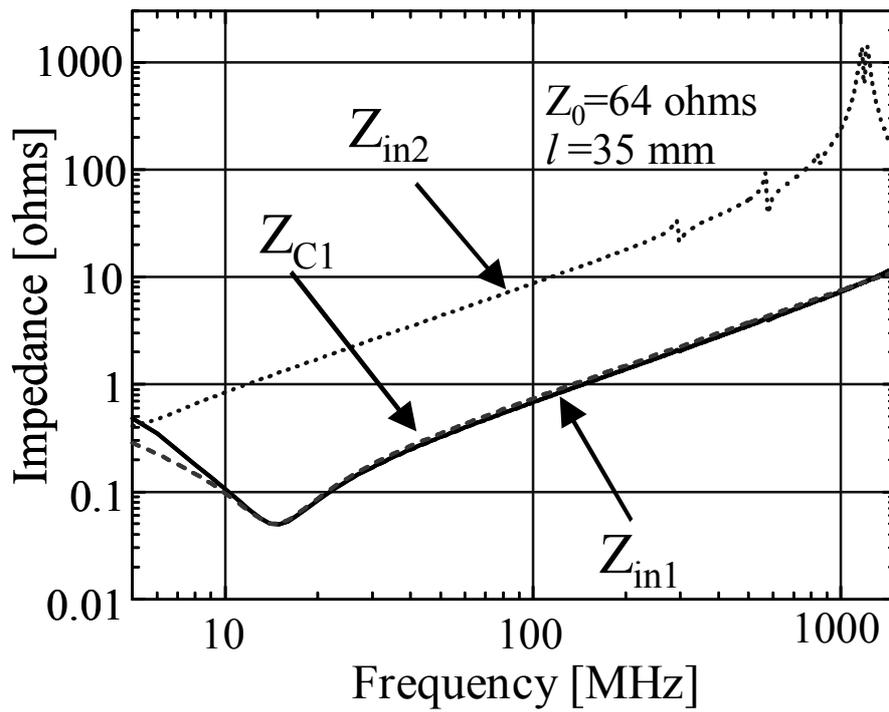
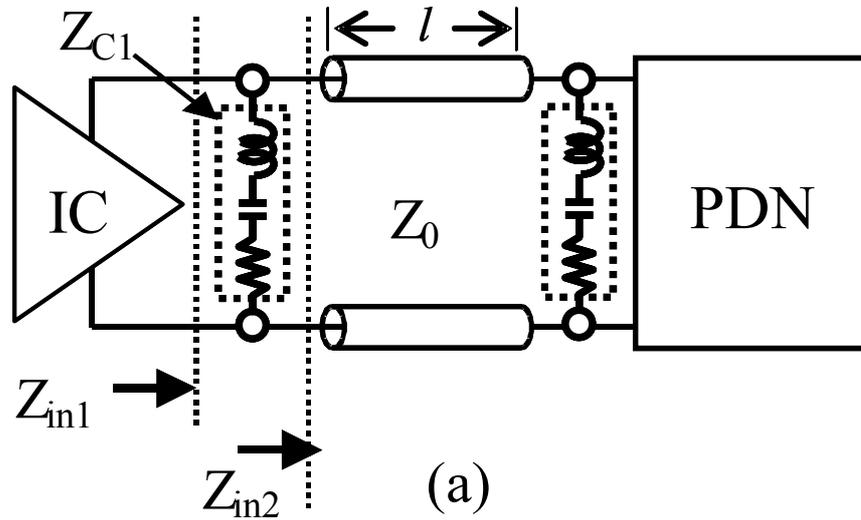


Fig.2-4 Calculated impedance properties of PDN for circuits B and C (terminal A).  
 図 2-4 回路 B と回路 C の端子 A を適用した基板の電源インピーダンス特性

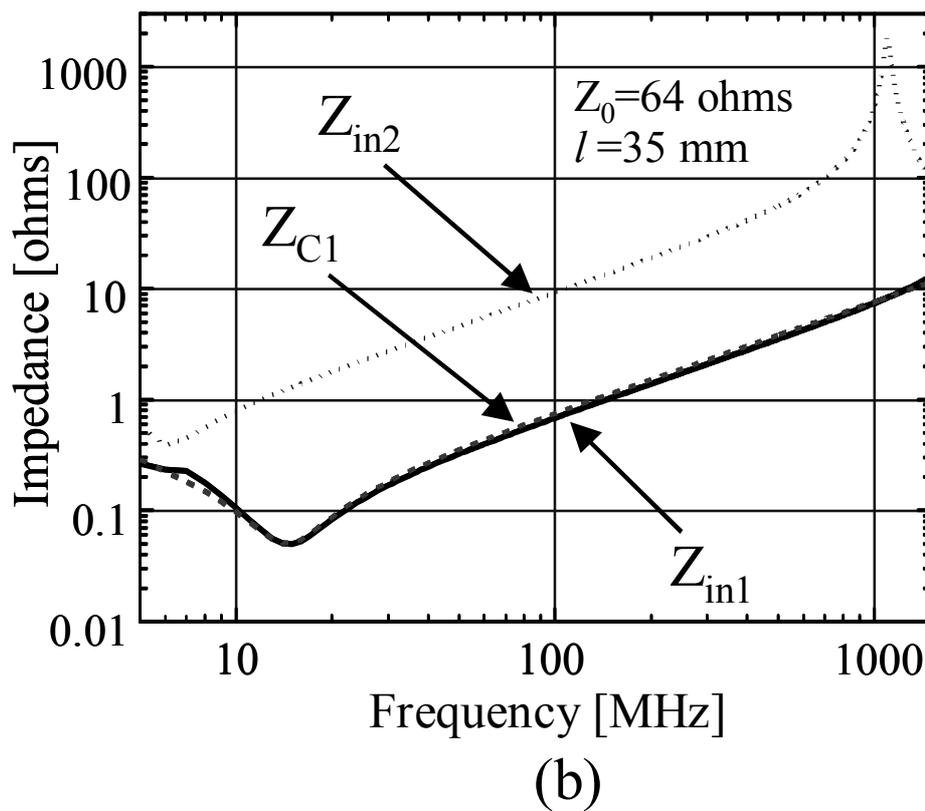
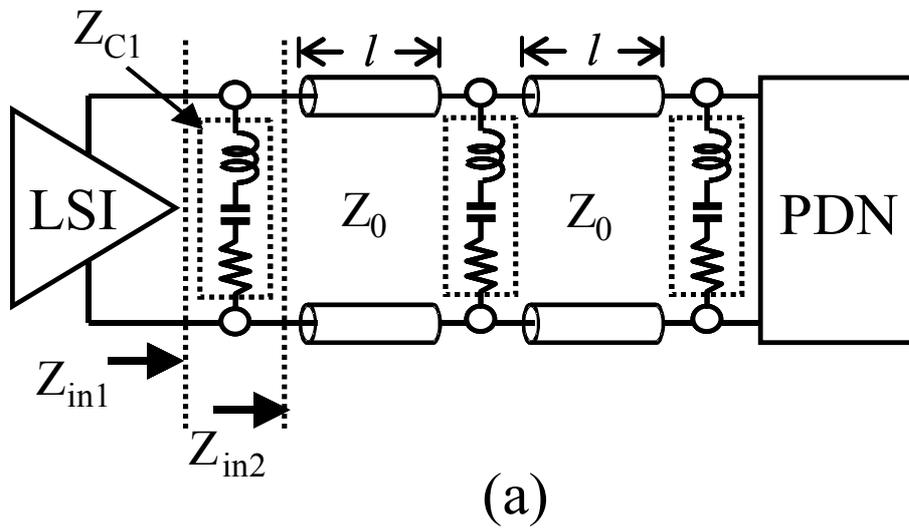


Fig.2-5 Calculated impedance properties of PDN for circuit C (terminal B).

図 2-5 回路 C の端子 B を適用した基板の電源インピーダンス特性

## 2.4 提案するデカップリング回路の基本構成による放射低減効果

まず、提案するデカップリング回路の基本構成である回路 B の放射低減効果を実測によって確認した。図 2.6 は回路 A を適用したプリント回路基板、図 2.7 は回路 B を適用したプリント回路基板である。共に長さ 180 mm、幅 96 mm、厚さ 1.6 mm の 4 層基板である。20 MHz の水晶発振器と AC244 のドライバ IC とレシーバ IC が搭載されており、この全てに電源デカップリング回路 A もしくは B を適用した。デカップリング回路に用いたキャパシタは共に 2125 サイズのチップキャパシタを用いた。また、ドライバ IC とレシーバ IC の間には 4 本の信号配線がつながり、レシーバ IC の出力には 51 pF の容量負荷を接続している。この負荷容量のキャパシタもデカップリングキャパシタと同じサイズのチップキャパシタを用いた。基板の層構成は部品搭載面から信号層、グランド層、電源層、信号層とし、グランド層と電源層は共に全面を導体プレーンとした。

図 2.7 に示したデカップリング回路 B の電源配線は、配線幅 0.2 mm、配線厚み  $36\mu\text{m}$  のマイクロストリップ線路で実現した。基板材料の比誘電率が約 4.7、電源配線とグランドプレーンとの間隔が 0.2 mm から、本配線の特性インピーダンスは  $64\Omega$  となる[2.18]。これはデカップリングキャパシタの寄生インダクタンス ( $1.2\text{ nH}$ ) から求めた 1 GHz でのインピーダンス  $7.5\Omega$  よりも十分大きな値となっている。また、実効的な波長[2.18]から求めた 1/4 波長となる長さは 42 mm であった。この場合、電源配線によるインダクタンスは  $16.0\text{ nH}$  となり、キャパシタの寄生インダクタンスに比べ 10 倍以上大きくなる。しかし、本検討では電源配線長を 10 mm とした。実用上、42 mm 引き出すことは困難であり、10 mm 程度が妥当と判断したためである。これにより電源配線によるインダクタンスは  $3.8\text{ nH}$  とキャパシタの寄生インダクタンスの 3 倍程度となっている。この設計条件においても放射低減効果があるか実測によって確認した。

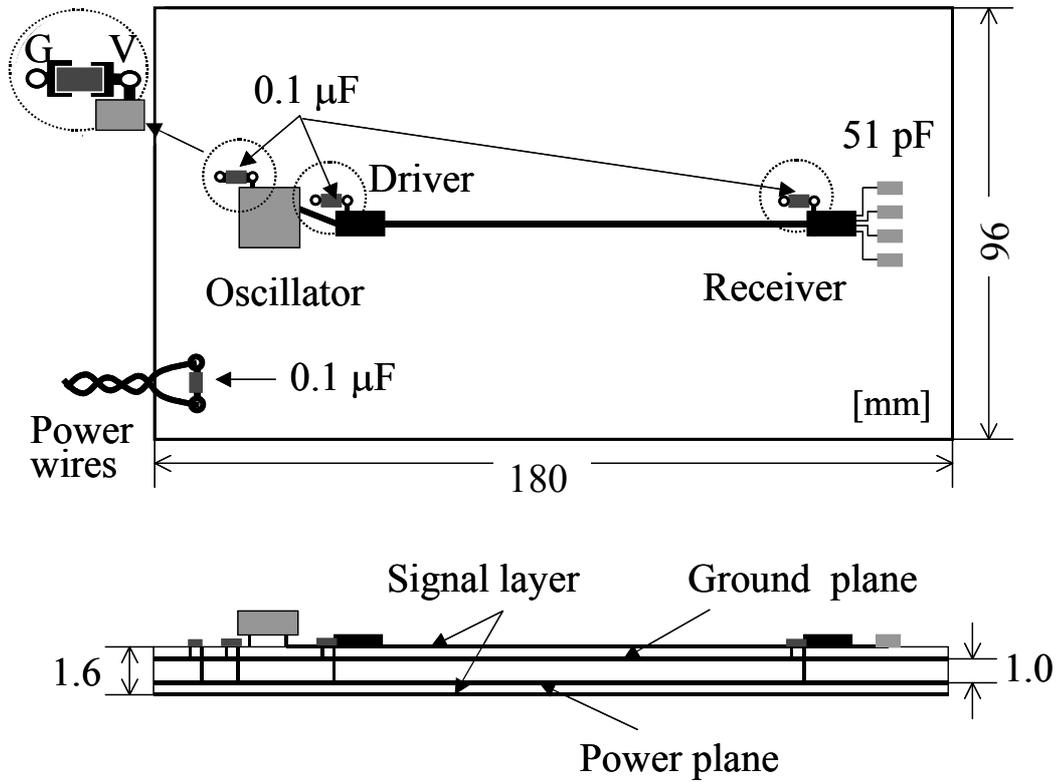


Fig.2-6 Top and side views of a fabricated four-layer PCB with Circuit A.  
 図 2-6 回路 A を適用した 4 層プリント回路基板の上面図と側面図

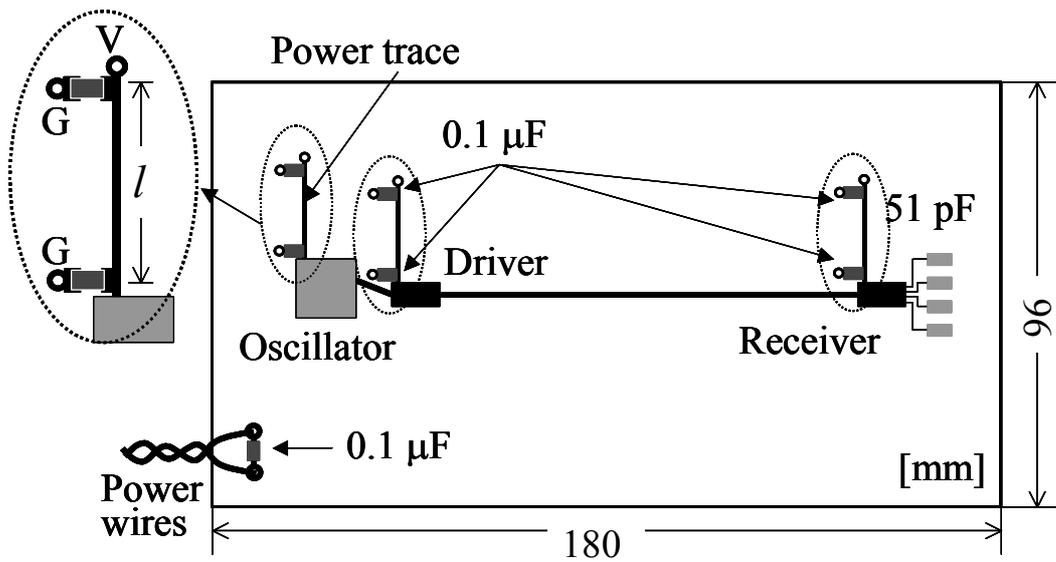
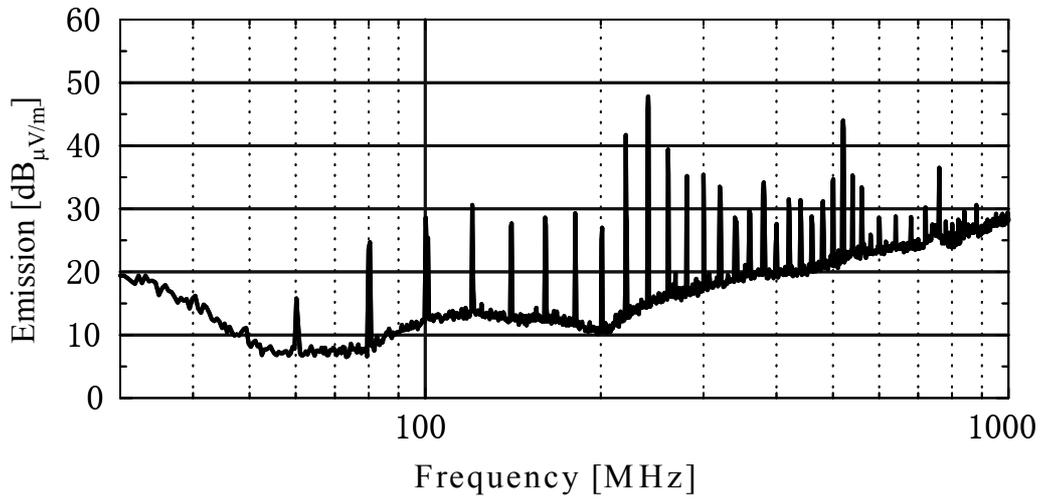


Fig.2-7 Top view of a fabricated four-layer PCB with Circuit B.  
 図 2-7 回路 B を適用した 4 層プリント回路基板の上面図と側面図

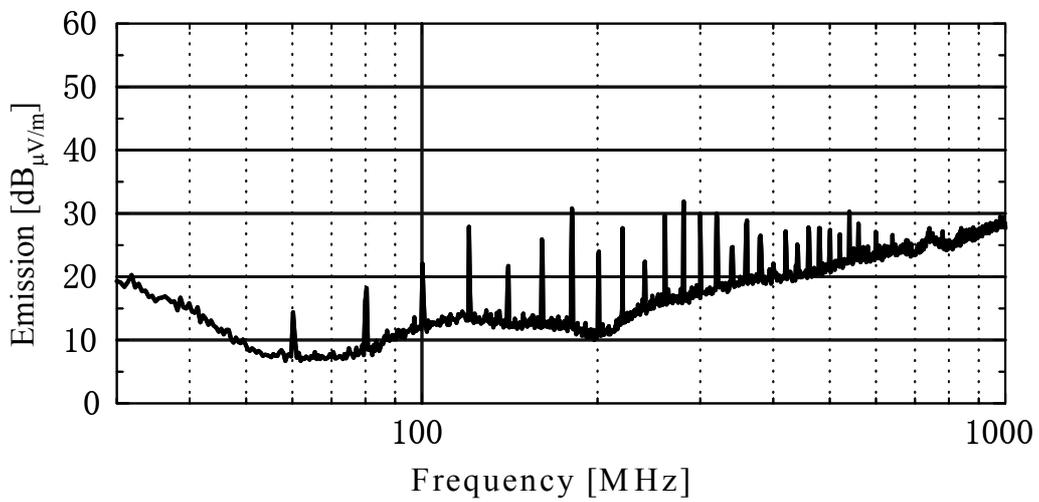
図 2-8 に放射電界特性の測定結果を示す。放射レベルの高い垂直偏波のみを示した。電波暗室にて測定し、高さ 80 cm の木製ターンテーブルの上に、基板を床面と並行に配置して測定した。アンテナ高さは 130 cm に固定し、基板とアンテナ間隔も 3 m に固定した。プリント回路基板からの放射だけでなく、電源ケーブルからの放射も予想されたため、本電源ケーブルには多くのフェライトコアを装着し、ケーブルからの放射を抑えた。20 MHz の水晶発振器からクロック信号を受けたドライバ IC が同周波数の矩形波信号をレシーバ IC に送信するため、20 MHz の高調波で電磁放射が観測されている。その中で、回路 A では 240 MHz, 520 MHz, 760 MHz の放射レベルがその前後の周波数に比べて顕著に高いことがわかる。これに対し、回路 B ではこのような強い放射は見られない。

また、図 2-9 にドライバ IC の電源端子から基板の電源系を見た入力インピーダンスの測定結果を示す。本電源端子に直径 1.2 mm のセミリジットケーブルをハンダ付けし、ネットワークアナライザで測定した  $S_{11}$  特性からこの入力インピーダンス特性を求めている[2.6]。回路 A では約 230 MHz と約 510 MHz で電源系が共振を起こしていることが確認できる。一方、回路 B では共振が見られない。

図 2-8 の放射電界特性の測定結果と図 2-9 の電源系入力インピーダンスの測定結果から、回路 A で生じた 240 MHz と 520 MHz の鋭い放射のピークは、電源系の共振によることが確認できる。これに対し、提案した回路 B では入力インピーダンス特性から共振は見られず、放射電界特性でも強い放射が見られない。このことから、回路 B が電源系の共振による強い放射を低減していることが確認できる。また、電源配線が作り出すインダクタンスがデカップリングキャパシタの寄生インダクタンスの 3 倍程度とそれほど大きくないにも関わらず、電源系の共振による放射が低減できていることが確認できる。



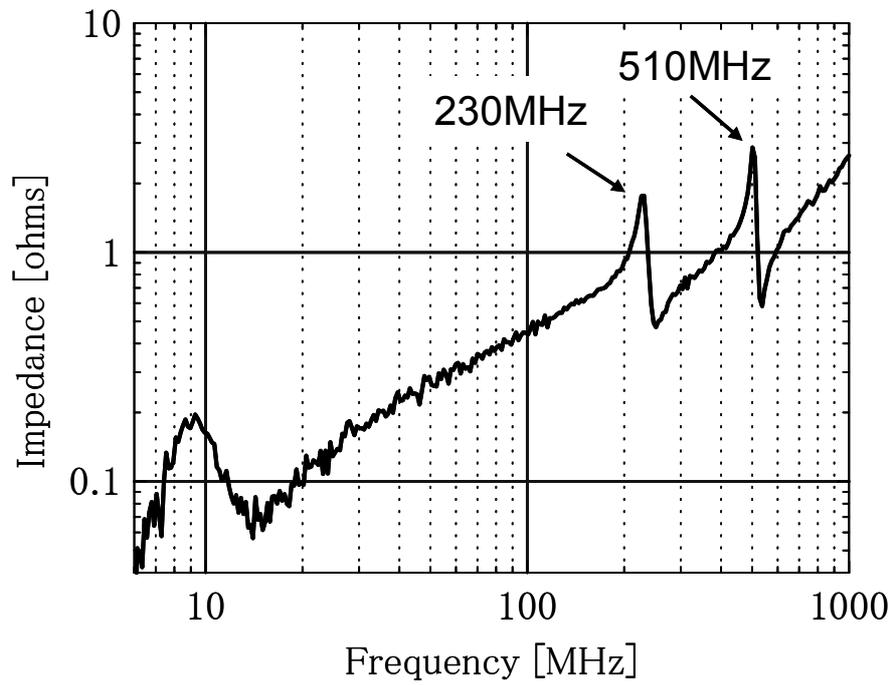
(a) Circuit A



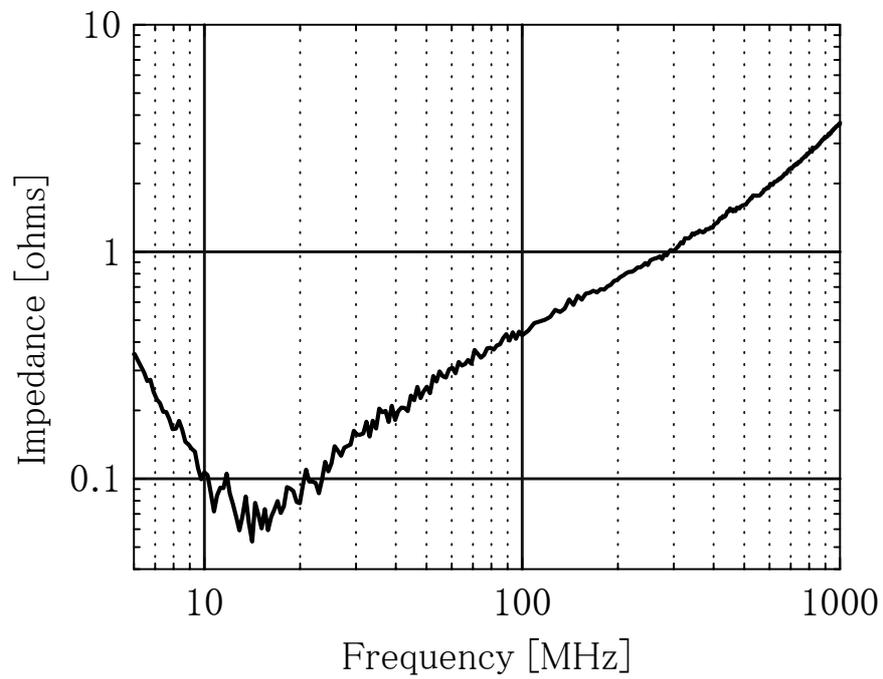
(b) Circuit B

Fig.2-8 Measured radiated emissions (vertical polarization): (a) Circuit A, (b) Circuit B.

図 2-8 放射電界特性の測定結果（垂直偏波）：(a)回路 A, (b)回路 B



(a) Circuit A



(b) Circuit B

Fig. 2-9 Measured input impedance of the PDN at the power terminal of Driver IC.

図 2-9 ドライバ IC 電源端子から見た電源系の入カインピーダンス測定結果

## 2.5 QFP の LSI を搭載したテスト基板

次に、回路 A に対する回路 C の電磁放射低減効果を確認するため、QFP の LSI を実装した 4 層のプリント回路基板を試作した。図 2-10 に基板の上面図と側面図を示す。この基板は上面から信号—グランド—電源—信号の層構成で、電源層とグランド層はそれぞれ導体プレーンで構成した。基板の誘電体材料は比誘電率が約 4.7 のガラスエポキシ樹脂、基板の大きさは 210 mm×100 mm×1.6 mm とした。大半の信号回路は上面層にあり、40 MHz の水晶発振器、208 ピンの LSI (ALTERA Field Programmable Gate Array, EPF81188AQC208-2)、7 pF の負荷容量、0.1 μF のチップキャパシタ (GRM40F104Z)、更に ROM を含む初期化回路で構成している。また、LSI 周囲の電源デカップリング回路に加え、12 個の 0.1 μF のチップキャパシタを基板上面に均等に配置した。本 LSI は 40 MHz のクロック信号を水晶発振器から受け、20 MHz のクロック信号を 16 個ある 7 pF の負荷容量に出力している。初期化回路は LSI 起動時にのみ動作し、定常時には動作せず、ノイズ源にはならない。

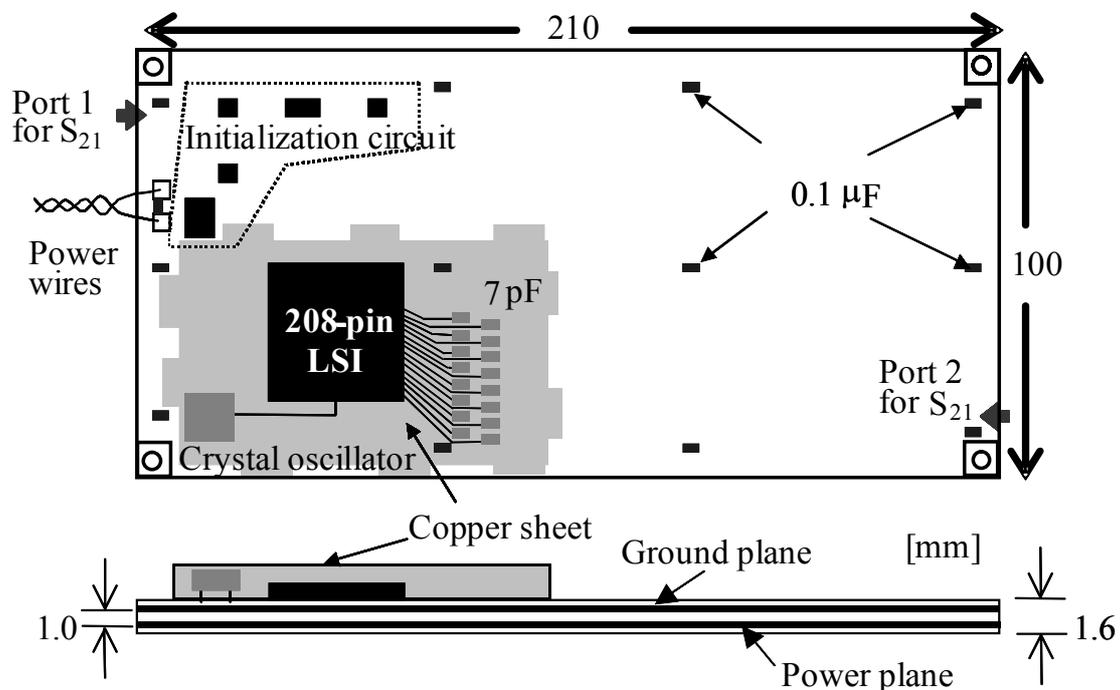


Fig.2-10 Top and side views of test PCB with a LSI.

図 2-10 LSI 搭載テスト基板の上面図と断面図

図 2-11, 2-12 は電源デカップリング回路の詳細なレイアウトである。I/O コアと内部コアの電源端子は合計 21 個あった。ここでは同一の電源電圧 (5V) であったため、I/O コアと内部回路の区別なく、隣り合う電源端子は一つのグループとして扱い、それをまとめて 1 つのキャパシタを接続した。回路 C では、上面層の電源配線の幅は 0.3 mm、電源配線と第 2 層グランドプレーンとの間の誘電体厚は 0.2 mm とした。これにより、電源配線の特性インピーダンスは約 55  $\Omega$  となり、キャパシタの 1 GHz におけるインピーダンスよりも大きい。電源配線は、本基板において 1 GHz で実効的な波長が 1/4 となる長さ、35 mm よりも短くした。また、電源端子のグループ間をつなぐ電源配線は、すべて LSI パッケージの外周に設けると信号配線が LSI の外側に引き出せなくなるため、パッケージの外側に信号配線が多く出る箇所では QFP 端子の内側に設けた。また、電源端子と基板内層の電源プレーンとをつなぐ電源配線についてはミアンダ形状にすることで実装領域を小さくした。また、13 個ある電源端子のグループに、従来の回路 B を適用した場合、26 個のキャパシタが必要であったが、回路 C のように、キャパシタを共有することで、キャパシタを 9 個減らし、17 個に削減している。

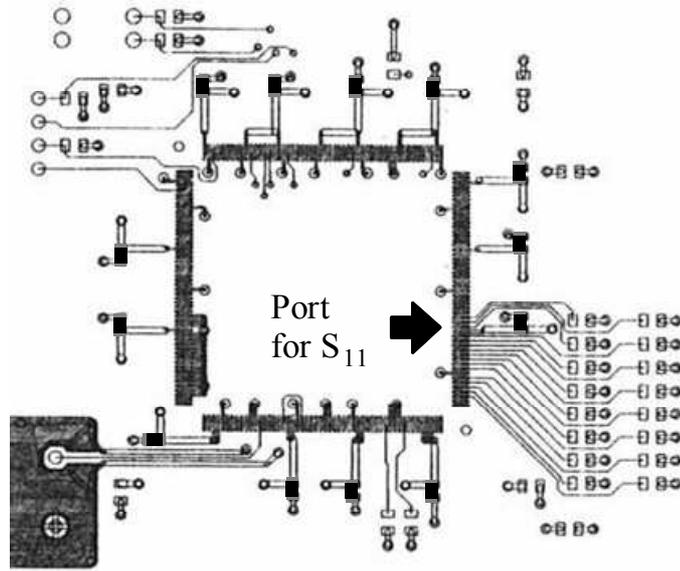


Fig.2-11 Decoupling circuit layout of circuit A.  
 図 2-11 デカップリング回路 A のレイアウト

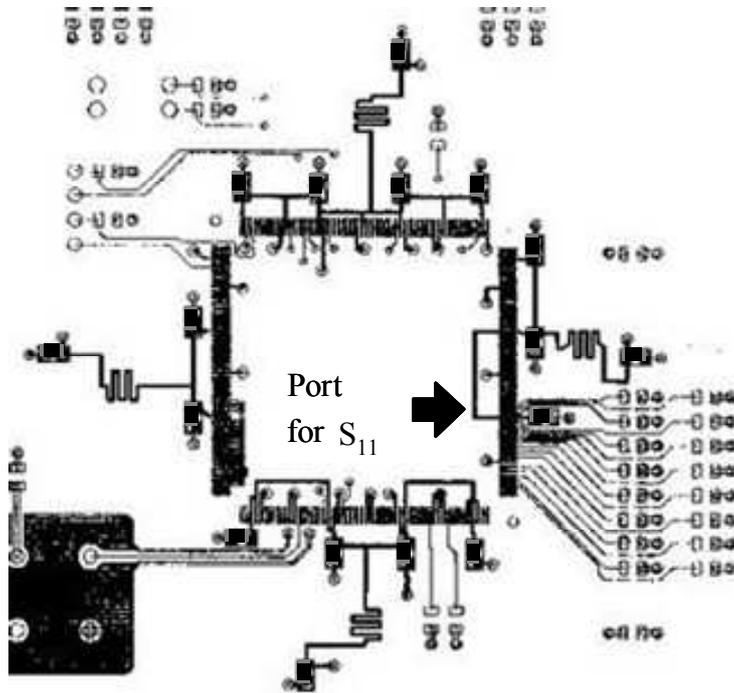
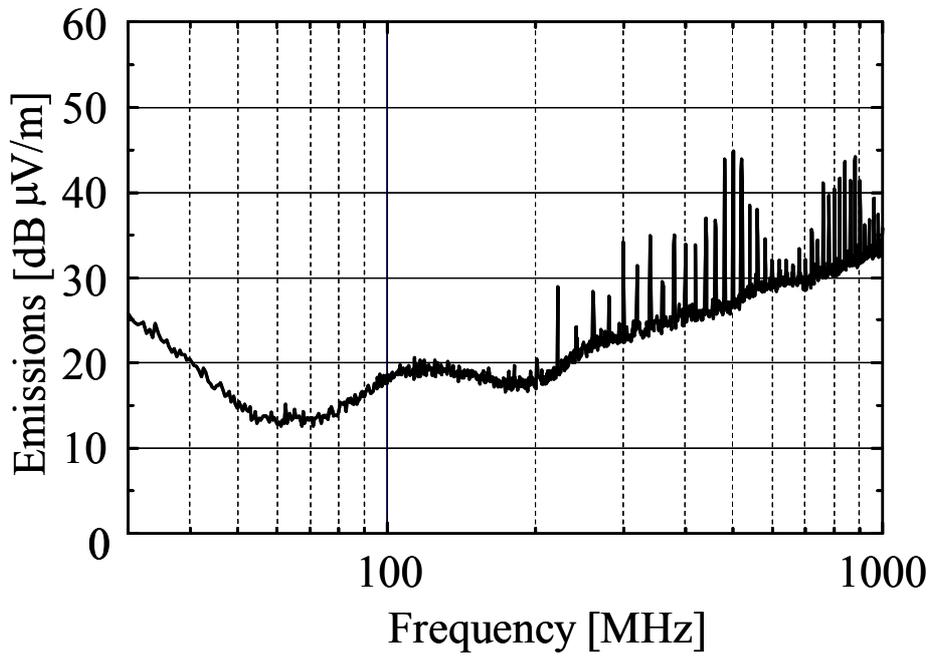


Fig.2-12 Decoupling circuit layout of circuit C.  
 図 2-12 デカップリング回路 C のレイアウト

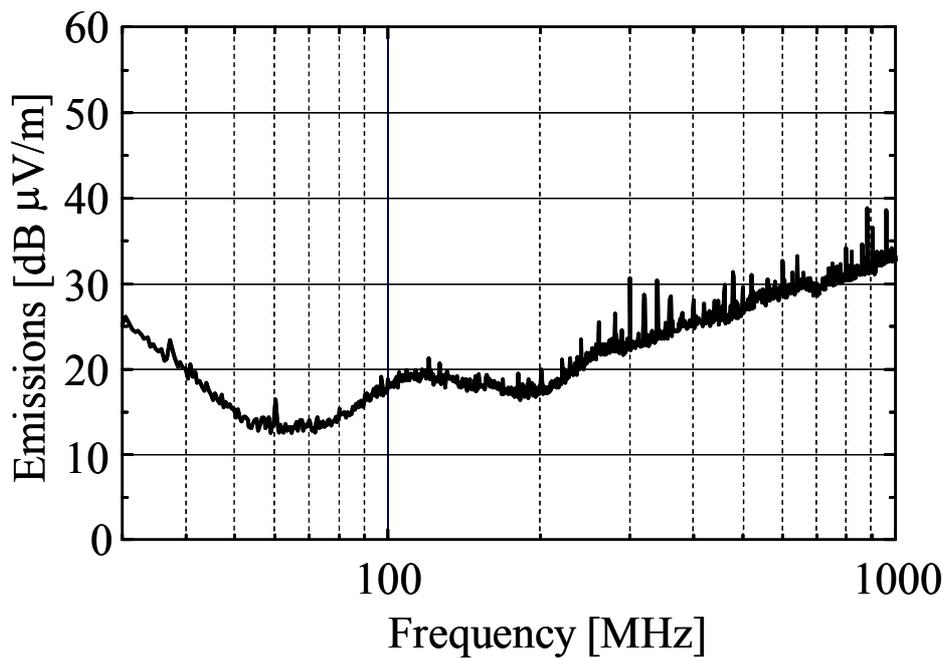
## 2.6 QFP 向け回路の放射電界特性の測定結果

図 2-13, 2-14 は回路 A, C を適用した基板の放射電界特性である。垂直偏波と水平偏波の両方を測定した。6 面に電波吸収体を配置した電波暗室にて測定し、基板とアンテナの間隔は 3 m、床面から基板までの高さは木製テーブルの上で 80 cm とした。基板は床面と並行に配置し、アンテナは床面から 1.5 m の高さに固定した。安定化電源と基板とを接続する電源ワイヤによる放射を抑えるため、本ワイヤには多くのフェライトコアを装着した。また、本測定では電源共振による放射に注目して比較するため、図 2-10 に示したように、動作するすべてのデバイスを銅シートで覆い、その外周を第 2 層のグラウンドプレーンとハンダ付けした。この銅シートは片面が絶縁処理を施したものを用い、デバイスとの間でショートしない工夫をしている。この銅シートによるシールドは、電源共振による放射になんら影響を与えないと考えている。その理由は、電源共振による放射は主に基板端部から放射されるからである。シールドを施していない場合の電磁放射は、信号配線のコモンモード放射が主な発生原因であった。これについては文献[2.19]、および本論文の第 3 章で詳細に述べている。

図 2-13 は垂直偏波成分である。回路 A を適用した基板では 500 MHz 付近と 880 MHz 付近でまとまったピークが見られるが、回路 C では見られない。最もレベルの高い 500 MHz 成分では回路 C より約 15 dB 放射レベルが低減されている。図 2-14 は水平偏波成分である。垂直偏波同様、500 MHz 付近と 880 MHz 付近のピークが回路 C で大きく低減されている。一方、340 MHz 付近のピークはあまり差がない。



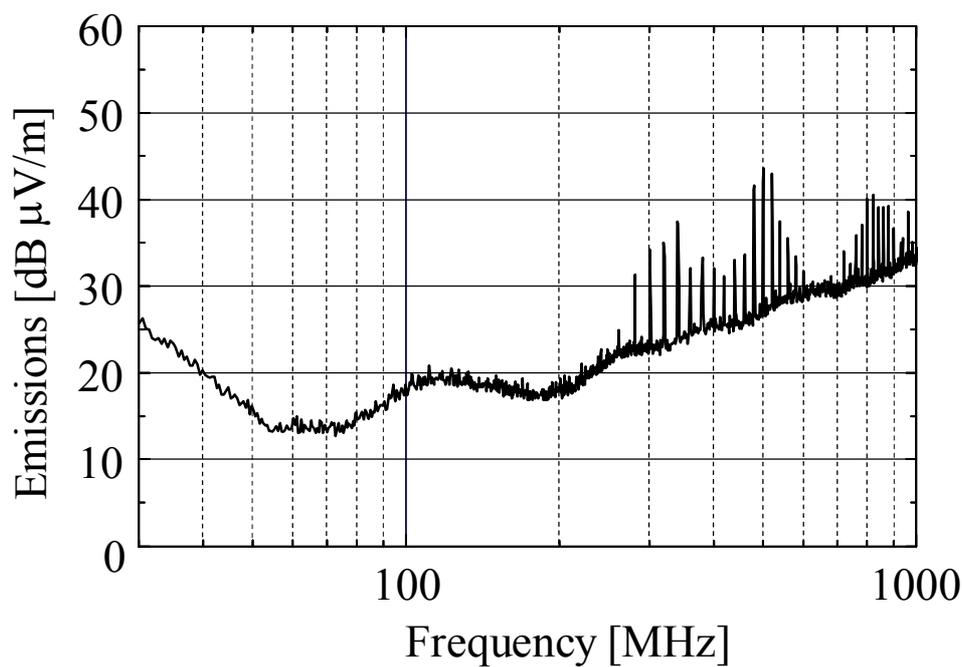
(a) Circuit A



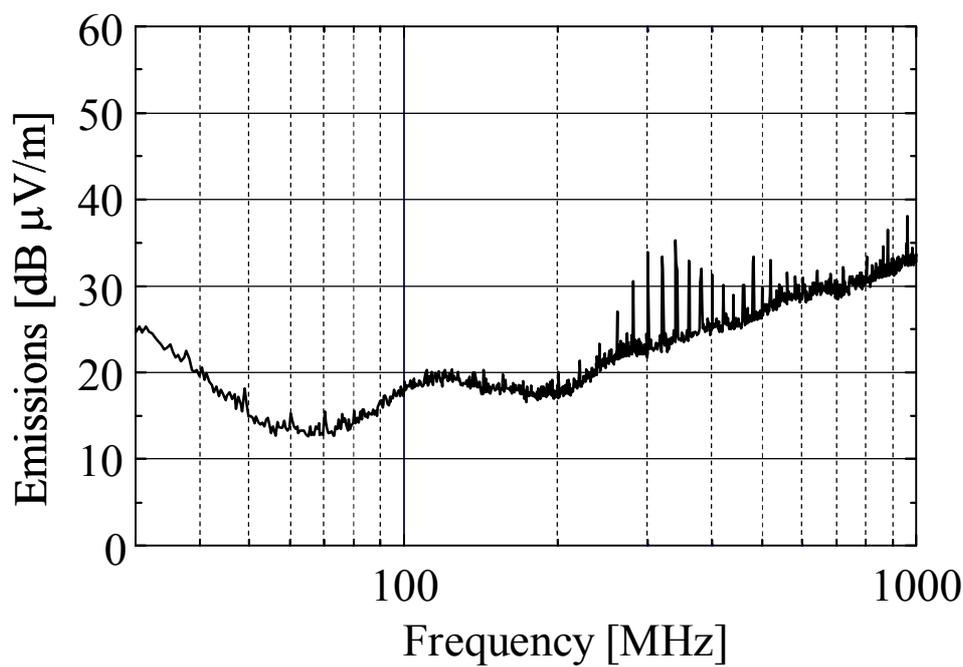
(b) Circuit C

Fig.2-13 Measured radiated emissions of the PCB (vertical).

図 2-13 基板からの放射電界特性の測定結果（垂直偏波）



(a) Circuit A



(b) Circuit C

Fig. 2-14 Measured radiated emissions of the PCB (horizontal).

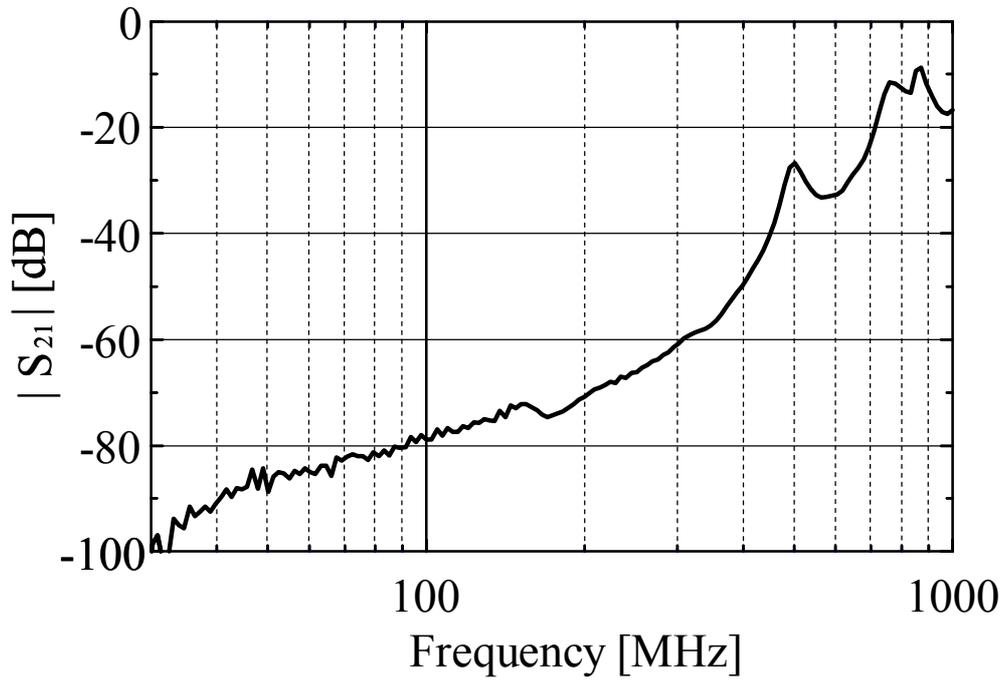
図 2-14 基板からの放射電界特性の測定結果（水平偏波）

## 2.7 QFP 向け回路のノイズ分離効果の測定による確認

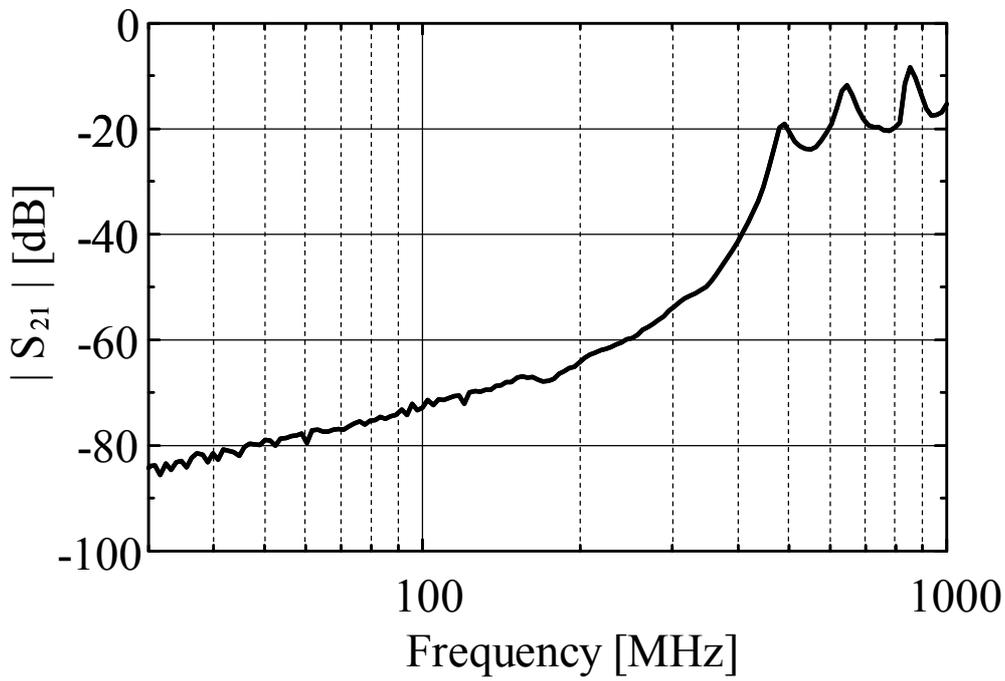
回路 A と回路 C における LSI 電源系と基板電源系との間のノイズ分離効果を調べるため、基板電源系の  $S_{21}$  特性と  $S_{11}$  特性をネットワークアナライザにて測定した。 $S_{21}$  特性は基板電源系がもつ共振特性を示し、 $S_{11}$  特性は LSI 電源系から見た基板電源系の入力インピーダンス特性に関連している。

### 2.7.1 $S_{21}$ 測定

$S_{21}$  の測定箇所は、図 2-10 に示した。基板の左上と右下の対角部にそれぞれセミリジットケーブルを接続し、ベクトルネットワークアナライザ (HP8753D) を用いて測定した[2.1]。基板の対角部で測定した理由は、この位置で測定した  $S_{21}$  特性が、基板の長辺方向、短辺方向、対角方向で起こるすべての共振特性を含むためである。図 2-15 に測定結果を示す。回路 A を適用した基板では 500, 760, 880 MHz でピークを示しており、これらの周波数は放射特性でピークを示した周波数とほぼ一致している。この結果から、回路 A を適用した基板の強い電磁放射は、まず、基板電源系が 500, 760, 880 MHz で共振系をもっていること、LSI の信号出力 20 MHz の高調波がこの共振系の共振周波数と一致し、この共振系を励振したことで生じたものと推定できる。一方、回路 C では、水平偏波で観測された 340 MHz のピークはなく、490, 630, 840 MHz でピークをもっている。この結果から、回路 C では、キャパシタの基板実装位置が回路 A とわずかながら異なることから電源系の共振周波数が回路 A と僅かながら異なっていることがわかる。更に、これらの周波数で強い電磁放射が観測されていないことから、回路 C を適用した基板の電磁放射は、基板電源系の共振には影響されていないことが推定できる。



(a) Circuit A



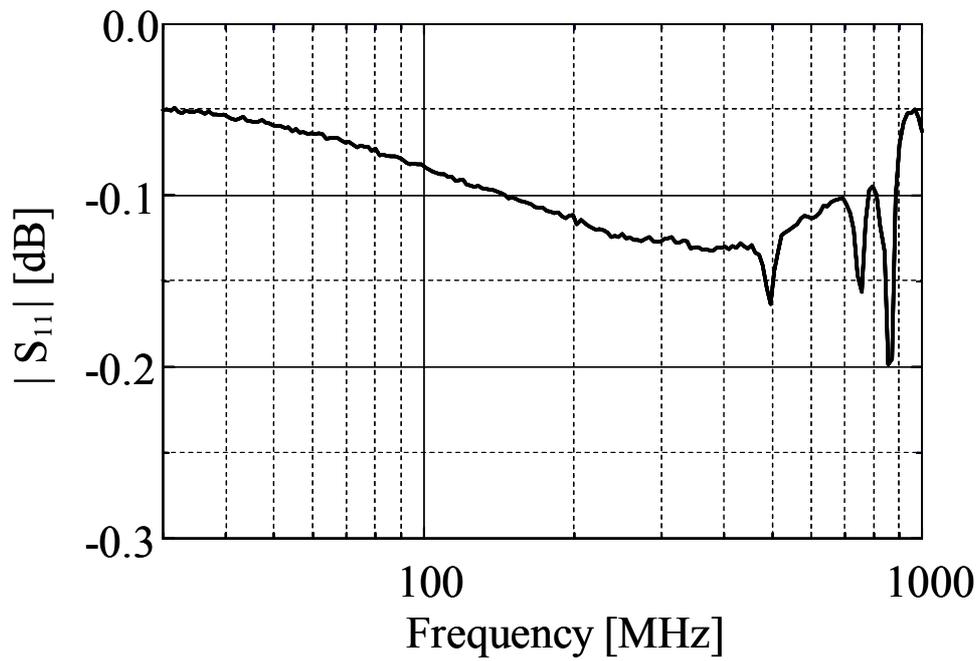
(b) Circuit C

Fig.2-15 Measured results of  $S_{21}$ .

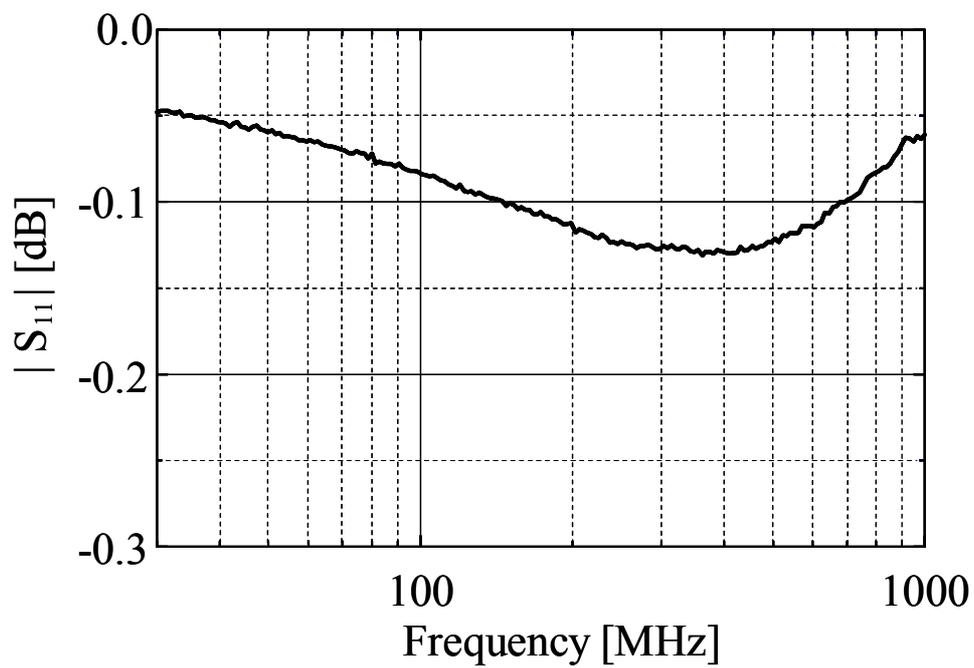
図 2-15 基板電源系の  $S_{21}$  特性の測定結果

## 2.7.2 $S_{11}$ 特性

図 2-16 に基板電源系の  $S_{11}$  特性の測定結果を示す。この特性は LSI を実装していない基板を用いて測定した。図 2-11, 2-12 に示した位置で長さ 10 mm のセミリジットケーブルを LSI の電源端子接続部とグランドプレーンとの間にハンダ付けし、ベクトルネットワークアナライザにて測定した。測定箇所として、複数ある電源端子の中から 7 pF の負荷容量に接続した信号配線近くの I/O 電源端子実装位置を選んだ。その理由は、他の電源端子に比べて最も電源電圧変動が大きかったためである。回路 A では電磁放射や  $S_{21}$  特性でピークを示した 500, 760, 880 MHz でディップが観測されている。一方、回路 C ではディップが観測されていない。 $S_{11}$  は反射特性であることから、ディップがあるとその周波数のノイズが電源供給系に注入されること、ディップがないとノイズが反射され、注入されないことを意味している。この結果から、回路 C は回路 A に比べ LSI のスイッチングノイズの分離効果が向上していることが確認できる。



(a) Circuit A



(b) Circuit C

Fig. 2-16 Measured results of  $S_{11}$ .

図 2-16 基板電源系の  $S_{11}$  特性の測定結果

## 2.8 LSI 直下にキャパシタを集中させる電源デカップリング方法との比較

最近の LSI では今回検討した QFP だけでなく、ハンダボールを用いてプリント回路基板と接続する BGA (Ball Grid Array) や CSP (Chip Size Package) が採用されるようになってきた。この場合、回路 A, B, C のような電源デカップリング回路を採用することは難しく、一般にはパッケージ搭載位置の基板裏面にキャパシタを集中して配置する。最近、QFP に対しても同様のデカップリング方法が適用されるケースがある。そこで、BGA 向けに広く用いられている本方法 (回路 D) を先の LSI に適用した場合の電磁放射特性を調べた。

図 2-17 に LSI 周辺のプリント回路基板の詳細なレイアウトを示す。図 2-17(a) が LSI 搭載面、図 2-17(b) がその裏側のキャパシタ搭載面である。LSI 搭載面では、電源、グランド端子を短い配線でパッケージ直下に引き出し、貫通ビアによって基板内層の電源、グランドプレーンと接続している。一方、キャパシタ搭載面では 9 個の  $0.1\mu\text{F}$  のキャパシタを等間隔で配置し、貫通ビアによって基板内層の電源、グランドプレーンと接続している。それ以外の条件は図 2-10, 2-11, 2-12 に示したプリント回路基板と同じである。

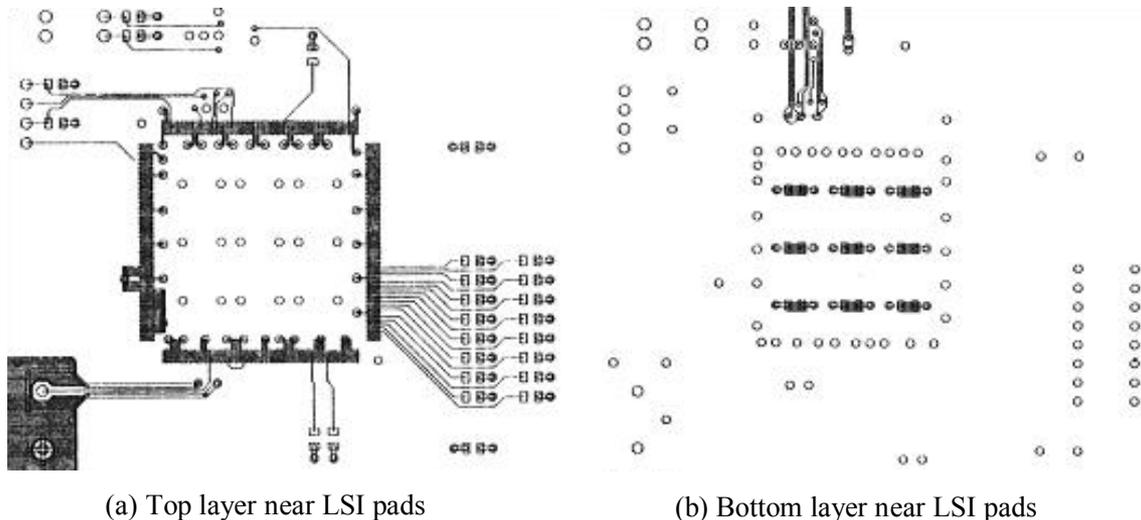


Fig 2-17 PCB layout of Circuit D.

図 2-17 LSI 直下にキャパシタを集中させた場合 (回路 D) の基板レイアウト

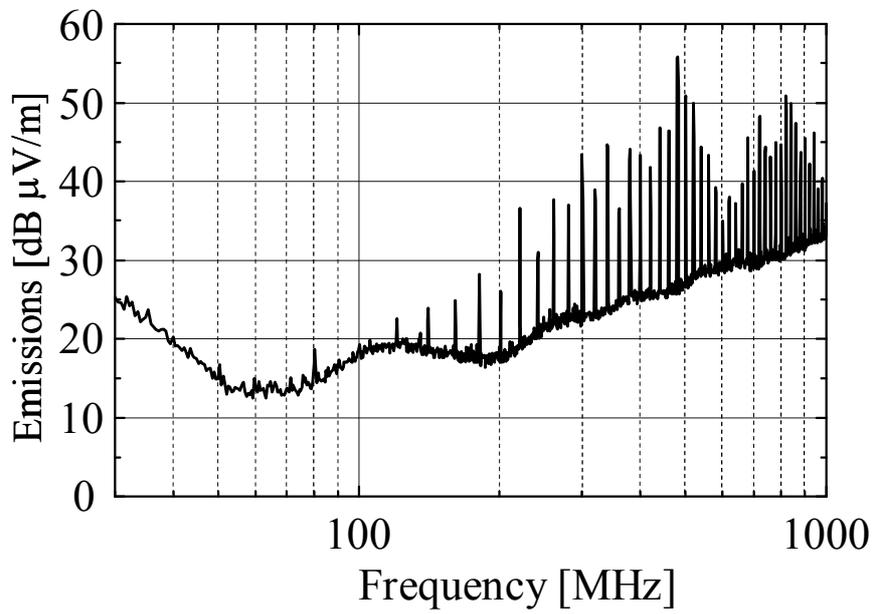


Fig 2-18 Measured radiated emissions for Circuit D (vertical polarization).

図 2-18 回路 D での放射電界特性の測定結果（垂直偏波）

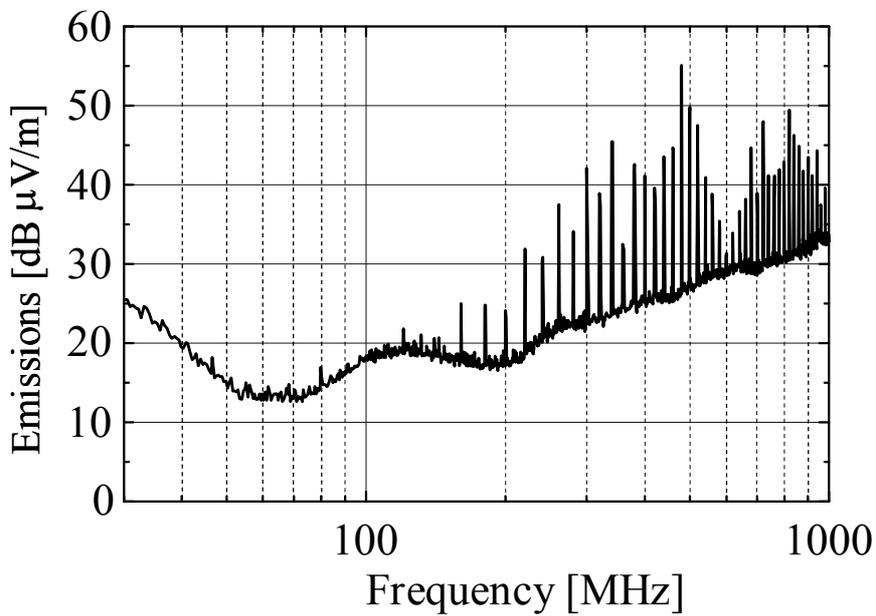


Fig 2-19 Measured radiated emissions for Circuit D (horizontal polarization).

図 2-19 回路 D での放射電界特性の測定結果（水平偏波）

図 2-18, 2-19 に回路 D を適用した基板の放射電界特性を示す. 電源共振特有の強い電磁放射が発生しており, 回路 A を適用した場合よりもはるかに放射レベルが高い. たとえば, 最も放射レベルの高い 480 MHz では回路 C に比べ約 25 dB, 回路 A と比べても約 10 dB 放射レベルが高い. この結果から QFP を採用した LSI に対しては, LSI の裏面に集中してキャパシタを配置するデカップリング回路 (回路 D) が最も放射低減効果が低く, 電源端子にキャパシタを配置するデカップリング回路 (回路 A) の方が電源共振による電磁放射の低減効果があること, 本論文で提案したデカップリング回路 (回路 C) は更に低減効果が高いことが確認できた.

## 2.9 設計指針

本研究によって導き出された設計指針は以下の通りである.

- ① 電源配線の長さを電磁放射で問題とする上限周波数 (1GHz) の約 1/4 波長に設計.
- ② 電源配線の実インピーダンスを, 実装状態での寄生インダクタンスを考慮したキャパシタのインピーダンスの 3 倍以上に設計.
- ③ 電源ノイズの大きい電源端子には多段にした回路を適用.

## 2.10 むすび

本研究では、プリント回路基板の電源共振による強い電磁放射を低減するための新たな電源デカップリング回路を提案した。特に、QFP (Quad Flat Package) などのリードフレームパッケージを採用している LSI に対し、低コストで電磁放射を低減できる回路である。本デカップリング回路は 2 つのキャパシタと 1 つの電源配線によって構成される  $\pi$  型フィルタを基本とし、伝送線路理論に基づいて電源配線部を広帯域なインダクタとして働くように設計している。基本構成、更には複数の電源端子を有する QFP 向けに、放射低減効果を維持もしくは向上させながら、必要とするキャパシタ数を削減した新たな回路を考案した。本回路が LSI の電源系とプリント回路基板の電源系との間で、電源スイッチングノイズを広帯域で分離できることを、電源系のインピーダンスの計算結果や S パラメータの測定結果を用いて示した。また、実際、208 ピン QFP の LSI を実装したプリント回路基板に本回路を適用した実測を行い、電磁放射が広帯域で低減されることを確認した。

今後、半導体デバイスの高速化に伴い、電磁放射を抑えなければならない周波数が高くなっていく。そのため、VCCI は 2010 年以降、1~6 GHz の電磁放射に関しても規格を導入する予定である。本回路を今までよりも高い周波数帯域まで適用していくには、電源配線が誘導性から容量性に変わらぬよう、配線を短くしなければならない。そうなれば電源配線のインダクタンスは小さくなる。本論文で議論した多段構成は、このようなインダクタンス減少によるノイズ分離効果低下を補う役割を果たすことが期待できる。

また、今後、BGA や CSP に適した回路構成を考案することが課題である。このような半導体パッケージを採用する LSI は、一般的に、安定動作のために電源、グラウンドの端子を多数設け、電源インピーダンスを低くしている。このような半導体にここで提案したデカップリング回路を適用すると、電源インピーダンスが高くなり、これに伴う電源電圧変動が半導体の安定動作を阻害する。安定動作と電磁放射の低減を両立させる新たな電源デカップリング手法の開発が必要であろう。

## 参考文献

- [2.1] T. Harada, H. Sasaki, and Y. Kami, "Investigation on Radiated Emission Characteristics of Multilayer Printed Circuit Boards," IEICE Trans. Commun., vol. E80-B, no.11, pp.1645-1651, November 1997.
- [2.2] J. Kim, H. Kim, W. Ryu, J. Kim, "Effects of On-Chip and Off-Chip Decoupling Capacitors on Electromagnetic Radiated Emission," in Proc. IEEE ECTC 1998, pp.610-614, 1998.
- [2.3] 中野健, 須藤俊夫, 芳賀知, 星野茂樹, "デカップリング内蔵パッケージを用いた不要ふく射低減に関する検討," 電子情報通信学会誌 (C), vol.J87-C, no. 11, pp.928-936, 2004 年 11 月.
- [2.4] 福本幸弘, 小椋哲義, 和田修己, 古賀隆治, "高周波電源電流を抑制する LSI パッケージによる EMI 低減手法", エレクトロニクス実装学会誌, vol.3, no.6, pp.515-522, 2000 年.
- [2.5] 福本幸弘, 中山武司, 中村聡, 難波明博, 和田修己, 古賀隆治: "デジタル基板の電源グラウンドプレーン共振による放射の低減手法", 信学技法 EMCJ98-37, pp.49-55, 1998 年 7 月.
- [2.6] H. Sasaki, T. Harada, and T. Kuriyama, "A New Decoupling Circuits for Suppressing Radiated Emissions due to Power Plane Resonance," IEICE Trans. Commun., vol. E85-B, no.5, pp.1031-1037, May 2002.
- [2.7] J. Fan, J. L. Knighton, A. Orlandi, N. W. Smith, and J. L. Drewniak, "Quantifying Decoupling Capacitor Location," in Proc. IEEE EMC-S Dig., pp.761-766, 2000.
- [2.8] O. Ueno, D. Iguchi, H. Arakaki, H. Ito, and T. Ozawa, "Three-dimensional Noise Current Distribution on Power and Ground Planes in Printed Circuit Boards," in Proc. IEEE EMC-S Dig., pp.1136-1141, Denver, 1998.
- [2.9] 秋庭豊, "低 EMI 多層回路基板", 第 10 回回路実装学術講演大会, 15B-12, pp.175-176, 1996 年.
- [2.10] S. Yoshida and H. Tohya, "Novel Decoupling Circuit enabling notable electromagnetic noise suppression and high-density packaging in a digital printed circuit board," in Proc. IEEE EMC-S Dig., pp.641-646, 1998.
- [2.11] S. Caniggia, V. Costa, and L. Vitucci, "Investigation of EMI on Multilayer Printed Circuit Boards: Radiated Emissions," in Proc. IEEE EMC-S Dig., Santa Clara, pp.316-321, 1996.

- [2.12] M. Xu, T. H. Hubing, J. Chen, T. P. Van Doren, J. L. Drewniak, and R. E. DuBroff, "Power-Bus Decoupling with Embedded Capacitance in Printed Circuit Board Design," IEEE Trans. EMC, vol.45, no.1, pp.22-30, Feb. 2003.
- [2.13] J. Franz and W. John, "An Approach to Determine Decoupling Effects of VCC and VGG structures in Multilayer Technique," in Proc. IEEE EMC-S Dig., pp.56-59, Sendai, Japan, 1994.
- [2.14] 芳賀知, 中野健, 橋本修, "電源層を遮蔽する層構造による多層プリント基板からの不要電磁放射の低減," 電子情報通信学会誌 (B), vol.J86-B, No.7, pp.1139-1148, 2003年7月.
- [2.15] H. Sasaki, T. Harada, T. Kuriyama, "A New VLSI Decoupling Circuit for Suppressing Radiated Emissions from Multilayer Printed Circuit Boards," in Proc. IEEE EMC-S Dig., pp.157-162, 2000.
- [2.16] 佐々木英樹, 原田高志, 栗山敏秀, "VLSIのためのEMI抑制デカップリング回路", 電子情報通信学会ソサイエティ大会, p.369, 2000年.
- [2.17] 佐々木英樹, 原田高志, 栗山敏秀, 佐藤高史, 益一哉, "2つのキャパシタと1本の電源配線で構成した電磁放射低減電源デカップリング回路のQFPパッケージLSIへの適用", 電子情報通信学会誌 (B), vol.J92-B, no.5, 2009年5月掲載予定.
- [2.18] I. J. Bahl and R. Garg, "Simple and Accurate formulas for a microstrip with finite strip thickness," Proc. IEEE, vol.65, no.11, pp.1611-1612, Nov. 1977.
- [2.19] 佐々木英樹, 原田高志, 栗山敏秀, "プリント回路基板からの不要電磁放射の信号配線レイアウト依存性," 電子情報通信学会誌 (B), Vol. J90-B, No.11, pp.1124-1134, 2007年11月.

## 第3章 信号系に起因する電磁放射の低減設計技術

電子機器のプリント回路基板のレイアウトを決定する際、プリント回路基板上に必要な部品を配置し、回路動作を保証する信号配線や電源配線のレイアウト設計を行うが、それと同時に、不要電磁放射を抑えるためのレイアウト設計が必要となっている。本研究では、不要電磁放射を低減するためのレイアウト設計に対する明確な設計指針を得るために、プリント回路基板からの電磁放射の信号配線レイアウト依存性について明らかにしている。まず、回路構成や部品が同じでも信号配線のレイアウトによって基板からの電磁放射量が変わる実験結果を示している。そして、この原因が基板のグランドプレーンがダイポールアンテナとして働くコモンモード放射によることを示す。次に、偏波特性、放射モデルやその放射パターンに着目することで、基板からの放射が信号配線からの放射（ディファレンシャルモード放射）とグランドプレーンからの放射（コモンモード放射）に分離できること、さらに、『ディファレンシャルモード放射量に対するコモンモード放射量の比率』という新たな指標を導入することで、信号配線レイアウトや基板形状と電磁放射量との関係を数値化できることを明らかにしている。

### 3.1 まえがき

電子機器のプリント回路基板のレイアウトを決定する際、プリント回路基板上に必要な部品を配置し、回路動作を保証する信号配線や電源配線のレイアウト設計を行うが、それと同時に、不要電磁放射を抑えるためのレイアウト設計が必要となっている。それは部品や配線のレイアウトによって放射量が大きく変わる可能性があるためである。たとえば、配線が基板端に近いほど放射量が大きくなること[3.1]-[3.5]、また、プリント回路基板が狭いほど放射量が大きくなること[3.6]-[3.8]がすでに報告されている。このように配線レイアウトや基板形状によって放射量が変わる原因は、信号配線を流れる電流（ディファレンシャルモード電流）がグランドプレーンを通って戻る際、有限な大きさをもつグランドプレーンに広がり、その電流（コモンモード電流）がグランドプレーンをダイポールアンテナとして励振し、それが強く放射するためである[3.9]-[3.18].

図 3-1 はその概念図である．このコモンモード電流による放射は，本研究で明らかにしているが，グランドプレーンを流れる電流のみを考慮することで説明できる．そのため，このコモンモード電流は，グランドプレーン以外の，電源プレーンや他の信号配線に対して同相に流れる電流とも言える．

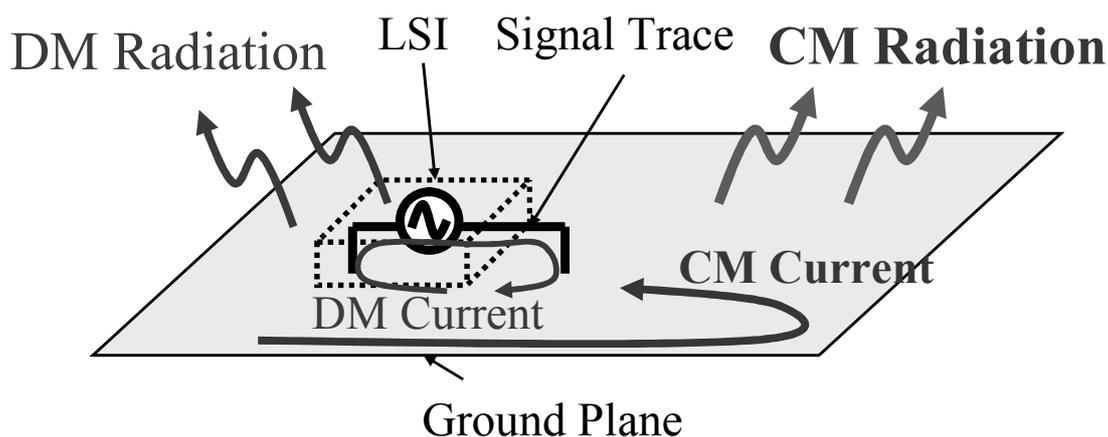


Fig. 3-1 Common-mode radiation from a printed circuit board

図 3-1 プリント回路基板からのコモンモード放射

本論文では，まず，回路構成が同じ2種類のプリント回路基板を用いて，放射量が信号配線のレイアウトに依存する測定結果を示す．次に，偏波特性や，放射モデル，その放射パターンに着目することで，基板からの放射が信号配線からの放射（ディファレンシャルモード放射，以降 DM 放射と記す）とグランドプレーンからの放射（コモンモード放射，以降 CM 放射と記す）に分離できることを示す．最後に，DM 放射量に対する CM 放射量の比率や DM 放射量に対する最大放射量の比率という新たな指標を導入し，測定結果と電磁界シミュレーション結果から，基板形状や信号配線レイアウトと電磁放射量との関係を数値化している．

### 3.2 同じ回路構成でレイアウトの異なるプリント回路基板の放射特性

信号配線のレイアウトが電磁放射量に与える影響を把握するため、回路構成が同じでレイアウトの異なる 2 種類のプリント回路基板を試作し、放射特性を評価した。図 3-2、図 3-3 に評価に用いた基板を示す。図 3-2 が基板 A、図 3-3 が基板 B である。どちらも 4 層基板で、層構成は上から信号—グランド—電源—信号とした。第 1 層の信号層には、水晶発振器、LSI (FPGA)、信号配線、負荷容量 (7 pF)、デカップリングキャパシタ (0.1  $\mu$ F)、初期化回路で回路を構成した。基板 B は、基板 A の左半分にある回路ブロックを時計回りに 90°回転させたものである。ともに 40 MHz の矩形波信号を水晶発振器から LSI へ出力し、20 MHz の矩形波信号を LSI から 16 個ある負荷容量に同時に出力する回路構成とした。初期化回路は LSI の動作モードを決める回路で、定常状態では動作しない。グランド層、電源層はともに基板全体を覆う導体プレーンとした。これらプレーンの共振による強い放射を抑えるため、水晶発振器の電源—グランド端子間には 2 個の 0.1  $\mu$ F キャパシタとフェライトビーズによる  $\pi$  形デカップリング回路を、LSI の電源—グランド端子間には 2 個の 0.1  $\mu$ F キャパシタと電源配線による  $\pi$  型デカップリング回路を施した。これらのデカップリング回路により、電源／グランドプレーンの共振による放射が十分抑えられていることは本論文の第 2 章やその他の文献[3.19]で確認している。また、第 4 層の信号層には、部品や高速配線を配置していない。ここで、後述の特性分析のため、基板長辺方向を x 軸、短辺方向を y 軸、厚み方向を z 軸と定義し、x-y 平面内の x 軸からの方位角を  $\varphi$ 、z 軸からの仰角を  $\theta$  と定義した。

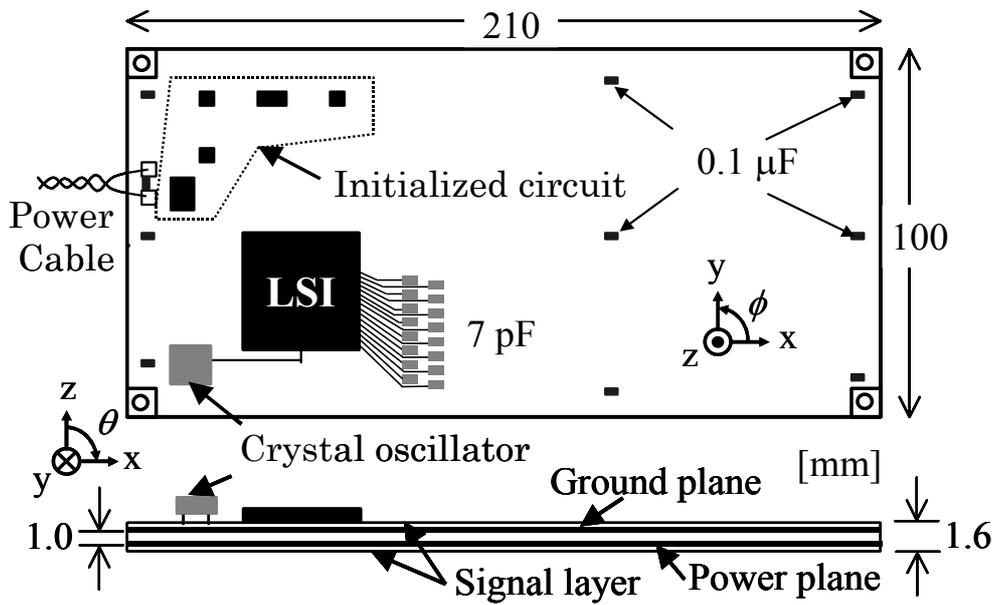


Fig. 3-2 Printed circuit board A

図 3-2 プリント回路基板 A

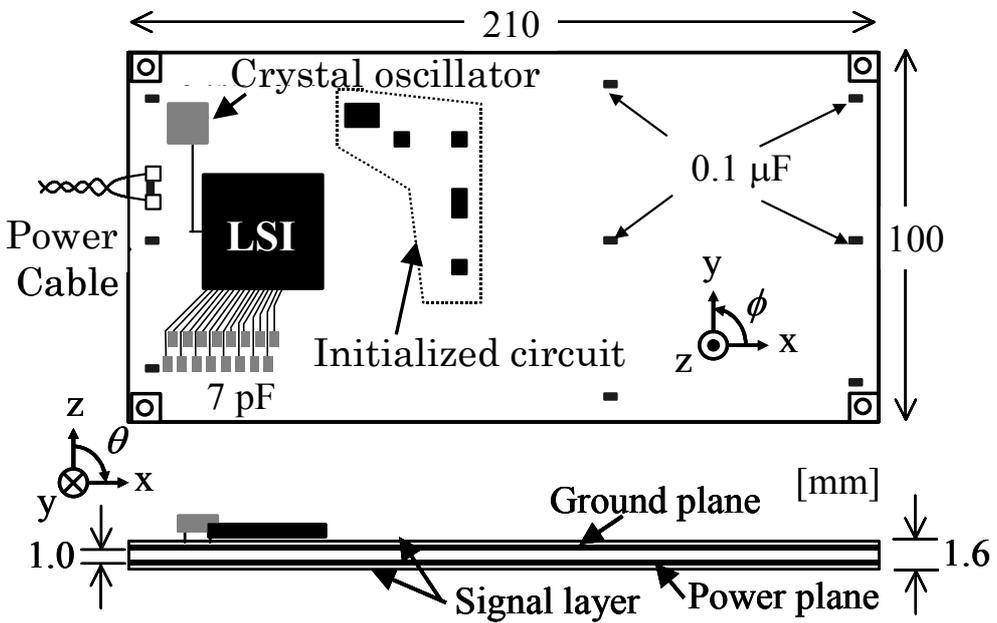


Fig. 3-3 Printed circuit board B

図 3-3 プリント回路基板 B

図 3-4, 図 3-5 に各基板の放射電界特性の測定結果を示す. 放射の現象解明に主眼を置いたため, これらは床面にも電波吸収体を敷き詰めた 6 面電波暗室にて測定した. 基板, アンテナとも高さを 1.5 m に固定し, 基板とアンテナの間隔を 3 m とした. 基板には 5 V 電源電圧を安定化電源から供給し, 基板から電源まで垂直に垂らした電源ケーブルには放射を抑えるため, 隙間無くフェライトコアをつけた. これらの測定結果は (1) 基板面を床面と平行に配置した場合 ( $x-y$  平面), (2) 基板長辺を床面と垂直に配置した場合 ( $y-z$  平面), (3) 基板短辺を床面と垂直に配置した場合 ( $z-x$  平面) について, それぞれ水平偏波特性, 垂直偏波特性を測定し, すべてを重ね合わせたものである. 300 MHz~800 MHz の範囲で基板 A の方が放射レベルは高い. 最も放射レベルの高い 520 MHz 成分では 8 dB の差がある. この結果から, 回路構成とグランドプレーンの大きさが同じでも, レイアウトによって放射レベルが変わることが確認できる.

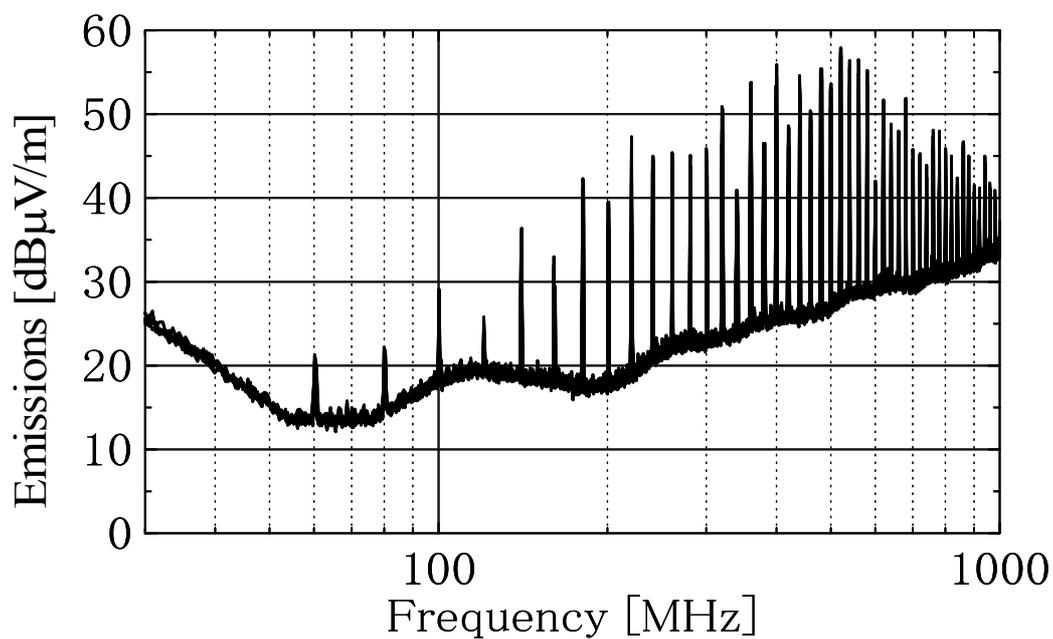


Fig. 3-4 Measured maximum emissions from board A.

図 3-4 基板 A の最大放射電界特性の測定結果

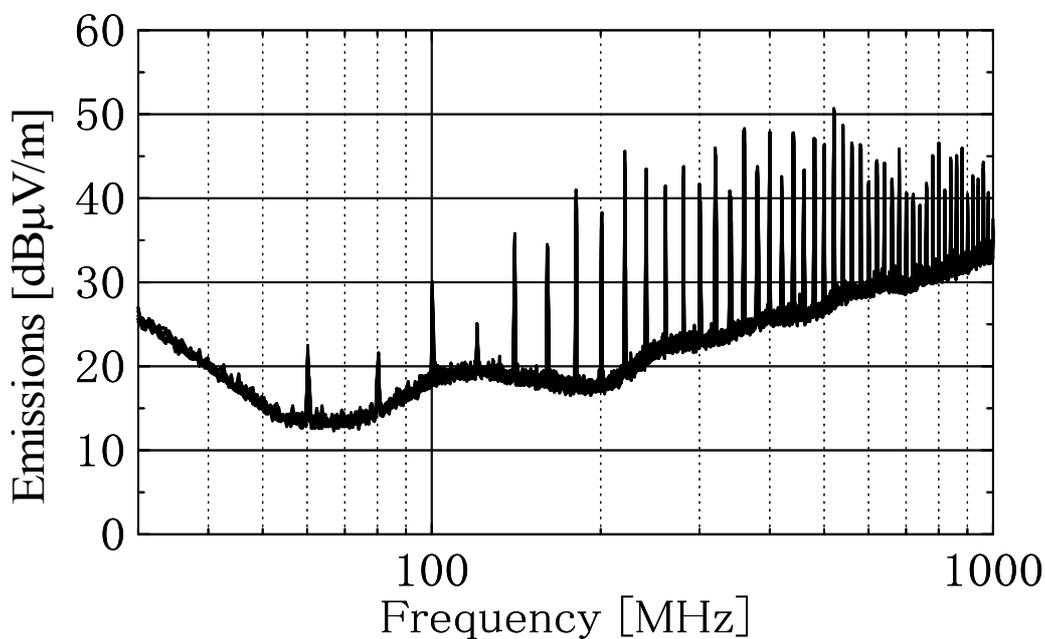
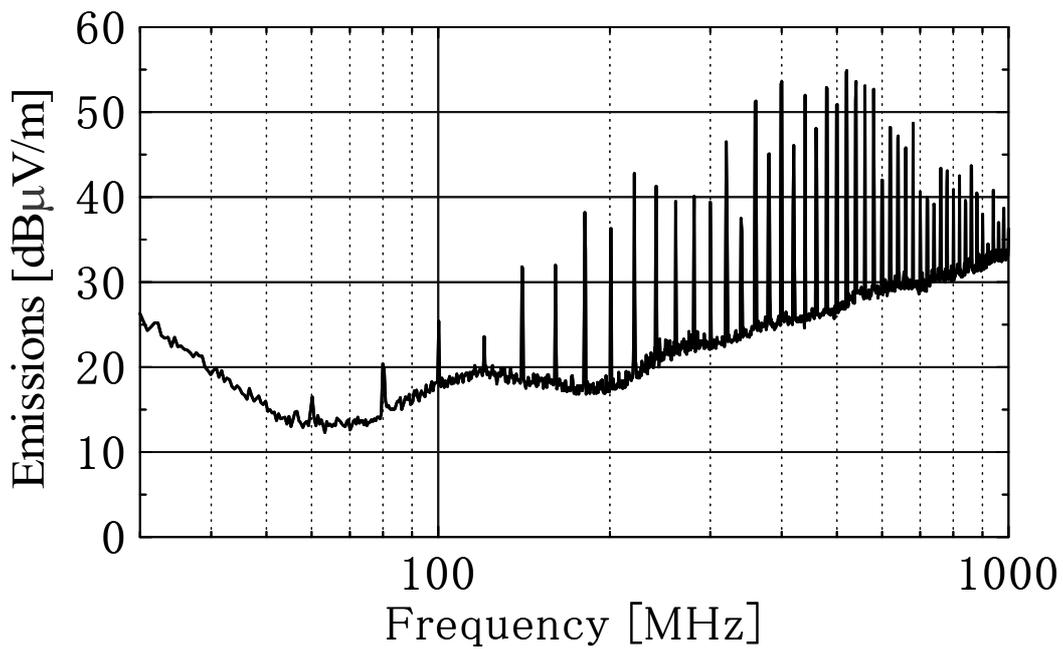


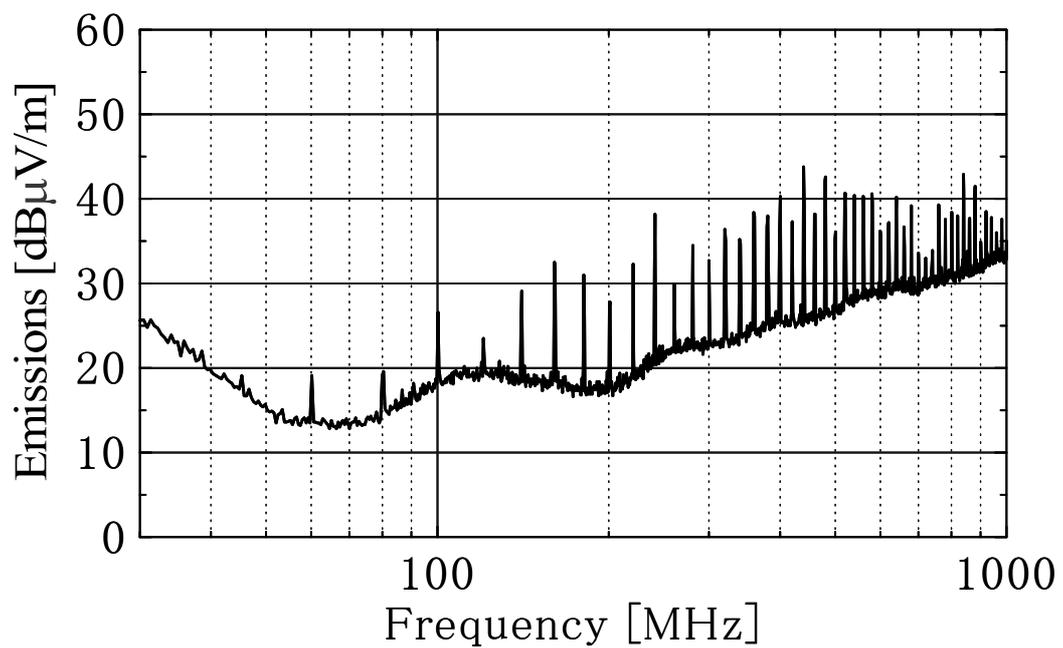
Fig. 3-5 Measured maximum emissions from board B.

図 3-5 基板 B の最大放射電界特性の測定結果

次に、この差が生じた原因を明らかにするために、3つの基板配置条件に対して、水平偏波、垂直偏波の各特性を調べた。全特性を分析した結果から、基板面を床面と平行に配置したとき（x-y平面）、基板A、基板Bで顕著な差があることを見出した。この配置での水平偏波特性、垂直偏波特性を図3-6、図3-7に示す。水平偏波では100 MHz～800 MHzの広い範囲で基板Aの方が放射レベルは高く、レベルが最も高い520 MHzでは15 dBもの差がある。これに対し、垂直偏波では基板Aと基板Bにほとんど差はない。このことから、この水平偏波特性がレイアウトと何らかの関係があると予想した。



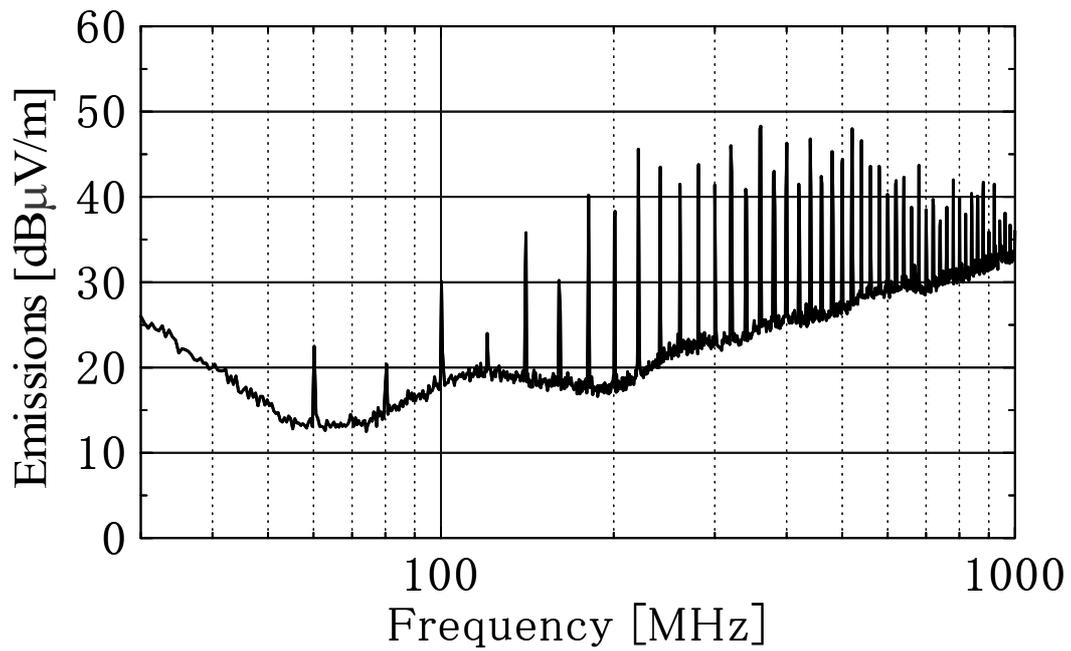
(a) Board A



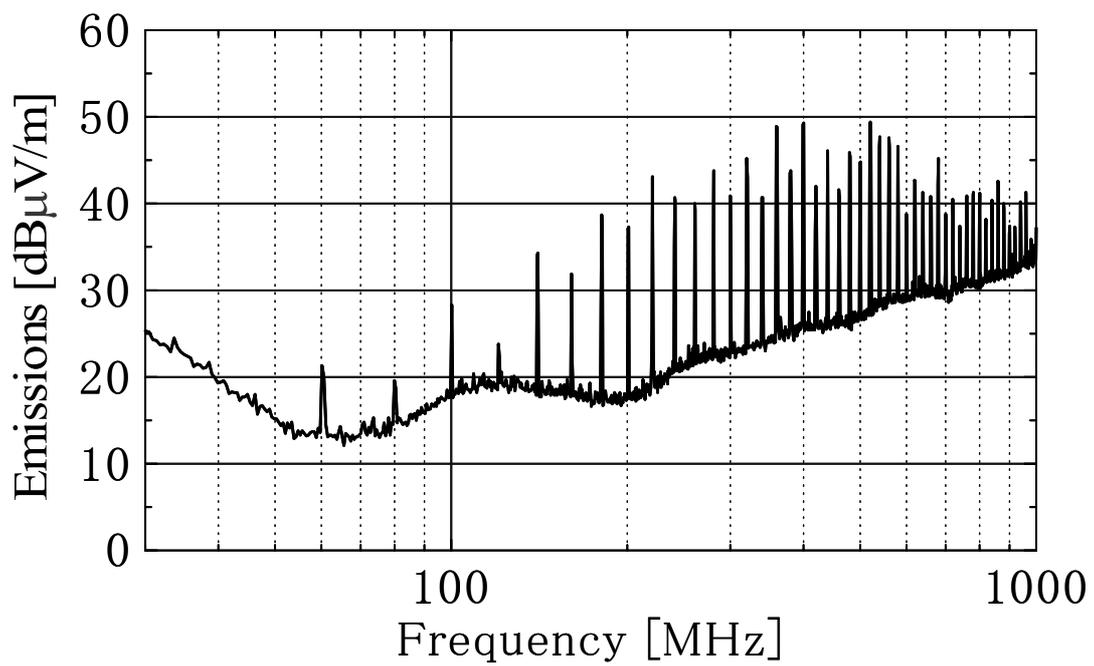
(b) Board B

Fig. 3-6 Measured horizontal field (the board surface is parallel to the floor surface).

図 3-6 水平偏波特性の測定結果（基板面を床面と平行に配置した場合）



(a) Board A



(b) Board B

Fig. 3-7 Measured vertical field (the board surface is parallel to the floor surface).

図 3-7 垂直偏波特性の測定結果（基板面を床面と平行に配置した場合）

### 3.3 放射パターンによる放射特性分析

さらに詳しく放射特性を調べるために、各基板の放射パターンを測定した。図 3-8, 図 3-9 に放射レベルの最も高い 520 MHz 成分の測定結果を示す。実線が水平偏波 ( $E_\phi$ ) 成分, 点線が垂直偏波 ( $E_\theta$ ) 成分である。先と同様, 基板面を床面と平行に配置したとき ( $x-y$  平面) の結果であり, 測定条件も同じである。基板 A では, 実線の水平偏波が  $\phi=90^\circ$  と  $270^\circ$ , 点線の垂直偏波が  $\phi=0^\circ$  と  $180^\circ$  にピークをもつ 8 の字パターンに近い特性となっている。加えて, 水平偏波の方が放射レベルは高い。これに対し, 基板 B では, 垂直偏波がおおよそ  $\phi=90^\circ$  と  $270^\circ$  にピークをもつ 8 の字パターンとなり, 加えて, 基板 A とは逆に, 垂直偏波の方が放射レベルは高い。

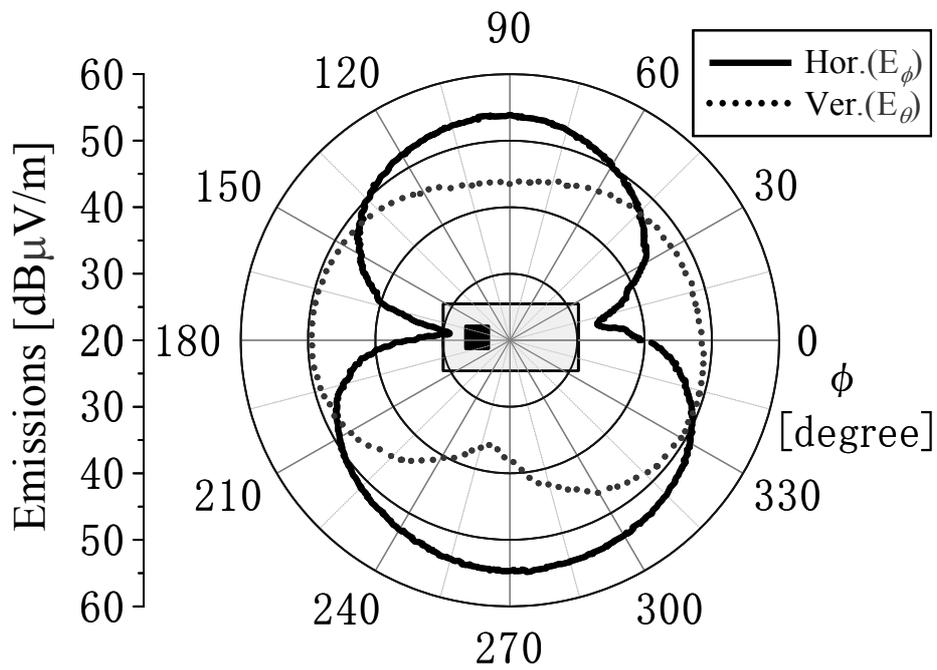


Fig. 3-8 Measured radiation patterns for Board A.

図 3-8 基板 A の放射パターン測定結果

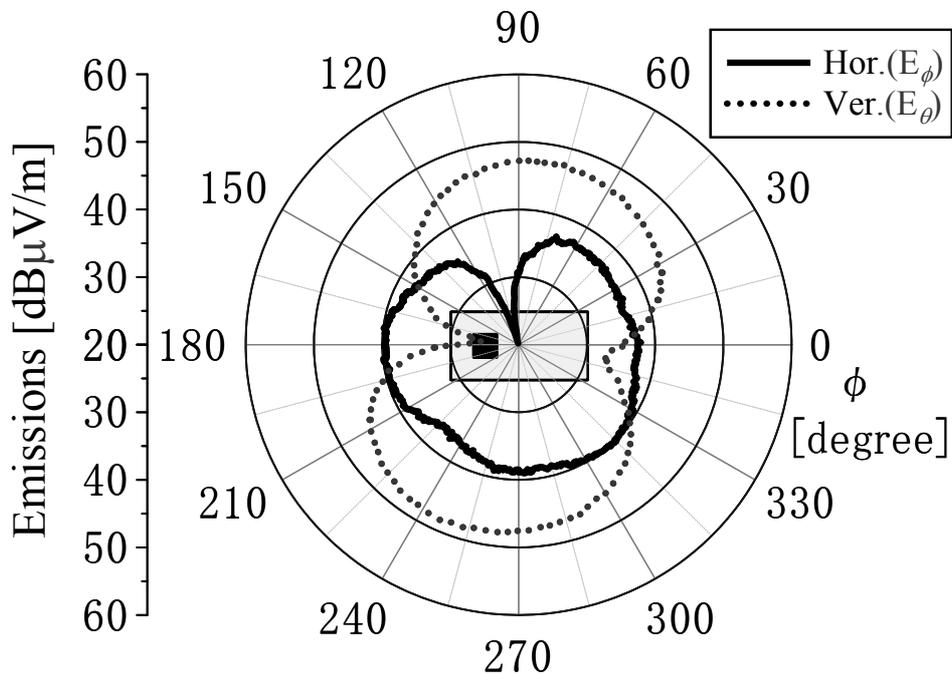


Fig. 3-9 Measured radiation patterns for Board B.

図 3-9 基板 B の放射パターン測定結果

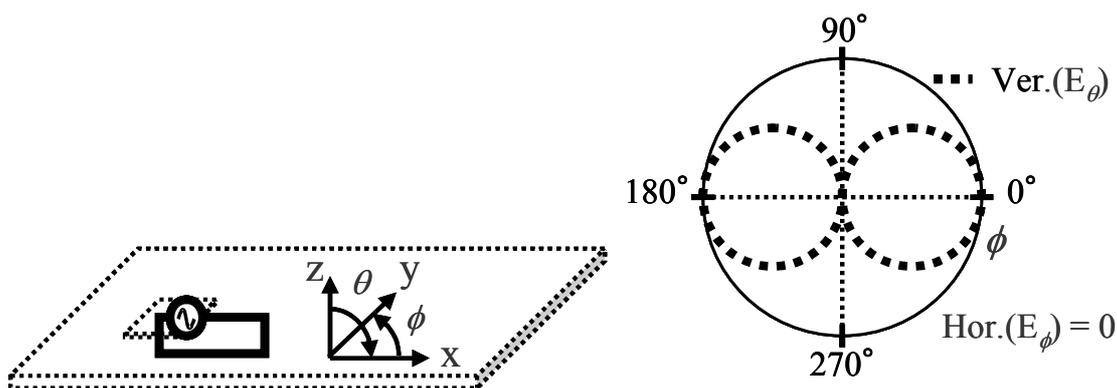
このような放射パターンになった理由を考察するために、図 3-10、図 3-11 のような放射モデルを考えた。図 3-10(a)、図 3-11(a)は水晶発振器と LSI の間、および LSI と負荷容量の間の信号配線が 520 MHz に対しては微小ループアンテナとして働くと考えたときの DM 放射モデルである。一方、図 3-10(c)、図 3-11(c)は信号配線によってグランドプレーンが励振され、グランドプレーンが半波長共振のダイポールアンテナとして働くと考えたときの CM 放射モデルである。また、このような放射モデルを想定した際に予想される支配的な放射パターンを各図(b), (d)に示した。

図 3-8, 3-9 の測定結果と図 3-10, 3-11 に示した放射パターンを比較することで、図 3-8, 3-9 が示す現象を考察する。基板面を床面と平行にした場合 ( $x-y$  平面)、基板 A の DM 放射モデルでは、図 3-10(b)に示すように、主偏波は垂直偏波 ( $E_\theta$ ) で、放射パターンは $\phi=0^\circ$ と  $180^\circ$ にピークをもつ 8 の字パターンとなる。また、この基板の CM 放射モデルでは、図 3-10(d)に示すように、主偏波は水平偏波 ( $E_\phi$ ) で、放射パターンは $\phi=90^\circ$ と  $270^\circ$ にピークをもつ 8 の字パターンとなる。これらは図 8 に示した測定結果と傾向がよく一致していることがわかる。垂直偏波よりも水平偏波のレベルが高いことから、基板 A では信号配線による DM 放射よりもグランドプレーンによる CM 放射の方が支配的なことがわかる。

一方、基板 B の DM 放射モデルでは、図 3-11(b)に示すように、主偏波は垂直偏波 ( $E_\theta$ ) で放射パターンは $\phi=90^\circ$ と  $270^\circ$ にピークをもつ 8 の字パターンとなり、CM 放射モデルでは、図 11(d)に示すように、主偏波は水平偏波 ( $E_\phi$ ) で放射パターンは $\phi=0^\circ$ と  $180^\circ$ にピークをもつ 8 の字パターンとなる。これらも測定結果と傾向がほぼ一致している。基板 A とは逆に、水平偏波よりも垂直偏波のレベルが高いことから、基板 B では CM 放射よりも DM 放射の方が支配的なことがわかる。

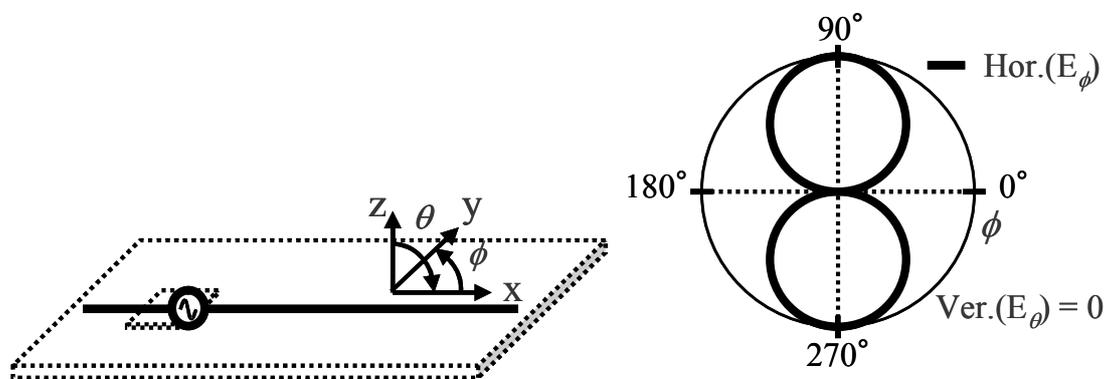
ここで、基板 A と基板 B の垂直偏波はともに DM 放射によると考えると、基板 A と基板 B では信号配線の向きが  $90^\circ$ ずれているため、8 の字のピークも  $90^\circ$ 傾いていること、また、回路構成が同じため、放射レベルのピーク値も両者でほぼ一致していることが容易に理解できる。また、300 MHz~800 MHz の他の周波数についても同様な評価をしたところ、同じ傾向を示したことから、基板 A では、この周波数範囲において CM が支配的であり、基板 B では、CM 放射よりも DM 放射が支配的であると結論づけられる。さらに、ここまでの評価を通

じ、基板面を床面と平行に配置した条件 ( $x-y$  平面) で放射特性を測定し、その水平偏波と垂直偏波とを比較することで、DM 放射が支配的なのか、それとも CM 放射が支配的なのか判断できることがわかる。



(a) Differential-mode (DM) radiation model

(b) Main radiation pattern due to DM radiation

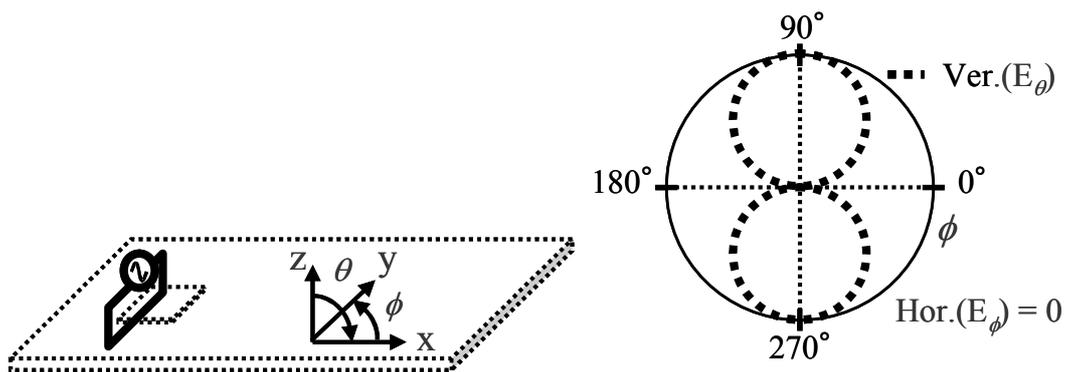


(c) Common-mode (CM) radiation model

(d) Main radiation pattern due to CM radiation

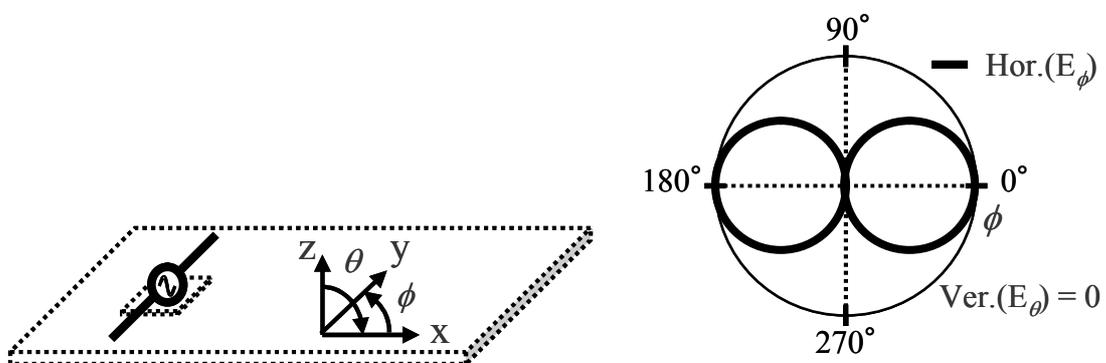
Fig. 3-10 Radiation model and the radiation patterns for Board A.

図 3-10 基板 A の放射モデルとその放射パターン



(a) Differential-mode (DM) radiation model

(b) Main radiation pattern due to DM radiation



(c) Common-mode (CM) radiation model

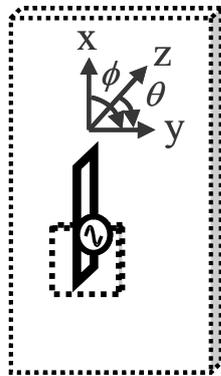
(d) Main radiation pattern due to CM radiation

Fig. 3-11 Radiation model and the radiation patterns for Board B.

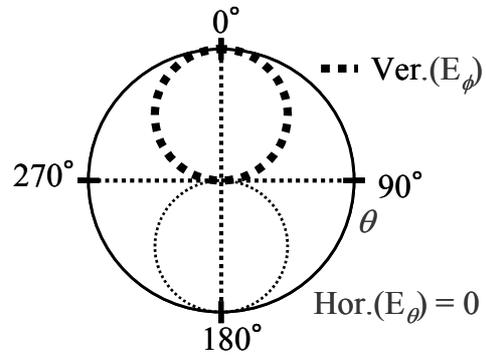
図 3-11 基板 B の放射モデルとその放射パターン

さらに、基板 A を例に挙げ、他の基板配置条件における放射パターンについても考察した。

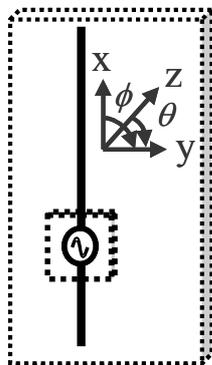
図 3-12 は基板長辺を床面と垂直に配置した場合 ( $y-z$  平面)、図 3-13 は基板短辺を床面と垂直に配置した場合 ( $z-x$  平面) の放射モデルとその放射パターンである。図 3-12 では、DM 放射も CM 放射もともに主偏波が垂直偏波 ( $E_\phi$ ) になる。ここで、DM 放射はグランドプレーンがあるため、それを境にして配線側の  $\theta=270^\circ\sim 0^\circ$ ,  $0^\circ\sim 90^\circ$  の範囲だけに放射することを想定している。このように考えると、この観測面では DM 放射と CM 放射が合成され、 $\theta=0^\circ$  で最大値を示すことが予想できる。一方、図 3-13 では、DM 放射も CM 放射もともに主偏波が水平偏波 ( $E_\theta$ ) になる。ここで、先と同じく、DM 放射は主に配線側の  $\theta=270^\circ\sim 0^\circ$ ,  $0^\circ\sim 90^\circ$  の範囲だけに放射すると想定した。このように考えると、この観測面では DM 放射と CM 放射が水平偏波で合成され、先と同じく  $\theta=0^\circ$  で最大値を示すことが予想できる。



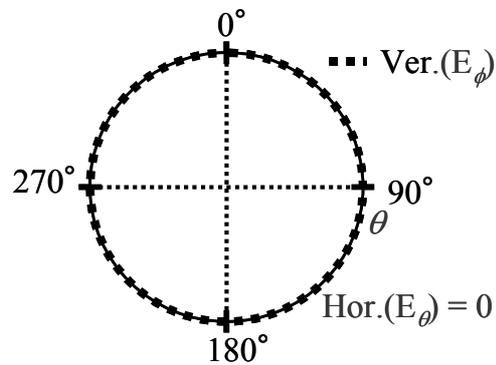
(a) Differential-mode (DM) radiation model



(b) Main radiation pattern due to DM radiation



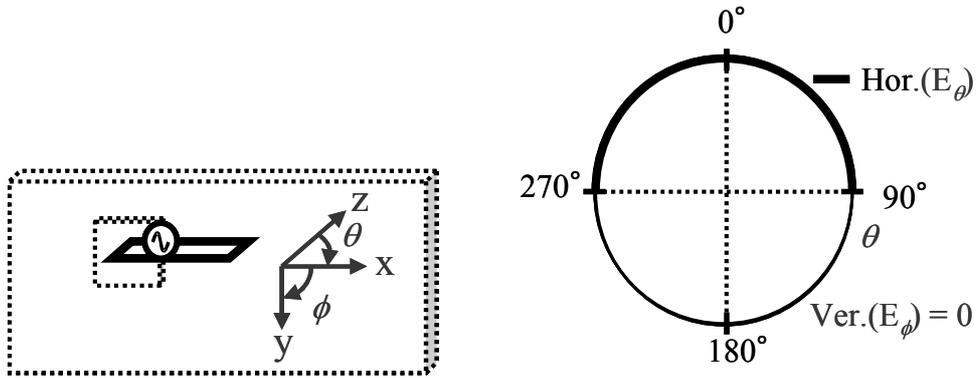
(c) Common-mode (CM) radiation model



(d) Main radiation pattern due to CM radiation

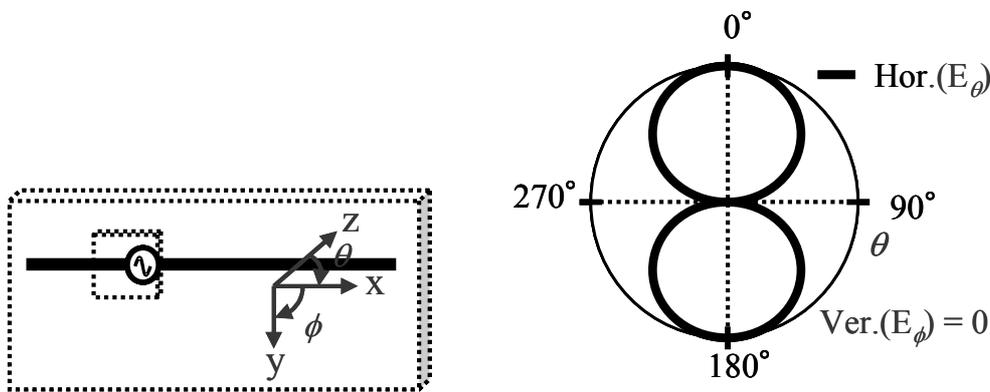
Fig. 3-12 Radiation model and the radiation pattern (the board long side is perpendicular to the floor surface).

図 3-12 基板長辺を床面に垂直にした際の放射モデルとその放射パターン



(a) Differential-mode (DM) radiation model

(b) Main radiation pattern due to DM radiation



(c) Common-mode (CM) radiation model

(d) Main radiation pattern due to CM model

Fig. 3-13 Radiation model and the radiation pattern (the board short side is perpendicular to the floor surface).

図 3-13 基板短辺を床面に垂直にした際の放射モデルとその放射パターン

図 3-14, 図 3-15 は各観測面における測定結果である. 想定した放射モデルで考察した通り, 基板長辺を床面と垂直に配置した場合 ( $y-z$  平面) では, 垂直偏波が支配的であると同時に  $\theta=0^\circ$  で最大値を示している. 一方, 基板短辺を床面と垂直に配置した場合 ( $z-x$  平面) では, 水平偏波が支配的であると同時に  $\theta=0^\circ$  で最大値を示している. これらの結果から, この 2 つの観測面では DM 放射と CM 放射が合成された最大放射量を示すことがわかる.

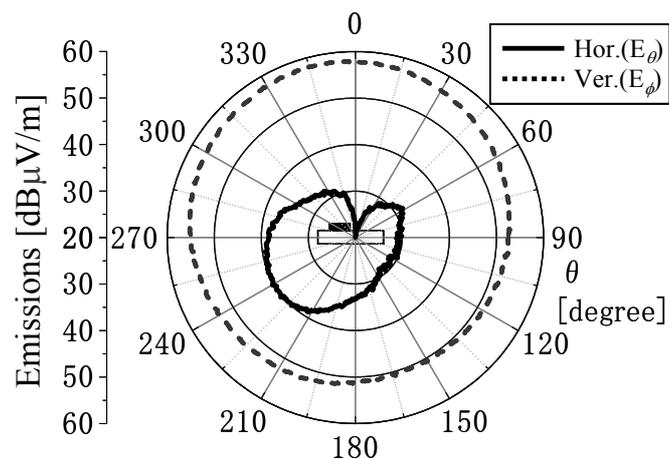


Fig. 3-14 Measured radiation patterns (the board long side is perpendicular to the floor surface).

図 3-14 基板長辺を床面と垂直に配置した際の放射パターン測定結果

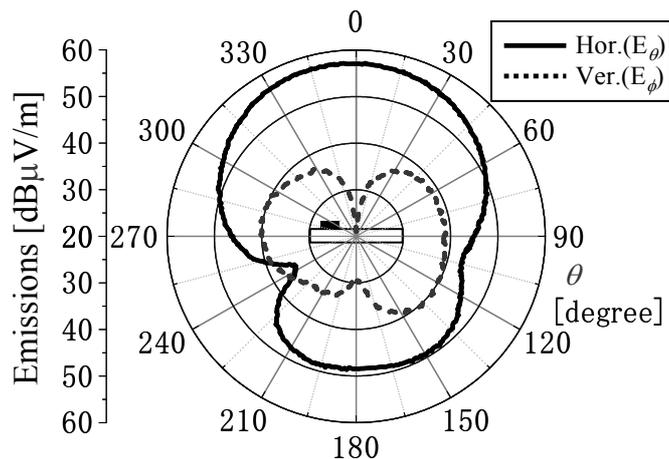


Fig. 3-15 Measured radiation patterns (the board short side is perpendicular to the floor surface).

図 3-15 基板短辺を床面と垂直に配置した際の放射パターン測定結果

### 3.4 電磁界シミュレーションによる放射パターンの算出

これまでに示した測定結果の妥当性を確認するため、FDTD (Finite Difference Time Domain) 電磁界シミュレーションによって基板 A の放射パターンを算出した。図 3-16 にシミュレーションモデルを示す。本モデルは信号配線による DM 放射モデルとグランドプレーンによる CM 放射モデルを組み合わせたものである。LSI のチップ部分を 1V の電圧源、LSI のリードフレームと信号配線を完全導体棒、負荷容量をその損失として  $1\Omega$  の抵抗、グランドプレーンを厚さ無限小の完全導体板でモデル化した。また、評価基板では 16 本の信号配線があるが、本モデルでは中央に位置する 1 本の配線だけをモデル化した。また、ガラスエポキシ樹脂の基板材は十分薄いので無視し、電源プレーンは CM 放射ではグランドプレーンと同じように働くと考え、無視した。また、解析空間をすべて  $\Delta x = \Delta y = 5\text{ mm}$ ,  $\Delta z = 2\text{ mm}$  のセルで分割し、 $310\text{ mm} \times 200\text{ mm} \times 100\text{ mm}$  の空間に  $62 \times 40 \times 50$  のセルを設けた。吸収境界条件としては 10セルの PML (Perfect Matched Layer) を用いた。ソースとしてはガウシアンパルスを用い、ステップタイム  $5.803\text{ ps}$ , トータル計算時間を  $50\text{ ns}$  とした。

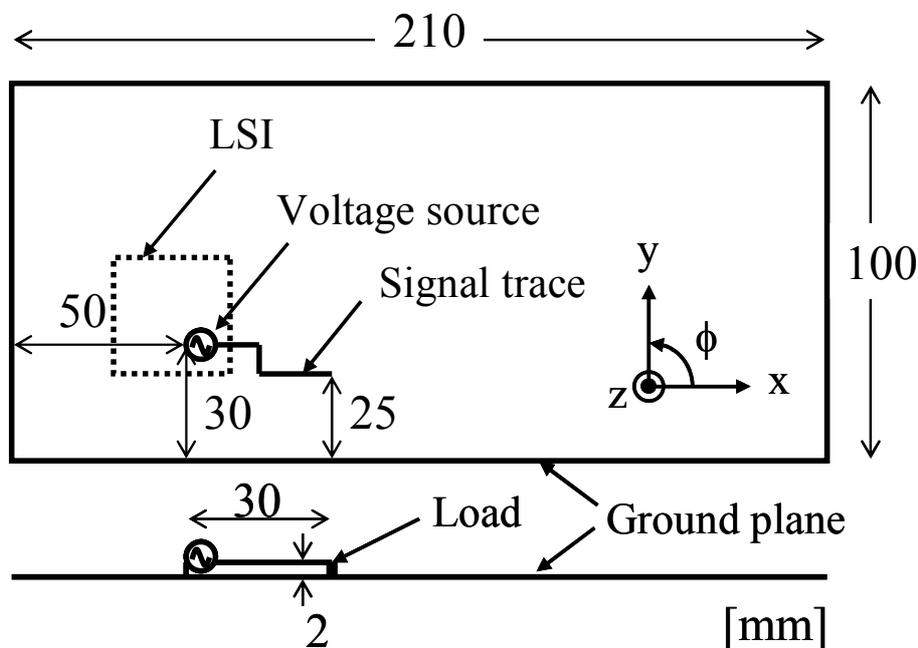


Fig. 3-16 Electromagnetic simulation model for board A.

図 3-16 基板 A に対する電磁界シミュレーションモデル

図 3-17～3-19 に放射パターンの計算結果を示す。放射レベルの最も高い 520 MHz 成分の結果である。計算結果の縦軸は測定結果とは異なり、等方性アンテナの放射利得を基準とした絶対利得[dBi]で示した。DM 放射を示す図 3-17 の垂直偏波 ( $E_\theta$ )、CM 放射を示す図 3-17 の水平偏波 ( $E_\phi$ )、DM 放射と CM 放射の合成である図 3-18 の垂直偏波 ( $E_\theta$ ) と図 3-19 の水平偏波 ( $E_\phi$ )、それぞれが図 3-8, 3-14, 3-15 の測定結果と傾向がよく一致しており、本シミュレーションモデルが本評価基板の放射パターンをよく表現できていることがわかる。これらの結果から測定結果の妥当性が確認できる。

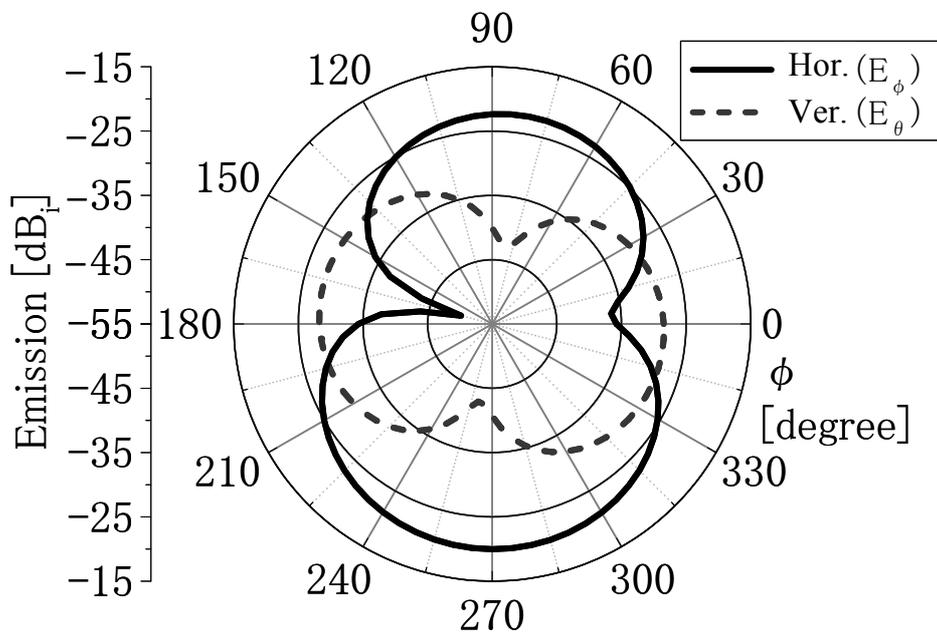


Fig. 3-17 Calculated radiation patterns (the board surface is parallel to the floor surface)

図 3-17 基板面を床面と平行に配置した際の放射パターン計算結果

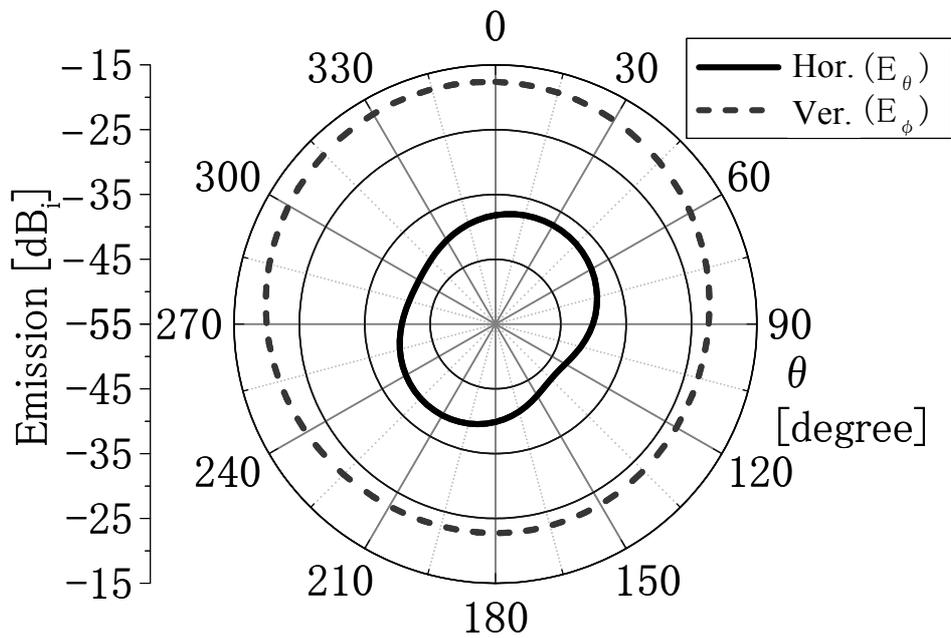


Fig. 3-18 Calculated radiation patterns (the board long side is perpendicular to the floor surface)

図 3-18 基板長辺を床面と垂直に配置した際の放射パターン計算結果

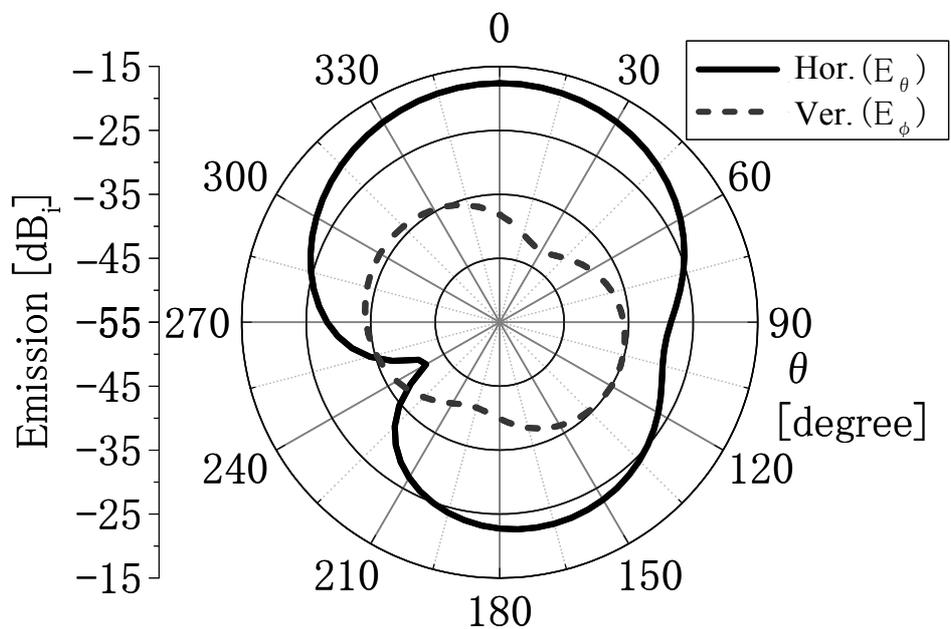


Fig. 3-19 Calculated radiation patterns (the board short side is perpendicular to the floor surface)

図 3-19 基板短辺を床面と垂直に配置した場合の放射パターン計算結果

### 3.5 『DM 放射を基準とした CM 放射量および最大放射量』の指標提案

今までの議論から電磁放射の偏波特性に着目することで、DM 放射、CM 放射、両者の合成である最大放射が分離できることを導き出した。そこで、DM 放射量のピーク値を基準とし、それに対する CM 放射量のピーク値や最大放射量のピーク値との比率をとることで、信号配線レイアウトが CM 放射や最大放射に対してどの程度インパクトを与えているかを数値化できると考えた。これを具現化するために、偏波特性の測定結果と電磁界シミュレーションによる計算結果によって、CM 放射/DM 放射、最大放射/DM 放射を数値化した。測定結果からは 30 MHz~1 GHz の範囲、電磁界シミュレーション結果からは 200 MHz~1 GHz の範囲でこれらの比率を求めた。

基板 A に対して、図 3-20 は DM 放射量のピーク値に対する CM 放射量のピーク値の比率 (CM/DM)、図 3-21 は DM 放射量のピーク値に対する基板長辺を床面と垂直に配置した場合の最大放射量のピーク値の比率 (MAX1/DM)、図 3-22 は DM 放射量のピーク値に対する基板短辺を床面と垂直に配置した場合の最大放射量のピーク値の比率 (MAX2/DM) をそれぞれ求めた結果である。■は放射特性の測定結果から求めた値、実線は電磁界シミュレーション結果から求めた値である。CM/DM では 300 MHz 以下や 340 MHz と 600 MHz で大きな差はあるものの、300 MHz~700 MHz の広帯域でエンベロープがよく一致している。この結果から、本基板では少なくともこの周波数範囲で CM 放射が DM 放射よりも大きいこと、CM 放射のピークは 540 MHz 付近にあること、このピークで CM 放射量が DM 放射量に比べ約 8 dB 高いことがわかる。また、MAX1/DM および MAX2/DM でも 340 MHz、600 MHz で大きな差はあるが、広帯域でエンベロープがよく一致している。CM 放射と同じく 540 MHz 付近にピークをもち、その周波数で最大放射量は DM 放射単体に比べて約 11 dB 高いことがわかる。

以上のように、DM 放射量に対する CM 放射量の比率や DM 放射量に対する最大放射量の比率を数値化することで、CM 放射がピークを示す周波数や DM 放射に比べ CM 放射がどの程度支配的なのか定量的に判断できることがわかる。この CM/DM 特性や最大/DM 特性を用いれば、同じ長さの信号配線に対して、信号配線の位置や向きに依存する CM 放射の変化量を定量的に評価することができる。また、グランドプレーンの大きさが変わった場合の CM 放射の変化量を定量的に評価することもできる。したがって、基板レイアウトと放射特性の

関係を定量的に評価する指標としてこれらの特性を用いることで、CM 放射および最大放射を抑えるための基板設計指針が作成できるようになる。

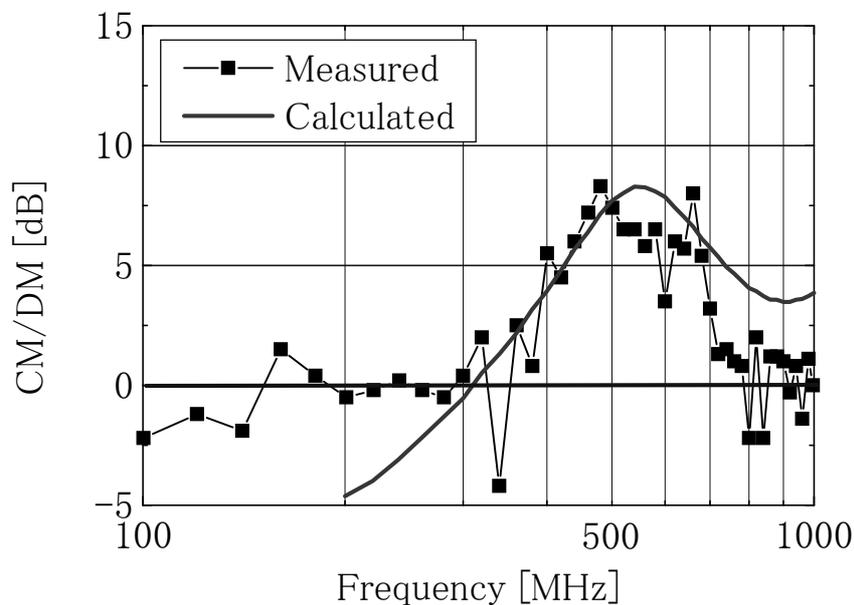


Fig. 3-20 Frequency properties for CM/DM.

図 3-20 DM 放射に対する CM 放射量の周波数特性

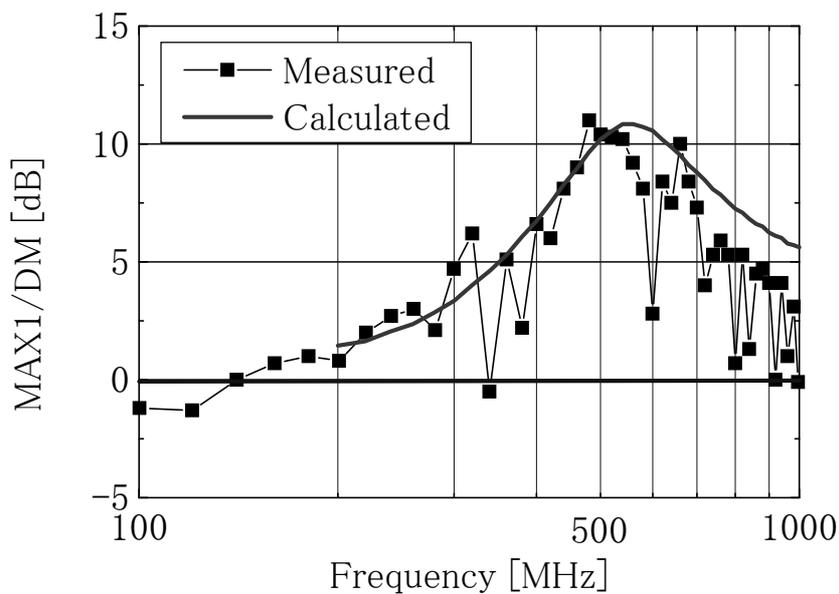


Fig. 3-21 Frequency properties of MAX1/DM.

図 3-21 DM 放射に対する最大放射量の周波数特性（基板長辺が床面と垂直）

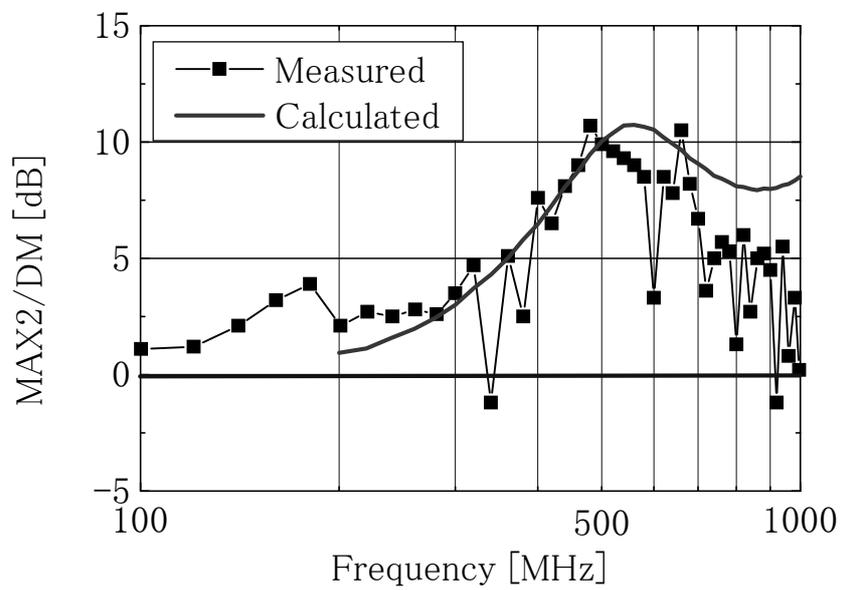


Fig. 3-22 Frequency properties of MAX2/DM.

図 3-22 DM 放射に対する最大放射量の周波数特性 (基板短辺が床面と垂直)

このような考え方の妥当性を確認するために、回路構成が同じで基板サイズの異なる基板において DM 放射量に対する CM 放射量を求めた。図 3-23～3-26 に測定やシミュレーションによって求めた結果を示す。基板サイズは、基板 C で 300 mm×100 mm、基板 D で 300 mm×200 mm である。また、図 3-24、図 3-26 に示した CM/DM 特性は基板 A と同じ方法で求めた。

基板 C では、測定と計算で多少の開きがあるものの傾向はよく一致している。基板 A と比べるとピークを示す周波数が 400 MHz と低くなっていること、また、ピークを示す周波数で CM/DM が 11～13 dB と高くなっている。これは基板が細長くなることで、CM 放射がより支配的になっていることを意味している。

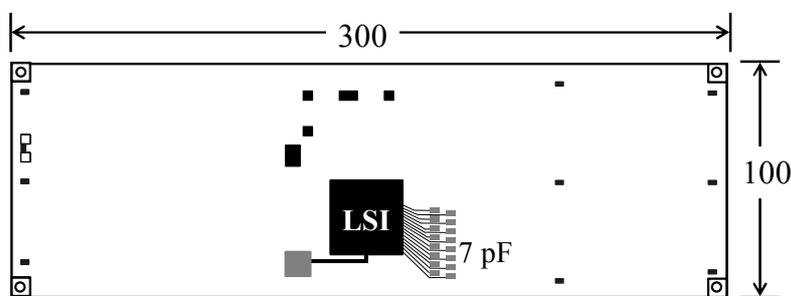


Fig. 3-23 Printed circuit board C.

図 3-23 基板 C

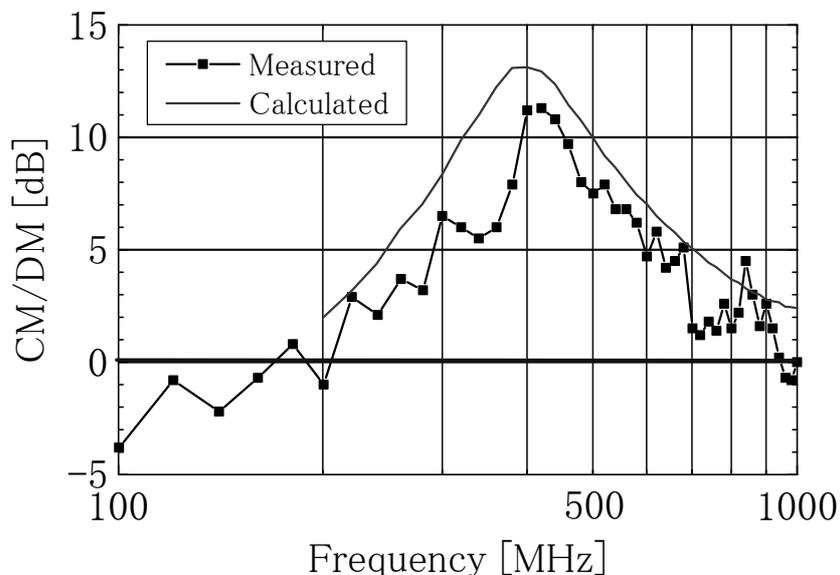


Fig. 3-24 Frequency properties of CM/DM for board C.

図 3-24 基板 C における DM 放射に対する CM 放射量の周波数特性

基板 D ではグラウンドプレーンがさらに大きくなることによって共振周波数が約 380 MHz とさらに低くなっていること、基板 C に比べグラウンドプレーンの幅が広がるため、CM 放射の比率が約 10 dB と低くなっていることがわかる。

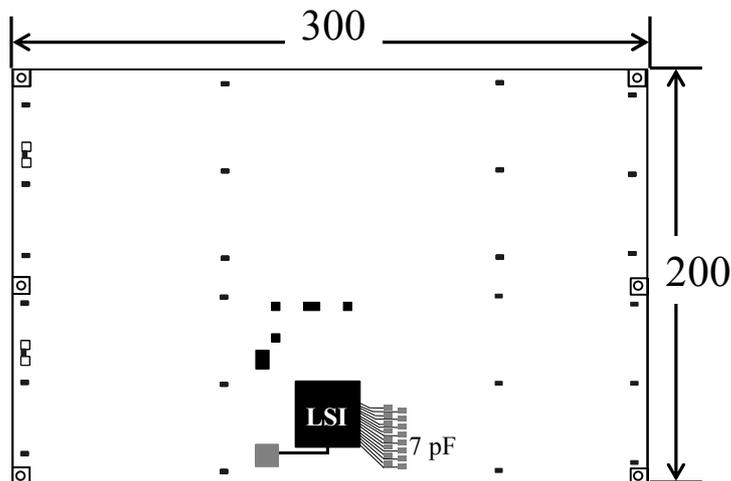


Fig 3-25 Printed circuit board D.

図 3-25 基板 D

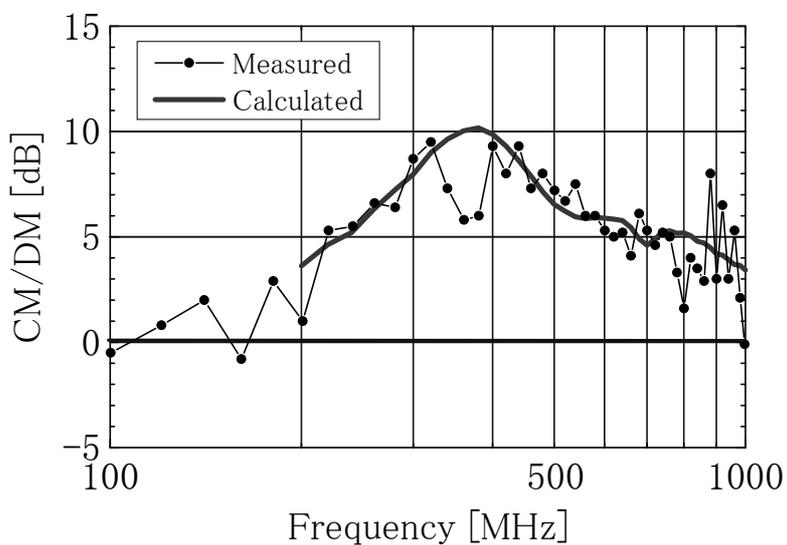


Fig. 3-26 Frequency properties of CM/DM for board D.

図 3-26 基板 D における DM 放射に対する CM 放射量の周波数特性

以上の例から、この指標を用いることで基板からの放射を決める CM 放射やそれにとまなう最大放射の影響を定量的に判断できることが確認できる。

本検討では、CM/DM において、測定結果から求めた値がシミュレーション結果から求めた値と所々で差異が見受けられる。例えば、図 3-20 の基板 A では 300 MHz 以下や 340 MHz, 600 MHz の成分、図 3-24 の基板 C では全体的に、図 3-26 の基板 D では 340~380 MHz の成分である。この原因としては、水晶発振器と LSI 間のクロック配線や 16 本ある LSI と容量負荷間の信号配線を 1 本の単純な信号配線でモデル化し、電磁界シミュレータにてこれらの指標を求めたためと考えるが明確にはなっていない。今後、CM/DM や MAX/DM の数値精度を高めるには、測定とシミュレーションの両方の精度を高め、これらの差異の原因を明らかにすることが必要と考える。

### 3.6 設計指針

本研究によって導き出された設計指針は以下の通りである。

- ① ノイズ源となる信号配線が基板短辺方向に配線されるように部品配置を設計する。
- ② 基板外形は極端に細長くならないように設計する。

### 3.7 むすび

本研究では、プリント回路基板からの不要電磁放射の信号配線レイアウト依存性について検討した。まず、回路構成や部品が同じでも信号配線のレイアウトによって基板からの電磁放射量が変わる実験結果を示し、この原因が基板のグランドプレーンがダイポールアンテナとして働くコモンモード放射によることを示した。次に、偏波特性や放射モデル、その放射パターンに着目することで、基板からの放射が信号配線からの放射（ディファレンシャルモード放射）とグランドプレーンからの放射（コモンモード放射）に分離できること、さらに、ディファレンシャルモード放射量に対するコモンモード放射量の比率やディファレンシャルモード放射量に対する最大放射量の比率という新たな指標を導入することで、基板形状や信号配線レイアウトと電磁放射量との関係を数値化できることを示した。

ここで導入した指標を用いることで、たとえば、グランドプレーンが一定の場合に配線位置と CM 放射の影響を数値化できる。また、グランドプレーンの形状によって CM 放射が支配的か否か、それが DM 放射に比べどの程度大きくなるか、定量的に判断できる。また、DM 放射量を算出することが CM 放射を算出するよりも容易であるため、これらの指標を事前に用意しておくことで信号配線からの DM 放射量から CM 放射量や最大放射量を推定することも可能となる。今後、この指標を利用することによって CM 放射を抑えたプリント回路基板設計が容易になることを期待する。本研究成果は、現在、市販の EMI 抑制支援ツール（NEC 情報システムズ社の DEMITASNX™ や EMI Stream™）に採用され、広く世界で利用されている。

第 2 章と本章の研究により、プリント回路基板からの電磁放射の 3 つの支配的な発生メカニズムのうち、2 つについて効果的な放射低減手法を明らかにした。残る一つは信号配線自身から放射されるディファレンシャルモード放射である。これに関しては既に多くの研究がなされ、ループアンテナとして働く信号配線のループ面積を小さくすることと信号配線を流れる電流を少なくすることが効果的な放射低減手法であることが知られている。例えば、信号配線の真下のグランドプレーンにスリットがある場合、電磁放射が強くなることが知られているが、これもループ面積を小さくするとの考え方で放射を低減できる [3.20].

## 参考文献

- [3.1] 桜井秋久, “EMI を考慮したプリント配線板設計技術,” サークットテクノロジー, Vol.9, No.4, pp.239-242, 1994.
- [3.2] 小川啓介, 木戸康博, 小暮裕明, 中野英樹, 越地耕二, 周英明, “マイクロストリップ線路ストリップ導体オフセットの電磁放射への影響,” 信学技報, EMCJ97-77, pp. 23-29, 1997.
- [3.3] B. Archambeault, “Modeling of EMI Emissions from Microstrip Structures with Imperfect Reference Planes”, IEEE International Symposium on Electromagnetic Compatibility, Austin, pp. 456-461, 1997.
- [3.4] 伊神真一, “基板端に置かれた高速信号配線からの EMI 放射についての電気および磁気ダイポール・モーメントによる放射成分分解による解析,” 信学技報, EMCJ99-19, pp.13-19, 1999.
- [3.5] M. Leone, “Design expressions for the trace-to-edge common-mode inductance of a printed circuit board,” IEEE Trans. Electromagn. Compat., vol. 43, no. 4, pp. 667-671, Nov. 2001.
- [3.6] R. W. Docky, “Asymmetrical mode radiation from multi-layer printed circuit boards,” in Proc. 1992 EMC/ESD Int. Symp., Denver, pp. 247-251, 1992.
- [3.7] 岡尚人, 宮崎千春, 内田雄, 仁田周一, “プリント基板からの放射エミッション抑制効果に対するグラウンド導体幅の依存性,” 電子情報通信学会誌 (B), vol. J82-B, no. 8, pp. 1586-1595, 1999.
- [3.8] 渡辺哲史, 和田修己, 古賀隆治, “グラウンド幅が変化するマイクロストリップ線路に生じるコモンモード電流の予測,” 信学総大, SB-2-3, 1999.
- [3.9] R. W. Docky and R. F. German, “New techniques for reducing printed circuit board common-mode radiation,” in Proc. 1993 IEEE Int. Symp. Electromagn. Compat., vol. 38, no. 3, pp. 334-339, Nov. 1993.
- [3.10] D. M. Hockanson, J. L. Drewniak, T. H. Hubing, T. P. Van Doren, F. Sha, C. Lam, and L. Rubin, “Quantifying EMI resulting from finite-impedance reference planes,” IEEE Trans. Electromagn. Compat., vol. 39, no. 4, pp. 286-297, Nov. 1997.
- [3.11] D. M. Hockanson, J. L. Drewniak, T. H. Hubing, T. P. Van Doren, F. Sha, and M. J. Wilhelm ”Investigation of fundamental EMI source mechanisms driving common-mode radiation from printed circuit boards with attached cables,” IEEE

- Trans. Electromagn. Compat., vol. 38, no. 4, pp. 557-566, Nov. 1996.
- [3.12] 佐々木英樹, 原田高志, 栗山敏秀, “コモンモード放射解析のための LSI のモデル化,” 信学技報, EMCJ99-134, pp. 25-30, 2000.
- [3.13] 佐々木英樹, 原田高志, 栗山敏秀, “コモンモード放射の基板レイアウト依存性,” 信学技報, EMCJ2000-207, pp. 63-68, 2000.
- [3.14] 佐々木英樹, 原田高志, 栗山敏秀, “コモンモード放射を抑えるプリント基板設計方法,” 2001 信学総大, B-4-2, 2001.
- [3.15] 佐々木英樹, 原田高志, 栗山敏秀, “プリント回路基板における配線からのディファレンシャルモード放射とグランドプレーンからのコモンモード放射の関係,” 2001 信学ソ大, B-4-41, 2001.
- [3.16] H. Sasaki, T. Harada and T. Kuriyama, “Layout dependence of radiated emissions from printed circuit boards,” Proc. 2001 Int. Conf. on Electronics Packaging, pp.513-518, 2001.
- [3.17] H. Sasaki, T. Harada and T. Kuriyama, “The relationship between common-mode radiation from the ground plane and differential-mode radiation from signal traces on the ground plane,” Proc. 2002 IEEE Int. Symp. Electromagn. Compat., pp. 195-199, April 2002.
- [3.18] 佐々木英樹, 原田高志, 栗山敏秀, “プリント回路基板からの不要電磁放射の信号配線レイアウト依存性”, 電子情報通信学会論文誌 (B), Vol. J90-B, No.11, pp. 1124-1134, 2007 年 11 月.
- [3.19] 佐々木英樹, 原田高志, 栗山敏秀, 佐藤高史, 益一哉, “2つのキャパシタと 1本の電源配線で構成した電磁放射低減電源デカップリング回路の QFP パッケージ LSI への適用”, 電子情報通信学会誌 (B), Vol. J92-B, No.5, 2009 年 5 月掲載予定.
- [3.20] Y. Ko, et al., “Electromagnetic Radiation properties of printed circuit board with a slot in the ground Plane,” 1999 IEEE Intern. Symp. Electromagn. Compat., pp. 576-579, May 1999.

## 第4章 RF/デジタル混載パッケージの電磁干渉低減設計技術

本研究では、電磁干渉のないミックスドシグナル SOP (System-On-Package) を実現するために、RF 回路とデジタル回路を混載したパッケージにおけるノイズ干渉メカニズムについて検討した。SOP とは、デジタル、アナログ、RF、オプト、MEMS (Micro Electro Mechanical Systems)などの異種デバイスを一つのパッケージ内に組み込むことで今後の複雑化するシステムをワンパッケージで実現するというコンセプトであり、携帯電話やデジタルカメラなどで広く採用されている、メモリーチップとロジックチップをワンパッケージで実現したシステムインパッケージ (SiP) を包含するものである。本検討では、デジタル回路と、受動素子を基板に内蔵した RF 回路を混載したテスト基板を用いて、デジタル回路のレイアウトを変えた際の RF 回路に与える影響を評価し、2つのノイズ干渉メカニズムを抽出している。更に、受動素子を内蔵する RF/デジタル混載パッケージに対する電磁干渉低減設計指針を導いている。

### 4.1 まえがき

最新のエレクトロニクス製品の多くは、デジタル回路だけでなく、アナログ回路や RF 回路を含むミックスドシグナルのシステムである。その典型的な例は、携帯電話や無線通信機能のついたパーソナルコンピュータであり、CPU やメモリなどのデジタル部、音声系や電源系などのアナログ部、通信系の RF 部によって構成されている。このような製品が今後も新しい機能を追加しつつ進化していくためには、各部品がより小さく、薄く、軽くなると同時に、組み合わせたものが電氣的、機械的、熱的に最適化されたシステムパッケージでなくてはならない。そのようなパッケージを目指しているものが SOP (System-On-Package) である[4.1]。SOP は、大まかには、デジタル、アナログ、RF、オプト、MEMS (Micro Electro Mechanical Systems)、バイオなどの異種デバイスを一つのパッケージ内に組み込むことで今後の複雑化するシステムをワンパッケージで実現するというコンセプトであり、現状、メモリーチップとロジックチップで構成されているシステムインパッケージ (SiP) も取り込んだ大きな概念である。

SOP はデジタルだけでなく、ミックスドシグナルのシステムするとき、その特長

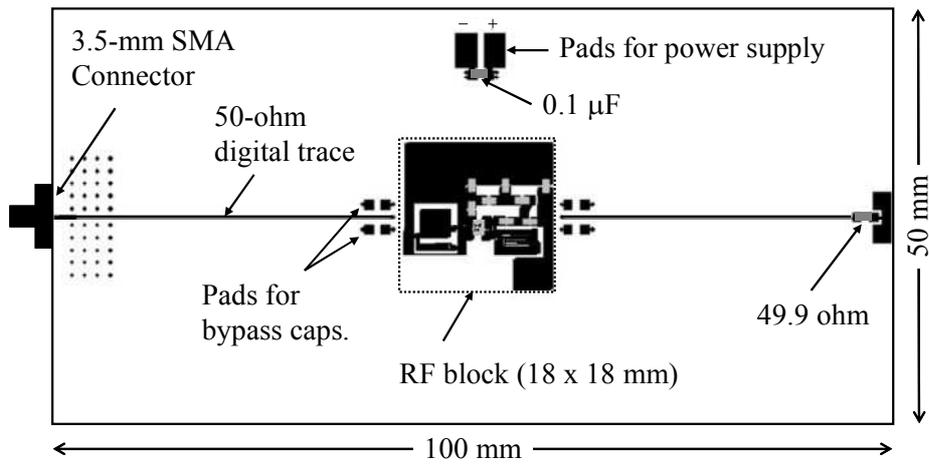
が活かされる。しかしながら、これを実現する際、いくつかの電気設計上の課題を解決しなければならない。その一つがデジタル回路とアナログ回路間、もしくはデジタル回路と RF 回路間のノイズ干渉 (Electromagnetic Interference : EMI) 問題である[4.2]~[4.5]。例えば、携帯電話に搭載されている、CPU とメモリを積層した SiP のように、デジタルチップと RF チップを積層すると、デジタル信号やスイッチングノイズによって RF 特性が劣化する可能性は高い。これは、従来のようにデジタル回路と RF 回路を一平面内に離して配置する場合に比べ、積み上げた方向に両者が格段に接近するためである。

本研究の目的は、デジタル回路と RF 回路を混載した SOP における電氣的な課題を抽出することにある。特に、デジタル回路と、受動素子を基板に内蔵した RF 回路との間でのノイズ干渉のメカニズムを検討した[4.2]。デジタル部は、外部より信号が入力できる特性インピーダンス  $50\Omega$  のマイクロストリップ配線とし、RF 回路は、LNA (Low Noise Amplifier) とした。LNA は無線通信用のフロントエンド回路の初段であり、外部から混入されるノイズに対して最も敏感な回路の一つのためである[4.6]。さらに、LNA の入出力整合回路の部品に基板内蔵受動素子を用いた[4.7]。受動素子の基板内蔵化は、パッケージをより小型化できると同時に、基板製造時に一括形成できるメリットがあるため、SOP では積極的に使うことを想定している。3 種類のテスト基板を用いて 2 種類の実験を行った。一つはデジタル信号の周波数が RF 信号のそれに比べ十分低い場合、もう一つはデジタル信号の周波数が RF 信号のそれと同等な場合である。特に、デジタル信号の帰路電流の経路に着目することで、ノイズ干渉のメカニズムを解析している[4.12]。更にメカニズムを理解した上で、設計指針を導いている。また、第 5 章は音声などを扱う kHz 帯域のノイズ干渉を対象としているが、本章では無線通信で利用される MHz~GHz のノイズ干渉を対象としている。

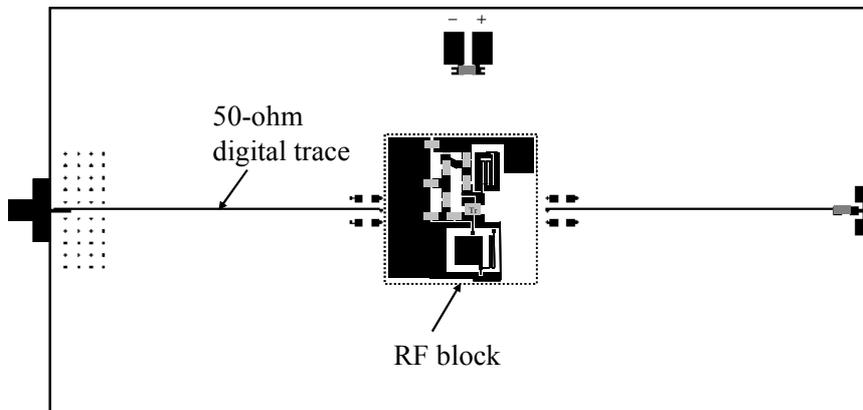
## 4.2 検討に用いたテスト基板

図4-1(a)~(c)にテスト基板の第1層のレイアウトを示す. 中央がRFブロック, 左端から右端につながるのがデジタル配線である. 3つの基板ともRFブロックのレイアウトは全く同じものであるが, 基板Bと基板CのRFブロックのレイアウトは基板Aのそれを90度, 反時計回りにしたものである. デジタル配線は, 特性インピーダンスを $50\Omega$ とし, その左端には同軸のSMAコネクタ, 右端には $49.9\Omega$ , 1005サイズのチップ抵抗を接続した. ただし, 基板AとBではデジタル配線を第1層とRFブロック下層に配置し, 基板Cではすべて第1層にRFブロックを迂回するように配置した.

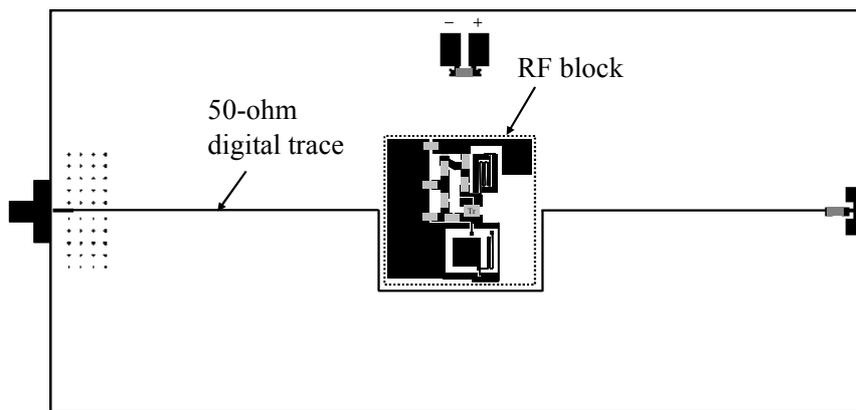
図4-2はテスト基板A, Bの断面図である. デジタル配線が第1層と第4層でRFブロックの真下をくぐるように配置されていることがわかる. このような引き回し方は, RFブロックとデジタルブロックを積み上げるように配置する場合, 最も可能性の高い配置である. 一方, 先の図4-1(c)から, 基板Cではデジタル配線は第1層のみでRFブロックの脇を回避するように配置されている. この引き回し方は, RFブロックとデジタルブロックを一平面内で分けて配置する場合, 一般的にとられる方法である. 本研究では, それぞれ独立したRFブロックとデジタルブロックをテスト基板内に形成することによって, これらの回路間の電磁的な電磁干渉を評価した. ちなみに, 本テスト基板の各導体厚は表裏を $36\mu\text{m}$ , 内層を $18\mu\text{m}$ とした. また, 樹脂厚は第1層から順に, 89, 114, 89, 114, 203 $\mu\text{m}$ とした.



(a) Test board A



(b) Test board B



(c) Test board C

Fig.4-1 Mixed-signal test boards.

図 4-1 検討に用いたミックスドシグナル・テスト基板

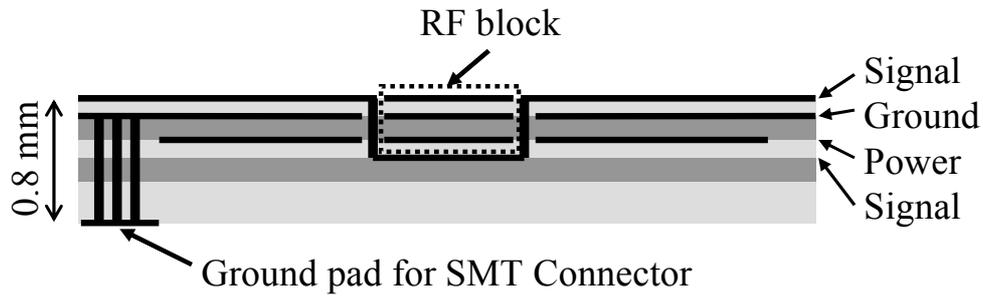
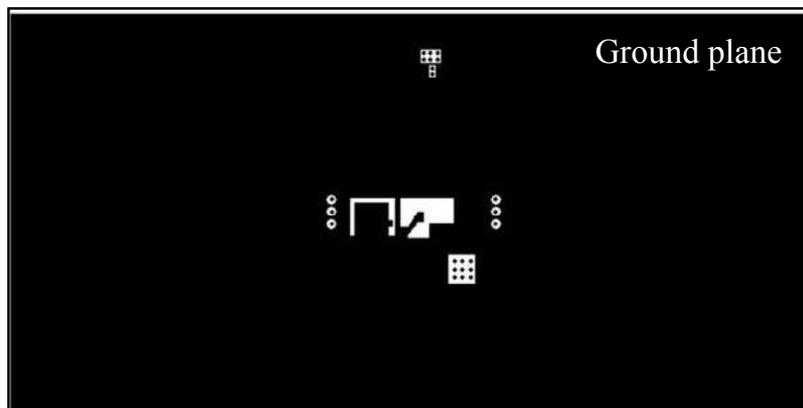


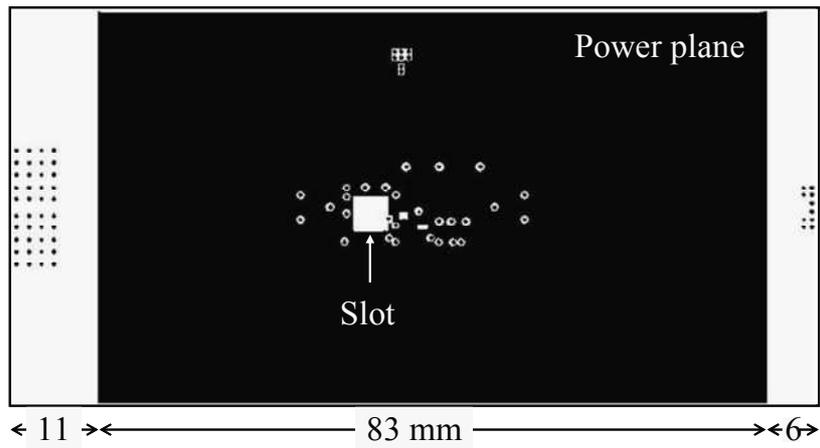
Fig.4-2 Cross-sectional view of the test boards A and B.

図 4-2 テスト基板 A と B の断面図

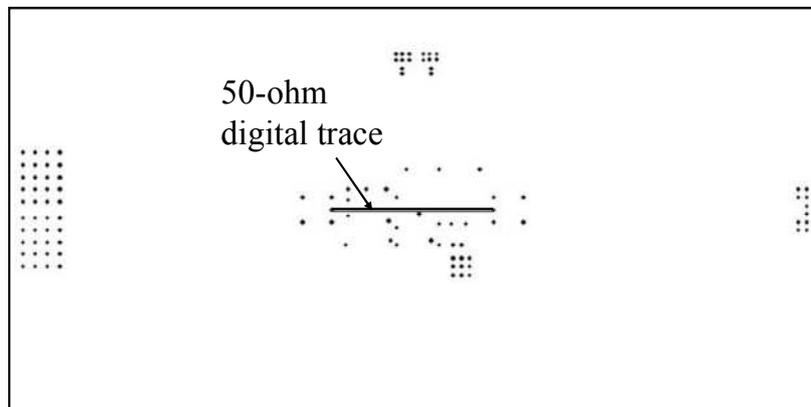
基板内層の詳細を説明するために、図 4-3 に、代表例として基板 A の第 2, 3, 4, 6 層のレイアウトを示す。第 2 層は基板全面に広がるグランドプレーン層、第 3 層は大きさ 83×50 mm の電源プレーン層、第 4 層は RF ブロック真下にデジタル配線を設けた配線層、第 6 層は SMA コネクタ外装と接続するグランドパッドの層である。第 5 層には配線やベタパターンを設けていないため、ここでは図示していない。基板 B と C は、基板 A の RF ブロックを反時計回りに回転させた関係で、第 2 層と第 3 層にあるスロットの位置も回転させたものになる。また、基板 C の第 4 層には基板 A や B のようなデジタル配線はない。どの基板も第 2 層のグランドプレーンと第 3 層の電源プレーンがデジタルと RF の両方につながっているため、デジタルノイズが RF 回路に混入しやすいことが予想できる。



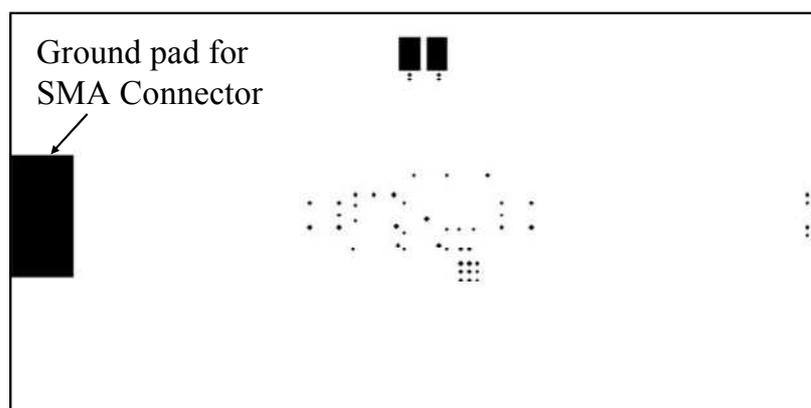
(a) Second layer



(b) Third layer



(c) Fourth layer



(d) Sixth layer

Fig.4-3 Each layer structure of test board A.

図 4-3 基板 A の各層のレイアウト

最後に RF ブロック部について説明する．図 4-4 は，RF ブロックの第 1 層の詳細なレイアウトである．下部に位置している入力整合回路に金属パターンで形成した基板内蔵のインダクタ 1 個とキャパシタ 1 個を用い，上部に位置している出力整合回路に同インダクタを用いている．その他の受動素子は表面実装タイプの個別部品である．受動素子を基板内に形成するにあたり，高誘電セラミックなどの特殊な材料は用いていない．基板材料には Polyclad Laminates, Inc 製の低誘電率，低損失材料，LD-621 を用いた．カタログ値で，比誘電率は 2 GHz で 3.2，誘電体損失  $\tan \delta$  は 0.005 である．LNA のトランジスタ (Tr) には，Agilent Technology の SOT-343 パッケージ，HFBP-0420 を用いた．定格動作周波数は 1.8 GHz であり，周波数帯域は 1.7~2.5 GHz．電源電圧 3.3 V で，LNA の利得は約 12 dB であった．本 RF ブロックにおいて，下部に LNA の入力パッド，上部に LNA の出力パッドがある．LNA に RF 信号を注入する際，または LNA の出力信号を取り出す際，これらのパッドに Cascade Microtech 社の RF & Microwave Probe の ACP40 (GSG500) を接続した．その他，本 LNA の詳細な設計方法に関しては，文献[4.7]を参照されたい．

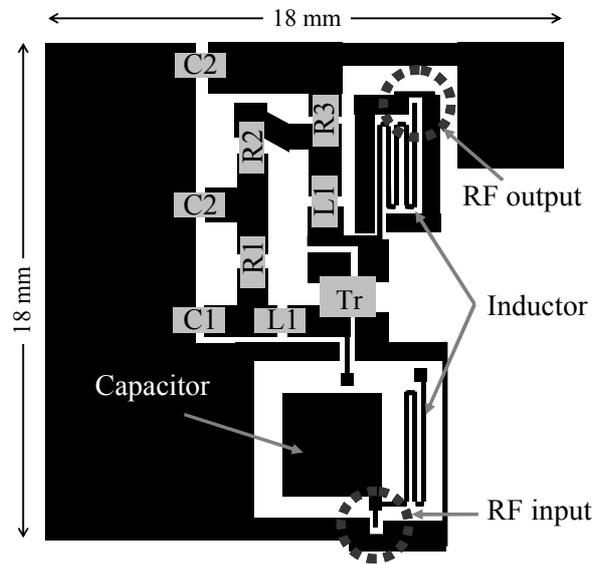


Fig.4-4 Detailed layout of the RF block top layer.

( $R1=51 \text{ ohm}$ ,  $R2=16.9\text{k ohm}$ ,  $R3=110 \text{ ohm}$ ,  $L1=10 \text{ nH}$ ,  $C1=4 \text{ pF}$ ,  $C2=1000 \text{ pF}$ )

図 4-4 RF ブロックの第 1 層の詳細レイアウト

### 4.3 100 MHz のデジタル信号によるノイズ干渉

本章では、RF回路の動作周波数 1.83 GHz に対して十分低い 100 MHz のデジタル信号が RF 回路に与える影響と、そのノイズ干渉メカニズムについて検討した。デジタル信号が基板に内蔵した受動素子のある RF 回路の入力段に混入することによって、動作周波数 1.83 GHz 近傍にデジタル信号が重畳される現象が観測された。

#### 4.3.1 測定系

図 4-5 に本測定系を示す。信号発生器 (Agilent 社 8720ES) から LNA に RF 信号として 1.83 GHz の正弦波を入力した。その入力電力は -15 dBm とした。この周波数は GSM (Global System for Mobile Communications) で使用される周波数帯域の一つとして選定した。同時に、パルス発生器 (Sony Tektronix 社 AWG520) からデジタル配線に 100 MHz の矩形波信号を入力した。その振幅は 2 V<sub>peak-to-peak</sub> とした。これはシングルエンドのデジタル配線を想定して決定した。上記条件のもと、スペクトラムアナライザ (HP 社 E4407B) を用いて LNA の出力を測定した。この出力には、本来、LNA の RF 出力信号のみが存在するはずであるが、基板内でデジタル信号が RF ブロックに混入した場合、デジタル信号が混入することになる。また、本測定を実施するにあたり、DC カットのため、スペクトラムアナライザの入力ポートには DC Blocker (WEINSCHTEL 社 Model-7012, 500 MHz~8.6 GHz) を接続した。

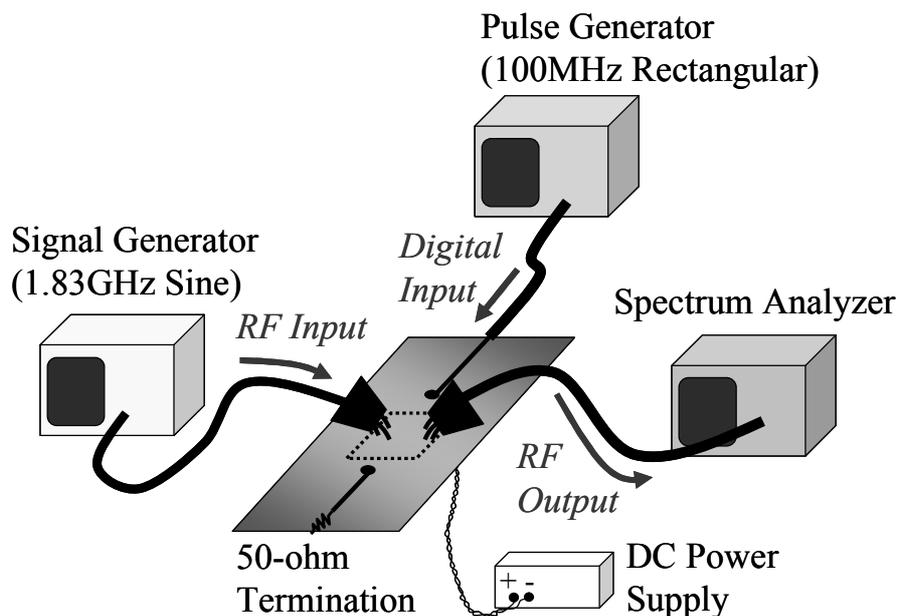
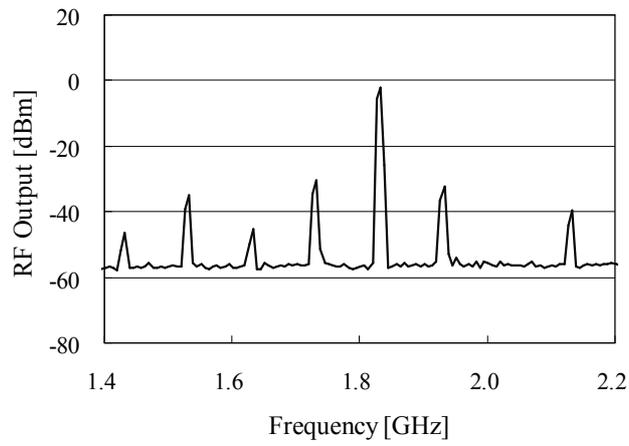


Fig. 4-5 Measurement setup for EMI experiment in the case of 100 MHz clock.

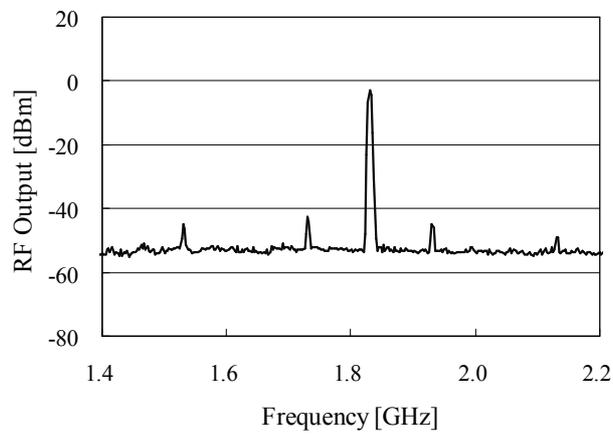
図 4-5 ノイズ干渉の測定系：100 MHz クロック入力

#### 4.3.2 測定結果

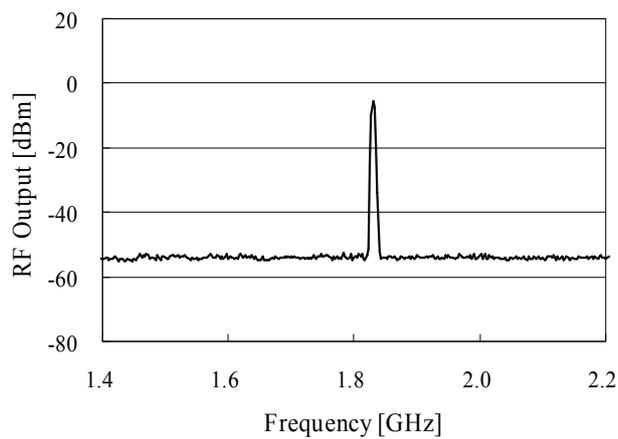
図 4-6(a)~(c)に測定結果を示す。基板 C にはないが、基板 A, B では 1.83 GHz のピークの両脇に複数のピークが存在する。周波数が 1.4~2.2 GHz の範囲で、基板 A では、6 つのピーク (1.43, 1.53, 1.63, 1.73, 1.93, 2.13 GHz) があり、基板 B では、4 つのピーク (1.53, 1.73, 1.93, 2.13 GHz) があつた。これらのピークは 100 MHz の高調波ではないため、デジタル信号の高調波がそのまま観測されたものではない。それらの周波数は 1.83 GHz の RF 信号から 100 MHz の整数倍を足す、もしくは引いたものである。例えば、1.53 GHz は 1.83 GHz から 300 MHz を引いたものである。このように RF 信号の両脇に新たなピークが生じた原因は、RF 信号とデジタル信号が LNA のトランジスタ内でミキシングされたためと考える。このようなミキシングは相互変調 (Inter-modulation) と呼ばれ、トランジスタの非線形性によって生まれることが知られている[4.8].



(a) Test board A



(b) Test board B



(c) Test board C

Fig.4-6 Measured RF output of the test boards in the case of 100 MHz clock.

図 4-6 テスト基板の RF 出力測定結果：100 MHz 矩形波入力の場合

図 4-7 を用いて相互変調によるノイズ干渉メカニズムを説明する. デジタル信号の高調波  $a_1$ ,  $a_2$ ,  $a_3$  が RF 搬送波  $c$  よりも十分低い場合, これらの高調波がそのまま RF 搬送波に影響を与えることはない. しかし, これらの高調波が LNA の入力段に何らかの結合経路を介して混入すると, LNA のトランジスタの非線形性により, 新たなピークとして生まれる. これらのピークは, たとえば,  $c - a_3$ ,  $c - a_2$ ,  $c - a_1$ ,  $c + a_1$ ,  $c + a_2$ ,  $c + a_3$  である. ちなみに, 図中では,  $a_2$  を  $a_3$  よりも小さく記載した. 基板 A, B の測定結果でも同様な傾向を示した. これはデジタル信号がデューティ比 50% の矩形波に近いため, 偶数次の高調波が, 隣り合う奇数次の高調波よりも小さくなることによる.

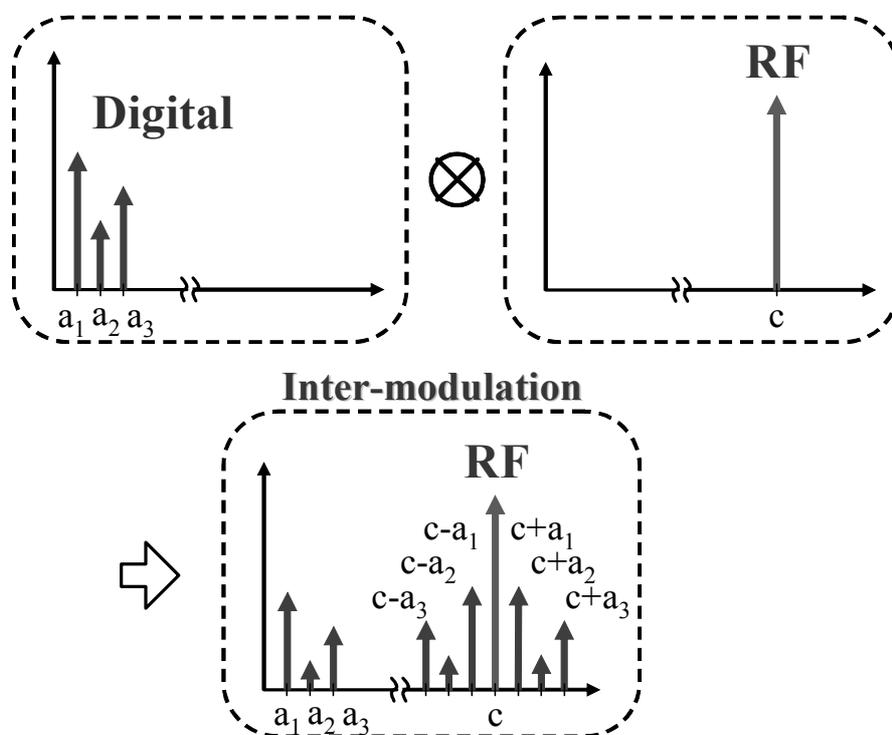


Fig.4-7 Inter-modulation between digital and RF signals.

図 4-7 デジタル信号と RF 信号による相互変調

### 4.3.3 ノイズ干渉メカニズムの解析

基板 A で生じた新たなピークは基板 B のそれよりも大きい。この差を検討するために、まず基板 A と基板 B のレイアウトを詳細に比較した。図 4-8 に RF ブロック真下の第 3 層と第 4 層を拡大した図を示す。第 3 層は電源プレーン層、第 4 層は信号層である。理解しやすくするために、ここでは、第 3 層をポジフィルム、第 4 層をネガフィルムと反転させて表示した。基板 A では、第 4 層のデジタル配線が第 3 層にある電源プレーン上に形成した正方形のスロットをまたぐように配置されている。一方、基板 B では、デジタル配線がそのスロットから離れて配置されている。この違いに着目した。このスロットは、LNA の入力整合回路に用いられている基板内蔵キャパシタの浮遊容量を小さくするために設けたものである。このキャパシタの電極は第 1 層と第 2 層にそれぞれある。この基板設計では、第 2 層にあるキャパシタの電極と第 3 層にある電源プレーンとが近接することによって生ずる浮遊容量を小さくするため、このプレーンの、キャパシタの電極と接する位置にスロットを設けている(図 4-3(a), (b)参照)。その大きさは 5 mm×5 mm であり、小さいものであるが、基板 A と基板 B のレイアウトで最も大きな差となっていた。

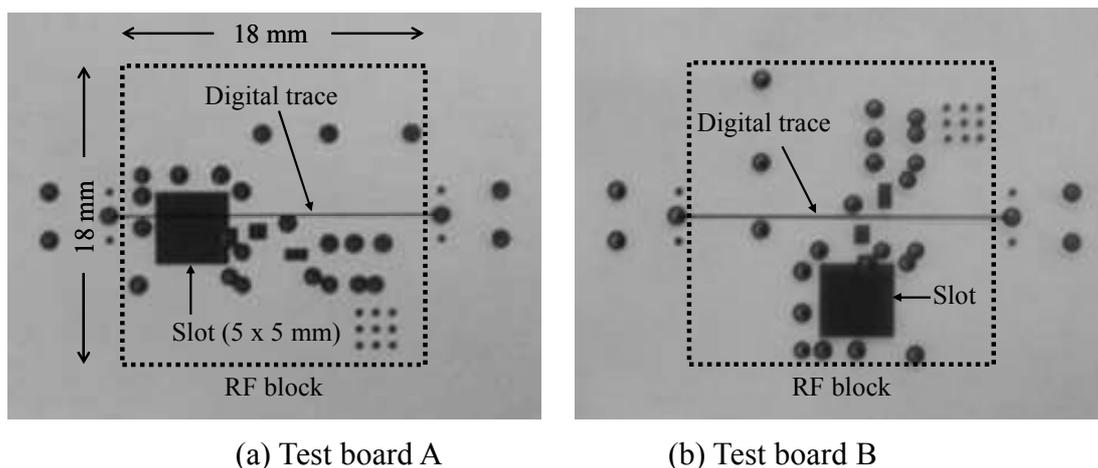


Fig.4-8 Layouts of the third and fourth layers under the RF block.

図 4-8 RF ブロック真下の第 3 層, 第 4 層レイアウト

Moran らは、信号配線が隣接するグランドプレーンにあるスロットをまたいだ場合の電磁結合について議論している[4.9]。信号配線がスロットをまたぐ場合、この信号配線のエネルギーがスロットと結合すること、その後、結合したスロットが特定の周波数で共振し、ミックストシグナル・パッケージ内でノイズ干渉を起こすというものである。しかしながら、ここで得られた結果は別のメカニズムによると考える。スロットの大きさはデジタルや RF 信号の波長に比べ十分小さいため、スロットは共振しないからである。本スロットの周囲長の半分は 10 mm であった。空气中で、この長さで共振を起こす周波数は 15 GHz であり、今回使用した有機基板材料の中にあるとしてもそれが 2 GHz まで落ちることない。したがって、明らかにこれは上記メカニズムと異なることが予想できる。デジタル配線が電源プレーン層にあるスロットをまたいだとき、その配線が隣接する基板内蔵のキャパシタ電極と結合し、その間の容量結合によって、デジタル信号が RF 回路に混入したものと考えられる。

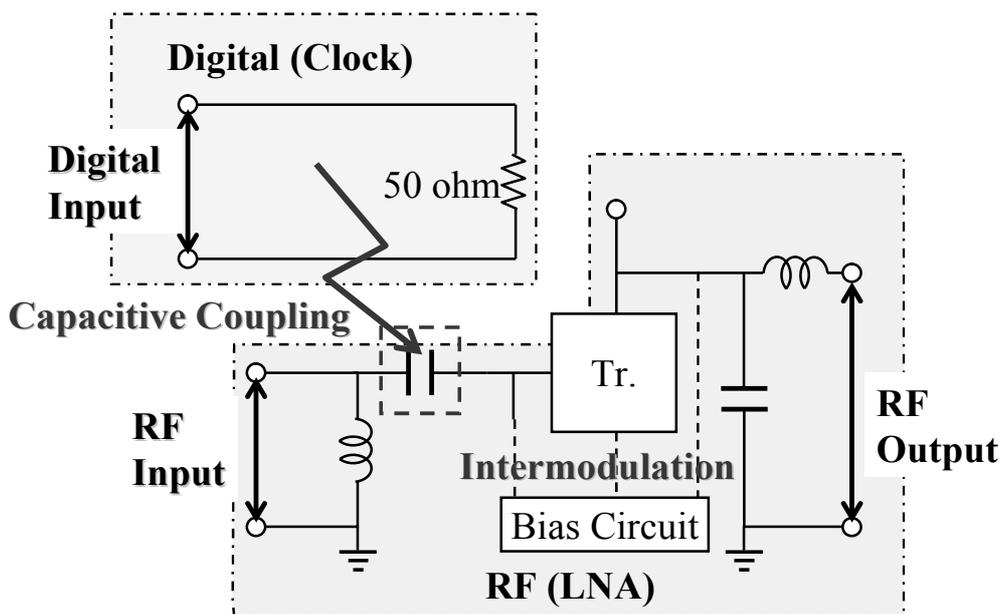


Fig.4-9 EMI mechanism due to capacitive coupling and inter-modulation.

図 4-9 容量結合と相互変調によるノイズ干渉メカニズム

図 4-9 は、ここで考えているノイズ干渉メカニズムをまとめたものである。第 4 層のデジタル配線が第 3 層にあるスロットを通り抜け、第 2 層にある LNA 入力整合回路のキャパシタ電極と容量結合する。この結合によって混入したデジタル信号は RF 信号と一緒にになって LNA のトランジスタ (Tr) の入力段に入り、その両信号がそのトランジスタの非線形性によってミキシングされ、新しいピークを含んだ RF 信号が LNA から出力されたというものである。

RF 回路は RF 信号の周囲にデータを重畳することで情報を伝送するため、RF 信号の周囲にこのようなピークが生じると RF 通信は妨害を受ける。この実験結果は、ミックスドシグナル・パッケージにおいて、デジタル信号の周波数が RF 信号の周波数に比べ十分低い場合でも、デジタル信号が RF 回路に影響を与える可能性があることを示すものである。また、この結果は、導体プレーン層にある小さなスロットが、デジタル信号や RF 信号の周波数に比べ十分小さい場合でも、それがデジタル RF 間の結合経路になることを示している。

一方、基板 C では、このような新たなピークは生じなかった。基板 C とその他の基板との最も大きな違いは、デジタル信号配線がビアを介してグランドプレーン層と電源プレーン層を貫くか否かにある。この影響に関してはデジタル信号が RF 信号に近い場合として次章で詳細に議論する。

#### 4.4 ギガヘルツ帯域の高調波によるノイズ干渉

本章では、RF回路の動作周波数に近い周波数成分がデジタル信号の高調波として存在する場合の影響と、そのノイズ干渉メカニズムについて考察した。デジタル配線が電源-グラウンドプレーン層をまたぐことによって、デジタルとRFの共通電源系を介してデジタル信号がRF回路に混入する現象が確認された。

##### 4.4.1 測定系

図 4-10 に本測定系を示す。デジタル信号の高調波がRF信号のそれとほぼ同じ場合のノイズ干渉を評価した。先の実験と同様に、RF信号として、一つの信号発生器から1.83 GHzの正弦波信号をLNAに入力し、LNAの出力をスペクトラムアナライザにて測定した。その入力電力は-15 dBmとした。これと同時に、高速パルス発生器を用いる代わりに、もう一つの信号発生器から、デジタル信号の高調波の一つとして1.95 GHzの正弦波信号をデジタル配線に入力した。その振幅は50 mVrmsで、-13 dBmに相当する。

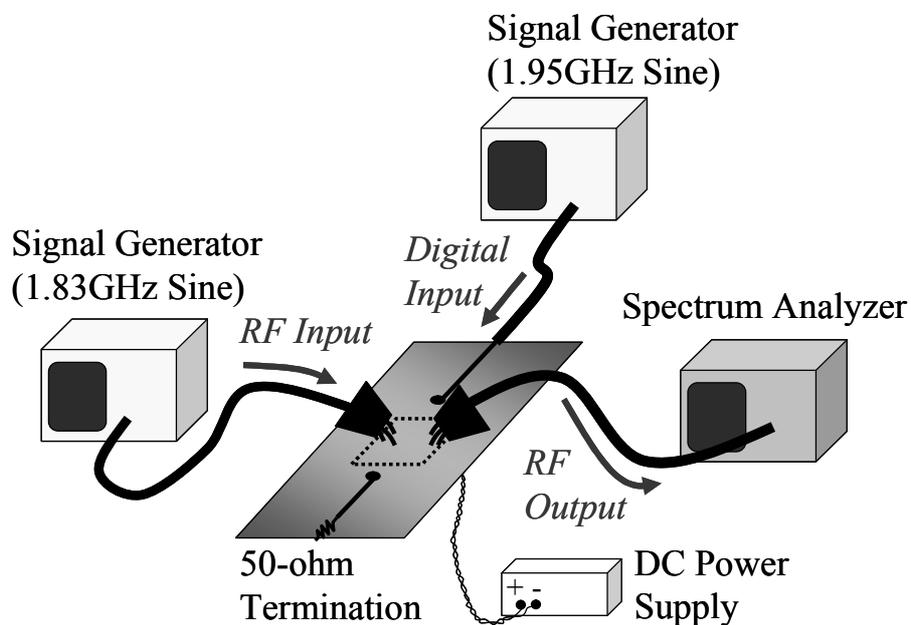
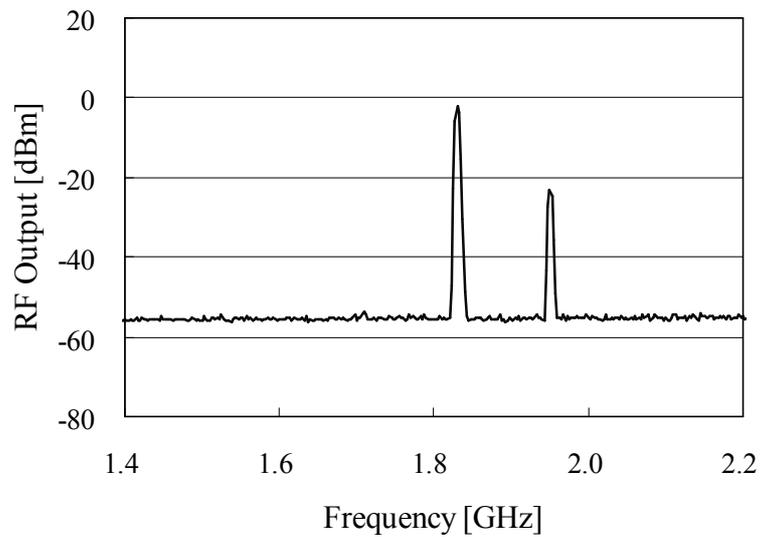


Fig. 4-10 Measurement setup for EMI investigation in the case of 1.95 GHz harmonic.

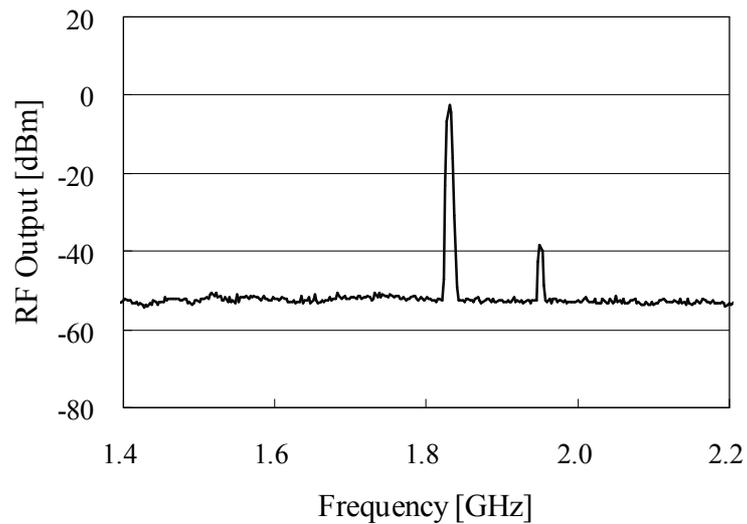
図 4-10 ノイズ干渉の測定系：1.95 GHz 高調波入力

#### 4.4.2 測定結果

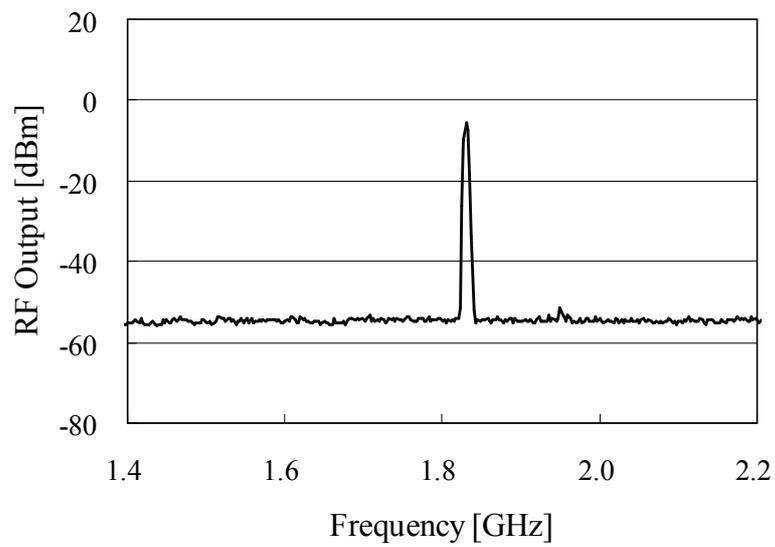
図 4-11(a)~(c)に測定結果を示す. 1.83 GHz の右側に 1.95 GHz のピークが現れている. また, 先の実験と同様, 結合量は基板 A, B, C の順に小さくなっている. この結果から, 支配的な原因の一つは, 前章で議論したとおり, デジタル配線が電源プレーン層のスリットをまたぐためと考える.



(a) Test board A



(b) Test board B



(c) Test board C

Fig.4-11 Measured RF output of the test boards in the case of 1.95 GHz harmonic.

図 4-11 テスト基板の RF 出力測定結果：1.95 GHz 高調波入力の場合

#### 4.4.3 ノイズ干渉メカニズムの解析

スロットを介したノイズ干渉が最も支配的と考えるが、それ以外のメカニズムを見つけ出すためにデジタル配線の帰路電流に着目した。図 4-12 はテスト基板 A, B の断面図であり、デジタル信号の帰路電流の経路も併せて記載した。この帰路電流は、第 1 層のデジタル配線に対し、第 2 層グランドプレーン層を流れ、第 4 層の配線に対し、第 3 層電源プレーン層を流れる。そのため、ビアの部分で帰路電流の経路が切れてしまう。このような帰路電流の分断は、これら 2 枚のプレーン層間の電圧を励振することが知られており、特に、これらプレーン層で形成されている電源供給系の共振周波数と、デジタル信号の高調波が一致する場合、この電源電圧が大きく変動することが知られている[4.10]。

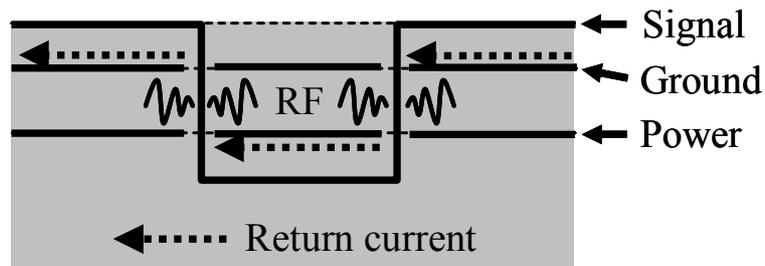


Fig.4-12 Discontinuity of the return current path at the via holes.

図 4-12 ビアホールによる帰路電流の分断

図 4-13 はこの電源供給系による結合メカニズムを表している。これらのテスト基板では、デジタルと RF で共通の電源プレーン層、グランドプレーン層をもつため、この電源系を通してデジタル信号が RF 回路へ直接結合しているものと考えられる。この影響により、基板 A, B は基板 C よりも結合量が大きくなっているものと考えられる。

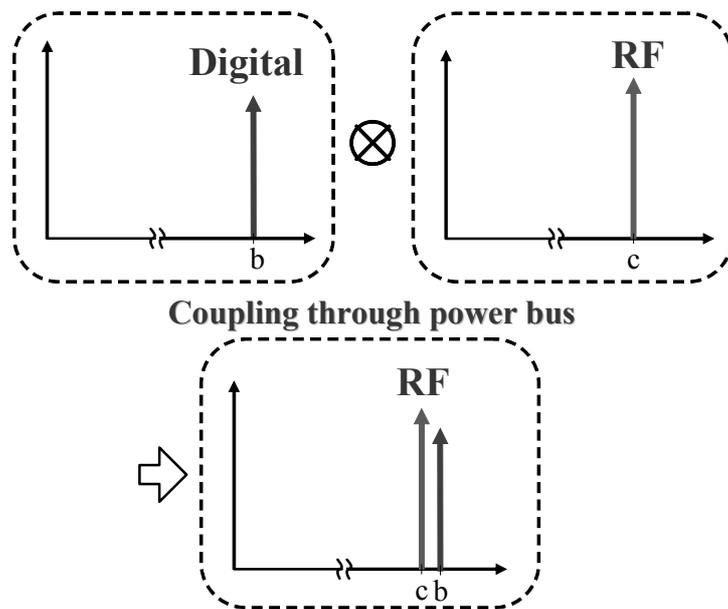


Fig.4-13 Coupling between the digital and RF signals through the power bus.

図 4-13 電源供給系を通じたデジタルと RF の結合

このメカニズムを確認するために、テスト基板 B において、ビアホール付近に低インピーダンスのキャパシタを配置した[4.10]。これにより、帰路電流の経路を変えることができる。図 4-14 はこの変更を行った後の基板断面図である。0.1  $\mu\text{F}$  のチップキャパシタを 2 つのビアの両脇に 1 個ずつ、合計 4 個搭載し、キャパシタの電極をそれぞれ電源プレーン層、グランドプレーン層と接続した (図 1(a), (b)参照)。このキャパシタによるインピーダンスが電源供給系のインピーダンスに比べて小さい場合、電源電圧変動は小さくなり、帰路電流経路も確保される。

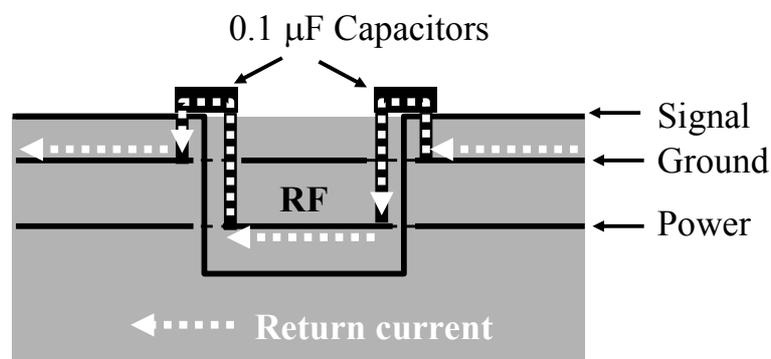


Fig.4-14 Connections of the return current path by using capacitors.

図 4-14 キャパシタを用いた帰路電流経路の接続

図 4-15 は、基板 B にキャパシタを搭載した際の RF 出力である。図 4-11(b)に示したキャパシタ搭載前の結果と比較すると、デジタル信号の高調波成分は約 3 dB 低下した。この量は基板 B と基板 C の違いによる差、約 15 dB に比べて小さいが、確かに、電源供給系を介してデジタル信号が RF 回路に結合していることがわかる。

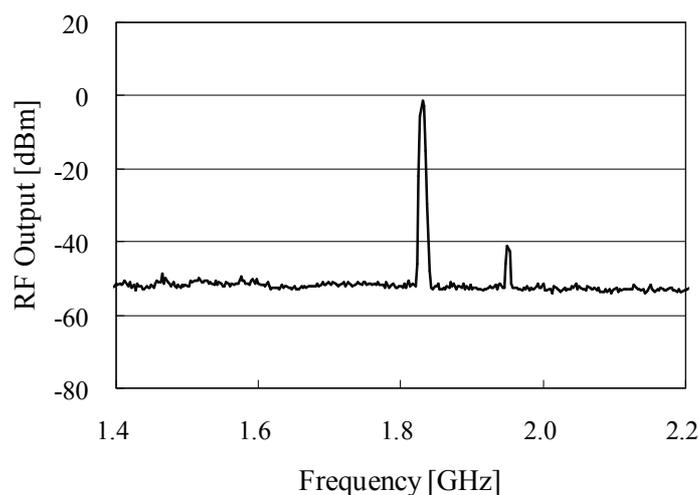


Fig.4-15. RF output of test board B with capacitors: 1.95 GHz harmonic.

図 4-15 キャパシタを搭載した基板 B の RF 出力測定結果：1.95 GHz 信号入力

さらに詳しく電源供給系を介してデジタル信号が RF 回路と結合していることを検証するために、デジタル配線のリターンロス、すなわち、 $S_{11}$  反射特性を測定した。図 4-16 にキャパシタあり／なしにおけるリターンロスの測定結果を示す。デジタル配線は特性インピーダンスを 50 ohm に設計しているため、 $S_{11}$  は 1~3 GHz の範囲で -15 dB 以下と低い値を示している。これに加え、キャパシタがない場合、1.95 GHz と 2.75 GHz に電源供給系の共振によるピークが観測されている。この結果は、信号配線のエネルギーが共振する電源供給系と結合している様子を表している。また、キャパシタ搭載により、1.95 GHz でのピークは約 3 dB 低下している。この低減量は、図 4-15 の結果と同程度であるため、本結果の妥当性も確認できる。

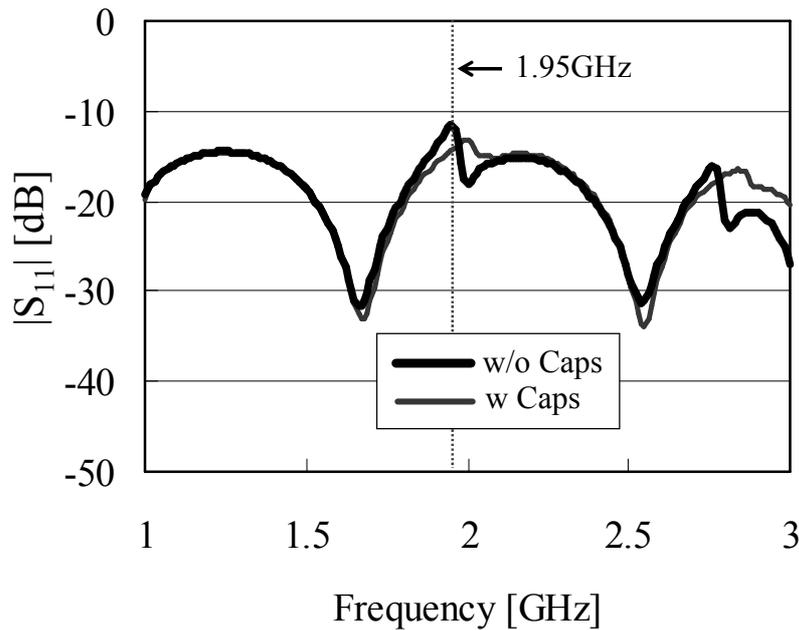
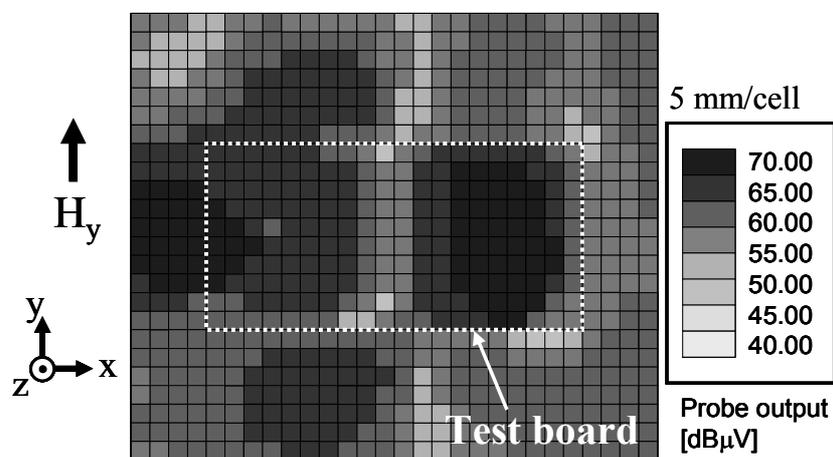


Fig.4-16 Return loss of the digital trace in the test board B without capacitors (thick line), and with capacitors (thin line).

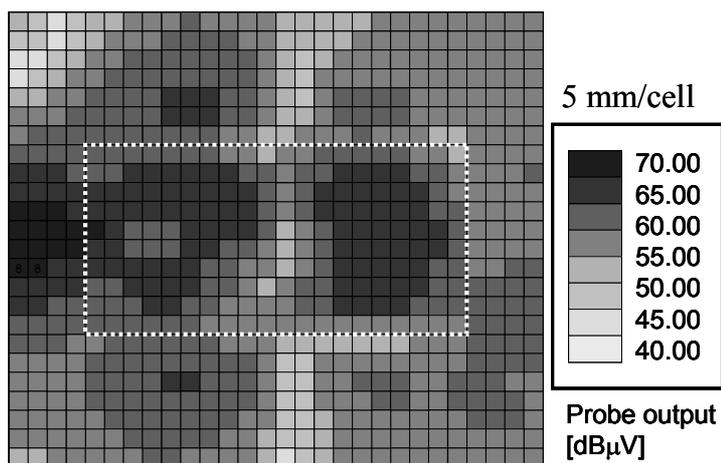
図 4-16 デジタル配線のリターンロス：  
キャパシタなし（太線），キャパシタあり（細線）

さらに、別の角度からの検討として、1.95 GHz における電源供給系の共振の様子を調べるために、基板 B 近傍の磁界強度分布を測定した。本測定には磁界プローブ（NEC 真空ガラス製：CP-2S）を用いた。本プローブによる測定の妥当性は文献[4.11]にて確認している。図 4-17(a), (b)にキャパシタなし／ありの結果を示す。これらの分布は磁界の y 方向成分を表しており、電流の x 方向成分に相当する。点線で囲ったテスト基板の領域で、電流の定在波が確認できる。基板の長手 (x) 方向に基板両端と中心で電流が最小となるような 1 波長の定在波が確認できる。本基板中の、グランドプレーン長手方向の長さは 100 mm、電源プレーン長手方向の長さは 83 mm、基板材料の比誘電率は 3.2 であることから、電源プレーンの長手方向の長さ 83 mm によって、約 1.95 GHz において、本電源供給系が 1 波長の共振を起こしていることが予想できる。キャパシタ搭載により、基板上の磁界強度の最大値が 1 レンジ (5 dB) 低下したことから、この搭載により、電源供給系を伝播する 1.95 GHz 成分が低下し、デジタルブロックから RF ブロックへのノイズ伝播も低下したものと推測できる。

以上，RF 出力，リターンロス，近傍磁界分布の測定結果から，デジタル信号が電源供給系を通して RF 回路に結合していることが確認できた．



(a)



(b)

Fig.4-17 Near-magnetic-field maps above test board B (a) without capacitors and (b) with capacitors.

図 4-17 基板 B の近傍磁界分布： (a) キャパシタなし， (b) キャパシタあり

#### 4.5 考察と残された課題

以上の検討結果から、隣接する電源プレーン層の小さいスロットを介してデジタル信号が RF 回路の入力段に混入し、LNA の相互変調によって生じるノイズ干渉と、電源プレーン層とグラウンドプレーン層を貫くデジタル配線のビアにより、デジタルと RF の共通電源供給系が励振したことによるノイズ干渉について確認した。これらはデジタル配線の帰路電流経路の不連続が原因と言い換えることができる。そのため、デジタル配線が RF 回路と隣接しようとも、デジタル配線の帰路電流経路が確保されている基板 C で最もノイズ干渉が小さくなっている。

しかしながら、実際の設計では、基板 A や B のようなレイアウトを初めから外して考えることは難しい。今回最も支配的であった小さなスロットやビアによる帰路電流経路の分断を回避する一つの方法として、筆者らはデジタル配線に差動伝送方式を用いることを考えている。そうすればペア配線の一方に他方の帰路電流の多くが流れるため、隣接するスロットやビアによる帰路分断が回避できる可能性が高いと考えるからである。図 4-18 は RF ブロックの下を通る配線が差動配線のテスト基板である。送受信に FPGA (Field Programmable Gate Array) を用い、差動信号の一種である LVDS (Low Voltage Differential Signaling) の信号を RF ブロックの下に通した基板である。このようなテスト基板を用いることで、差動配線によるノイズ低減効果が確認できるか、今後検討する予定である。

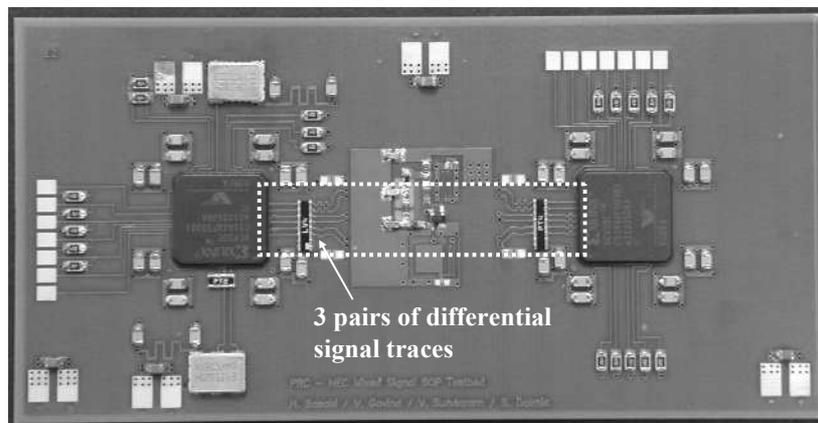


Fig. 4-18 Mixed-signal test board using differential signaling.

図 4-18 デジタル回路に差動伝送を用いたテスト基板

また、本研究では確認していないが、電源系を介したノイズ干渉を更に低減させる方法として、帰路電流経路を確保するキャパシタの直列共振を生かす方法が考えられる。今回、帰路電流を確保するために  $0.1 \mu\text{F}$  のキャパシタを用いたが、この容量を小さくし、 $7 \text{ pF}$  程度とすることが考えられる。これは、キャパシタの寄生インダクタンスを  $1 \text{ nH}$  とすると、 $1.9 \text{ GHz}$  付近でキャパシタが直列共振を起こし、この周波数帯域でインピーダンスが低くなり、 $1.95 \text{ GHz}$  の帰路電流が流れやすくなるためである。これも今後の検討項目の一つである。

#### 4.6 設計指針

本研究によって導き出された設計指針は以下の通りである。

- ① デジタル配線は、RF 回路ブロックをまたぐように配置しない。RF 回路ブロックを迂回するように配置する。
- ② またぐ場合には、微小なスロットでも電磁干渉の原因になることや電源系を介した電磁干渉が生じることを考慮した上で設計する。

#### 4.7 むすび

本研究では、デジタル回路と、基板内蔵受動素子を用いた RF 回路を混載したミックスドシグナル SOP におけるノイズ干渉について検討した。本実験結果から 2 つのメカニズムを明らかにした。一つは、デジタル信号の周波数が RF 信号のそれに比べ十分低くとも、基板レイアウトによって RF 回路の入力段にデジタル信号が混入すると RF 回路の非線形素子によって相互変調が生じ、RF 信号に影響を与えるようなノイズ干渉である。基板内蔵キャパシタを RF 回路に用いた場合には、そのキャパシタの特性維持のために設けた小さいスロットもデジタル配線が隣接してまたぐと、ノイズ混入経路になることがわかった。もう一つは、デジタル信号の周波数が RF 信号のそれと近い場合、デジタル回路と RF 回路の共通電源供給系を介してデジタル信号が RF 信号に影響を与えるようなノイズ干渉である。電源供給系の共振現象がノイズ干渉の影響度合いに関係することがわかった。今後は、このメカニズムから考えられるノイズ低減設計手法の適用に加え、このノイズ干渉を解析的に求める手法の開発や、設計時点で干渉量を予測できるようなツールの開発が望まれるであろう。

## 参考文献

- [4.1] R. R. Tummala, "SOP: what is it and why? a new microsystem-integration technology paradigm-moore's law for system integration of miniaturized convergent systems of the next decade," *IEEE Trans. Adv. Packag.*, vol. 27, no. 2, pp.241-249, May 2004.
- [4.2] H. Sasaki, V. Govind, K. Srinivasan, S. Dalmia, V. Sundaram, M. Swaminathan, and R. Tummala, "Electromagnetic interference (EMI) issues for mixed-signal system-on-package (SOP)," *Proc. 2004 IEEE Int. Symp. Electronic Components and Technology Conf*, pp. 1437- 1442, June 2004.
- [4.3] M. Swaminathan, J. Kim, I. Novak, and J. P. Libous, "Power Distribution Networks for System-on-Package: Status and Challenges," *IEEE Tran. Adv. Vol.* 27, no.2, pp. 286-300, May 2004.
- [4.4] T. Sudo, H. Sasaki, N. Masuda, and J. L. Drewniak, "Electromagnetic interference (EMI) of system-on-package (SOP)," *IEEE Tran. Adv. Vol.* 27, no.2, pp. 304-314, May 2004.
- [4.5] J. Choi, V. Govind, M. Swaminathan, L. Wan, and R. Doraiswami, "Isolation in mixed-signal systems using a novel electromagnetic Bandgap (EBG) structure," *Proc 14th Topical Meeting on Electrical Performance of Electronic Packaging (EPEP)*, pp. 199-202, Oct. 2004.
- [4.6] M. Shen, L. Zheng, and H. Tenhunen, "Cost and Performance Analysis for Mixed-Signal System Implementation: System-on-Chip or System-on-Package?," *IEEE Trans-CPMT-C*, Vol. 25, No. 4, pp. 262-272, 2002.
- [4.7] V. Govind, S. Dalmia, and M. Swaminathan, "Design of integrated low noise amplifier (LNA) using embedded passives in organic substrates," *IEEE Tran. Adv. Vol.* 27, no.1, pp. 79-89, Feb. 2004.
- [4.8] B. Razavi, *RF Microelectronics*, Prentice-Hall (New York, 1999), Chapter 2.
- [4.9] T. Moran, K. L. Virga, G. Aguirre, and J. L. Prince, "Methods to reduce radiation from split ground planes in RF and mixed signal packaging structure," *IEEE Trans-CPMT-B*, Vol. 25, No. 3, pp. 409-416, Aug. 2002.
- [4.10] W. Cui, X. Ye, B. Archambeault, D. White, M. Li, and J. L. Drewniak, "EMI Resulting From a Signal Via Transition Through DC Power Bus – Effectiveness of Local SMT Decoupling," *Proc Asia-Pacific Conference on Environmental*

Electromagnetics CEEM, China, pp. 91-95, May 2000.

- [4.11] K. Srinivasan, H. Sasaki, M. Swaminathan, and R. Tummala, "Calibration of Near Field Measurements Using Microstriop Line for Noise Predictions," Proc 54th Electronic Components and Technology Conf, pp. 1432-1436, June 2004.
- [4.12] 佐々木英樹, ゴビン ビヌー, スリニバサン クリシュナ, ダルミナ シダース, サンダラム ベンキー, スワミナッサン マダハバン, トウマラ ラオ, " ミックスドシグナル SOP (System-On-Package) におけるノイズ干渉メカニズムの検討", 電子情報通信学会論文誌 (C), Vol.J89-C No.11, pp.874-884, 2006 年 11 月.

## 第5章 アナ/デジ混載 SiP の電磁干渉低減設計技術

今後の半導体製品の付加価値向上に欠かせないミックスドシグナル SiP (System-in-Package) の実現に向け、ノイズ干渉の少ない、高品質な製品を開発するための設計技術の確立が必要となっている。本研究では、ミックスドシグナル SiP の一例として、モバイル機器向けを想定し、音源 LSI とスピーカアンプ LSI を混載した SiP を試作し、信号対ノイズ比 (Signal-to-Noise Ratio: SNR) を検討した。本 SiP は、音源 LSI をスピーカアンプ LSI の上にシリコンスペーサを介して積層し、半導体チップとインターポーザ基板との間をワイヤーボンディングしたものである。2種類のインターポーザ基板を適用し、一つは銅配線が1層のポリイミドテープ、もう一つは銅配線が2層のガラスエポキシ基板を用いた。スピーカアンプ LSI の出力電圧が 5 Vp-p のとき、本 SiP 内の音源 LSI の SNR は、音源 LSI 単体の SNR と変わりなかったが、同出力電圧が 15 Vp-p のとき、SNR は約 1.5 dB 劣化すること、インターポーザ基板を1層のポリイミドテープとした場合、2層のガラスエポキシ基板とした場合に比べ SNR は約 1 dB 劣ることを明らかにしている。また、ノイズ源と予想されたスピーカアンプ LSI の DC-DC コンバータと D 級アンプをそれぞれ独立して動作させた実験により、本 SiP の SNR の劣化原因が D 級アンプにあることを突き止めている。更に、ここで得られた知見から設計指針を導いている。

### 5.1 まえがき

SiP とは、複数の半導体チップを一つのパッケージ内に集積化するための最新パッケージング技術であり、近年、モバイル機器の小型/薄型化に大きく貢献している。最も一般的な SiP はベースバンド LSI とフラッシュメモリ、もしくは DRAM メモリを混載したものであり、第三代携帯電話に広く利用されている [5.1]。今後、SiP や SOP (System-on-Package) [5.2] は、デジタル、アナログ、RF、MEMS (micro-electromechanical system)、オプトエレクトロニクス、バイオなどの異種デバイスを集積化するためのデバイスプラットフォームとして成長していくことが期待されている。トランジスタのスケーリングの物理的な限界や経済的な限界が見えてきた昨今、異種デバイス混載 SiP やミックスドシグナル SiP

は、半導体製品の付加価値向上に欠かせない存在となっていくであろう。

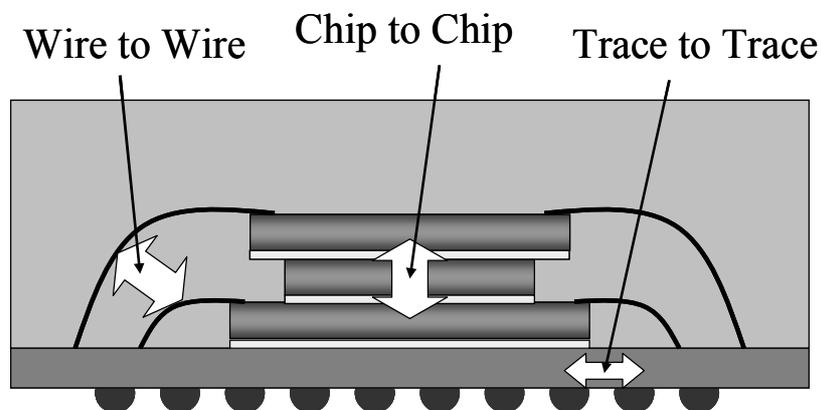


Fig.5-1 EMI problem points in mixed-signal SiP.

図 5-1 ミックスドシグナル SiP で予想される電磁干渉

しかしながら、一つのパッケージ内にアナログチップや RF チップをデジタルチップと近接して集積化した場合、電磁ノイズや電磁干渉（Electromagnetic interference: EMI）の問題が発生しやすくなる[5.3]-[5.6]。図 5-1 に示すように、電磁干渉は各半導体チップのワイヤー間、インターポーザ基板内の配線間、更には半導体チップ間などで生じることが予想される。特に、積層する半導体チップが薄くなればなるほど、ワイヤー間やチップ間が近接し、電磁干渉は大きくなると予想される。今後、高品質なミックスドシグナル SiP を開発していくためには、この電磁干渉や電磁ノイズの問題を解決するための設計技術を確立していかなければならない

そこで、ミックスドシグナル SiP の一例として、モバイル機器向けを想定し、音源 LSI とスピーカアンプ LSI を積層した SiP (Sound source and Speaker amplifier SiP: SS-SiP) を試作し、電磁干渉による電気特性劣化について検討した[5.7]。2種類のインターポーザ基板を適用した SS-SiP に対し、スピーカアンプ LSI から音源 LSI への電磁干渉を調べるために、音源 LSI のデジタルーアナログ・コンバータ (DAC) の信号対ノイズ比 (Signal-to-Noise Ratio: SNR) を測定している。更に、ここで得られた結果から、kHz 帯域の電磁ノイズが予想されるアナ/デジタル混載 SiP の設計指針を導いている。

## 5.2 SiP 設計

図 5-2 は、試作した SS-SiP のイメージ図である。本 SiP は、音源 LSI をスピーカアンプ LSI の上にシリコンスペーサを介して積層している。2つのチップはボンディングワイヤーを使ってインターポーザ基板と接続している。2種類のインターポーザ基板を適用した。一つは銅配線が 1 層のポリイミドテープ、もう一つは銅配線が 2 層のガラスエポキシ基板である。

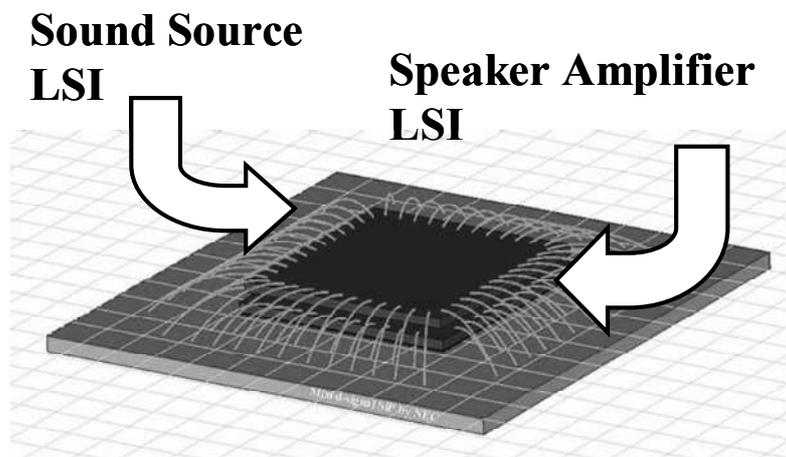


Fig.5-2 Image of sound source and speaker amplifier SiP (SS-SiP).

図 5-2 試作した SiP (SS-SiP) のイメージ図

図 5-3 は、SS-SiP の機能ブロック図である。CPU からの信号をもとに、音源 LSI 内の DAC の音声出力をスピーカアンプ LSI の D 級アンプの音声入力に接続し、アンプの出力をスピーカに接続することで、モバイル機器でスピーカを直接駆動することができる。本 SiP では、音源 LSI の音声出力とスピーカアンプ LSI の音声入力は、DAC の SNR を測定するために、本 SiP の外で接続するようにした。

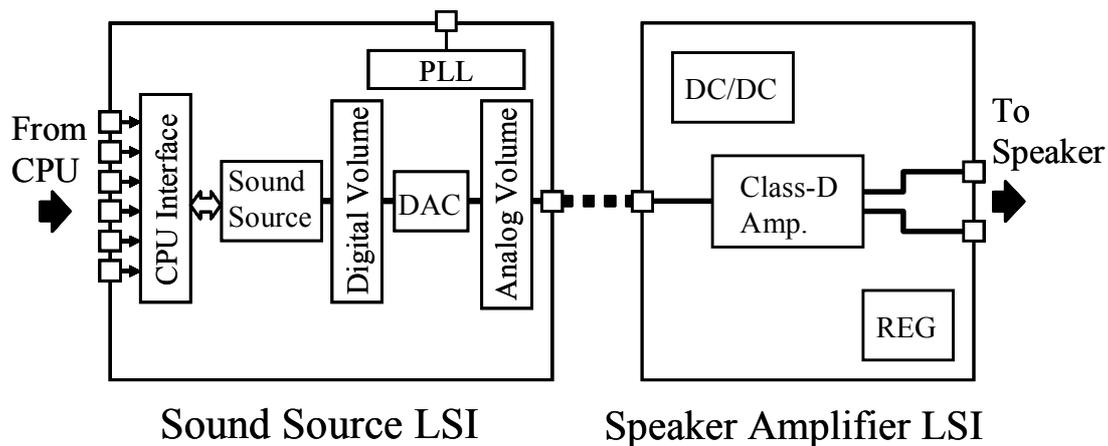


Fig.5-3 Block diagram of SS-SiP.

図 5-3 SS-SiP の機能ブロック図

本 SiP ではワイヤー間、インターポーザ内の配線間、半導体チップ間で電磁干渉ができるだけ起こらないように設計した。特に注意した点は 2 つの半導体チップの回路ブロックの位置関係である。回路ブロックが決まるとボンディングワイヤーやインターポーザ基板内の配線のレイアウトがほぼ決まるためである。図 5-4 は音源 LSI とスピーカアンプ LSI の回路ブロックを重ねた透視図である。音源 LSI は、主にノイズを受けやすい回路として DAC と PLL (Phase locked loop) を含んでいる。一方、スピーカアンプ LSI は、動作電圧が 15 V p-p、動作周波数が数百 kHz で、ノイズを発生しやすい DC-DC コンバータと D 級アンプを含んでいる。図 5-4 がいくつか検討した上で決定した最終配置である。この中で DAC が最もノイズに敏感な回路であるため、この回路を DC-DC コンバータや D 級アンプからできるだけ離す配置にした。一方、PLL は DC-DC コンバータと重なる。その代わりに、両回路のボンディングワイヤーができるだけ近接しないようにパッケージを設計した。

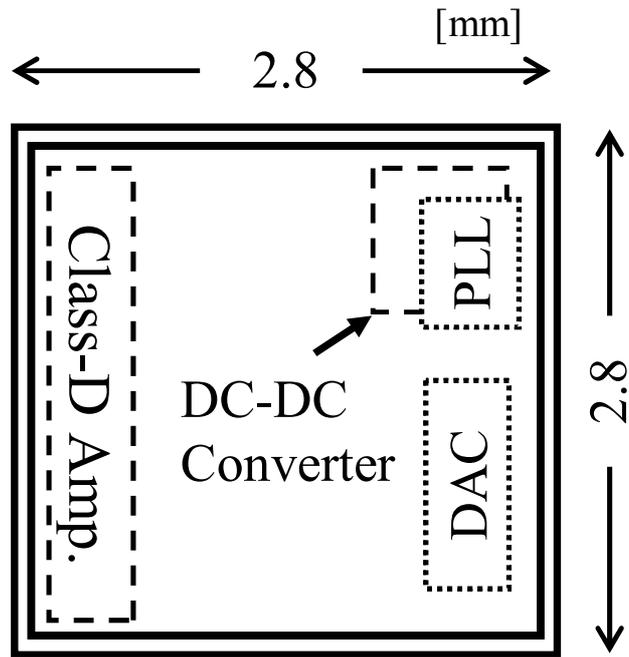


Fig. 5-4 Layout of circuit blocks on chips.

図 5-4 重ねた半導体チップの透視図

図 5-5, 5-6 は, それぞれ 1 層ポリイミドテープ, 2 層ガラスエポキシ基板のインターポータ基板を用いた場合のパッケージレイアウト図である. テープの厚みは 0.10 mm, エポキシ基板の厚みは 0.31 mm とした. また, テープでのパッケージサイズは 7 mm 角, エポキシ基板でのサイズは 6 mm 角とした. 2 層エポキシ基板の場合, ワイヤのボンディングパッドを BGA (ball grid array) の真上に形成することができたが, 1 層テープの場合, BGA の外側に形成しなければならず, パッケージサイズが大きくなった. ちなみに, 音源 LSI のチップサイズは 2.7 mm 角, スピーカアンプ LSI のチップサイズは 2.8 mm 角であった.

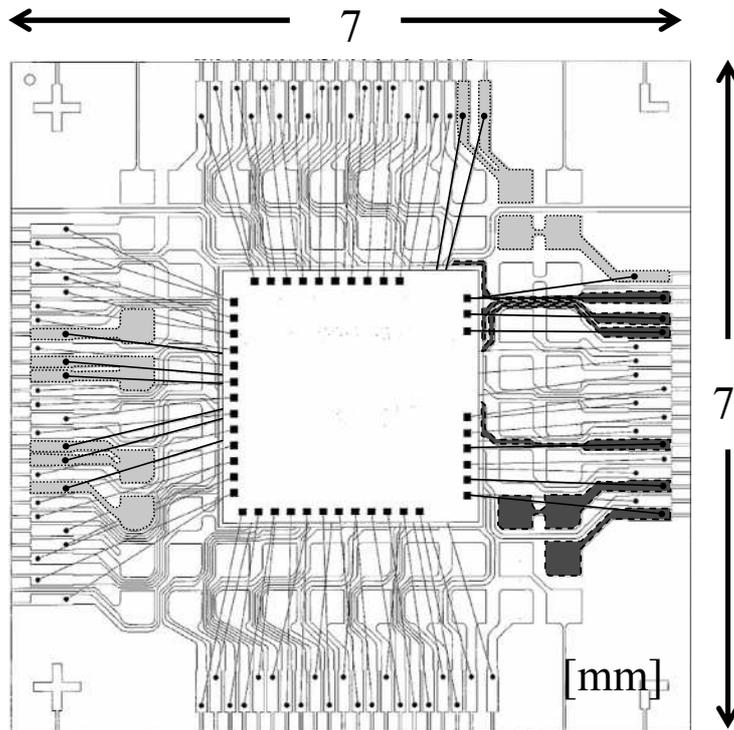


Fig.5-5 SS-SiP layout with one-metal polyimide tape.

図 5-5 ポリイミドテープを適用した SS-SiP

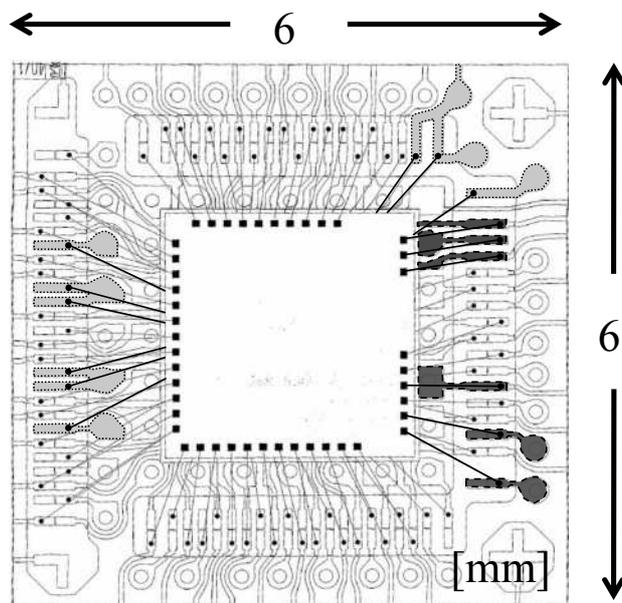


Fig.5-6 SS-SiP layout with two-metal glass epoxy board.

図 5-6 ガラスエポキシ基板を適用した SS-SiP

図 5-7, 5-8 は, 2 種類のインターポーザ基板を用いて試作した SS-SiP の断面写真である. パッケージの高さは 0.5 mm ピッチハンダボールの高さを含めて, テープの場合に 1.35 mm, 基板の場合に 1.34 mm となった. LSI の厚みは 120  $\mu\text{m}$ , シリコンスペーサの厚みは 80  $\mu\text{m}$  とした. シリコンスペーサは下側の半導体チップのボンディングワイヤーが上側のチップの底面と接触しないために挿入した.

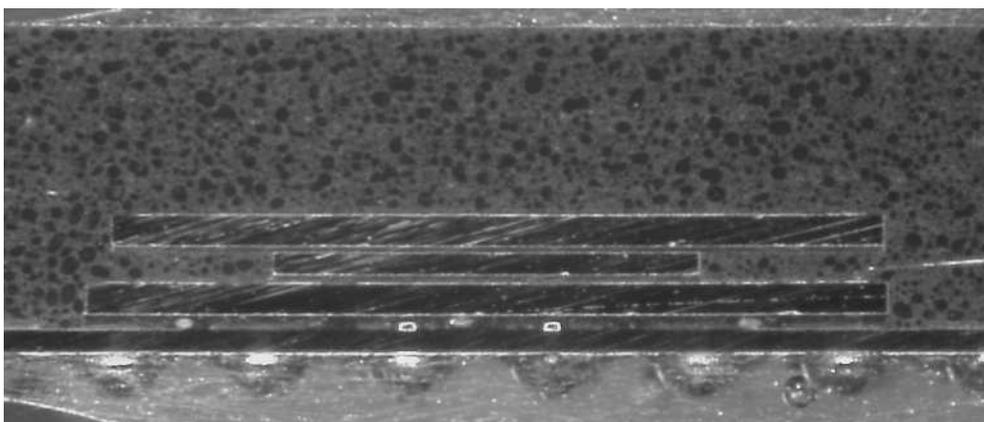


Fig.5-7 Cross-sectional view of SS-SiP with one-metal tape.

図 5-7 1 層ポリイミドテープを用いた SS-SiP の断面写真

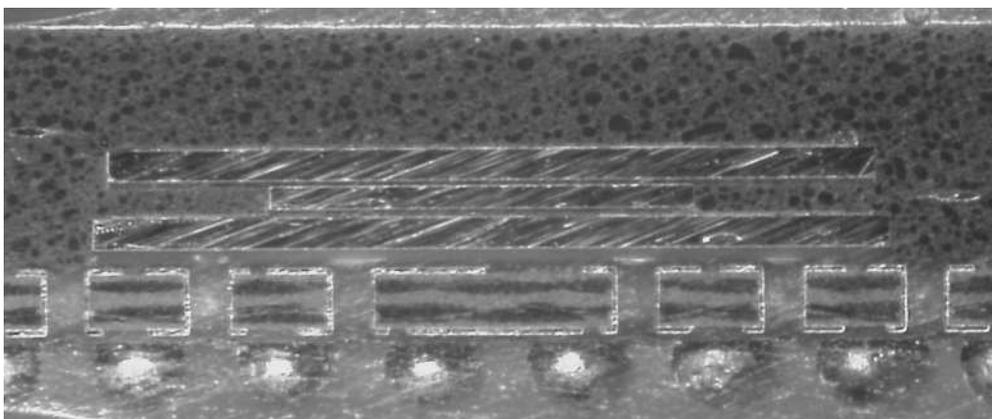


Fig.5-8 Cross-sectional view of SS-SiP with two-metal board.

図 5-8 2 層エポキシ基板を用いた SS-SiP の断面写真

### 5.3 テスト基板

図 5-9 は SS-SiP の SNR 測定に用いたテスト基板である。本基板は、6 層のビルドアップ基板で作製した。スピーカアンプ LSI 用のテスト回路は本基板の上 3 層の中央付近に配置した。一方、音源 LSI 用のテスト回路は本基板の下 3 層の外周に配置した。このように配線層と領域を分けることでテスト基板内でのノイズの回り込みを防いだ。

更に、DAC の出力信号の配線パターンは、特別ノイズを受けづらい構造にした。具体的には、同配線パターンの上下層と両側にグランドプレーン領域を設け、更に、同配線パターンに沿って 2~4 mm ピッチのグランドビアを形成した。同配線パターンを同軸ケーブルのようにグランドパターンで囲むことで、テスト基板内の電源電圧変動などの外乱の影響を受けない構成にした。

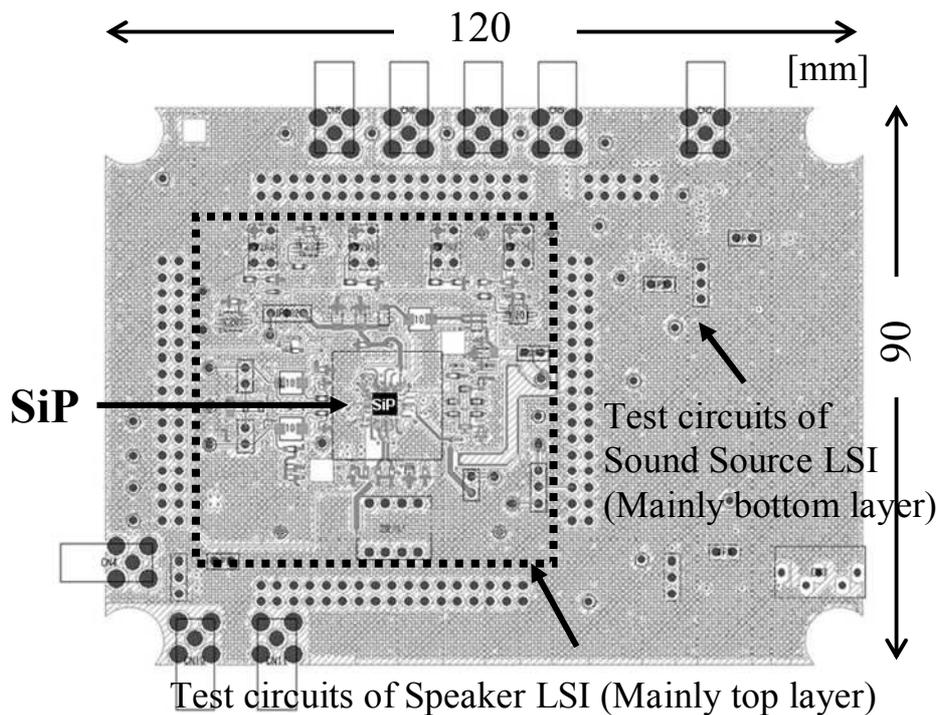


Fig.5-9 Test board for SS-SiP.

図 5-9 SS-SiP のテスト基板

## 5.4 SNR 測定

音源 LSI の SNR はオーディオアナライザ (Audio Precision System Two Cascade plus, 2722A) を用いて測定した。音源 LSI に対する 13 MHz の外部クロックは信号発生器 (HP8642B) にて入力した。一方、測定した SNR の最大値 ( $SNR_{max}$ ) は、997kHz, -60 dBFS (decibels full scale) の入力に対する全高調波歪+ノイズ (total harmonic distortion plus noise: THD+N) の最大ダイナミックレンジとして測定した。入力信号成分と 16 kHz 以下の全ての高調波歪み成分、ノイズ成分の二乗和の平方根に対し、同高調波歪み成分、ノイズ成分の二乗和の平方根の比率を取った値である。

図 5-10 は、音源 LSI チップだけをパッケージ化したものの SNR であり、図 5-11 は、エポキシ基板を用いた SS-SiP に対し、スピーカアンプ LSI の電源をオフにし、音源 LSI だけを動作させた状態での SNR である。2つの SNR はほぼ一致している。後に紹介するテープを用いた SS-SiP の  $SNR_{max}$  は -85.4 dBrA, -85.7 dBrA であり、音源 LSI チップだけをパッケージ化したものの結果と大きな差もない。この結果から、組立工程による大きな特性劣化はないことが確認できる。

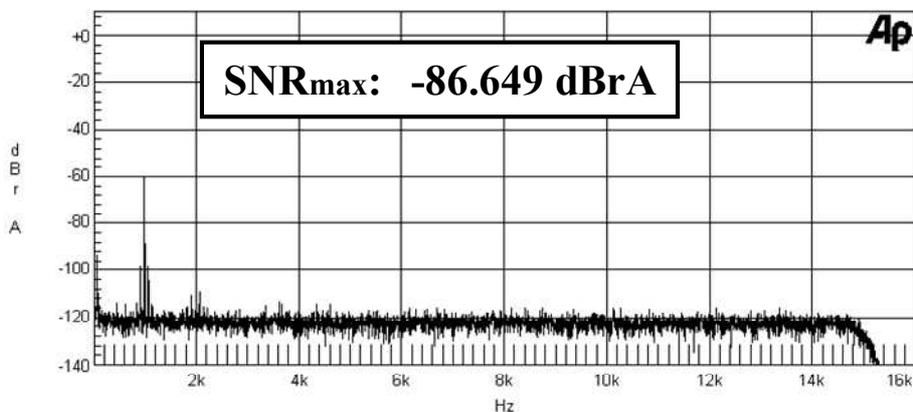


Fig.5-10 Signal-to-noise ratio of single sound source LSI.

図 5-10 音源 LSI 単体の SNR 測定結果

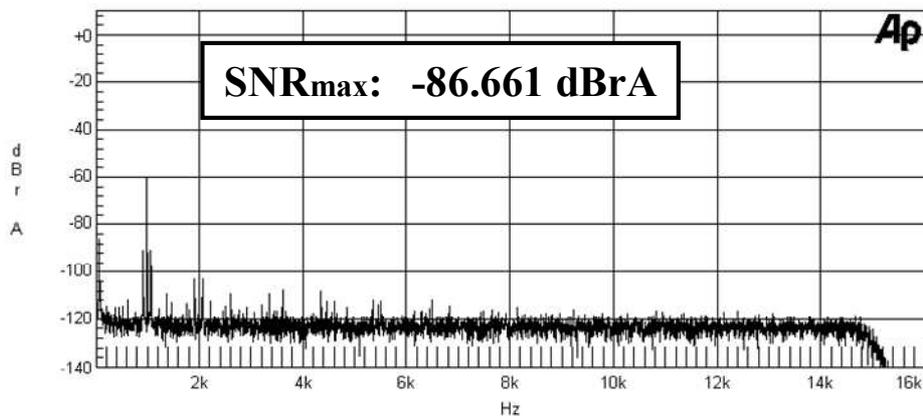
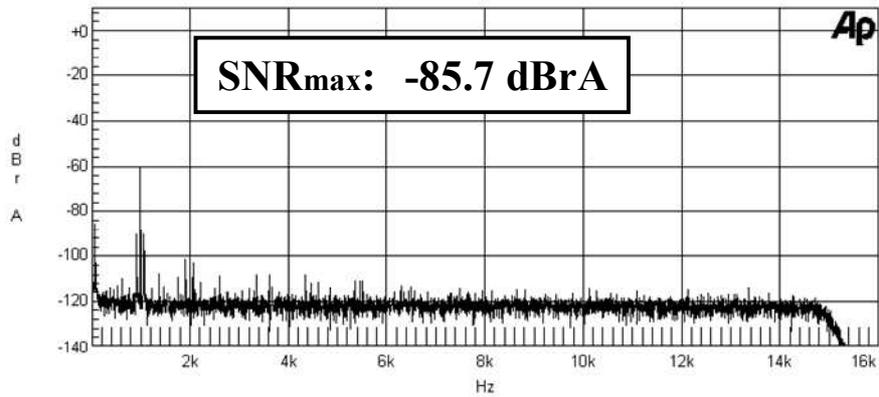


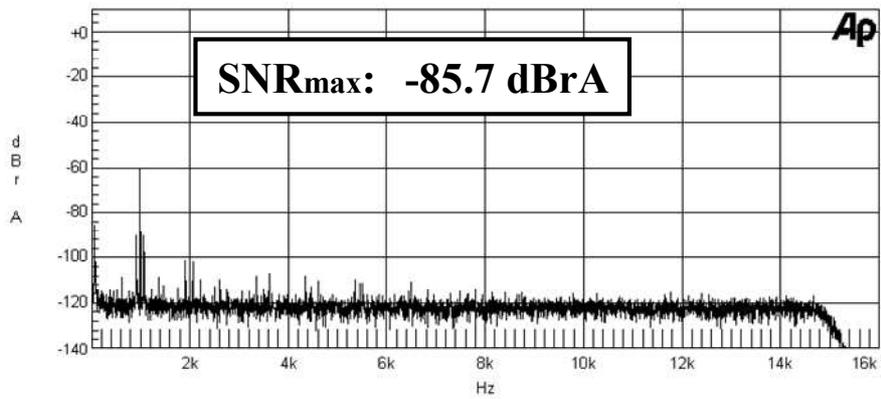
Fig.5-11 Signal-to-noise ratio of SS-SiP.

図 5-11 スピーカアンプ LSI が電源オフでの SS-SiP の SNR 測定結果

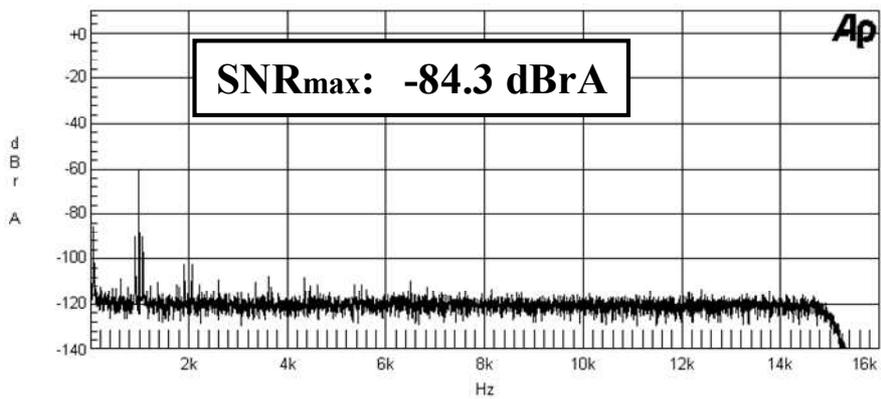
図 5-12 は、ポリイミドテープを用いた SS-SiP の SNR の一例である。図(a)はスピーカアンプ LSI の電源がオフの場合、図(b)はスピーカアンプ LSI がレシーバ (REC) モードの場合、図(c)はスピーカ (SPK) モードの場合の測定結果である。スピーカアンプ LSI の出力電圧は、REC モードで 5 Vp-p, SPK モードで 15 Vp-p となる。REC モードでは、SNR<sub>max</sub> 劣化は無視できたが、SPK モードでは無視できなかった。SPK モードの SNR<sub>max</sub> は、REC モードやスピーカアンプ LSI の電源がオフの場合よりも約 1.5 dB 劣化した。そのため、図(c)の全体のノイズレベルは図(a), (b)よりも僅かながら上昇している。ノイズ源として考えられる DC-DC コンバータや D 級アンプの動作周波数が約 700 kHz, SNR の測定周波数範囲が～16 kHz と周波数帯域が離れているにもかかわらず、SNR は劣化した。



(a) Speaker LSI power OFF



(b) REC mode (speaker LSI output: 5 Vp-p)



(c) SPK mode (speaker LSI output: 15 Vp-p)

Fig.5-12 SNR of SS-SiP with one-metal tape without and with speaker LSI operation.

図 5-12 ポリイミドテープを用いた SS-SiP の SNR

図 5-13 は 2 種類のインターポーザ基板を用いた SS-SiP の SNR を各々 2 個測定した結果である。どの SS-SiP でも SPK モードで SNR が劣化した。その劣化量はどれも約 1.5 dB であった。また、ポリイミドテープを用いた SS-SiP の方がエポキシ基板を用いた SS-SiP よりも SNR が約 1dB 低かった。

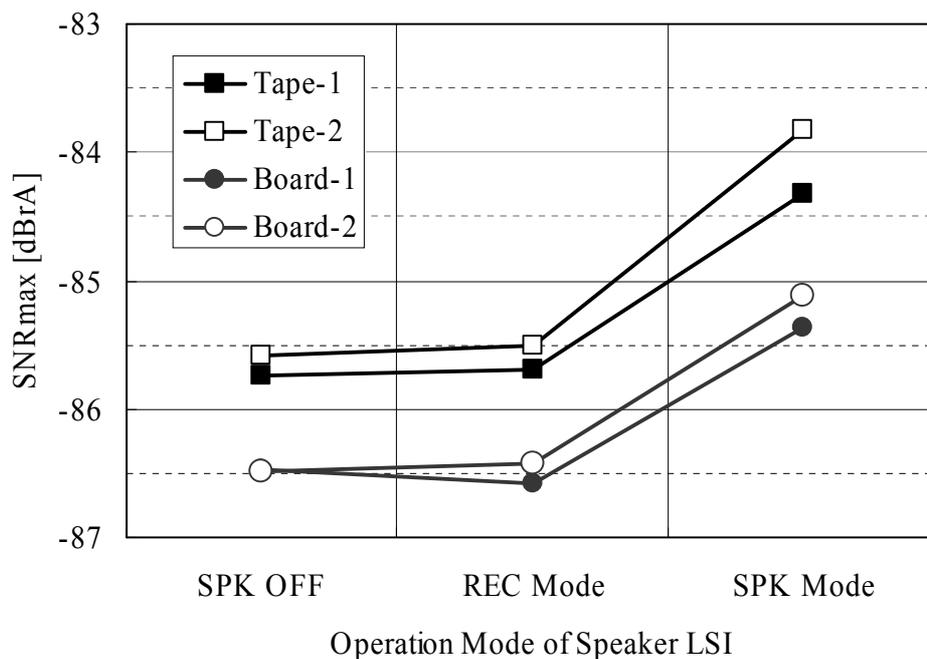


Fig.5-13 SNR of the two versions of SS-SiPs without/with speaker LSI operation.

図 5-13 2 種類のインターポーザ基板を用いた SS-SiP の SNR

## 5.5 ノイズ源の特定

SPK モードで生じる SNR 劣化の原因を追究した。まず、スピーカアンプ LSI の DC-DC コンバータと D 級アンプが主なノイズ源と予想した。この 2 つからノイズ源を特定するため、これら 2 つの回路をそれぞれ独立して動作させ、SNR を測定することにした。図 5-14 はその際の測定条件を示すブロック図である。当初は DC-DC コンバータの DC 出力 (VOUT) を D 級アンプの DC 入力 (VDDON と VDDOP) にテスト基板上で接続していた。VOUT を 5 V とすることで D 級アンプの出力 (OUTN, OUTP) を 5 V<sub>p-p</sub> の REC モードで動作させ、VOUT を 15 V とすることで、OUTN, OUTP を 15 V<sub>p-p</sub> の SPK モードで動作させていた。今回、この接続を切り離し、VDDON, VDDOP を外部 DC 電圧 (EXTRA VOUT) に接続した。更に、VOUT を 15 V に固定したまま、VDDON と VDDOP に 5 から 15 V の DC 電圧を EXTRA VOUT から入力しながら SNR を測定した。DC-DC コンバータが最大 DC 電圧 15 V を生成し、ノイズを最も出す状態で固定されているにも関わらず、EXTRA VOUT を上昇させ、D 級アンプの動作電圧を高くするほど SNR の劣化量が増えている。また、EXTRA VOUT が 5 V と 15 V の時の SNR<sub>max</sub> は、先に示した REC モードと SPK モードでの値と一致している。更に、この現象はここで示したすべての SS-SiP で生じている。以上、SNR 劣化が D 級アンプの動作電圧の変化だけで説明できることから、SNR 劣化のノイズ源は DC-DC コンバータではなく、D 級アンプであることが確認できる。

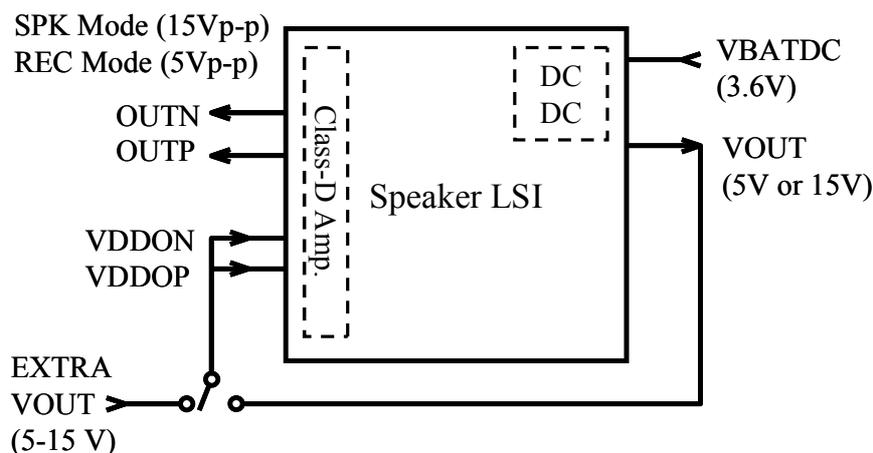


Fig. 5-14 Block diagram of speaker LSI and test board.

図 5-14 ノイズ源を特定する測定条件

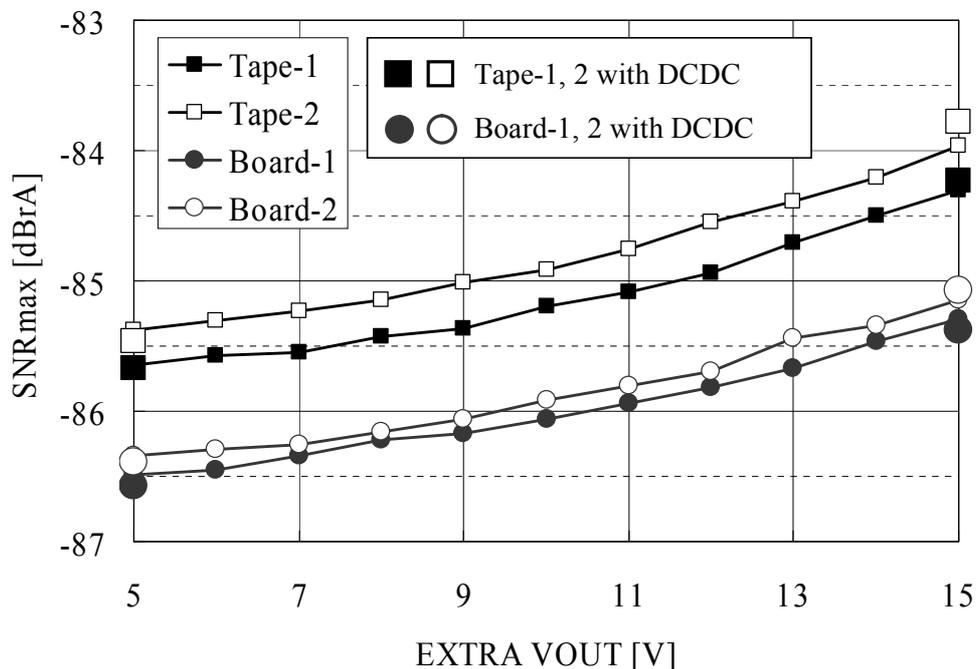


Fig.5-15 SNR of SS-SiPs against EXTRA VOUT.

図 5-15 EXTRA VOUT を変えた場合の SS-SiP の SNR

この SNR 劣化に対する D 級アンプから DAC へのノイズ伝播経路は現時点では明確になっていない。しかし、図 5-5, 5-6 に示したように、音源 LSI のワイヤー長はインターポーザ基板によって大きく異なっていた。例えば、DAC の音声出力のワイヤー長はポリイミドテープの場合に 2.1 mm, エポキシ基板の場合に 1.2 mm であった。各基板内の配線長が共に 1.2 mm であったため、パッケージの大きいテープの方がワイヤー長と基板配線長を足し合わせた長さが長い (図 5-16)。ワイヤーと基板配線が形成するループアンテナがノイズを受信していると仮定すると、その長さが長いテープの方がノイズを受信しやすいと言える。このようなことからボンディングワイヤーや基板配線での磁界結合がノイズ伝播経路となっているものと予想する。また、2つの半導体チップの位置関係は同じため、今回の検討では、チップ間の電磁干渉の有無を判断できない。これは今後の検討課題の一つである。

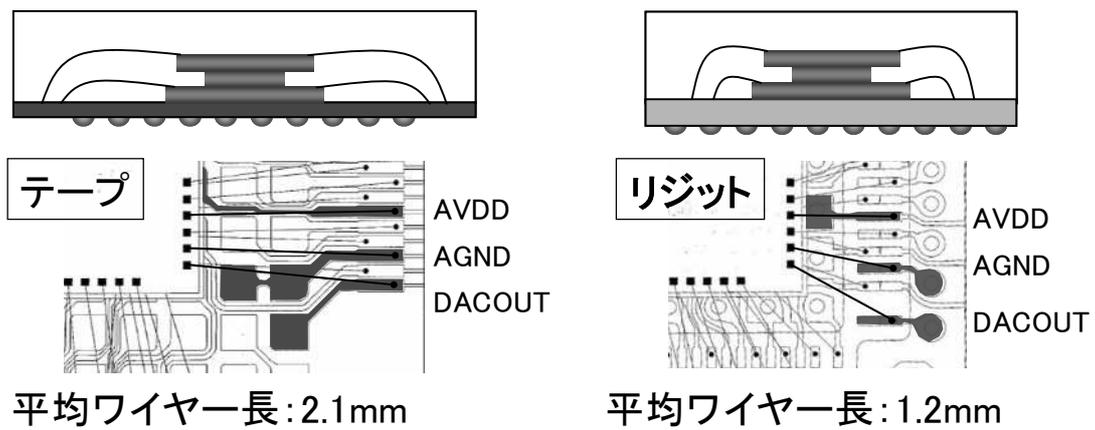


Fig.5-16 Detailed layout of DAC input terminals

図 5-16 DAC の入力部の詳細レイアウト

## 5.6 設計指針

本研究によって導き出された設計指針は以下の通りである。

- ① SiP 内チップレイアウトにて、ノイズ発生ブロックとノイズ受信ブロックを離す。
- ② ノイズ受信回路のワイヤーと配線を短くする。

## 5.7 むすび

高品質なミックスドシグナル SiP を実現するための設計技術確立のため、モバイル機器向けを想定して、音源 LSI とスピーカアンプ LSI を混載したミックスドシグナル SiP を試作し、信号対ノイズ比 (SNR) を測定した。スピーカアンプ LSI の出力が 5 Vp-p の場合、SiP 内の音源 LSI に搭載されているデジタル-アナログ・コンバータ (DAC) の SNR は音源 LSI 単体の SNR と変わらなかったが、同出力が 15 Vp-p の場合、SNR は約 1.5 dB 劣化すること、インターポーザ基板として銅配線が 1 層のポリイミドテープを用いた場合、銅配線が 2 層のガラスエポキシ基板を用いた場合に比べ SNR が約 1 dB 低下することを明らかにした。また、ノイズ源として想定された DC-DC コンバータと D 級アンプを独立に動作させた検討により、これらの SNR 劣化は、スピーカアンプ LSI 内の D 級アンプが原因であることを突き止めた。更に、得られた知見から設計指針を導いた。

本研究で、D 級アンプから DAC へのノイズ伝播経路は明確にできていない。しかし、レイアウトの違いから、DAC 入力部のワイヤーと基板配線で形成されるループがノイズの伝播経路になっている可能性を指摘した。このような磁界結合がノイズ伝播経路であるならば、音声を扱う 20 kHz 以下のノイズ干渉だけでなく、映像などの MHz 帯域の高速なアナログ信号を扱うアナ/デジ混載 SiP でも同様の設計指針が適用できると考える。

## 参考文献

- [5.1] Y. Matsuura, A. Watanabe, and S. Kawakami, "Stacked Die SiP Technology Suitable for Devices with Low-k Inter-Layer Dielectric," Proc. 2006 IEEE Int. Symp. Electronic Components and Technology Conf, pp. 1381-1385, May 2006.
- [5.2] R. Tummala, "SOP: What is it and why? A new microsystem-integration technology paradigm-moore's law for system integration of miniaturized convergent systems of the next decade," IEEE Trans. Adv. Packag., vol.27, no.2, pp.241-249, May 2004.
- [5.3] T. Sudo, H. Sasaki, N. Masuda, and J. L. Drewniak, "Electromagnetic Interference (EMI) of System-on-Package (SOP)," IEEE Trans. Adv. Packag., vol.27, No.2, pp.304-314, May 2004.
- [5.4] R. Jones, C. Ramiah, T. Kamgaing, S. Banerjee, T. Chi-Taou, H. Hughes, A. DeSilva, J. Drye, L. Li, W. Blood, L. Qiang, C. Vaughan, R. Miglore, D. Penunuri, R. Lucero, D. Frear, and M. Miller, "System-in-Package Integration of SAW RF Rx Filter Stacked on a Transceiver Chip," IEEE Trans. Adv Packag, vol.28, no. 2, pp.310-319, May 2005.
- [5.5] H. Sasaki, V. Govind, K. Srinivasan, S. Dalmia, V. Sundaram, M. Swaminathan, and R. Tummala, "Electromagnetic Intereference (EMI) Issues for Mixed-Signal System-on-Package (SOP)," Proc. 2004 IEEE Int. Symp. Electronic Components and Technology Conf, pp. 1437-1442, May 2004.
- [5.6] 佐々木英樹, ゴビン ビヌー, スリニバサン クリシュナ, ダルミナ シダース, サンダラム ベンキー, スワミナサン マダハバン, トウマラ ラオ, "ミックスドシグナル SOP (System-On-Package) におけるノイズ干渉メカニズムの検討," 電子情報通信学会誌 (C), vol.J89-C, no.11, pp.874-884, Nov. 2006.
- [5.7] 佐々木英樹, 藤村雄樹, 村上朝夫, 寺井幸弘, "ミックスドシグナル SiP (System-in-Package) に対する信号対ノイズ比測定," 電子情報通信学会論文誌 (C), vol.J91-C, no.11, pp.522-528, 2008年11月.

## 第6章 結論

### 6.1 全体のまとめ

本研究では、電子機器を構成するプリント回路基板や LSI パッケージを総称したシステムパッケージの電磁ノイズ問題（電磁放射と電磁干渉）について検討してきた。

社会背景から、コスト削減圧力の強い電子機器に対し、まず、電磁ノイズの発生現象のメカニズムの解明に取り組んだ。その結果、第2章では、プリント回路基板の電源系に起因する電磁放射メカニズム、第3章では、プリント回路基板の信号配線レイアウトに起因する電磁放射メカニズム、第4章では、RF/デジタルを混載する受動素子内蔵基板における電磁干渉メカニズム、第5章では、アナ/デジ混載のチップ積層 SiP における電磁干渉メカニズムを明確にした。

その上で各電磁ノイズに対する低減設計指針を考案した。第2章では、2つのキャパシタと1本の電源配線で構成される電源デカップリング回路、第3章では、基板短辺に沿った信号配線レイアウトが放射低減に効果があること、第4章では、基板内蔵キャパシタの寄生容量を小さくする微小なスロットでもデジタル配線がまたがせない設計指針、第5章では、ボンディングワイヤーやパッケージ基板のループを小さくする設計指針を得た。これらはすべてコスト上昇を最小限に留めることのできる設計指針である。

## 6.2 今後の電磁ノイズ問題予測

今後、クローズアップされると予測する電磁ノイズ問題について、第1章に示した電磁ノイズに関する研究領域の図に追記した。図6-1に示す。

	プリント回路基板	半導体パッケージ	半導体チップ
電磁放射	<ul style="list-style-type: none"> <li>●信号配線からの放射(DM放射)</li> <li>①電源共振からの放射</li> <li>②信号配線からの放射(CM放射)</li> <li>●デジタル無線対応(APD、GHz帯域)</li> </ul>	<ul style="list-style-type: none"> <li>●ヒートシンクからの放射</li> <li>●パッケージ共振系からの放射(GHz帯域)</li> </ul>	<ul style="list-style-type: none"> <li>●電源ノイズ電流のモデル化(2、3次元分布)</li> <li>●チップ電流増への対応</li> </ul>
電磁干渉	<ul style="list-style-type: none"> <li>③RF/デジタル混載によるノイズ干渉(MHz-GHz、携帯/WLAN/UWB/ミリ波)</li> <li>④アナ/デジ混載によるノイズ干渉(kHz-MHz、音声/画像/映像)</li> </ul>		<ul style="list-style-type: none"> <li>●アナデジ混載(RF-CMOS)</li> <li>●3次元LSIのノイズ干渉</li> </ul>

APD: Amplitude Probability Distribution (振幅確率分布)

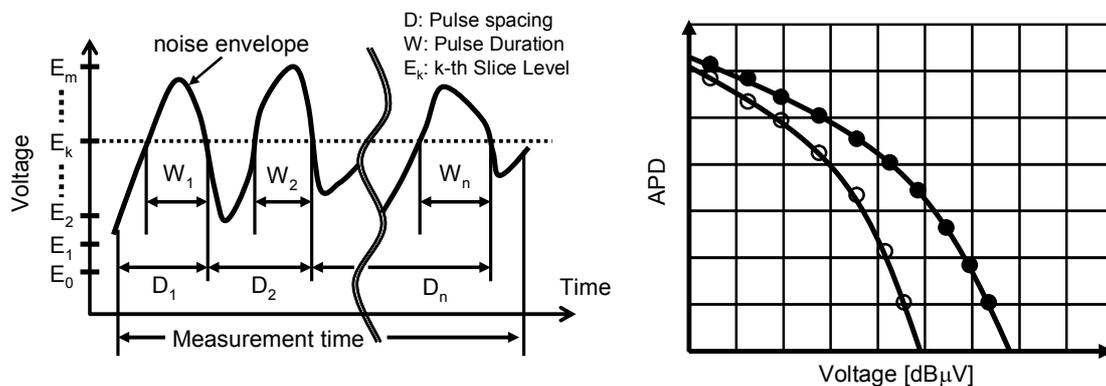
Fig.6-1 Future research area for EMI

図6-1 今後の電磁ノイズに関する研究領域

### ● デジタル無線対応 (APD, GHz 帯域)

公共の放送や無線通信がアナログからデジタルへ移行しているのに合わせ、デジタルに対応した電磁ノイズ評価や低減設計技術開発が必要となる。デジタル無線通信では通信品質を測る指標としてビット誤り率 (BER: Bit Error Rate) が一般的であるが、電磁放射の視点では振幅確率分布 (APD: Amplitude Probability Distribution) [6.1],[6.2]が採用されつつある (図6-2)。従来の不要電磁放射の測定方法では、広い帯域に分散されたノイズはレベルが低く、対象外された。しかし、デジタル無線に対しては分散されたノイズでも誤り率として影響を与えるため、考慮が必要となってきている。

そのため、特にデジタル無線通信の利用が盛んな 1 GHz 以上の帯域では、電磁放射に関してこの APD を用いた特性把握、更にはデジタル方式に影響を与えない電磁ノイズ低減設計技術の確立が急務と考える。



(a) Definition of statistic parameters in noise waveforms

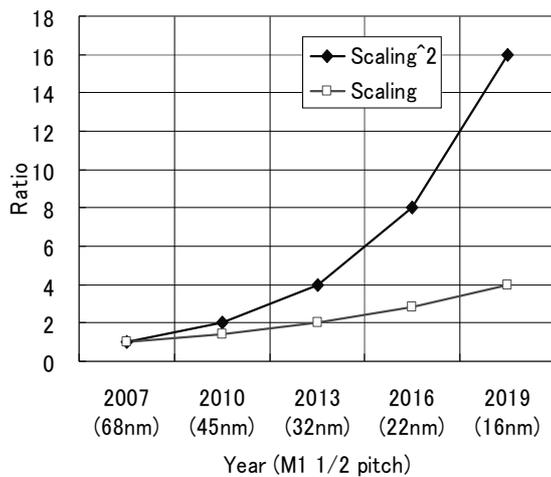
(b) Measurement results of APD

Fig.6-2 Noise evaluation by APD (Amplitude Probability Distribution)[6.1].

図 6-2 APD (振幅確率分布) によるノイズ評価[6.1]

● チップ電流増への対応

今後も 3 年で約 1.4 倍になるスケーリング則[6.3]に従うと、チップの総電流量は、スケーリングファクタ ( $S$ ) の二乗に比例して増加するため、3 年に 2 倍になっていく (図 6-3) [6.4]. そのため、電流起因の電磁ノイズ問題がますます顕著になると予想する。



\*スケーリングファクタ(  $S$  ): 3年で1/0.7

配線容量とゲート容量から推定した  
チップ総電流量のスケーリング

$$\text{配線容量} \quad C_{intTOT} \propto S^2$$

$$\text{ゲート容量} \quad C_{gateTOT} \propto S$$

$$\text{総容量} \quad C_{TOT} = C_{intTOT} + C_{gateTOT} \propto S^2$$

総電流量

$$I_{TOT} = C_{TOT} \Delta V / \tau_g \propto S^2 \times (1/S) / (1/S) = S^2$$

ただし、チップサイズ不変と仮定

Fig.6-3 Total current increasing of LSI chip by scaling

図 6-3 スケーリング則による LSI チップの総電流の増加

- パッケージ共振系からの電磁放射 (GHz 帯域)  
パッケージは元々 GHz 帯域で共振を起こすサイズであるが、デジタルの更なる高速化に伴い、GHz 帯域の電流量が増えることで、この共振による電磁放射が顕在化する可能性がある。
- 電源ノイズ電流のモデル化 (2, 3次元分布)  
チップの大型化と多機能化に伴い、半導体チップの電源ノイズ電流を1次元の電流源と RC (抵抗・キャパシタ) で十分表現できなくなっている。今後、チップ内の2次元分布、更には3次元分布を考慮したモデル化が必要になると予想する。
- RF/デジタル混載によるノイズ干渉 (UWB/ミリ波)  
数 GHz 帯域の UWB, 数十 GHz 帯域のミリ波とも、当初は高周波特性の優れたパッケージを使って実用化されるであろう。しかし、普及段階に入れば、コスト削減圧力が加わり、電磁干渉が顕在化し、その低減設計が性能を決めるほど重要になるであろう。

- アナ/デジ混載によるノイズ干渉（画像/映像）  
ADC や DAC の高速化に伴い，電磁ノイズを考慮すべき周波数帯域が kHz から MHz まで広がるであろう。
  
- アナデジ混載（RF-CMOS）  
チップ内でのノイズ干渉を電磁界として扱う必要が出てくるであろう。
  
- 3次元 LSI のノイズ干渉  
積層チップ間のノイズ干渉を低コストで低減する技術が必要であろう。
  
- プリント回路基板－半導体パッケージ－半導体チップの統合電気設計  
電磁ノイズ問題をできるだけコストをかけずに解決していくためには，図 6-1 の横軸に示したプリント回路基板，半導体パッケージ，半導体チップで，個別に最適化するのではなく，全体として最適化する，統合電気設計の視点が今後益々重要になると考える。

### 6.3 むすび

4つの代表的な電磁ノイズ問題に対するメカニズムを解明し，低減設計技術を開発した．この技術開発を通じて，できるだけコストをかけず，効果的に電磁ノイズを低減するには，ノイズの結合経路もしくは伝播経路を見出し，それを効果的に分離することが有効であることを実証した．また，電磁ノイズの発生メカニズムを解明した上で，普遍的な設計技術を開発したことから，システムパッケージの製品設計に適用することで，多くの電磁放射や電磁干渉の問題が解決できる．今後は，特に，デジタル化に対応した電磁ノイズ低減設計技術開発が急務であり，また，半導体プロセスの微細化に伴うチップの総電流量増加や，3次元LSIなどの新しい半導体構造への対応も必要と考える．

### 参考文献

- [6.1] 宮本伸一，山中幸雄，篠塚隆，森永規彦，“電子レンジ妨害波存在下でのデジタル無線通信システムの誤り率特性に関する検討，”電子情報通信学会誌（B-II），vol.J79-B-II，no.11，pp.835-844，1996年11月．
- [6.2] 内野政治，篠塚隆，佐藤利三郎，“20MHz 標本化 8bit 分解能を有する振幅確率分布測定装置，”電子情報通信学会論文誌（B），vol.J82-B，no.11，pp.2181-2187，1999年11月．
- [6.3] 2007 International Technology Roadmap for Semiconductors (ITRS), JEITA 和訳, Executive Summary, 配線, p.59.
- [6.4] 中澤喜三郎，中村宏監訳，“VLSI システム設計 ～回路と実装の基礎～，”丸善，7.9 章 電源電圧変動へのスケーリング効果，1995年4月．

## 論文業績リスト

### 【原著論文】 5編

- 1) Hideki Sasaki, Takahashi Harada, Toshihide Kuriyama, “A New Decoupling Circuit for Suppressing Radiated Emissions due to Power Bus Resonance,” IEICE Transactions on Communications, Vol.E85-B, No.5, pp.1031-1037, May 2002 (第2章) .
- 2) 佐々木英樹, 原田高志, 栗山敏秀, 佐藤高史, 益一哉, “2つのキャパシタと1本の電源配線で構成した電磁放射低減電源デカップリング回路のQFPパッケージLSIへの適用,” 電子情報通信学会誌 (B), Vol.J92-B, No.5, 2009年5月 (第2章) .
- 3) 佐々木英樹, 原田高志, 栗山敏秀, “プリント回路基板からの不要電磁放射の信号配線レイアウト依存性,” 電子情報通信学会論文誌 (B), Vol.J90-B, No.11, pp.1124-1134, 2007年11月 (第3章) .
- 4) 佐々木英樹, Gobin Binu, Sri Nivasan Krishna, Dalmina Shidars, Sandaram Venky, Swaminathan Madhaban, Toumala Rao, “Mixed Signal SOP (System-On-Package) におけるノイズ干渉メカニズムの検討,” 電子情報通信学会論文誌 (C), Vol.J89-C, No.11, pp.874-884, 2006年11月 (第4章) .
- 5) 佐々木英樹, 藤村雄樹, 村上朝夫, 寺井幸弘, “Mixed Signal SiP (System-in-Package) に対する信号対ノイズ比測定,” 電子情報通信学会論文誌 (C), Vol.J91-C, No.11, pp.522-528, 2008年11月 (第5章) .

### 【国際学会】 6編

- 1) Hideki Sasaki, Takashi Harada, and Toshihide Kuriyama, “A New VLSI Decoupling Circuit for Suppressing Radiated Emissions from Multilayer Printed Circuit Boards,” 2000 IEEE International Symposium on Electromagnetic Compatibility (EMC), pp.157-162, August 2000 (第2章) .
- 2) Hideki Sasaki, “The Impact of Changing Printed Circuit Board (PCB) Layout on Common-Mode Radiation from the Board,” 2003 IEEE Electrical Design of Advanced Packaging and System (EDAPS), pp.79-93, November 2003. Invited (第

3章) .

- 3) Hideki Sasaki, Takashi Harada, and Toshihide Kuriyama, “The Relationship between Common-Mode Radiation from the Ground Plane and Differential-Mode Radiation from Signal Traces on the Ground Plane,” 2002 IEEE International Symposium on Electromagnetic Compatibility (EMC), pp.195-199, August 2002 (第3章) .
- 4) Hideki Sasaki, Takashi Harada, and Toshihide Kuriyama, “Layout Dependence of Radiated Emissions from Printed Circuit Boards,” 2001 International Conference on Electronics Packaging (ICEP), pp.513-518, April 2001 (第3章) .
- 5) Hideki Sasaki, Vinu Govind, Krishna Srinivasan, Sidharth Dalmia, Venky Sundaram, Madhavan Swaminathan, and Rao Tummala, “Electromagnetic Interference Issues for Mixed-Signal System-On-Package (SOP),” 2004 IEEE Electronics Components and Technology Conference (ECTC), pp.1437-1442, June 2004 (第4章) .
- 6) Hideki Sasaki, Yuki Fujimura, Tomoo Murakami, Yukinori Terai, “Signal-to-Noise Ratio (SNR) Measurements of Sound Source and Speaker System-in-Package (SiP),” 2008 IEEE Signal Propagation on Interconnect (SPI), May 2008 (第5章) .

【国内講演】 7編

- 1) 佐々木英樹, 原田高志, 栗山敏秀, “VLSIのためのEMI抑制デカップリング回路,” 2000年 電子情報通信学会 総合大会, p.369, 2000年3月 (第2章).
- 2) 佐々木英樹, “コモンモード放射抑制のためのPCB設計,” エレクトロニクス実装学会 サマーセミナー”EMC・高速・高周波研究会”, 2001年8月 (第3章) .
- 3) 佐々木英樹, 原田高志, 栗山敏秀, “プリント回路基板における配線からのディファレンシャルモード放射とグランドプレーンからのコモンモード放射の関係,” 2001年 電子情報通信学会 ソサイエティ大会, p.274, 2001年9月 (第3章) .
- 4) 佐々木英樹, 原田高志, 栗山敏秀, “コモンモード放射を抑えるプリント基板設計方法,” 2001年 電子情報通信学会 総合大会, p.317, 2001年3月 (第3章).

- 5) 佐々木英樹, 原田高志, 栗山敏秀, “コモンモード放射の基板レイアウト依存性,” 電子情報通信学会 環境電磁工学研究会 (EMCJ), 2000年7月(第3章) .
- 6) 佐々木英樹, 原田高志, 栗山敏秀, “コモンモード放射解析のための LSI のモデル化,” 電子情報通信学会 環境電磁工学研究会 (EMCJ), 2000年3月(第3章) .
- 7) 佐々木英樹, “Mixed-Signal SOP におけるノイズ干渉抑制設計,” ワイヤレス・センサー・ネットワーク社会に向けたナノメートル CMOS システムとその要素技術の研究に関する先導的研究開発委員会, 2006年6月(第4章) .

【その他の原著論文】 5編

- 1) Toshio Sudo, Hideki Sasaki, Norio Masuda, and J. L. Drewniak, “Electromagnetic Interference (EMI) of System-on-Package (SOP),” IEEE Transactions on Advanced Packaging, vol. 27, no.2, pp.304-314, May 2004.
- 2) Takashi Harada, Hideki Sasaki, and Yoshio Kami, “Controlling Power-Distribution-Plane Resonance in Multilayer Printed Circuit Boards,” IEICE Transactions on Communications Vol.E83-B, No.3, pp.577-585, March 2000.
- 3) Takashi Harada, Hideki Sasaki, and Yoshio Kami, “Investigation on Radiated Emission of Multilayer Printed Circuit Boards,” IEICE Transactions on Communications Vol.E80-B, No.11, pp.1645-1651, November 1997.
- 4) 原田高志, 佐々木英樹, 半杭英二, “プリント回路基板近傍磁界の時間軸波形計測,” 電気学会 論文誌 A, Vol.117, No.5, pp. 523-530, 1997年5月.
- 5) 作田憲一, 佐々木英樹, 星野光晴, 関根好文, “水晶発振回路の負荷 Q に着目した位相雑音の低減に関する一検討,” 電子情報通信学会論文誌 (C), Vol.J77-C-2, No.9, pp. 363-370, 1994年9月.

【その他の国際学会】 8編

- 1) Krishna Srinivasan, Hideki Sasaki, and Madhavan Swaminathan, “Calibration of Near Field Measurements using Microstrip Line for Noise Predictions,” 2004 IEEE Electronics Components and Technology Conference (ECTC), pp.1432-1436, June 2004.
- 2) Takashi Harada, Hideki Sasaki, and Toshihide Kuriyama, “Radiated Emission from a Multilayer PCB with Traces Placed in Power/Ground Planes,” 2002 IEEE

International Symposium on Electromagnetic Compatibility (EMC), pp.253-257, August 2002.

- 3) Takashi Harada Hideki Sasaki, and Yoshio Kami, “Power-Distribution-Plane Analysis for Multilayer Printed Circuit Boards with SPICE”, Int Electronic Manufacturing Technology Symp. (IEMT)/Int. Microelectronics Conf. (IMC) Symp., FB3-1, April 2000.
- 4) Hideki Sasaki, and Takashi Harada, “A New Decoupling Technique for Suppressing Radiated Emissions Arising from Power Bus Resonance of Multilayer PCBs,” 1999 International Symposium on Electromagnetic Compatibility (EMC), EMC’99 Tokyo, pp.17-20, May 1999.
- 5) Takashi Harada, and Hideki Sasaki, “Investigation on Power Distribution Plane Resonance in Multilayer Printed Circuit Boards Using a Transmission-line Model,” 1999 Int Symp on Electromagnetic Compatibility (EMC), Tokyo, pp.21-24, May 1999.
- 6) Takashi Harada, Hideki Sasaki, Yoshio Kami, “Radiated Emission Arising from Power Distribution in Multilayer Printed Circuit Boards,” 1997 IEEE Int Symp on Electromagnetic Compatibility (EMC), pp.518-522, August 1997.
- 7) Hideki Sasaki, and Takashi Harada, “Time Domain Magnetic Field Measurement near Printed Circuit Boards,” Progress in Electromagnetics Research Symp (PIERS), p.22, January 1997.
- 8) Eiji Hankui, Hideki Sasaki, and Takashi Harada, “An Immunity-estimation Simulator for Printed Circuit Boards,” 1995 IEEE Int Symp on Electromagnetic Compatibility (EMC), Zurich, pp.243-248, 1995.

【その他の国内講演】 21編

- 1) 原田高志, 佐々木英樹, 栗山敏秀, “多層プリント回路基板層間配線からの不要電磁波放射,” 電子情報通信学会 環境電磁工学研究会 (EMCJ), 2001年7月.
- 2) 原田高志, 佐々木英樹, 栗山敏秀, “スリットのあるプレーンを有する多層プリント回路基板電源供給系の解析,” 2001年 電子情報通信学会 総合大会, p.322, 2001年3月.
- 3) 矢口貴宏, 浅尾清, 恵谷誠至, 原田高志, 佐々木英樹, “PCBにおける電源

プレーンの電圧分布を考慮した配置設計,” 2000年 エレクトロニクス実装  
学術講演大会, 15B-10, 2000年3月.

- 4) 原田高志, 佐々木英樹, 栗山敏秀, 上芳夫, “多層プリント基板の層間配線  
と電源供給系の結合モデル,” 電子情報通信学会 総合大会, p.368, 2000年3  
月.
- 5) 原田高志, 佐々木英樹, 上芳夫, “多層プリント回路基板電源供給系の二次  
元解析”, 1999年 電子情報通信学会 環境電磁工学研究会 (EMCJ), Vol.99,  
No.528, pp.7-14, 1999年12月.
- 6) 原田高志, 佐々木英樹, 上芳夫, “伝送線路理論による多層プリント回路基  
板電源供給プレーンの共振特性の解析”, マイクロエレクトロニクスシンポ  
ジウム (MES), pp.105-108, 1998年12月.
- 7) 原田高志, 佐々木英樹, 襟川勝典, 上芳夫, “多層プリント回路基板の電源  
供給プレーンにおける共振特性,” 電子情報通信学会 環境電磁工学研究会  
(EMCJ), Vol.98, No.285, pp.47-52, 1998年9月.
- 8) 佐々木英樹, 原田高志, “プリント回路基板近傍の磁界計測とその EMC 問題  
への応用,” 電子情報通信学会 集積回路研究会 (ICD), pp.9-13, 1997年12月.
- 9) 佐々木英樹, 原田高志, “磁界波形計測による IC スイッチングノイズの測定,”  
電子情報通信学会 1997年 ソサイエティ大会, p.250, 1997年8月.
- 10) 原田高志, 佐々木英樹, “多層プリント回路基板における電源供給プレーン  
からの不要電磁波放射,” 電子情報通信学会 1997年 総合大会, p.335, 1997  
年3月.
- 11) 原田高志, 佐々木英樹, “多層プリント回路基板の電源系における不要電磁  
波放射,” 回路実装学会 回路実装学術講演大会, 1997.
- 12) 佐々木英樹, 原田高志, “基板近傍の磁界測定による高周波電流分布の推定,”  
電気学会 マグネティックス研究会, pp.83-90, 1996年12月.
- 13) 佐々木英樹, 原田高志, “電源プレーン, グランドプレーンを内層に持つ4  
層基板近傍の磁界特性,” 電子情報通信学会 1996年 ソサイエティ大会,  
p.275, 1996年9月.
- 14) 佐々木英樹, 原田高志, “プリント回路基板近傍における高周波磁界の時間  
軸波形計測,” 電気学会 マグネティックス研究会, MAG-96-48, pp.73-80, 1996  
年5月.
- 15) 佐々木英樹, 原田高志, “回路近傍の磁界波形測定による不要電磁波放射源

の推定, ”電子情報通信学会 1996年 総合大会, p.275, 1996年3月.

- 16) 佐々木英樹, 原田高志, ”プリント基板近傍の磁界波形測定に関する一考察, ”電子情報通信学会 1995年 ソサイエティ大会, p.169, 1995年9月.
- 17) 佐々木英樹, 大江修一, 原田高志, ”静電気放電による金属フレーム上での磁界波形と回路への結合, ”電気学会 計測研究会, IM-95-40, pp.65-71, 1995年6月.
- 18) 佐々木英樹, 大江修一, 原田高志, ”接触放電による金属フレーム上の磁界波形の検討, ”電子情報通信学会 1995年 総合大会, p.283, 1995年3月.
- 19) 大江修一, 佐々木英樹, 原田高志, ”静電気放電による金属フレーム上の磁界強度分布, ”電子情報通信学会 1995年 総合大会, p. 284, 1995年3月.
- 20) 佐々木英樹, 原田高志, 半杭英二, ”プリント基板近傍における磁界波形の測定, ”電子情報通信学会 1994年 秋季大会, p.207, 1994年9月.
- 21) 佐々木英樹, 原田高志, 半杭英二, ”磁界測定用ループプローブの校正, ”電子情報通信学会 1994年 春季大会, p.285, 1994年3月.

#### 【US特許】 11編

- 1) 7268739, 09/11/2007, ”Data processing terminal, parent substrate, child substrate, terminal design apparatus and method, computer program, and information storage medium Document”.
- 2) 7120893, 10/10/2006, ”System and method for evaluation of electric characteristics of printed-circuit boards”.
- 3) 6774641, 08/10/2004, ”Printed circuit board design support apparatus, method, and program”.
- 4) 6754876, 06/22/2004, ”System and method for designing a printed board adapted to suppress electromagnetic interference”.
- 5) 6598208, 07/22/2003, ”Design and assisting system and method using electromagnetic position”.
- 6) 6557154, 04/29/2003, ”Printed circuit board design support system, printed circuit board design method and storage medium storing control program for same”.
- 7) 6546528, 04/08/2003, ”System and method for evaluation of electric characteristics of printed-circuit boards”.
- 8) 6519741, 02/11/2003, ”Power decoupling circuit generating system and power decoupling circuit generating method”.

- 9) 6515868, 02/04/2003, "Printed circuit board".
- 10) 6297965, 10/02/2001, "Wiring arrangement including capacitors for suppressing electromagnetic wave radiation from a printed circuit board".
- 11) 6198362, 03/06/2001, "Printed circuit board with capacitors connected between ground layer and power layer patterns".

【日本国特許】 24編

- 1) 第 003908477 号, 2007/1/26, "データ処理端末, 端末設計装置および方法, コンピュータプログラム, 情報記憶媒体".
- 2) 第 003885830 号, 2006/12/1, "プリント基板の設計支援装置, 設計支援方法および設計支援装置で使用されるプログラムを記録した記録媒体".
- 3) 第 003840883 号, 2006/8/18, "プリント基板の設計支援装置, 設計支援方法および設計支援装置で使用されるプログラムを記録した記録媒体".
- 4) 第 003838328 号, 2006/8/11, "設計支援ツール及び設計支援方法".
- 5) 第 003776834 号, 2006/3/3, "プリント回路基板設計支援装置, 方法およびプログラム".
- 6) 第 003724407 号, 2005/9/30, "プリント回路基板特性評価装置, プリント回路基板特性評価方法, 及び記憶媒体".
- 7) 第 003707541 号, 2005/8/12, "データ処理端末, 端末設計装置および方法, コンピュータプログラム, 情報記憶媒体".
- 8) 第 003690305 号, 2005/6/24, "プリント回路基板特性評価方法, 及び記憶媒体".
- 9) 第 003501674 号, 2003/12/12, "プリント回路基板特性評価装置, プリント回路基板特性評価方法, 及び記憶媒体".
- 10) 第 003471679 号, 2003/9/12, "プリント基板".
- 11) 第 003348709 号, 2002/9/13, "プリント回路基板設計支援装置及び制御プログラム記録媒体".
- 12) 第 003303760 号, 2002/5/10, "プリント回路基板およびその設計方法およびプリント回路基板の配線パターン作製装置".
- 13) 第 003175637 号, 2001/4/6, "液晶モジュール駆動装置".
- 14) 第 003055136 号, 2000/4/14, "プリント回路基板".
- 15) 第 002970660 号, 1999/8/27, "プリント基板".

- 16) 第 002940429 号, 1999/6/18, ”静電気放電評価装置及び静電気放電試験装置”.
- 17) 第 002867985 号, 1998/12/25, ”プリント回路基板”.
- 18) 第 002850874 号, 1998/11/13, ”I C パッケージ”.
- 19) 第 002798032 号, 1998/7/3, ”プリント回路基板およびその設計方法およびプリント回路基板の配線パターン作製装置”.
- 20) 第 002765490 号, 1998/4/3, ”磁界波形測定システム”.
- 21) 第 002735060 号, 1998/1/9, ”プリント回路基板およびプリント回路基板の設計方法およびプリント回路基板作製装置”.
- 22) 第 002715876 号, 1997/11/7, ”ループプローブの校正方法及びその校正治具”.
- 23) 第 002643113 号, 1997/5/2, ”プリント配線基板”.
- 24) 第 002639352 号, 1997/4/25, ”ケーブル近傍の高周波磁界分布測定装置”.

【その他の業績】 表彰 4 件, 外部委員 4 件

2008 関東地方発明 発明奨励賞

2000 電子情報通信学会 学術奨励賞

1996 電気学会 論文発表賞

1992 日本大学大学院 桜工賞

2006-現在 IEEE ECTC (Electronics Components and Technology Conference) プログラム委員, セッション座長 (2007, 2009)

2008-現在 IEEE EDAPS (Electrical Design for Advanced Packages and Systems) プログラム委員兼セッション座長

2005-2008 エレクトロニクス実装学会 ICEP (International Conference on Electrical Packaging) 組織委員

2005-2007 日本学術振興会”ワイヤレス・センサー・ネットワーク社会に向けたナノメートル CMOS システムとその要素技術の研究”に関する先導的研究開発委員会委員

## 謝辞

本博士学位論文をまとめるにあたりご指導頂きました東京工業大学・統合研究院・益一哉教授と佐藤高史特任教授に甚大なる謝意を表します。また、本論文審査にあたり大変貴重なご助言を賜りました同大学大学院・総合理工学研究科・物理電子システム創造専攻・石原宏教授，中山範明連携教授，筒井一生准教授，徳光永輔准教授に深く感謝いたします。また，研究ゼミで貴重なご助言を賜りました益研究室の石原昇特任教授，天川修平助教，伊藤浩之助教，学生の皆様に深く感謝いたします。

本研究は，筆者が日本電気株式会社（NEC）の研究開発部門在籍中に行った。1993年の資源環境技術研究所・EMC技術センターに始まり，2008年のシステム実装研究所・機器実装テクノロジーグループに亘る。本研究の機会を与えて下さりました故吉見幸一所長，岸田俊二所長，河田紘一所長，嶋田勇三所長，橋本雅伸所長に深く感謝いたします。また，本研究を遂行するにあたり，ご指導頂きましたシステム実装研究所の原田高志研究部長，栗山敏秀研究マネージャー（現近畿大学教授），寺井幸弘研究部長に厚くお礼申し上げます。

第2章，第3章の研究は，EMC技術センター在籍時に行った。多くの貴重なご助言を賜りました遠矢弘和センター長（現アイキャスト社長），塚越常雄主幹研究員，今里雅治主任研究員，増田則夫主任研究員，半杭英二主任研究員，岩波瑞樹主任，玉置尚哉主任（現NECエレクトロニクス）ほか，多数の方々に深く感謝いたします。また，製品開発の立場から常に貴重なご意見を下さいましたプリンタ事業部の大江修一主任（現富士ゼロックス），元交換事業部の菊川隆彦主任と小林秀章主任，元伝送事業部の佐藤俊二主任，モバイルワイヤレスネットワーク事業部の荒井宣広主任，NECアクセステクニカの村松秀則センター長と坂原善行主任，元NEC新潟の須田主任（現富士ゼロックス），NECエンジニアリングの島先敏貴部長ほか多くの方々に深く感謝いたします。また，本研究成果をEMI抑制支援ツールに採用して頂いたNEC情報システムズの恵谷誠至グループマネージャー，矢口貴宏マネージャー，涌井章マネージャーに深く感謝いたします。

第4章の研究は，米国ジョージア工科大学・パッケージング研究センター留学中に行った。筆者の留学を快く受け入れて頂き，優秀な学生との共同研究，研究成果報告会での発表，大学院での講義など貴重な機会を与えて下さりまし

た Rao Tummala 教授と Madahavan Swaminathan 教授に深く感謝いたします。また、研究完遂のためにご協力頂いた Dr. Srinivasan Krishna, Dr. Vinu Govind, Dr. Sidharth Dalmina, Mr. Venky Sandaraman ほか、同研究センターの皆様に深く感謝いたします。

第5章の研究は、NEC システム実装研究所とデバイスプラットフォーム研究所との共同プロジェクトとして遂行した。多大なご協力を頂いたデバイスプラットフォーム研究所の村上朝夫主任研究員と藤村雄樹主任、製品開発の立場でご協力やご助言を頂いた NEC エレクトロニクスの小林大作シニアデザインエンジニア、鈴木康弘グループマネージャー、足達正浩マネージャー、黒川達史主任、荒巻吉紀マネージャー、中川昌士グループマネージャー、平田昌義マネージャー、関口智久主任に深く感謝いたします。

本論文は、2008年4月に筆者が NEC の研究開発部門から NEC エレクトロニクス・生産本部・実装技術部に異動した後にまとめることになった。論文作成に関し、寛大なるご理解を頂いた実装技術部の永田憲雅事業部長、方慶一郎統括マネージャー、磯崎智明グループマネージャーに深く感謝いたします。

また、筆者が EMC（環境電磁工学）の研究分野に進む際、ご助言を賜りました東京農工大学の仁田周一名誉教授と元 NEC の畠山賢一課長（現兵庫県立大学教授）、大学卒業後にご指導を賜りました日本大学・理工学部・電子工学科の関根好文教授と作田幸憲教授に深く感謝いたします。

最後に、博士コース進学を勧めてくれた父・徹（STLE Fellow）と母・義子、筆者の手本である兄・一成（九州大学教授）、沼津から見守って下さった義父・三澤章夫と義母・美智子、辛いとき筆者の心のより所であった我が子・綾子、舞子、誠也、筆者のわがままのため、迷惑をかけてきた妻・雅子に深く感謝いたします。