T2R2 東京科学大学 リサーチリポジトリ
Science Tokyo Research Repository

論文 / 著書情報
Article / Book Information

題目(和文)	円筒形強誘電体ゲートトランジスタの特性解析に関する研究
Title(English)	
著者(和文)	井端雅一
Author(English)	Masakazu Ibata
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第9167号, 授与年月日:2013年3月26日, 学位の種別:課程博士, 審査員:大見 俊一郎
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第9167号, Conferred date:2013/3/26, Degree Type:Course doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

Powered by T2R2 (Science Tokyo Research Repository)

円筒型強誘電体ゲートトランジスタの
特性解析に関する研究

平成 25 年 1 月

物理電子システム創造専攻

井端　雅一

内容梗概

携帯情報端末は今後ますます多機能かつ高速通信へと進む傾向にあり、搭載される半導体メモリは高速、大容量、低消費電力であることが要求されている。低消費電力化の観点からデータ記憶にはフラッシュメモリが広く用いられており、大容量化のために3次元デバイス構造に関する研究も盛んに行われている。一方、強誘電体をゲート絶縁膜に用いた強誘電体ゲート電界効果トランジスタ（FeFET）は、低電圧かつ高速動作が可能で、さらに大容量化も期待されている。しかし、強誘電体膜と半導体との良好な界面を形成するために用いられるバッファ層により減分極電界が生じ、メモリ特性が劣化するという課題がある。このため、チャネルにダングリングボンドのないカーボンナノチューブ（CNT）を用いたプレーナ型FeFETの研究も行われている。

本研究では、3次元構造を有する強誘電体メモリの設計指針を示すことを目的として、強誘電体としてフッ化ビニリデンと3フッ化エチレンの共重合体P(VDF-TrFE)を仮定し、CNTをチャネルに用いた円筒型強誘電体ゲートトランジスタの数値解析による動作特性の検討を行った。さらに、Siナノワイヤをチャネルに用いた場合の動作特性を評価し、CNTとの比較を行った。

まず、円筒型強誘電体キャパシタの解析モデルを検討するため、Pt/Ti/SiO_2/Si基板上にチタン酸ジルコン酸鉛$PbZr_{0.4}Ti_{0.6}O_3$（PZT）膜を250 nm成膜し、平行平板キャパシタに関する実験的な検討を行った。平行平板キャパシタに5 Vを印加した飽和分極の約1/2となる印加電圧が2.9 Vであること、また同一容量のキャパシタ2個を直列接続した場合と1個を直列接続、2個を並列接続とした場合の分極が、約40 μC/cm^2でほぼ等しくなることを示し、円筒型強誘電体キャパシタの分極は、面積は内部電極の面積、厚さは強誘電体の膜厚に等しい平行平板キャパシタで近似できることを明らかにした。

次に、バリスティック伝導と仮定した円筒型強誘電体ゲートCNTトランジスタの特性解析を行った。ドレイン電圧がkT/qの数倍以上であれば後方散乱することなく、ソース端でのGIBL（Gate-Induced Barrier Lowering）により飽和状態のドレイン電流が決定されると仮定した。また、ソース／ドレイン電極はオーミック接触と仮定して解析を行った。第1サブバンドと第2サブバンドを考慮して近似したCNTのキャリア密度の解析式と、強誘電体膜の飽和状態の分極の解析式を用いて、CNTのキャリア密度nと

表面電位φ_sの関係およびP(VDF-TrFE)と仮定した強誘電体膜の分極Pとゲート電圧V_Gのヒステリシスの関係を同じn-φ_s平面上で検討することにより、ゲート電圧、表面電位、キャリア密度の関係を求めた。このような図式解法を用いて、大規模なシミュレーションを行わずに簡便に数値解析を行う手法を確立した。この解析手法により行ったゲート電圧の増加時と減少時のドレイン電流－ドレイン電圧(I_D-V_D)特性から、チャネル長1 μm、CNTの直径1 nm、P(VDF-TrFE)の膜厚5 nmの円筒型強誘電体ゲートCNTトランジスタの場合、電源電圧1 Vにおいてドレイン電流－ゲート電圧(I_D-V_G)特性よりメモリウィンドウ0.4 V、I_D-V_D特性より1桁以上の電流比が分極反転により得られることを明らかにし、報告されたプレーナ型強誘電体ゲートCNTトランジスタと比較し、5 nmに薄膜化したP(VDF-TrFE)を用いて3次元ゲート構造とすることにより、低電圧のメモリトランジスタとして動作可能であることが分かった。

次に、ドリフト／拡散伝導と仮定した円筒型強誘電体ゲートSiナノワイヤトランジスタの特性解析を行った。チャネルに沿った全ての位置において反転キャリアが影響するため、高いドレイン電圧が印加されるとSiナノワイヤの表面電位と疑似フェルミ準位はソース端近傍よりもドレイン端近傍で高くなる。従って、ドレイン端近傍では強誘電体の分極反転に必要な電圧が印加されず、ソース端近傍で飽和分極値を示してもドレイン端近傍で非飽和状態となる。そこで、飽和状態の場合に疑似フェルミ準位V=0 V、キャリア密度Qとして、Q-φ_s平面上でキャリア密度と最大ゲート電圧時のマイナーループを決定する最大電界E_mの関係を求め、ゲート電圧、表面電位、キャリア密度の関係からドレイン電流を導出した。さらに、非飽和状態の場合に疑似フェルミ準位V≠0 Vとして、キャリア密度曲線Qを正方向に疑似フェルミ準位Vだけ移動させ、この場合のE_mとの関係を求め、ドレイン電流を導出した。Siナノワイヤの直径を1 nmから20 nmまで変化させた場合、I_D-V_G特性におけるドレイン電流がチャネル断面積に比例することから、円筒型FeFETにおいてもボリュームインバージョンが起こることを示した。さらに、チャネル長1 μm、Siナノワイヤの直径5 nm、P(VDF-TrFE)の膜厚5 nmの円筒型強誘電体ゲートSiナノワイヤトランジスタの場合、I_D-V_G特性より電源電圧1 Vにおいてメモリウィンドウ0.3 Vで1桁以上のドレイン電流比が得られた。

次に、強誘電体膜の膜厚を5 nmとし、Siナノワイヤの直径を300 nm以上と大きくすることにより、I_D-V_G特性を求めた。膜厚と直径の比からプレーナ型デバイスのI_D-V_G特性と見なして、円筒型強誘電体ゲートSiナノワイヤトランジスタのI_D-V_G特性と比較検

討を行った。チャネルの直径が5 nm以下の場合には、サブスレショルド係数が、60～70 mV/dec.であるのに対して、直径300 nm以上の場合では、80～90 mV/dec.と劣化することを示し、円筒型強誘電体ゲートSiナノワイヤトランジスタとすることにより、サブスレショルド領域のリーク電流を抑制できることが分かった。さらに、メモリウィンドウについては、直径5 nm以下の場合も直径300 nm以上の場合もほぼ同じであることを示し、その結果、円筒型強誘電体ゲートSiナノワイヤトランジスタとすることにより、低電圧メモリとして動作可能であることが分かった。

また、Siの真性キャリア濃度（n_i）1.5×10^{10} cm^{-3}をCNTの真性キャリア濃度相当の1.5×10^{15} cm^{-3}にした場合のI_D-V_G特性を求め、閾値電圧が負方向へ0.3 Vシフトし、オン電流が増加することを示した。CNTとSiナノワイヤのI_D-V_G特性を比較して、ドレイン電流の差がバリスティック伝導とドリフト／拡散伝導の伝導機構の違いによることを明らかにした。

本研究の成果により、大型計算機によるシミュレーションを行わずに、キャリア密度曲線と強誘電体のヒステリシスループの図式解法により、簡便にドレイン電流特性を導出する解析手法を確立した。その結果、薄膜化した強誘電体膜P(VDF-TrFE)を用いることにより、CNTおよびSiナノワイヤをチャネルに用いた円筒型強誘電体ゲートトランジスタにおいて、強誘電体の分極特性による低電圧のメモリ動作が可能であることを示した。また、Siナノワイヤを用いた場合でもCNTと比較してオン電流は低減するがデバイス構造を最適化することにより低電圧動作が可能であることが分かり、将来の円筒型強誘電体ゲートトランジスタの低電圧動作化に向けた指針を示した。

目　　次

第 1 章　序論　1
1.1　高度情報通信社会における半導体メモリへの期待　1
1.2　強誘電体メモリの動向と課題　2
1.2.1　強誘電体材料　2
1.2.2　キャパシタ型強誘電体メモリの特長と課題　4
1.2.3　トランジスタ型強誘電体メモリの特長と課題　5
1.3　MOS トランジスタの動向と課題　7
1.3.1　スケーリング則　7
1.3.2　MOS トランジスタの新技術トレンドと課題　8
1.3.3　MOS トランジスタの立体構造化　9
1.4　カーボンナノチューブの動向　10
1.4.1　カーボンナノチューブの構造　10
1.4.2　カーボンナノチューブの応用　12
1.5　本論文の目的と構成　13
参考文献　15

第 2 章　キャリア輸送と分極に対する解析理論　18
2.1　はじめに　18
2.2　Si ナノワイヤの電気伝導　18
2.2.1　短チャネル効果　18
2.2.2　ドリフト／拡散伝導モデル　21
2.2.3　バリスティック伝導モデル　24
2.3　カーボンナノチューブの電気伝導　27
2.3.1　金属－半導体接触のエネルギー帯図　27
2.3.2　カーボンナノチューブトランジスタの特性　29
2.3.3　カーボンナノチューブトランジスタに対するバリスティック解析理論　31
2.4　強誘電体の分極に対する解析理論　34
2.4.1　飽和状態での分極の解析式　34
2.4.2　非飽和状態での分極の解析式　35
2.5　まとめ　36
参考文献　37

第 3 章　円筒型強誘電体キャパシタ特性の解析　38
3.1　はじめに　38
3.2　円筒型強誘電体キャパシタの近似解析　38
3.2.1　円筒型キャパシタ中の電界分布　38
3.2.2　円筒型強誘電体キャパシタの分極特性　42
3.2.3　外部電極近傍が分極反転しない場合の特性　47
3.3　PZT キャパシタを用いた平行平板キャパシタ近似の妥当性の検証　49
3.3.1　PZT キャパシタの作製　49
3.3.2　考察　52
3.4　まとめ　53
参考文献　55

第 4 章　円筒型強誘電体ゲートカーボンナノチューブトランジスタのドレイン電流特性の解析　56
4.1　はじめに　56
4.2　解析手法　56
4.2.1　カーボンナノチューブトランジスタの表面電位　56
4.2.2　分極ヒステリシスループの解析式　60
4.2.3　キャリア密度と分極ヒステリシスループによる図式解法　61
4.3　ドレイン電流特性の解析　65
4.3.1　ドレイン電流特性　65
4.3.2　メモリセルとしての考察　69
4.4　まとめ　73
参考文献　74

第 5 章　円筒型強誘電体ゲート Si ナノワイヤトランジスタのドレイン電流特性の解析　75
5.1　はじめに　75
5.2　解析手法　75
5.2.1　チャネル領域内の位置に関係した分極　75
5.2.2　Si ナノワイヤトランジスタの表面電位　77
5.2.3　分極ヒステリシスループの解析式　78
5.2.4　電束密度の連続条件　80

5.3 ドレイン電流特性の解析 83
5.3.1 低ドレイン電圧に対するドレイン電流特性 83
5.3.2 高ドレイン電圧に対するドレイン電流特性 85
5.3.3 ゲート電圧とメモリウィンドウの関係 91
5.3.4 Si ナノワイヤの直径とドレイン電流特性の関係 92
5.3.5 強誘電体の膜厚とドレイン電流特性の関係 97
5.3.6 真性キャリア濃度とドレイン電流特性の関係 102
5.3.7 考察 104
5.4 Si ナノワイヤトランジスタと CNT トランジスタとの特性比較 105
5.5 まとめ 109
参考文献 111

第 6 章 結論 113
6.1 本研究で得た結論 113
6.2 今後の課題と将来の展望 115

論文、学会発表、特許一覧 116

謝辞 118

第1章　序論

1．1　高度情報通信社会における半導体メモリへの期待

原子力発電の再稼働が難しく電力供給が不安定な中で、家電製品を始め電子機器の低消費電力化は従来にも増して重要である。一方、携帯電話やタブレット端末等の携帯情報端末は多機能かつ高速通信が要求され、今後も高機能化、高性能化へと進む傾向にある。そのため、これらの機器に搭載する半導体メモリは、図 1.1 で示すように高速、大容量で、しかも低消費電力であることが要求される[1.1]。

昨今、携帯情報端末の増加が著しく、低消費電力化の観点からデータ記憶には不揮発性メモリは不可欠であり、不揮発性メモリの需要は今後ますます増加が見込まれる。フラッシュメモリは、金属酸化膜半導体電界効果トランジスタ（Metal Oxide Semiconductor Field-Effect Transistor : MOSFET）のゲート部分にフローティングゲートを有し、その中に電荷を保持するトランジスタ構成のため、集積化が比較的容易であり、不揮発性メモリの中で最も多く用いられている。しかし、表 1 に示すようにフローティングゲートへの書き込みには、35 mA 程度の書き込み電流、1 s 程度の書込み

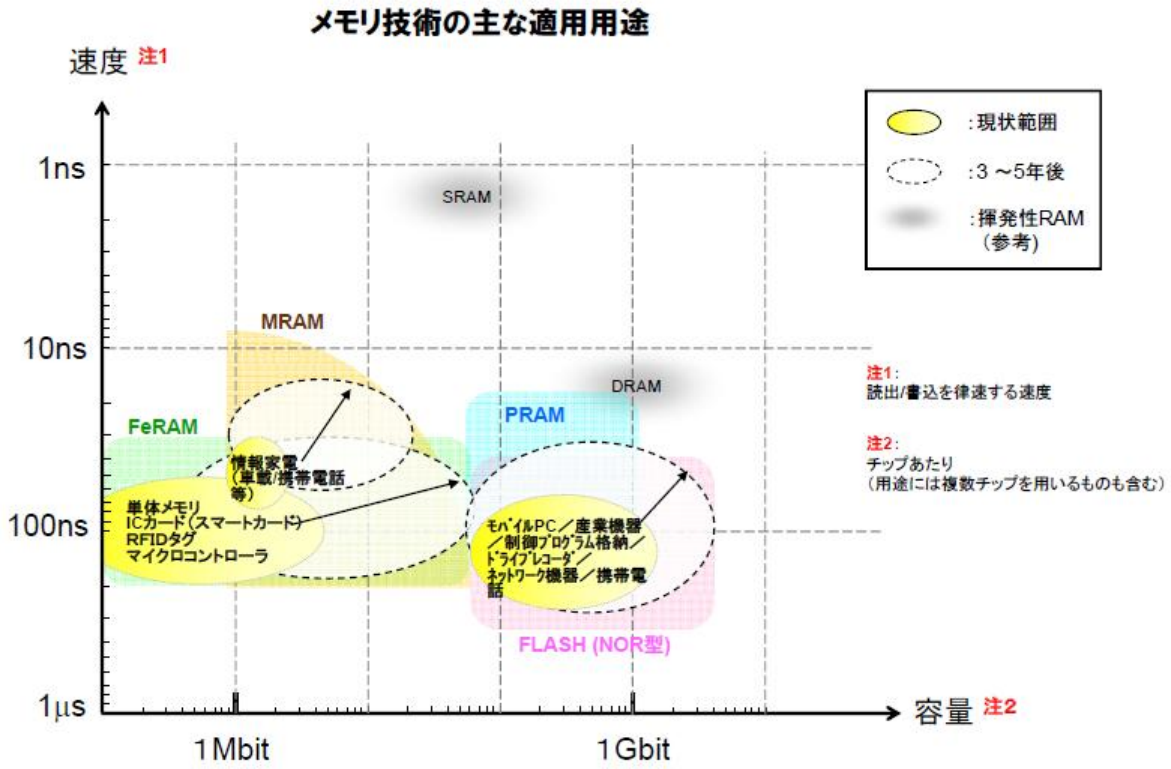


図 1.1　経済産業省技術戦略マップ 2010　半導体メモリ

表 1.1 半導体メモリの性能比較

項　目	FeRAM	Flash	EEPROM	SRAM	DRAM
データ保持	不揮発	不揮発	不揮発	揮発	揮発
容量	64K×8	8M×8	64K×8	4M×8	16M×8
セル構成	1T1C	1T1C	2T	6T	1T1C
読み出し時間	110 ns	70 ns	200 ns	12 ns	70 ns
書き込み電圧	3.3 V	12 V	20 V	3.3 V	3.3 V
書き込み時間	110 ns	1 s	3 ms	12 ns	70 ns
書き換え方法	重ね書き	消去+書き込み	消去+書き込み	重ね書き	重ね書き
消去方法	不要	セレクタ消去	バイト消去	不要	不要
書き換え耐性	10^{12}	10^5	10^5	無制限	無制限
スタンバイ電流	5 μA	5 μA	20 μA	7 μA	1 mA
読み出し電流	4 mA	12 mA	5 mA	40 mA	80 mA
書き込み電流	4 mA	35 mA	8 mA	40 mA	80 mA

時間を要し、また書き換え耐性は 10^5 程度と少ない[1,2]。一方、強誘電体メモリは、書き込み電流 4 mA 程度、書き込み時間 110 ns 程度、書き換え耐性 10^{12} 程度とフラッシュメモリより優れている。そのため、強誘電体メモリは、高速、低消費電力が求められる IC カードを始め携帯情報端末等への応用が期待できる。

１．２ 強誘電体メモリの動向と課題

１．２．１ 強誘電体材料

強誘電体メモリに用いられる強誘電体材料は、チタン酸ジルコン酸鉛 $PbZr_xTi_{1-x}O_3$（PZT）や、タンタル酸ストロンチウムビスマス $SrBi_2Ta_2O_9$（SBT）が代表的である。これらの材料の結晶構造は、図 1.2(a)および(b)で示すようなペロブスカイト構造をしている。また、PZT や SBT のような無機強誘電体材料に比べ、低温で PET（Polyethylene Terephthalate）等のフレキシブル基板に成膜できることから、最近では有機強誘電体材料が注目されている。フッ化ビニリデン（VFD:$C_2H_2F_2$）と 3 フッ化エチレン（TrFE:C_2HF_3）との共重合体である P(VDF-TrFE)の結晶構造を図 1.2(c)に示す。

同図(a)に示す PZT において、外部電界によって格子中央の Zr/Ti 原子が上下移動して、分極を発現する。電界が印加されてない状態でも、Zr/Ti 原子は上下どちらかの安定な状態を保ち、その状態によりデータを保持することができる。それぞれの強誘電体材料の特性を表 1.2 に示す。

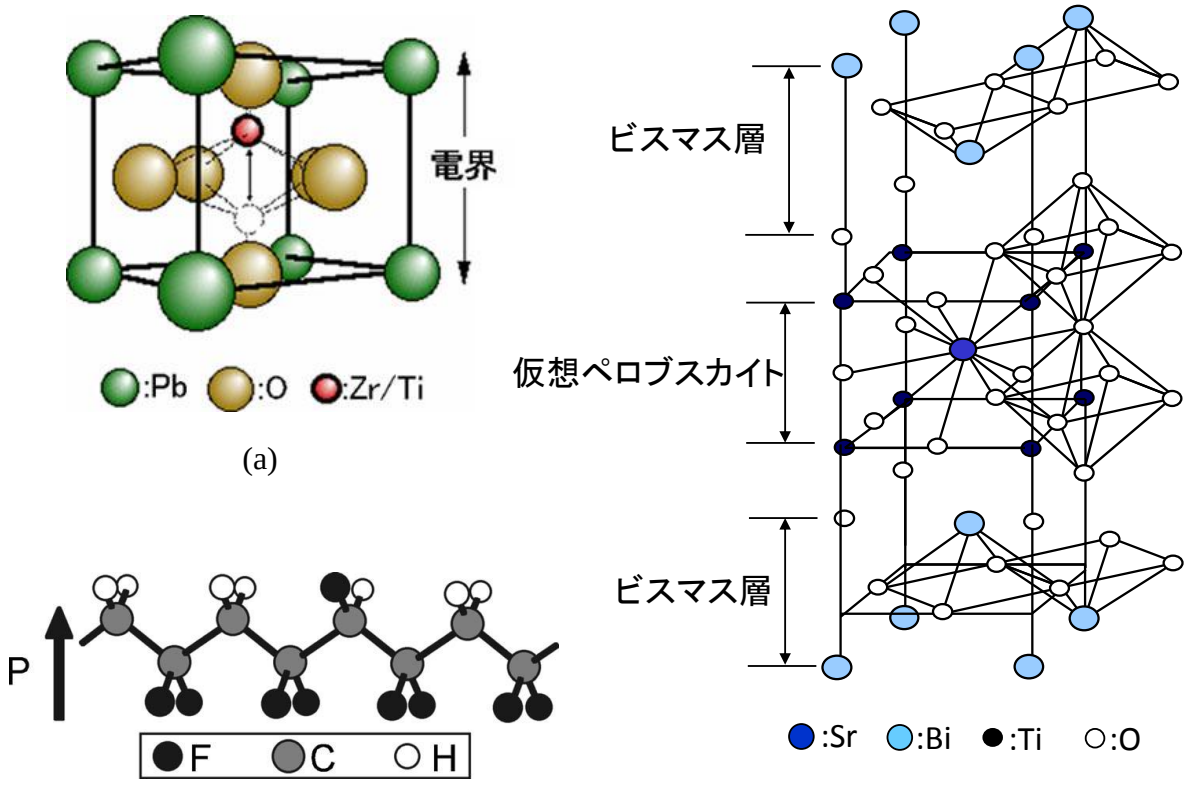


図 1.2　強誘電体材料の結晶構造

(a)　$Pb(Zr,Ti)O_3$、(b)　$SrBi_2Ta_2O_9$、(c) P(VDF-TrFE)

表 1.2　強誘電体材料の特性比較

強誘電体	残留分極 P_r [μC/cm^2]	抗電界 E_C [kV/cm]	比誘電率 ε_F	結晶化温度 [℃]
PZT	17~25	50~60	450~1000	550~700
SBT	5.5~10	40~50	180~330	700~800
P(VDF-TrFE)	0.79~11.5	250~1600	10~15	140~150

１．２．２　キャパシタ型強誘電体メモリの特長と課題

キャパシタ型強誘電体メモリのセル構造と断面図を図 1.3(a)および(b)に示す。セル構造は、1 個の選択トランジスタと 1 個の強誘電体キャパシタより構成されている。*P*-*V*（分極－電圧）ヒステリシスループを同図(c)に示す。印加電圧 *V*=0 V のとき、*P*-*V* ヒステリシスループは残留分極 P_r と$-P_r$ を示すので、その正負 2 つの残留分極点に“1”と“0”の情報を対応させる。

図 1.3(c)から分かるように、キャパシタ型強誘電体メモリのデータ読み出しは、印加される電圧によって分極反転する場合としない場合があり、反転時には電荷の変化量が多く、反転しない場合には電荷の変化量が少ない。この電荷の変化をセンスアンプで増幅して、“0”と“1”の情報を判別している。しかし、大容量化のために微細化が進むと、読み出し電荷量がセンスアンプの検知限界を下回るようになり、この現象を解決するために残留分極の大きい強誘電体材料を用いるか、電極面積を大きくする等の対策が必要である。また、データ読み出し操作によってデータが失われるので、再度強誘電体キャパシタに電界を印加してデータを書き込む必要がある。

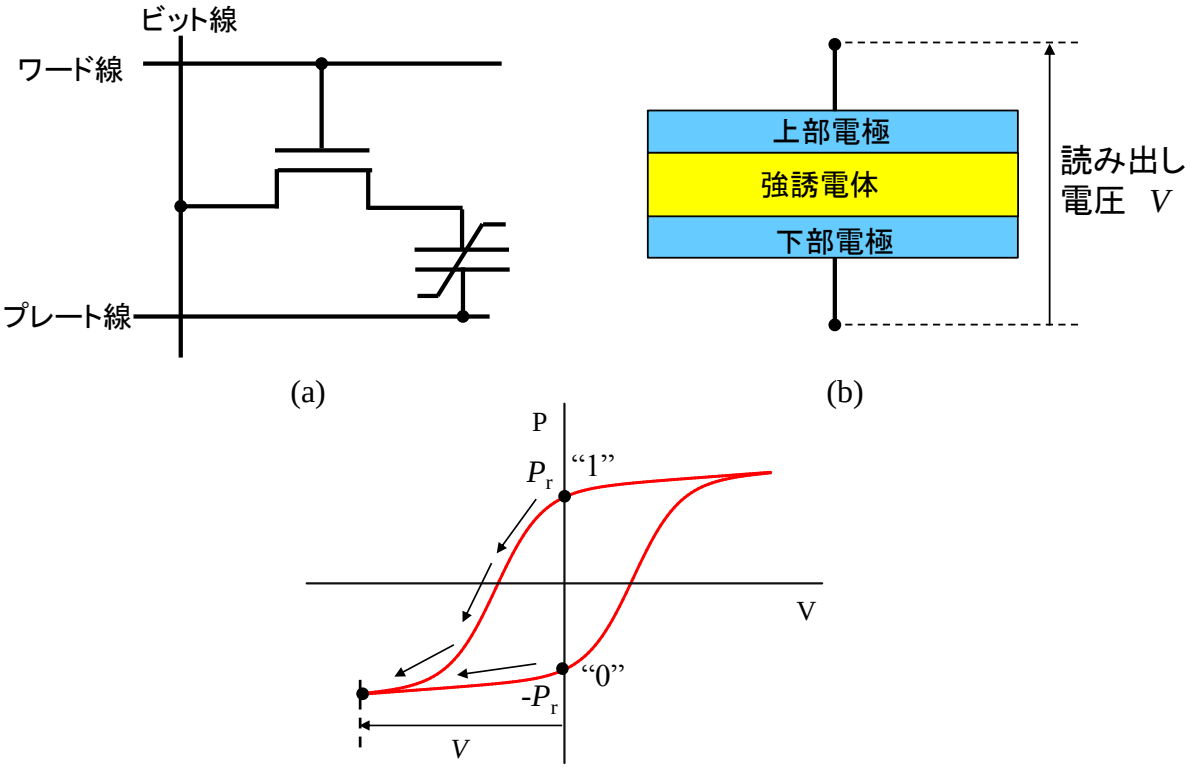


図 1.3　キャパシタ型強誘電体メモリ

(a) セル構造、(b) 断面図、(c) *P*-*V* ヒステリシスループと読み出し動作

１．２．３ トランジスタ型強誘電体メモリの特長と課題

トランジスタ型強誘電体メモリは、図 1.4(a)に示すような 1 個の強誘電体トランジスタで構成されたセル構造であり、その断面図を同図(b)に示す。MOS（Metal Oxide Semiconductor）トランジスタの絶縁膜を強誘電体膜で置き換えた MFS（M: Metal、F: Ferroelectric、S: Semiconductor）構造である。書き込まれている“0”と“1”の情報は、ドレイン電流の大きさによって識別され、その大きさはチャネルを制御するゲート絶縁膜に誘起される電荷量に依存する。MOS トランジスタの動作に必要なキャリア密度は、最大でも 6×10^{12} 個/cm^2（1 μC/cm^2）程度（厚さ 10 nm の SiO_2 膜の閾値電圧以上に 3 V を印加した場合に相当）であるので、30 μC/cm^2 以上の残留分極が要求されるキャパシタ型強誘電体メモリより材料選択の自由度は大きい[1.3]。スケーリングにより微細化しても電荷密度は一定であるので、一度、強誘電体材料を決めると残留分極 P_r を増大させるための材料開発は必要なく、トランジスタ型強誘電体メモリは大容量化、高速化、低消費電力化に適している。

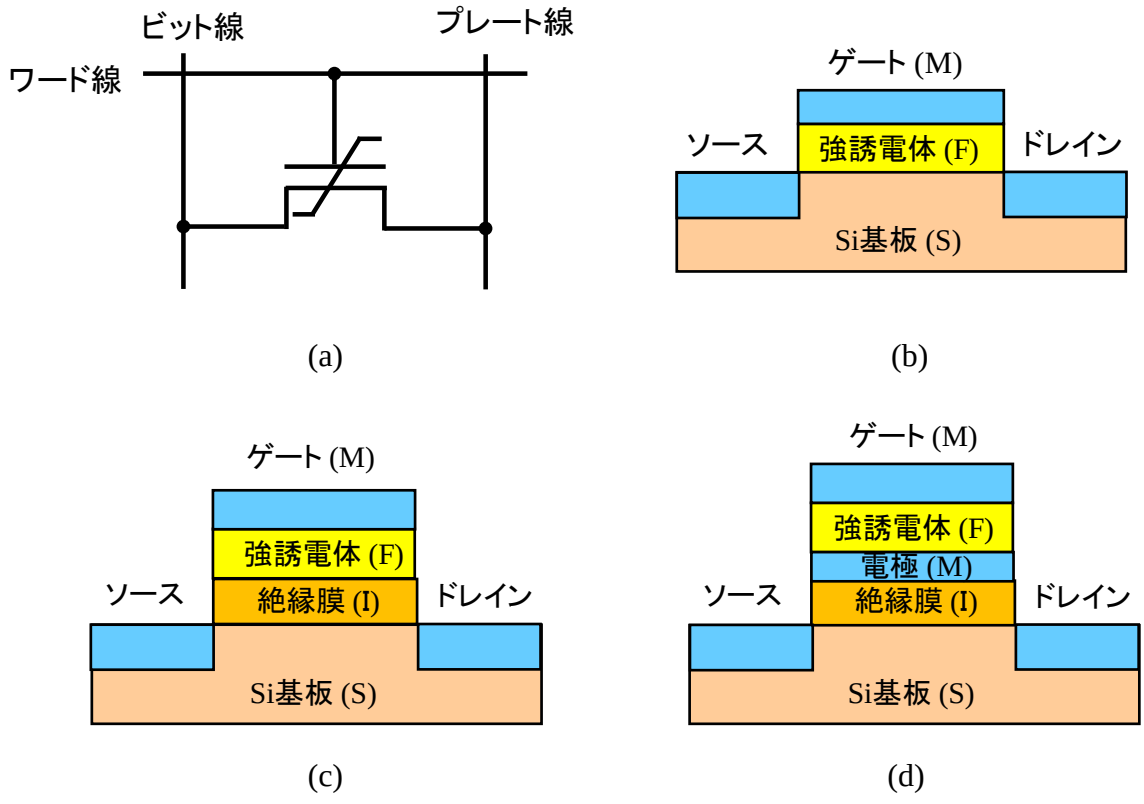


図 1.4 トランジスタ型強誘電体メモリ

(a) セル構造、(b) MFS-FET、(c) MFIS-FET、(d) MFMIS-FET の各断面図

しかし、トランジスタ型強誘電体メモリは、強誘電体と半導体との良好な界面の形成が極めて困難である。強誘電体膜と Si 基板との良好な界面が得られない理由は、強誘電体膜中の Pb、Bi 等の元素が Si 基板中に拡散することにある。その対策として図 1.4(c)および(d)で示すように両者の間に絶縁性のバッファ層を挿入した MFIS 構造や、導体と絶縁体とからなる積層のバッファ層を挿入した MFMIS 構造が研究されている。同図(c)のバッファ層を挿入したときのゲート構造の等価回路を図 1.5 示す。強誘電体キャパシタと常誘電体キャパシタの直列接続であり、電源オフ時にはゲート電極が接地状態になるので、両キャパシタの両端が短絡される。強誘電体膜の残留分極の電荷を Q、常誘電体キャパシタの容量を C_1 とすると、両キャパシタの電極に現れる電荷が等しいことから、常誘電体キャパシタには $Q=C_1V$ で与えられる電圧 V が発生する。従って、電源オフ時における強誘電体キャパシタの電荷と電圧の関係は $Q=-C_1V$ となり、強誘電体中には分極方向と逆向きの減分極電界が発生する。特に、C_1 が小さいと V は抗電圧に近い値となり、長時間のデータ保持が極めて難しい。

強誘電体中に発生する減分極電界を小さくするためには、C_1 を大きくする必要があり、バッファ層の膜厚を薄くして比誘電率が高い材料を選択する必要がある。バッファ層には、次節で記述する極微細 MOS トランジスタに対する高誘電率ゲート絶縁膜に用いられる HfO_2 等が用いられる。

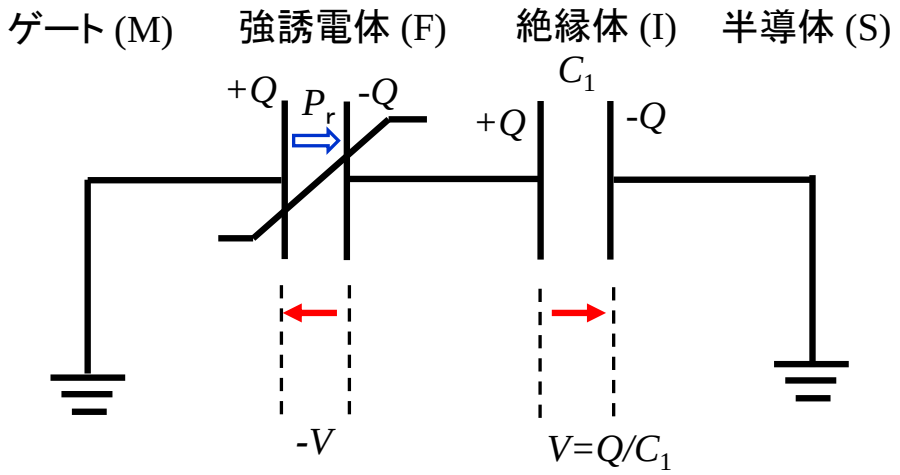


図 1.5　MFIS-FET における減分極電界発生メカニズム

１．３ MOSトランジスタの動向と課題

１．３．１ スケーリング則

MOS トランジスタは、高速化、低消費電力化のために微細化が進められている。MOSトランジスタを1/K倍に微細化した場合のデバイスパラメータと回路パラメータのスケーリング則を表 1.3 に示す[1.4]。表 1.3 から分かるように各寸法パラメータと同様に空乏層も同じ比率で縮小するために、基板の不純物濃度はK倍になる。電界一定の場合、電流 I は減少するが、電圧 V と容量 C も減少するので、遅延時間は $1/K$ 倍となり、回路スピードは K 倍に向上する。また、消費電力は $1/K^2$ と大幅に削減できる。短チャネル効果の影響がない場合は、このように性能だけが向上すると考えられていた。

しかし、MOS トランジスタの寸法パラメータを一定の比率で縮小することは、技術的に難しく、ゲート酸化膜や接合深さ等縦方向寸法は、ゲート長等の横方向の寸法に比べ微細化の進展が多少緩やかであり、また、サブスレショルド係数 S や拡散電位等スケールされないパラメータも多く、各パラメータのバランスが崩れて、各種の短チャネル効果が顕在化してきた。

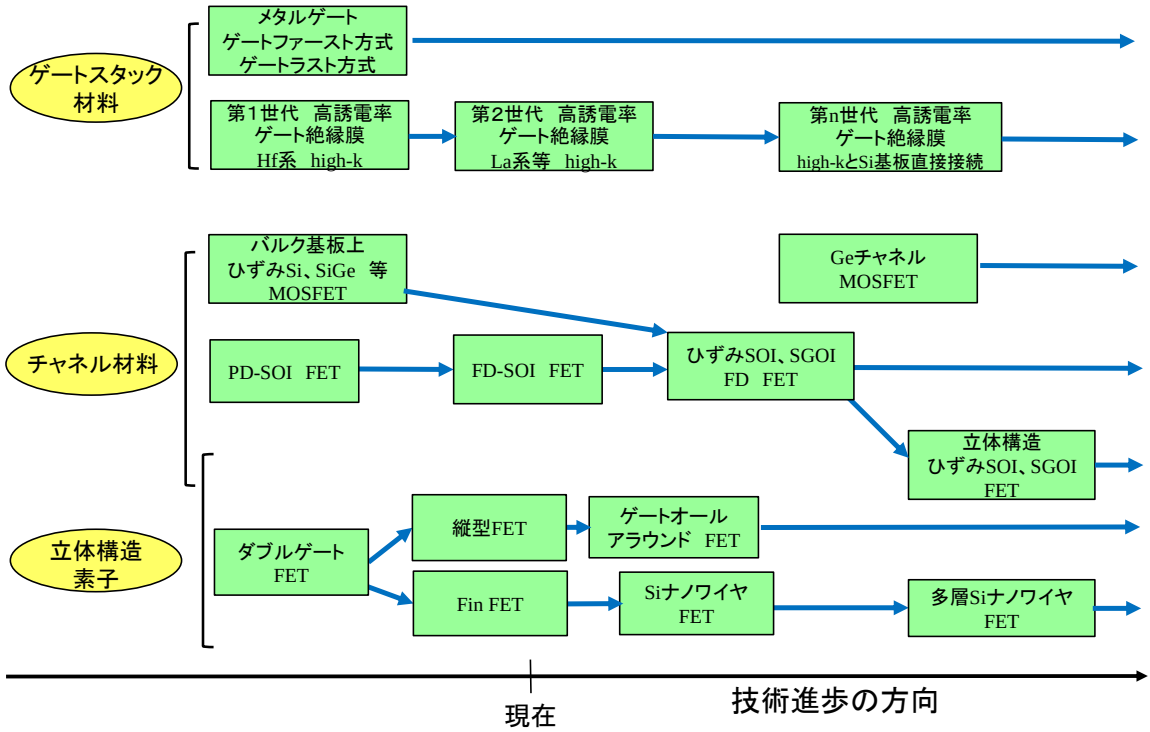
表 1.3 デバイスパラメータ／回路パラメータのスケーリング

パラメータ	スケーリング比
チャネル長 L	$1/K$
チャネル幅 W	$1/K$
ゲート酸化膜厚 t_{OX}	$1/K$
接合深さ x_j	$1/K$
空乏層幅 x_d	$1/K$
基板不純物濃度 N_A	K
電圧 V	$1/K$
電界強度 E	1
電流 I	$1/K$
容量 C	$1/K$
遅延時間 $t=VC/I$	$1/K$
消費電力 $P=VI$	$1/K^2$
消費電力密度 VI/A	1

１．３．２　MOS トランジスタの新技術トレンドと課題

MOS トランジスタはますます微細化が進み、それに伴って、絶縁膜のトンネリング漏れ電流の増加や短チャネル効果により、期待される特性向上が望めなくなることが危惧されている。そのため、MOS トランジスタのゲートスタック材料、チャネル材料の改良や、ゲートを立体構造化する取り組みが進められている。それらの取り組みと今後の推移について図 1.6 に示す[1.5]。

ゲートのリーク電流を抑制するために、高誘電率(high-k)絶縁膜の研究開発が行われている。第 1 世代では、HfO_2、HfSiO、HfSiON 等の Hf 系酸化物材料にほぼ絞られ、近年は、Hf 系よりさらに高誘電率の La 系等の研究が報告されている[1.6]。メタルゲートについては、ゲートファースト方式とゲートラスト方式のゲートのインテグレーション方式や high-k 絶縁膜との組み合わせにおける閾値電圧の制御の課題からメタル材料が絞り込めてない状況である。短チャネル効果を抑制するために、ゲート電極を立体化したダブルゲート構造や、それを一歩進めた Fin 構造、ゲートオールアラウンド（Gate-All-Around、以下、円筒型ゲートと呼ぶ）構造等の立体ゲート構造素子



（注）PDSOI: Partially Depleted SOI, FDSOI: Fully Depleted SOI

図 1.6　MOS トランジスタの新材料・新構造技術トレンド

の研究が報告されている[1.7]。また、低消費電力化と並行して、高移動度のチャネルを実現するため、チャネル材料にひずみ Si やひずみ SiGe を導入して、反転層の電子移動度を高めて高速化を図る新チャネル材料の研究が報告されている[1.8]。ソース／ドレイン電極間の漏れ電流を遮断するための SOI（Silicon On Insulator）素子は、新チャネル材料と立体ゲート構造のトレンドの仲介的な位置づけである。さらに、既存の CMOS プロセスとの整合性やナノワイヤの物理特性から将来の中心的なデバイスとして期待されている Si ナノワイヤや Si ナノワイヤを多層化した素子の研究も報告されている[1.9]。

1．3．3　MOS トランジスタの立体構造化

短チャネル効果を抑制するため、図 1.7 で示すようなプレーナ型、縦型縦方向チャネル型（縦型）、縦型横方向チャネル型（Fin 型）のダブルゲート MOS トランジスタが提案された。プレーナ型はダブルゲート MOS トランジスタの原型であるが、結晶シリコンチャネル層を挟んで自己整合された上下のダブルゲートを形成することが難しく、主流にはなっていない。Fin 型は、薄いチャネルを起立構造にし、ゲート材料を堆積してゲートパターンをエッチングすれば自己整合されたダブルゲート構造を作製できるので、ダブルゲート MOS トランジスタの主流となり、SOI 基板を用いたダブルゲート MOS トランジスタ等いろいろな報告がされている[1.10]。また、縦型ダブルゲート MOS トランジスタもチャネル全体をゲートで囲むサラウンディングゲートトランジスタ、円筒型ゲートトランジスタ等の報告がされている[1.11]。いずれも空乏化されたチャネル全体を取り囲むゲートによって、有効に短チャネル効果を抑制することを意図している。

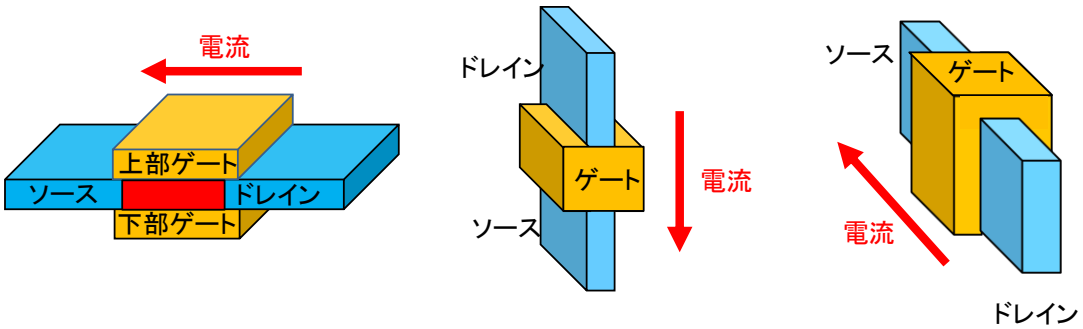


図 1.7　ダブルゲート MOSFET 構造と種類

(a) プレーナ型、(b) 縦型縦方向チャネル型（縦型）、(c) 縦型横方向チャネル型 (Fin 型)

1．4　カーボンナノチューブの動向

1．4．1　カーボンナノチューブの構造

カーボンナノチューブ（Carbon　Nanotube：CNT）は長い平均自由行程（～1 μm）、バリスティック輸送（Ballistic Transport）をはじめ優れた電子輸送速度、大きな比表面積、CNT 薄膜のフレキシブル性、透明性といった特長のため、ナノエレクトロニクス用材料として期待されている。CNT には円筒形のグラフェンの層が 1 層の単層ナノチューブ（Single Wall Carbon Nanotube: SWNT）と 1 層以上巻いた多層ナノチューブ（Multi Wall Carbon Nanotube: MWNT）があり、SWNT はグラフェンの巻き方の違いによって、半導体的 CNT と金属的 CNT の特性を示す。

SWNT の構造について議論する。SWNT のグラフェンの原子面を二次元展開した六方格子を図 1.8 に示す[1.12]。O と A、B と B’をつなぐとナノチューブができる。円筒状の SWNT の「赤道」に相当するベクトル $\overrightarrow{OA}$ がカイラルベクトル $\mathbf{C}_h$ であり、六方格子の基本ベクトル $\mathbf{a}_1$、$\mathbf{a}_2$ を用いて式(1.1)で表される。

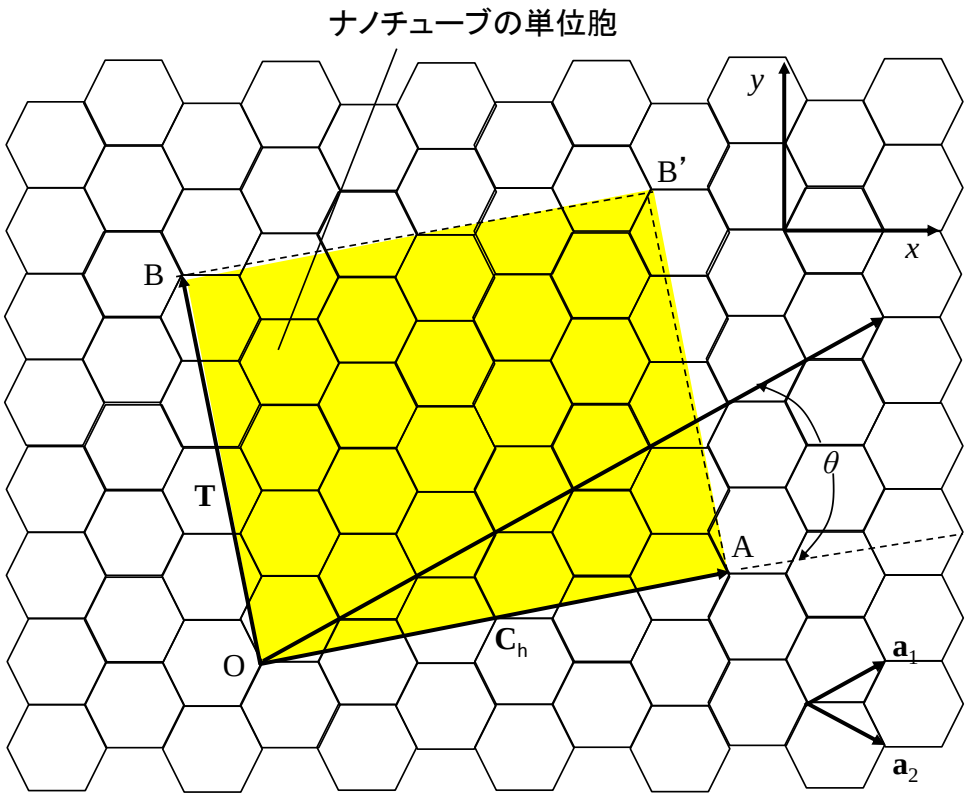


図 1.8　ナノチューブの展開図

$$\mathbf{C}_\mathrm{h} = n\mathbf{a}_1 + m\mathbf{a}_2 \equiv (n, m) \tag{1.1}$$

ここで、n、m は整数、$0 \leqq |m| \leqq n$ である。また、O から $\mathbf{C}_\mathrm{h}$ に垂直な方向に伸ばして最初に格子点となる点を B とする。OB と AB'は OA と直交し、格子点 O と A を通る平行線であり、OB と AB'が六方格子を切り取る形は合同である。ナノチューブの一周の長さを L、直径を d_t、$\mathbf{a}_1$ と $\mathbf{C}_\mathrm{h}$ のなす角（カイラル角）を θ とし、六方格子の格子長 $a=|\mathbf{a}_1|=|\mathbf{a}_2|=2.49$ Å すると、それぞれ、式(1.2)から式(1.4)で表される。

$$L \equiv |\mathbf{C}_\mathrm{h}| = a\sqrt{n^2 + m^2 + nm} \tag{1.2}$$

$$d_\mathrm{t} = \frac{L}{\pi} = \frac{a\sqrt{n^2 + m^2 + nm}}{\pi} \tag{1.3}$$

$$\tan\theta = \frac{\sqrt{3}m}{2n + m} \qquad \left(0 \leq |\theta| \leq \frac{\pi}{6}\right) \tag{1.4}$$

一般にナノチューブは螺旋構造をしているが、カイラル角 $\theta=0$ のときは、式(1.4)から $m=0$ となり、ナノチューブの軸に対して対称となる。また、$\theta=\pi/6$ のときは、$m=n$ となり、同様に軸に対して対称となる。ナノチューブの切り口から、前者をジグザグ（zigzag）チューブ(n,0)、後者をアームチェア（armchair）チューブ(n,n)と呼び、それ以外をカイラル（chiral）チューブ(n,m)と呼ぶ。ジグザグチューブとカイラルチューブは

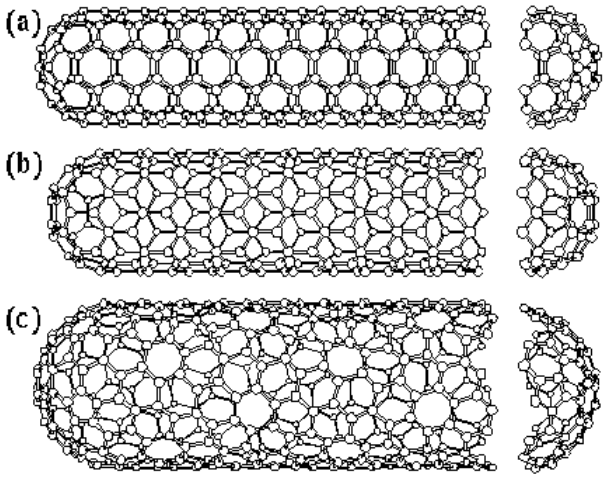


図 1.9　カーボンナノチューブ模式図

(a) アームチェアチューブ、(b) ジグザグチューブ、(c) カイラルチューブ

半導体的性質と金属的性質を示し、アームチェアチューブは金属的性質を示す。図 1.9 にそれぞれのナノチューブの模式図を示す。

ベクトル $\overrightarrow{OB}$ を並進ベクトル **T** と呼び、軸方向の並進対称性の単位であり、式(1.5)および式(1.6)で表される。

$$\mathbf{T} = t_1\mathbf{a}_1 + t_2\mathbf{a}_2 \equiv (t_1, t_2) \tag{1.5}$$

$$t_1 = \frac{2m+n}{d_R} \quad , \quad t_2 = -\frac{2n+m}{d_R} \tag{1.6}$$

ここで、t_1、t_2 は互いに素の整数であり、d_R は(2*m*+*n*)と(2*n*+*m*)の最大公約数である。*n* と *m* の最大公約数を *d* とすると、d_R は式(1.7)のように表される。

$$d_R = \begin{cases} d : n-m\text{が } 3d\text{の倍数でないとき} \\ 3d : n-m\text{が } 3d\text{の倍数のとき} \end{cases} \tag{1.7}$$

1．4．2　カーボンナノチューブの応用

CNT は、多くの魅力的な特性からボトムアップのナノエレクトロニクス材料として多くの分野で注目され、種々の応用が検討されている。代表的なところでは、半導体的特性を示すことからトランジスタ[1.13,1.14]やセンサ[1.15-1.17]等への研究開発が行われている。また、MWNT は銅に比べて 2 桁以上大きな電流密度を示すことから、LSI 配線が抱えるエレクトロマイグレーションといった信頼性の課題を解決できると期待されており、CNT が有するバリスティック伝導の輸送現象を利用して、CNT を高密度に束ねた図 1.10 に示すような CNT 配線ビアの研究が報告されている[1.18]。CNT は熱 CVD 処理により同時形成し、CNT の下層部はオーミック接触である。

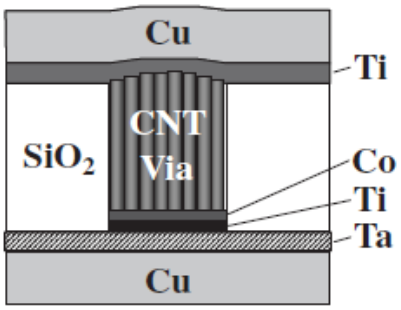


図 1.10　CNT ビア配線の断面図

１．５ 本論文の目的と構成

今日の高度情報通信社会においては、低消費電力、かつ、高速、高集積の半導体が求められており、MOS トランジスタは、低消費電力化、高速化のために微細化が進展している。それに伴って、種々の短チャネル効果が発生し、抑制するためにデバイス構造の 3 次元化等構造がより複雑になっている。典型的な構造はダブルゲートと円筒型ゲート構造であり、これらの非プレーナ型 MOS トランジスタの動作について多くの理論的な研究が報告がされている[1.10-1.11,1.19-1.21]。

半導体メモリは、低消費電力化の観点からデータ記憶には不揮発性メモリが不可欠であり、フラッシュメモリが広く用いられている。そして、高集積化、大容量化のためにフラッシュメモリの 3 次元構造化に関する研究も盛んに行われている[1.22-1.24]。一方、強誘電体メモリは、大容量化の観点から強誘電体ゲート電界効果トランジスタ（Ferroelectric-Gate Field-EffectTransistor：FeFET）が期待されており [1.25,1.26]、データ保持[1.27,1.28]、耐久性[1.29,1.30]、高温動作[1.31]等の基本特性の改善が過去 10 年間に報告された。また、FeDRAM[1.32]、FeNAND[1.33]のように強誘電体と DRAM やフラッシュメモリを組み合わせた新しいメモリの動作確認の報告や、FeFET の動作についての解析研究も報告されている[1.34-1.36]。しかし、これらの報告の全てがプレーナ型トランジスタの研究である。

CNT は、高い電流密度や大きな機械的強度といった優れた電気的、光学的、機械的特性を有しており、前節で記述のようにトランジスタ、センサ、インターコネクト材等の種々の応用が検討されている。CNT の不揮発性メモリへの応用では、FeFET が最も期待されており、減分極電界を低減し強誘電体膜と半導体との良好な界面を形成するために挿入されるバッファ層の代わりに、ダングリングボンドのない CNT をチャネルに用いた研究も行われている。SWNT[1.37-1.39]や CNT ネットワーク[1.40]をチャネルに用いた強誘電体ゲート CNT トランジスタの実験結果が数件報告されている。しかし、強誘電体ゲート CNT トランジスタに関する理論的研究は、文献[1.26]以外全く報告されていない。

タイムリーな技術開発が求められる今日にあって、デバイスの研究開発にはシミュレーションで目標値を求め、それをもとにデバイスを作製する研究開発形態が不可欠である。そこで、本論文では、3 次元構造を有する強誘電体メモリの設計指針を示

すことを研究目的として、円筒型強誘電体ゲートトランジスタに対して、強誘電体として CNT チャネル上に低温で形成が可能なフッ化ビニリデンと 3 フッ化エチレンの共重合体 P(VDF-TrFE)を仮定し、チャネルにそれぞれ CNT と Si ナノワイヤを用いて数値解析を行う。そのため、まず、円筒型強誘電体キャパシタの平行平板キャパシタに関する実験的な検討を行い、円筒型強誘電体キャパシタの分極は、等価な平行平板キャパシタで近似できることを示す。次に、その提案をもとに円筒型強誘電体ゲート CNT トランジスタに対して、バリスティック伝導と仮定して数値解析し、動作特性の評価を行う。さらに、円筒型強誘電体ゲート Si ナノワイヤトランジスタに対して、ドリフト／拡散伝導と仮定して数値解析し、得られた結果について動作特性を CNT と比較評価する。そして、3 次元構造の強誘電体メモリを設計するための指針について議論する。

図 1.11 に本論文の構成を示す。第1章では、序論として本研究に関連する技術動向、課題を示す。第2章では、本研究に関連するキャリア輸送と分極に関する解析理論を示す。そして、第3章では、円筒型強誘電体キャパシタ特性の解析、第4章では、円筒型強誘電体ゲートカーボンナノチューブトランジスタのドレイン電流特性の解析、第5章では、円筒型強誘電体ゲート Si ナノワイヤトランジスタのドレイン電流特性の解析について議論する。第6章では、本研究で得た結論と今後の展望を示す。

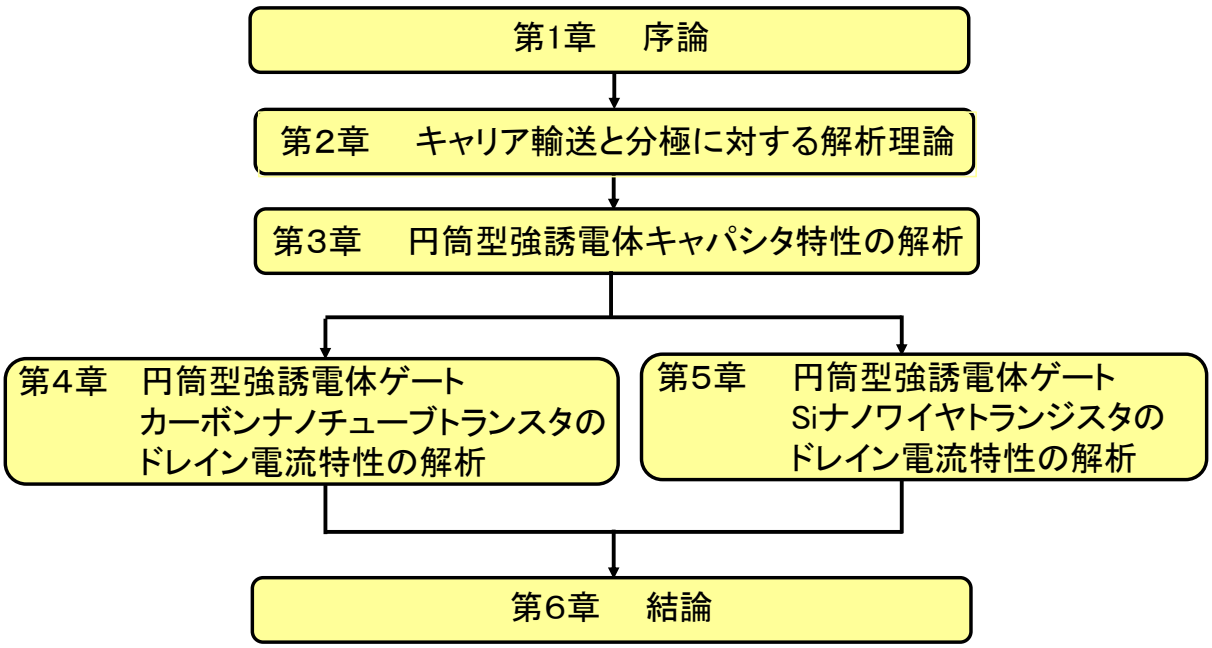


図 1.11　本論文の構成

参考文献

[1.1] 経済産業省技術戦略マップ2010, 情報通信, ストレージ・メモリ分野.

[1.2] 富士通 FRAM技術解説, http://jp.fujitsu.com/microelectronics/technical/fram/

[1.3] 石原 宏:応用物理 **75** (2006) 546.

[1.4] R. H. Dennard, F. H. Gaensslen, H. -N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc: IEEE J. Solid-State Circuits **SC-9** (1974) 256.

[1.5] ITRS 2011 Ed., Executive Summary.

[1.6] 奈良安雄: 応用物理 **76** (2007) 1006.

[1.7] 鈴木英一, 昌原明植, 柳 永勛, 関川敏弘: 応用物理 **74** (2009) 1171.

[1.8] 高木信一: 応用物理 **74** (2005) 1158.

[1.9] H. Iwai, K. Natori, K. Shiraishi, J. Iwata, A. Oshiyama, K. Yamada, K. Ohmori, K. Kakushima, and P. Ahmet: Sci. China Inf. Sci. **54** (2010) 1004.

[1.10] B. Iniguez, T. A. Fjeldly, A. Lazaro, F. Danneville, and M. J. Deen: IEEE Trans. Electron Devices **53** (2006) 2128.

[1.11] J. -P. Colinge: Solid-State Electronics **48** (2004) 897.

[1.12] 斎藤理一郎, 篠原久典: カーボンナノチューブの基礎と応用, 培風館, 2004.

[1.13] S. J. Tans, A. R. M. Verschueren, and C. Dekker: Nature **393** (1998) 49.

[1.14] A. Javey, J. Guo, D. B. Farmer, Q. Wang, R. G. Gordon, M. Lundstrom, and H. Dai: Nano Lett. **4** (2004) 447.

[1.15] J. Li, Y. Lu, Q. Ye, M. Cinke, J. Han, and M. Meyyappan: Nano Lett. **3** (2003) 929.

[1.16] A. Kojima, C. K. Hyon, T. Kamimura, M. Maeda, and K. Matsumoto: Jpn. J. Appl. Phys. **44** (2005) 1595.

[1.17] S. Akita, M. Ohashi, and Y. Nakayama: Jpn. J. Appl. Phys. **44** (2005) 1637.

[1.18] M. Nihei, A. Kawabata, D. Kondo, M. Horibe, S. Sato, and Y. Awano: Jpn. J. Appl. Phys. **44** (2004) 1626.

[1.19] D. Jimenez, J. J. Saenz, B. Iniguez, J. Sune, L. F. Marsal, and J. Pallares: IEEE Electron Device Lett. **25** (2004) 314.

[1.20] D. Jimenez, B. Iniguez, J. Sune, L. F. Marsal, J. Pallares, J. Roig, and D. Flores: IEEE Electron Device Lett. **25** (2004) 571.

[1.21] B. Iniguez, D. Jimenez, J. Roig, H. A. Hamid, L. F. Marsal, and J. Pallares: IEEE Trans. Electron Devices **53** (2006) 1868.

[1.22] H. Tanaka et al.: JSAP Symposium on VLSI Technology Tech. Dig. Kyoto (2007) 14.

[1.23] J. Jang et al.: JSAP Symposium on VLSI Technology Tech. Dig Kyoto (2009) 192.

[1.24] S. -J. Whang et al.: IEEE IEDM Tech. Dig. San Fransico (2010) 668.

[1.25] Y. Arimoto and H. Ishiwara: MRS Bull **29** (2004) 823.

[1.26] H. Ishiwara: Curr. Appl. Phys. **9** (2009) S2.

[1.27] S. Sakai and R. Ilangovan: IEEE Electron Device Lett. **25** (2004) 369.

[1.28] K. Aizawa, B. -E. Park, Y. Kawashima, K. Takahashi, and H. Ishiwara: Appl. Phys. Lett. **85** (2004) 3199.

[1.29] K. Takahashi, K. Aizawa, B. -E. Park, and H. Ishiwara: Jpn. J. Appl. Phys. **44** (2005) 6218.

[1.30] L. -V. Hai, M. Takahashi, and S. Sakai: Semicond. Sci. Technol. **25** (2010) 115013.

[1.31] Q. -H. Li and S. Sakai: Appl. Phys. Lett. **89** (2006) 222910.

[1.32] K. -H. Kim, J. -P. Han, S. -W. Jung, and T. -P. Ma: IEEE Electron Device Lett. **23** (2002) 82.

[1.33] T. Hatanaka, R. Yajima, T. Horiuchi, S. Wang, Z. Zhang, M. Takahashi, S. Sakai, and K. Takeuchi: IEEE J. Solid-State Circuit **45** (2010) 2156.

[1.34] S. L. Miller and P. J. McWhorter: J. Appl. Phys. **72** (1992) 5999.

[1.35] T. Kamei, E. Tokumitsu, and H. Ishiwara: IEICE Trans. Electron. **E81-C** (1998) 577.

[1.36] H. -T. Lue, C. -J. Wu, and T. -Y Tseng: IEEE Trans. Electron Devices **49** (2002) 1790.

[1.37] T. Sakurai, T. Yoshimura, A. Akita, N. Fujimura, and Y. Nakayama: Jpn. J. Appl. Phys. **45** (2006) L1036.

[1.38] W. -Y. Fu, Z. Xu, X. -D. Bai, C. -Z. Gu, and E. -G. Wang: Nano Lett. **9** (2009) 921.

[1.39] W. -Y. Fu, Z. Xu, L. Liu, X. -D. Bai, and E. -G. Wang: Nanotechnology **20** (2009) 475305.

[1.40] J. -W. Cheah, Y. Shi, H. -G. Ong, C. -W. Lee, L. -J. Li, and J. Wang: Appl. Phys. Lett. **93** (2008) 082103.

第2章　キャリア輸送と分極に対する解析理論

2．1　はじめに

MOS トランジスタの微細化に伴い、短チャネル効果が現れる。まず、そのメカニズムについて議論する。次に、Si ナノワイヤの電気伝導を議論するため、ドリフト／拡散伝導モデルとバリスティック伝導モデルの違いについて議論し、そのメカニズムを検討する。そして、CNT トランジスタでは、ショットキー障壁を考慮したエネルギーバンドの検討と、キャリア密度が 2 つのサブバンドで近似できる解析理論に基づいて、ソース／ドレイン電極間をオーミック接触と仮定してバリスティック理論を議論する。さらに、強誘電体の分極メカニズムを解析するため、飽和状態と非飽和状態での解析式について議論する。

2．2　Si ナノワイヤの電気伝導

2．2．1　短チャネル効果

スケーリング則に従って微細化したときに、MOS トランジスタのチャネル長が十分に長い場合は、チャネル中の横方向電界が縦方向電界に比べて小さいので、ゲートによるドレイン電流の制御機能を考える際に、縦方向電界と横方向電界とを別々に考えることができた。チャネル長が短くなると、ソースやドレインがチャネル中の電界分布に影響を与えるため、両者を別々に考えることができなくなる。短チャネル効果には、閾値電圧 V_{th} の低下、サブスレショルド特性の劣化、キャリアの移動度の低下、キャリアの速度飽和による電流の減少等があげられる。ここでは、V_{th} の低下とサブスレ

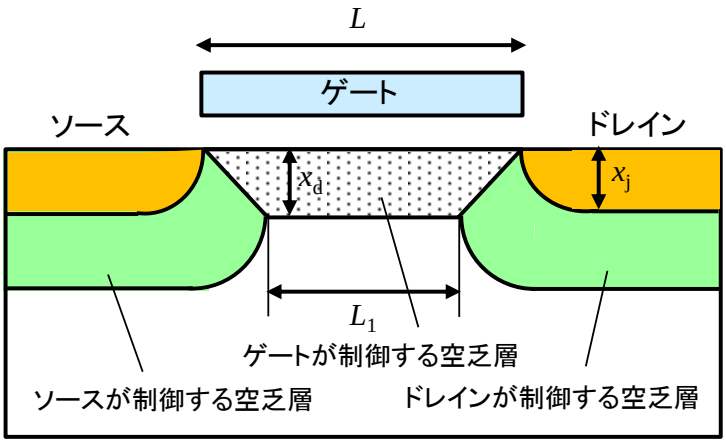


図 2.1　短チャネル MOS トランジスタの断面模式図

ショルド特性の劣化について検討する。V_{th} の低下を検討するため、図 2.1 に短チャネル MOS トランジスタの断面を示す。チャネル直下およびソース、ドレイン領域に空乏層が広がり、ソースとドレインの空乏層がチャネルに食い込んでいる。フェルミ準位と真性フェルミ準位との電位差を φ_B、単位面積当たりの空乏電荷を Q_B、単位面積当たりのゲート容量を C_{OX} とすると、V_{th} は式(2.1)で表される[2.1]。

$$V_{th} = 2\varphi_B + \frac{Q_B}{C_{OX}} \tag{2.1}$$

チャネルが十分に長い MOS トランジスタの Q_B を $Q_{B,Long}$ とし、電荷量を q、不純物濃度を N_A、最大空乏層幅を x_d、接合深さを x_j、チャネル長を L、チャネル幅を W とすると、ソースおよびドレインの影響が無視できるので、$Q_{B,Long}$ は式(2.2)で表される。

$$Q_{B,Long} = qN_A x_d \tag{2.2}$$

これに対して、ソースおよびドレインの影響が無視できない場合には、ドレイン電圧 V_D= 0 V および基板バイアス V_{BS}= 0 V の最も簡単な条件において、Q_B は、式(2.3)となる[2.2]。

$$Q_B = Q_{B,Long}\left[1 - \frac{x_j}{L}\left(\sqrt{1 + \frac{2x_d}{x_j}} - 1\right)\right] \tag{2.3}$$

スケーリング則と短チャネル効果抑制の関係を式(2.1)および式(2.3)から検討する。まず、式(2.1)から分かるように C_{OX} を大きくすると、V_{th} の低下が抑えられる。すなわち、ゲート酸化膜を薄くすることであり、チャネル領域にゲート電極を近づけゲートの影響力を大きくすることである。次に、式(2.3)から分かるように x_j を小さくし、さらに、x_d を小さくすると、V_{th} の低下が抑えられる。x_d を小さくするとは、すなわち、基板の不純物濃度を高くすることである。これらの対策により、ソースおよびドレイン空乏層のチャネル直下への食い込みを抑えることができ、V_{th} の低下を抑制することができる。図 2.2 に閾値電圧のゲート長依存性を示す。同図から分かるように酸化膜厚 t_{OX}、接合深さ x_j、不純物濃度 N_A の対策により、V_{th} バラツキも抑制することができる。

次に、サブスレショルド特性の劣化について検討する。図 2.3 に示すようにサブスレショルド電流の増加は待機時電流の増加を意味し、携帯機器向けの超低消費電

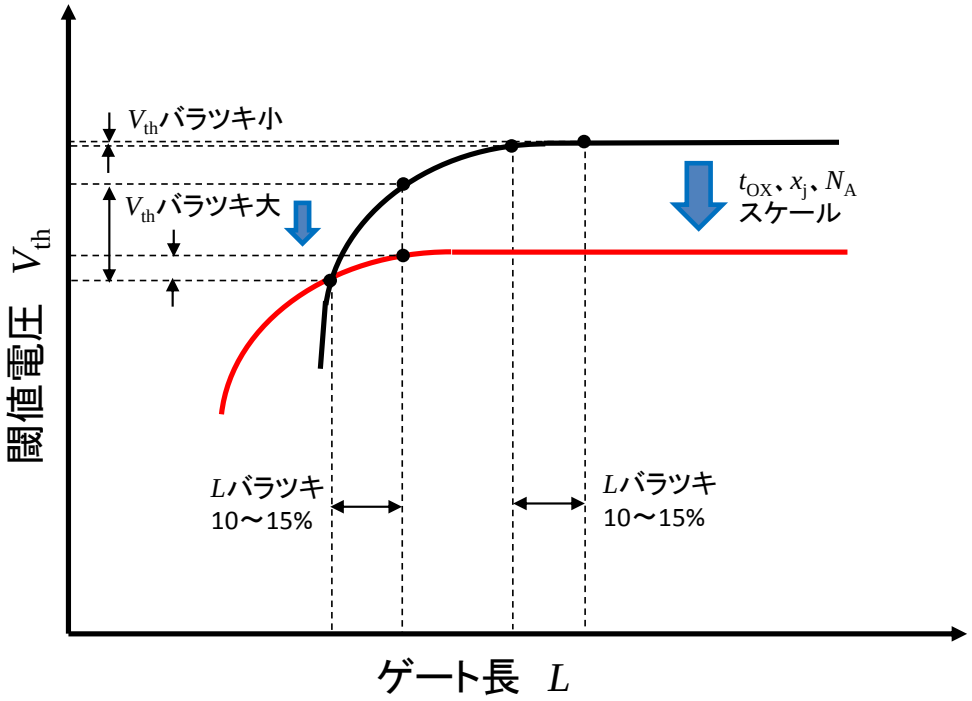


図 2.2 閾値電圧のゲート長依存性

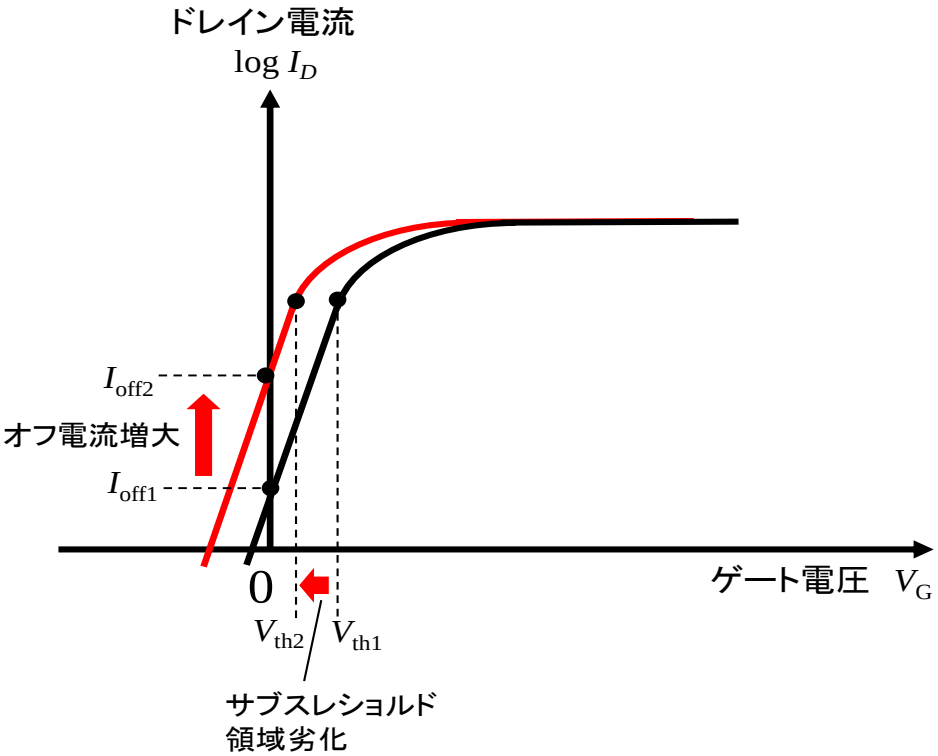


図 2.3 サブスレショルド領域の劣化とリーク電流の関係

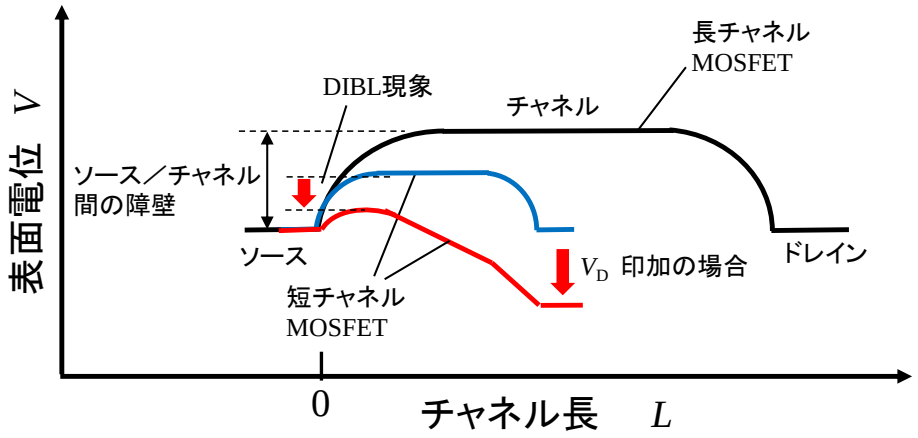


図 2.4　MOS トランジスタの表面電位の横方向分布模式図（サブスレショルド領域）

力デバイスでは、サブスレショルド特性の改善が大きな課題である。MOS トランジスタのチャネルが短くなると、ソースの空乏層とドレインの空乏層が近づく。そのため、パンチスルー現象が起こりゲートでドレイン電流を制御できなくなり、サブスレショルド係数 S 値（Subthreshold Swing）が大幅に増大する。このとき大きなドレイン電圧を印加すると V_{th} が低下し、サブスレショルド特性はさらに劣化する。図 2.4 にチャネル中の表面電位分布を示す。

短チャネル MOS トランジスタでは、DIBL（Drain-Induced Barrier Lowering）により、ソース／チャネル間の障壁がさらに低下して、大きなサブスレショルド電流が流れるようになり、S 係数が劣化する。S 係数の劣化も閾値電圧の低下と同様にゲート酸化膜厚 t_{OX}、接合深さ x_j、不純物濃度 N_A をスケーリングすることにより抑制することができる。

2．2．2　ドリフト／拡散伝導モデル

半導体中のキャリアは電界によって加速されるが、熱振動している格子によるフォノン散乱やイオン化不純物原子による不純物散乱のため、電界印加後極めて短時間にキャリアの速度はドリフト速度 v_d となる。電界 E が弱い間は、ドリフト速度は E に比例するので、電子と正孔のドリフト速度をそれぞれ v_e、v_h とすると、式(2.4)および式(2.5)で表される。

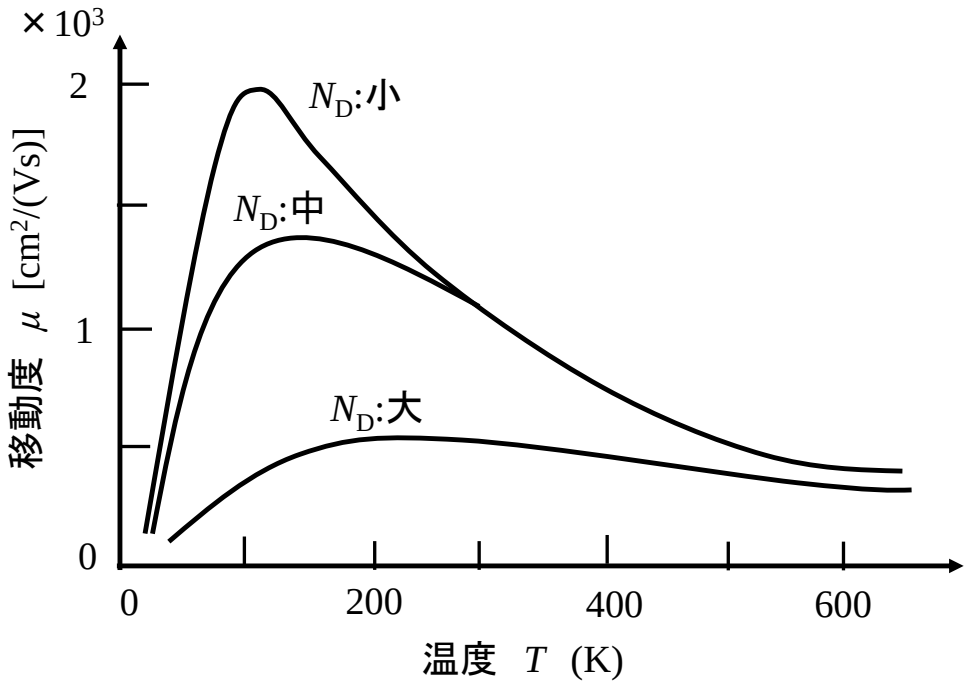


図 2.5 移動度の温度依存性

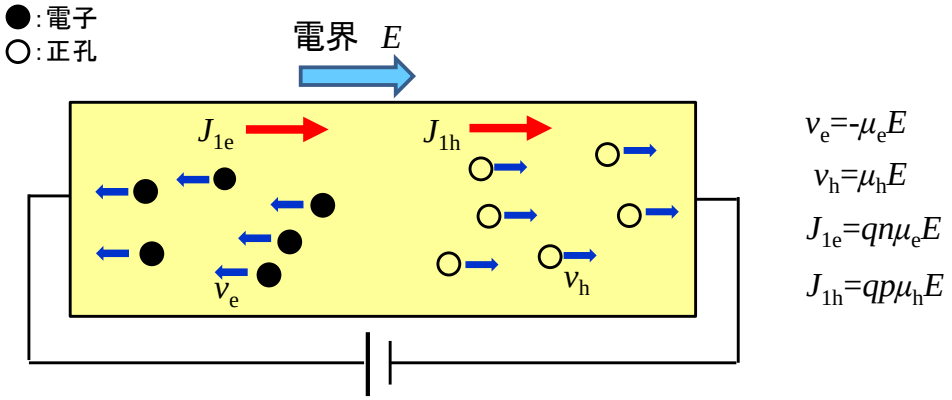


図 2.6 ドリフト電流の説明図

$$v_e = -\mu_e E \tag{2.4}$$

$$v_h = \mu_h E \tag{2.5}$$

ここで μ_e、μ_h はそれぞれ電子と正孔の移動度である。半導体中の不純物濃度が低い場合には、フォノン散乱が支配的になり、濃度が高い場合には、フォノン散乱と不純物濃度散乱が寄与して移動度は低下する。移動度の温度依存性については、フォノン散乱だけを考えた場合には、低温ほどキャリア移動度は大きくなる。一方、不純物

散乱の場合には、温度が高くなると熱速度が増加し、散乱確率は減少するので、高温ほど移動度が大きくなる。通常の半導体では、これら 2 つの機構が共存し、移動度は温度とともに図 2.5 のように変化する[2.1]。

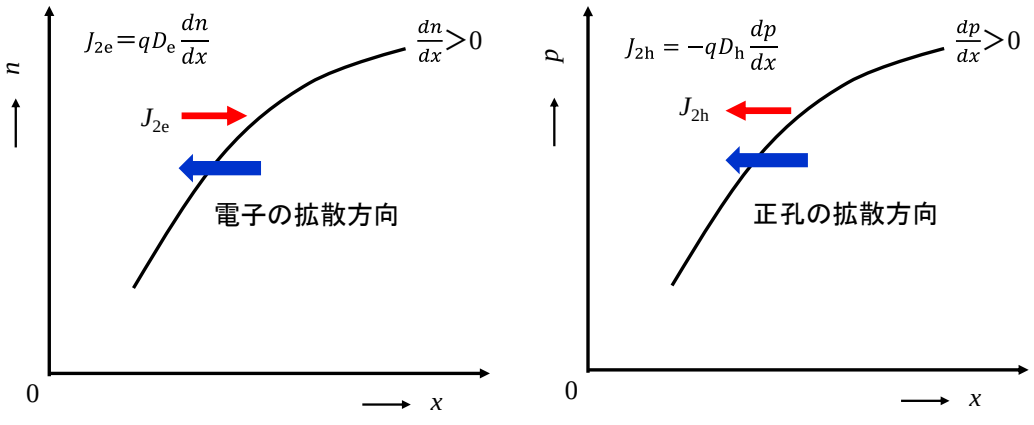
図 2.6 に示すように電子濃度を n、正孔濃度を p とし、半導体中に電界 E が存在する場合の電子と正孔のドリフト電流をそれぞれ J_{1e}、J_{1h} とすると、$J_{1e}=-qn(-v_e)=qn\mu_eE$、$J_{1h}=qpv_h=qp\mu_hE$ で与えられる。従って、半導体の導電率と抵抗率をそれぞれ σ、ρ とすると、全電流は $J_1=J_{1e}+J_{1h}=\sigma E$ の関係から、式(2.6)の関係が成り立つ。

$$\sigma = \frac{1}{\rho} = q(n\mu_e + p\mu_h) \tag{2.6}$$

次に、図 2.7 に示すようにキャリア濃度が x の増加とともに増加すると仮定する。濃度勾配に垂直な単位面積を単位時間に通過するキャリアの数は、濃度勾配に比例し、その方向は負方向であるので、電子と正孔の拡散定数をそれぞれ D_e、D_h とすると、それぞれの拡散電流は $J_{2e}=qD_e(dn/dx)$、$J_{2h}=-qD_h(dp/dx)$で与えられる。従って、半導体中を流れる電子電流と正孔電流は、ドリフト電流と拡散電流の和で与えられるから式(2.7)および式(2.8)で表される。そのときのアインシュタインの関係は式(2.9)および式(2.10)となる。

$$J_e = qn\mu_eE + qD_e\frac{dn}{dx} \tag{2.7}$$

$$J_h = qp\mu_hE - qD_h\frac{dp}{dx} \tag{2.8}$$



(a) (b)

図 2.7 拡散電流の説明図

(a) 電子の拡散電流、(b) 正孔の拡散電流

$$D_{\mathrm{e}} = \frac{kT}{q}\mu_{\mathrm{e}} \tag{2.9}$$

$$D_{\mathrm{h}} = \frac{kT}{q}\mu_{\mathrm{h}} \tag{2.10}$$

ドリフト／拡散伝導の場合には、次節の図 2.8(a)に示すようにキャリアが散乱を受けずに走れる平均自由行程 λ に比べて、チャネル長 L が極めて大きい場合であり、ソースから注入されたキャリアはチャネル内で散乱を繰り返して一部はソースに戻り、残りのキャリアがドレインへ到達する[2.5]。

2．2．3　バリスティック伝導モデル

チャネル長がキャリアの平均自由行程と同程度以下まで微細化されると、チャネル内で起こる散乱回数が数回程度以下にまで減少し、究極的には散乱されないバリスティック輸送が起こると考えられている[2.3-2.5]。Si MOSFET の電子の平均自由行程が室温でおよそ数 nm～数十 nm と言われているので、チャネル長が 10 nm に近づくと散乱によるエネルギー緩和を前提とする移動度という概念が成立しなくなる。

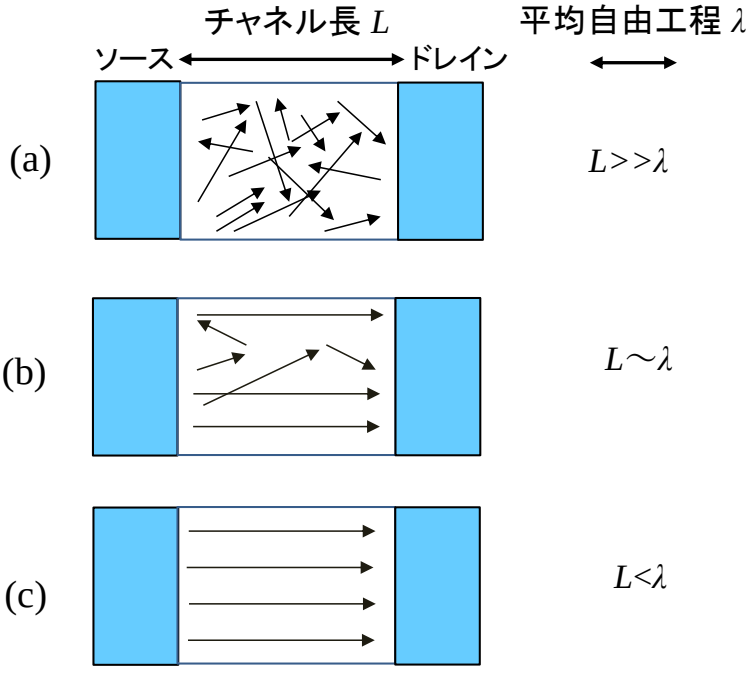


図 2.8　MOSFET のチャネル長とキャリア伝導機構の関係

(a) ドリフト／拡散伝導、(b)　準バリスティック伝導、(c)　バリスティック伝導

図 2.8(c)に示すようにバリスティック輸送では、キャリアは散乱を起こさずにドレインまで到達する。バリスティック輸送が影響し始める極短チャネル MOSFET の伝導モデルでは、従来の抵抗性チャネルというドリフト／拡散伝導モデルから見直しが必要である。バリスティック輸送は MOSFET の電流駆動力を増大させる効果が期待されているが、有限の長さの MOSFET では、少なくとも室温では完全なバリスティック輸送は難しく、同図(b)で示すような散乱回数が数回程度以下となる準バリスティック輸送（Quasi-Ballistic Transport）を考える必要がある[2.6]。完全なバリスティック輸送下では、ソースから注入されたキャリアが全てドレインに到達するため、このときのドレイン電流 I_{sat} は、ソース端でのキャリアの熱速度 v_{inj} とキャリア密度 Q の積で決定され、式(2.11)で表される[2.4]。

$$I_{\mathrm{sat}} = Q v_{\mathrm{inj}} \tag{2.11}$$

従って、ドレイン電流の大きさはチャネル長やドレイン電圧に依存せず、MOSFET として得られる最大の電流値を与える。このため素子構造の観点からは、この電流値が微細化の到達点となる。

一方、準バリスティック輸送下では同図(b)で示すようにチャネル内で散乱されたキャリアの一部が後方のソースに向かって進み、図 2.9 に示すポテンシャル障壁を超えてソースまで戻されると、ドレイン電流は完全なバリスティック極限の値から減少する。チャネルのソース端に形成されるポテンシャル障壁ボトルネックは、ソースからチャネルに注入されるキャリアの振舞いを制御している。また、キャリアがチャネル内で散乱されソースに戻される後方散乱確率 R は、前方と後方の電荷量をそれぞれ Q_{f}、Q_{b}、注入速度と後方速度をそれぞれ v_{inj}、v_{back} とすると、式(2.12)で表される。

$$R = \frac{Q_{\mathrm{b}} v_{\mathrm{back}}}{Q_{\mathrm{f}} v_{\mathrm{inj}}} \tag{2.12}$$

このとき、飽和状態での速度を v_{s} として、式(2.12)と $Qv_{\mathrm{s}}=Q_{\mathrm{f}}v_{\mathrm{inj}}-Q_{\mathrm{b}}v_{\mathrm{back}}$、$Q=Q_{\mathrm{f}}+Q_{\mathrm{s}}$ の関係から、ドレイン飽和電流 I_{sat} は、後方散乱確率 R を用いて式(2.13)で与えられる[2.4]。

$$I_{\mathrm{sat}} = Q v_{\mathrm{s}} = Q v_{\mathrm{inj}} \times \frac{1-R}{1+R\left(v_{\mathrm{inj}}/v_{\mathrm{back}}\right)} \tag{2.13}$$

さらに、注入速度 v_{inj} と後方速度 v_{back} が等しいとすると式(2.14)となり、文献[2.6]の式と同じになる。

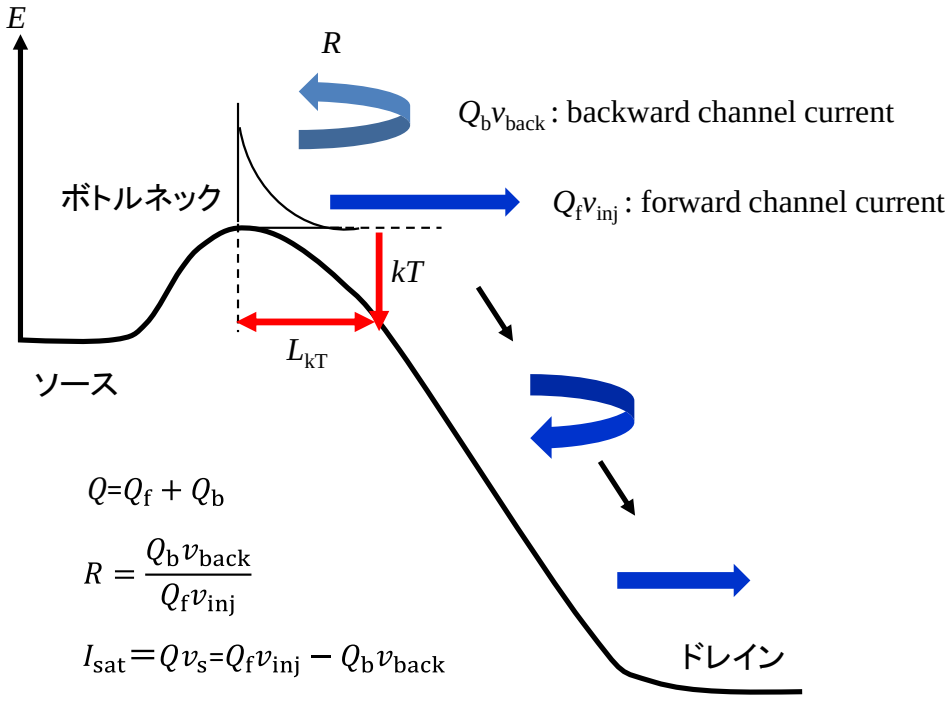


図 2.9　MOSFET の準バリスティックモデル

$$I_{sat} = Qv_{inj} \times \frac{1-R}{1+R} \tag{2.14}$$

ここで、式(2.14)の右辺の(1-*R*)/(1+*R*)の項の物理的意味を考察する。まず、分子の(1-*R*)は、チャネル内で後方散乱されボトルネックまで戻ってきたキャリアによる電流の減少分を表している。一方、分母の(1+*R*)は、後方散乱で Q_f+Q_b に増えた電荷量をゲート容量とゲート電圧で決まる誘起電荷密度($Q=C_G V_G$)に戻すために、注入電荷量 Q_f が減らされることによる電流の減少分を表している。バリスティック輸送では *R*=0 であり、*R*=0 とすると式(2.14)は式(2.11)と同じになる。

このようにバリスティック輸送下での MOSFET のドレイン飽和電流は、短チャネル MOSFET で言われてきた飽和速度に代わり、ソースからチャネルへの注入速度 v_{inj} で律速されると考えられるようになった。一方、準バリスティック輸送下でのドレイン電流は、式(2.14)が示すように、絶縁膜厚、閾値、ゲート電圧が一定のもとでは、誘起キャリア密度 *Q* は一定であるので、注入速度と後方散乱確率で決定されることが分かる。後方散乱確率はチャネル内でのキャリア散乱現象によるものであり、正確な値を見積

もるためには様々な散乱機構を考慮した詳細な数値計算が必要となる。ただチャネル内で散乱されて実際にソースまでキャリアが戻される確率 R は、主にチャネルのソース端付近（この領域を kT レイヤと呼ぶ）で発生する散乱が支配的になると考えられる[2.7]。Si の散乱が等方性散乱であるという性質から、kT レイヤの長さを L_{kT}、平均自由行程を λ とすると、ドレイン電流の飽和領域では R は式(2.15)で表される。

$$R = \frac{L_{\mathrm{kT}}}{L_{\mathrm{kT}} + \lambda} \tag{2.15}$$

式(2.15)はチャネル内の散乱確率が同じ場合（λ=一定、例えば同一材料、同一電源電圧）、後方散乱確率はチャネル長ではなく kT レイヤ長で決まることを意味する。すなわち、kT レイヤを短くすることがバリスティック効率を向上させ、MOS トランジスタの電流駆動力を向上させる。

２．３ カーボンナノチューブの電気伝導

２．３．１ 金属－半導体接触のエネルギー帯図

図 2.10(a)に示すように、仕事関数が $q\Phi_{\mathrm{M}}$ の金属と、仕事関数および電子親和力が $q\Phi_{\mathrm{S}}$、$q\chi_{\mathrm{S}}$ の n 型半導体とを接触させる場合を検討する[2.1]。$\Phi_{\mathrm{S}} < \Phi_{\mathrm{M}}$ と仮定すると、接触後は半導体の伝導帯中の電子の一部が金属中に流れ込み、金属は過剰な負電荷を、半導体はドナーイオンによる正電荷を得て、両者のフェルミ電位は一致する。この場合、金属中では電子濃度が高いために、電子の蓄積層の広がりが無視できるが、半導体中では表面に空乏層が形成され、同図(b)に示すようにショットキー障壁ができてバンドが曲がり、電流－電圧特性は整流作用を示す。界面の障壁を金属側から見る場合を障壁の高さ Φ_{B}、半導体側から見る場合を拡散電位 Φ_{D} といい、それぞれ式(2.16)、式(2.17)で表される。Φ_{B} は半導体中のフェルミ準位の位置、すなわち半導体の不純物濃度に無関係である。

$$\Phi_{\mathrm{B}} = \Phi_{\mathrm{M}} - \chi_{\mathrm{S}} \tag{2.16}$$

$$\Phi_{\mathrm{D}} = \Phi_{\mathrm{M}} - \Phi_{\mathrm{S}} \tag{2.17}$$

一方、$\Phi_{\mathrm{S}} > \Phi_{\mathrm{M}}$ の場合には、エネルギー帯図は図 2.11 のようになり、界面近くの半導体には電子が蓄積して、整流作用は示さずオーミック接触となる。同様に、p 型半導体では、$\Phi_{\mathrm{S}} > \Phi_{\mathrm{M}}$ の場合にショットキー障壁接触となり、$\Phi_{\mathrm{S}} < \Phi_{\mathrm{M}}$ の場合にオーミック接触となる。

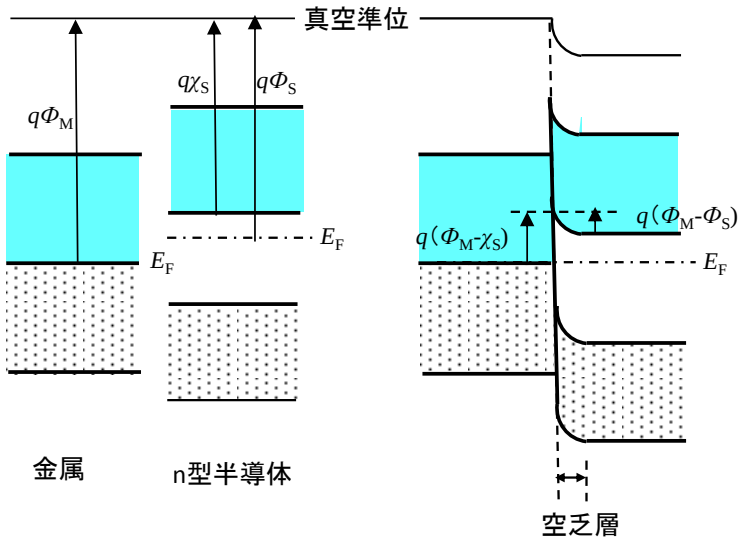


図 2.10　金属－n 型半導体ショットキー障壁接触のエネルギー帯図

(a) 接触前、(b) 接触後

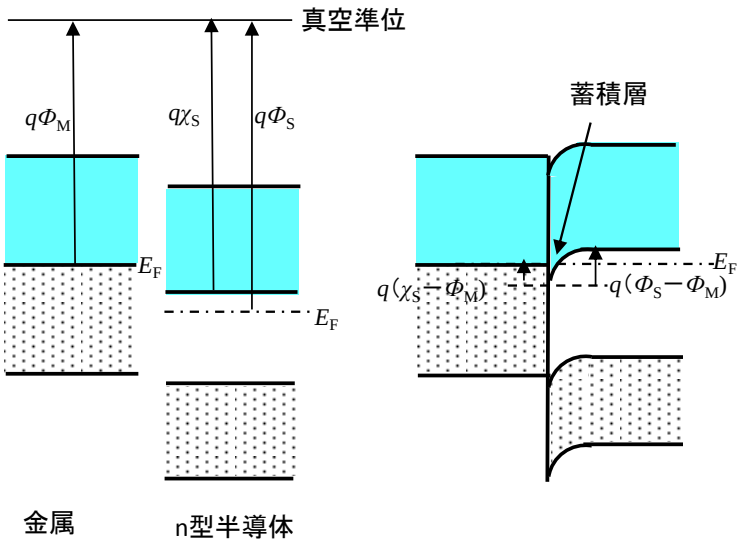


図 2.11　金属－n 型半導体オーミック接触のエネルギー帯図

(a) 接触前、(b) 接触後

このように、金属－半導体接触にはショットキー接触とオーミック接触の 2 種類がある。2．3．2ではショットキー接触と仮定して議論し、2．3．3ではオーミック接触を仮定して議論する。さらに、本論文後半の特性解析ではオーミック接触と仮定して議論する。

２．３．２ カーボンナノチューブトランジスタの特性

CNT は Si 等の従来の半導体と異なり、置換型の不純物ドーピングが困難なため、CNT をチャネルにしてトランジスタを構成した場合、ソース、ドレイン電極金属との接合はショットキー障壁が形成された接続となる。図 2.12 に MOS 型 CNT 電界効果トランジスタ（Carbon Nanotube Field-Effect Transistor: CNTFET）の素子構造図を示す。ドレイン電流制御機構はゲートによるショットキー障壁制御であり、エネルギーバンドのメカニズムを図 2.13 に示す[2.8]。同図(a)は電圧を印加しない場合のバンド図、(b)は p チャネル伝導状態、(c)はオフ状態、(d)は n チャネル伝導状態を示す。なお、(b)～(d)では p チャネル FET のソースに対してドレインに負の電圧 V_{DS} を印加している。電子および正孔に対するショットキー障壁高さ Φ_{Bn}、Φ_{Bp} は、同図(a)に示すようにそれぞれ金属のフェルミ準位 E_F／伝導帯下端 E_C との差、金属のフェルミ準位 E_F／価電子帯上端 E_V との差で与えられる。従って、$\Phi_{Bn}+\Phi_{Bp}$ はエネルギーバンドギャップに等しい。ゲート電圧を十分負にするとエネルギーバンドは同図(b)で示すように、価電子帯上端がソース電極のフェルミ準位よりも上にくるので、価電子帯には正孔がソースからトンネル注入される。ショットキー障壁の厚みはゲート電圧により変化するので、このような正孔注入によるドレイン電流はゲート電圧に依存する。ゲート電圧をオフ状態まで正側に変化させるとエネルギーバンド図は同図(c)で示すように下がり、ソース電極のフェルミ準位と CNT チャネルの禁制帯の高さが一致する。禁制帯には自由キャリアは存在できないので、正孔は CNT チャネルには注入されない。ゲート電圧をさらに正側に変化させると、エネルギーバンドは同図(d)に示すようにさらに下がり、伝導帯下端がドレイン電極のフェルミ準位より下にくる。この状態では、電子がドレイン側か CNT チャネルの伝導帯に注入されるので、FET は n チャネルとなる。

次に、絶縁膜を強誘電体で置き換えた MFS 型 CNTFET のエネルギーバンドについて検討する。MFS 型 CNTFET の素子構造図を図 2.14 に示す。ゲート電極とソース電極の仕事関数差はないとし、また CNT は完全に空乏化すると仮定する。図 2.15 にゲート／ソース間のキャリアの伝送機構に関するエネルギーバンド図を示す[2.9]。強誘電体を用いるために、例えば正のゲート電圧印加後に零バイアスにおいても、強誘電体の分極は保持されるためキャリアは注入される。MSF 型 CNTFET は絶縁膜を挟まないので、減分極電界が小さくなる可能性があり、また、Si が存在しないことから、チャージのミスマッチが起こらず、保持特性と低電圧化の両面の改善が期待される。

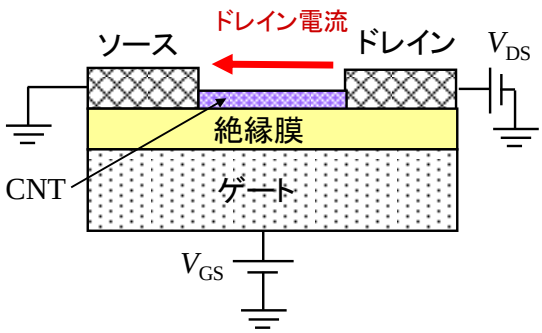


図 2.12　MOS 型 CNTFET の素子構造図

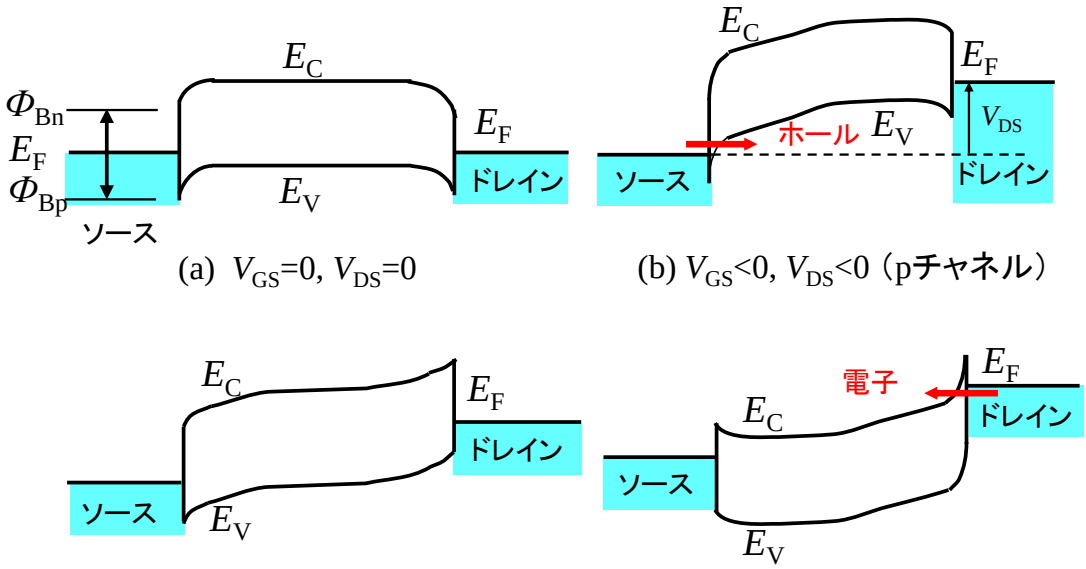


図 2.13　MOS 型 CNTFET のエネルギーバンド

(a) 電圧を印加しない場合、(b) p チャネル伝導状態、(c) オフ状態、(d) n チャネル伝導状態、E_C:伝導帯、 E_V:価電子帯、 E_F:フェルミ準位

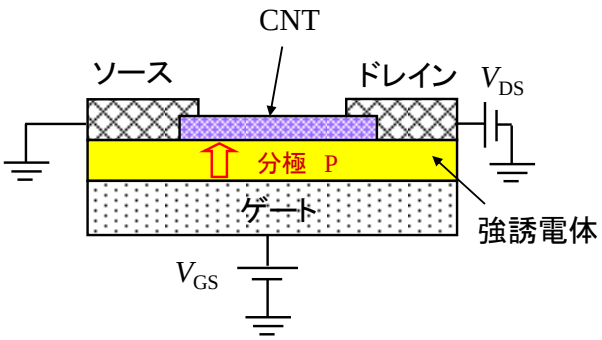


図 2.14　MFS 型 CNTFET の素子構造図（V_{GS}＞0 の場合）

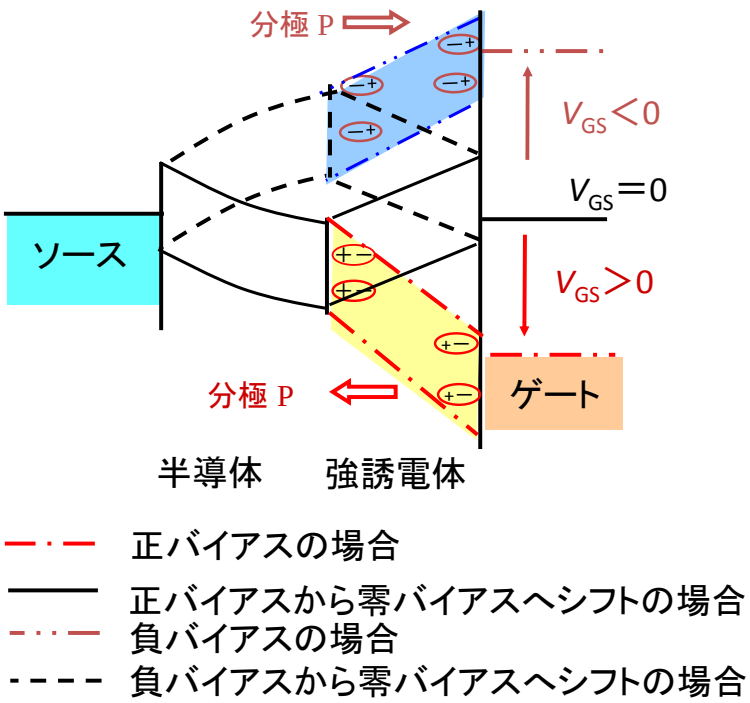


図 2.15　MFS 型 CNTFET のエネルギーバンド

2．3．3　カーボンナノチューブトランジスタに対するバリスティック解析理論

CNT のキャリア密度の解析について議論するが、ここでは便宜上電子のキャリア密度について議論する。CNT の電子キャリア密度 n はフェルミ・ディラック分布関数を用いて式(2.18)で表される[2.10]。

$$n = \int_{E_{cb}(i)}^{E_{ct}(i)} F(E, E_F) \sum_i g_{zz}(E, i) dE \tag{2.18}$$

ここで、$F(E、E_F)$はフェルミ・ディラック分布関数であり、E_Fはフェルミ準位である。E_{ct}とE_{cb} は、それぞれ各サブバンドの伝導帯上端と下端である。i で表わされたすべてのサブバンドに対して積分をする。g_{zz}はサブバンド当たりのジグザグ CNT の状態密度寄与度であり、式(2.19)で表される。

$$g_{zz}(E, i) = g_0 \gamma_0 \frac{|E|}{\sqrt{(E^2 - E^2{}_{VH1})(E^2{}_{VH2} - E^2)}} \tag{2.19}$$

E_{VH1} と E_{VH2} は、状態密度の実エネルギー空間を限定するジグザグ CNT のファンホ

ーブ特異性(van Hove singularity)エネルギーである。また、g_0 は式(2.20)で表される CNT の材料定数であり、γ_0 と a はそれぞれ最近傍オーバーラップエネルギー(2.5～3.2 eV)とグラフェン格子定数(～2.46 Å)である。

$$g_0 = \frac{8}{\sqrt{3a\pi\gamma_0}} \tag{2.20}$$

一般に、式(2.18)は正確な解析解を求めることはできないが、$E_{cb}(i)$-E_F>3kT の非縮退フェルミ準位の場合は非縮退キャリア密度を n_{nd} とすると式(2.21)-(2.22)で表される[2.11]。

$$n_{nd} = 2N_0 \exp\left(\frac{E_F - E_{cb}}{kT}\right) \tag{2.21}$$

$$N_0 = g_0\gamma_0 \frac{2E_{VH1} + kT}{4E_{VH2}} \sqrt{\frac{2\pi kT}{E_{VH1}}} \cong \frac{g_0}{4}\sqrt{\pi kTE_g} \tag{2.22}$$

ここで、N_0 は実効状態密度、E_g は各サブバンドに対するバンドギャップである。解析範囲を図 2.16 で示すように第 3 サブバンドの下端 E_{cb3} までと限定すると、縮退の場合も含め式(2.18)は第 1 サブバンドと第 2 サブバンドだけで表される。従って、$E_F \leq E_{cb2}$ の場合に式(2.21)の非縮退のキャリア密度に基づいて、すべての電子キャリア

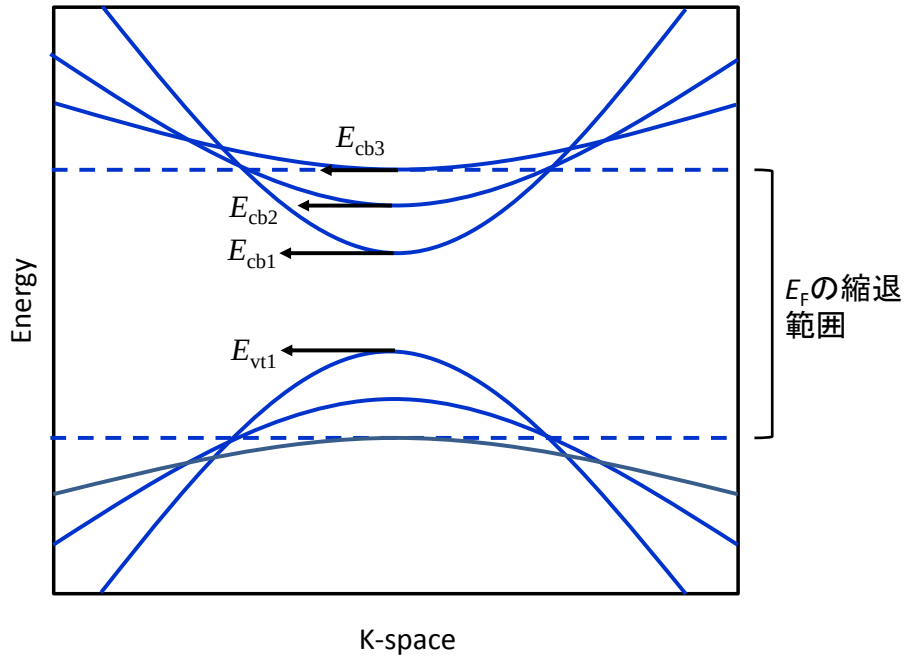


図 2.16　最初の 2 つのサブバンドとフェルミ準位の最大値を示す CNT バンド構造

密度 n は第 1 サブバンドと第 2 サブバンドの和として、式(2.23)で近似することができる。[2.11]。

$$n = \sum_{i=1}^{2} n(i) = \sum_{i=1}^{2} \frac{2N_0 e^{x_i}}{1 + Ae^{\alpha x_i + \beta {x_i}^2 + \gamma 3}} \tag{2.23}$$

$$x_i = \frac{E_{\mathrm{F}} - E_{\mathrm{cb}}}{kT} \tag{2.24}$$

ここで、A、α、β、γ は定数であり、x_i は正規化されたエネルギー差である。同様に、正孔キャリア密度は式(2.25)で近似することができる

$$p = \sum_{i=1}^{2} p(i) = \sum_{i=1}^{2} \frac{2N_0 e^{x_i}}{1 + Ae^{\alpha x_i + \beta {x_i}^2 + \gamma 3}} \tag{2.25}$$

$$x_i = \frac{E_{\mathrm{vt}} - \mathrm{E_F}}{kT} \tag{2.26}$$

次に、CNTFET のドレイン電流 I_{D} の解析について議論する。図 2.17(a)で示す CNTFET について、同図(c)で示すような第 1 サブバンドと第 2 サブバンドで近似するとドレイン電流 I_D は、式(2.27)で表される[2.12]。

$$\begin{aligned} I_D = {} & \frac{4q}{h} \int_{E_{\mathrm{cb}} - q\varphi_s}^{\infty} dE[F(E, E_{\mathrm{F}})] - F(E, E_{\mathrm{F}} - qV_{\mathrm{D}}) \\ & + \frac{4q}{h} \int_{E_{\mathrm{cb2}} - q\varphi_s}^{\infty} dE[F(E, E_{\mathrm{F}}) - F(E, E_{\mathrm{F}} - qV_{\mathrm{D}})] \end{aligned} \tag{2.27}$$

ここで、h はプランク定数、V_{D} はドレイン電圧であり、量子抵抗を Rq（=h/4q^2=6.45 kΩ）、E_{cb}=E_{g1}/2、E_{cb2}=E_{g2}/2 とすると、フェルミ準位が E_{F}=0 の場合、式(2.28)が導出できる。

$$\begin{aligned} I_D = {} & \frac{kT}{qR_{\mathrm{q}}} \sum_{i=1}^{2} \left\{ \ln \left[1 + \exp\left(\frac{q\varphi_s - E_{gi}/2}{kT} \right) \right] \right. \\ & \left. - \ln \left[1 + \exp\left(\frac{q\varphi_s - qV_D - E_{gi}/2}{kT} \right) \right] \right\} \end{aligned} \tag{2.28}$$

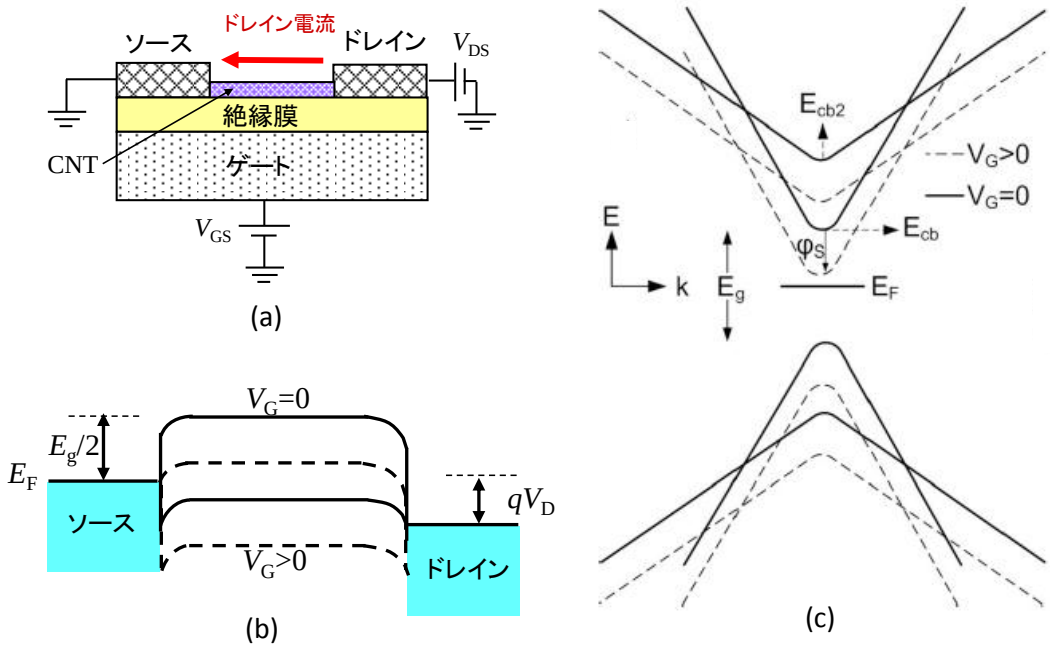


図 2.17　CNTFET の断面図とエネルギーバンド図

(a) オーミック接触の CNTFET 断面図、(b)エネルギーバンド、(c) CNTFET の *E-k* 空間の 2 つのサブバンド

2．4　強誘電体の分極に対する解析理論

2．4．1　飽和状態での分極の解析式

強誘電体ゲートトランジスタ MFS-FET や、MFIS-FET、MFMIS-FET の実験は多く報告されているが、電気的特性の解析は、Miller らが初めて数学的解析手法を発表した[2.13]。すなわち、飽和状態の分極のヒステリシスループは、ゲート電圧の増加時と減少時の分極をそれぞれ $P^+(E)$、$P^-(E)$とすると、式(2.29)-(2.30)で表される。ここで、δ は式(2.31)で表され、P_s は飽和分極、P_r は残留分極、E_C は抗電界である。

$$P^+(E) = P_s \tanh\left(\frac{E - E_C}{2\delta}\right) \tag{2.29}$$

$$P^-(E) = P_s \tanh\left(\frac{E + E_C}{2\delta}\right) \tag{2.30}$$

$$\delta = E_C / \ln\left(\frac{1 + P_r/P_s}{1 - P_r/P_s}\right) \tag{2.31}$$

２．４．２ 非飽和状態での分極の解析式

前節の Miller らの解析理論は、強誘電体膜に十分に高い電圧を印加した場合の分極特性を示している。この理論の強誘電体ゲートトランジスタへの適用を考えた場合、ゲート電圧が高く、かつドレイン電圧が低い場合には有効であるが、ドレイン電圧が高くなると、ゲート／ドレイン間の電位差が小さくなるので、この理論によっては正確なドレイン電流特性が得られなくなる。その後、亀井らは高いドレイン電圧に対しても適合できるようにMillerらのモデルを拡張した提案を発表した[2.14]。その報告では、強誘電体ゲート絶縁膜の分極は、チャネルの表面電位に関係すると仮定して、ゲート電極が強誘電体ドメインより十分大きなデバイスに適用して、強誘電体材料に $SrBi_2Ta_2O_9$ を用いた MFS-FET に対して、Miller らのモデルと比較している。

さらに、Lue らは強誘電体膜に印加される最大電界 E_m をパラメータとして導入し、非飽和状態のマイナーループヒステリシスにも対応できる解析式を発表した [2.15]。$P^+(E,E_m)$と $P^-(E,E_m)$の 2 つのマイナーループヒステリシスから構成され、E_m は最大電界である。$P^+(E,E_m)$と $P^-(E,E_m)$は最大電界 E_m のときに交差すると仮定している。$P^+(E,E_m)$、$P^-(E,E_m)$および $P_d(E_m)$は、式(2.32)-(2.34)で表される。ここで、δ は式(2.35)で表され、P_s は飽和分極、P_r は残留分極、E_C は抗電界である。

$$P^+(E,E_m) = P_s \tanh\left(\frac{E-E_C}{2\delta}\right) + \varepsilon_F \varepsilon_0 E + \frac{1}{2}\left[P_s \tanh\left(\frac{E_m+E_C}{2\delta}\right) - P_s \tanh\left(\frac{E_m-E_C}{2\delta}\right)\right] \quad (2.32)$$

$$P^-(E,E_m) = P_s \tanh\left(\frac{E+E_C}{2\delta}\right) + \varepsilon_F \varepsilon_0 E - \frac{1}{2}\left[P_s \tanh\left(\frac{E_m+E_C}{2\delta}\right) - P_s \tanh\left(\frac{E_m-E_C}{2\delta}\right)\right] \quad (2.33)$$

$$P_d(E_m) = \varepsilon_F \varepsilon_0 E_m + \frac{1}{2}\left[P_s \tanh\left(\frac{E_m+E_C}{2\delta}\right) + P_s \tanh\left(\frac{E_m-E_C}{2\delta}\right)\right] \quad (2.34)$$

$$\delta = E_C / \ln\left(\frac{1+P_r/P_s}{1-P_r/P_s}\right) \quad (2.35)$$

式(2.32)と式(2.33)において、最大電界 E_m が E_C より十分大きいならば、第 2 項と第 3 項は相殺され、分極ループは第 1 項によって与えられた飽和分極の Miller らの式(2.29)-(2.30)となる。

２．５ まとめ

MOSトランジスタは高速化、低消費電力化等のために微細化されているが、微細化に伴って短チャネル効果が現れる。そこで、短チャネル効果のメカニズムの解析とその対策について議論した。次に、本論文の後半でバリスティック伝導と仮定した円筒型強誘電体ゲートCNTトランジスタとドリフト／拡散伝導と仮定した円筒型強誘電体ゲートSiナノワイヤトランジスタの電気的特性について議論するので、ドリフト／拡散伝導とバリスティック伝導の違いについて議論した。さらに、CNTFETのショットキー障壁を考慮したエネルギーバンドについて議論し、強誘電体を絶縁膜にした強誘電体ゲートCNTトランジスタのエネルギーバンドについても検討した。最後に、本論文の後半で用いる飽和状態と非飽和状態のFeFETの分極特性の解析式について記述した。

参考文献

[2.1] 石原　宏: 半導体デバイス工学, コロナ社, 1990.

[2.2] 平本俊郎: 応用物理 **67** (1998) 571.

[2.3] K. Natori: J. Appl. Phys. **78** (1994) 4879.

[2.4] K. Natori: IEICE Trans. Electron. **E84-C** (2001) 1029.

[2.5] K. Natori, T. Shimizu, and T. Ikenobe: Jpn. J. Appl. Phys. **42** (2003) 2063.

[2.6] M. Lundstom: IEEE Electron Device Lett. **18** (1997) 361.

[2.7] M.Lundstorm: IEEE Trans. Electron Devices **49** (2002) 133.

[2.8] 斎藤理一郎, 篠原久典: カーボンナノチューブの基礎と応用, 培風館, 2004.

[2.9] H. Ishiwara: Curr. Appl. Phys. **9** (2009) S2.

[2.10] J. Jiang, D. Akinwande, and H. -S. P. Wong: J. Appl. Phys. **104** (2008) 064515.

[2.11] D.Akinwande, Y. Nishi, and H. -S. P. Wong: IEEE Trans. Electron Devices 55 (2008) 289.

[2.12] D. Akinwande, J. Liang, S. Chong, Y. Nishi, and H. -S. P. Wong: J. Appl. Phys. **104** (2008) 124514.

[2.13] S. L. Miller and P. L. McWhorter: J. Appl. Phys. **72** (1992) 5999.

[2.14] T. Kamei, E. Tokumitsu, and H. Ishiwara: IEICE Trans. Electron. **E81-C** (1998) 577.

[2.15] H. -T. Lue, C. -J. Wu, and T. -Y. Tseng: IEEE Trans. Electron Devices **49** (2002) 1790.

第3章　円筒型強誘電体キャパシタ特性の解析

３．１　はじめに

本論文の後半で議論する円筒型強誘電体ゲートトランジスタの動作解析を行うため、本章では円筒型強誘電体キャパシタの特性に関して検討する。ZnO ナノロッドを用いて、円筒型強誘電体キャパシタの作製が報告[3.1]されているが、強誘電体特性については報告されていない。さらに、強誘電体材料を用いた厚い円筒型キャパシタに対する理論的研究は報告されていない。本章では、まず、厚い円筒型強誘電体キャパシタの近似解析について検討するため、円筒型キャパシタ中の電界分布について議論する。次に、円筒型キャパシタと平行平板キャパシタの関係について検討し、円筒型強誘電体キャパシタの平行平板キャパシタによる近似解析を実験結果と照合して議論する。

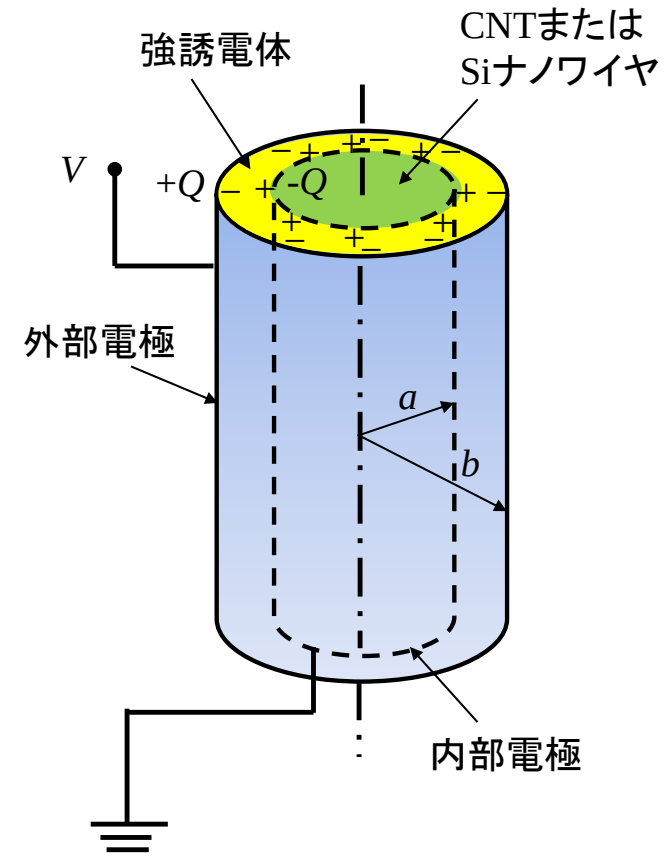
３．２　円筒型強誘電体キャパシタの近似解析

３．２．１　円筒型キャパシタ中の電界分布

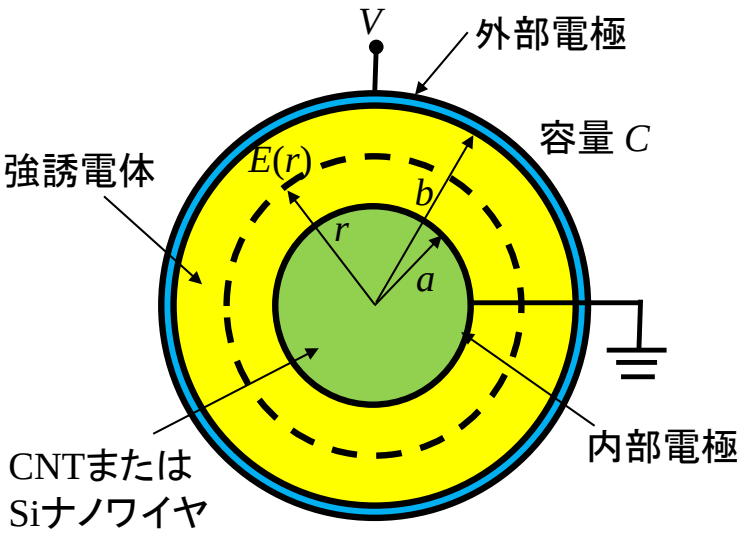
CNT または Si ナノワイヤの周りに強誘電体膜を形成した円筒型強誘電体キャパシタの膜厚と強誘電体特性の関係について検討する。強誘電体膜の膜厚が 50～100 nm 程度に対して、CNT の直径は 1～2 nm 程度、Si ナノワイヤの直径は 10～20 nm 程度であり、図 3.1(a)で示すような円筒型強誘電体キャパシタの解析が必要になる。このキャパシタの外部電極と内部電極の両電極間に電圧を印加した場合に、半径方向の電界は強誘電体膜の厚さ方向で異なり、内部電極近傍では高い電界が印加されるが、外部電極近傍では十分な電界が印加されない。そのことは、次のように説明できる。

強誘電体膜の常誘電成分（誘電率 ε_S）が等方的と仮定すると、図 3.1(b)で示すような円筒型強誘電体キャパシタに対して、中心から距離 r 点での電界 $E(r)$は、円筒の単位長さ当りの全電荷を Q、真空の誘電率を ε_0として、Gauss の定理により式(3.1)で表される[3.2,3.3]。従って、r 点での電界 $E(r)$は、式(3.2)から半径 r に反比例する。

$$2\pi r E(r) = \frac{Q}{\varepsilon_0 \varepsilon_S} \tag{3.1}$$



(a)



(b)

図 3.1　円筒型強誘電体キャパシタ

(a)　鳥瞰図、(b)　断面図

$$E(r) = \frac{Q}{2\pi\varepsilon_0\varepsilon_S}\frac{1}{r} \tag{3.2}$$

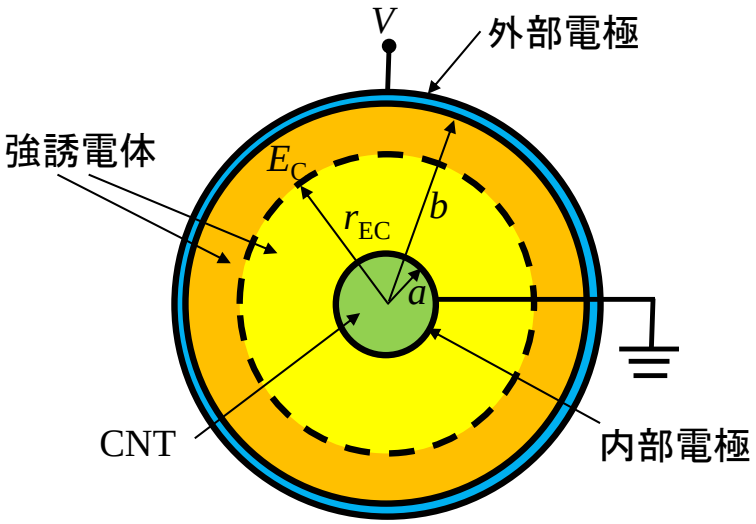
次に、内部電極の半径 a と外部電極の半径 b の両電極間の電位差 V を求めるため、式(3.2)を a から b まで積分すると式(3.3)で表される。従って、両電極間の電位差は、外部電極と内部電極の半径比の対数に比例する。また、このキャパシタの容量を C とすると、式(3.4)となる。

$$\begin{aligned} V &= \int_a^b E(r)dr \\ &= \int_a^b \frac{Q}{2\pi\varepsilon_0\varepsilon_S}\frac{dr}{r} \\ &= \frac{Q}{2\pi\varepsilon_0\varepsilon_S}\ln\left(\frac{b}{a}\right) \end{aligned} \tag{3.3}$$

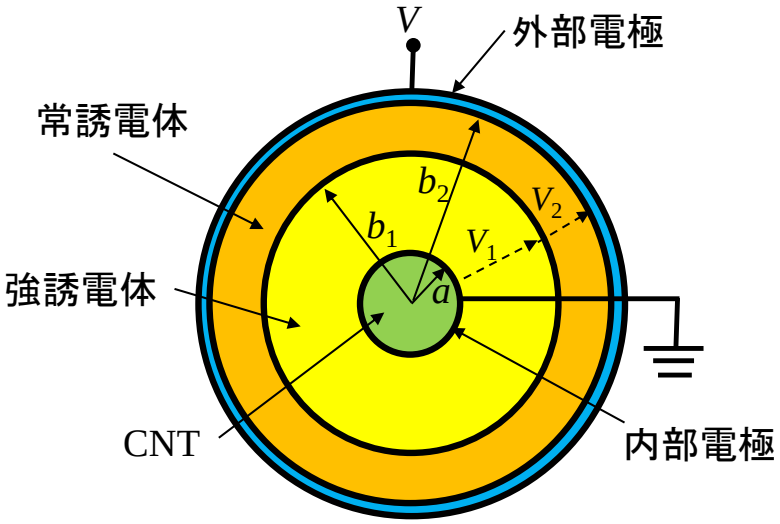
$$C = \frac{Q}{V} = \frac{2\pi\varepsilon_0\varepsilon_S}{\ln(b/a)} \tag{3.4}$$

円筒型強誘電体キャパシタの特性をより深く検討するため、ここでは、内部電極の周りを強誘電体膜で覆われた円筒型強誘電体キャパシタの分極特性を定性的に考える。図 3.2(a)で示すように半径 r_{EC} のところの電界を強誘電体材料の抗電界 E_C に等しいとすると、電界が半径に反比例することから、内部電極近傍の電界が抗電界 E_C より大きくても、外部電極近傍の電界は E_C より小さい可能性がある。この場合に外部電極近傍では、分極反転が起こらないので、図 3.2(b)で示すように E_C より内側の強誘電体キャパシタと E_C より外側の常誘電体キャパシタの直列接続と見なすことができる。さらに、内部電極の近傍では高い電界が印加されて飽和した強誘電体分極特性を示すが、半径が大きくなると共に非飽和状態の分極特性を示し、半径が r_{EC} 以上になると強誘電体特性を示さず、常誘電体特性を示すと予想される。

分極が飽和しない現象に関して、少し定量的に考察する。内部電極の半径が a、外側の半径が r_{EC} または b の強誘電体キャパシタに十分に高い電圧を印加し、強誘電体材料の分極が内部電極近傍で飽和していると仮定する。しかし、この場合でも



(a)



(b)

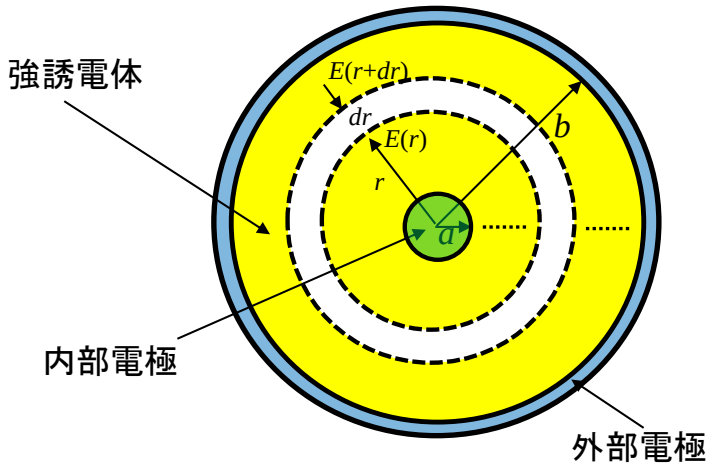
図 3.2　CNT の周りに形成した円筒型強誘電体キャパシタ断面図

(a) 抗電界に相当する電界で半径を 2 分割した場合、(b) 強誘電体特性と常誘電体特性を有する場合

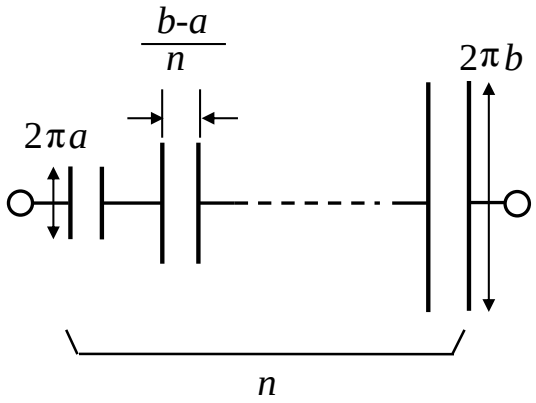
キャパシタの半径比 b/a または r_{EC}/a が例えば 3 であれば、両電極の面積が 3 倍異なるので、外部電極近傍の分極は飽和分極の約 1/3 となる。従って、円筒型キャパシタの外部電極近傍では、電界が E_C に達していても、分極が飽和していない可能性がある。次節では、円筒型強誘電体キャパシタの分極特性を考察するためのモデルについて議論する。

3．2．2　円筒型強誘電体キャパシタの分極特性

円筒型強誘電体キャパシタにおいて、強誘電体膜中の半径 r の位置における電界 $E(r)$は半径に反比例することから、前節で議論したように、膜厚が厚い場合には、強誘電体膜が強誘電体特性を示す層と常誘電体特性を示す層から構成されると考



(a)



(b)

図 3.3　n 分割した円筒型強誘電体キャパシタ

(a) 断面図、(b) 等価な平行平板キャパシタ

えられる。本節では、図 3.3(a)で示すように全体が強誘電体特性を示す場合についてまず考察する。半径 a の内部電極と半径 b の外部電極を持つ強誘電体キャパシタの強誘電体膜を、厚さが同じ（dr）になるように同心円状に n 等分することを考える。dr が十分小さい場合は、同図の n 等分した同心円キャパシタは、厚さが同じで面積の異なる平行平板キャパシタの直列接続と見なすことができるので、図 3.3(b)と等価となる。

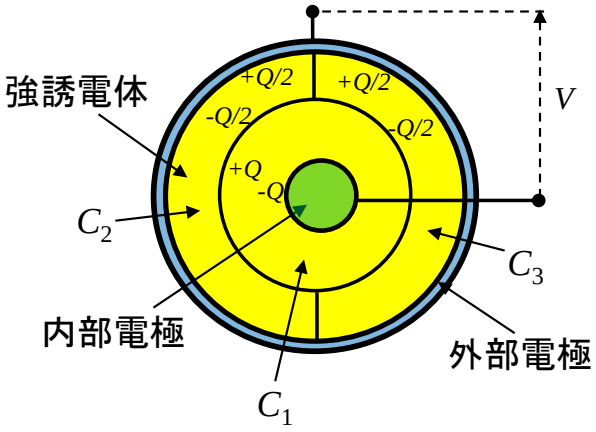
上述したように、円筒型強誘電体キャパシタの等価回路は、図 3.3(b)で示すような厚さが同じで面積が異なる薄い直列接続の平行平板キャパシタで表される。この直列接続キャパシタの分極特性を理解するため、ここでは、図 3.4(a)および(b)で示すような簡単なキャパシタモデルを検討する。図 3.4(b)で示す 1 個を直列接続、2 個を並列接続（以下、1 個直列─2 個並列接続と呼ぶ）された同一の 3 個の強誘電体キャパシタに対して、十分に高い電圧 V が印加された場合、C_1 の強誘電体膜の分極は飽和していて、全電荷 $\pm Q$ が C_1 の電極に現れる。次に 3 個のキャパシタの接続点での電荷の中性条件から $\pm Q/2$ が C_2 と C_3 に現れる。このことは、C_2 と C_3 における強誘電体膜の分極が飽和していないということを意味し、*P-E*（分極－電界）ヒステリシスループは、図 3.5 で示すように飽和分極の約半分の値から戻るマイナーループ（C_2、C_3 のヒステリシスループ：$E_C \rightarrow A \rightarrow -E_C \rightarrow B \rightarrow E_C$ で示す破線）になることを示している。

特に、ヒステリシスループが角型の場合には、C_2 と C_3 の電界は事実上 E_C に固定され、印加電圧をさらに増加させると、C_1 においてだけ電圧ならびに電界が増加する結果になる。正確に言えば、Q は、キャパシタ面積を S とすると、式(3.5)のように電束密度 D に関係し、電束密度 D は式(3.6)で表されるが、この議論では $\varepsilon_0 E$ の寄与を無視している。

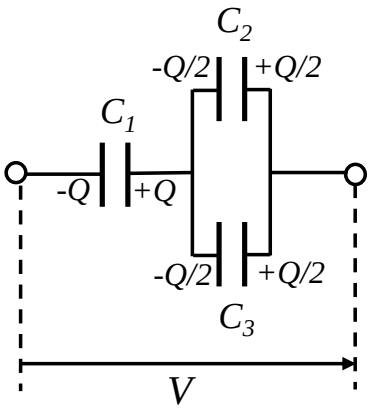
$$Q=DS \tag{3.5}$$

$$D=P+\varepsilon_0 E \tag{3.6}$$

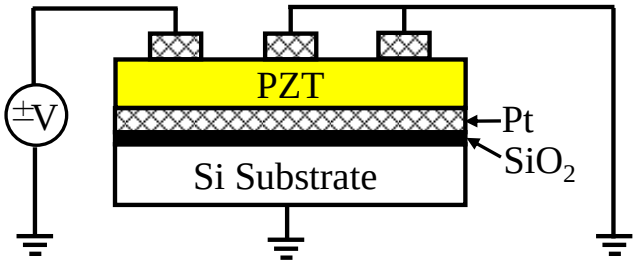
3 個のキャパシタの分極特性を求めるために、C_2 と C_3 のマイナーループ（図 3.5 の破線）が、飽和した *P-E* ヒステリシスループと同じ形状であるが、分極はもとの値の半分に減少するループ（図 3.5 の細い実線）で近似できると仮定する。この仮定は四角形の *P-E* ヒステリシスループを有する強誘電体材料に対して、高確度に適用できる。この仮定により、C_2 と C_3 全体の *P-E* 曲線は、2 つの縮小 *P-E* 曲線の和に等しく、C_1 の *P-E* 曲線と同一である。この結果は、図 3.4(b)で示した 3 個のキャパシタの分極特



(a)



(b)



(c)

図 3.4　同心円状の円筒型強誘電体キャパシタと等価な平行平板キャパシタ

(a) 2 個の同心円状円筒型強誘電体キャパシタ断面図、(b) (a)と等価な 1 個直列－2 個並列平行平板キャパシタ、 (c) 3 個のキャパシタモデル実験の構成図

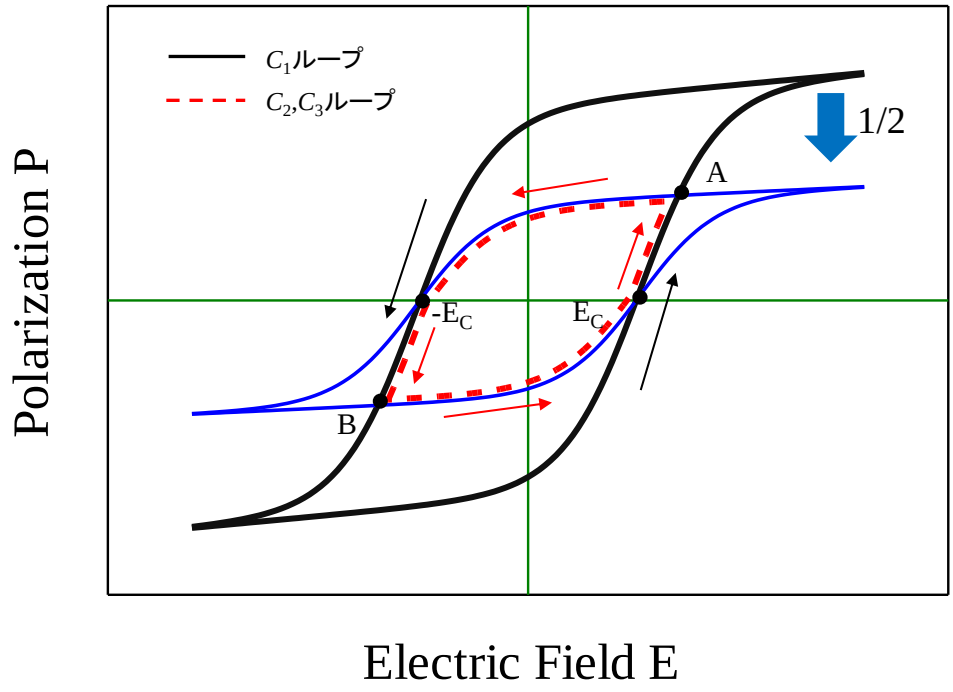
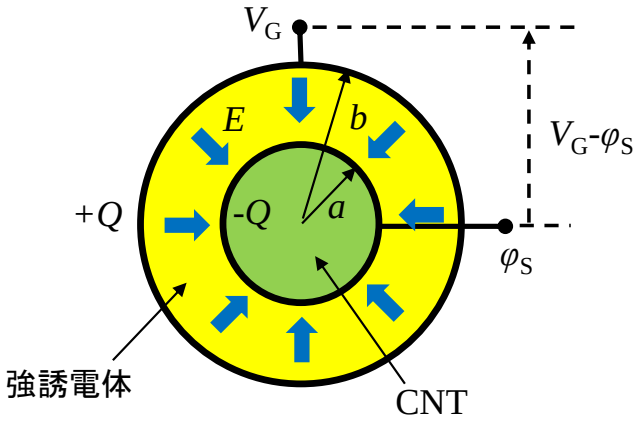


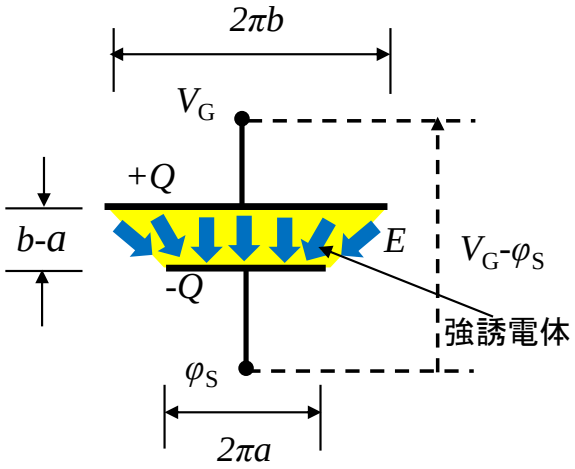
図 3.5　キャパシタ C_1、C_2、C_3 の P-E ヒステリシスループ

性が C_1 と C_2 の単純な直列接続か、あるいは C_1 の強誘電体膜の 2 倍の厚さを有する 1 個の強誘電体キャパシタの分極特性に等しいということを示している。3 個のキャパシタが並列に接続された 1 個直列−3 個並列接続の場合でも同じことが言える。従って、これらの議論から、「円筒型強誘電体キャパシタの分極特性は、キャパシタ面積は内部電極の面積に等しく、キャパシタの厚さは円筒型強誘電体の厚さに等しい平行平板キャパシタの分極特性に等しい」、ということが分かった。等価なキャパシタ面積は内部電極と外部電極の面積の平均値でないということは興味深い。

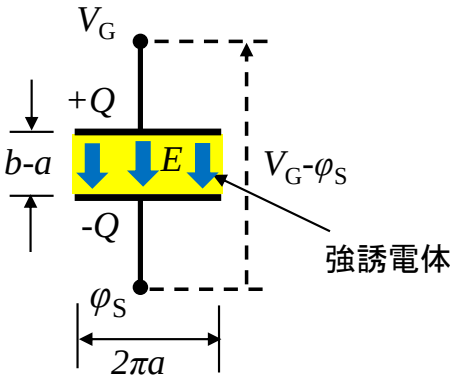
このことを纏めると図 3.6 のようになる。すなわち、図 3.6 (a)で示すような内部電極の半径が a、外部電極の半径が b の円筒型強誘電体キャパシタに対して、平行平板キャパシタで近似すると、同図(b)で示すような $2\pi a$ と $2\pi b$ と異なる長さの平行平板キャパシタに展開することができる。さらに、電極に対して垂直方向の電界 E および分極を考慮すると、同図(c)で示すように平行平板電極の長さが、内部電極の円周に相当する $2\pi a$、キャパシタの厚さが、内部電極と外部電極との電極間隔 b-a の平行平板キャパシタの分極特性に等しい。



(a)



(b)



(c)

図 3.6　円筒型強誘電体キャパシタ、平行平板キャパシタと電界との関係

(a) 円筒型キャパシタ、(b) 円筒型キャパシタの平面展開、(c) 平行平板キャパシタ

３．２．３　外部電極近傍が分極反転しない場合の特性

本節では、図 3.2(a) に示すような、外部電極近傍の強誘電体膜の分極が反転しない場合の特性について考察する。本論文の後半の議論と共通化するため、強誘電体として有機強誘電体の P(VDF-TrFE)を仮定し、強誘電体のヒステリシスループは ２．４．１で記述した Miller らの解析理論から式(3.7)-(3.8)で近似する[3.4]。

$$D(E) = P_{\mathrm{s}} \tanh\left(\frac{E \pm E_{\mathrm{C}}}{2\delta}\right) + \varepsilon_0 \varepsilon_{\mathrm{F}} E \tag{3.7}$$

$$\delta = E_{\mathrm{C}} / \ln\left(\frac{1 + P_{\mathrm{r}}/P_{\mathrm{s}}}{1 - P_{\mathrm{r}}/P_{\mathrm{s}}}\right) \tag{3.8}$$

ここで、P_{s} は飽和分極、P_{r} は残留分極、ε_{F} は比誘電率であり、P(VDF-TrFE)の値を文献[3.5]-[3.6]の実験データとの比較において、P_{s}=8 μC/cm^2、$P_{\mathrm{r}}/P_{\mathrm{s}}$=0.9、$E_{\mathrm{C}}$=400 kV/cm、$\varepsilon_{\mathrm{F}}$=12 とした。

本解析では、図 3.2(a)に示すように $E(r)$が E_{C} に等しい半径 r_{EC} でキャパシタを 2 つの部分に分割する。式(3.4)から外側の円筒型誘電体キャパシタに対する単位長さ当たりの容量 C'は、式(3.9)で表される。なお、r_{EC} が b 以上の場合は外側に誘電体キャパシタを考えない。

$$C' = \frac{2\pi\varepsilon_0\varepsilon_{\mathrm{F}}}{\ln(b/r_{\mathrm{EC}})} \tag{3.9}$$

図 3.2(b)において、キャパシタ全体の印加電圧を V とし、強誘電体膜と常誘電体膜へ印加される電圧をそれぞれ V_1、V_2 とすると、P-V 特性は、式(3.7)-(3.8)の強誘電体ヒステリシスの解析式および V=V_1+V_2 の関係から、図 3.7 で示すように強誘電体膜の Hysteresis Loop 1 に常誘電体膜の Paraelectrics Line を加えた Hysteresis Loop 2 のようになる。すなわち、図 3.2(b)で示すような強誘電体膜と常誘電体膜で構成された円筒型強誘電体キャパシタに印加された電圧は、強誘電体膜と常誘電体膜に分割して印加され、強誘電体膜に印加された電圧が強誘電体のヒステリシスループを形成し、常誘電体膜に印加された電圧は、絶縁膜と見なしてそのヒステリシスループを水平方向（電圧軸方向）に拡大させる。CNT の半径 a=0.5 nm、強誘電体膜の半径 b_1=5.5 nm、常誘電体膜の半径 b_2=5.5 nm、10.5 nm、15.5 nm、25.5 nm とすると、強

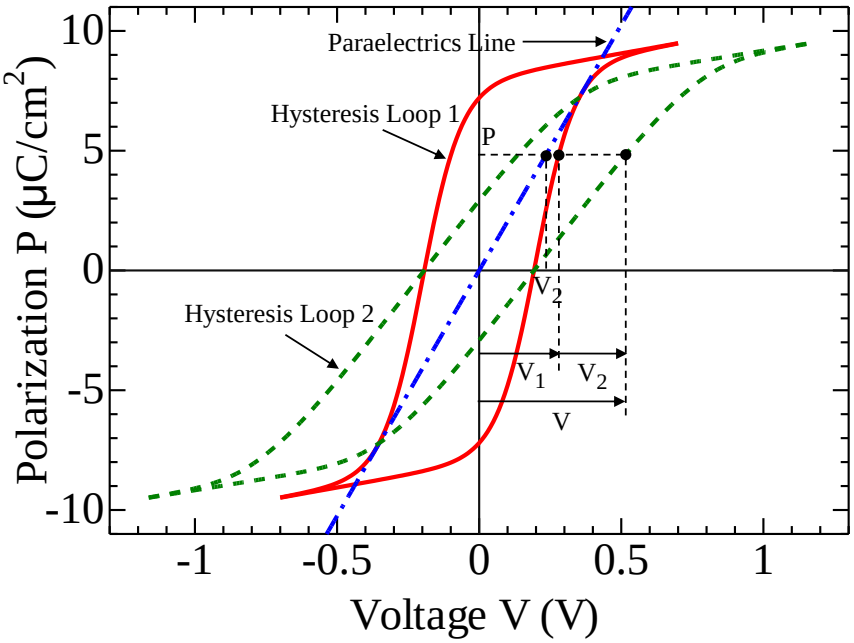


図 3.7 強誘電体膜と常誘電体膜からなる円筒型強誘電体キャパシタ ***P-V*** 特性解析

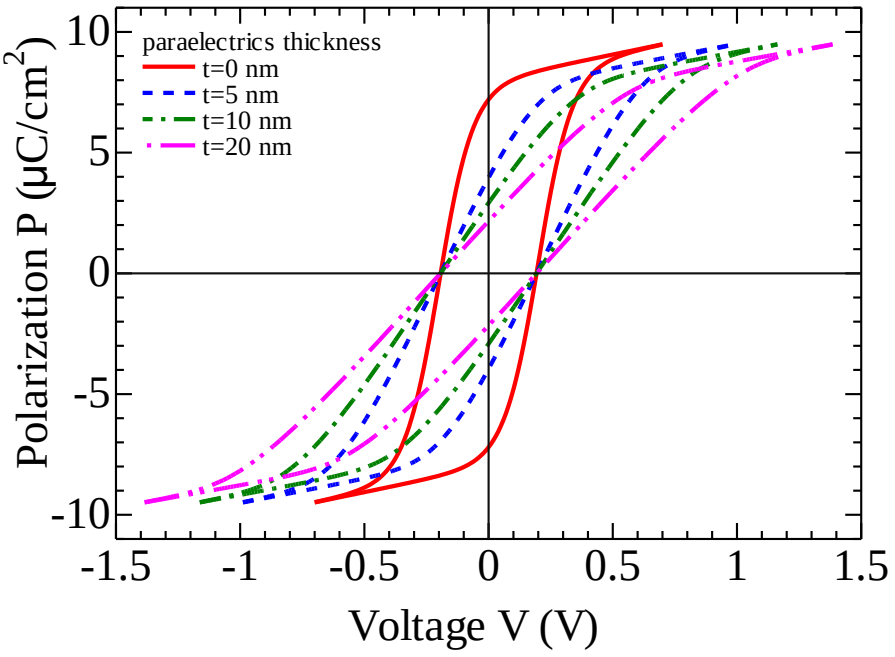


図 3.8 強誘電体膜と常誘電体膜からなる円筒型強誘電体キャパシタ ***P-V*** の特性

誘電体膜の膜厚 5 nm に対し、常誘電体膜の膜厚は 0 nm、5 nm、10 nm、20 nm となり、そのときのヒステリシスループを図 3.8 に示す。常誘電体膜の増加とともにヒステリシスループが、水平方向に拡大することが分かる。

3．3 PZTキャパシタを用いた平行平板キャパシタ近似の妥当性の検証

3．3．1 PZT キャパシタの作製

この近似解析の妥当性を検証するため、$PbZr_{0.4}Ti_{0.6}O_3$（PZT）キャパシタを作製し実験的な検討を行なった。PZT キャパシタは Pt(200 nm)/Ti(20 nm)/SiO_2(100 nm)/Si 構造の基板上に図 3.9 で示す手順により化学溶液分解法で作製した。まず、PZT 膜の形成では、スピンコーティングとホットプレート上での乾燥、330 ℃での仮焼成を 5 回繰り返して行い、膜厚が 250 nm になるまで PZT を堆積させた。その後、600 ℃で 30 分間結晶化のためのアニールを行なった。次に、Pt 上部電極の形成は、Pt を電子ビームにより堆積させて、PZT の結晶化アニールと同じ条件でアニールした。

PZT キャパシタを 1 個の場合、2 個直列接続した場合、1 個直列－2 個並列接続した場合、1 個直列－3 個並列接続した場合、それぞれの代表的な *P-V*（分極－電圧）特性を図 3.10 に示し、それに対応したキャパシタの接続回路を図 3.11 に示す。

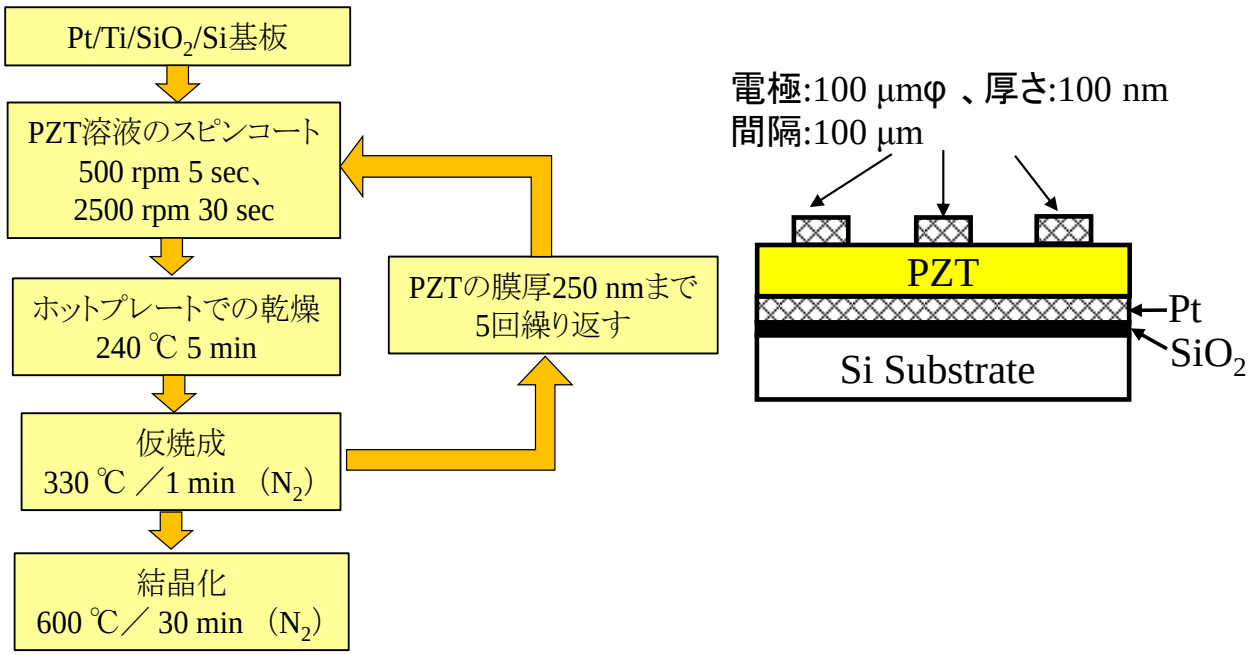


図 3.9 Pt/Ti/SiO_2/Si 基板上への PZT 膜作製プロセスおよび試料構造

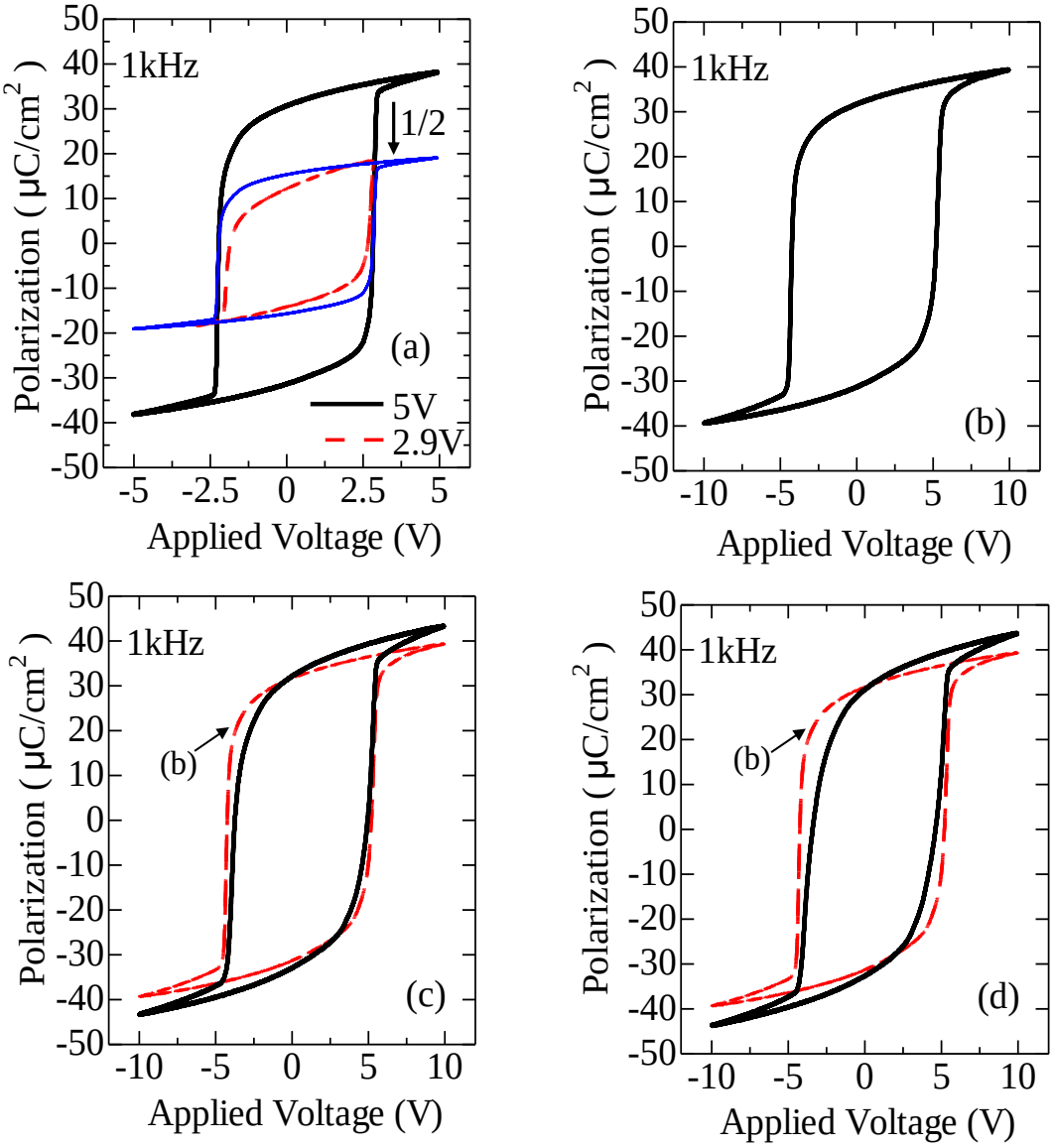


図 3.10　PZT キャパシタ *P-V* 特性

(a) 1 個直列接続の場合、(b) 2 個直列接続の場合、(c) 1 個直列－2 個並列接続の場合、(d) 1 個直列－2 個並列接続の場合

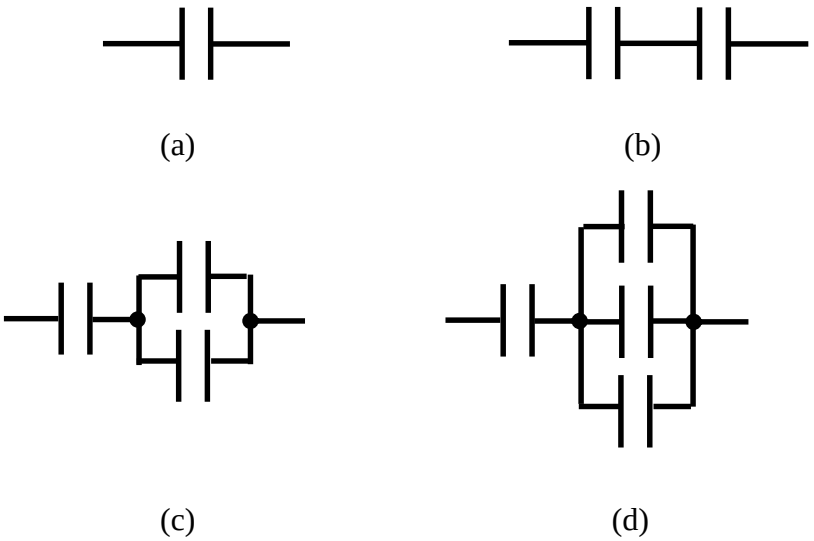


図 3.11　図 3.10 の *P-V* 特性に対応した PZT キャパシタ接続回路

(a) 1 個直列接続、(b) 2 個直列接続、(c) 1 個直列－2 個並列接続、(d) 1 個直列－2 個並列接続

図 3.10(a)の太い実線は印加電圧 5 V のときの飽和状態のヒステリシスループであり、破線は最大分極が飽和状態の約半分になるように印加電圧を 2.9 V にしたときのヒステリシスループである。また、細い実線は印加電圧 5 V のときの飽和状態ヒステリシスループを縦軸方向に 1/2 に縮小させたヒステリシスループである。この図の破線と細い実線を比較すると、ほぼ重なっており前節で議論した近似解法が本質的に正しいということが分かった。

次に、3 個のドット型 Pt 上部電極（直径 100 μmφ、厚さ 100 nm、間隔 100 μm）と共通下部電極 Pt を用いて、図 3.4(c)で示すように接続された *P-V* ヒステリシスループを測定した。2 個のキャパシタを直列接続した場合と、3 個のキャパシタを 1 個直列−2 個並列接続した場合との代表的な *P-V* ヒステリシスループをそれぞれ図 3.10(b)および(c)に示す。これらの図から分かるように、分極は 1 個のキャパシタの面積から計算することができ、2 個のキャパシタを直列接続した *P-V* ヒステリシスループと 3 個のキャパシタを 1 個直列−2 個並列接続したヒステリシスループは類似している。さらに、4 個のキャパシタを 1 個直列−3 個並列接続した結果を図 3.10(d)に示す。2 つのループの類似性は図 3.10(c) より劣っているが、1 個直列−3 個並列接続したヒステリシスループにおいても、図 3.10(b)のループに近似的に一致する。

３．３．２ 考察

図 3.10 (a)において、最大分極が飽和状態の約半分になるように印加電圧 2.9 V にした *P-V* マイナーループと飽和状態の *P-V* ヒステリシスループを縦軸方向に 1/2 縮小したヒステリシスループがほぼ一致し、そのとき両ヒステリシスループの抗電圧は約 2.5 V となって、３．２．２の図 3.5 で議論した $E_C \rightarrow A \rightarrow -E_C \rightarrow B \rightarrow E_C$ の四角形と同様のループを描くことが立証できた。

図 3.10(a)および(b)の *P-V* ヒステリシスループを比較すると、(b)は(a)と同じ大きさのキャパシタが 2 個直列接続されているため、抗電圧は(a)が約 2.5 V に対し、(b)は約 5 V となり 2 倍になっている。また、飽和分極はどちらも約 40 μC/cm^2 で(b)の場合のように 2 個直列接続しても変わらないことが分かった。

次に、図 3.10(b)および(c)の *P-V* ヒステリシスループを比較すると、僅かであるが抗電圧は(b)のヒステリシスループの方が大きく、分極は(c)のヒステリシスループの方が

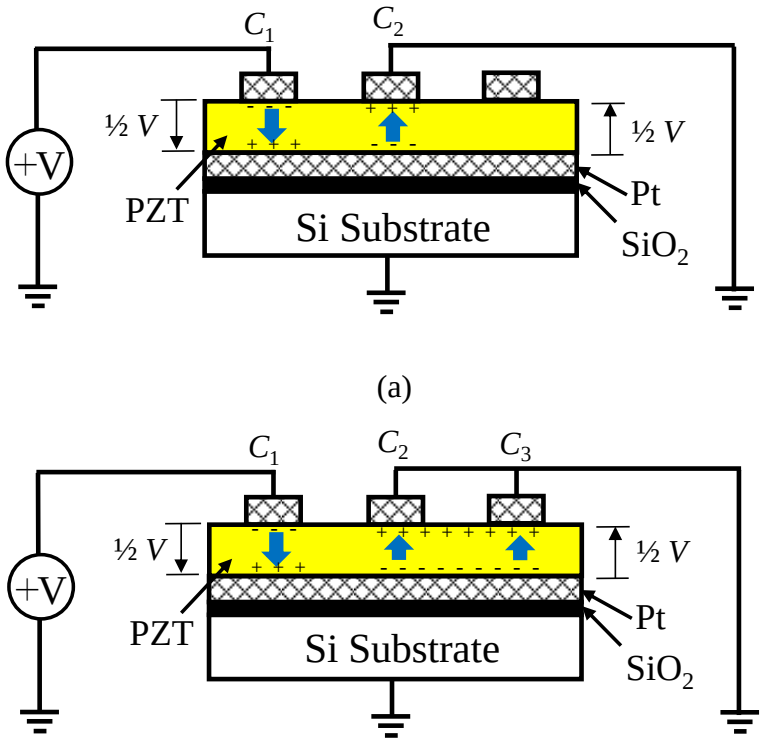


図 3.12 2 個直列キャパシタ、1 個直列-2 個並列キャパシタモデルの分極関係

(a) 2 個直列接続の場合、(b) 1 個直列－2 個並列接続の場合

大きい。このことは、次のように説明できる。図 3.4(c) の 1 個直列－2 個並列キャパシタの実験モデルにおいて、キャパシタ C_1 と C_2 を直列接続した場合と、キャパシタ C_1 を直列接続、C_2 および C_3 を並列接続した場合の分極の発生状況を図 3.12(a)および(b)に示す。図 3.12(a)は C_1 と C_2 との直列接続のため C_2 の分極は飽和状態としているのに対し、同図(b)では、C_2 と C_3 が 2 個並列接続のためそれぞれの分極は飽和状態の 1/2 と仮定して近似した。また、C_2 と C_3 に印加される電界は抗電界 E_C で固定されそれ以上にはならないと仮定した。そのため、図 3.10(b)と(c)のようにヒステリシスループに形状差を生じたと考えられる。同様に、図 3.10(b)と(d)のヒステリシスループの形状差が図 3.10(b)と(c)の形状差より大きいのは、キャパシタが 3 個並列接続のため分極を飽和状態の 1/3 と仮定して近似したので、形状差がさらに大きくなったと考えられる。

これらの結果から、ヒステリシスループの形状はより大きな面積を有するキャパシタと事実上無関係であるということが分かった。また、円筒型強誘電体キャパシタ（内部電極の外側半径：a、外部電極の内側半径：b）の分極特性は、内部電極と同じ面積（$2\pi a$）、円筒の厚さ（b-a）と同じ厚さを有する平行平板強誘電体キャパシタの分極特性と近似的に等価であるということが分かった。

3．4 まとめ

本章では、円筒型強誘電体キャパシタの分極特性の導出に関する検討を行なった。まず、円筒型強誘電体キャパシタに対する電界が半径に反比例することから、内部電極近傍では十分な電界が印加され、強誘電体膜はヒステリシス特性を示すが、外部電極近傍では、十分な電界が印加されないので、ヒステリシスループを示さず常誘電体特性を示す場合があることを考察した。次に、円筒型強誘電体キャパシタの分極特性は、キャパシタの面積が内部電極の面積に等しく、キャパシタの厚さが円筒型強誘電体の膜厚に等しい平行平板キャパシタの特性で近似できることを提案した。さらに、その近似解析の妥当性を検証するために、複数の平行平板 PZT キャパシタを用いて実験的な検討を行なった。その結果、面積が異なる平行平板強誘電体キャパシタが直列接続された場合の全体の分極特性は、最も小さいキャパシタの面積と、全体の膜厚とでほぼ決まることを明らかにし、これより、円筒型強誘電体キャパシタの分極特性は、内部電極と同じ面積、円筒の厚さと同じ厚さを有する平行平板

強誘電体キャパシタの分極特性と近似的に等価であると結論した。この結論は、論文後半で議論する円筒型強誘電体ゲートトランジスタの電気特性の解析に活用する。

参考文献

[3.1] H. Fujisawa, R. Kuri, M. Shimizu, Y. Kotaka, and K. Honda: Appl. Phys. Express **2** (2009) 055003.

[3.2] 学術図書出版社 改訂物理学概説 下巻, 1971.

[3.3] 近代科学社 固体物性論概説, 1972.

[3.4] S. L. Miller and P. J. McWhorter: J. Appl. Phys. **72** (1992) 5999.

[3.5] S. Fujisaki, H. Ishiwara, and Y. Fujisaki; Appl. Phys. Express **1** (2008) 081801.

[3.6] J. -W. Yoon, S. Ohmi, B. -E. Park, and H. Ishiwara; Appl. Phys. Lett. **93** (2008) 162904.

第4章　円筒型強誘電体ゲートカーボンナノチューブトランジスタのドレイン電流特性の解析

4．1　はじめに

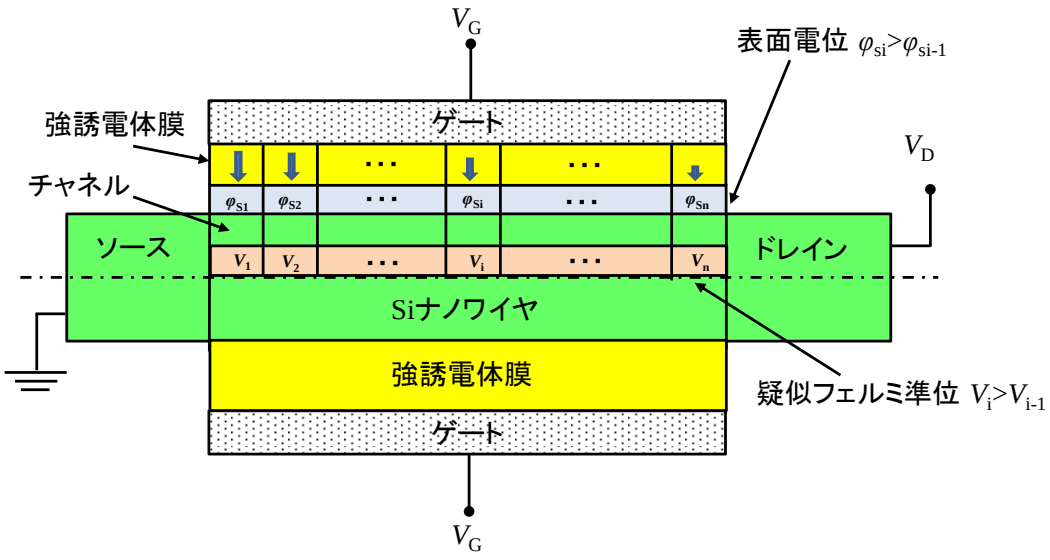
CNT は、高い電流密度や大きな機械的強度といった魅力的な電気的特性、機械的特性を示す最も興味深い 1 次元固体のひとつである。そのため、1．4．2で記述のようにトランジスタ、センサ、インターコネクト材等の種々の応用が検討されている。CNT の不揮発性メモリへの応用では、FeFET が最も期待できる。Si 基板の FeFET では、Si と強誘電体の材料間の相互作用をさけるため、通常、誘電体のバッファ層が強誘電体ゲート膜と Si 基板の間に挿入される。しかし、1．2．3で記述のように挿入されたバッファ層の構造では、メモリトランジスタとしてのデータ保持特性は著しく減少し、動作電圧もより高くなる。一方、強誘電体ゲート CNT トランジスタでは、界面の相互作用が弱くなることが期待でき、理想的には CNT 表面にダングリングボンドは存在せず強誘電体膜と CNT の直接接触が期待できる。

このような興味深い特性から、SWNT[4.1-4.3]や CNT ネットワーク[4.4]を用いた強誘電体ゲート CNT トランジスタの実験結果が数件報告されている。しかし、強誘電体ゲート CNT トランジスタに関する理論的研究は、文献[4.5]以外全く報告されていない。本章では、第3章で詳述した円筒型強誘電体ゲートキャパシタ解析手法を用いて、SWNT の外側が強誘電体で覆われた円筒型強誘電体ゲート CNT トランジスタのドレイン電流特性についてバリスティック理論を用いて議論する。

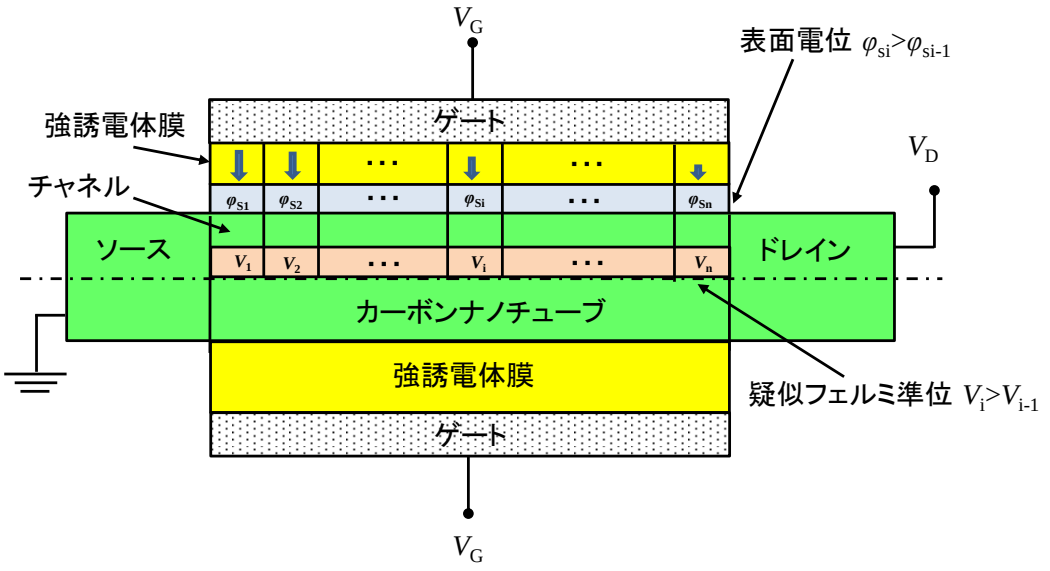
4．2　解析手法

4．2．1　カーボンナノチューブトランジスタの表面電位

チャネル長の長いトランジスタでは、キャリアがフォノンや、不純物、チャネル間の粗いインターフェースによって散乱し、電流はドリフト／拡散現象により伝導される。この場合、チャネルに沿ったポテンシャル分布はドレイン電流を決定する重要な要因である。さらに、図 4.1(a)で示すように円筒型強誘電体ゲート Si ナノワイヤトランジスタの場合、表面電位 φ_s が一定でなく、チャネルに沿ったポテンシャル分布によってゲートの強誘電体膜の位置に関係した分極を起こす。このようなデバイスに対するドレ



(a)

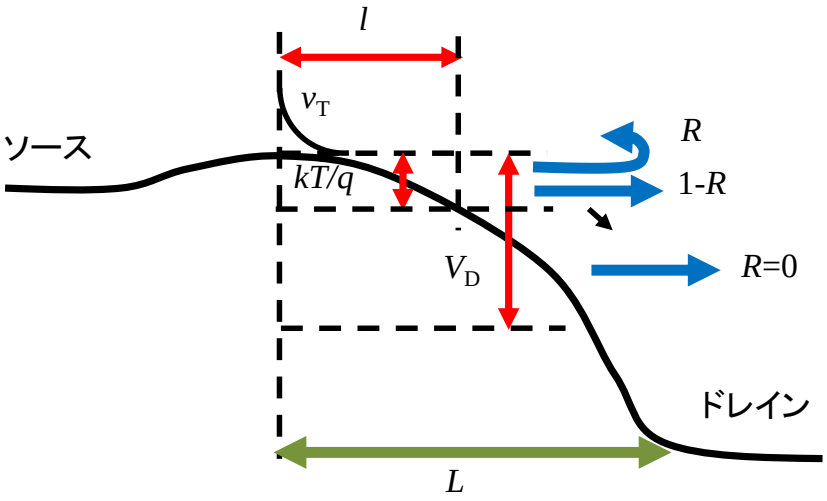


(b)

図 4.1　Si ナノワイヤと CNT の円筒型強誘電体ゲートトランジスタ分極状況

(a) ドリフト／拡散伝導の場合、(b) バリスティック伝導の場合

イン電流の正確な解析は、特にドレイン電圧が高いときに複雑であり[4.6,4.7]、第 5 章で議論する。 一方、バリスティック伝導の円筒型強誘電体ゲート CNT トランジスタの場合、電流はソース端でのゲート誘起障壁低下（Gate-Induced Barrier Lowering : GIBL）により決定されるため、図 4.1(b)で示すようにチャネルに沿った表面電位 φ_s の変化はドレイン電流に影響しない。さらに、図 4.2 で示すようにポテンシャルが kT/q 低



R: 後方散乱係数　　*l* : *kT*/*q*低下したときの臨界長

v_T : 熱速度　　*L* : チャネル長

V_D : ドレイン電圧

図 4.2　バリスティック伝導における高ドレイン電圧のときの後方散乱

下したときの臨界長 *l* を超えて、ドレイン電圧が *kT*/*q* より数倍大きいとき、逆方向キャリアの寄与は無視できる[4.8]。ここで、*k* はボルツマン定数、*T* は絶対温度、*q* は電子の電荷、*l* は *kT*/*q* 低下したときの臨界長、*R* は後方散乱係数である。従って、強誘電体ゲートCNTトランジスタでは、ゲート強誘電体膜の各位置に関係した分極を考える必要がない。

本章では、図 4.3 で示すような SWNT の外側が強誘電体膜で覆われ、さらに、その外側がゲート電極で覆われた円筒型強誘電体ゲート CNT トランジスタにおいて、CNTの半径（強誘電体膜の内側の半径）を*a*、強誘電体膜の外側の半径を*b*、チャネル長を *L* とし、ソース電極を接地、ドレイン電極とゲート電極にそれぞれ V_D、V_G が印加されたモデルについて、バリスティック伝導理論を用いてドレイン電流特性を解析する。ドレイン電流のゲート電圧、ドレイン電圧との関係が、第3章で詳述した円筒型強誘電体キャパシタの解析と、2．3．3で記述した Wong らによって開発された CNT トランジスタのバリスティック伝導解析理論[4.9-4.11]を結合させることによって導く。この理論では、金属 CNT も含んだ非ドープの半導体 CNT、またはドープされたオーミック接合半導体 CNT を議論し、キャリアは最も低い 2 つのサブバンドにのみ存在す

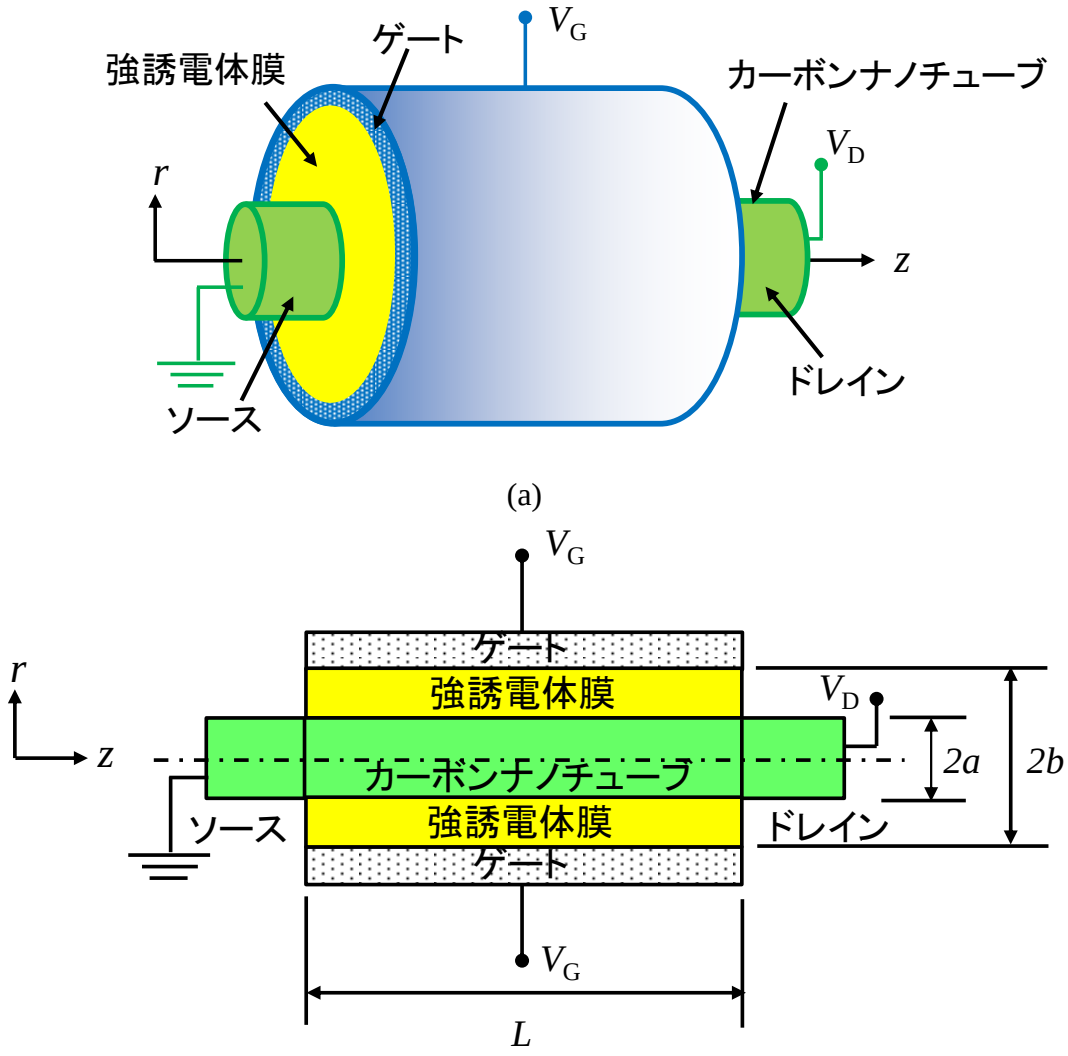


図 4.3　円筒型強誘電体ゲート CNT トランジスタ模式図

(a) 外観図、(b) 断面図

ると仮定している。非ドープ CNT では、キャリアの伝導型はオーミック接触のフェルミ準位の位置によって決定される。ここでは、電流は走行電子の前方向、後方向の正味の流れによって伝導される n 型バリスティック CNT トランジスタを仮定する。

ソース電極を接地して、ドレイン電極が V_D=0 V とのとき、図 4.3 のゲート電極に V_G が印加された場合、電圧の一部が強誘電体膜に印加され、残りの電圧が CNT に印加される。CNT の中心電位を 0 V とすると、CNT に印加された電圧は表面電位 φ_s

によって表される。さらに、CNT の単位長さ当たりのキャリア密度 n と φ_s との関係は、２．３．２で記述したように近似的に式(4.1)-(4.2)のようになる[4.10]。

$$n = \sum_{i=1}^{2} \frac{2N_{0i}\exp(x_i)}{1 + A\exp(\alpha x_i + \beta {x_i}^2 + \gamma {x_i}^3)} \tag{4.1}$$

$$q\varphi_S = \frac{E_{g1}}{2} + kTx_1 = \frac{E_{g2}}{2} + kTx_2 \tag{4.2}$$

ここで、N_{0i} と E_{gi} はそれぞれ実効状態密度と i 番目のサブバンドのエネルギーバンドギャップであり、A、α、β、γ は定数である。1 nm から 4 nm の直径 d の CNT に対して、室温でそれぞれ A=0.71、α=0.84、β=7.09×10^{-3}、γ=－12.3×10^{-5} である。また、直径 1 nm の CNT に対して、E_{g1}=0.7 eV、E_{g2}=1.4 eV、N_{01}=1.19×10^6 cm^{-1}、N_{02}=1.68×10^6 cm^{-1} である[4.9]。 d=1 nm の CNT に対する n と φ_s の関係を図 4.7 の太い実線で示す。第 2 サブバンドの寄与は φ_s が 0.6 eV 以上の領域で明らかである。

４．２．２ 分極ヒステリシスループの解析式

次に、有機強誘電体材料として P(VDF-TrFE)を用いると仮定する。強誘電体膜の D-E ヒステリシスループが２．４．１で記述した Miller らの解析理論から式(4.3)-(4.4)で近似できる[4.12]。

$$D(E) = P_s \tanh\left(\frac{E \pm E_C}{2\delta}\right) + \varepsilon_0 \varepsilon_F E \tag{4.3}$$

$$\delta = E_C / \ln\left(\frac{1 + P_r/P_s}{1 - P_r/P_s}\right) \tag{4.4}$$

ここで、P_s は飽和分極、P_r は残留分極である。式(4.3)の強誘電体膜の線形分極要素は第 2 項に含まれている。文献[4.13]-[4.14]の実験データとの比較において、P(VDF-TrFE)の値を P_s=8 μC/cm^2、P_r/P_s=0.9、E_C=400 kV/cm、ε_F=12 とする。厚さ t=5 nm の P(VDF-TrFE)膜が d=1 nm の CNT 上に堆積され、ゲート電圧は３．２．１で詳述した抗電界 E_C に等しい電界のときの半径を r_{EC}、外部電極の半径を b とすると、r_{EC}>b の条件を満足する十分に高い電圧であると仮定する。また、短チャネル効果の影響を受けないようにチャネル長は L=1 μm とし、P(VDF-TrFE)の強誘電体膜に十分な電界が印加されるように膜厚は t=5 nm とする。通常の CNT の直径が 1～2 nm 程度であるので、CNT の直径は d=1 nm とする。

４．２．３ キャリア密度と分極ヒステリシスループによる図式解法

図式解法の手順を図 4.4 に示すフローチャートに従って説明する。図 4.5(a)および(b)に示すように円筒型強誘電体キャパシタ（内部電極：半径 a、外部電極：半径 b）の分極特性は、面積が $2\pi a$、厚さが b-a の平行平板強誘電体キャパシタのそれと等価であるという第3章で詳述した近似解法を用いて計算する。キャリア密度 n と表面電位 φ_s に対して、CNT のキャリア密度と表面電位の関係、および強誘電体膜の分極とゲート電圧のヒステリシスの関係を同じ n-φ_s 平面上で検討することにより、ゲート電圧と表面電位の関係を導く。さらに、バリスティック伝導と仮定したドレイン電流と表面電位の関係から、ドレイン電流とゲート電圧の関係を導き、ドレイン電圧を変化させることによって、ドレイン電流とドレイン電圧の関係を導く。

まず、第2章で記述した CNTFET に対するバリスティック解析理論に基づき、キャリア密度は、第 2 サブバンドまでで近似できるという Wong らが提唱した式(4.1)-(4.2)を用いて、ある表面電位 φ_s に対するキャリア密度と表面電位の関係 n-φ_s を導く。次に、同じ厚さの円筒型強誘電体キャパシタと平行平板強誘電体キャパシタに対する電界の強さについて検討する。図 4.5(a)および(b)より、膜厚 b-a における平行平板キャパシタの電界の強さ E_1、半径 a における円筒型強誘電体キャパシタの電界の強さ E_2 は、、電位差が V_G-φ_s であるから、それぞれ式(4.5)および式(4.6)で表される。従って、E_1、E_2 および r=a における電束密度に関する連続条件から、電束密度は式(4.7)で表される。また、強誘電体中の電束はすべて内部電極に存在する電子に終端することになるので、キャリア密度は電束密度と単位長さの内部電極の表面積の積から式(4.8)となる。ここで、ε_F は線形比誘電率である。

$$E_1 = \frac{V_G - \varphi_s}{b - a} \tag{4.5}$$

$$E_2 = \frac{V_G - \varphi_s}{a\ln(b/a)} \tag{4.6}$$

$$D = P\left(\frac{V_G - \varphi_s}{b - a}\right) + \varepsilon_0\varepsilon_F\left[\frac{V_G - \varphi_s}{a\ln(b/a)}\right] \tag{4.7}$$

$$n = 2\pi aD \tag{4.8}$$

円筒型強誘電体キャパシタの近似解析：
円筒型強誘電体キャパシタ（内部電極：半径a、外部電極：半径b）は
・面積は内部電極の面積：$2\pi a$
・厚さは強誘電体膜の厚さ：b-a
の平行平板キャパシタと等価である

↓

Wongらのキャリア密度nの関係式：

$$n = \sum_{i=1}^{2} \frac{2N_{0i}\exp(x_i)}{1 + A\exp(\alpha x_i + \beta {x_i}^2 + \gamma {x_i}^3)} \quad \cdots①$$

$$q\varphi_S = \frac{E_{g1}}{2} + kTx_1 = \frac{E_{g2}}{2} + kTx_2 \quad \cdots②$$

↓

分極理論の関係式：

$$D = P(E_1) + \varepsilon_0 \varepsilon_F E_2 \quad \cdots③$$

↓

Millerらの解析関数：

$$P^+(E)、P^-(E)$$

↓

式③の非線形項：
平行平板キャパシタで近似した場合の$r=a$の電界

$$E_1 = (V_G - \varphi_S)/(b-a) \quad \cdots④$$

式③の線形項：
円筒誘電キャパシタの公式を用いた$r=a$の電界

$$E_2 = (V_G - \varphi_S)/[a\ln(b/a)] \quad \cdots⑤$$

↓

$r=a$での電束密度の連続性：

$$D = P\left(\frac{V_G - \varphi_S}{b-a}\right) + \varepsilon_0 \varepsilon_F \left[\frac{V_G - \varphi_S}{a\ln(b/a)}\right] \quad \cdots⑥$$

$$n = 2\pi a D \quad \cdots⑦$$

↓

式②を式①に、$P^+(E)$、$P^-(E)$ を式⑥に、式⑥を式⑦代入し、式①と式⑦の交点より、それぞれのn、φ_Sを求める

↓

$|V_G| \leqq V_{Gm}$のとき、V_G、n、φ_Sの関係を求める

↓

Wongらのバリスティック伝導と仮定したドレイン電流の関係式：

$$I_D = \frac{kT}{qR_q}\sum_{i=1}^{2}\left\{\ln\left[1+\exp\left(\frac{q\varphi_S - E_{gi}/2}{kT}\right)\right] - \ln\left[1+\exp\left(\frac{q\varphi_S - qV_D - E_{gi}/2}{kT}\right)\right]\right\} \quad \cdots⑧$$

図 4.4　図式解法のフローチャート

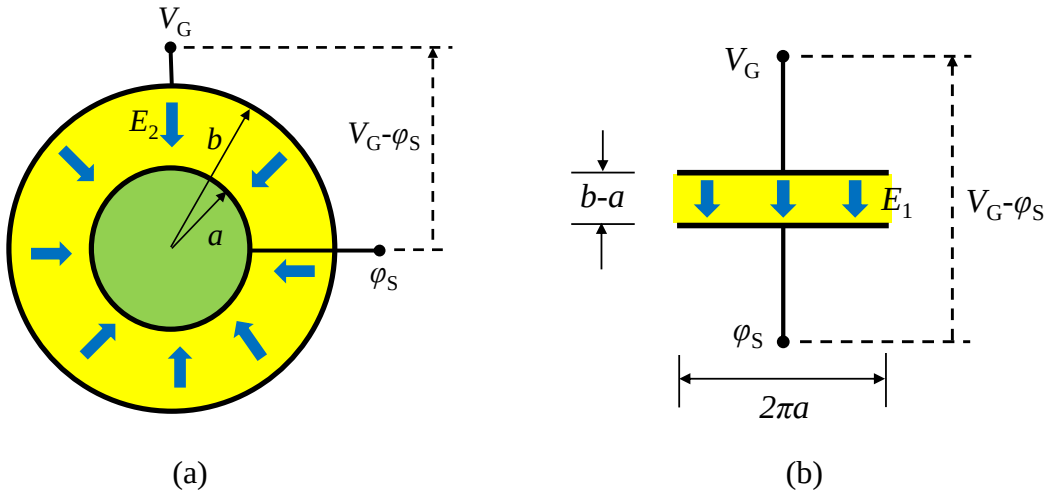


図 4.5　電界印加時の円筒型キャパシタと平行平板キャパシタ模式図

(a) 電界 E_2 を印加した場合、(b) 等価平行平板キャパシタに電界 E_1 を印加した場合

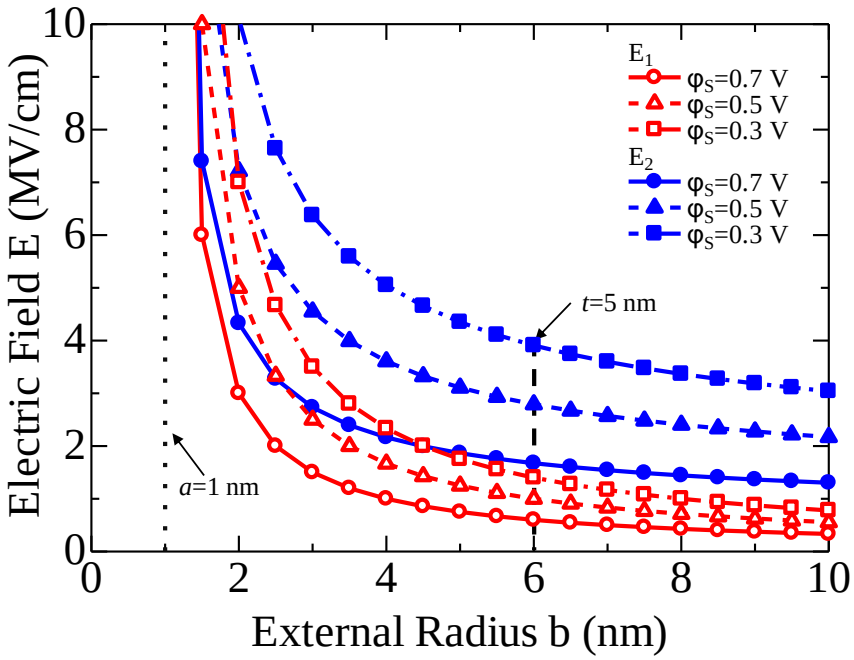


図 4.6　円筒型キャパシタと平行平板キャパシタの厚さと電界の関係

例えば、内部電極の半径 a=1 nm、ゲート電圧 V_G=1 V とし、表面電位 φ_s を 0.3 V、0.5 V、0.7 V として、外部電極の半径 b を変化させたときの E_1-b および E_2-b の関係を図 4.6 に示す。膜厚の増加に伴い、E_1、E_2 ともに減少するが、b=6 nm（膜厚 t＝5 nm）では、φ_s=0.7 V のとき E_1/E_2=0.37 となり、E_1 は E_2 の半分以下の大きさである。従って、円筒型強誘電体キャパシタの分極特性を平行平板強誘電体キャパシタの分

極特性で近似した場合、より正確な値に近づけるために線形項に対して円筒型キャパシタに対する電界を考慮する必要があることが分かった。

式(4.7)の電束密度の関係式に対して、非線形項は等価な平行平板キャパシタの電界 E_1、線形項は円筒型キャパシタの電界 E_2 を対応させる。また、等価なキャパシタモデルを考えることによって、内部電極と外部電極の間の電位差 V_F は $E_1(b\text{-}a)$に等しい。従って、ゲート電圧、電極間の電位差、表面電位の関係 $V_G=V_F+\varphi_s$ を用いて、式(4.7)-(4.8)よりキャリア密度と表面電位の関係 $n\text{-}\varphi_s$ を導くことができる。その結果、式(4.1)と式(4.8)の交点を求めることによって、強誘電体ゲートCNTトランジスタのキャリア密度と表面電位 $n\text{-}\varphi_s$ の関係を導くことができる。V_G=1 V に対応する典型的なループを図 4.7 に示す。CNT のキャリア密度曲線（太い実線）とヒステリシスループとの交点 A^+、A^- から、V_G=1 V に対するゲート電圧の増加時と減少時の 2 つの表面電位 φ_s^+、φ_s^-の値を得ることができる。ヒステリシスループが水平方向に反転しているので、低い方のループはゲート電圧の増加時に有効で、高い方のループはゲート電圧の減少時に有効である。ゲート電圧に負の電圧が印加された場合、CNT 内に正孔が発生し第 1 象限の関係と同じ関係が第 3 象限に描かれる。従って、十分に低い負の電圧を印加後、動作点は上側のループから下側のループに戻る。

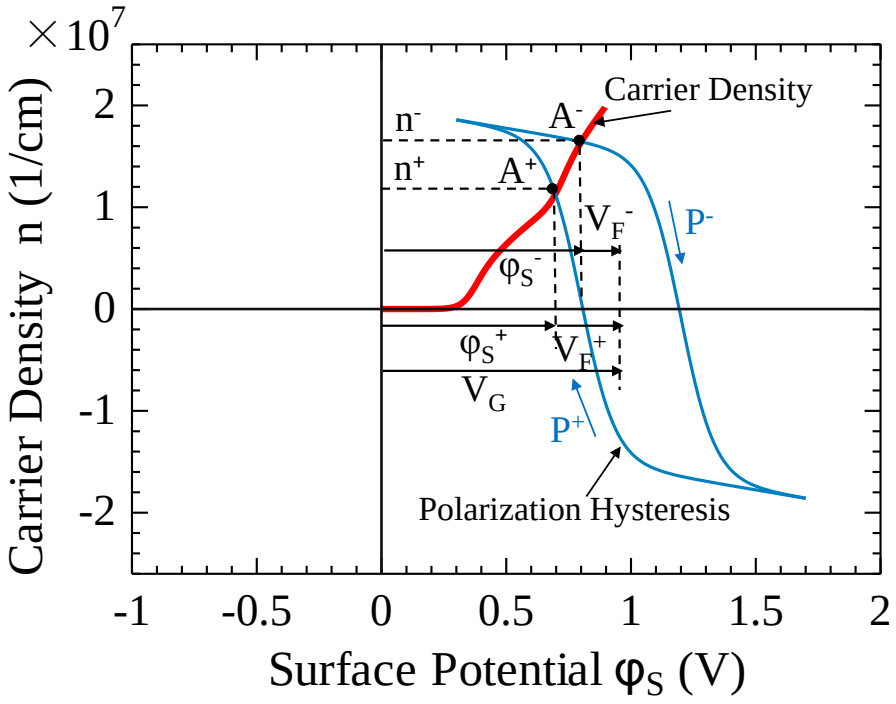


図 4.7　円筒型強誘電体ゲート CNT トランジスタの図式解法

４．３ ドレイン電流特性の解析

４．３．１ ドレイン電流特性

バリスティック伝導と仮定すると、CNTトランジスタのドレイン電流は**２．３．３**で記述したように式(4.9)で表される[4.11]。

$$I_D = \frac{kT}{qR_q}\sum_{i=1}^{2}\left\{\ln\left[1+\exp\left(\frac{q\varphi_S - E_{gi}/2}{kT}\right)\right] - \ln\left[1+\exp\left(\frac{q\varphi_S - qV_D - E_{gi}/2}{kT}\right)\right]\right\} \quad (4.9)$$

ここで、R_q は量子抵抗（$=h/4q^2$=6.45 kΩ、h:プランク定数）、V_D はドレイン電圧である。ドレイン電圧が十分に高い場合には第 2 項の対数は無視できる。式(4.9)から分かるように I_D-V_G 特性、I_D-V_D 特性は、図 4.7 から得られた表面電位 φ_s とゲート電圧 V_G の値を式(4.9)に代入することにより求めることができる。

P(VDF-TrFE) の膜厚 5 nm、ドレイン電圧 1 V の場合について、CNT の直径が 1 nm と 2 nm の円筒型強誘電体ゲートCNTトランジスタの I_D-V_G 特性を図 4.8(a)に示す。この計算では、ドレイン電圧は高く式(4.5)の第 2 項の対数は省略できると仮定している。同図より、これらの条件において約 0.4 V のメモリウィンドウが得られ、ゲート電圧の小さなサブスレショルド領域では、ゲート電圧増加時および減少時のドレイン電流特性は、0 V を挟んだ特性を示すことが分かる。また、CNT の直径を増加させるとドレイン電流が増加することも分かる。

ドレイン電流特性が、上述の特性を示すことは次のように説明できる。CNT は金属 CNT を含んだ非ドープ半導体 CNT、またはドープされたオーミック接触の半導体 CNT と仮定したので、ドレイン電流は GIBL によって決定される。それによってサブスレショルド領域も 0 V 近傍になる。図 4.8(a)の縦軸の対数表現を線形表現にすると図 4.8(b)のようになり、直径 d=1 nm、2 nm に対する閾値をそれぞれ V_{th1}^{+}、V_{th1}^{-}、V_{th2}^{+}、V_{th2}^{-}とすると、V_{th1}^{+}=0.5 V、V_{th1}^{-} =0.1 V、V_{th2}^{+}=0 .4 V、V_{th2}^{-} =0 V となる。次に、図 4.9 で示すキャリア密度と表面電位 n-φ_S 平面でのゲート電圧とメモリウィンドウ（閾値電圧のシフト）の関係について検討する。CNT の直径 d=1 nm、P(VDF-TrFE)の膜厚 t=5 nm として、最大ゲート電圧 V_G が 1.3 V のときの Hysteresis Loop 1（実線）が、ゲート電圧増加時（原点から正方向に移動時）、ゲート電圧減少時（最大ゲート電圧 V_G から負方向へ移動時）に原点を通るヒステリシスループを Hysteresis Loop 2（破線）、

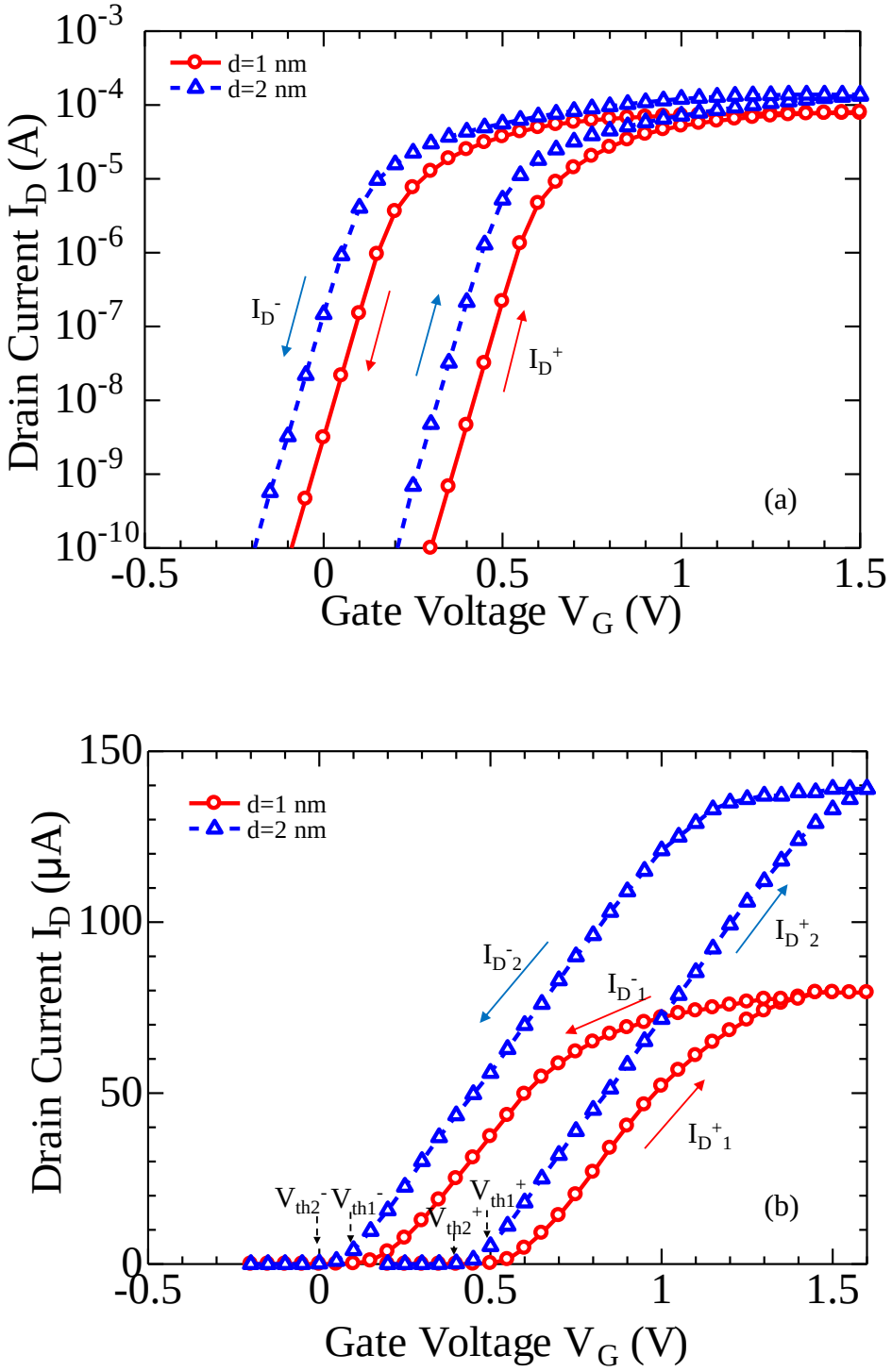


図 4.8　円筒型強誘電体ゲート CNT トランジスタの電気特性

(a) サブスレショルド特性、(b) I_D-V_G 特性

Hysteresis Loop 3（破線）とすると、それぞれのゲート電圧は V_{G2}=0.2 V、V_{G3}=-0.2 V となり、メモリウィンドウは｜V_{G2}-V_{G3}｜=0.4 V となる。また、抗電圧間隔も｜V^-_C−V^+_C｜=0.4 V となる。

次に、CNT の直径を増加させるとドレイン電流が増加することについて検討する。図 4.10 で示すように CNT の直径が増加したとき実効状態密度 N_0 は減少する[4.10]。それによって同じ表面電位のキャリア密度は僅かに減少する。一方、強誘電体キャパシタにより決定されるキャリア密度は、内部電極の直径の増加に伴って増加する。CNT の直径とキャリア密度は反比例するため、飽和状態のドレイン電流を得るためには、より大きなゲート電圧が d=2 nm のトランジスタには必要である。

図 4.11 は CNT の直径 d=1 nm、P(VDF-TrFE) の膜厚 t=5 nm の円筒型強誘電体ゲート CNT トランジスタの I_D-V_D 特性を示す。ゲート電圧が 0.5 V から 0.7 V までの増加時（破線）と 0.7 V から 0.3 V への減少時（実線）に飽和状態でのドレイン電流が強誘電体膜の分極方向によって大きく変化することが分かる。

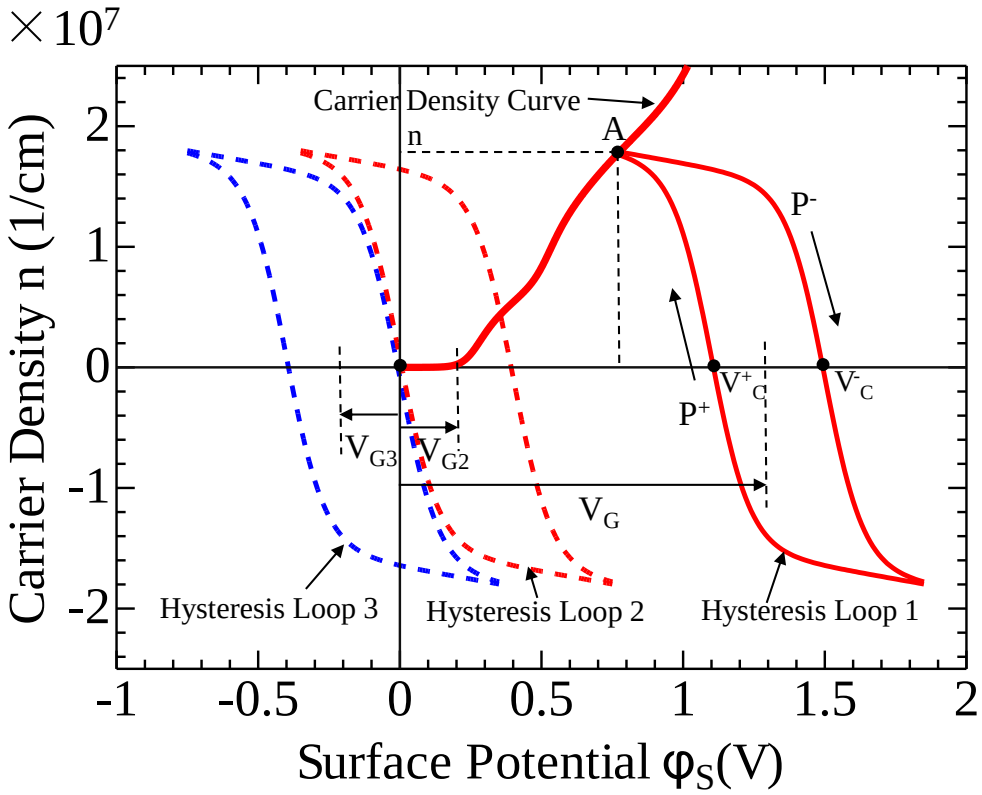


図 4.9 円筒型強誘電体ゲート CNT トランジスタのメモリウィンドウの関係

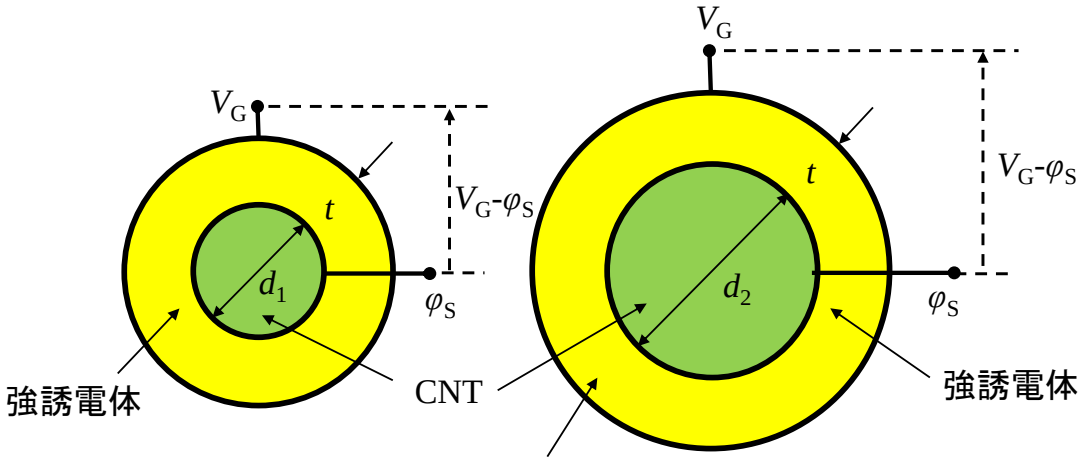


図 4.10　直径 d_1、d_2 に対する円筒型キャパシタ断面図とキャリア密度の関係

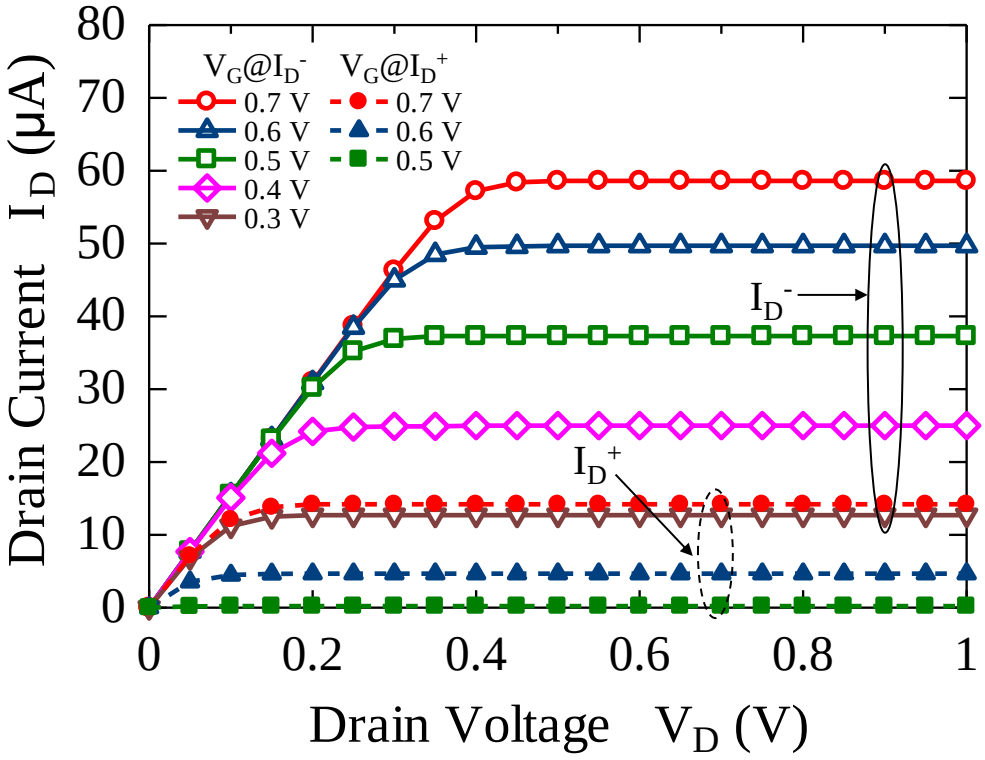


図 4.11　円筒型強誘電体ゲート CNT トランジスタの I_D-V_D 特性

４．３．２ メモリセルとしての考察

図 4.12 にプレーナ型の 1T 型強誘電体ゲートトランジスタのメモリセルを示す。円筒型も本質的にこのようなメモリセル構成が可能であり、このメモリセルについて「書き込み」、「読み出し」動作について検討する。例えば、図 4.13(a)で示すタイミングチャートのようにワード線に正または負の電圧を印加すると、強誘電体トランジスタには同図(b)で示すような分極が発生し、それぞれ“1”または“0”の情報が書き込まれる[4.15]。なお、メモリウィンドウは、バリスティック伝導と仮定した場合には、前節で記述したように P(VDF-TrFE)の抗電界 E_C と膜厚 t によって決まるので、E_C=400 kV/cm、t=5 nm とすると、0.4 V となり、ゲート電圧、ドレイン電圧の影響を受けない。従って、「書き込み」電圧は、「読み出し」電圧を考慮して決めることができる。

「読み出し」電圧は、図 4.14(a)に示すようにワード線には分極が反転しない程度の正の電圧を印加し、ビット線を接地してプレート線には V_D の電圧を印加すると、図 4.14(b)のタイミングチャートの t_1～t_2 間、t_3～t_4 間にビット線上にはそれぞれ“1”または“0”の情報を識別できる程度のドレイン電流が流れる。従って、図 4.11 のゲート電圧 V_G=0.3 V に対して、図 4.15 で示すようにゲート電圧増加時と減少時の I_D-V_D 特性を比較すると、ドレイン電流差は約 12 μA、電流比は 1 桁以上であり、報告されているプレーナ型の強誘電体ゲート CNT トランジスタの特性[4.2]（チャネル長 1 μm、CNT の直径 1 nm、$BaTiO_3$ 膜厚 300 nm トランジスタの場合、メモリウィンドウ 4 V、ドレイン電流差 0.7 μA）と比較すると、十分に“1”と“0”を識別できることが分かる。このことから、このトランジスタにおける最適「読み出し」電圧は 0.3 V 程度と言える。動作電圧の下限は 3E_C 程度[4.16]であるからそのときの電圧は 3E_C・t=0.6 V となり、メモリウィンドウが 0.4 V であるので、図 4.16 のように 0.6 V～1 V の低電圧動作が実現可能と考えられる。

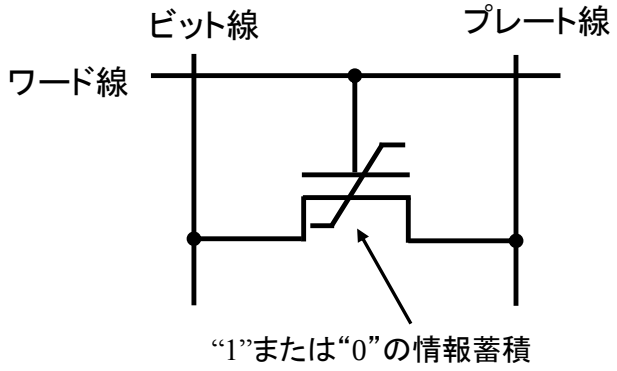
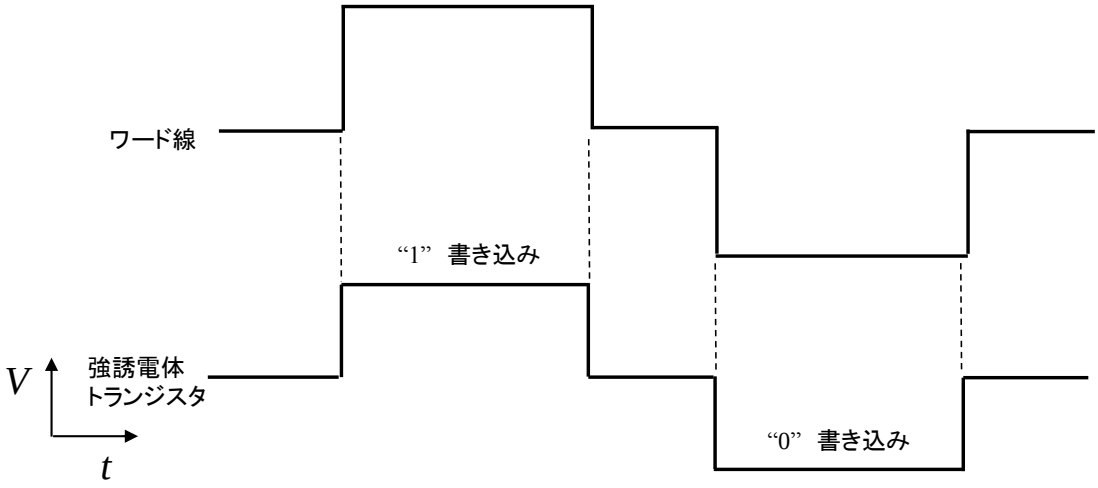
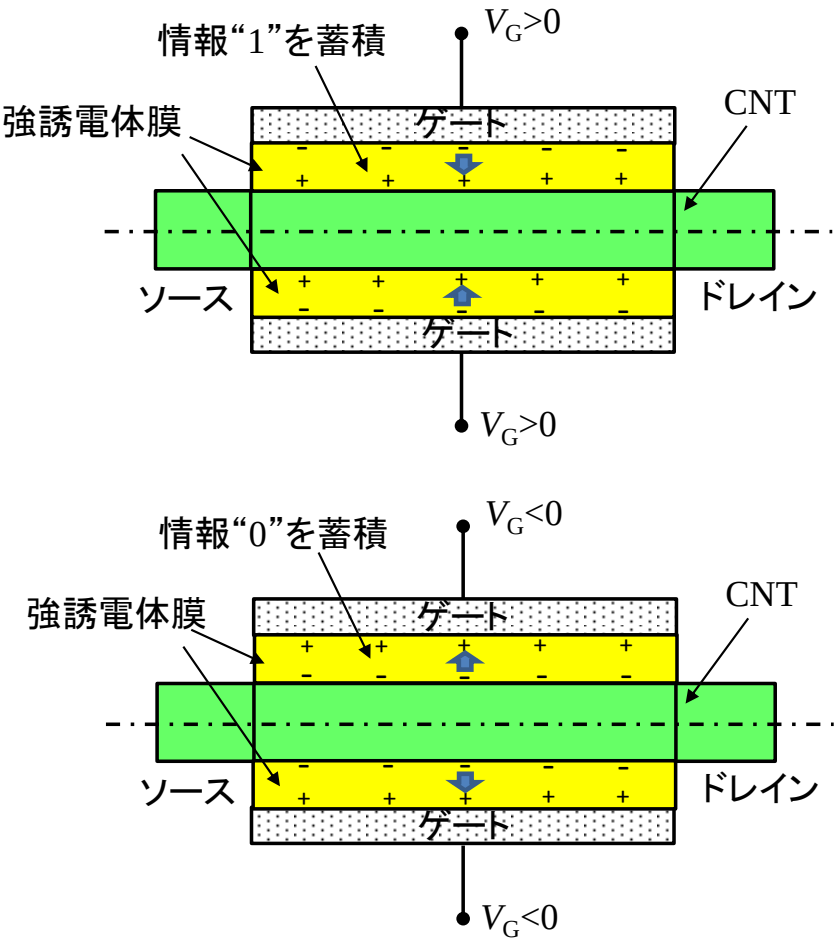


図 4.12　1T 型強誘電体ゲートトランジスタのメモリセルの例



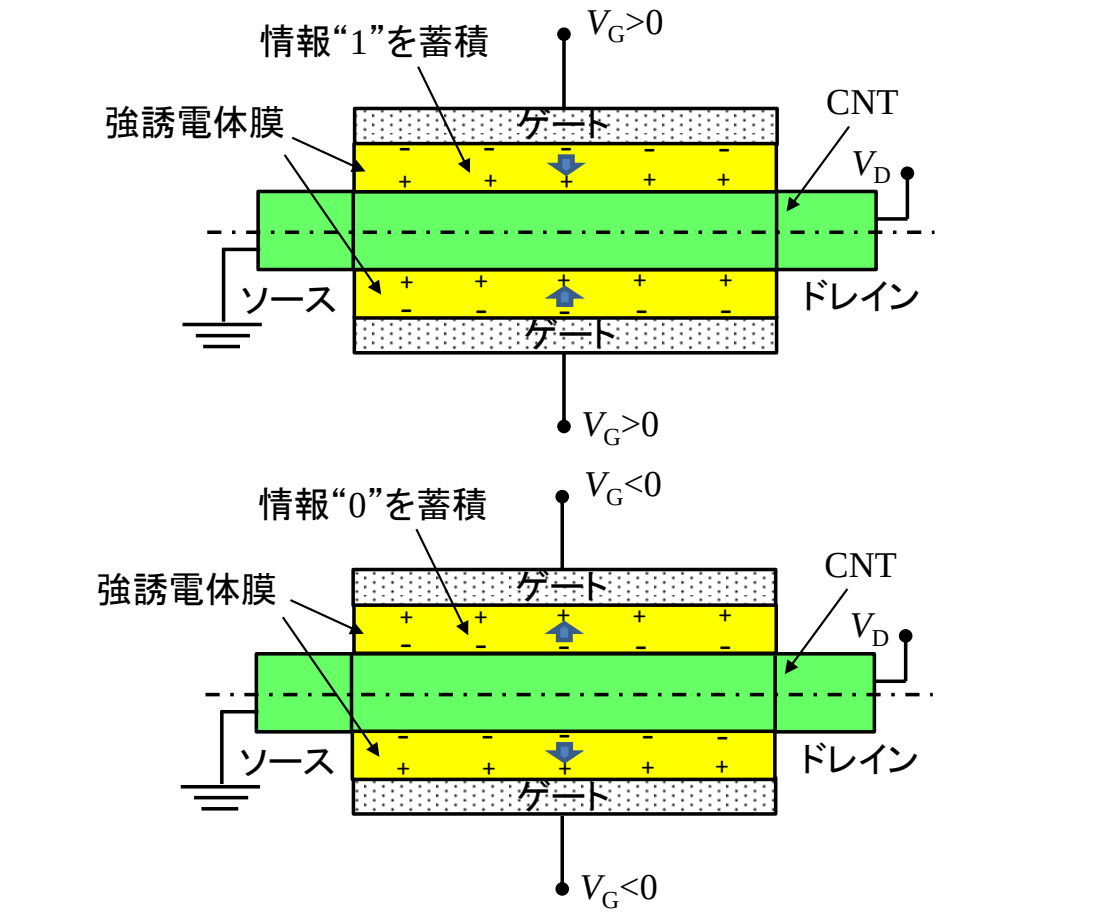
(a)



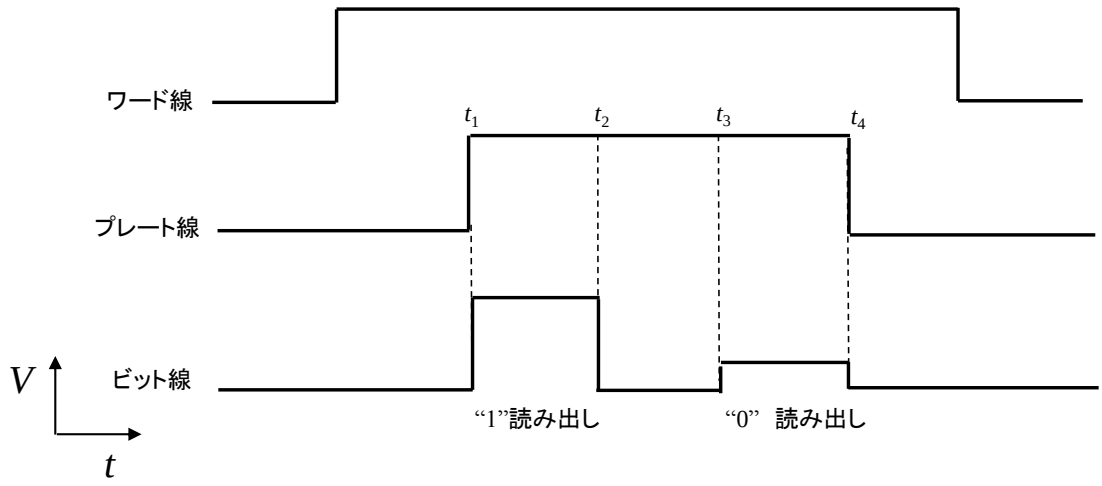
(b)

図 4.13 円筒型強誘電体ゲート CNT トランジスタの書き込み機構

(a) 書き込みタイミングチャート例、(b) データ“1”と“0”の蓄積状況と分極反転



(a)



(b)

図 4.14 円筒型強誘電体ゲート CNT トランジスタの読み出し機構

(a) 読み出し機構、(b) 読み出しタイミングチャートの例

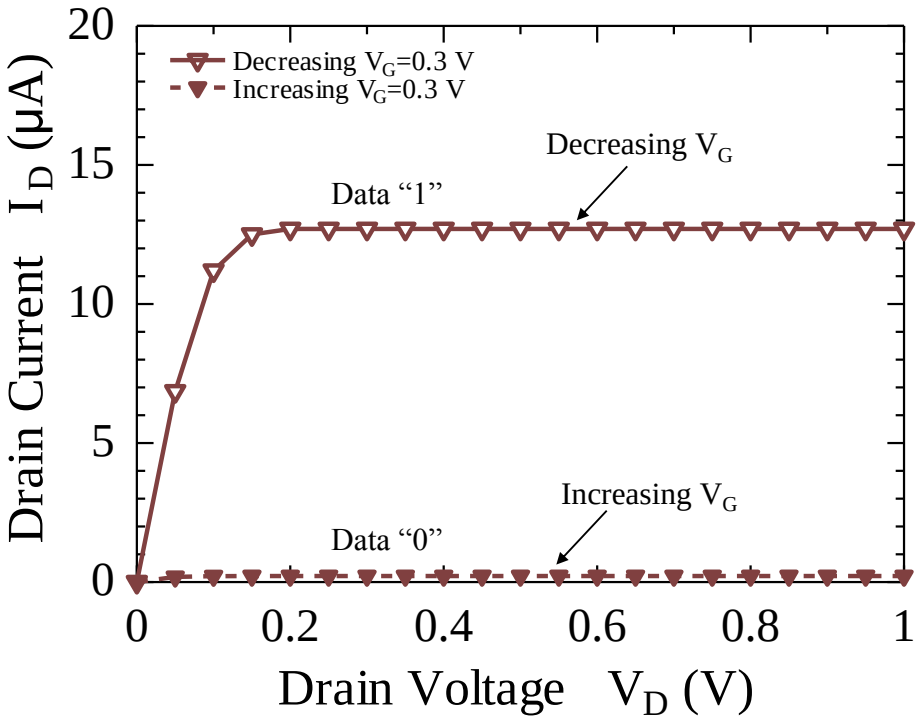


図 4.15　V_G=0.3 V のときの円筒型強誘電体ゲート CNT トランジスタの I_D-V_D 特性

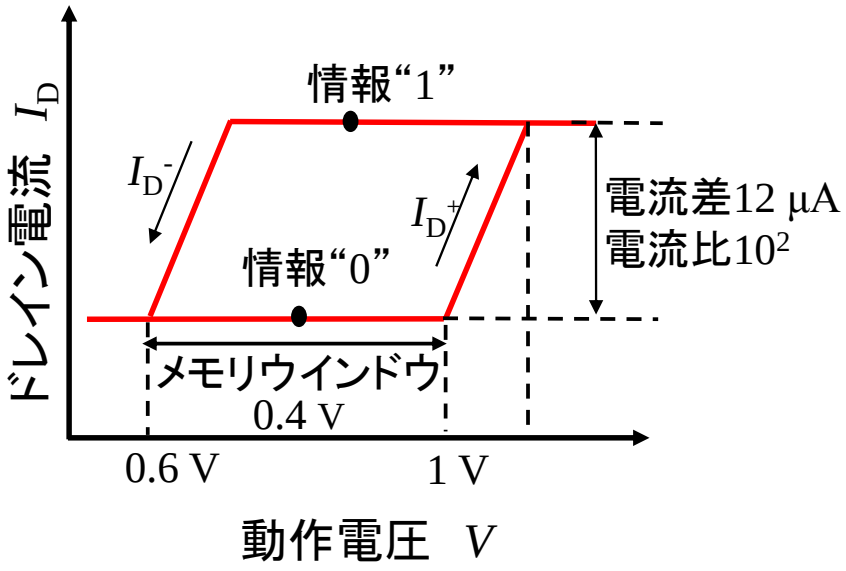


図 4.16　メモリウィンドウと動作電圧の関係

４．４ まとめ

円筒型強誘電体ゲート CNT トランジスタの I_D-V_G 特性および I_D-V_D 特性を Wong らのグループが提案した CNT トランジスタに対する解析的バリスティック理論に基づいて導出した。本解析では、強誘電体膜中の電束が全て CNT 中のキャリアに終端するという条件を用いて、与えられたゲート電圧に対してトランジスタの表面電位とキャリア密度の関係を図式解法により求めて、ゲート電圧、表面電位、キャリア密度の関係からドレイン電流を導出した。CNT の直径を 1～2 nm と変化させ、P(VDF-TrFE) の厚さを 5 nm とした場合、円筒型強誘電体ゲート CNT トランジスタは、1 V 以下の動作電圧でメモリトランジスタとして動作するということが分かった。

参考文献

[4.1] T. Sakurai, T. Yoshimura, S. Akita, N. Fujimura, and Y. Nakayama: Jpn. J. Appl. Phys. **45** (2006) L1036.

[4.2] W. -Y. Fu, Z. Xu, X. -D. Bai, C. -Z. Gu, and E.-G. Wang: Nano Lett. **9** (2009) 921.

[4.3] W. -Y. Fu, Z. Xu, L. Liu, X. -D. Bai, and E. -G. Wang: Nanotechnology **20** (2009) 475305.

[4.4] J. -W. Cheah, Y. Shi, H. -G. Ong, C. -W. Lee, L.-J. Li and J. Wang: Appl. Phys. Lett. **93** (2008) 082103.

[4.5] H. Ishiwara: Curr. Appl. Phys. **9** (2009) S2

[4.6] T. Kamei, E. Tokumitsu, and H. Ishiwara: IEICE Trans. Electron. **E81-C** (1998) 577.

[4.7] H. -T. Lue, C. -J. Wu, and T. -Y. Tseng: IEEE Trans. Electron Devices **49** (2002) 1790.

[4.8] M. Lundtrom and Z.Ren : IEEE Trans. Electron Devices **49** (2002) 133.

[4.9] D. Akinwande, Y. Nishi, and H.-S. P. Wong: IEEE Trans. Electron Devices **55** (2008) 289.

[4.10] J. Liang, D. Akinwande, and H. -S. P. Wong: J. Appl. Phys. **104** (2008) 064515.

[4.11] D. Akinwande, J. Liang, S. Chong, Y. Nishi, and H. -S. P. Wong: J. Appl. Phys. **104** (2008) 124514.

[4.12] S. L. Miller and P. J. McWhorter: J. Appl. Phys. **72** (1992) 5999.

[4.13] S. Fujisaki, H. Ishiwara, and Y. Fujisaki: Appl. Phys. Express **1** (2008) 081801.

[4.14] J. -W. Yoon, S. Ohmi, B. -E. Park, and H. Ishiwara: Appl. Phys. Lett. **93** (2008) 162904.

[4.15] 石原　宏　監修: 強誘電体メモリーの新展開, シーエムシー出版, 2004.

[4.16] 沖テクニカルレビュー, 第190号Vol.69 No.2, 2002.

第5章　円筒型強誘電体ゲート Si ナノワイヤトランジスタのドレイン電流特性の解析

５．１　はじめに

半導体メモリは、低消費電力化の観点から FeFET が将来のメモリとして期待されており[5.1,5.2]、基本特性の改善が過去 10 年間に報告された。しかし、これらの報告の全てがプレーナ型トランジスタの研究であり、ドレイン電流は Pao and Sah の 2 重積分を用いて計算されている[5.3]。一方、最先端 MOS トランジスタは、種々の短チャネル効果を抑制するため、非プレーナ型 MOS トランジスタの動作について多くの理論的な研究が報告がされている[5.4-5.13]。 そこで、高速化、高集積化、大容量化のために、前章では、CNT をチャネルに用いた円筒型強誘電体ゲートトランジスタのドレイン電流特性に関して、バリスティック伝導と仮定して検討を行なった。

本章では、Si ナノワイヤをチャネルとして用いた円筒型強誘電体ゲート Si ナノワイヤトランジスタのドレイン電流特性をドリフト／拡散伝導理論を用いて検討する。その検討において、チャネルの直径、強誘電体の膜厚等を変化させ、3 次元構造化することにより低電圧のメモリトランジスタとして動作可能かを議論し、さらに、CNT をチャネルといて用いた場合と比較検討を行う。

５．２　解析手法

５．２．１　チャネル領域内の位置に関係した分極

図 5.1 に示すような Si ナノワイヤの外側が強誘電体膜で覆われ、さらにその外側がゲート電極で覆われた円筒型強誘電体ゲート Si ナノワイヤトランジスタにおいて、Si ナノワイヤの半径（強誘電体膜の内側の半径）を a（直径：d）、強誘電体膜の外側の半径を b、チャネル長を L とし、ソース電極を接地、ドレイン電極とゲート電極にそれぞれに V_D、V_G が印加されたモデルについて、ドレイン電流特性をドリフト／拡散伝導理論を用いて解析する。

今日まで Si ナノワイヤ MOS トランジスタについての多くの実験結果が報告されている[5.14-5.16]。 直径 5 nm、チャネル長 140 nm の Si ナノワイヤトランジスタでさえも電流輸送は非バリスティック伝導を示している[5.16]。CNT がバリスティック伝導であると仮

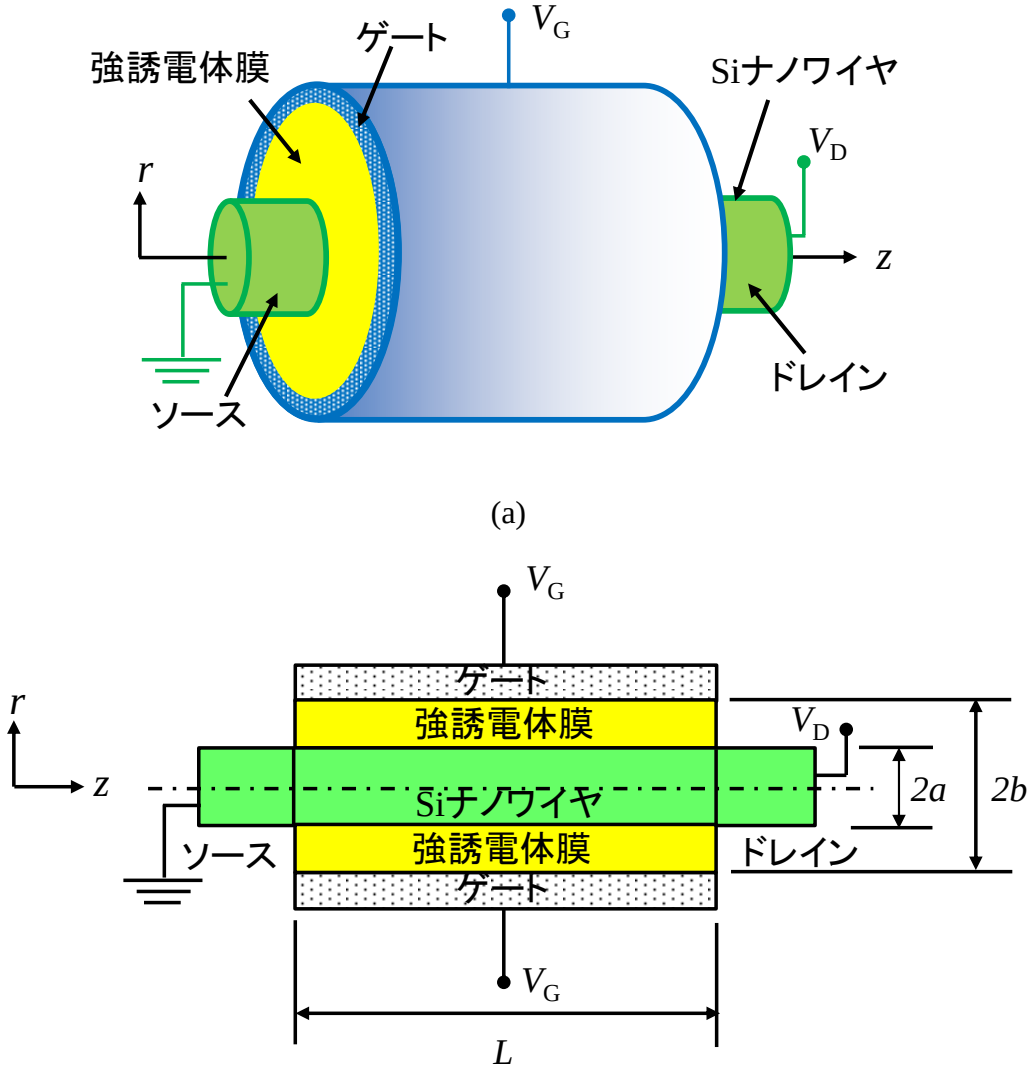


図 5.1　円筒型強誘電体ゲート Si ナノワイヤトランジスタの模式図

(a) 外観図、(b) 断面図

定して、円筒型強誘電体ゲートCNTトランジスタのドレイン電流特性解析について第4章で詳述した。この場合、ドレイン電流はソース端での GIBL によってのみ制御されるので、強誘電体膜の分極特性はチャネル領域内のソース端だけを考慮すればよい。この特性によって、十分に高いゲート電圧が最初にゲート電極に印加されると仮定すれば、強誘電体膜の分極特性は飽和状態であると見なすことができた。

一方、ドリフト／拡散伝導メカニズムでは、チャネルに沿って存在する全ての反転

キャリアがドレイン電流に影響を与えるので、チャネルに沿った全ての位置において強誘電体膜の分極特性を考慮しなければならない。通常の動作条件では、十分に高い電圧がドレイン領域に印加されると、Si ナノワイヤの表面電位はソース領域近傍よりもドレイン領域近傍で高くなる。このことは、ソース領域近傍ではゲート電圧の大部分は強誘電体膜に印加されるが、ドレイン領域近傍ではゲート電圧の一部しか印加されないということを意味する。この結果から、強誘電体膜の分極がソース領域近傍で飽和していてもドレイン領域近傍で非飽和になっていると推測される。これらの考えに基づいて、5．2．3では強誘電体膜の分極について、飽和ヒステリシスループの形状のみならずマイナーループの形状についても議論する。

5．2．2 Si ナノワイヤトランジスタの表面電位

ドリフト／拡散伝導理論を用いて、円筒型強誘電体ゲートトランジスタのドレイン電流特性を求めるために、チャネル方向の電位勾配が強くなく、z 軸方向の電位と r 軸方向の電位に分けて独立に計算できるという微傾斜チャネル近似（Gradual Channel Approximation）を用いる。最初にSiナノワイヤ内の全てのキャリア密度Qと表面電位φ_sの関係をチャネル領域の任意の位置で計算する。Si ナノワイヤ内の半径 r における静電電位 $\varphi(r)$は Poisson 方程式(5.1)を解くことにより、式(5.2)のように求められる[5.10]。

$$\frac{d^2\varphi}{dr^2}+\frac{1}{r}\frac{d\varphi}{dr}=\frac{kT}{q}\delta_0\exp\left[\frac{q(\varphi-V)}{kT}\right] \tag{5.1}$$

$$\varphi(r)=V+\frac{kT}{q}\ln\left[\frac{-8B}{\delta_0(1+Br^2)^2}\right] \tag{5.2}$$

$$\delta_0=\frac{q^2 n_{\mathrm{i}}}{kT\varepsilon_0\varepsilon_{\mathrm{Si}}} \tag{5.3}$$

ここで、q は電荷量、n_{i} は真性キャリア濃度、k はボルツマン定数、T は絶対温度、ε_0 は真空の誘電率、$\varepsilon_{\mathrm{Si}}$ は Si の比誘電率、V は r 方向には一定の電子の疑似フェルミ準位、B は境界条件により定まる定数であり、φ_s は $\varphi_s=\varphi(a)$である。さらに、3．2で記述のように Gauss の法則から Q は次のように表される。

$$Q = \varepsilon_0 \varepsilon_{\mathrm{Si}} \frac{d\varphi}{dr}\Big|_{r=a} \tag{5.4}$$

式(5.2)と式(5.4)から B を消去して Q と φ_s の関係を導く必要があるが、簡便に Q と φ_s の関係を導くための中間パラメータ β を用いて、ドレイン電流を解析的に計算可能であることが報告されている[5.9-5.11]。しかし、本解析では、Q と V_G-φ_s（強誘電体膜の電位差、V_G：ゲート電圧）の関係がヒステリシスループを描くため、ドレイン電流は解析的に求めることはできない。そこで、式(5.2)と式(5.4)から Q と φ_s との関係を直接導いた。この関係は、文献[5.9]において式(5.5)のように 2 重平方根で表されている。一方、本研究では、円筒型デバイス構造を考慮してより簡単な式(5.6)で表す。なお、式(5.5)の t_{Si} の代わりに $2a$、φ_s の代わりに φ_s-V とすれば同一の式となる。

$$Q=\varepsilon_0 \varepsilon_{\mathrm{Si}} \frac{kT}{q} \sqrt{\frac{32}{{t_{\mathrm{Si}}}^2}\left[1+\frac{1}{16}\delta_0 {t_{\mathrm{Si}}}^2 \exp\left(\frac{q\varphi_S}{kT}\right)-\sqrt{1+\frac{1}{8}\delta_0 {t_{\mathrm{Si}}}^2 \exp\left(\frac{q\varphi_S}{kT}\right)}\right]} \tag{5.5}$$

$$Q = \frac{\varepsilon_0 \varepsilon_{\mathrm{Si}} kT}{qa}\left\{\sqrt{2\delta_0 a^2 \exp\left[\frac{q(\varphi_S - V)}{kT}\right]+4}-2\right\} \tag{5.6}$$

ソース電圧とドレイン電圧がそれぞれ 0 V と V_D のとき、Si ナノワイヤトランジスタ内のドレイン電流 I_D は疑似フェルミ準位 V におけるキャリア密度 $Q(V)$を用いて式(5.7)のように表される。ここで、μ は移動度である。

$$I_D = \mu \frac{2\pi a}{L}\int_0^{V_D} Q\,(V)dV \tag{5.7}$$

５．２．３　分極ヒステリシスループの解析式

ドレイン電流I_Dとゲート電圧V_Gの関係を求めるには、キャリア密度Qと表面電位φ_s、ゲート電圧V_Gとの関係を決定する必要があり、この関係は強誘電体膜の分極特性により決められる。しかし、円筒型強誘電体キャパシタの分極特性について、正確な解析手法はこれまで報告されていない。そのため、第3章では円筒型キャパシタに応用できる近似解法を提案した。すなわち、円筒型強誘電体キャパシタの分極特性は円筒キャパシタの内側の電極と同じ面積、円筒状強誘電体膜と同じ厚さの平

行平板キャパシタの分極特性で近似できるということを述べた。本解析においても、この近似解法を用いる。

３．２．２で記述のように分極理論においては、電束密度 D と分極 P との間の関係は、電界を E として、式(5.8)のようになる。

$$D=P+\varepsilon_0 E \tag{5.8}$$

また、強誘電体膜とSiナノワイヤとの境界では、法線方向の電束密度は連続であるという条件より、Q は $D(a)$に等しい。本解析では、強誘電体膜の分極を 2 つの要素に分解する。一つは高電界の印加によって飽和する非線形のヒステリシス要素であり、もう一方は電界 E に比例した線形要素である。これ以降、分極の非線形要素に対してはパラメータ P を用いて、線形要素は D の第 2 項の $\varepsilon_0 E$ と結合させる。従って、本解析で用いる関係式は式(5.9)のようになる。

$$D=P+\varepsilon_0\varepsilon_F E \tag{5.9}$$

ここで、ε_F は強誘電体膜の線形比誘電率である。前述の通り、分極 P に対しては平行平板キャパシタの近似を用い、線形要素に対しては、３．２．１で記述のように円筒型誘電キャパシタの公式を用いる。

P-E ヒステリシスループに対して、Lue らが提案した次の解析関数を用いる[5.17]。

$$P^{+}(E,E_{\mathrm{m}}) = P_{\mathrm{s}}\tanh\left(\frac{E-E_{\mathrm{m}}}{2\delta}\right) + \frac{1}{2}\left[P_s\tanh\left(\frac{E_{\mathrm{m}}+\mathrm{E_C}}{2\delta}\right) - P_{\mathrm{s}}\tanh\left(\frac{E_{\mathrm{m}}-E_{\mathrm{C}}}{2\delta}\right)\right] \tag{5.10}$$

$$P^{-}(E,E_{\mathrm{m}}) = P_{\mathrm{s}}\tanh\left(\frac{E+E_{\mathrm{m}}}{2\delta}\right) - \frac{1}{2}\left[P_s\tanh\left(\frac{E_{\mathrm{m}}+\mathrm{E_C}}{2\delta}\right) - P_{\mathrm{s}}\tanh\left(\frac{E_{\mathrm{m}}-E_{\mathrm{C}}}{2\delta}\right)\right] \tag{5.11}$$

$$P_{\mathrm{d}}(E_{\mathrm{m}}) = \frac{1}{2}\left[P_{\mathrm{s}}\tanh\left(\frac{E_{\mathrm{m}}+E_{\mathrm{C}}}{2\delta}\right) + P_{\mathrm{s}}\tanh\left(\frac{E_{\mathrm{m}}-E_{\mathrm{C}}}{2\delta}\right)\right] \tag{5.12}$$

$$\delta = E_{\mathrm{C}}/\ln\left(\frac{1+P_{\mathrm{r}}/P_{\mathrm{s}}}{1-P_{\mathrm{r}}/P_{\mathrm{s}}}\right) \tag{5.13}$$

ここで、P_{s} は飽和分極、P_{r} は残留分極、E_{m} は強誘電体膜に印加された最大電界、E_{C} は抗電界である。式(5.10)と式(5.11)において、最大電界 E_{m} が E_{C} より十分大きいなら

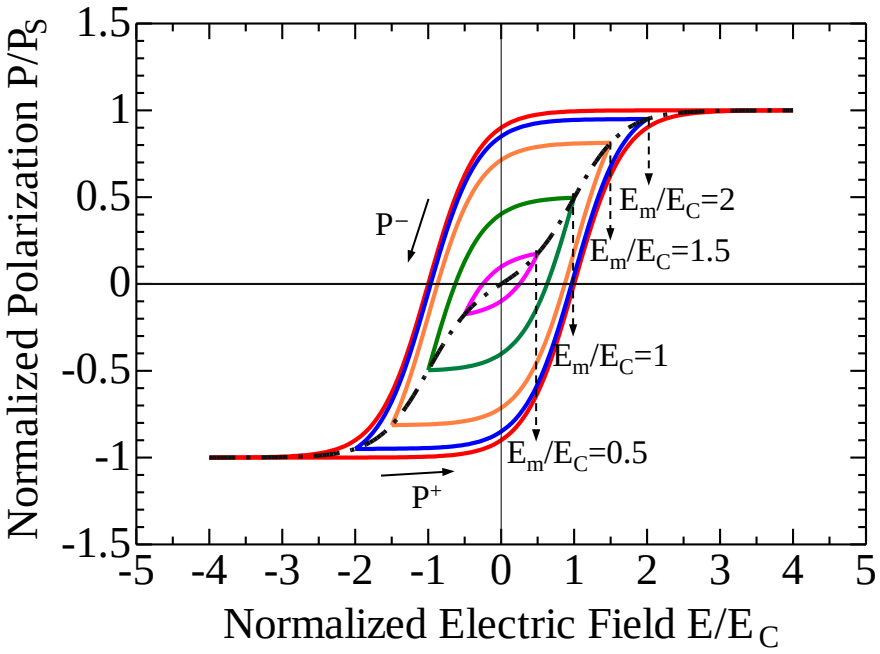


図 5.2　規格化した飽和分極および非飽和分極のヒステリシスループ

ば、第 2 項と第 3 項は相殺され、分極ループは第 1 項によって与えられた飽和分極のみになる[5.18]。 規格化した飽和分極および非飽和分極（マイナーループ）のヒステリシスを図 5.2 に示す。図中の一点鎖線は式(5.12)で与えられたマイナーループヒステリシスのエッジの位置を示す。

5．2．4 電束密度の連続条件

V_G がゲート電極に印加され、ゲート電極と Si ナノワイヤとの仕事関数が等しいと仮定して、$r=a$ での電束密度の連続性について議論する。まず、解析手順のフローチャートを図 5.3 に示す。この場合、分極 $P(E)$の計算のために用いた電界は、平行平板キャパシタでの近似解析から $r=a$ では式(5.14)のようになる。

$$E_1 = \frac{V_G - \varphi_S}{b - a} \tag{5.14}$$

一方、線形比誘電率 ε_F の円筒キャパシタの電界は、円筒誘電キャパシタの公式から $r=a$ では式(5.15)のようになる。

$$E_2 = \frac{V_G - \varphi_S}{a\ln(b/a)} \tag{5.15}$$

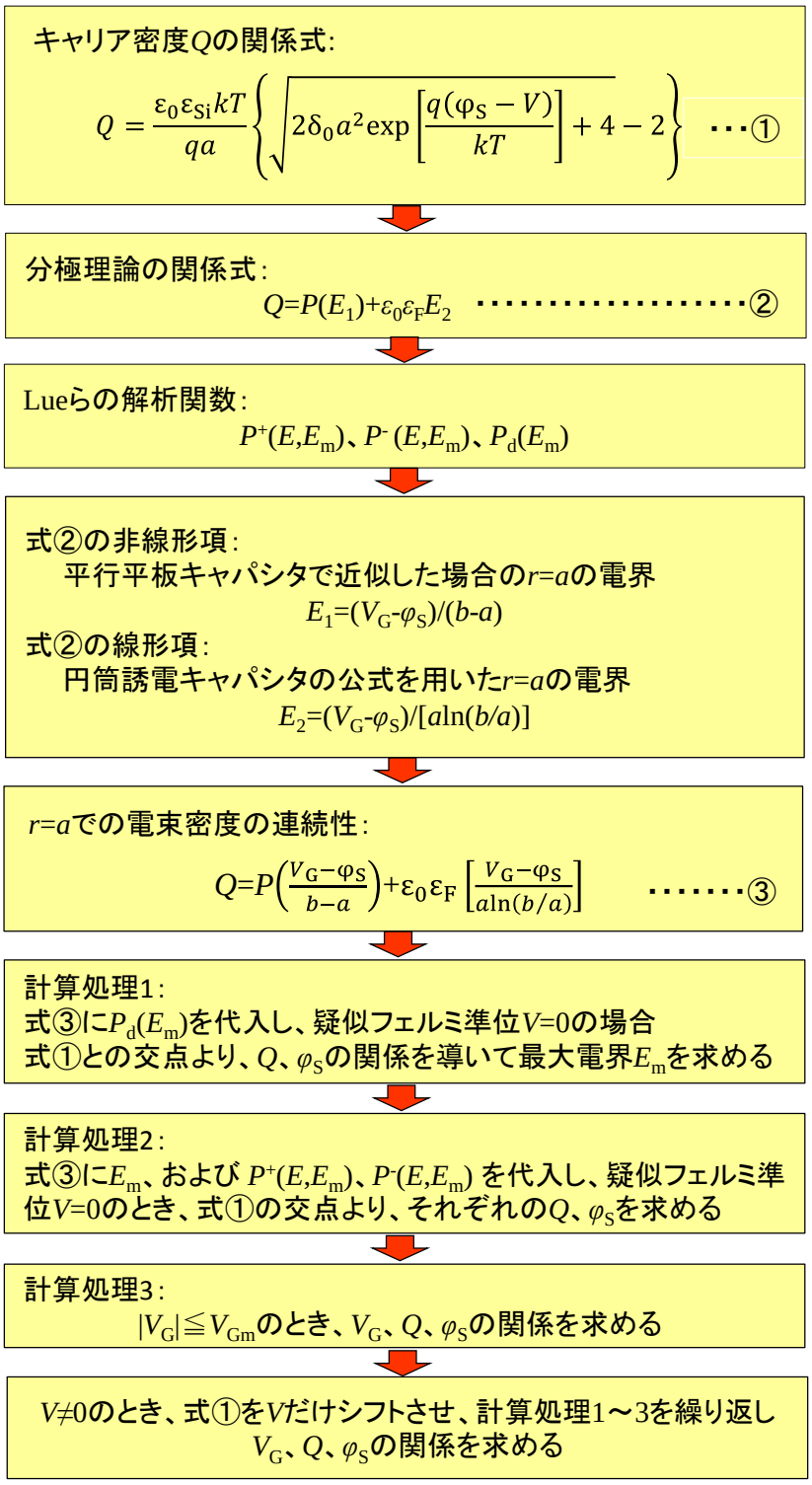


図 5.3　図式解法のフローチャート

従って、$r=a$ の界面において、式(5.14)および式(5.15)を式(5.9)に代入することにより、式(5.16)のような電束密度に関する連続条件が得られる。ここで、Q は式(5.6)から与えられる。

$$Q = P\left(\frac{V_G - \varphi_S}{b-a}\right) + \varepsilon_0 \varepsilon_F \left[\frac{V_G - \varphi_S}{a\ln(b/a)}\right] \tag{5.16}$$

なお、$P=0$ のとき、式(5.16)はナノワイヤ MOS トランジスタのキャリア密度の式と同一である[5.10]。

次に、ゲート電圧 V_G が $\pm V_{Gm}$ の範囲で変化するという条件で式(5.16)を解く。ヒステリシスループの形状は最大ゲート電圧 V_{Gm}によって決定されるので、式(5.16)の第 1 項 $P(E)$に対して、最初に式(5.12)を代入することにより、Q、φ_s、V_{Gm} の関係を導く。水平軸を φ_s、垂直軸を Q として、疑似フェルミ準位 $V=0$ V に対する図式解法の例を図 5.4 に示す。図中の太い実線は式(5.6)を表し、一点鎖線は式(5.16)の第 1 項 $P(E)$に対して式(5.12)を代入したときの右辺を表す。同図はヒステリシスループが最大ゲート電圧 V_{Gm}=1 V (実線) から V_{G1}=0.5 V (破線) へシフトした場合である。

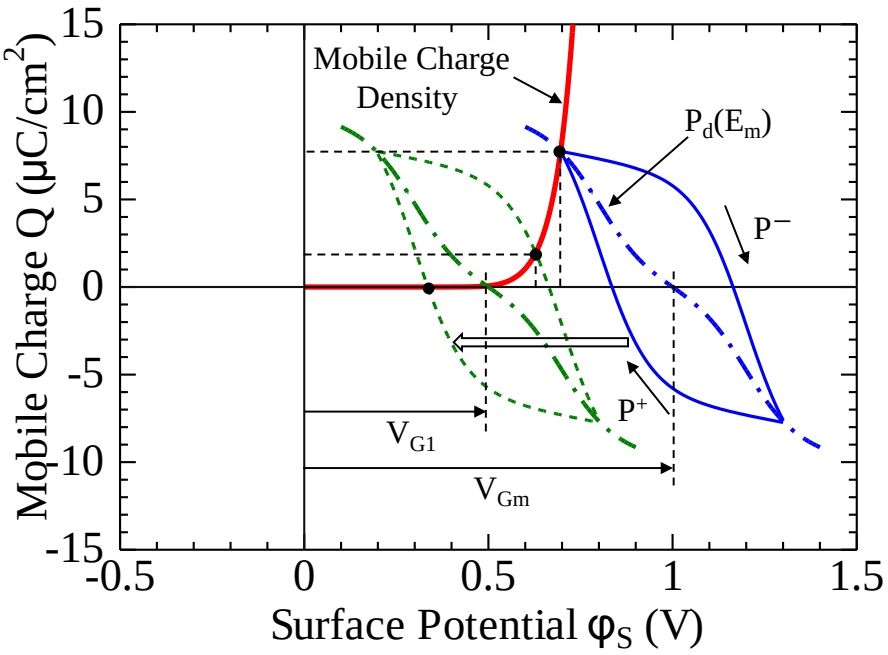


図 5.4 飽和分極状態の円筒型強誘電体ゲート Si ナノワイヤトランジスタの図式解法

与えられた V_{Gm}と V(この場合は V=0 V)に対して、両曲線の交点から Q と φ_sを求めることができる。さらに、非線形部分$(V_{Gm}-\varphi_s)/(b-a)$と線形部分$(V_{Gm}-\varphi_s)/[a\ln(b/a)]$の両方の電界を考慮して、最大電界 E_m を求める。一度 E_m が求まると、式(5.10)-(5.11)を式(5.16)の第 1 項 $P(E)$に代入することによって、図 5.4 の実線で示すヒステリシスループを求めることができる。ゲート電圧 V_G が最大ゲート電圧 V_{Gm}から V_{G1} に減少したとき、実線のヒステリシスループ(V_G=V_{Gm})を破線のヒステリシスループ(V_G=V_{G1})へシフトさせることによって、新しい Q と φ_s の値を求めることができる。本計算に用いた種々のデバイスパラメータは次節で用いるパラメータと同一である。

５．３ ドレイン電流特性の解析

５．３．１ 低ドレイン電圧に対するドレイン電流特性

ドレイン電圧が十分低いとき全チャネル領域内の疑似フェルミ準位 Vを 0 V と見なし、式(5.7)の積分は近似的に $Q(0)V_D$ となる。数値計算では、まず、直径 d=5 nm (a=2.5 nm) の Si ナノワイヤが厚さ t=5 nm (b=7.5 nm) の強誘電体膜 P(VDF-TrFE)で覆われていると仮定する。実験データ[5.19-5.21]と比較のため、P(VDF-TrFE) の物性値を P_s=8 μC/cm^2、P_r/P_s=0.9、E_C=400 kV/cm、 ε_F=12 とした。この他、計算に用いたパラメータは、n_i=1.5×10^{10} cm^{-3}、T=300 K、ε_{Si}=11.8、L=1 μm、μ=300 cm^2/(Vs)である。ここで、短チャネル効果の影響を受けないようにチャネル長は L=1 μm とし、P(VDF-TrFE)の強誘電体膜に十分な電界が印加されるように膜厚は t=5 nm とする。また、参考文献[5.10]と比較するため、移動度は μ=300 cm^2/(Vs)、Si ナノワイヤの直径は d=5 nm とする。図 5.4 から V_{Gm}＝1 V に対して $Q(0)$=7.6 μC/cm^2 が得られる。V_D=0.01 V、0.1 V、1 V に対して、I_D-V_G 特性は、図 5.5(a)の破線で与えられる。この近似解法において、V_D=0.1 V に対するドレイン電流は、V_D=0.01 V に対するドレイン電流の 10 倍以上であり、V_D=1 V に対するドレイン電流は、V_D=0.01 V に対するドレイン電流の 100 倍以上である。メモリウィンドウ(閾値電圧のシフト)の図式解法による求め方は、後節で記述するが、図 5.5(a)からメモリウィンドウは、これらのバイアス条件では近似的に 0.3 V と求めることができる。

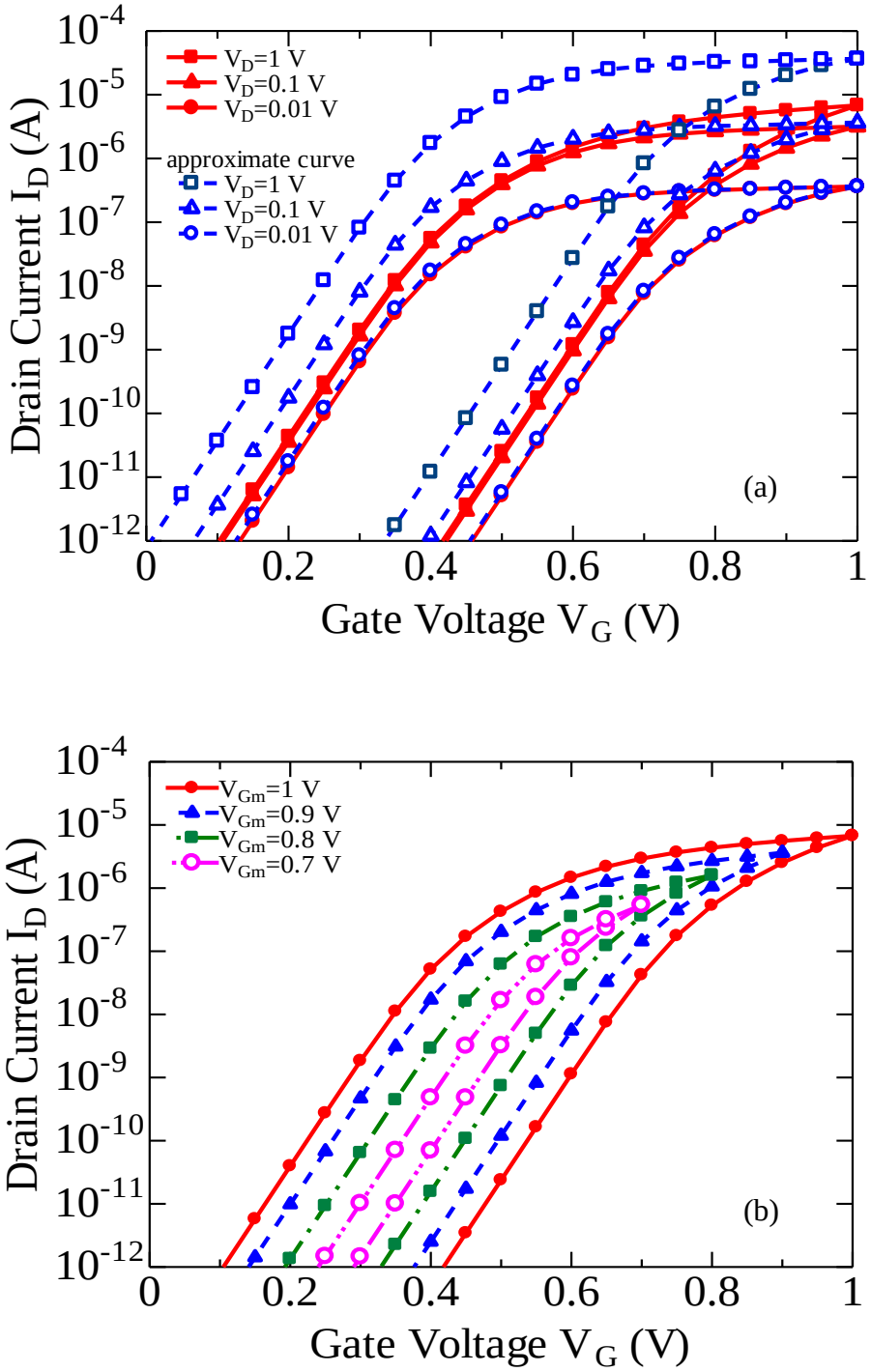


図 5.5　円筒型強誘電体ゲート Si ナノワイヤトランジスタの I_D-V_G 特性

(a) V_D=0.01 V、0.1 V、1 V の場合、(b) V_D=1 V、V_{Gm}=0.7 V～1 V の場合

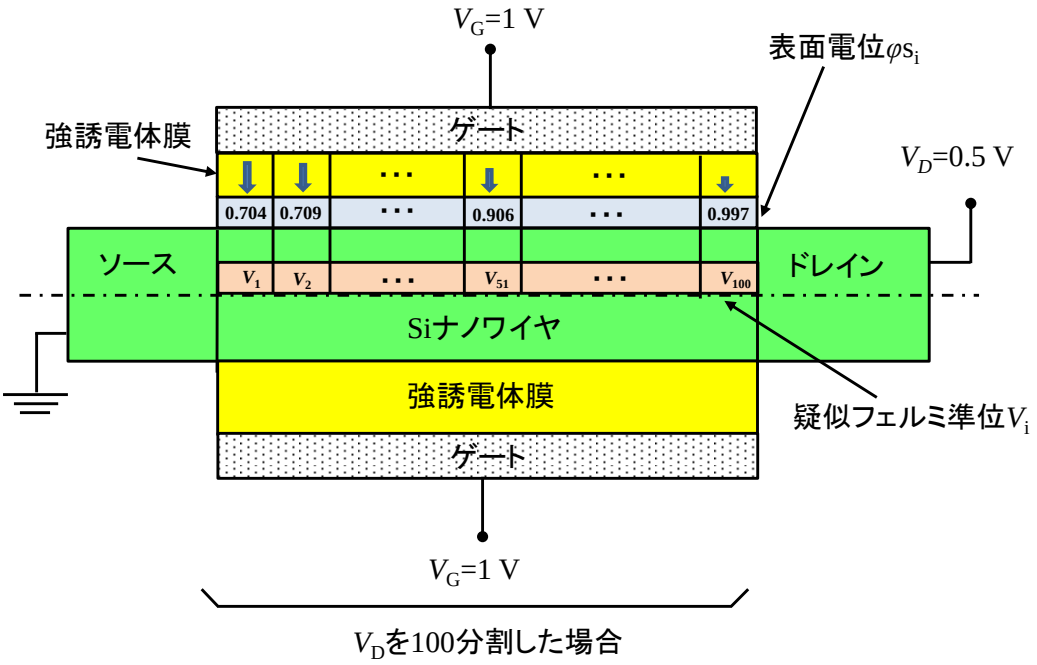
５．３．２ 高ドレイン電圧に対するドレイン電流特性

ソースを接地状態にして十分に高い電圧がドレインに印加された場合、チャネル領域の疑似フェルミ準位 V はドレイン方向に増加して、ドレイン端では V_D となる。その結果、φ_s もまたドレイン方向に増加する。このことは、図 5.6(a)のように強誘電体膜に印加される電圧がドレイン方向に減少するということを意味する。ここで、チャネル領域の疑似フェルミ準位を等間隔の $\Delta V(V_D=n\Delta V)$ で n 分割する。従って、i 番目の電位 V_i は $i\Delta V(=iV_D/n)$となる。V が 0 V でないとき、Q と φ_s の関係は、式(5.6)の Q-φ_s 曲線を図 5.4 で示す位置から正方向へ V だけシフトした曲線で与えられる。式(5.6)の曲線を V=0.25 V だけ正方向に移動させた Q-φ_s 曲線（破線）を図 5.7 に例示する。式(5.16)の右辺の関係式は V を含んでいないので、図 5.4 の一点鎖線は図 5.7 でも同じ位置であり、両曲線の交点は、V の増加に伴って $\varphi_s=V_{Gm}$、Q=0 μC/cm^2 に相当する位置へシフトする。特に、図 5.6(b)で示すように V が V_{Gm} に近いかそれ以上の場合、$Q\cong0$ μC/cm^2 である。これは、その位置で空乏層が形成され、式(5.7)のドレイン電流がそれ以上増加しないということを意味する。

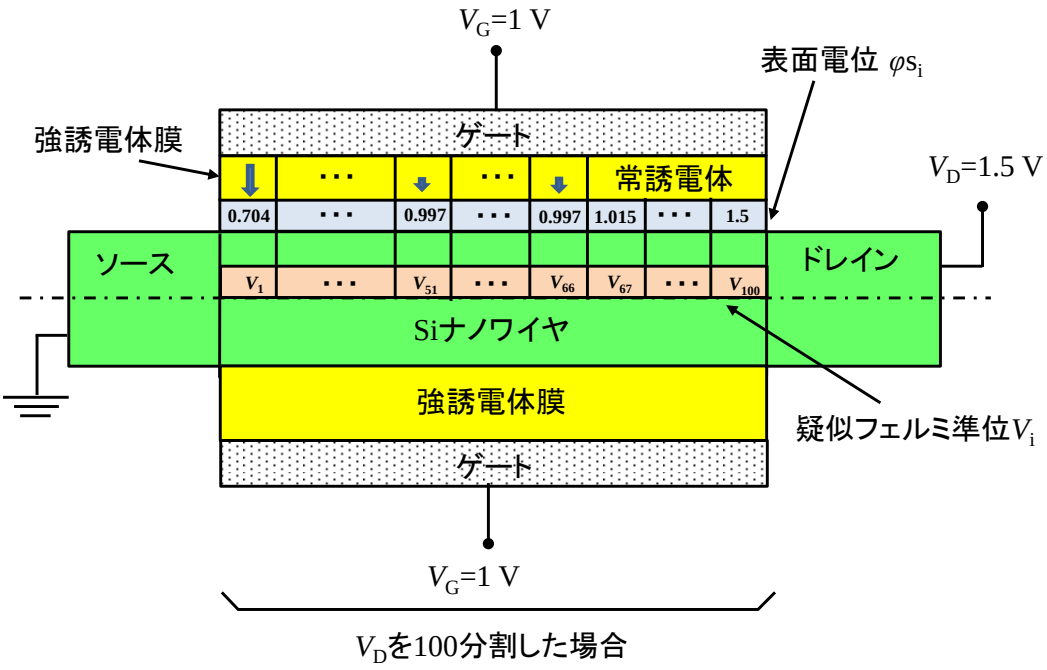
与えられた V_{Gm} と V_D に対するドレイン電流を計算するため、n を例えば 100 と適当に定め、i 番目の Q_i と φ_{si} を計算する。次に、ゲート電圧 V_{Gm} に対するドレイン電流は、式(5.17)で示すようにチャネル領域内の疑似フェルミ準位の全ての分割領域に対して、Q_i の和をとることによって得られる。

$$I_D = \mu \frac{2\pi a}{L} \Delta V \sum_{i=1}^{n} Q_i \qquad (5.17)$$

この計算において、φ_{si} が V_{Gm}以上のときは Q_i=0 μC/cm^2 として計算する。図 5.6(b)のように一般的に表面電位 φ_s がゲート電圧より高いとき、強誘電体膜の電界は Si ナノワイヤからゲート電極の方向を向いており、そのため強誘電体膜の分極は一部反転していると推測される。しかし、ドレイン電流特性への影響は無視できるため、本解析では考慮していない。次に、ゲート電圧 V_G が V_{Gm} から V_{G1} へ減少したときの Q_i と φ_{si} を計算する。本計算では、図 5.4 で示した Q-φ_s の関係（図 5.8 で示す Hysteresis Loop 1 を V_{G1} へシフトしたときの Mobile Charge Density との交点 A^+_1、A^-_1 を導いた関係）と同様に i 番目の疑似フェルミ準位 V_i に関する各ヒステリシスループをより低い φ_s 方向（負方向）へシフトさせる。そして、シフトさせたヒステリシスループと式(5.6)の曲線の交点 A^+_2、A^-_2 から、V_{G1} に対する新しい Q_i と φ_{si} を求める。



(a)



(b)

図 5.6　V_D を 100 分割した円筒型強誘電体ゲート Si ナノワイヤトランジスタの模式図

(a) V_G=1 V、V_D=0.5 V の場合、(b) V_G=1 V、V_D=1.5 V の場合

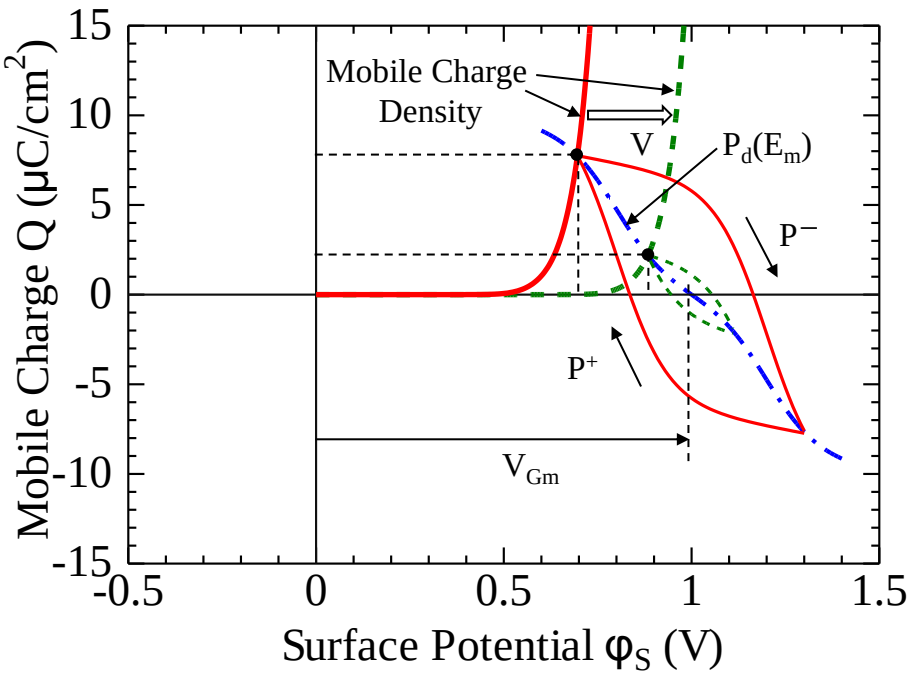


図 5.7 非飽和分極状態の円筒型強誘電体ゲート Si ナノワイヤトランジスタの図式解法

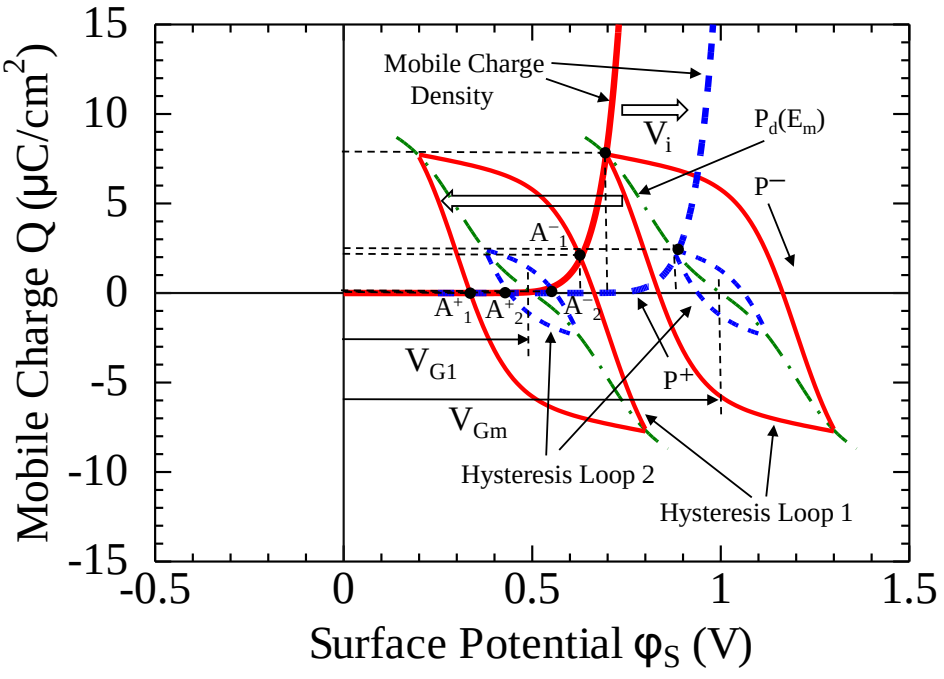


図 5.8 円筒型強誘電体ゲート Si ナノワイヤトランジスタの図式解法

（図 5.4 飽和分極と図 5.7 非飽和分極を組合わせた場合）

V_{Gm}=1.0 V のときの V_D=0.01 V、0.1 V、1.0 V に対する I_D-V_D 特性を図 5.5(a)の実線で示す。図から分かるように、５．３．１で用いた低ドレイン電圧の場合の近似解法は、ドレイン電圧が 0.01 V 以下ではよく一致するが、ドレイン電圧が 0.1 V に増加すると誤差を生じる。そして、ドレイン電圧が 1 V に増加するとさらに誤差が増大する。近似解法では、疑似フェルミ準位が V=0 V のときのみ、すなわち、図 5.8 で示す V=0 V のときの Hysteresis Loop 1（実線）のゲート電圧の変化のみを考慮しているのに対し、式(5.17)の n 分割解法では、疑似フェルミ準位が V≠0 V の場合は、図 5.8 の小さな Hysteresis Loop 2（破線）も考慮する必要があり、その結果、図 5.5(a)のように近似解法で求めたドレイン電流（破線）の方が大きくなる。V_D=1.0 V の場合のドレイン電流は、V_G=1.0 V では V_D=0.1 V のドレイン電流の 2 倍以上である。V_D=0.01 V から 0.1 V へシフトした場合のドレイン電流が約 10 倍増加しているのと比較して、ドレイン電流の増加が少ないのは、図 5.10 で示すようにドレイン電流が飽和しているためである。

図 5.5(b)は直径 d=5 nm、膜厚 t=5 nm として、V_D=1.0 V のときの最大ゲート電圧 V_{Gm}=0.7 V、0.8 V、0.9 V および 1.0 V（それぞれ二点鎖線、一点鎖線、破線、実線）に対する同じトランジスタの I_D-V_G 特性を示す。図 5.9 から分かるように最大ゲート電圧 V_{Gm} が小さくなれば、それに伴ってヒステリシスループも小さくなる。抗電圧をそれぞれ V^+_1、V^-_1、V^+_2、V^-_2 とすると、Hysteresis Loop 2 のゲート電圧増加時と減少時の

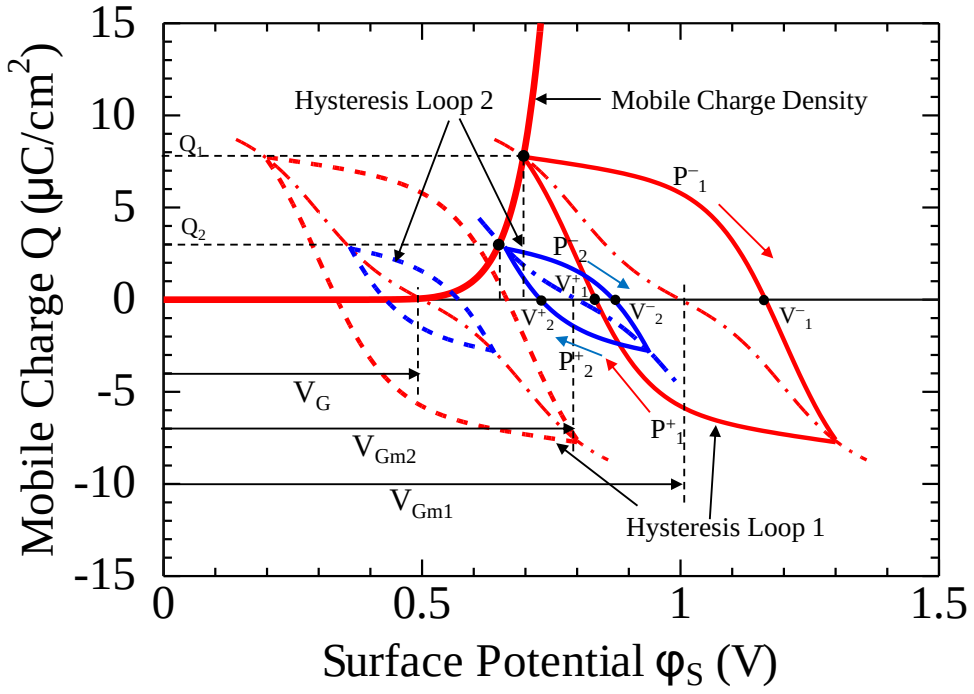


図 5.9 最大ゲート電圧とヒステリシスループの関係

抗電圧幅｜$V^{-}_{2}-V^{+}_{2}$｜は、Hysteresis Loop 1 の抗電圧幅｜$V^{-}_{1}-V^{+}_{1}$｜より狭くなる。従って、図 5.5(b)に示すように、メモリウィンドウは V_{Gm}=0.7 V では小さい。また、V_{Gm}=1.0 V 以上では強誘電体分極が飽和しているため、殆ど増加しないということが分かる。この結果から、これらの条件のもとでは、最適なゲート電圧、すなわち、「書き込み電圧」は 0.8 V から 1.0 V の範囲であるということを示している。

図 5.10 は図 5.5(a)と同じデバイスパラメータを用いた Si ナノワイヤの直径が 5 nm、P(VDF-TrFE)の膜厚が 5 nm の場合の I_D-V_D 特性である。図から分かるように増加時のゲート電圧と減少時のゲート電圧との飽和状態でのドレイン電流の差は 0.9 V 以下の電圧で顕著である。この結果から、最適な「読み出し電圧」としては、ドレイン電流のオン/オフ比が高く、オン電流の大きさがそれほど小さくなく、ゲート電極の強誘電体膜の分極状態が殆ど「読み出し」動作に影響されないことが必要である。図 5.11(a)に 1T 型強誘電体ゲートトランジスタのメモリセルを示す。4．3．2で詳述したメモリセルの「読み出し」、「書き込み」メカニズムと同様に、ワード線に分極が反転しない程度の正の電圧を印加し、ビット線を接地してプレート線に V_D を印加すると、ビット線にはドレイン電流が流れる。図 5.11(b)は図 5.10 のゲート電圧 0.5 V のときの I_D-V_D 特性を

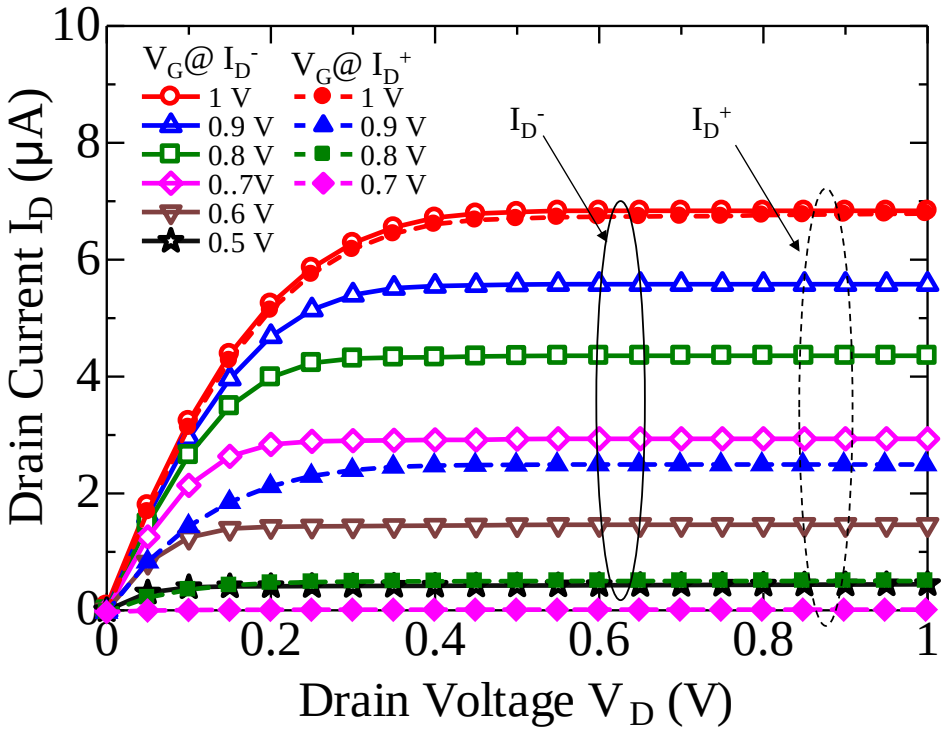
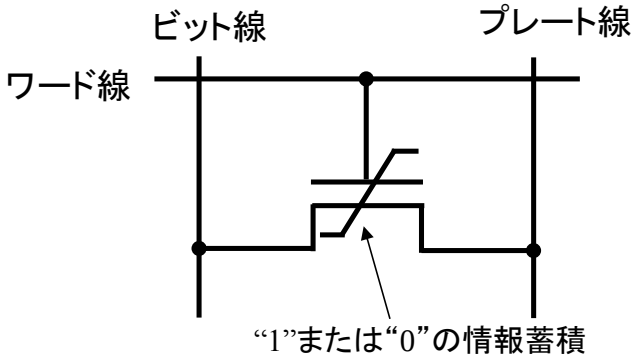
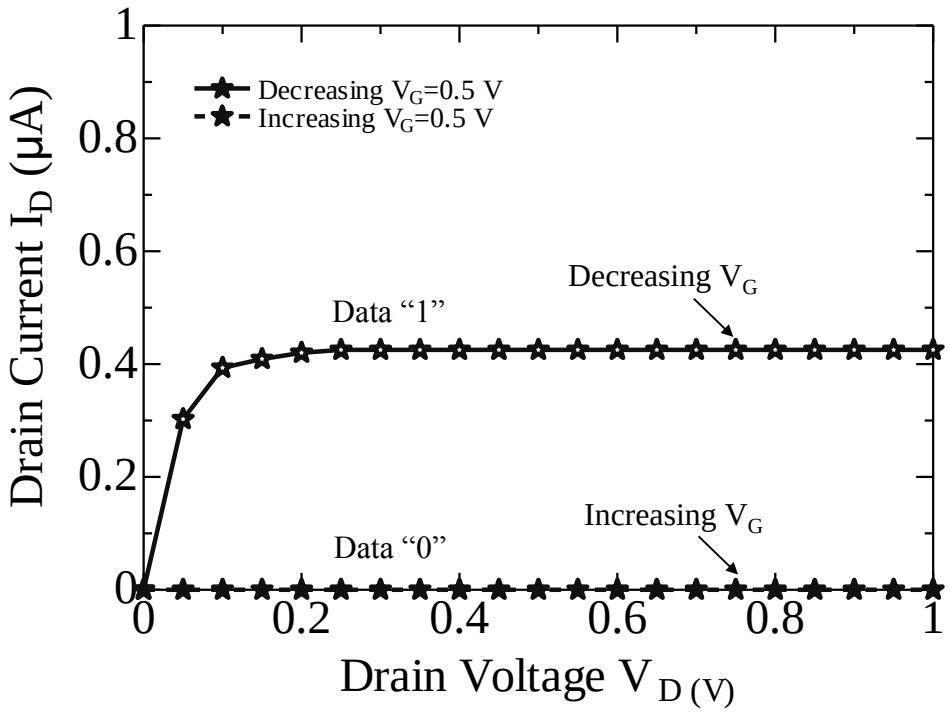


図 5.10 円筒型強誘電体ゲート Si ナノワイヤトランジスタの I_D-V_D 特性

拡大したグラフである。“1”と“0”のドレイン電流を比較すると、0.4 μA の差があり、識別できるドレイン電流である。従って、このトランジスタにおける最適な「読み出し電圧」は 0.5 V と言える。以上の結果から、円筒型強誘電体ゲート Si ナノワイヤトランジスタは、報告されているプレーナ型強誘電体ゲート CNT トランジスタの I_D-V_G 特性、I_D-V_D 特性と比較して、ドレイン電流は CNT をチャネルに用いた場合より小さくなるが、薄膜化した P(VDF-TrFE)を用いることにより、1 V の低電圧で動作させることができることが分かった。



(a)



(b)

図 5.11 円筒型強誘電体ゲート Si ナノワイヤトランジスタの読み出し機構

(a) メモリセル構成、(b) V_G=0.5 V の場合の I_D-V_D 特性

５．３．３　ゲート電圧とメモリウィンドウの関係

Si ナノワイヤの直径が d=5 nm、P(VDF-TrFE) 膜厚が t=5 nm の円筒型強誘電体ゲート Si ナノワイヤトランジスタに対し、図 5.12 に示すキャリア密度と表面電位 n-φ_s 平面でのゲート電圧とメモリウィンドウ（閾値電圧のシフト）の関係を議論する。最大ゲート電圧 V_{Gm} が 1 V ときの Hysteresis Loop 1（実線）が、ゲート電圧増加時（原点から正方向にシフト時）、ゲート電圧減少時（V_{Gm}=1 V から負方向へシフト時）に原点を通るヒステリシスループをそれぞれ Hysteresis Loop 2（破線）、Hysteresis Loop 3（破線）とすると、それぞれのゲート電圧 V_{G2}=0.16 V、V_{G3}=-0.16 V が求まる。従って、メモリウィンドウは V_{G2}-V_{G3}=0.32 V となる。また、ヒステリシスループが小さくなれば、抗電圧間隔｜$V^-_C - V^+_C$｜も狭くなり、その結果、メモリウィンドウは小さくなる。

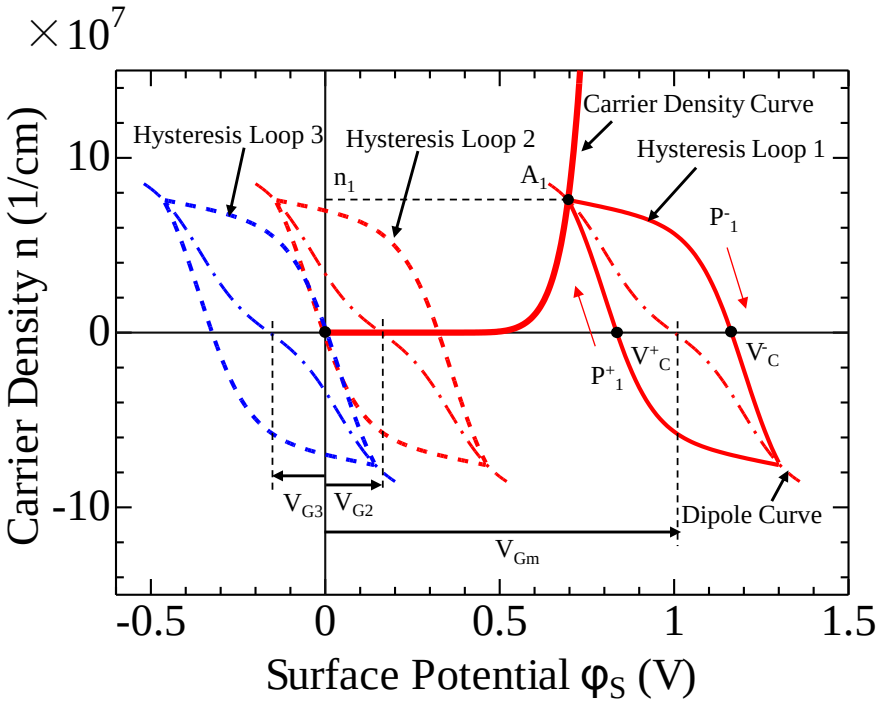


図 5.12　円筒型強誘電体ゲート Si ワイヤトランジスタのメモリウィンドウの関係

5．3．4　Si ナノワイヤの直径とドレイン電流特性の関係

Si ナノワイヤの直径を増加させたときのドレイン電流、特にそのときの高い電流駆動に繋がるボリュームインバージョンについて議論する。ボリュームインバージョンは、円筒型 MOS トランジスタで実証[5.10]されたように、サブスレショルド領域で起こることは明白である。P(VDF-TrFE)の膜厚 5 nm、V_D=1 V のとき、Si ナノワイヤの直径を 1 nm から 5 nm、20 nm、80 nm と増やしたときの I_D-V_G 特性を図 5.13 に示す。

まず、飽和領域では、直径の増加に伴って Si ナノワイヤの表面積も増加するので、直径が大きくなればなる程、ドレイン電流 I_D が増加することが分かる。

次に、ゲート電圧が低い非飽和領域について、ゲート電圧増加時および減少時のドレイン電流について検討する。第3章で検討した「円筒型強誘電体キャパシタの分極特性は、面積は内部電極の面積、厚さは円筒型強誘電体膜の厚さと等しい平面キャパシタの分極特性で近似できる」ことから、図 5.14(a)の直径 d_1 および d_2 の円筒型強誘電体キャパシタは、図 5.14(b)の平行平板キャパシタ C_1 および C_2 で近似できる。従って、C_1、C_2 それぞれの単位長さ当たりの全電荷量を Q_1、Q_2、単位長さ当り

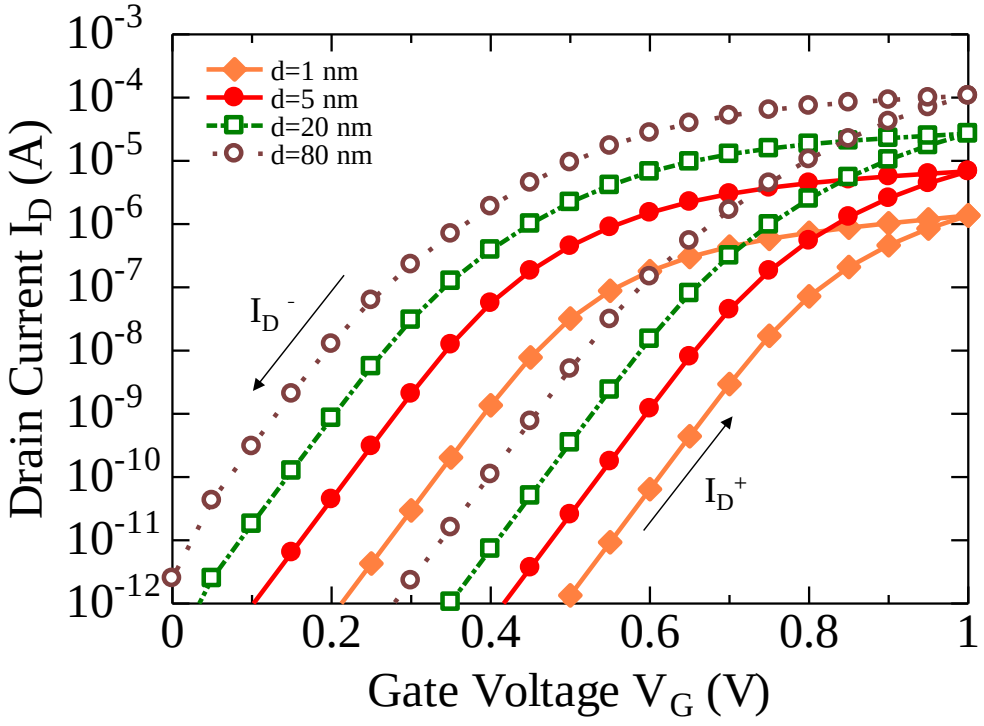


図 5.13　円筒型強誘電体ゲート Si ナノワイヤトランジスタの I_D-V_G 特性のチャネル径依存性

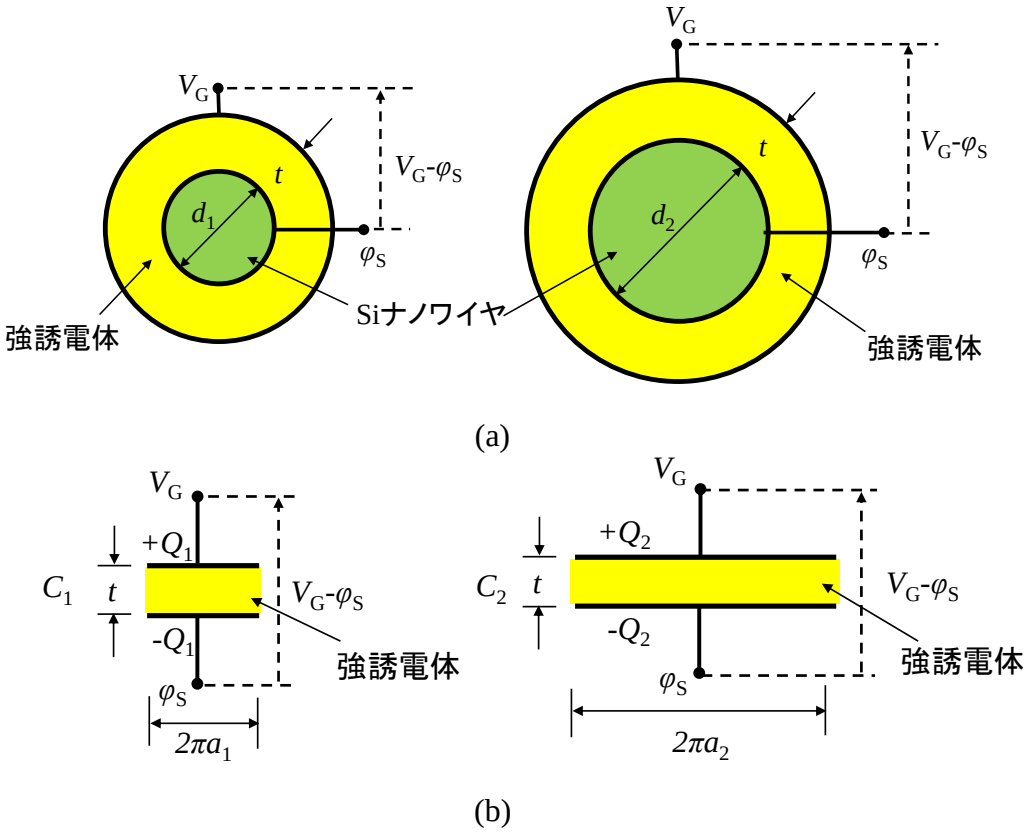


図 5.14　円筒型キャパシタ断面図と等価な平行平板キャパシタ

(a) Si ナノワイヤの直径 d_1、d_2、強誘電体膜厚 t の円筒型キャパシタ、(b)　(a)と等価な平行平板キャパシタ

のキャリア密度を n_1、n_2 とすると、式(5.6)の Q を用いて $Q_1=\pi d_1 Q$、$Q_2=\pi d_2 Q$ となるので、式(5.18)-(5.19)の関係が成り立つ。

$$\frac{Q_2}{Q_1}=\frac{d_2}{d_1} \tag{5.18}$$

$$n_2=\frac{d_2}{d_1}n_1 \tag{5.19}$$

直径 d_1=5 nm、d_2=10 nm、P(VDF-TrFE)の 膜厚 5 nm、V_G=1 V、V_D=1 V のとき図 5.15 より C_1 において、キャリア密度 n-φ_s 曲線（Carrier Density Curve 1、実線）とダイポール P_d-φ_s 曲線（Dipole Curve 1、一点鎖線）の交点 A_1 とキャリア密度 n_1 を求め、キャリア密度 n_1 から非飽和のヒステリシスループ（Hysteresis Loop 1、実線）を導く。次に、式(5.19)の関係から C_2 のキャリア密度 n_2 を求め、n_2 からダイポール P_d-φ_s 曲線（Dipole Curve 2、一点鎖線）とキャリア密度 n-φ_s 曲線（Carrier Density Curve 2、破

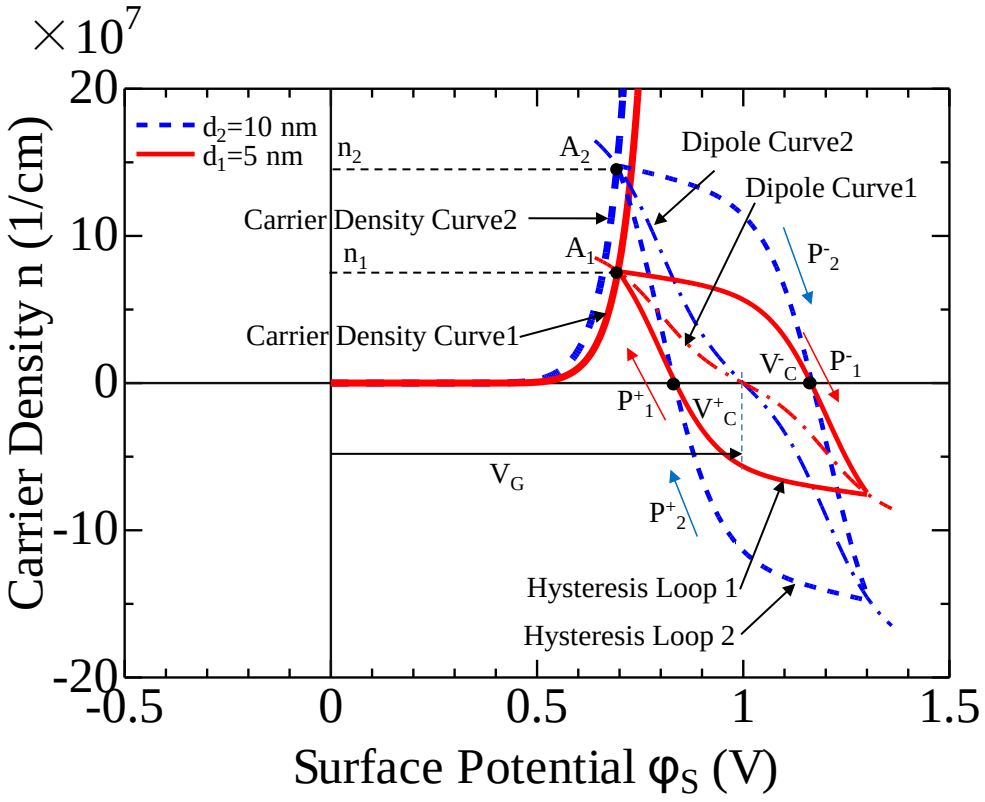


図 5.15　円筒型強誘電体ゲート Si ナノワイヤトランジスタの図式解法

線）の交点 A_2 を導き、C_2 のヒステリシスループ（Hysteresis Loop 2、破線）を求める。Hysteresis Loop 1、Hysteresis Loop 2 に対し、ゲート電圧増加時のヒステリシスをそれぞれ P^+_1、P^+_2、同様にゲート電圧減少時のヒステリシスを P^-_1、P^-_2 とする。キャリア密度の正の領域では、図から P^+_2 は常に P^+_1 より大きく、また P^-_2 も常に P^-_1 より大きいことが分かる。また、C_1、C_2 とも抗電圧が V^+_C、V^-_C と等しいことが分かる。従って、直径の増加に伴って、ゲート電圧増加時および減少時のキャリア密度も増加し、ドレイン電流も増加することが分かった。すなわち、それぞれのドレイン電流 $I_D{}^+_1$、$I_D{}^+_2$、$I_D{}^-_1$、$I_D{}^-_2$ とすると、式(5.20)-(5.21)のようになる。このことは、直径が 1 nm の場合も直径が 20 nm、80 nm と増加した場合でも、同様である。

$$I_D{}^+_1 < I_D{}^+_2 \tag{5.20}$$

$$I_D{}^-_1 < I_D{}^-_2 \tag{5.21}$$

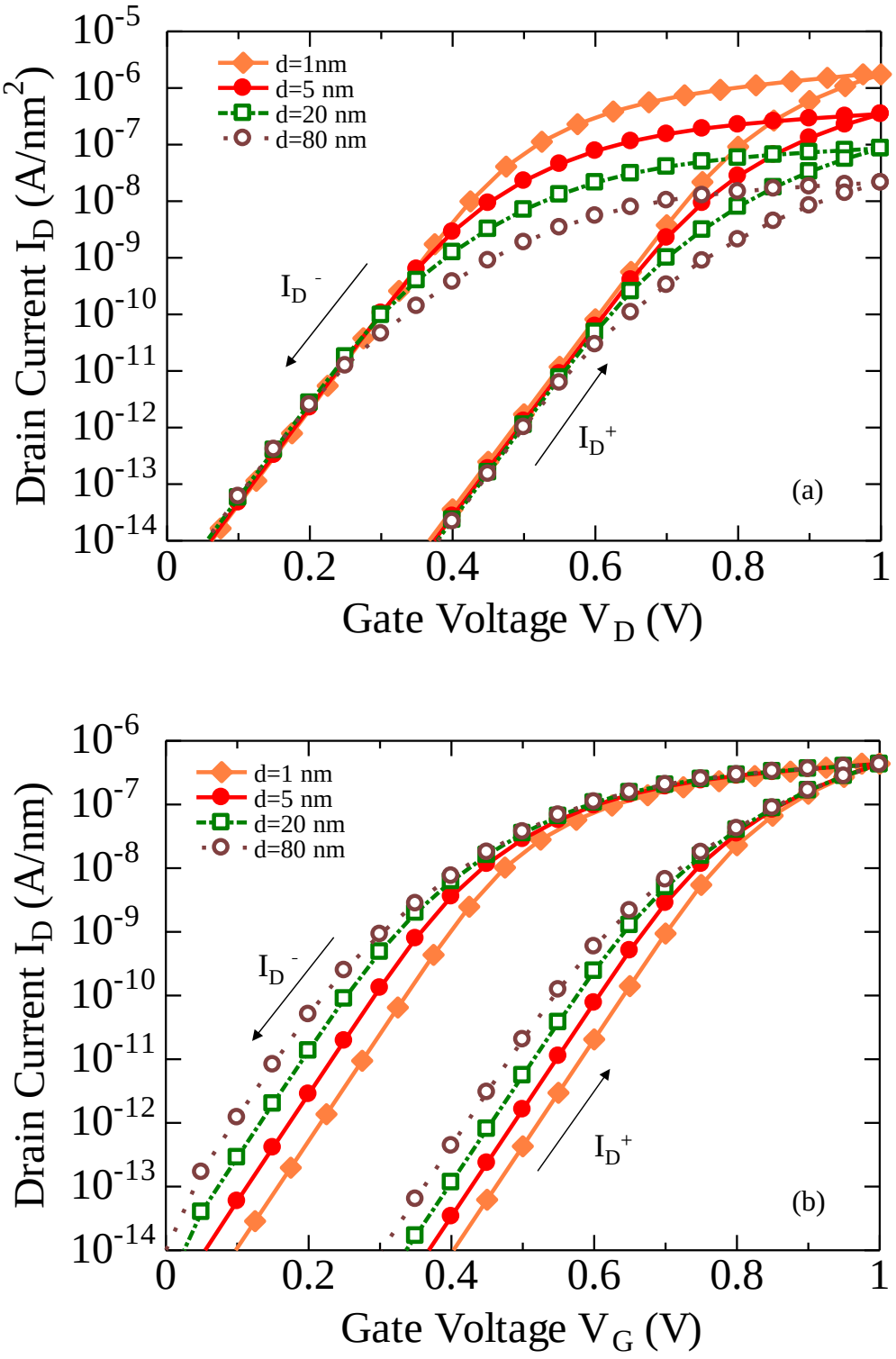


図 5.16　円筒型強誘電体ゲート Si ナノワイヤトランジスタの規格化した I_D-V_G 特性

(a) 円筒の断面積（$\pi d^2/4$）で割った場合、(b) 円筒の円周（πd）で割った場合

直径 d を 1 nm から増加させたとき、d がどの程度までボリュームインバージョンが起こるかを検討するため、図 5.13 の I_D-V_G 特性をそれぞれの円筒の断面積 $\pi d^2/4$ で規格化した I_D-V_G 特性を図 5.16(a)に示す。図から分かるように、0.4 V から 0.6 V へのゲート電圧の増加領域および 0.3 V から 0.1 V のゲート電圧の減少領域では、直径が 20 nm の場合でもドレイン電流特性は重なっている。実際、直径 d=1 nm と 5 nm のドレイン電流を数値比較すると、0.4 V から 0.6 V へのゲート電圧の増加領域では、直径 d=5 nm のトランジスタのドレイン電流は、直径 d=1 nm のトランジスタの約 19 倍の大きさであるのに対し、0.3 V から 0.1 V へのゲート電圧の減少領域では、d=1 nm のトランジスタの約 24 倍の大きさである。一方、それぞれの円筒の円周 πd で規格化した I_D-V_G 特性を図 5.16(b)に示す。飽和領域では、ドレイン電流特性が重なっているが、0.4 V から 0.6 V へのゲート電圧の増加領域および 0.3 V から 0.1 V のゲート電圧の減少領域では、ドレイン電流特性は重ならない。このことは、これらの領域ではドレイン電流は Si ナノワイヤの円周に比例するのでなく、断面積に比例することを示しており、ボリュームインバージョンは円筒型強誘電体ゲートトランジスタでも同様に起こるということが分かった。また、図 5.16(b)から、直径 1 nm の場合でも飽和領域ではサーフェースインバージョンになっていることが分かった。

次に、強誘電体膜の膜厚を 5 nm として、Si ナノワイヤの直径を 300 nm 以上と大きくした場合の I_D-V_G 特性を検討する。Si ナノワイヤの直径を 300 nm 以上と大きくすると、強誘電体の膜厚と Si ナノワイヤの直径の比を考慮して、プレーナ型強誘電体ゲート Si ナノワイヤトランジスタのドレイン電流特性と見なすことができる。Si ナノワイヤの直径を 1～640 nm とし、Si ナノワイヤの円周で規格化した I_D-V_G 特性を図 5.17 に示す。同図からドレイン電流は、直径が 300 nm 以上ではほぼ一定となり、プレーナ型と同種の特性が得られているものと考えられる。また、Si ナノワイヤの直径が 5 nm 以下の場合には、サブスレショルド係数が、60～70 mV/dec.であるのに対して、直径 300 nm 以上の場合では、80～90 mV/dec.となって、円筒型強誘電体ゲート Si ナノワイヤトランジスタとすることにより、サブスレショルド領域のリーク電流を抑制できることが分かった。さらに、メモリウィンドウについては、直径 5 nm 以下の場合も直径 300 nm 以上の場合もほぼ同じであることが分かる。その結果、円筒型強誘電体ゲート Si

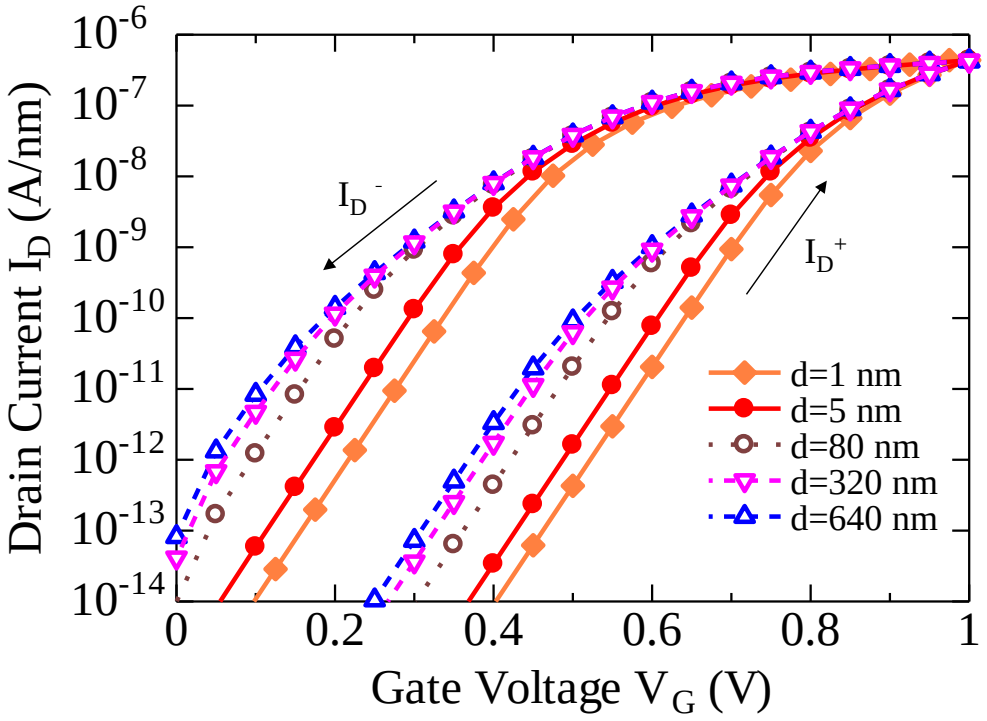


図 5.17 円筒型強誘電体ゲート Si ナノワイヤトランジスタの円周で規格化した I_D-V_G 特性のチャネル径依存性

ナノワイヤトランジスタとすることにより、低電圧メモリとして動作可能であることが分かった。一方、飽和領域では、直径が 5 nm 以下の場合も 300 nm 以上の場合もほぼ一致している。従って、飽和領域では、プレーナ型においても 3 次元の円筒型強誘電体ゲートトランジスタも I_D-V_G 特性が、ほぼ一致することが分かった。

5．3．5 強誘電体の膜厚とドレイン電流特性の関係

円筒型強誘電体ゲート Si ナノワイヤトランジスタの強誘電体膜厚を変化させたときの I_D-V_G 特性を検討する。Si ナノワイヤの直径を 5 nm、V_D=1 V とし、強誘電体の膜厚を 5 nm、10 nm、15 nm、20 nm と変化させたときの I_D-V_G 特性を図 5.18 に示す。膜厚 5 nm と 10 nm のドレイン電流を比較すると、飽和領域では、膜厚 5 nm のドレイン電流の方が大きい。一方、ゲート電圧の小さな領域では、ゲート電圧増加時は膜厚 5 nm のドレイン電流の方が大きいのに対し、ゲート電圧減少時は膜厚 10 nm のドレイ

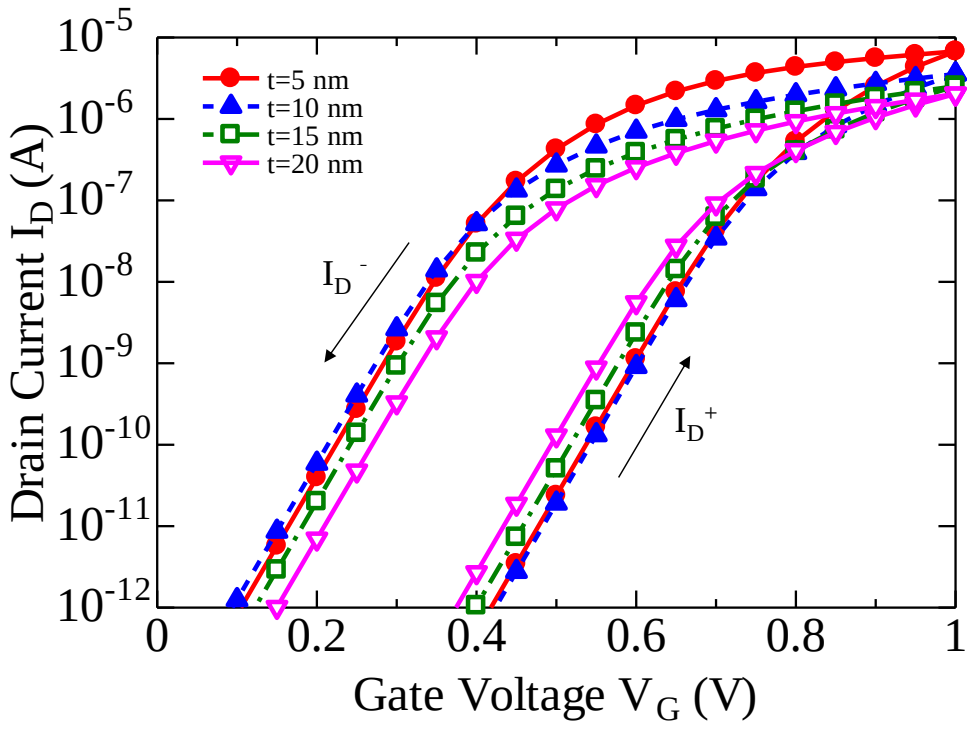


図 5.18　円筒型強誘電体ゲート Si ナノワイヤトランジスタの I_D-V_G 特性の強誘電体膜依存性

ン電流が 0.4 V 近傍で逆転し大きくなっている。同様に、膜厚 5 nm と膜厚 15 nm 以上のドレイン電流を比較すると、飽和領域では、膜厚 5 nm のドレイン電流が一番大きく、膜厚の増加に伴ってドレイン電流が小さくなる。一方、ゲート電圧の小さな領域では、ゲート電圧増加時は膜厚 5 nm のドレイン電流が一番小さく、膜厚の増加に伴って大きくなっているが、0.8 V 近傍で逆転して膜厚 5 nm のドレイン電流が一番大きくなる。

一方、ゲート電圧減少時は、膜厚 5 nm のドレイン電流が一番大きく、膜厚の増加に伴ってドレイン電流が小さくなる。この現象は、図 5.19 および図 5.20 で示すようにキャリア密度 n-φ_s 曲線とヒステリシスループを用いた図式解法により説明できる。

図 5.19(a)で示すように Si ナノワイヤの直径 d、強誘電体の膜厚をそれぞれ t_1 および t_2 とすると、5．3．4の Si ナノワイヤの直径 d を変化させた場合と同様に、図 5.19(b)で示すように平行平板キャパシタ C_1、C_2 で近似できる。C_1、C_2 のそれぞれ

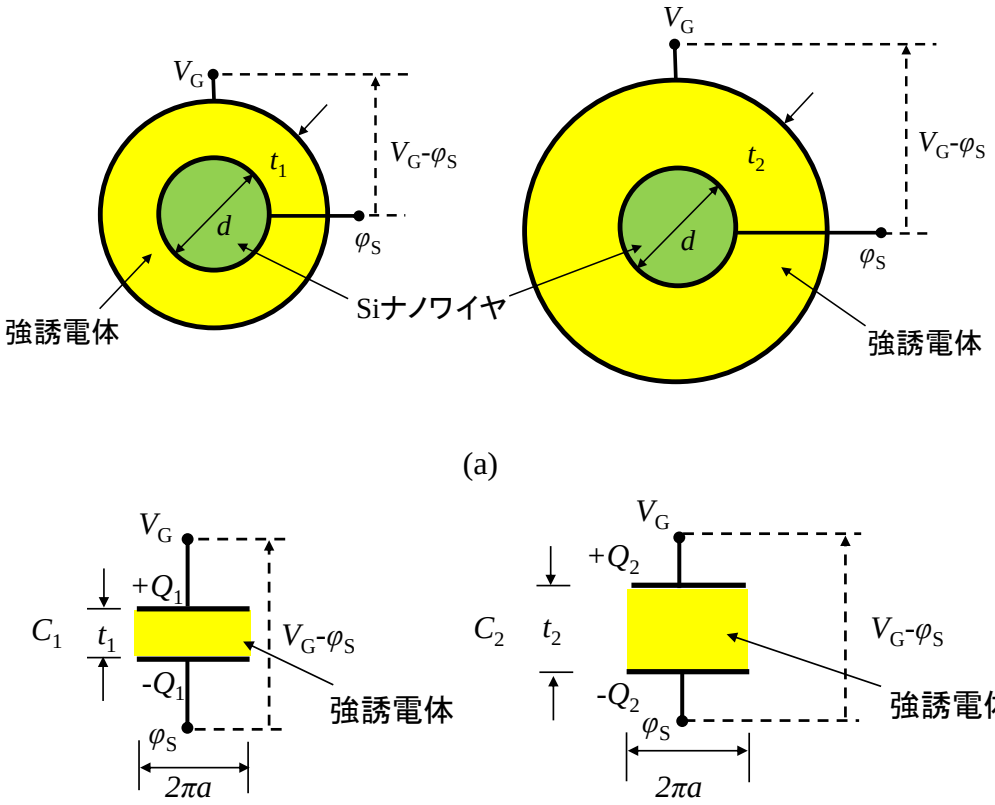


図 5.19　円筒型キャパシタの断面図と等価な平行平板キャパシタ

(a) Si ナノワイヤ直径 d、強誘電体膜厚 t_1、t_2 の円筒型キャパシタ、(b)　(a)と等価な平行平板キャパシタ

の単位長さ当たりの全電荷量を Q_1、Q_2、単位長さ当たりのキャリア密度を n_1、n_2 とすると、図 5.19(b)より式(5.22)-(5.23)の関係が成り立つ。

$$\frac{Q_2}{Q_1} = \frac{t_1}{t_2} \tag{5.22}$$

$$n_2 = \frac{t_1}{t_2} n_1 \tag{5.23}$$

Si ナノワイヤの直径が d=5 nm、P(VDF-TrFE)の膜厚が t_1=5 nm、t_2=10 nm の場合の図 5.20(a)において、ダイポール P_d-φ_s 曲線（Dipole Curve 1、一点鎖線）とキャリア密度 n-φ_s 曲線（Carrier Density Curve、実線）との交点 A_1 を求め、そのときのキャリア密度を n_1 とする。また、キャリア密度 n_1 から非飽和のヒステリシスループ（Hysteresis Loop 1、実線）を導く。次に、式(5.23)の関係から C_2 のキャリア密度 n_2 を求め、n_2 から

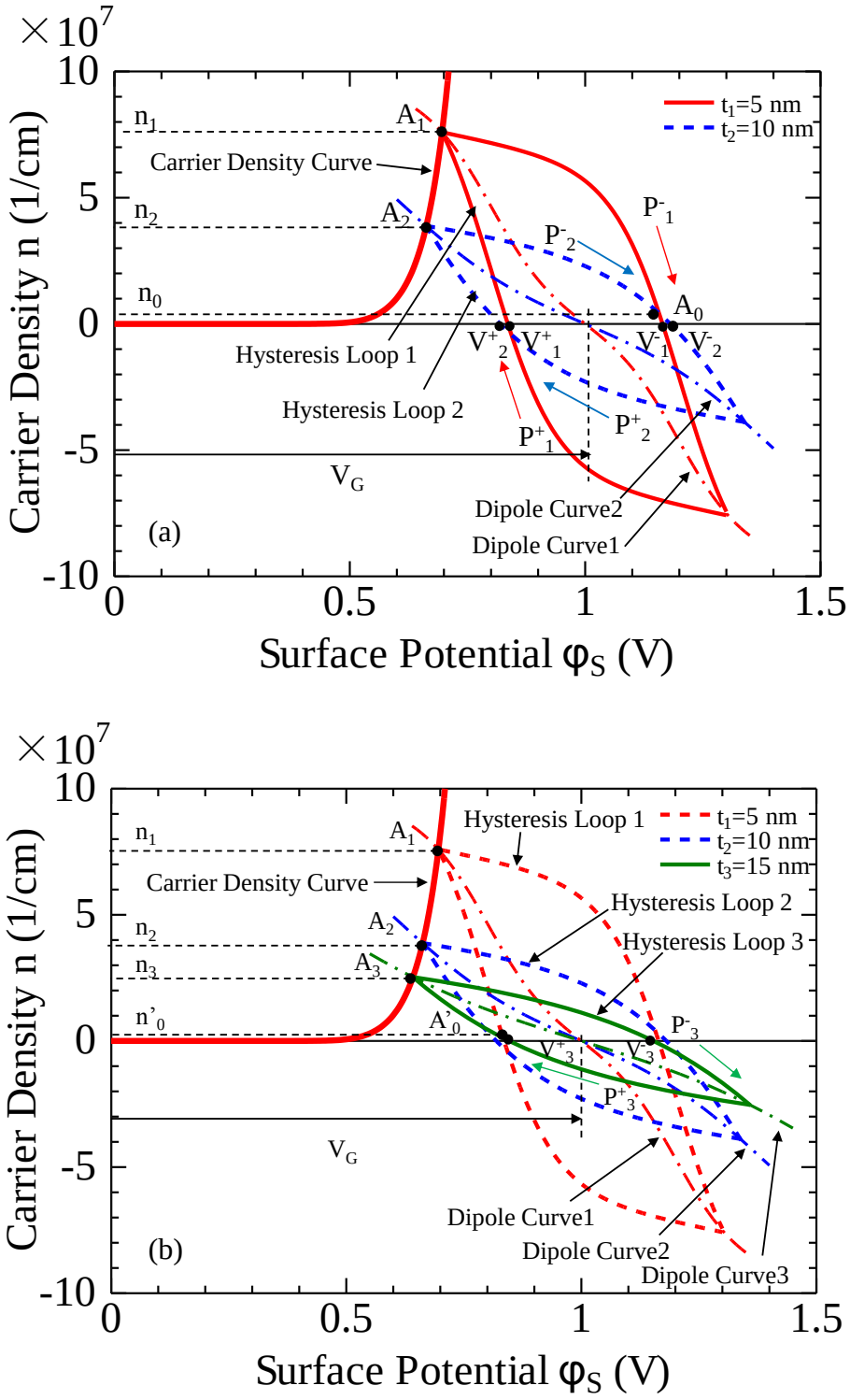


図 5.20 円筒型強誘電体ゲート Si ナノワイヤトランジスタの図式解法

(a) 強誘電体膜厚 t_1=5 nm、t_2=10 nm の場合、(b) 強誘電体膜厚 t_1=5 nm、t_2=10 nm、t_3=15 nm の場合

ダイポール P_d-φ_s 曲線（Dipole Curve 2、一点鎖線）とキャリア密度 n-φ_s 曲線（Carrier Density Curve、実線）の交点 A_2 を導き、C_2 のヒステリシスループ（Hysteresis Loop 2、実線)を求める。Hysteresis Loop 1、Hysteresis Loop 2 に対し、ゲート電圧増加時のヒステリシスをそれぞれ P^+_1、P^+_2、同様にゲート電圧減少時のヒステリシスを P^-_1、P^-_2 とする。キャリア密度の正の領域では、図から P^+_2 は常に P^+_1 より小さく、また、ゲート電圧減少時の P^-_1 と P^-_2 の交点 A_0 のキャリア密度 n_0 以上では P^-_2 は P^-_1 より小さいが、n_0 未満では P^-_2 は P^-_1 より大きいことが分かる。また、C_1、C_2の抗電圧をそれぞれ V^+_1、V^-_1、V^+_2、V^-_2 とすると、V^+_1 は V^+_2 より大きく、V^-_1 は V^-_2 より小さいことも分かる。従って、それぞれのドレイン電流を $I_D{}^+_1$、$I_D{}^+_2$、$I_D{}^-_1$、$I_D{}^-_2$ とすると、式(5.24)-(5.25)のようになり、ゲート電圧減少時は 0.4 V 近傍でドレイン電流が逆転する。

$$I_D{}^+_1 < I_D{}^+_2 \tag{5.24}$$

$$\begin{aligned} &I_D{}^-_1 > I_D{}^-_2 \qquad (n>n_0 \text{ のとき}) \\ &I_D{}^-_1 < I_D{}^-_2 \qquad (n<n_0 \text{ のとき}) \end{aligned} \tag{5.25}$$

同様に、膜厚 15 nm のときも式(5.23)の関係から図 5.20(b)で示すような C_2 のキャリア密度 n_3 を求め、n_3 からダイポール P_d-φ_s 曲線（Dipole Curve 3、一点鎖線）とキャリア密度 n-φ_S 曲線（Carrier Density Curve、実線）の交点 A_3 を導き、C_2 のヒステリシスループ（Hysteresis Loop 3、実線)を求める。Hysteresis Loop 3 に対し、ゲート電圧増加時のヒステリシスを P^+_3、ゲート電圧減少時のヒステリシスを P^-_3、とする。キャリア密度の正の領域では、図から P^+_1 と P^+_3 の交点 A'_0 のキャリア密度 n'_0 以上では P^+_3 は P^+_1 より小さいが、n'_0 未満では P^+_3 は P^+_1 より大きく、また、P^-_3 は常に P^-_1 より小さいことが分かる。また、Hysteresis Loop 3 の抗電圧をそれぞれ V^+_3、V^-_3 とすると、V^+_1 は V^+_3 より小さく、V^-_1 は V^-_3 より大きい。従って、それぞれのドレイン電流を $I_D{}^+_1$、$I_D{}^+_3$、$I_D{}^-_1$、$I_D{}^-_3$ のとすると、式(5.26)-(5.27)のようになり、ゲート電圧増加時は 0.8 V 近傍でドレイン電流が逆転する。

$$\begin{aligned} &I_D{}^+_1 > I_D{}^+_3 \qquad (n>n'_0 \text{ のとき}) \\ &I_D{}^+_1 < I_D{}^+_3 \qquad (n<n'_0 \text{ のとき}) \end{aligned} \tag{5.26}$$

$$I_D{}^-_1 > I_D{}^-_3 \tag{5.27}$$

さらに、膜厚が増加した場合も、式(5.23)の関係と上述の手順で求めようとするヒステリシスループを導くことができ、ドレイン電流の大小を比較することができる。

図 5.20(a)および(b)から抗電圧幅は式(5.28)の関係が成り立つので、メモリウィンドウは、図 5.18 のようになる。

$$|V^{-}_{3}-V^{+}_{3}| < |V^{-}_{1}-V^{+}_{1}| < |V^{-}_{2}-V^{+}_{2}| \qquad (5.28)$$

このように、同じ動作電圧に対してメモリウィンドウが最大になる強誘電体膜厚があることは興味深い。強誘電体膜厚 5 nm のトランジスタよりも、膜厚 10 nm のトランジスタにおいてメモリウィンドウが広くなるのは、この電圧条件においては、両者のヒステリシスが共に飽和ヒステリシスに近いために、両者で E_C が大きく変わらず、その結果 E_C と膜厚との積で与えられる抗電圧は、膜厚 10 nm のトランジスタの方が大きくなるためと考えられる。また、膜厚 20 nm のトランジスタにおいてメモリウィンドウが狭くなるのは、この電圧条件においてはヒステリシスが飽和せずに、E_C が小さくなるためと考えられる。

５．３．６　真性キャリア濃度とドレイン電流の関係

円筒型強誘電体ゲート Si ナノワイヤトランジスタについて、Si の真性キャリア濃度 n_i が 1.5×10^{10} cm^{-3} であるのに対して、CNT の真性キャリア濃度は約 7×10^{15} cm^{-3} [5.22] と Si に比べ 5 桁程度大きいので、Si の真性キャリア濃度を CNT の真性キャリア濃度相当まで増加させ 1.5×10^{15} cm^{-3} にした場合の I_D-V_G 特性を検討する。Si ナノワイヤの直径が 5 nm と 20 nm、P(VDF-TrFE)の膜厚が 5 nm、V_D=1 V のときの I_D-V_G 特性を図 5.21 に示す。図 5.21(a)および(b)から直径 5 nm、20 nm ともに n_i を 1.5×10^{15} cm^{-3} とした場合、V_{th} が約 0.3 V 負方向へシフトし、飽和状態でのドレイン電流も 10^{-5}～10^{-4} 桁近くへ増加していることが分かる。実際、V_{th} を計算すると、1.5×10^{10} cm^{-3} の場合はゲート電圧増加時 V_{th}=0.58 V、ゲート電圧減少時 V_{th}=0.28 V であるに対して、1.5×10^{15} cm^{-3} とした場合はゲート電圧増加時 V_{th}=0.28 V、ゲート電圧減少時 V_{th}=-0.02 V と負方向に 0.3 V シフトする。このことは、キャリア密度 n-φ_s 曲線とヒステリシスループを用いた図式解法より説明できる。図 5.22 に示すように 1.5×10^{10} cm^{-3} のときの Carrier Density 1（実線）が 1.5×10^{15} cm^{-3} では Carrier Density 2（破線）へ移動することにより、最大電界 E_m に関係するダイポール P_d-φ_{Ss} 曲線（一点鎖線）とキャリア密度

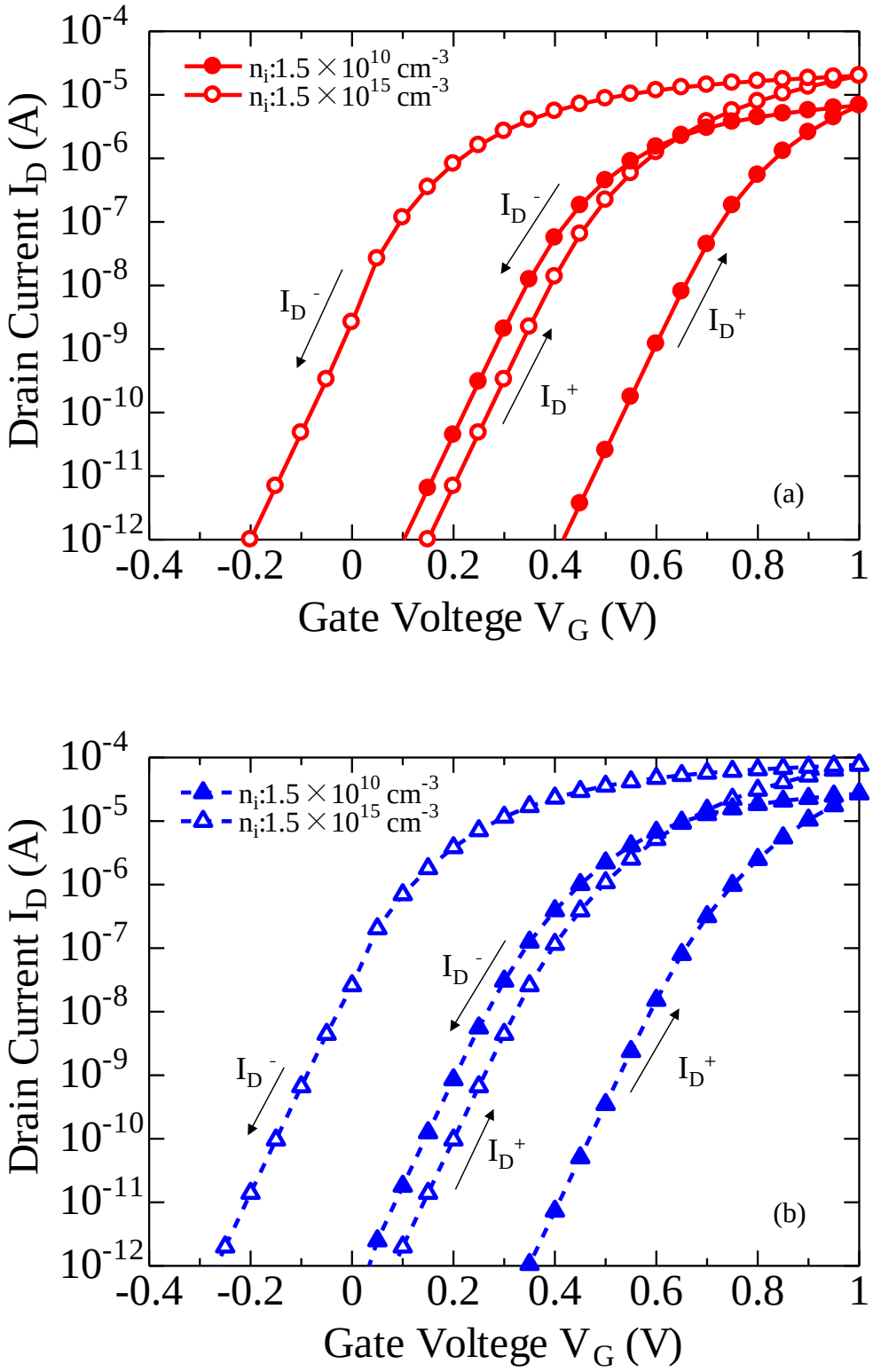


図 5.21 円筒型強誘電体 Si ナノワイヤトランジスタの I_D-V_D 特性の真性キャリア濃度依存性 (a) 直径 5 nm の場合、(b) 直径 20 nm の場合

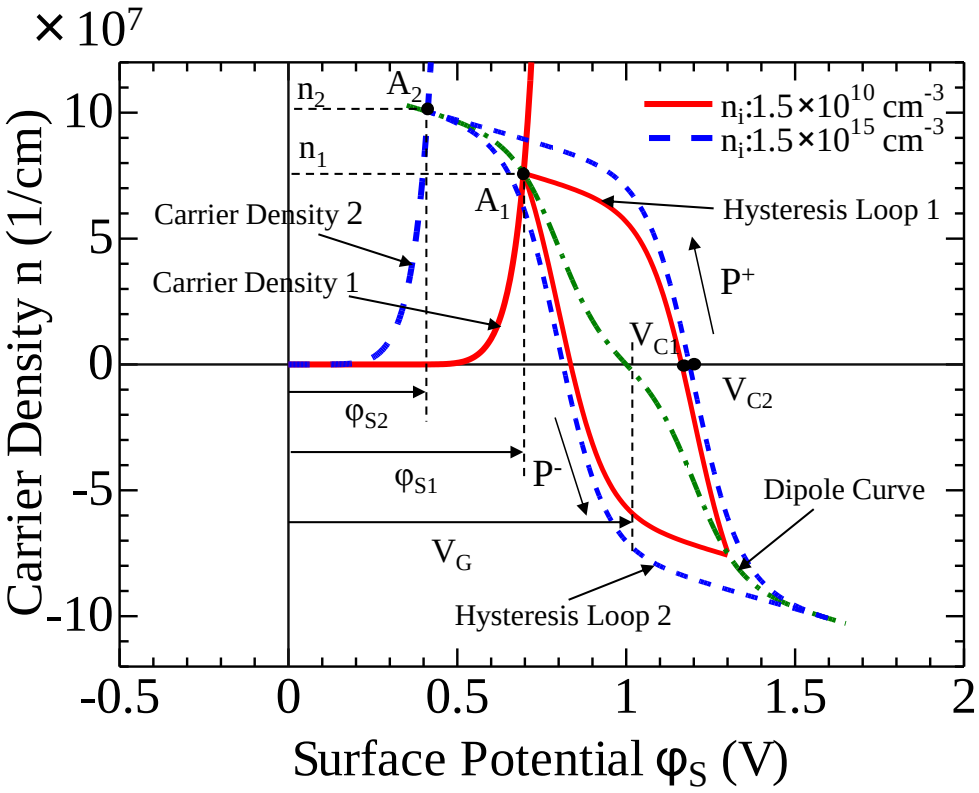


図 5.22 円筒型強誘電体ゲート Si ナノワイヤトランジスタの図式解法

の交点が A_1 から A_2 に移動する。そのため、最大電界 E_m が増加して、ヒステリシスループは Hysteresis Loop 1（実線）から Hysteresis Loop 2（破線）に拡大し、それに伴ってドレイン電流も増加する。また、同じゲート電圧 V_G に対して、n_i を高くすることにより表面電位が φ_{s1} から φ_{s2} に変化し、その差が V_{th} の減少となる。同図から V_{th} のシフト分は、φ_{s1}-φ_{s2}=0.3 V となる。さらに、メモリウィンドウも n_i を高くした場合、抗電圧が V_{C1} から V_{C2} に変化することにより増加する。従って、同図から V_{C1}=1.16 V、V_{C2}=1.18 V、V_G=1 V として、メモリウィンドウは、1.5×10^{10} cm^{-3} の場合には 2｜V_{C1}-V_G｜=0.32 V、1.5×10^{15} cm^{-3} の場合には 2｜V_{C2}-V_G｜=0.36 V となる。

5．3．7 考察

円筒型強誘電体ゲートトランジスタの優位性を強誘電体シングルゲートトランジスタと強誘電体ダブルゲートトランジスタと比較して議論する。本章の Si ナノワイヤの解析に用いた基本式は、円筒型 MOS トランジスタの解析に用いられた基本式[5.10]と同じであるので、円筒型強誘電体ゲートトランジスタの場合も、円筒型 MOS トランジスタ

の特性[5.4-5.7]と同じ結果が得られることが期待される。すなわち、円筒型強誘電体ゲートトランジスタでは、2．2．1で記述したようにV_{th}のロールオフ、DIBL、サブスレショルド係数S値の減少といった短チャネル効果が、改善されると考えられる。

次に、強誘電体膜の膜厚を 5 nm とし、Si ナノワイヤの直径を 300 nm 以上とすることにより、プレーナ型デバイスと同様の特性を解析し、比較を行った。この結果から、円筒型強誘電体ゲート Si ナノワイヤトランジスタとすることにより、サブスレショルド領域のリーク電流を抑制できることが分かった。また、直径 20 nm 以下の円筒型強誘電体ゲート Si ナノワイヤトランジスタにおいては、サブスレショルド領域では、ドレイン電流は図 5.16(a)に示すようにナノワイヤの断面積に比例して増加するのに対し、飽和領域では、Si ナノワイヤの円周に比例して増加することが分かった。このことから、サブスレショルド領域では、円筒型 MOS トランジスタと同様にボリュームインバージョンが起こっていると考えられる。

さらに、真性キャリア濃度を高くすることによりドレイン電流は増加し、V_{th} は負方向に移動することが分かった。これは、電子濃度が高くなることにより、V_{th} が低下するためである。

5．4 Si ナノワイヤトランジスタと CNT トランジスタとの特性比較

円筒型強誘電体ゲート Si ナノワイヤトランジスタと CNT トランジスタの I_D-V_G 特性を比較検討する。ここでは、キャリア輸送機構が電流ー電圧特性に与える影響を明確にするため、Si ナノワイヤの太さを CNT の場合と同程度に細くしても、Si ナノワイヤ中をドリフト／拡散伝導モデルによりキャリアが輸送されると仮定して議論を進める。CNT と Si ナノワイヤの V_{th} をほぼ同じとするために Si の真性キャリア濃度を n_i=1.5×10^{15} cm^{-3} と仮定し、直径 1 nm、P(VDF-TrFE)の膜厚 5 nm の円筒型強誘電体ゲート Si ナノワイヤトランジスタと、同じ形状の CNT トランジスタの V_D=1 V の場合の I_D-V_G 特性を図 5.23 に示す。図から分かるように、飽和領域のドレイン電流特性は、CNT トランジスタの方が 1 桁程度大きい。サブスレショルド領域では、ゲート電圧増加時および減少時のドレイン電流特性が、CNT トランジスタ、Si ナノワイヤトランジスタとも 0 V を挟んでいる。また、メモリウィンドウを比較すると、CNT トランジスタのメモリウィンドウは約 0.4 V であるのに対して、Si ナノワイヤトランジスタでは約 0.3 V と小さくなっている。Si

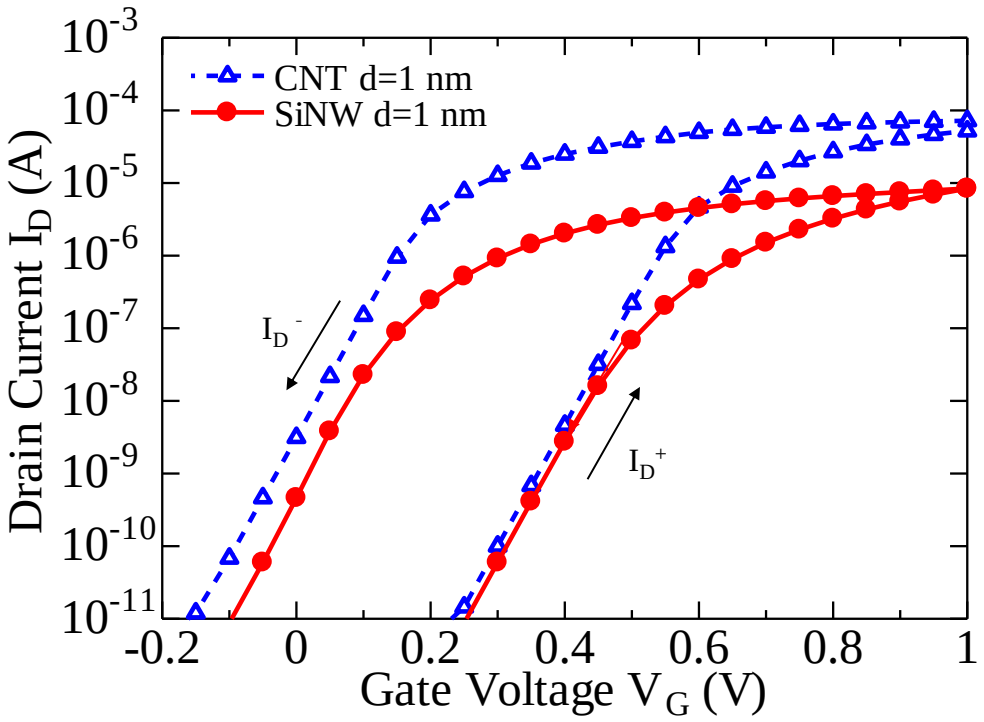


図 5.23 Si ナノワイヤと CNT の円筒型強誘電体ゲートトランジスタの I_D-V_G 特性

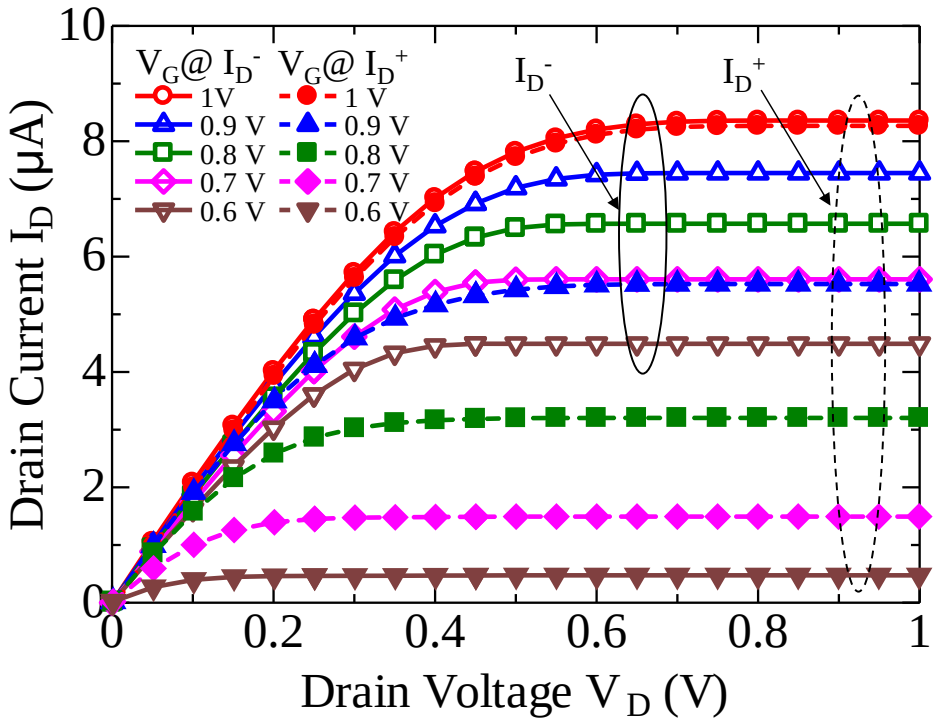


図 5.24　円筒型強誘電体ゲート Si ナノワイヤトランジスタの I_D-V_D 特性

（直径 1 nm の場合）

ナノワイヤの直径が 1 nm の I_D-V_D 特性を図 5.24 に示す。同図と図 4.11 を比較すると「読み出し」電圧は、Si ナノワイヤの場合約 0.6 V であるのに対して、CNT の場合約 0.3 V である。CNT はドレイン電圧 V_D=0.1 V においてもゲート電圧増加時と減少時のドレイン電流差は約 10 μA あり、0.1 V の低電圧でも動作可能であるが、CNT、Si ナノワイヤの最適な動作電圧は 0.6 V～1 V の範囲である。

このようにドレイン電流が大きく異なる要因は、CNT トランジスタはバリスティック伝導と仮定したのに対して、Si ナノワイヤトランジスタはドリフト／拡散伝導と仮定したためと考えられる。すなわち、CNT トランジスタでは、ドレイン電流はソース端での GIBL によって決定され、また、ドレイン電圧が臨界長のポテンシャルを超えて比較的大きな場合には、逆方向キャリアの寄与は無視できるので後方散乱は起こらないと仮定した。

一方、Si ナノワイヤトランジスタでは、チャネルに沿って存在する全ての反転キャリアがドレイン電流に影響を与え、飽和領域ではキャリアの後方散乱も考慮に入れたドリフト過程が支配的であるとして電流を求めている。その結果、それぞれのドレイン電流の計算式が式(4.9)、式(5.17)と異なることも考えられるが、図 5.25 で示すように表面電位 0.2 V から 0.7 V においてキャリア密度に大きな差を生じると考えられる。

強誘電体ゲート Si ナノワイヤトランジスタ、CNT トランジスタに対して、ヒステリシスループとキャリア密度の関係を図 5.25(a)に示す。まず、Si ナノワイヤトランジスタに対して、ダイポール P_d-φ_s 曲線（Dipole Curve、一点鎖線）とキャリア密度 n-φ_s 曲線（Carrier Density 1、実線）との交点 A_1 を求め、ヒステリシスループ（Hysteresis Loop 1、実線）を導く。次に、点 A_1 のキャリア密度 n_1 から CNT トランジスタのキャリア密度 n-φ_s 曲線（Carrier Density 2、破線）との交点 A_2 を求め、ヒステリシスループ（Hysteresis Loop 2、破線）を導く。最大ゲート電圧は、V_{G1}=1 V、V_{G2}=1.3 V となって異なるので、例えばゲート電圧 0.8 V の図 5.25(b)のように同一のゲート電圧で比較する。Hysteresis Loop 1 および Hysteresis Loop 2 に対して、抗電圧をそれぞれ V^+_1、V^-_1、V^+_2、V^-_2 とし、それぞれの差をとると式(5.29)のようになる。従って、メモリウィンドウは、Si ナノワイヤトランジスタの方が CNT トランジスタより小さくなり、図 5.23 のようになる。

$$\begin{aligned} |V^-_1 - V^+_1| &= 0.32\ \mathrm{V} \\ |V^-_2 - V^+_2| &= 0.4\ \mathrm{V} \end{aligned} \tag{5.29}$$

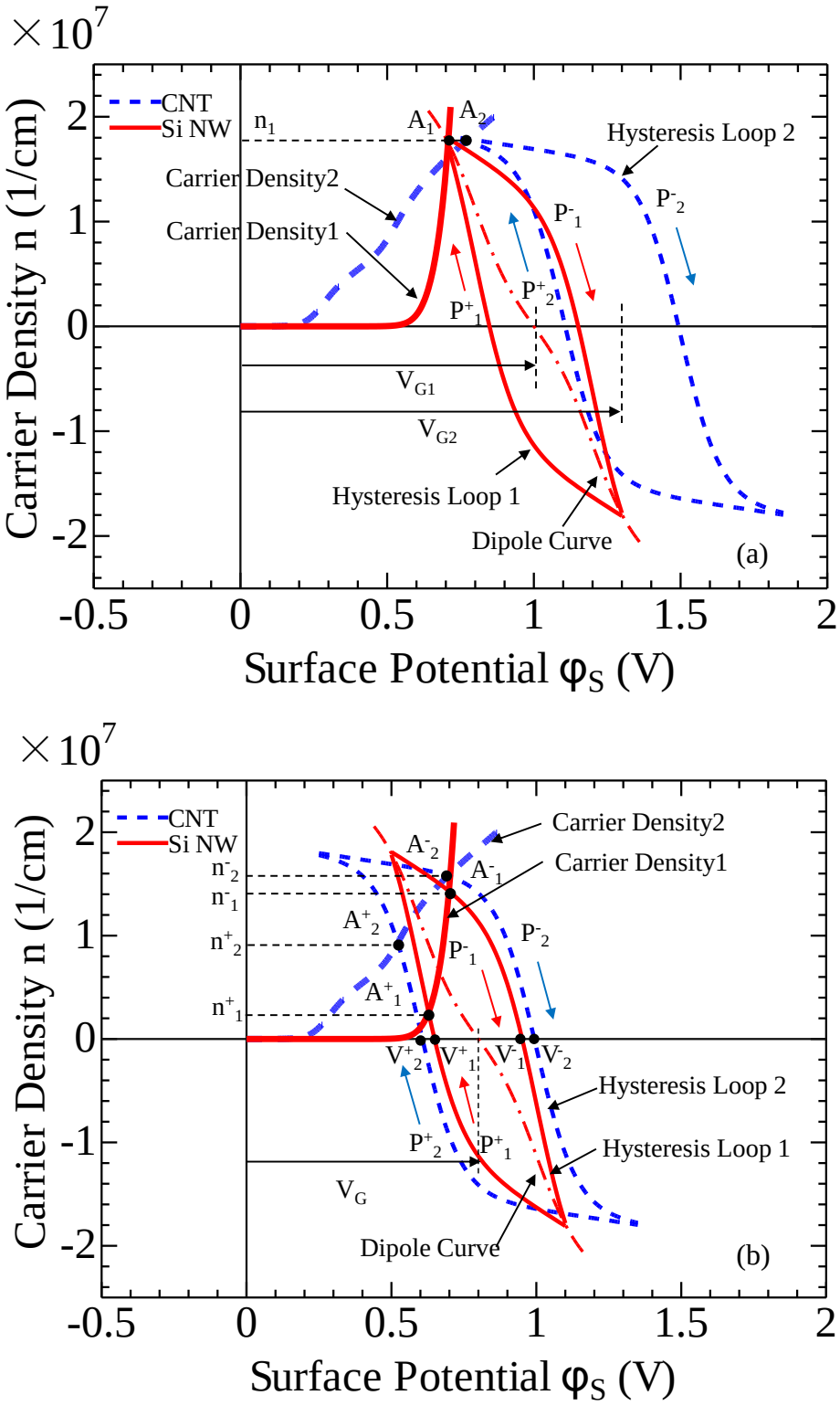


図 5.25 Si ナノワイヤと CNT の円筒型強誘電体ゲートトランジスタの図式解法

(a) 最大ゲート電圧 V_{G1}=1 V、V_{G2}= 1.3 V の場合、(b) ゲート電圧 V_G=0.8 V の場合

次に、図 5.23 において、Si ナノワイヤトランジスタと CNT トランジスタのドレイン電流特性の違いについて検討する。CNTトランジスタはバリスティック伝導であると仮定したのに対して、Si ナノワイヤトランジスタはドリフト／拡散伝導であると仮定し、チャネルに沿って存在する全ての反転キャリアがドレイン電流に影響を与えるので、疑似フェルミ準位 V を考慮した計算を行った。しかし、Si ナノワイヤの直径を 1 nm、P(VDF-TrFE)の膜厚を 5 nm とすると、図 5.25(a)のキャリア密度 n-φ_S 曲線（Carrier Density 1、実線）は、最大ゲート電圧 V_{Gm}=1 V を超えて正方向にシフトすることはないので、疑似フェルミ準位 V の最大値は図から約 0.4 V となる。

さらに、図 5.25(b)のように、Si ナノワイヤトランジスタと CNT トランジスタそれぞれのキャリア密度 n-φ_s 曲線（Carrier Density 1、Carrier Density 2）とヒステリシスループ（Hysteresis Loop 1、Hysteresis Loop 2）の交点を A^+_1、A^-_1、A^+_2、A^-_2 とし、それぞれに対応するキャリア密度を n^+_1、n^-_1、n^+_2、n^-_2 とすると、n^+_1 は常に n^+_2 より小さく、また n^-_1 も常に n^-_2 より小さい。従って、それぞれのドレイン電流 $I_D{}^+_1$、$I_D{}^+_2$、$I_D{}^-_1$、$I_D{}^-_2$ の関係は式(5.30)-(5.31)となって図 5.23 のようになる。

$$I_D{}^+_1 < I_D{}^+_2 \tag{5.30}$$

$$I_D{}^-_1 < I_D{}^-_2 \tag{5.31}$$

５．５ まとめ

円筒型強誘電体ゲート Si ナノワイヤトランジスタの I_D-V_G 特性と I_D-V_D 特性をドリフト／拡散伝導理論を用いて導いた。印加されたドレイン電圧の影響によって、ドレイン領域近傍で起こる強誘電体膜の非飽和分極が、ドレイン電流の計算に重要な役割を演じていることを示し、マイナーループヒステリシスの解析式を用いた図式解法を Si ナノワイヤ中のキャリア密度の計算のために示した。また、Si ナノワイヤの直径を増加させたときの I_D-V_G 特性、P(VDF-TrFE)の膜厚を増加させた場合の I_D-V_G 特性、および Si ナノワイヤの真性キャリア濃度を CNT の真性キャリア濃度相当にまで 高くしたときの I_D-V_G 特性について検討し、Si ナノワイヤの直径を増加させた場合、サブスレショルド領域でボリュームインバージョンが起こっていることを示した。また、直径を 300 nm 以上とし、プレーナ型のドレイン電流特性と同様の特性を求め、その結果と比較することにより直径 5 nm 以下の場合、サブスレショルド領域のリーク電流が

抑制されていることを示した。さらに、Si ナノワイヤトランジスタと CNT トランジスタの I_D-V_G 特性を比較して、バリスティック伝導とドリフト／拡散伝導によるドレイン電流特性の違いを検討した。以上の結果から、P(VDF-TrFE)のように残留分極の小さい強誘電体膜を用いた場合でも Si ナノワイヤをチャネルに用いた円筒型強誘電体ゲートトランジスタにおいて、円筒型で薄膜化することにより、強誘電体の分極特性によるメモリ動作が可能であることを示した。また、Si ナノワイヤを用いた場合でも CNT と比較してオン電流は低減するがデバイス構造を最適化することにより低電圧動作が可能であることが分かった。

參考文獻

[5.1] Y. Arimoto and H. Ishiwara: MRS Bull. **29** (2004) 823.

[5.2] H. Ishiwara: Curr. Appl. Phys. **9** (2009) S2.

[5.3] S. M. Sze: *Physics of Semiconductor Devices* (Wiley, New York, 1981) 2nd ed.

[5.4] C. P. Auth and J. D. Plummer: IEEE Electron Device Lett. **18** (1997) 74.

[5.5] S. -H. Oh, D. Monroe, and J. M. Hergenrother: IEEE Electron Device Lett. **21** (2000) 445.

[5.6] J. -T. Park and J. -P. Colinge: IEEE Trans. Electron Devices **49** (2002) 2222.

[5.7] J. -P. Colinge: Solid-State Electron. **48** (2004) 897.

[5.8] Y. Taur, X. Liang, W. Wang, and H. Lu: IEEE Electron Device Lett. **25** (1997) 107.

[5.9] D. Jimenez, J. J. Saenz, B. Iniguez, J. Sune, L. F. Marsal, and J. Pallares: IEEE Electron Device Lett. **25** (2004) 314.

[5.10] D. Jimenez, B. Iniguez, J. Sune, L. F. Marsal, J. Pallares, J. Roig, and D. Flores: IEEE Electron Device Lett. **25** (2004) 571.

[5.11] B. Iniguez, D. Jimenez, J. Roig, H. A. Hamid, L. F. Marsal, and J. Pallares: IEEE Trans. Electron Devices **52** (2005) 1868.

[5.12] B. Iniguez, T. A. Fjeldly, A. Lazaro, F. Danneville, and M. J. Deen: IEEE Trans. Electron Devices **53** (2006) 2128.

[5.13] B. Yu, H. Lu, M. Liu, and Y. Taur: IEEE Trans. Electron Devices **54** (2007) 2715.

[5.14] E. Leobandung, J. Gu, L. Guo, and S. Y. Chou: J. Vac. Sci. Technol. B **15** (1997) 2791.

[5.15] Y. Cui, Z. Zhong, D. Wang, W. U. Wang, and C. M. Lieber: Nano Lett. **3** (2003) 149.

[5.16] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong: IEEE Electron Device Lett. **27** (2006) 383.

[5.17] H. -T. Lue, C. -J. Wu, and T. -Y. Tseng: IEEE Trans. Electron Devices **49** (2002) 1790.

[5.18] S. L. Miller and P. L. McWhorter: J. Appl. Phys. **72** (1992) 5999.

[5.19] S. Fujisaki, H. Ishiwara, and Y. Fujisaki: Appl. Phys. Lett. **90** (2007) 162902.

[5.20] S. Fujisaki, H. Ishiwara, and Y. Fujisaki: Appl. Phys. Express **1** (2008) 081801.

[5.21] J. -W. Yoon, S. Ohmi, B. -E. Park, and H. Ishiwara: Appl. Phys. Lett. **93** (2008) 162904.

[5.22] D. Akinwande, Y. Nishi, and H. -S. P. Wong: IEEE Trans. Electron Devices **55** (2008) 289.

第6章　結論

6．1　本研究で得た結論

本研究では、3 次元構造を有する強誘電体メモリの設計指針を示すことを目的として、強誘電体としてフッ化ビニリデンと 3 フッ化エチレンの共重合体 P(VDF-TrFE)を仮定し、CNT をチャネルに用いた円筒型強誘電体ゲートトランジスタの数値解析による動作特性の検討を行った。さらに、Si ナノワイヤをチャネルに用いた場合の動作特性を評価し、CNT との比較を行った。

まず、円筒型強誘電体キャパシタの解析モデルを検討するため、Pt/Ti/SiO_2/Si 基板上にチタン酸ジルコン酸鉛 PZT 膜を 250 nm 成膜し、平行平板キャパシタに関する実験的な検討を行った。平行平板キャパシタに 5 V を印加した飽和分極の約 1/2 となる印加電圧が 2.9 V であること、また同一容量のキャパシタ 2 個を直列接続した場合と 1 個を直列接続、2 個を並列接続とした場合の分極が、約 40 μC/cm^2 でほぼ等しくなること示し、円筒型強誘電体キャパシタの分極は、面積は内部電極の面積、厚さは強誘電体の膜厚に等しい平行平板キャパシタで近似できることを明らかにした。

次に、バリスティック伝導と仮定した円筒型強誘電体ゲート CNT トランジスタの特性解析を行った。CNT のキャリア密度を第 1 サブバンドと第 2 サブバンドを考慮して近似した解析式と、強誘電体膜の飽和状態の分極の解析式を用いて、CNT のキャリア密度 n と表面電位 φ_s の関係および P(VDF-TrFE)と仮定した強誘電体膜の分極とゲート電圧のヒステリシスの関係を同じ n-φ_s 平面上で検討することにより、ゲート電圧、表面電位、キャリア密度の関係を求めた。このような図式解法を用いて、大規模なシミュレーションを行わずに簡便に数値解析を行う手法を確立した。この解析手法により行ったゲート電圧の増加時と減少時の I_D-V_D 特性から、チャネル長 1 μm、CNT の直径 5 nm、P(VDF-TrFE)の膜厚 5 nm の円筒型強誘電体ゲート CNT トランジスタの場合、電源電圧 1 V において I_D-V_G 特性よりメモリウィンドウ 0.4 V、I_D-V_D 特性より 1 桁以上の電流比が分極反転により得られることを明らかにし、報告されているプレーナ型強誘電体ゲート CNT トランジスタの I_D-V_G 特性、I_D-V_D 特性と比較して、5 nm に薄膜化した P(VDF-TrFE)を用いて 3 次元ゲート構造とすることにより、低電

圧のメモリトランジスタとして動作可能であることが分かった。

次に、ドリフト／拡散伝導と仮定した円筒型強誘電体ゲートSiナノワイヤトランジスタの特性解析を行った。ソース端近傍で飽和分極値を示してもドレイン端近傍で非飽和状態となることから、飽和状態の場合に疑似フェルミ準位V=0 V、キャリア密度Qとして、Q-φ_s平面上でキャリア密度と最大ゲート電圧時のマイナーループを決定する最大電界E_mの関係を求め、ゲート電圧、表面電位、キャリア密度の関係からドレイン電流を導出した。さらに、非飽和状態の場合に疑似フェルミ準位V≠0 Vとして、キャリア密度曲線Qを正方向に疑似フェルミ準位Vだけ移動させ、この場合のE_mとの関係を求め、ドレイン電流を導出した。Siナノワイヤの直径を1 nmから20 nmまで変化させた場合、I_D-V_G特性におけるドレイン電流がチャネル断面積に比例することから、円筒型強誘電体ゲートトランジスタにおいてもボリュームインバージョンが起こることを示した。また、チャネル長1 μm、Siナノワイヤの直径1 nm、P(VDF-TrFE)の膜厚5 nmのSiナノワイヤトランジスタの場合、I_D-V_G特性より電源電圧1 Vにおいてメモリウィンドウ0.3 Vで1桁以上のドレイン電流比が得られた。

次に、強誘電体膜の膜厚を5 nmとし、Siナノワイヤの直径を300 nm以上と大きくすることにより、I_D-V_G特性を求めた。膜厚と直径の比からプレーナ型デバイスのI_D-V_G特性と見なして、円筒型強誘電体ゲートSiナノワイヤトランジスタのI_D-V_G特性と比較検討を行った。チャネルの直径が5 nm以下の場合には、サブスレショルド係数が、60～70 mV/dec.であるのに対して、直径300 nm以上の場合では、80～90 mV/dec.と劣化することを示し、円筒型強誘電体ゲートSiナノワイヤトランジスタとすることにより、サブスレショルド領域のリーク電流を抑制できることが分かった。さらに、メモリウィンドウについては、直径5 nm程度の場合も直径300 nm以上の場合もほぼ同じであることを示し、その結果、円筒型強誘電体ゲートSiナノワイヤトランジスタとすることにより、低電圧メモリとして動作可能であることが分かった。

また、Siの真性キャリア濃度（n_i）1.5×10^{10} cm^{-3}をCNTの真性キャリア濃度相当の1.5×10^{15} cm^{-3}にした場合のI_D-V_G特性を求め、閾値電圧が負方向へ0.3 Vシフトし、オン電流が増加することを示した。CNTとSiナノワイヤのI_D-V_G特性を比較して、ドレイン電流の差がバリスティック伝導とドリフト／拡散伝導の伝導機構の違いによることを明らかにした。

本研究の成果により、大型計算機によるシミュレーションを行わずに、キャリア密度曲線と強誘電体のヒステリシスループの図式解法により、簡便にドレイン電流特性を導出する解析手法を確立した。その結果、薄膜化した強誘電体膜 P(VDF-TrFE)を用いることにより、CNT および Si ナノワイヤをチャネルに用いた円筒型強誘電体ゲートトランジスタにおいて、強誘電体の分極特性による低電圧のメモリ動作が可能であることを示した。また、Si ナノワイヤを用いた場合でも CNT と比較してオン電流は低減するがデバイス構造を最適化することにより低電圧動作が可能であることが分かり、将来の円筒型強誘電体ゲートトランジスタの低電圧動作化に向けた指針を示した。

６．２ 今後の課題と将来の展望

メモリトランジスタとして3次元の円筒型FeFETが設計できるかを見極めるために、ドレイン電流について、トランジスタの動作マージンを計算し、設計できることが分かった。しかし、数値計算による確認であったので、実際にメモリデバイスを作製し、実験で確かめる必要がある。

携帯端末等の普及により、低消費電力化の観点から不揮発性メモリはますます注目され、より一層の低消費電力、かつ、高速、大容量が求められる。そのため、強誘電体メモリでは、微細化、大容量化が比較的容易なFeFETへの期待も大きくなる。このようなニーズに応えるため、立体構造化したメモリデバイスが実用化されることが予想される。その一端として、本研究で示した近似解法が3次元メモリ設計における設計指針を示すことを期待する。

論文、学会発表、特許一覧

論文

[1] M. Ibata and H. Ishiwara: “Approximate Analysis of Cylindrical Ferroelectric Capacitor and Derivation of Drain Current Characteristics in Ferroelectric Gate-All-Around Carbon Nanotube Transistor”, Jpn. J. Appl. Phys. **50** (2011) 051503.

[2] M. Ibata, S. Ohmi, and H. Ishiwara: “Drain Current Characteristics in Ferroelectric Gate-All-Around Si Nanowire Transistors Based on Drift/Diffusion Transport Theory”, Jpn. J. Appl. Phys. **51** (2012) 034301.

学会における発表

[1] 井端雅一、高下裕一郎、石原宏:「カーボンナノチューブを用いた強誘電体ゲート電界効果トランジスタ」、 第 54 回応用物理学関係連合講演会(2007 年 3 月) 29a-SV-8

[2] 井端雅一、高下裕一郎、石原宏:「カーボンナノチューブを用いた強誘電体ゲート電界効果トランジスタのモデリング」、 第 68 回応用物理学会学術講演会(2007 年 9 月)4p-ZL-10

特許

[1] 発明の名称:強誘電体ゲート電界効果トランジスタ、それを用いたメモリ素子および強誘電体ゲート電界効果トランジスタの製造方法

出願人:シャープ株式会社

発明者:井端雅一、安念一規、石原　宏

公開日:2010 年 3 月 18 日

公開番号:特開 2010-062221

[2] 発明の名称：強誘電体ゲート有機電界効果トランジスタ、それを用いたメモリ素子及び強誘電体ゲート有機電界効果トランジスタの製造方法

出願人：シャープ株式会社

発明者：井端雅一、安念一規、石原　宏

公開日：2010 年 3 月 18 日

公開番号：特開 2010-062222

謝辞

本研究に関し、東京工業大学ご在職中およびご退職後も、終始ご懇切なご指導とご鞭撻を賜りました石原　宏名誉教授には深く感謝致します。社会人として大学院在籍中は研究と会社業務との両立が難しく、在籍中に研究成果を纏めることができませんでした。しかし、研究の進め方に関して多くの助言を頂き、また、論文投稿および本論文の執筆に際し、多大なご指導を賜り纏めることができました。また、石原　宏名誉教授のご退職後、東京工業大学大学院総合理工学研究科　大見俊一郎准教授には論文投稿、本論文の執筆に関し、多大なご指導を頂きました。感謝の意を表します。また、予備審査、公聴会において、貴重なご意見を賜りました半那純一教授、筒井一生教授、渡辺正裕准教授、宮本智之准教授に感謝の意を表します。

東京工業大学での研究推進とシャープ株式会社での業務推進の両立にご理解頂いた太田賢司氏（シャープ株式会社元副社長執行役員）を始めシャープ株式会社の関係者に感謝致します。

本研究の実験に際して、試料の準備等手伝って頂いた旧石原研究室の皆様に感謝致します。特に、安念一規氏（現シャープ株式会社）には、特許出願に際してもいろいろと協力をして頂きましたことを感謝致します。

最後になりましたが、仕事と学問の両方に対して、快く見守っていた家族に感謝致します。