

論文 / 著書情報
Article / Book Information

題目(和文)	パイプライン処理を用いたCMOS A/D変換器の低電力化に関する研究
Title(English)	
著者(和文)	松浦達治
Author(English)	Tatsuji Matsuura
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第7596号, 授与年月日:2009年3月26日, 学位の種別:課程博士, 審査員:藤井信生
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第7596号, Conferred date:2009/3/26, Degree Type:Course doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

パイプライン処理を用いたCMOS A/D変換器の
低電力化に関する研究

松浦 達治

目次

1. 序論	1
1.1. 概要.....	1
1.2. 研究の背景.....	3
1.3. 研究の動機と目的.....	4
1.4. ビデオ用 A/D 変換器の性能推移・技術推移と本研究の位置づけ.....	7
1.5. 本論文の構成.....	13
2. A/D 変換器の役割・方式と CMOS A/D 変換器でのパイプライン処理の優位性	20
2.1. システム LSI における A/D, D/A 変換器の役割	20
2.2. A/D 変換器の方式（アーキテクチャ）	24
2.2.1. ナイキスト型 A/D 変換器とオーバーサンプル型 A/D 変換器.....	24
2.2.2. ナイキスト A/D 変換器の分類	25
2.2.3. 超高速、高速の A/D 変換方式	26
2.3. パイプライン処理を用いた CMOS A/D 変換器の優位性	39
3. 二重比較器バンクによるサブレンジ A/D 変換器の高速・低電力化	42
3.1. サブレンジ A/D 変換器の概要	42
3.1.1. Dingwall サブレンジ A/D 変換器の問題点.....	44
3.1.2. Dingwall のサンプルホールド回路	44
3.2. 提案する分散型差動サンプルホールド回路	47
3.2.1. オフセット電圧キャンセル型サンプルホールド比較器.....	48
3.2.2. オフセット電圧のキャンセル	49
3.2.3. アンプの入出力寄生容量 C _{pf} による誤差発生と対策	51
3.3. 2 重比較器バンクによる高速化.....	54
3.4. 下位比較領域拡大による直線性デジタル誤差補正	56
3.5. 8-bit 20Msps CMOS A/D 変換器への適用	62
3.6. 結論.....	65

4. 二重サンプル手法によるパイプライン A/D 変換器の低電力化	68
4.1. 緒言	68
4.2. アナログ二重サンプリング法	69
4.2.1. 電力低減：並列交互動作方式と二重サンプル・パイプライン方式の電力比較	69
4.2.2. 従来のパイプライン A/D 変換器	72
4.2.3. 提案する二重サンプル手法	76
4.2.4. 二重サンプル手法の効果	77
4.3. パイプライン A/D 変換器のデジタル誤差補正	79
4.3.1. 誤差補正のない変換器での比較器オフセット誤差の影響	80
4.3.2. 拡張比較レンジによる変換誤差のデジタル補正	82
4.3.3. パイプライン A/D 変換器のその他の変換誤差	83
4.4. 二重サンプル手法での変換誤差	87
4.5. 10ビット15MHz 0.8 μ m CMOS A/D 変換器への応用	88
4.5.1. 比較器とアンプ回路	89
4.5.2. ダブルカスコードアンプ	90
4.5.3. 評価結果	91
4.6. 結論	95
5. マルチパス手法によるサイクリック A/D 変換器の低電力化	96
5.1. 概要	96
5.2. 緒言	96
5.3. アーキテクチャの考察	97
5.4. マルチパス・サイクリック・アーキテクチャの導出	101
5.4.1. 従来の問題点と解決策	101
5.4.2. マルチパスによる変換タイムスロットの短縮	103
5.4.3. 拡張変換領域とデジタル誤差補正回路による要求オフセット電圧の緩和	104
5.5. 面積と電力の推定	107
5.6. 10-bit 3Msamples/s サイクリック A/D 変換器への応用	108

5.7.	試作結果.....	111
5.8.	結論.....	115
6.	先読み方式によるパイプライン A/D 変換器の低電力化・高速化	117
6.1.	概要.....	117
6.2.	先読み方式パイプライン A/D 変換器.....	118
6.2.1.	従来のパイプライン A/D 変換器の動作とクロックタイミング	118
6.2.2.	提案するタイミング	122
6.2.3.	先読み方式パイプライン・ビット判定方式の提案	122
6.2.4.	詳細回路実装の例	125
6.3.	先読み方式の低電力化への適用	128
6.3.1.	低電力に向けた A/D 変換器方式の選択.....	128
6.3.2.	パイプライン A/D 変換器の電力分布と低電力化.....	129
6.3.3.	先読み方式を用いた消費電力低減.....	130
6.3.4.	6-bit 13MHz 3.2mA 低電力パイプライン A/D 変換器への応用	132
6.3.5.	Bluetooth RF 送受信機 LSI への適用	135
6.4.	先読み方式の高速化への適用	138
6.4.1.	背景	138
6.4.2.	先読み方式の高速化への適用	140
6.4.3.	2 チャンネル並列交互（インターリーブ）動作による高速化とオフセット調整	141
6.4.4.	提案手法を適用した 255Msps 6-bit A/D 変換器の試作結果.....	143
6.4.5.	ハードディスク・リードチャンネル（EPRML チップ）への応用	144
6.5.	結論.....	152
7.	回路技術によるパイプライン A/D 変換器の低電力化	154
7.1.	回路技術による低電力化.....	154
7.2.	二重フィードフォワード補償 ⁷³⁾ によるパイプライン A/D 変換器の低電源電圧化.....	154
7.2.1.	背景	155
7.2.2.	低電圧・低電力アナログ回路の問題点	156
7.2.3.	低電圧向けの A/D 変換器アーキテクチャ	156

7.2.4.	フィードフォワード補償アンプ	158
7.2.5.	アナログスイッチ	173
7.2.6.	低電圧アンプのための低しきい電圧設定	174
7.2.7.	低電圧 1.2V パイプライン A/D 変換器への提案手法の応用	176
7.3.	オフセットキャンセル完全差動アンプ・同相負帰還回路の低電力化	181
7.3.1.	完全差動アンプ回路と同相負帰還回路の低電力化	181
7.3.2.	2 容量による低電力同相負帰還回路の検討	185
7.3.3.	2 容量によるオフセットキャンセル可能な低電力・同相負帰還回路の提案	186
7.3.4.	アンプ入出力および V_{cm} ノードを短絡することによるオフセットキャンセル	188
7.3.5.	完全差動 2 段増幅オペアンプの入出力ショート of 安定性	190
7.3.6.	アンプ入出力短絡と、 V_{CM} ショートによるオフセットキャンセル	193
7.3.7.	提案アンプの試作による確認	196
7.4.	結論	196
8.	結論および今後の発展	198
8.1.	結論	198
8.2.	今後の発展	203
9.	参考文献および研究業績	206
9.1.	参考文献	206
9.2.	研究業績	217
9.2.1.	論文リスト	217
9.2.2.	主要出願特許	225
10.	付録 (用語の解説・方式の補足)	227
10.1.	A/D 変換器の基本的な役割	227
10.1.1.	サンプリング定理と折り返し雑音	227
10.1.2.	量子化と量子化誤差	229
10.2.	A/D 変換器の特性パラメータ	229
10.2.1.	精度	230
10.2.2.	非直線性誤差	231

10.2.3.	ミスコード、単調増加性、等.....	233
10.2.4.	変換時間.....	234
10.2.5.	周波数領域の特性評価	235
10.2.6.	ビート法による A/D 変換器の高速性能の簡易評価法.....	240
10.3.	低速、中速度の A/D 変換器方式	241
11.	謝辞	245

図 1.1	A/D 変換器の変換周波数と分解能、および代表的方式	2
図 1.2	半導体開発の歴史とビデオ用 A/D 変換器	2
図 1.3	A/D, D/A 搭載マイクロコンピュータ	3
図 1.4	研究の目標とする CMOS デジタルビデオ信号処理 LSI	4
図 1.5	ビデオ画像処理システム用 LSI (ピクチャーインピクチャーLSI)	5
図 1.6	ピクチャーインピクチャーLSI システム	6
図 1.7	ピクチャーインピクチャーシステムで合成される画像の例	6
図 1.8	ビデオ用 A/D 変換器の電力性能推移	7
図 1.9	1970 年当時の VHS シリーズ A/D 変換器 VHS-630 (1970 年)、VHS-675 (1975 年)	7
図 1.10	1975 年ボード状のビデオ A/D 変換器 MOD-4100 Computer Labs	8
図 1.11	世界での CMOS ビデオ用 A/D 変換方式開発の流れ	9
図 1.12	12bit/36MHz パイプライン A/D 変換器を搭載したカメラ前処理 LSI (1996 年)	10
図 1.13	ビデオ用 A/D 変換器の消費電力の年次推移	10
図 1.14	ビデオ用 A/D 変換器の面積の推移	10
図 1.15	ビデオ用 A/D 変換器の速度当たり電力(mW/MHz)のプロセスによる低減推移	11
図 1.16	ビデオ用 A/D 変換器のプロセスによる面積の推移	11
図 1.17	ビデオ用 A/D 変換器の電源電圧と面積の関連	12
図 1.18	本論文の構成	13
図 1.19	CMOS A/D 変換器の高性能化の課題と各章の関係	14
図 1.20	高速 CMOS A/D 変換器アーキテクチャ開発の経緯	16
図 2.1	A/D、D/A 搭載マイクロコンピュータおよびシステム LSI	20
図 2.2	携帯電話用高周波 LSI	21
図 2.3	SOC (System on Chip) / マイコン用 CMOS A/D, D/A コア	21
図 2.4	ハードディスク信号処理 LSI (リード・ライト・チャンネル)	22
図 2.5	Bluetooth 通信用トランシーバ IC	23
図 2.6	並列型 A/D 変換器のブロック図	27

図 2.7	CMOS 比較器回路の例	27	
図 2.8	バブルエラーの抑圧	28	
図 2.9	並列型 A/D 変換器の開発例 [1.15]	29	
図 2.10	並列型 A/D 変換器(a)からサブレンジ A/D 変換器(c)の導出	30	
図 2.11	2 ステップ型 A/D 変換器の構成 (4-bit, 4-bit 構成の例)	32	
図 2.12	2 ステップ A/D 変換器の動作タイミング	32	
図 2.13	2 ステップ A/D 変換器の変換原理	33	
図 2.14	並列型 A/D 変換器と、2 ステップ型 A/D 変換器の動作比較	35	
図 2.15	2 ステップ型 A/D 変換器の内部動作	35	
図 2.16	一般のパイプラインシステム	36	
図 2.17	一般のパイプラインシステムの動作	37	
図 2.18	サンプルホールドアンプ2を挿入してパイプライン化した2ステップ A/D 変換器	38	
図 2.19	パイプライン化した2ステップ A/D 変換器のタイミング	38	
図 2.20	一般化したパイプライン A/D 変換器	39	
図 3.1	Dingwall のサブレンジ A/D 変換器[3.9]	42	
図 3.2	Dingwall のサブレンジ用抵抗ラダー	43	
図 3.3	フロントエンドサンプルホールド回路を使った A/D 変換器	45	
図 3.4	CMOS インバータ型電圧比較器	45	
図 3.5	サブレンジ型の動作タイミング[3.9]	46	
図 3.6 (a)	フロントエンドサンプルホールド	図 3.6 (b) 分散型差動サンプルホールド	47
図 3.7	サンプルホールド型比較器と、下位比較器の動作タイミング	49	
図 3.8	寄生容量 C_{pf} により生じるオフセット電圧 (a)AZ & S/H サイクル終了時の電圧 (b)比較 (Comp)サイクルの前半終了時の電圧、(c)SW1b が開くとき電荷 q_f が注入される	51	
図 3.9	ソースフォロアーバッファの効果	53	
図 3.10	比較器内部の差動アンプ回路	53	
図 3.11	2 重比較器バンクによる高速化サブレンジ A/D 変換器 (8-bit の例)	54	
図 3.12	2 重比較器バンクによる高速化サブレンジ A/D 変換器の動作タイミング	55	

図 3.13 (a) 理想的なサブレンジ型による判定点(遷移点)の決定方法.....	57
図 3.14 サブレンジ A/D 変換器チップ写真	63
図 3.15 D/A 変換器での再生波形 図 3.16 直線性誤差(Back-to-Back 評価) $f_s=20\text{-Msps}$, $f_{in}=5\text{-kHz}$ $f_s=20\text{-MHz}$, $f_{in}=5\text{-kHz}$	63
図 3.17 直線性誤差補正回路の効果 (拡張下位比較器による誤差補正の有無)	64
図 3.18 ビート波形 $f_s=16\text{-MHz}$, $f_{in}=5.335\text{-MHz}$, $f_{beat}=5\text{-kHz}$	64
図 3.19 微分位相(DP)と微分利得(DG).....	65
図 4.1 Lewis のパイプライン A/D 変換器	72
図 4.2 (a) サンプルホールドアンプ (Input-SH)の構成	72
図 4.3 内部 A/D 変換器と D/A 変換器の構成	73
図 4.4 従来 (Lewis) のパイプライン A/D 変換器の動作タイミング	74
図 4.5 D/A 変換器を接続したサンプルホールドアンプ回路.....	75
図 4.6 提案する二重サンプル・パイプライン方式	76
図 4.7 二重サンプル・パイプライン方式のタイミング	76
図 4.8 従来手法と、提案する二重サンプル手法でのアンプ出力応答.....	78
図 4.9 二重サンプル手法の効果.....	79
図 4.10 誤差がない場合のパイプライン A/D 変換器の変換特性.....	80
図 4.11 上位比較器のオフセットばらつきによる変換誤差.....	80
図 4.12 拡張比較レンジを設けた下位 A/D 変換(ADC2)とオーバーラップ加算による デジタル誤差補正	82
図 4.13 サブ A/D, D/A, サンプルホールドアンプのオフセット誤差.....	84
図 4.14 D/A 変換器の誤差と対策	85
図 4.15 段間アンプの利得誤差.....	86
図 4.16 二重サンプル手法で挿入した SH1 の利得誤差の影響.....	87
図 4.17 二重サンプル手法を用いたパイプライン A/D 変換器ブロック図.....	89
図 4.18 コンパレータ回路とアンプ回路構成	90
図 4.19 カスコードアンプ回路.....	91
図 4.20 二重サンプル・パイプライン A/D 変換器のチップ写真.....	92

図 4.21	ビート波形	図 4.22	直線性誤差(Back-toBack 評価) $f_s=15\text{-MHz}$, $f_{in}=7.53\text{-MHz}$ 1-LSB=1-mV	92
図 4.23	微分非直線性			93
図 4.24	A/D 変換器出力の FFT スペクトラム			93
図 4.25	実測した消費電流(a)と消費電力(b)			94
図 5.1	A/D 変換器の消費電力と面積の比較			98
図 5.2	パイプラインとサイクリック・アーキテクチャの比較			100
図 5.3	従来のサイクリック・アーキテクチャ A/D 変換器			100
図 5.4	クリティカルパスを解消する一つの方法			102
図 5.5	クリティカルパスを解消する第 2 の方法			102
図 5.6	内部波形の比較			103
図 5.7	マルチパス・サイクリック型 A/D 変換器			104
図 5.8	S/H 回路のオフセット電圧 Δv_{off} による非線形性誤差を、次段のサブ A/D 変換器の変換レンジを拡大 することにより補正する方法			105
図 5.9	消費電力と面積の各アーキテクチャによる推定値			107
図 5.10	(a) マルチパス・サイクリック A/D 変換器ブロック図			109
図 5.11	3V 電源電圧用完全差動型 2 段オペアンプ			110
図 5.12	チップ写真			112
図 5.13	再生ビート波形. 変換レート 3.000Msps/s 入力周波数=1.499MHz 電源電圧 2.7V			112
図 5.14	微分非直線性 変換レート=3Msps,入力信号=2.0Vpp,1kHz 正弦波 電源電圧 3.0V			113
図 5.15	積分非直線性 変換レート 3Msps,入力信号=2.0Vpp,1kHz 正弦波,電源電圧 3.0V			113
図 5.16	変換レートに対する DNL(微分非直線性). 入力振幅=2.0Vpp, 1kHz 正弦波			114
図 5.17	SNDR の入力周波数依存性			114
図 6.1	従来のパイプライン A/D 変換器			119
図 6.2	残差信号 (residue) と i 番目のビットの決定方法			119
図 6.3	従来のパイプライン A/D 変換器の動作タイミング			120
図 6.4	提案するサブレンジング・パイプライン・アーキテクチャ			121
図 6.5	提案するサブレンジング・パイプライン A/D 変換器の動作タイミング			121

図 6.6	サンプリング型比較器の回路とサンプリング、比較動作	121
図 6.7	提案する入力電圧を $(-1/2)V_{ref}$ と $(+1/2)V_{ref}$ に比較してデジタルビットを決める	123
図 6.8	サブレンジング・パイプライン A/D 変換器の詳細回路	123
図 6.9	サブレンジング・パイプライン A/D 変換器の詳細回路図	125
図 6.10	1.5 ビット・アーキテクチャ時サブレンジング・リファレンス電圧 スイッチング	126
図 6.11	A/D 変換器方式による消費電力の比較	128
図 6.12	基本パイプライン A/D 変換器の構成	129
図 6.13	従来型パイプライン A/D 変換器の電流の内訳	129
図 6.14	先読み方式によるアンプ電流の低減効果	130
図 6.15	初段フォールデッドカスコード、2 段目ソース接地の完全差動 2 段オペアンプ	131
図 6.16	A/D 変換ブロックのチップ写真	132
図 6.17	実測した微分非直線性誤差(DNL)と積分非直線性誤差(INL)	133
図 6.18	ビートサイン波形	133
図 6.19	実測した有効ビット (SNR、SNDR) のクロック周波数依存性	134
図 6.20	A/D 変換器の実測消費電力	134
図 6.21	Bluetooth RF トランシーバー 受信部構成	136
図 6.22	Bluetooth 送受信チップ	137
図 6.23	1998 年と 1997 年のリードチャンネルの性能比較	138
図 6.24	オフセット調整 DAC 付きインターリーブ・パイプライン A/D 変換器	139
図 6.25	実測した偶数側、および奇数側 A/D 変換器のオフセット電圧分布	142
図 6.26	A/D 変換器の実測微分非直線性	143
図 6.27	ビート波形 ($f_{clk}=255\text{MHz}$, $f_{in}=(1/4)F_{clk}$)	144
図 6.28	A/D 変換器の有効ビットのクロック周波数依存性	144
図 6.29	リードチャンネル・ブロック図	145
図 6.30	チップ写真	145
図 6.31	PR4 で $(-1, 0, +1)$ に等化したときの出力分布	147
図 6.32	等化誤差へのオフセットミスマッチの影響	147

図 6.33	ビットエラーレートへのオフセットミスマッチ電圧の影響	149
図 6.34	リードチャンネルの消費電力の転送レート依存性	150
図 6.35	任意波形発生装置テスト波形で実測したリードチャンネルのビットエラーレート	151
図 7.1	9ビットパイプライン A/D 変換器のブロック図（簡単化のためシングルエンドで描画）	157
図 7.2	9ビットパイプライン A/D 変換器のタイミング図	157
図 7.3	ダブルフィードフォワード S/H アンプ	158
図 7.4	(a) フィードフォワード補償アンプ	160
図 7.5	(a)ミラー補償アンプ	164
図 7.6	バッファ有/無（正帰還有/無）でのフィードフォワード補償	167
図 7.7	ダブルフィードフォワードによる精度の改善	167
図 7.8	(a) $\omega_z = 1.33\omega_p$ ダブルレットがある場合のフィードフォワード補償周波数特性	172
図 7.9	$V_{th}=0.7V$ および $0.4V$ 時の MOS アナログスイッチのオン抵抗	172
図 7.10	(a)単純な差動アンプ回路	175
図 7.11	1.2V ミックスドアナログデジタルチップ(7mm x 10mm)のチップ写真	177
図 7.12	1.2V 9-bit 2-MHz A/D 変換器(アクティブエリア 1.0mm x 1.3mm)のチップ写真	178
図 7.13	再生出力波形	178
図 7.14	1.2V-A/D 変換器の拡大再生出力波形	179
図 7.15	直線性誤差（入力信号－DAC 出力信号）20mV/div	179
図 7.16	A/D 変換器の変換速度と電源電圧の関係	180
図 7.17	同相負帰還回路の概念図	181
図 7.18	抵抗で同相電圧を検出する連続時間同相負帰還回路	182
図 7.19	トランジスタの三極管領域を使う連続時間同相負帰還回路	182
図 7.20	従来の 2 差動ペアを使った連続時間同相負帰還回路	183
図 7.21	4 容量を用いたスイッチドキャパシタ同相負帰還回路	184
図 7.22	スイッチドキャパシタ型同相負帰還(図 7.23)を組込んだアンプ回路（シングルエンド表示）	185
図 7.23	従来の 2 容量スイッチドキャパシタ型同相負帰還を組込んだ Op amp 回路	186
図 7.24	提案するスイッチドキャパシタ同相負帰還回路	187

図 7.25 オフセット補正機能を持った 2 倍アンプ	189
図 7.26 (a) (b) 完全差動型 1 段オペアンプの差動利得と同相利得.....	190
図 7.27 (a) 同相負帰還回路を付けた完全差動 2 段アンプと(b)その信号線図.....	192
図 7.28 完全差動 2 段オペアンプの同相利得と、同相負帰還をかけたときの同相利得	193
図 7.29 オフセット電圧 V_{OS} と MOS スイッチのオン抵抗があるときの リセットフェーズでのアンプリセット 電圧	194
図 10.1 A/D 変換器の基本機能	227
図 10.2 サンプリング定理とアンチエイリアシングフィルタ	228
図 10.3 量子化と量子化誤差	229
図 10.4 A/D 変換器のオフセット誤差と利得誤差	230
図 10.5 積分非直線性と微分非直線性	231
図 10.6 微分非直線性誤差(DNL)と積分非直線性誤差(INL)の例	232
図 10.7 単調増加性、ミスコード、 $DNL > 1$ LSB の変換特性.....	233
図 10.8 10 ビット逐次比較 A/D 変換器タイミングチャートの例.....	235
図 10.9 A/D 変換出力の FFT 結果	235
図 10.10 A/D 変換器による量子化誤差の発生と SN 比	237
図 10.11 有効ビットのサンプリング周波数依存性の例	239
図 10.12 ビート法による A/D 変換器の高速性能の簡易評価.....	240
図 10.13 計数（積分）型 A/D 変換方式	241
図 10.14 逐次比較 A/D 変換方式	242
図 10.15 重み付き容量アレイを用いた逐次比較 A/D 変換器の実現.....	243

1. 序論

1.1. 概要

A/D, D/A 変換器は各種信号処理システムを構成する上で必要不可欠な部品になっている。自然界の信号はアナログ信号なのに対し、近年の集積回路技術の進歩によりエレクトロニクスシステムでの信号処理はデジタルで行うことに種々のメリットがあるからである。この自然界のアナログ信号と、デジタル信号処理を取り持つ部品として A/D, D/A 変換器は不可欠な部品である。従来、A/D, D/A 変換器は特別な高価な単体の部品として販売され、システムを組むシステム技術者が使う部品であったが、近年は半導体集積回路の微細化が進み、ほとんど全てのシステムが集積回路の上に実現されるようになってきている。その時に A/D, D/A 変換器を集積回路の上に、いかに高性能なものを、小さなチップ面積で、低消費電力に搭載するか、が小型低消費電力化というエレクトロニクスで常に求められる永遠の課題である。

本研究は、デジタル信号処理の集積に適した MOS 半導体集積回路に搭載できる A/D 変換器、特にビデオ帯域(数 MHz～数 100MHz)のような高速の A/D 変換器を、いかにすれば開発できるか、いかにすればそれを高速、低電力、小面積の A/D 変換器にできるか、を追求した結果をまとめたものである。

A/D 変換器には多数の方式（アーキテクチャ）が知られている。それは変換すべきアナログ信号の帯域と、変換で要求される精度が種々存在していて、すべてをカバーする変換方式は存在せず、その要求性能、特に変換すべき信号帯域に適した方式を必要とするからである。本研究では主にビデオ帯域の信号つまりテレビジョン信号のような数 MHz から数 100MHz の信号帯域の変換を行う A/D 変換器を対象としている。

図 1.1 に A/D 変換器の分解能と変換速度、主な方式との関係を示す。同時に本論文の各章で扱った A/D 変換器の性能もプロットした。分解能は 4-bit～8-bit 程度と少ないが高速データ伝送用に適した超高速フラッシュ（並列）型や、それに順ずる速度で面積や電力を低減できるサブレンジ型、それにビデオ帯域の変換レートを実現でき小面積で低電力化が可能になる 8-bit～12-bit のパイプライン型、がビデオ帯域 A/D 変換器の主な方式である。また、ビデオ帯域以外の A/D 変換器方式には、例えば自動車制御用マイクロコンピュータで扱う数十 kHz～1MHz 程度の変換速度を実現する 6-bit～12-bit 程度の逐次比較型 A/D 変換器、や、更に低速のオーディオ帯域や低い周波数帯域(数 kHz～数 100kHz)の変換を高精度で実現するデルタ・シグマ ($\Delta\Sigma$) 型 A/D 変換器、さらに、ほとんど直流になる計測器用などの高精度の積分型 A/D 変換器などがある。また、最近の研究では携帯電話用などの 10-bit～16-bit 程度の精度を $\Delta\Sigma$ 方式で

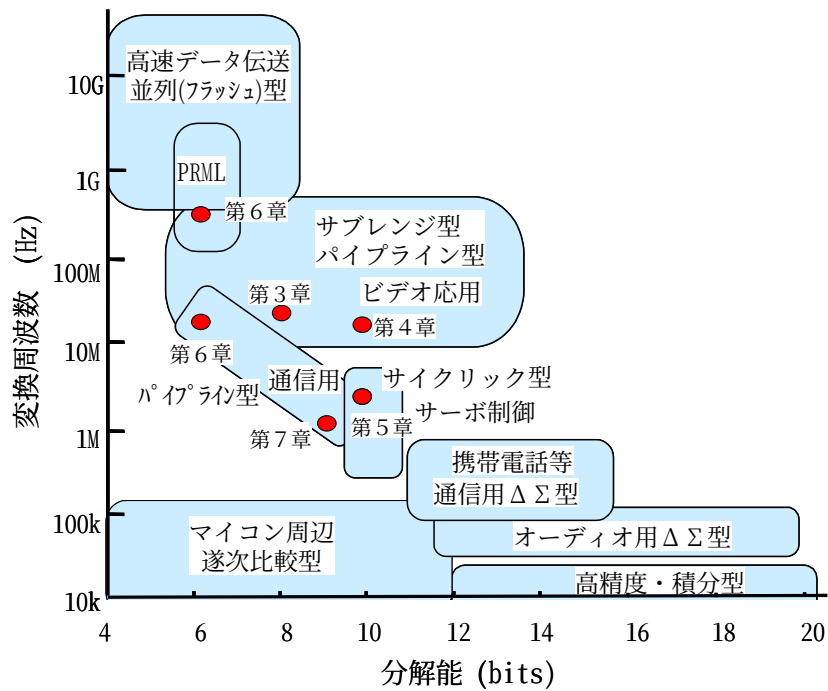


図 1.1 A/D 変換器の変換周波数と分解能、および代表的方式

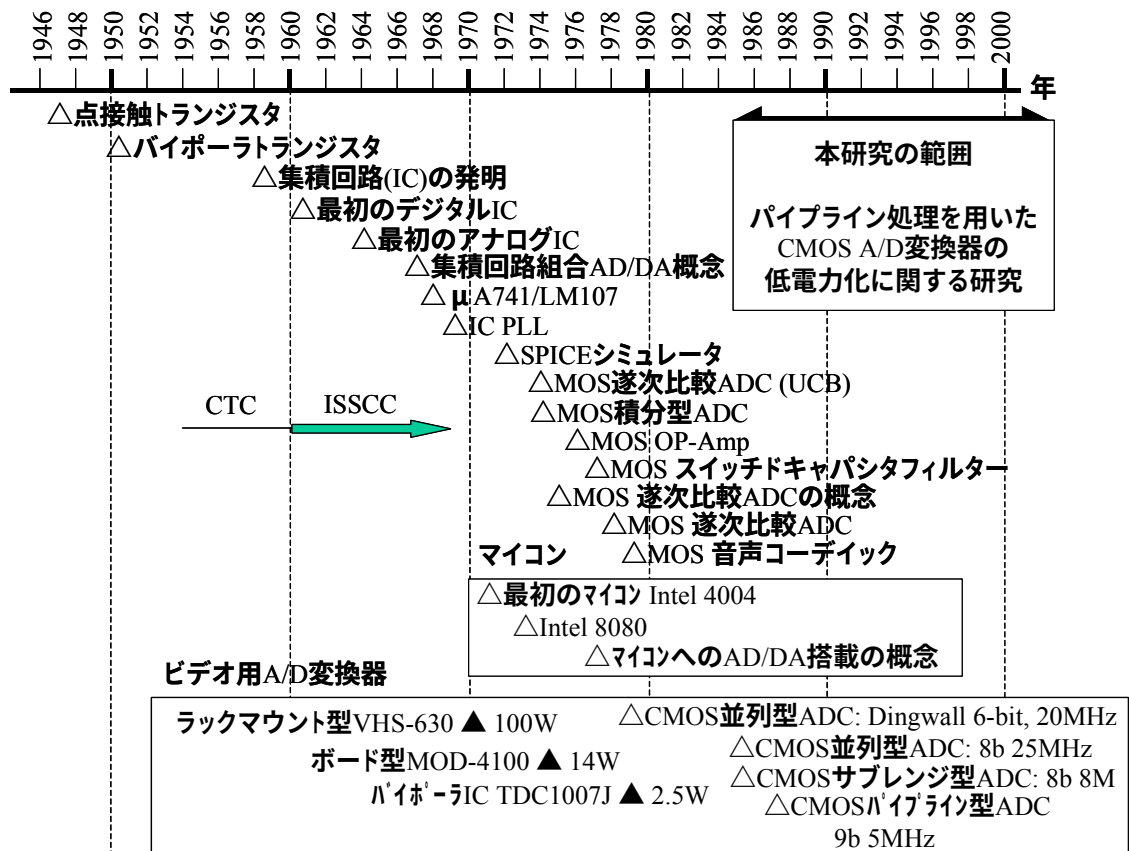


図 1.2 半導体開発の歴史とビデオ用 A/D 変換器

2～10MHz 位の信号帯域までカバーしようとする研究が盛んである。

1.2. 研究の背景

1947 年に点接触トランジスタがベル研究所で、また 1951 年にバイポーラジャンクショントランジスタがショックレーにより発明され、1959 年に集積回路(Integrated Circuit)が発明されてその大きな可能性が認識されてからから、半導体開発の 50 年の歴史[1.1]は、いかにして大きな機能システムを半導体チップのなかに集積させることができるかを追及する歴史であった。半導体分野の初期の出来事を図 1.2 に示す。半導体集積回路の学会である International Solid State Circuit Conference (ISSCC)の第 1 回は 1954 年に Conference of Transistor Circuits (CTC)としてフィラデルフィアで開催され、1960 年に ISSCC となってから現在まで半導体集積回路で最大の国際学会となっている[1.2]。

本論文の主題である A/D 変換器の歴史では、1967 年の ISSCC に D/A 変換器、A/D 変換器を集積回路の組合せで実現するアイデアがフェアチャイルドから提案された[1.3]。最初のアナログ IC が 1964 年に現れて後に生まれた構想で、バイポーラ素子と電流源を使って電流加算型の D/A 変換器とそれを使った A/D 変換器のアイデアであった。これは 1968 年に第 2 世代のオペアンプ $\mu A741$ が現れるとほとんど同時であった。1974 年に MOS 集積回路上の逐次比較 A/D 変換器の概念が UCB から発表されると[1.4]その後急速に、集積回路に A/D 変換器や、D/A 変換器、フィルター、PLLなどを搭載する高機能 IC の概念が広がった。

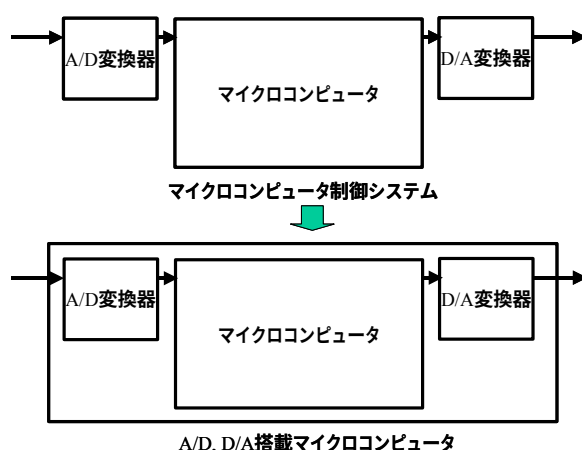


図 1.3 A/D, D/A 搭載マイクロコンピュータ

マイクロコンピュータの最初の概念は、1971 年 Intel からの 4004 であるが、程なく 1977 年に

は A/D, D/A 変換器を搭載したマイクロコンピュータの概念が生まれた。マイクロコンピュータが扱う情報はデジタル情報であるが、マイクロコンピュータが制御しようとする対象は外部のアナログ信号を含んでおり、A/D, D/A 変換器を搭載したマイクロコンピュータの概念 (図 1.3) が生まれるのは当然であった。

さらに、1977 年には MOS 集積回路に適したフィルターとしてスイッチドキャパシタフィルタの概念が生まれた[1.1]。逐次比較 A/D 変換器とあいまって、音声帯域の信号をデジタル化して電話線で送るという概念が生まれ、1979 年前後には、音声コーデックとして非線形特性を持った A/D、D/A 変換器の研究が盛んになり、音声コーデックとして商業的にも成立することになった[1.5] [1.6] [1.7]。

1.3. 研究の動機と目的

マイクロコンピュータに A/D, D/A 変換器が搭載され、音声コーデックで音声信号をデジタル化して送受信できるようになると、もっと帯域の広いビデオ帯の信号をデジタル化して信号処理できたらという願望が生まれる。しかし動作速度には大幅な差があった。マイクロコンピュータが扱う A/D, D/A 変換器のサンプリング周波数は 1Msample/sec 程度であり、音声コーデックも帯域が 4kHz の音声でサンプリング周波数は同程度であった。ビデオ帯域の 20MHz サンプリングを低電力でチップ上に実現するにはさらなるイノベーションが必要であった。

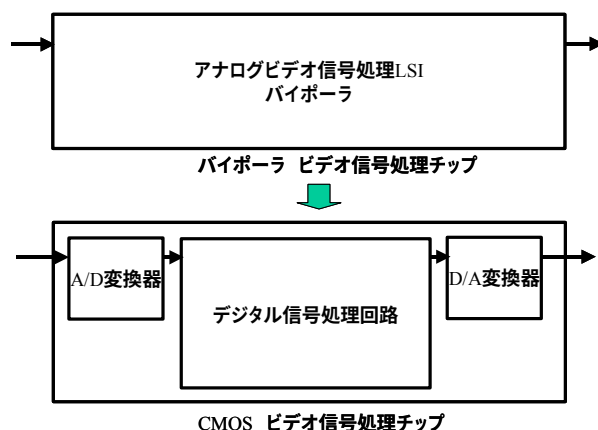


図 1.4 研究の目標とする CMOS デジタルビデオ信号処理 LSI

日本でテレビ放送が開始されたのは 1953 年 2 月、VHS 方式ビデオカセットレコーダが生まれたのは 1976 年である。当時ビデオ信号は当然アナログ信号であったが、1980 年前後からビ

デオ信号をデジタルで扱うという発想が生まれてくる。図 1.4 に示すように、当初存在したビデオ信号処理 IC はバイポーラを使ったアナログの信号処理 IC である。これに対してビデオ帯域の A/D 変換器、D/A 変換器を搭載した信号処理 LSI が実現できれば、デジタルの特長を生かし、アナログでは実現できない機能や性能を盛り込むことができる。つまり多機能型や、高画質のテレビ受信機が実現できる可能性がある。デジタルにすれば大容量のメモリを用いることができるからである。多機能化には、静止画表示、マルチ画面表示、親子画面表示などがあり、高画質化には、フレームメモリを用いた動き適応型 YC 分離回路や、動き適応型順次走査変換などいわゆる IDTV(Improved Definition Television)技術がある。

本研究の基本的動機は、図 1.4 に示すような A/D、D/A 変換器を搭載したビデオ用デジタル信号処理チップを実現することである。

小型の集積回路に搭載できるビデオ用の A/D 変換器が実現できれば、デジタル信号処理のビデオ信号処理 LSI が実現できる。図 1.5 は、本論文の第 3 章で報告するサブレンジ A/D 変換器の回路技術を使って実現したビデオ画像信号処理システム LSI の一例である[1.8, 1989 年]。これは当時アナログ信号処理では実現しにくかった子画面合成のための LSI（ピクチャーインピクチャーLSI）で、図 1.6 に示すように、TV チューナーおよび VTR 再生信号の 2 つの画像ソースがあった場合に、一つのテレビ表示装置に子画面の形で 2 番目の画像を組込んで表示する信号処理 LSI である。図 1.7 に合成された子画面の表示を示す。親画面の走査線が子画面の情報の領域に来ると子画面の情報に入れ替えることで親画面と子画面を合成することができる。

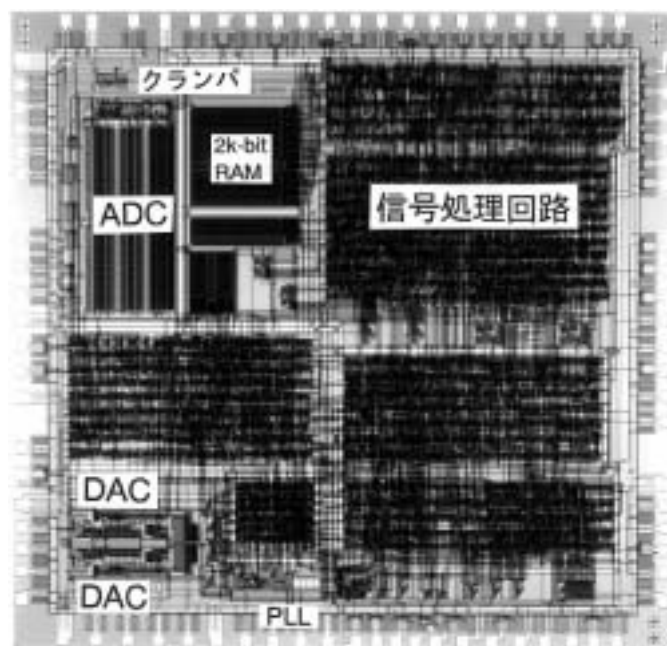


図 1.5 ビデオ画像処理システム用 LSI（ピクチャーインピクチャーLSI）

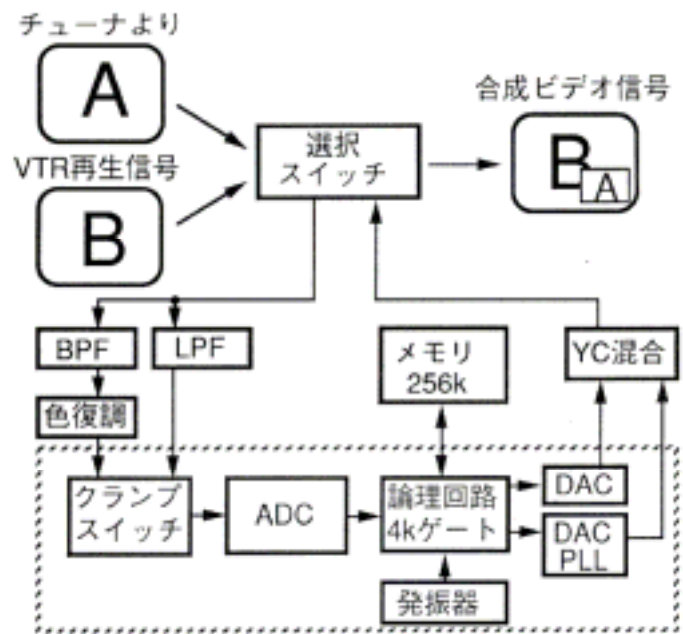


図 1.6 ピクチャーインピクチャーLSI システム



図 1.7 ピクチャーインピクチャーシステムで合成される画像の例

この LSI では、子画面のサイズが小さいため高精細な画像は必要なく、6-bit 分解能の A/D 変換器で十分であった。が、本格的なビデオ用デジタル信号処理 LSI を実現するためには、デジタル回路とオンチップ化可能な、少なくとも 8-bit 分解能の A/D 変換器を小さな電力で、小さな面積で実現する必要があった。これを実現する技術を作ることが本研究の基本的な動機と目的である。

1.4. ビデオ用 A/D 変換器の性能推移・技術推移と本研究の位置づけ

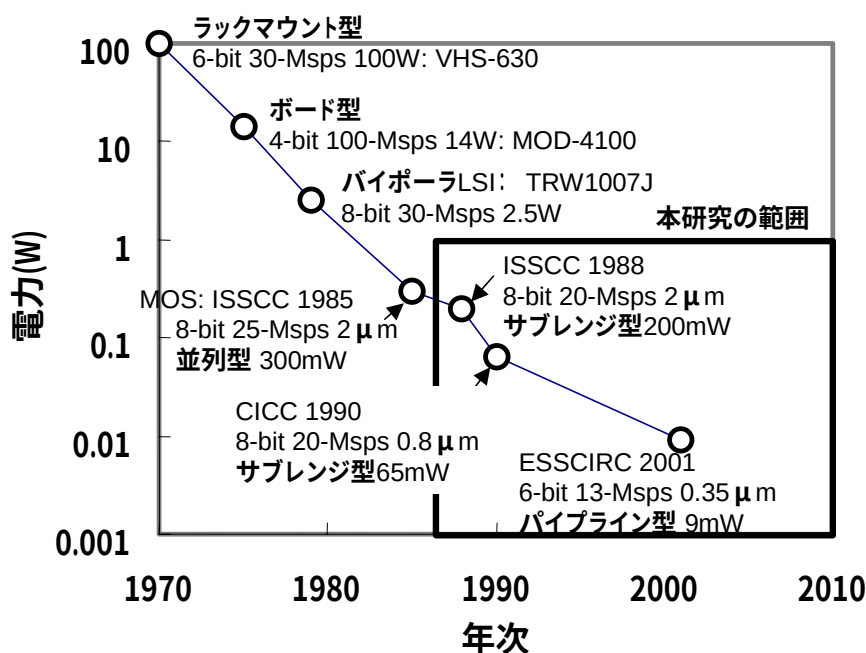


図 1.8 ビデオ用 A/D 変換器の電力性能推移

少し時代が戻るがビデオ信号処理に使う A/D 変換器は 1980 年代後半では、まだ高価で消費電力が大きかった。図 1.8 にビデオ用 A/D 変換器の消費電力の推移を示す。ビデオ信号をデジタル化する装置は 1970 年に現れたラック状の装置（図 1.9）が初めてで電力は 100W であった [1.9]。ついでボード状の A/D 変換器（図 1.10）が 1975 年に現れたが消費電力は 14W であった [1.9]。

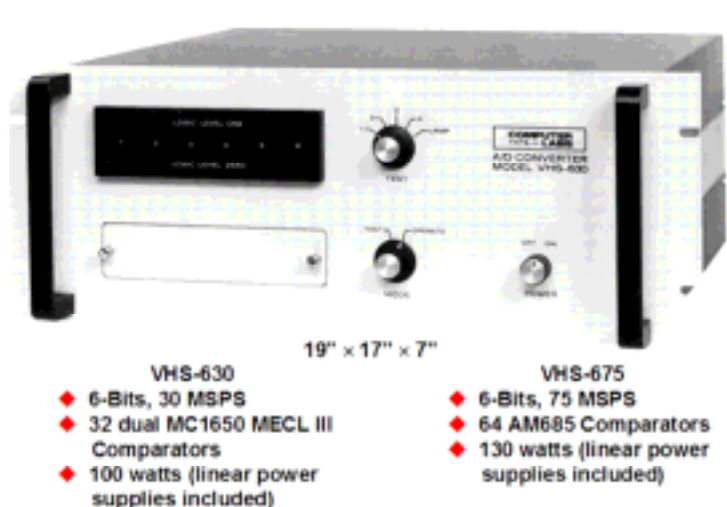


図 1.9 1970 年当時の VHS シリーズ A/D 変換器 VHS-630 (1970 年)、VHS-675 (1975 年)

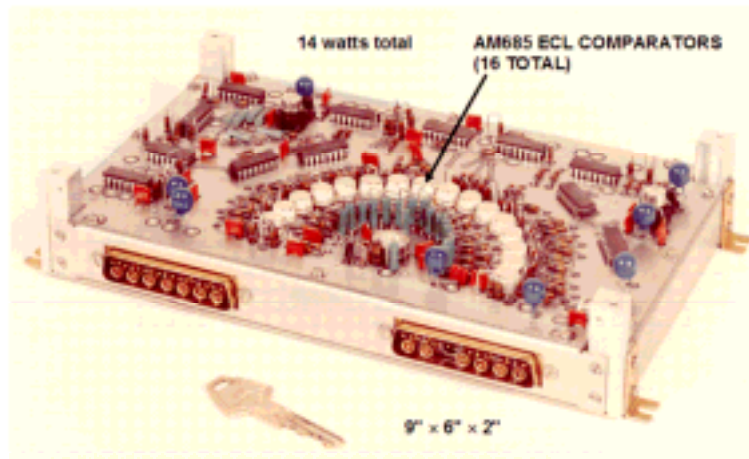


図 1.10 1975 年ボード状のビデオ A/D 変換器 MOD-4100 Computer Labs

さらに 1979 年にはついに IC チップに入ったビデオ用 A/D 変換器が現れた。TRW 社が開発した TDC1007J で、8-bit 30Msps の A/D 変換器で、ISSCC 1979 で発表されている[1.10]。モノリシック IC 化されたことが画期的であり、電力は 2.5W に下がった。バイポーラ技術を用いて回路設計されておりチップ面積は $6.5 \times 6.7 \text{ mm}^2$ であった。

A/D 変換器自体は IC 化されたが、当時デジタルでビデオ信号処理を行うにはラックになるような大掛かりなデジタル信号処理システムを組む必要があった。1980 年前後には、これを使って 3 次元デジタル画像エンハンサや高精細画像処理など将来のデジタルテレビに結びつく様々な信号処理システムが開発されるようになった。

一方、当時まだデジタル信号処理では大規模な LSI 群になってしまうため、A/D 変換器を使わずに、音声帯域の数～数十 kHz の信号しか扱えなかったスイッチドキャパシタ回路技術を高速化して、ビデオ信号を扱う試みが行われた。1982 年～1985 年にかけてビデオ帯域のスイッチドキャパシタ回路技術が、著者の発表を含めて国際学会に発表されている[1.11]-[1.14]。

しかし将来 MOS 集積回路の微細化が進展するのは明確で、特にデジタル集積回路の集積度が上がるため、ビデオ帯域の信号であっても A/D 変換器を用いたデジタル信号処理に移行するのは確実であった。1985 年に CMOS で並列型 8-bit, 25MHz の A/D 変換器が半導体の国際学会 ISSCC (International Solid-State Circuit Conference) に発表されると[1.15]、日本の半導体メーカーから CMOS を使ったビデオ帯域 A/D 変換器の研究開発が続々と国際学会で発表されるようになった。

本論文は、そこから始まる、低電力、小面積、低電源電圧、およびデジタル回路からの雑音の影響を受けにくい差動型回路、などのビデオ帯域 A/D 変換器の方式・回路の研究開発について述べたものである。

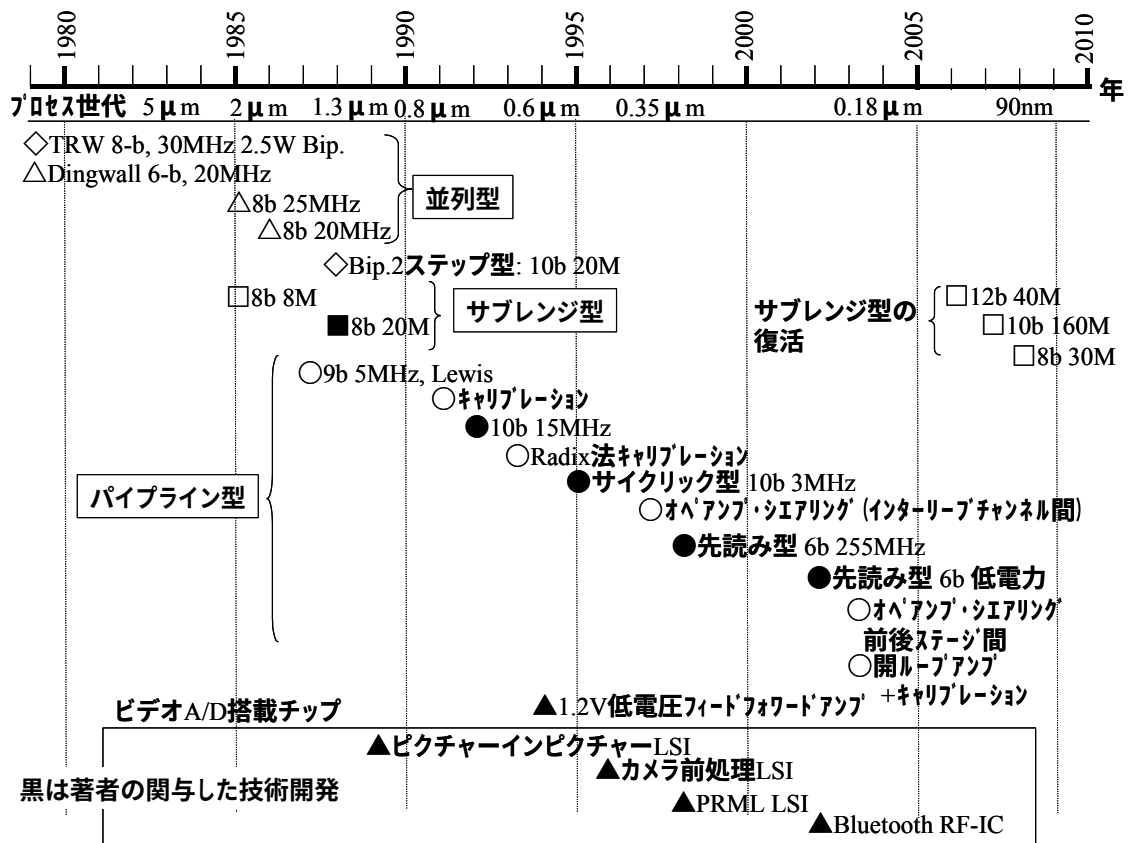


図 1.11 世界での CMOS ビデオ用 A/D 変換方式開発の流れ

図 1.11 に世界における CMOS ビデオ用 A/D 変換器の開発の流れを示す。先に述べたように 1979 年に TRW からバイポーラ素子を使った 8-bit 30Msps の 2.5W A/D 変換器が学会発表され製品化されたが、研究レベルでは、RCA の Dingwall が 1979 年に CMOS/SOI を使って、6-bit 20Msps の並列型 A/D 変換器を発表している。電力は 145 mW であった[1.16]。その後 1985 年に、上に述べた 8-bit 25Msps の並列型 A/D 変換器が CMOS で発表されると、当時 VTR 用ビデオ信号処理 LSI の開発が盛んだった日本から CMOS A/D 変換器の研究開発が盛んになされ、第 3 章で述べるサブサンプリング型を筆頭に、サブサンプリング型の発表が 1988 年～1991 年にかけて活発に行われた。その後ビデオカメラ用途では分解能を 8-bit から 10-bit に上げる必要があり、バイポーラではすでに 1988 年に 10-bit 20Msps の 2 ステップ A/D 変換器が開発されていたが、電力は 900 mW、面積は 25 mm² [1.17]と大きく内蔵用の変換器としては問題であった。CMOS での開発は、第 4 章で述べる 1992 年のパイプライン型(95mW)を初めとして各種の方式が開発されるようになり、電力も 100mW 前後が実現できるようになった。その後パイプライン型はビデオ帯域の CMOS A/D 変換器の方式として標準的なものになり、A/D 変換器を搭載したビデオ信号処理 LSI としても、CCD 撮像素子の後ろにつけるカメラ前処理 LSI (カメラ AFE) として製品化されて

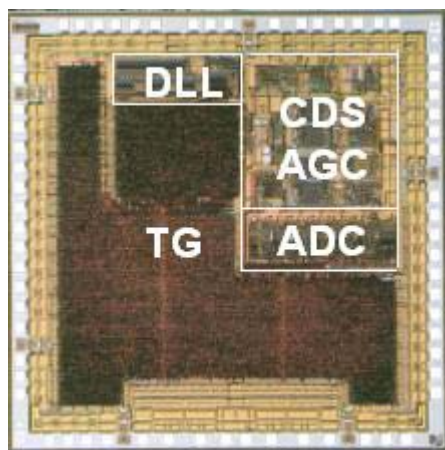


図 1.12 12bit/36MHz パイプライン A/D 変換器を搭載したカメラ前処理 LSI (1996 年)

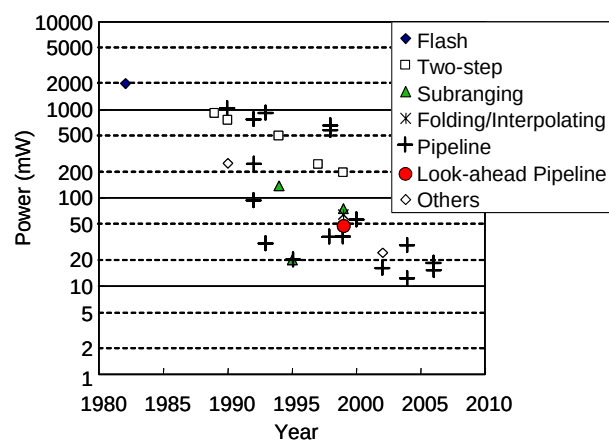


図 1.13 ビデオ用 A/D 変換器の消費電力の年次推移

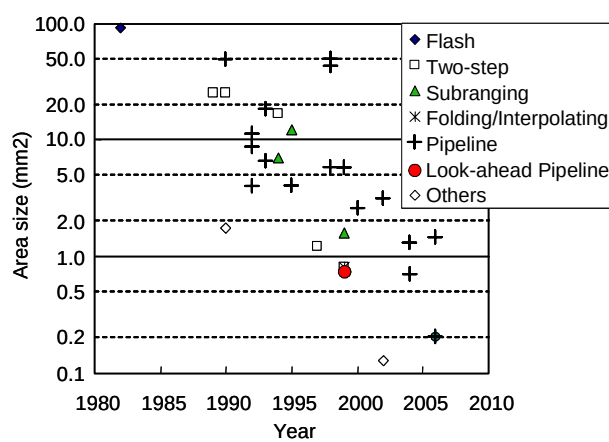


図 1.14 ビデオ用 A/D 変換器の面積の推移

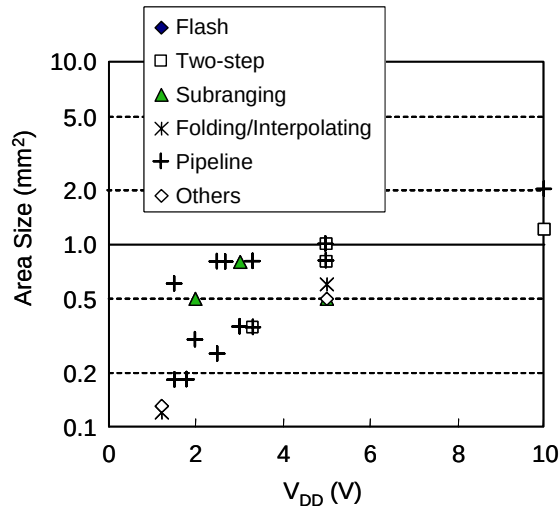


図 1.17 ビデオ用 A/D 変換器の電源電圧と面積の関連

ここまで、現在までのビデオ A/D 変換器の性能の推移を見てきた。これらはプロセスの微細化だけでなく、ビデオ用 A/D 変換器の方式・回路の研究が進んだために得られた結果である。本研究の研究開発開始(1983 年程度)時の開発課題に戻ると以下が言える。

MOS 集積回路に搭載する A/D 変換器の開発課題には以下のポイントがある。

- 1) 使うプロセス世代による最適な A/D 変換器方式の開発
- 2) 小面積、低電力を実現する方式の開発
- 3) デジタル信号処理部からの混入雑音の影響を受けにくい回路方式の開発
- 4) 素子のミスマッチの影響をいかに変換精度に影響させなくするかの回路・方式技術の開発
- 5) 例えばインターリーブ（並列交互動作）などの方式を使う場合の欠点である 2 チャンネル間のミスマッチをどう解決するか、高精度化技術の開発
- 6) 要求変換速度に応じた、もっとも面積と電力の小さくなる方式の開発
- 7) 低電圧の微細プロセス・デバイスを利用してどう高精度 A/D 変換器を実現するかなどである。

本論文では、初期の MOS ビデオ帯域向け A/D 変換回路技術の開発から始めて、これらの技術課題を主に「パイプライン処理」を用いて A/D 変換方式を提案して解決してきたので、これらに付いて順次述べる。

パイプライン処理はデジタル領域では処理レート（単位時間(通常 1 秒)当たりの処理量）を

高めるために一般的であるが、アナログの領域でもサンプルホールド回路を駆使してパイプライン処理による高速化が可能である。パイプライン処理とは、自動車組立のベルトコンベアーによる流れ作業のように、各ステージでは次々に到着する自動車に、ある部品を組み付けるような1作業のみ行い、それが終わると次のステージに渡し、次のステージが次の部品を組み付けて、何段ものステージを終えて最終的に自動車が組みあがるような処理方法である。自動車全体が組みあがるには時間がかかるが、一部品を組み付ける処理時間は短く、高速な処理レートが実現できる。A/D変換器では、次々のサンプル時間に到達するアナログ電圧が自動車に相当し、各段の処理は上位ビットから下位ビットにかけてビットを決めていく操作に相当する。

本論文で述べるA/D変換器は、パイプラインA/D変換器だけでなく、サブレンジ型にも、サイクリック型にもパイプライン処理を使用し、変換時間そのものは長くなるが、変換レートは高速になるように工夫している。

1.5. 本論文の構成

題目：パイプライン処理を用いたCMOS A/D変換器の低電力化に関する研究

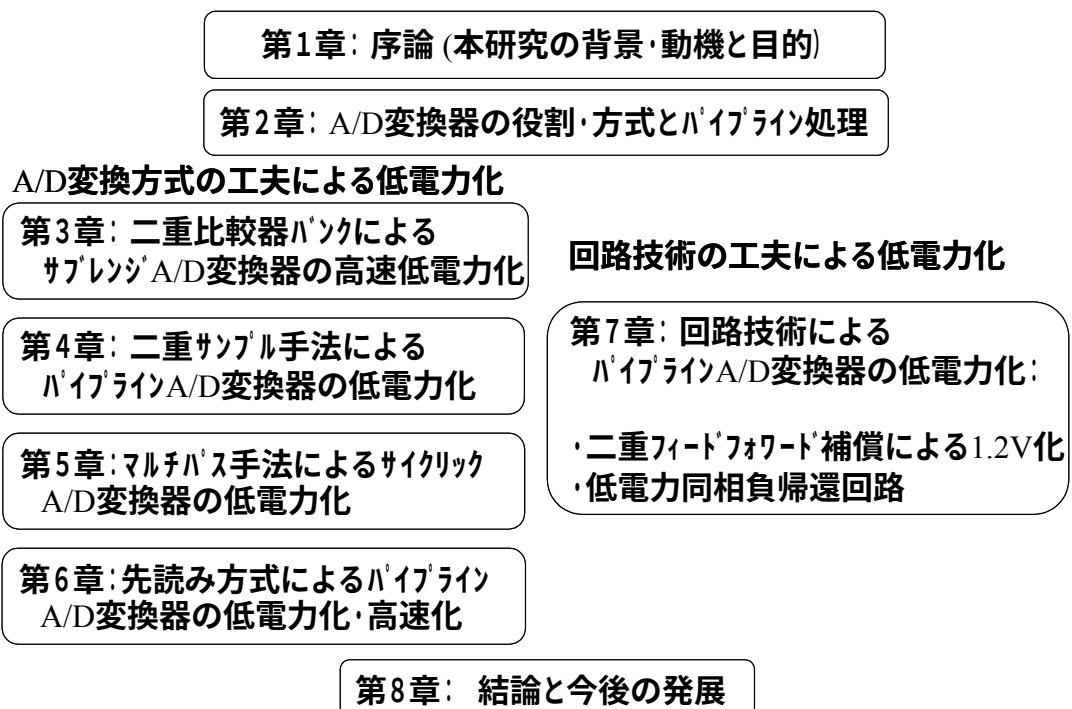


図 1.18 本論文の構成

本論文の構成を図 1.18 に示す。第1章 序論にて本研究の背景および動機と目的を述べた後、

第2章では、A/D変換器の役割と重要性について述べ、高速A/D変換器の方式（アーキテクチャ）と方式同士の関係について述べる。本論文の主題である「パイプライン処理をもちいたA/D変換器」については、その優位性について、一般のパイプライン処理およびパイプラインA/D変換器の説明を終えた後に、2.3節で説明を加える。

第3章から第7章までが本論文の本体である。1988年にISSCCへ報告したサブレンジA/D変換器で、二重比較器バンクによる「パイプライン処理」をサブレンジ型に組込むことによる高速化の研究から始まって、2002年Bluetooth送受信チップへ適用した先読み方式パイプラインA/D変換器の低電力化の研究まで、一貫してCMOSプロセス上にビデオ帯域のA/D変換器を搭載し高性能信号処理チップを実現するにはどうすればよいかを議論している。

この研究の第3章から第6章では、これ以前は主にバイポーラで製造されていたビデオ帯域のA/D変換器をCMOSで低電力に実現することを議論する「ビデオ帯域向けA/D変換方式」の開発であり、第7章では「回路技術によるパイプラインA/D変換器の低電力化」の研究で、1.2Vへの低電源電圧化、および、低電力なオフセットキャンセル可能な同相負帰還回路を議論している。なお第6章ではA/D変換器の高性能化だけでなく、変換器を信号処理チップへ搭載した適用例についても簡単に紹介する。

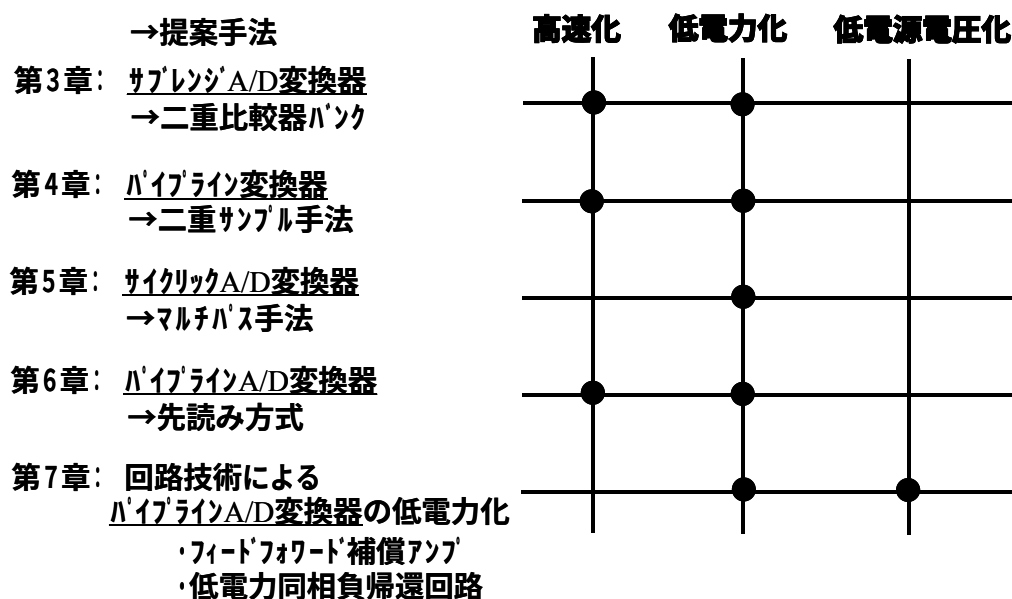


図 1.19 CMOS A/D 変換器の高性能化の課題と各章の関係

図 1.19 に CMOS A/D 変換器の高性能化の課題（高速化、低電力化、低電源電圧化）をまとめる。高速化については、第 3 章：二重比較器バンクによるサブレンジ A/D 変換器の高速・低電力化、および第 6 章：先読み方式によるパイプライン A/D 変換器の低電力・高速化、で述べる。また低電力化については、第 4 章：二重サンプル手法を用いたパイプライン A/D 変換器の低電力化、および第 5 章：マルチパス手法によるサイクリック A/D 変換器の低電力化、第 6 章：先読み方式によるパイプライン A/D 変換器の低電力化・高速化で述べる。また低電源電圧化については、第 7 章：回路技術によるパイプライン A/D 変換器の低電力化、の章で述べる。

研究の経緯：

図 1.20 に高速 CMOS A/D 変換器の方式（アーキテクチャ）開発の歴史を示す。前半は、まだ MOS によるビデオ帯域 A/D 変換器の実現方法が世界的にも確立される途中の状況で、MOS に適した変換器のアーキテクチャを探索していた時期である。ビデオ用の A/D 変換器はバイポーラがほとんどであった 1985 年に、CMOS を使ってビデオ用の並列型 A/D 変換器が開発された[1.15]。しかし MOS で期待されるデジタル信号処理回路とのオンチップ化に向けては消費電力も面積も大きかったため (8-bit, 300mW (5V), $5.4 \times 4.0 \text{ mm}^2$, $2 \mu\text{m}$ -CMOS)、その低減が必要であった。そこで回路規模を低減できるサブレンジ型に着目し、しかし変換速度が低下するのでこの高速化について研究開発を行い、二重比較器バンク、パイプライン処理による高速化手法を提案して 1988 年に学会報告した[3.1]。電力、面積はそれぞれ 200mW (5V), $3.86 \times 3.78 \text{ mm}^2$, 8-bit, $2 \mu\text{m}$ -CMOS と電力で 67%, 面積でも 67%に低減できた。この A/D 変換器については第 3 章で記述する。さらに $0.8\text{-}\mu\text{m}$ -CMOS を用いて高速化の研究を行い、8-bit 50-MHz 225mW, $2.6 \times 2.6 \text{ mm}^2$ の A/D 変換器を実現し 1990 年に学会発表した[3.15]。動作速度を上げているので電力は低減していないが、チップ面積は 46%に、アクティブ部面積では 39%に低減している。

1987 年にパイプライン A/D 変換器が S. Lewis により発表され[4.6]、5MHz の変換速度ではあったが、ビデオ帯域の A/D 変換器として非常に有望な方式と考えられた。そこで、パイプライン方式での高速化の研究を行い、15MHz 以上のビデオ帯域で実用になるパイプライン A/D 変換器を研究し、二重サンプル方式による高速化を提案してその結果を 1992 年の学会に報告した[4.1]。開発したプロセスは $0.8\text{-}\mu\text{m}$ でチップ面積は $2.7 \times 3.3 \text{ mm}^2$ 、分解能をサブレンジ型の 8-bit から 2-bit 上げた分面積が少し大きくなったが、電力は 95mW とビデオ用 A/D 変換器のコアとして重要な 100mW を切ることができた。詳細について第 4 章で述べる。パイプライン方式は、その後、ビデオ帯域 A/D 変換器の方式として世界中で使われるようになり、現在もその主流の方式になっている。

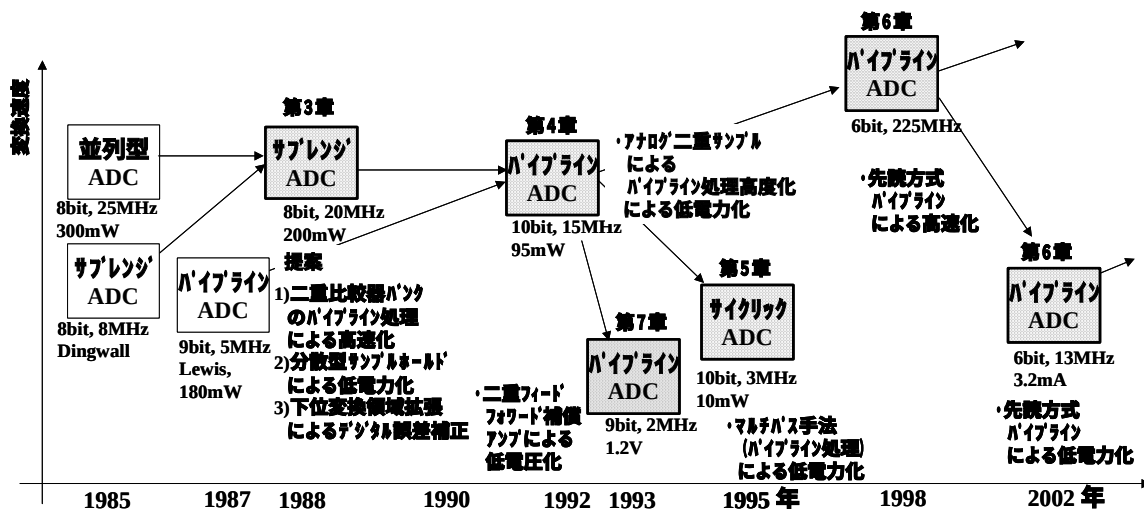


図 1.20 高速 CMOS A/D 変換器アーキテクチャ開発の経緯

パイプライン A/D 変換器は高速性を実現するものであったが、低電力、小面積 A/D 変換器を実現する手段として第 5 章で述べるサイクリック型（循環型）がある。サイクリック変換器はもっと低速の変換で使われる逐次比較型とパイプライン型の中間の方式といえる。このサイクリック変換の変換段数と変換時間のトレードオフを明らかにし、最適な変換段数でかつ最も変換速度が速くなる変換パスを設けたマルチパス方式を開発し、1995 年に報告した[5.1]。

次に 255-MHz という超高速のパイプライン A/D 変換器を検討する中で、回路動作速度を低減・緩和できる方法として、先読み方式（ルックアヘッド）方式のアイデアを得て、6-bit 255-MHz 200-mW の A/D 変換器を設計・試作し 1998 年に報告した[6.6]。さらに 2002 年にはこの先読み方式を低電力化に適用して Bluetooth 送受信機用の低電力 6-bit 13-MHz 3.2mA の低電力パイプライン A/D 変換器を開発して発表した[6.1]。これら先読み方式のパイプライン A/D 変換器については第 6 章で述べる。なおこれらの方式的研究の間に、1993 年には 1.2V 化のパイプライン A/D 変換器を実現するため、フィードフォワード補償アンプの考え方を開発し学会に発表した[7.1]。この回路技術については第 7 章で述べる。

本論文では、以下の順番で CMOS A/D 変換器の高性能化について述べる。

第 2 章では、まず A/D 変換器の重要性と適用例・応用例について述べ、つぎに A/D 変換器の方式について述べる。このなかでは高速ナイキスト型 A/D 変換器の方式（アーキテクチャ）に付いて述べ、特に方式同士の関係をわかるように説明した後、研究の主題である「パイプライ

ン処理を用いた A/D 変換器」の優位性について述べる。

第 3 章からが研究の本体である。本章では、上の研究の経緯で述べたように、ビデオ用の低電力・小面積 A/D 変換器を実現するため、並列型よりも比較器の数を大幅に低減できるサブレンジ型に着目して、その高速性を改善する二重比較器バンク、およびパイプライン処理による高速化を提案した。また、サブレンジ型では 2 回の変換ステップが必要なため、サンプルホールド回路が必要であるが、これを A/D 変換器の前の回路として設計すると電力が大きくなる。そこで、比較器の中に組込む分散型受動回路のサンプルホールド回路として実現し、消費電力低減することを提案した。また、この変換器では、従来の並列型で採用されていたシングルエンド比較器よりもデジタル回路からの雑音の影響に強い差動型の比較器を開発してデジタルからの雑音の影響を受けにくいようにした。これらの技術を開発することにより 2 μm CMOS 技術で 8-bit 20-MHz の A/D 変換器を 200-mW で実現することができた。

第 4 章ではパイプライン A/D 変換器の高速・低電力化について述べる。パイプライン型は、並列型やサブレンジ型に比べると、例えば 8 クロック遅れなどと変換時間が長くなるが、ビデオ帯域の変換レートを小面積、低電力で実現できる変換方式である。当時パイプライン型は 5MHz の変換レートであったがこれを 2 μm プロセスでも 15MHz に改善できる二重サンプル方式を開発して、高速・低電力変換を実現した。提案する二重サンプル方式は、D/A 変換器の整定時間と、差分を増幅するアンプの整定時間を分離して、回路の必要動作速度を低減することで高速な変換レートと、低電力なアンプ特性、したがって A/D 変換器全体の電力を低減する方法である。これらの技術を開発することによって、0.8 μm CMOS 技術で 10-bit, 15-MHz, 95-mA の A/D 変換器を実現することができた。

第 5 章は、ハードディスクの読み取りヘッド位置のサーボ信号処理などに使われる 3MHz 程度の変換速度の A/D 変換器を、小面積、低電力で実現するサイクリック変換アーキテクチャの提案である。サイクリック型は逐次比較型とパイプライン型との中間の方式とも言えるが、その中途半端な性格のために、一般にはあまり使われていなかった。このサイクリック変換の変換段数と変換時間のトレードオフを明らかにし、最適な変換段数で、かつ最も変換速度が速くなる変換パスを設けたマルチパス方式を開発した。マルチパス方式は、二重サンプル方式と似て、整定時間のかかる D/A 変換器の動作と、差電圧の増幅アンプの動作時間を分離してパイプライン処理化し、高速・低電力の A/D 変換器を実現する方法である。

これらの技術を開発して 10-bit, 3-Msample/s 10.8-mW の A/D 変換器を実現した。上記第 4 章のパイプライン A/D 変換器では 4-bit 分解能のステージを 3 ステージ用意して 10-bit 分解能を実

現したが、このサイクリック型では1ステージを3回繰り返して10-bit変換を実現することとした。このため面積、電力は、アクティブ部面積が 1.5 mm^2 、電力 10.8 mW (2.7 V)となり、パイプライン型に比べて面積をアクティブ部面積比で38%に低減することができた。

第6章は、パイプラインA/D変換器のタイミングを工夫して新しく提案した先読み方式パイプラインA/D変換器である。この先読み方式（ルックアヘッド方式）は、低電力化に向けた設計にも、高速化に向けた設計にも役立たせることができる。ハードディスク向け信号処理LSIでは、超高速だけれど並列型ほど電力の大きくないA/D変換方式が必要であった。そこでパイプラインA/D変換器の動作速度を高め、並列型程度の速度を得るために、先読み方式を考案した。これは通常のパイプラインA/D変換器の各段（ステージ）が、自分のステージの残差信号（サンプルホールドされた信号から、D/A変換器で再生されたアナログ信号を引算した信号：この段の量子化雑音に相当する）からA/D変換結果を得るのに対して、前の段の残差信号からこのステージのA/D変換結果を得る方法である。自分の段の残差増幅が整定するのを待つ必要がないので、その分A/D変換器の動作速度を高速化できる。

一方、回路を高速化できるということは、その分アンプ回路のバイアス電流を下げれば低電力化にも役立つ。その低減効果は、例えば、 13 MHz 、6-bit A/D変換器の例では、 $600\text{ }\mu\text{ A}$ → $250\text{ }\mu\text{ A}$ となり大きい。この先読み方式パイプラインA/D変換技術をBluetooth用RF-IC用の復調部用A/D変換器に適用した例では6-bit、 13-MHz 、 3.2 mA の低電力パイプラインA/D変換器を実現した。

また、ハードディスクの信号処理LSIの例では、先読み方式のほかに、並列交互動作（インターリーブ）による高速化技術も提案した。同じパイプラインA/D変換器を並列に並べ、交互動作により2倍の高速動作を得る方法である。このときには2つのチャンネル間の、オフセットミスマッチ、ゲインミスマッチ、サンプルタイミングミスマッチ、が誤差要因として発生するが、最も影響の大きいオフセットミスマッチによる誤差について、オフセット補正用D/A変換器を使うことにより低減できることを示した。提案する方式では、6-bit分解能では有るが、 255 MHz と当時としてパイプライン方式では実現できなかった高速を達成することができた[7.1]。ここで開発した高速パイプラインA/D変換器技術は、ハードディスクの磁気円板（ディスク）上に記録されている1、0信号を読み取ったり書き出したりする、リード・ライト・チャンネルの信号処理LSI用A/D変換器に適用した。このLSIの信号処理方法は、PRML(Partial Response Maximum Likelihood：最尤復号)と言われ1、0系列の最も確からしい系列をデジタル信号処理で計算して復号するものである。A/D変換器の適用の節でハードディスク信号処理LSI

について簡単に説明する。

第 7 章は回路技術によるパイプライン A/D 変換器の低電力化の研究である。前半は、低電力化で最も効果のある電源電圧を低電圧化する研究である。MOS の微細化が進むとデバイスの電源電圧を下げなければならずアナログ回路が作りにくくなる。デジタル回路は微細化で電源電圧を低下させても、動作速度 t_{pd} は負荷容量が小さくなるため改善できるが、アナログ回路は設計が難しくなる。試作で使った $0.3\text{-}\mu\text{m}$ では電源電圧を 3V まで取ることができるが、本章では、低電圧アナログ回路の設計課題を先取りするために、 1.2V でのアナログ回路、特に A/D 変換器の実現技術について研究した。オペアンプを 1.2V のような低電圧で動作させることは当時、時計用などの超低周波応用を除いては、ビデオ帯のような高速な動作をさせる方法は知られていなかった。アンプ回路に従来 CMOS では普通に使われていたカスコード型回路；つまりトランジスタを立て積みにしてアンプのゲインを上げる回路、が使えなくなるので新しい回路構成が必要になる。アンプ 1 段あたりの利得が取れなくなるので 3 段増幅段を使ったオペアンプを設計する必要がある。ところが 3 段アンプに単純にフィードバックを掛けると位相回転により回路が発振する。そこで位相補償としてフィードフォワード補償を新しく考案した。これによって 1.2V でも 9-bit, 2-MHz のパイプライン A/D 変換器が設計できるようになった。この結果については 1994 年に学会に報告した[7.1]。現在では、世界中でも低電圧オペアンプに 3 段構成を使っている例も多くなり、位相補償にはネステッドミラー補償法に並んでフィードフォワード補償法が使われている。

さらに通常の 1.2V まで電源電圧を下げない、 2.5V 程度のパイプライン A/D 変換器での低電力化を実現するため、本章後半では同相負帰還回路の低電力実現について議論する。オフセットをキャンセルしつつ低電力な同相負帰還回路を実現するため、アンプの入出力ショートと、アンプの入力の同相電位 V_{com} へのショート方式を提案している。

第 8 章では、以上に報告してきたパイプライン処理を用いた A/D 変換器の高速化・低電力化手法をまとめ、今後の課題・発展の方向について述べる。

なお、A/D 変換器の特性を理解するために必要となる基本概念や用語を第 10 章付録に解説した。論文本体で「有効ビット」「積分非直線性誤差」「微分非直線性誤差」などの用語を説明なしで使ったので、必要に応じて参照いただきたい。

2. A/D 変換器の役割・方式と CMOS A/D 変換器でのパイプライン処理の優位性

2.1. システム LSI における A/D, D/A 変換器の役割

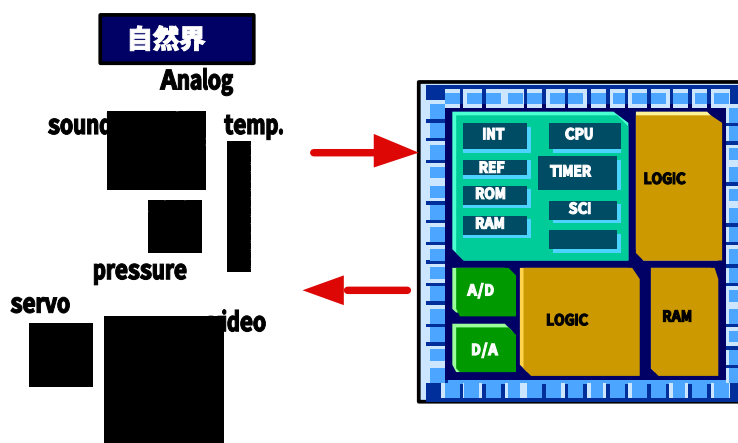


図 2.1 A/D、D/A 搭載マイクロコンピュータおよびシステム LSI

図 2.1 に現代における LSI 搭載用 A/D、D/A 変換技術の役割を示す。マイクロコンピュータやシステム LSI は、外界の信号を処理してシステムを制御するために使われる。外界の物理信号、例えば画像、楽音、温度、圧力、などの情報はセンサーによって電圧や電流などの電気的な量に変換されるが、通常このような量はアナログ信号であり、デジタル信号を扱うマイクロコンピュータでは直接扱うことができない。そこで外界のアナログ量をデジタル量に変換する A/D 変換器を通してマイクロコンピュータまたはシステム LSI が直接処理できるデジタル量に直す必要がある。また外界に、画像信号をディスプレイ表示する、または外界の制御対象を制御するためには、デジタル信号をアナログ信号に変換する D/A 変換器を通して外界にアナログ信号を出力することが必要であり、システムの性能を上げるためには、A/D、D/A 変換器の高性能化が重要な課題である。

A/D、D/A 変換器は図 2.2 に示す高周波システムでも現代では必須の機能になっている。例えば携帯電話の送受信 LSI では送信デジタルデータを D/A 変換器を通してアナログ信号に直し、電波の高周波に周波数変換して送信信号を作っている。また受信では高周波信号をミキサーで低周波のアナログ信号に直し、A/D 変換器でデジタル信号に直してデジタル信号処理により



図 2.2 携帯電話用高周波 LSI

復調が行われている。このように現代のシステム LSI では、微細化された CMOS 回路により高度なデジタル信号処理が可能になっており、したがって A/D, D/A 変換器の役割はますます重要なものになってきている。

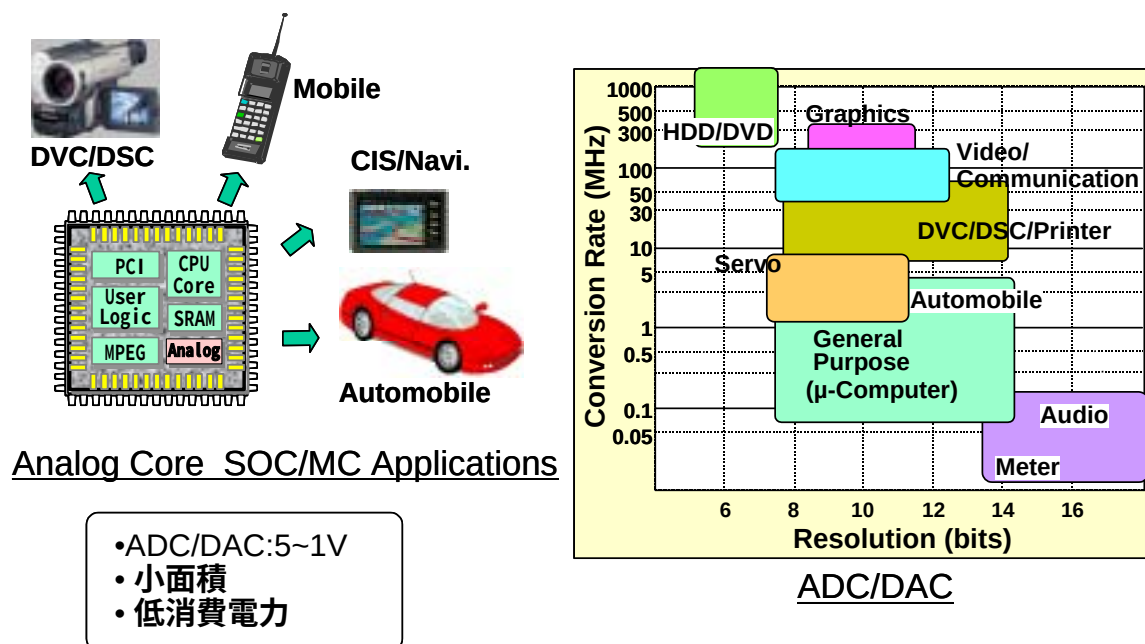


図 2.3 SOC (System on Chip) / マイコン用 CMOS A/D, D/A コア

図 2.3 にはシステムオンチップ用およびマイコン用 CMOS A/D D/A コアを示す。分解能と変換周波数別にいろいろな A/D, D/A 変換器が必要で、システム LSI 高性能化のためにはそれぞれのコアが高性能であることが必要である。

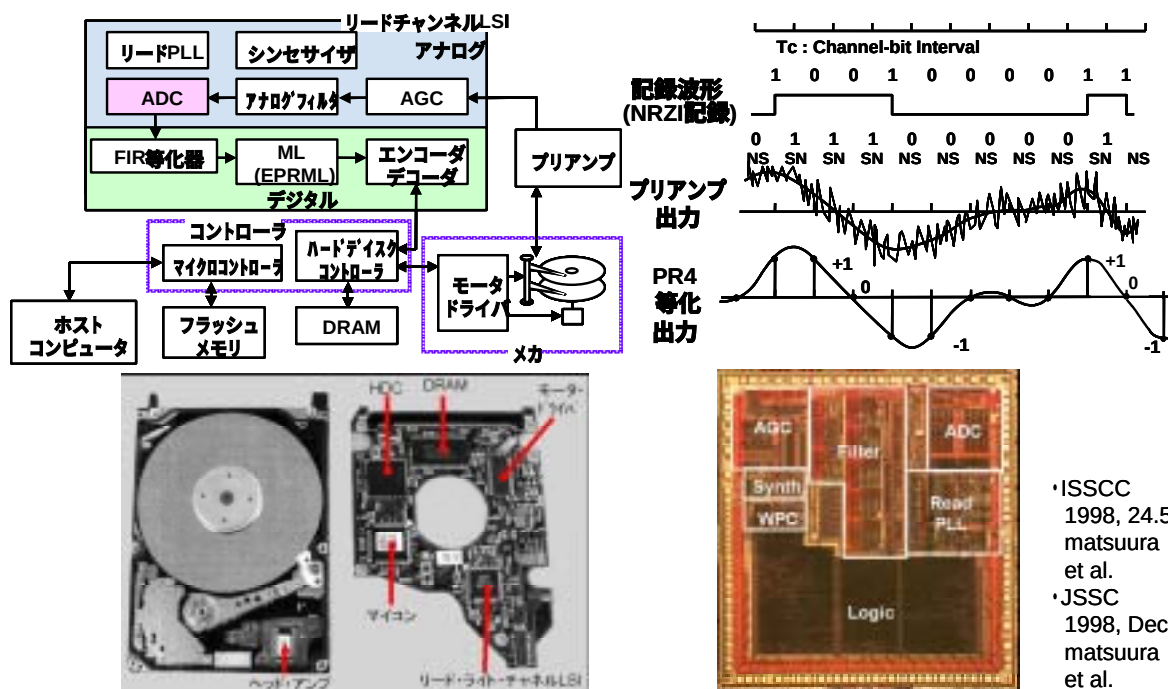
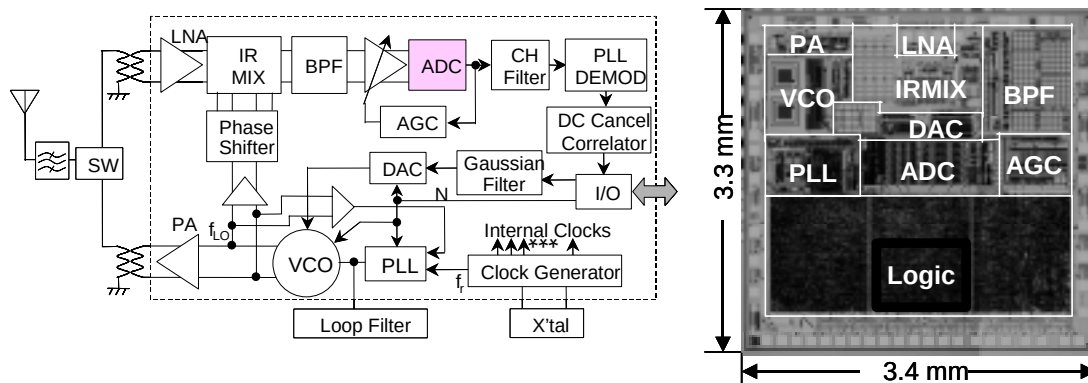


図 2.4 ハードディスク信号処理 LSI (リード・ライト・チャンネル)

つぎにシステム LSI の例を 2 例示す。図 2.4 はハードディスク用の信号処理 LSI で、デジタル信号をディスクに書き込んで、読み出す仕事をするためリード・ライト・チャンネルと呼ばれる。左下の写真に示すハードディスクには、ヘッドから 1、0 情報が、磁気媒体の塗布してある円盤（ディスク）に磁化方向として書き込まれる。これを読み取りヘッドから 1、0 信号を読み取るが、右上図のプリアンプ波形に示すように、高密度で書き込んでいるために前の信号と符号間干渉を起こして波形がなまっていると同時にノイズに埋もれた波形が読み取られる。これを左のブロック図に示すように、まずプリアンプで増幅し、AGC (Automatic Gain Control) で振幅を調整し、アナログフィルターで雑音を取ると同時に波形等化を行い、それを A/D 変換器でデジタル情報に直す。デジタル化された情報はさらにデジタル FIR フィルタで波形等化され ML (Maximum Likelihood: 最尤復号) 法で最も確からしい 1、0 系列に読み出す。ここで説明したように、最近の信号処理は、デジタル信号処理の力を借りて行うため、ここでもやはり A/D 変換器が必須の部品となっている。



- ・Bluetooth送受信機：
デジタルで復調するアーキテクチャを採用。
デジタル信号処理でチャンネル選択フィルタを
実現して小面積化。
- ・13MHz, 6bit, 3.2mA パイプラインADCを開発。

ISSCC 2002 5.5 kokubo et al.
ESSCIRC 2001 p544-547 Kudoh et al.

図 2.5 Bluetooth 通信用トランシーバ IC

図 2.5 には通信用トランシーバ IC の例として、Bluetooth 用のトランシーバーチップを示す。2.4 GHz の電波は低雑音増幅器 LNA(Low Noise Amplifier)で増幅され、IR MIX(Image Rejection Mixer)で 2MHz の低周波信号に周波数変換され、バンドパスフィルタ(BPF)、AGC(Automatic Gain Control)回路を通して、6-bit A/D 変換器でデジタル信号に変換される。その後デジタルのチャンネル選択フィルタを通して、デジタル領域の PLL(Phase Lock Loop)回路で周波数復調を行う。送信側は、VCO(Voltage Controlled Oscillator:電圧制御発振器)で送信周波数を作り出し、電力アンプ(PA: Power Amp)で増幅して電波として送信する。このように現代のデジタル変復調を使った通信システムでは、やはり高性能 A/D 変換器がシステムを組む上でのキー部品になっている。

以上見てきたように、A/D 変換器の高性能化の研究は、電気・電子部品工業にとって影響の大きい重要な研究といえる。

2.2. A/D 変換器の方式（アーキテクチャ）

本節では、まず高速な A/D 変換器の方式（アーキテクチャ）について解説し、高速領域で低電力な A/D 変換器の方式として、パイプライン処理を用いた CMOS A/D 変換器方式について議論する。

2.2.1. ナイキスト型 A/D 変換器とオーバーサンプル型 A/D 変換器

A/D 変換器には、要求される動作速度および分解能に応じてさまざまな方式（アーキテクチャ）が知られている。付録 10.1.1 節でサンプリング定理を説明するが、この定理の使い方で A/D 変換器は大きく二つの種類（群）に分けられる。

第一はナイキスト型の A/D 変換方式群で、サンプリング定理を提唱したナイキストの定理にしたがって、入力信号の帯域の 2 倍～数倍程度のサンプリング周波数で変換を行う A/D 変換器群である。従来の A/D 変換器はこの型に属する。

一方、第二の群はオーバーサンプル型 A/D 変換器群で、入力信号の帯域の数十倍から数百倍程度の高いサンプリング周波数でサンプルする方式で、電圧軸上の分解能の代わりに時間軸上の分解能を使って高分解能の A/D 変換結果を得る方式である。

なお、オーバーサンプル型はその信号処理の形態から $\Delta \Sigma$ 型、ないし $\Sigma \Delta$ 型とも呼ばれるが、信号処理の詳細については省略する。

これらの変換器の特徴は以下の通り。

(a) ナイキスト型 A/D 変換器

- ・入力アナログ信号と、出力デジタルデータは 1 : 1 に対応する。
- ・前の入力サンプルに関係なく、各サンプルは独立に処理されており、変換器内にメモリー機能はない。
- ・入力アナログ信号の帯域（最大信号周波数）の 2 倍の周波数（ナイキスト周波数）で入力信号をサンプリングしてやれば、元のアナログ信号を正確に再現できる。（ナイキストのサンプリング定理）
- ・直線性や精度はアナログ回路素子（抵抗、電流源、容量等）のマッチング精度で決まる。

(b) オーバーサンプル型 A/D 変換器

- ・ ナイキスト周波数より大幅に高いサンプリング周波数（8 倍～512 倍程度）を使って入力信号をサンプルし、出力データをたくさんの先行する入力データを使って再生する変換器。変換器の中にメモリー機能を持っている。
- ・ 入力アナログ信号と出力デジタルデータの間には 1：1 の関係はなく、時間領域または周波数領域における入力波形全体と出力波形全体の比較が変換器の精度を決める。
- ・ 精度は正弦波入力に対する信号対雑音比(Signal to Noise ratio: SNR)で決められる。
- ・ アナログ素子に対する要求精度はナイキスト変換器より一般に緩和される。

本論文で扱う A/D 変換器はナイキスト A/D 変換器である。

2.2.2. ナイキスト A/D 変換器の分類

ナイキスト A/D 変換器にもさまざまな種類の変換器が知られている。大きく分類して、低速の変換器、中速度の変換器、高速の変換器であり、これを表にすると、表 2-1 のようになる。

表 2-1 ナイキスト A/D 変換器の分類

名称	1 変換辺りのクロックサイクル（分解能 N bit）
低速-----高分解能	
計数（積分）型	2^{N+1}
中速、高速-----高分解能、中程度分解能	
逐次比較型	$\sim N$
アルゴリズムミック型	$\sim m \cdot N$
高速、超高速-----中程度の分解能、低分解能	
フルフラッシュ（完全並列）型	1
2 ステップ型、サブレンジ型	2
パイプライン型	$2 \sim N$
フォールディング型	1

以下、本論文で議論する A/D 変換器は、超高速や高速に分類される A/D 変換器である。低速の積分型 A/D 変換器、および中速の逐次比較型 A/D 変換器の説明は割愛し、付録第 10 章、10.3 節で説明する。

2.2.3. 超高速、高速の A/D 変換方式

超高速や高速に分類される A/D 変換器のうち、もっとも高速な変換を実現するのは並列型の A/D 変換器である。しかしこれは電力、面積が大きくなり分解能を上げるには適さない。そこで比較器の数を減らして電力、面積が小さくできるサブレンジ型や、2 ステップ型、マルチステップ型、それにパイプライン型 A/D 変換器が工夫されている。本節では、これらの変換器の原理について簡単に説明する。

2.2.3.1. 並列（フラッシュ）型 A/D 変換器

図 2.6 に(完全)並列型 A/D 変換器のブロック図を示す。図は m -bit 変換器のブロック図で、 (2^m-1) 個の電圧比較器、 2^m 個の等しい抵抗値 R の抵抗ラダー、バブルエラーを除く EOR (Exclusive OR)回路、 m -bit の論理出力を作り出すエンコーダ、とで構成されている。ラダー抵抗により参照電圧トップ側電圧 V_{RT} とボトム側 V_{RB} の間が、 (2^m-1) 個の等間隔の電圧に分割され、 (2^m-1) 個の参照電圧 V_j （遷移電圧）が作られている。それぞれの比較器は、これらの参照電圧 V_j と入力電圧 V_{in} を比較する。例えば、アナログ入力電圧が V_j と V_{j+1} の間にあるならば、比較器の A_1 から A_j までの出力は、入力電圧と参照電圧の大小により、出力が 1 となり、 A_{j+1} 以上の比較器の出力は 0 となる。その結果、比較器群の (2^m-1) -bit の出力データは、下から $(1,1,1, \dots, 1,1,0,0, \dots, 0,0)$ となり、1→0 に変わる変わり目が入力電圧 V_{in} のレベルを示している。入力電圧 V_{in} が高ければ 1 の列が長くなるので、温度計符合と呼ばれている。

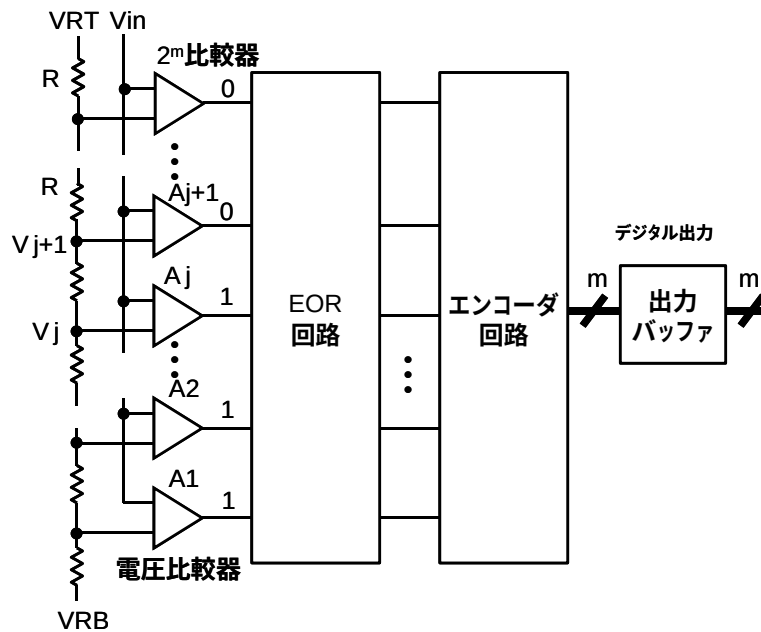


図 2.6 並列型 A/D 変換器のブロック図

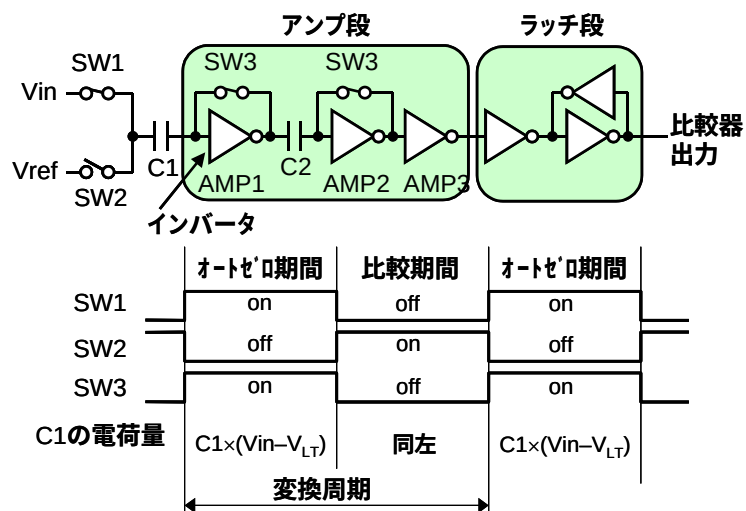


図 2.7 CMOS 比較器回路の例

EOR 回路は、1,1 の入力、または 0,0 の入力の場合 0 を出力し、1,0 の入力の場合 1 を出力するので、温度計符号の 0→1 の切替わり点を検出する回路で、最後にこれをエンコーダ回路で通常の m-bit の 2 進符号に変換する。

図 2.7 に CMOS 電圧比較器回路の例を示す。この回路は CMOS インバータをアンプとして

使っている。オートゼロと言われる期間では、SW1, SW3 を閉じて AMP1 のインバータの入出力を短絡して、インバータのゲインが最も高い点 V_{LT} ($V_{DD}/2$) にバイアスし、一方入力電圧 V_{in} を、SW1 を閉じることにより容量 C1 に $V_{in}-V_{LT}$ の電圧として記憶する。次に比較期間では、SW1, SW3 を開放し、SW2 を閉じる。SW3 が開放されてもインバータは最もゲインが高い点近傍にバイアスされている。容量 C1 の左から入る電圧が $V_{in} \rightarrow V_{ref}$ と変わるので、 V_{ref} が V_{in} よりも低ければ、C1 の左の電位が下がり、したがって C1 の右の電位も下がるので、インバータの出力は上がる。つまり 1 を出力する。 V_{ref} が V_{in} よりも高ければ 0 が出力される。こうしてインバータがアンプとして働き、電圧比較器の動作をする。

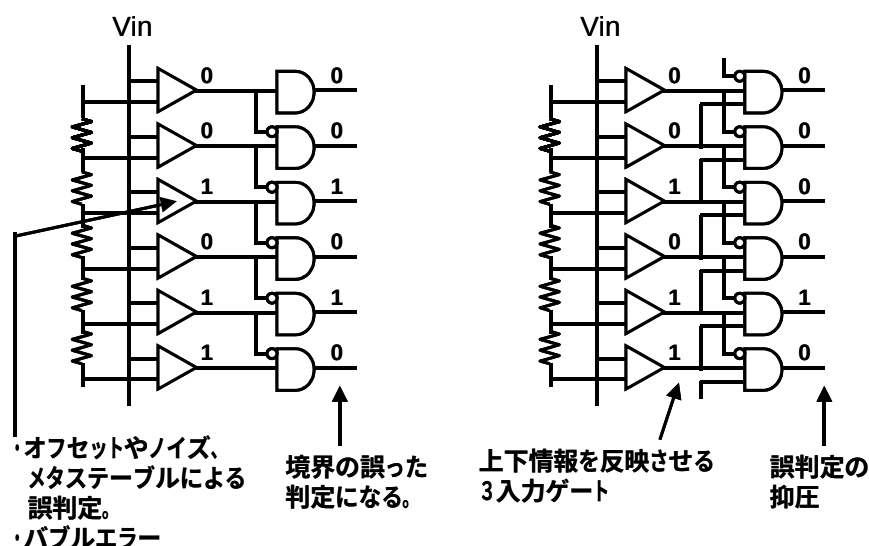


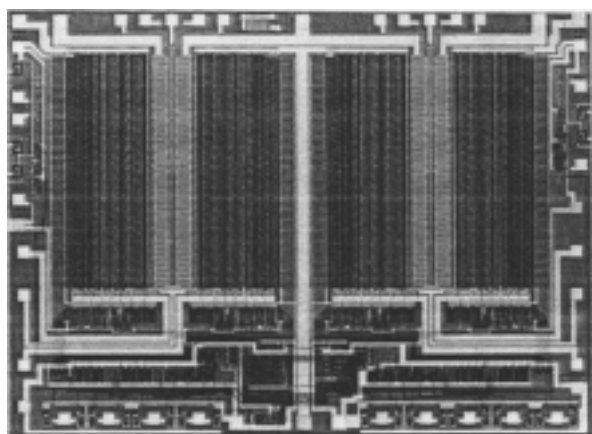
図 2.8 バブルエラーの抑圧

高速動作する並列型 A/D 変換器の温度計符号の出力には、バブルエラーと呼ばれる、例えば (1,1,1,,1,1,0,1,0,,0,0) の用に、 $1 \rightarrow 0$ に変わるだけでなく、一旦 $0 \rightarrow 1$ に戻ってしまうことを起こすことがあるが、これをバブルエラー（泡エラー）と呼んでいる。例えば比較器のオフセットやノイズ、メタステーブルにより動作速度がばらつく場合このようなバブルエラーを起こす。図 2.8 にバブルエラーを取り除くための回路例を示すが、2 入力の EOR 回路でなく、 A_j の上下、 A_{j-1} , A_{j+1} の 3 つの比較器の情報を使って $1 \rightarrow 0$ になる境界の誤判定を避けることなどが良く行われる。

並列型 A/D 変換器の動作速度を規定するのは原理的に言って比較器の判定速度である。比較器には線形性のある増幅性能は必要とされないため、オペアンプを使うサンプルホールド回路

より高速に動作する。したがって並列型 A/D 変換器はサンプルホールド回路を必要とする他の方式の A/D 変換器よりもずっと高速に動作できる。

図 2.9 に並列型 A/D 変換器の開発例を示す。1985 年に 2 μm CMOS で開発された A/D 変換器で、8-bit 25MHz, 300mW の性能であった。



並列型	
ISSCC 1985	
分解能	8-bit
変換速度	25-MHz
INL	-
DNL	+/-0.5 LSB
電力	300 mW
アレイ面積	16.7 mm²
プロセス	2μm CMOS

図 2.9 並列型 A/D 変換器の開発例 [1.15]

並列型 A/D 変換器は超高速であるという利点がある一方、いくつかの欠点も存在する。分解能を上げると、必要とされる比較器の数が指数関数的に増大するので、消費電力とチップ面積も指数関数的に増大し、8-bit 以上の分解能では電力と面積の点で問題になり、10-bit 以上では LSI 搭載用の A/D 変換器としては許容できなくなってくる。さらに、比較器の数が多いことは、ラダー抵抗によって作られる多数の参照電圧が AC 的にも、DC 的にもずれを生じさせるという問題がある。また大きな非線形性を持った入力容量があり、さらにアナログ入力にキックバックノイズがある、などの問題である。

並列型 A/D 変換器の問題点は比較器の数が多いことから由来する。そこで同じ分解能を得るために比較器の数を減らすことを考えたのが、サブレンジ型や、2 ステップ型、マルチステップ型、それにパイプライン型 A/D 変換器である。これらの変換器では変換を 2 ステップないし、多数のステップで行う。2 ステップの変換器では入力電圧をまず分解能の低い並列型 A/D 変換器で粗く量子化する。この粗い量子化によって入力電圧が A/D 変換器のフルスケール中のどのセグメント（部分領域）にあったかを判別する。精密な 2 番目の変換は、この判明したセグメントの中をさらに細かく次の並列型 A/D 変換器で量子化することで得る。こうすることで、量

子化器の数を大幅に減少することができる。例えば 10-bit 分解能の A/D 変換器を、2 回の 5-bit ずつの A/D 変換で行うと、比較器の数は $(2^5-1)+(2^5-1)=31+31=62$ 個で済むが、これを並列型の A/D 変換器で実現すると $2^{10}=1024$ 個の比較器が必要になる。したがって電力とチップ面積を大幅に低減することができるが、少なくとも 2 回の変換ステップが必要になるので、変換速度は並列型 A/D 変換器にかなわない。次節以降これらの高速 A/D 変換方式について説明する。

2.2.3.2. サブレンジ A/D 変換器

図 2.10 にサブレンジ A/D 変換器の原理を示す。並列型 A/D 変換器(a)からサブレンジ型(c)を導出する。並列型 A/D 変換器(a)では、上位ビットと下位ビット（この図では上位 2-bit, 下位 2-bit 変換）を区別なく、すべての比較器を一度に使う、抵抗ラダーで発生する VRT と VRB の分割の参照電圧と比較をして、入力電圧 V_{in} がどのレベルにあったかを判定する。これに対して、比較器の数を減らすために、変換を粗い上位 2-bit、細かい下位 2-bit の 2 回に分けることを考える。粗い上位 2-bit の変換はフルスケールを 4 領域に分ける変換なので、上位 2-bit の比較電圧は図 2.10 (a)の左に出ている比較器で可能である。

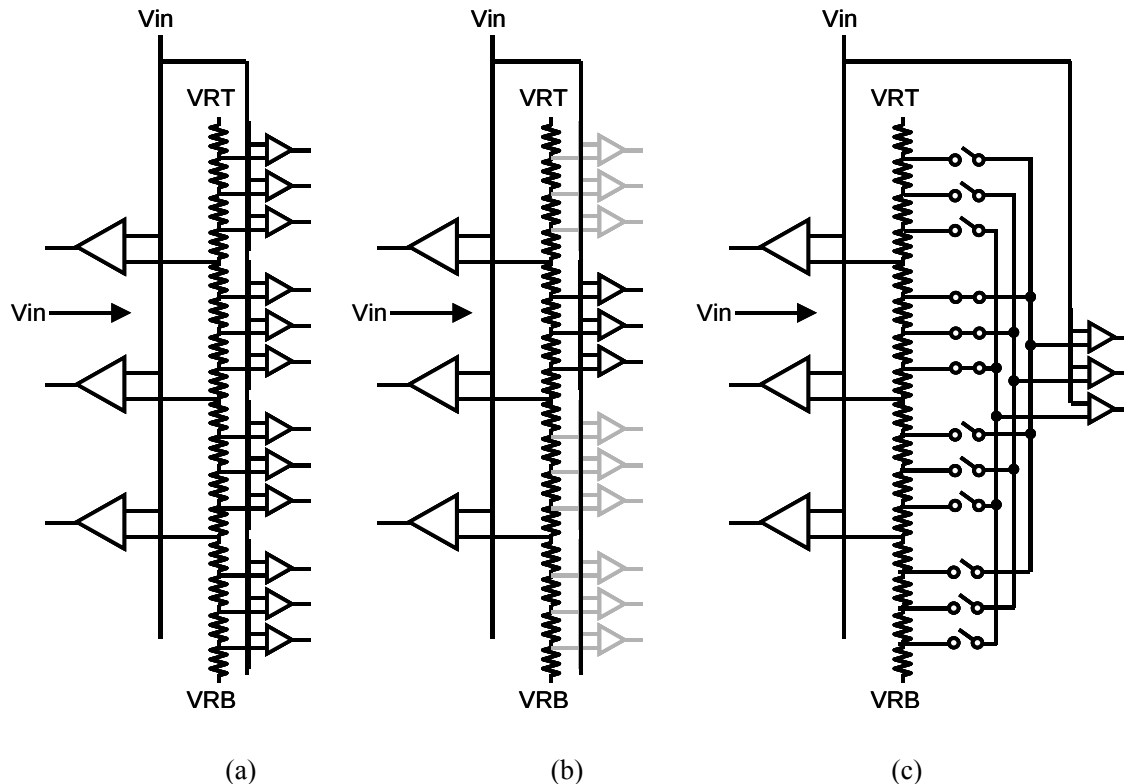


図 2.10 並列型 A/D 変換器(a)からサブレンジ A/D 変換器(c)の導出

上位比較を終えると、入力電圧 V_{in} がどの上位比較器の判定範囲にあったかが分かる。この図では、上から一番目の上位比較器参照電圧と、二番目の上位比較器参照電圧の間に入力電圧 V_{in} があったとしている。

上位比較器で分割される参照電圧群の一つ一つをセグメント（部分領域）ということにする。この例では、入力電圧 V_{in} は 2 番目のセグメントにあった。次に下位の 2-bit を決めるためには、図 2.10(b) に示すように、2 番目セグメント内部の細かいステップの参照電圧を入力電圧 V_{in} に比較すればよく、2 番目以外の、灰色にしてあるセグメントの参照電圧を使う必要はない。こうして 2 回目の比較器は、灰色を含めたすべての参照電圧に対応する比較器を用意する必要はなく、下位の分解能分、この例では 2-bit の分解能分だけの比較器を用意すればよい。ただし、リファレンスラダーで発生する参照電圧群は、図 2.10(c) に示されるように、セグメント内の参照電圧群を選択するスイッチによって、下位比較器群につながかえる必要がある。

1 回目の比較で上位 M ビットが分解され、2 回目の比較で下位 P ビットが分解されるとすると、全体の分解能は $(M+P)$ ビットであり、しかし比較器の数は $(2^M + 2^P - 2)$ 個と、並列型の場合の $2^{M+P} - 1$ 個より大幅に低減することができる。なお、比較器の精度・オフセットずれの許容値は原理から言って、 $(M+P)$ ビットの並列型 A/D 変換器で必要なだけの精度が必要であることは注意しなければならない。つまり 8-bit サブレンジ A/D 変換器を作るには、下位は 4-bit の並列型 A/D 変換器ではあるが、その比較器の精度・オフセットズレは 8-bit 精度が実現できる値以下に収まっていなければならない。

このサブレンジ型は、逐次比較 A/D 変換器のマルチビット型への展開形と考えることも可能である。

このサブレンジ型は、次の 2 ステップ型で問題となる D/A 変換器の出力とアナログ信号の引算の精度問題を避けることができるのが長所である。一方、欠点としては、抵抗ラダー D/A 変換器は一般的に整定時間が長くなるため、参照電圧をつなぎかえる段間信号処理が遅くなる可能性がある。

2.2.3.3. 2 ステップ型 A/D 変換器

サブレンジ型では参照電圧を 2 回の変換ステップの間に切替えたが、入力信号 V_{IN} を 2 回の変換ステップの間で変更して変換を行うこともできる。

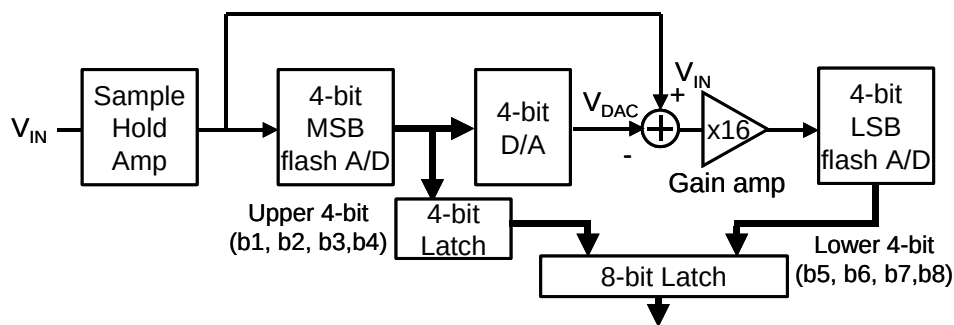


図 2.11 2 ステップ型 A/D 変換器の構成 (4-bit, 4-bit 構成の例)

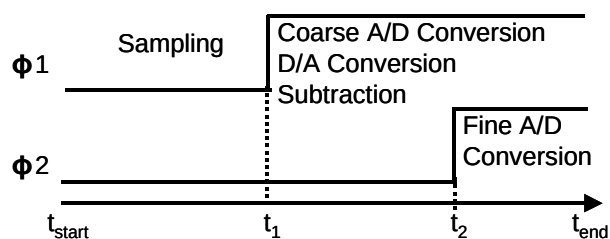


図 2.12 2 ステップ A/D 変換器の動作タイミング

(1) 2 ステップ型の構成

図 2.11 に 2 ステップ型 A/D 変換器の構成図を示す。図では上位 4-bit 変換、下位 4-bit 変換の 8-bit 変換を例にしてブロック図を描いた。初段にサンプルホールドアンプがあり、1 回目の変換用の粗い分解能（本例では 4-bit）の上位用・並列型 A/D 変換器がある。その上位 A/D 変換結果をアナログ値に戻す D/A 変換器と、それを、ホールドしていた入力信号 V_{IN} から引算するアンプと、下位 4-bit のフルスケールを上位と同じにする 16 倍ゲインのアンプがあり、その出力が下位 A/D 変換器（fine A/D 変換器）に供給されている。

(2) 2 ステップ型の動作

図 2.12 に 2 ステップ型 A/D 変換器の動作タイミングを示す。初段のサンプルホールドアンプは変換前 $t=t_1$ の時間まで入力信号にトラッキングしているが、 t_1 の時刻でサンプル値を保持してホールドモードに入る。以下上位、下位 2 回のサブ A/D 変換が終了するまで入力電圧を保持（ホールド）する。時刻 t_1 では、上位の（粗い）並列型 A/D 変換器が変換を始め、この例では 4-bit の、上位デジタル変換結果を出力する。これは入力アナログ電圧の 4-bit 分解能の粗い近似値である。そのデジタル出力は続いて D/A 変換器によってアナログ値 V_{DAC} に戻され、引

算アンプにより、アンプにホールドしていたアナログ入力信号値 V_{IN} から引算して、残差信号 (Residue) = $V_{IN} - V_{DAC}$ を作る。これは、上位 4-bit 変換の量子化誤差ということもできる。この残差信号を時刻 t_2 から始まる下位の A/D 変換で、この例では 4-bit に変換し、上位ビットと下位ビットの変換結果を連結することで全体の変換結果を得ることができる。

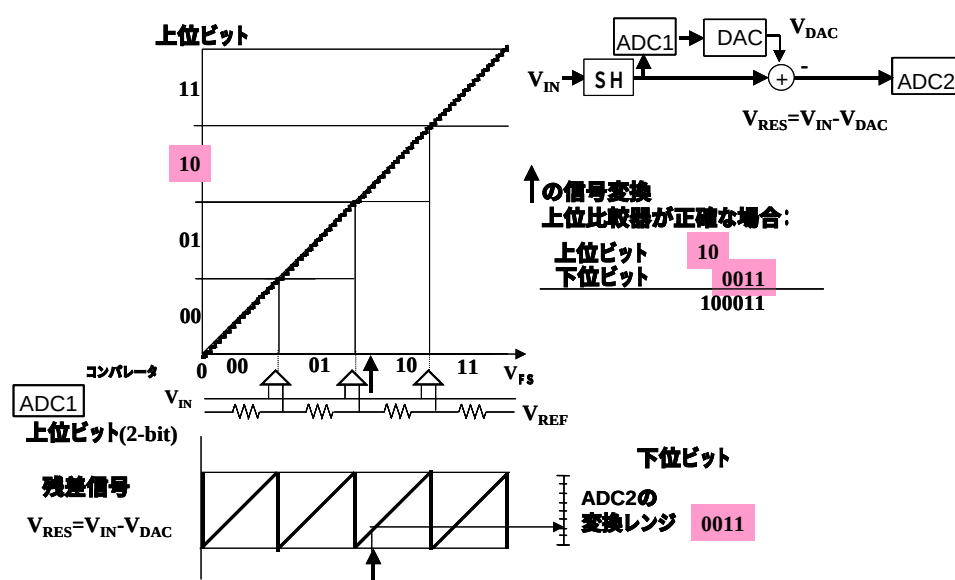


図 2.13 2 ステップ A/D 変換器の変換原理

図 2.13 に、2 ステップ A/D 変換器の電圧軸で見た変換原理（アルゴリズム）を示す。図の横軸は入力電圧 V_{IN} で、縦軸は出力コードである。この説明では上位の変換器を 2-bit とした。2-bit の変換器では、入力電圧 V_{IN} のフルスケール範囲は(00,01,10,11)の 4 領域に分けられる。

横軸の下に(上位の)並列型 A/D 変換器(ADC1)の構成を示した。フルスケール(0V, V_{FS})を抵抗で分割して 3 つの遷移電圧（参照電圧）を作り、3 つの比較器にそれぞれ接続する。それぞれの比較器は入力電圧 V_{IN} とつながれており各参照電圧と比較して、入力電圧がどの領域にあったか判断する。入力電圧が図中、横軸の上向き矢印の位置にあったとすると、下から 3 番目の領域なので、出力デジタルビットは(10)である。つぎにこの(00), (01), (10), (11)のデジタルの値は、D/A 変換器で対応するアナログ値 V_{DAC} に再生される。図中では、 V_{DAC} は、45° の階段状のデジタルデータに対応するアナログ値である。これは入力信号を 2-bit で近似した値であり、この V_{DAC} をホールドしていた入力信号 V_{IN} から引算すると残差信号 $V_{RES} = V_{IN} - V_{DAC}$ が得られる。これは、図の下にあるように V_{IN} に対してノコギリ波状のアナログ値となる。残差信号は、別の言い方をすると、上位 2-bit 変換したときに残る変換誤差で、2-bit の量子化誤差そのもの

である。つぎにこの残差信号を、下位（ファイン）の A/D 変換器(ADC2)に供給して下位ビットを求める。この例では下位は 4-bit 変換とした。矢印で示される入力信号は 10 に相当する VDAC の値を引かれて、図に示すように下位 A/D 変換器(ADC2)の変換レンジの中に入る。この例では下位は(0011)の結果を出すとした。こうして、上位が(10)、下位が(0011)の変換結果なので、全体として、(100011)の変換結果を得たことになる。

2 ステップ変換器では、全体で m ビットの変換結果を得たいとき、上位に $m/2$ 、下位に $m/2$ と均等に割り当てることが多いが、必ずしもその必要はない。また、後に述べる冗長ビットを使って誤差補正を行うときには、下位ビットを 1-bit 拡張して $m/2+1$ ビットとすることが多い。

(3) 2 ステップ型の課題

・高精度サンプルホールドアンプ回路

変換原理から分かるように、2 ステップ A/D 変換器の初段にあるサンプルホールド回路 SH は重要な役割を担っている。もしサンプルホールド回路がないと、入力信号が 2 回の変換を行っている間に動いてしまうので正しい変換結果が得られない。例えば 1 回目の変換（上位変換）時に入力の下から 3 番目の領域にあって(01)と判定したのに、2 回目の下位判定の時には入力が動いてしまって、違う領域に入るか、または、同じ領域でも下位 A/D 変換器にとって違う入力電圧になっていると正しい変換結果が得られない。2 ステップ変換器にとってサンプルホールド回路は必須である。

並列型 A/D 変換器ではサンプルホールド回路は必要なかったが、2 ステップ型では必須である。この回路は A/D 変換器の初段に置くので、この回路の線形性と、ダイナミックレンジ(SNR)は A/D 変換器全体の性能を決めてしまう。8-bit 以上の精度を求めると少しずつ問題になり、12-bit 程度では線形性が問題になる。線形性をよくするためにサンプリングをするスイッチにブートストラップ方式と呼ばれる入力電圧に連動してゲート電圧を昇圧する回路を使うことが良く行われている。14-bit では SNR が問題になり、 kT/C 雑音を小さく設計するために大きなサンプリング容量が必要になる。このようにサンプルホールド回路の設計は全体の性能を決めるため非常に重要で、A/D 変換器全体の消費電力の大多数をこの初段のサンプルホールドアンプが消費することも珍しくはない。

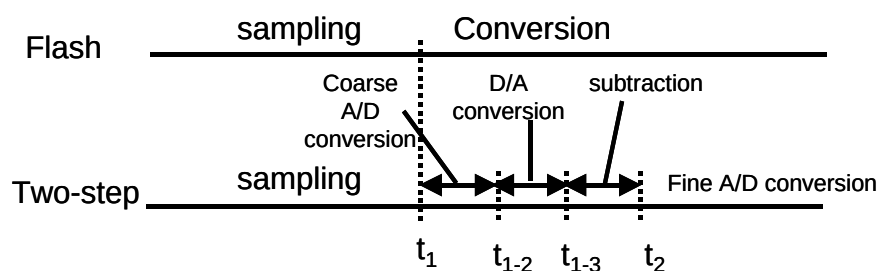


図 2.14 並列型 A/D 変換器と、2 ステップ型 A/D 変換器の動作比較

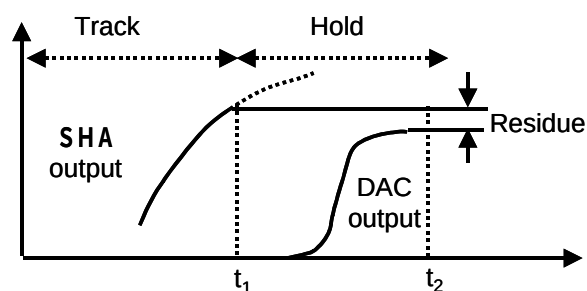


図 2.15 2 ステップ型 A/D 変換器の内部動作

・動作速度

次に動作速度について考える。図 2.14 は、並列型 A/D 変換器(Flash)と、2 ステップ型 A/D 変換器(Two-step)の内部動作を比較したものである。また図 2.15 に 2 ステップ型 A/D 変換器の内部動作波形を模式的に表現した。並列型 A/D 変換器では、比較器はクロック期間の前半、入力信号をサンプリング（トラック）して、後半に A/D 変換を行う。2 ステップ型変換器では、サンプルホールドアンプが入力信号にトラッキングしている間、システムの他の部分は動作していない。サンプルホールドアンプがホールドモードに入ると、粗い（上位）A/D 変換、段間 D/A 変換、引算が行われて、引算結果が安定してから、最後に（下位）ファイン A/D 変換が行われる。この比較から分かるように、並列型 A/D 変換器に比べ、2 ステップ変換ではいくつもの変換速度を制限する要因が存在する。第 1 に、初段のサンプルホールドは通常、比較器に比べて大幅に遅い。つまり長いトラッキング時間とホールド期間が必要である。第 2 に、変換期間の間にいくつかの動作が行わなければならない。それらの動作のどれもが速度と精度のトレードオフを持っている。粗い（上位）変換は並列型 A/D 変換器とほぼ同程度の変換速度を出すことができるが、D/A 変換器の出力は最終安定電圧に十分安定する必要がある。そして

引算器と（下位）ファイン A/D 変換器がさらに時間を必要とする。したがって、2 ステップ型の変換速度を並列型の変換速度まで上げるのは容易ではない。

- ・ 上位、下位の間の変換精度

2 ステップ変換器の 3 番目の課題は、引算器と下位 A/D 変換器の間のインターフェイスにある。このインターフェイスにゲインを持ったアンプを使わない場合、下位 A/D 変換器への入力、サンプルホールドアンプ出力と D/A 変換器出力の差に等しく、したがってこのインターフェイス回路の精度は下位 A/D 変換器の 1 LSB よりよくなければならない。また、2 ステップ変換器は 10-bit 分解能以上の場合に良く使われることから、下位 A/D 変換器の比較器は小さい電圧を正確に分解しなくてはならない。

一方、引算器の後ろにゲイン A の増幅器を付ける場合には、下位 A/D 変換器の比較器に要求される分解能は同じ分だけ緩和される。比較器の設計は容易になる一方、この増幅器は変換時間に遅延時間を追加する事になり、また非線形性を生じさせる可能性がある。もっと重要なことは、下位 A/D 変換器では増幅器の出力を参照電圧のセットと比較することになるので、ゲイン A は十分よく制御されていて、ゲイン A 倍された引算器出力のフルスケールが、下位 A/D 変換器の参照電圧のフルスケールに一致していなければならない。この問題はあとで詳細に議論する。

2.2.3.4. パイプライン型 A/D 変換器

パイプラインの概念は、デジタルの領域で、幾つかの動作が直列に行われねばならないとき、高速性を実現するためによく使われているが、アナログの領域でも使うことができる。図 2.16 に一般のパイプラインシステム、図 2.17 にその動作を示す。

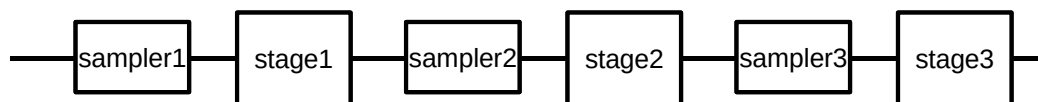


図 2.16 一般のパイプラインシステム

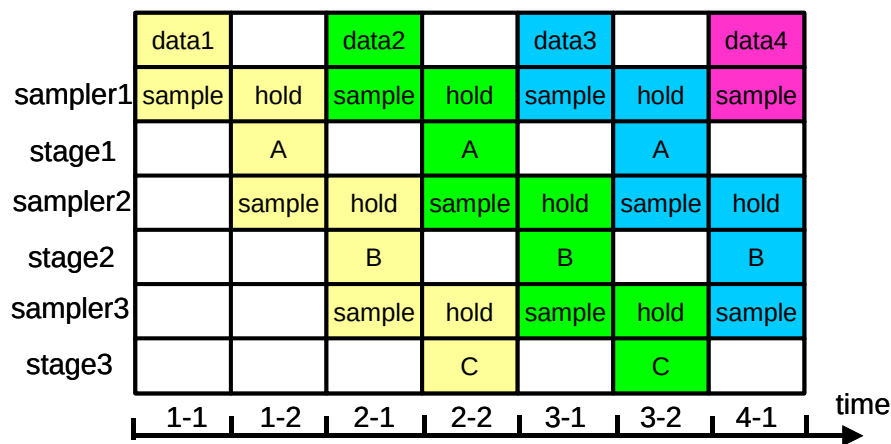


図 2.17 一般のパイプラインシステムの動作

各ステージは一つのサンプルに対してある動作を実行し、次段のサンプラーに出力を出す。そして一旦次段のサンプラーがデータを受け取ったなら、前の段から受渡される次のサンプルに対して、同じ動作を行う。したがって、ある特定の時点では、すべてのステージが異なるサンプルに対して同時に処理を行っている。スループットレートは各ステージの（最も遅い）動作速度によって決まるが、ある特定の動作（A+B+C）を幾つかの動作（A, B, C）に分けて実現できる場合には、分けなくて実行する場合に比べ、全体のスループットレートを上げることができる。

2 ステップ変換器では4つの動作が直列に行われる。つまり、粗い（上位）A/D 変換、段間の D/A 変換、引算、下位 A/D 変換の4つである。パイプライン化していない通常の2ステップ A/D 変換器では、これら4つの動作が終了するまで次のサンプルの処理を始めることはできない。そこで、図 2.18 に示すように、サンプルホールドアンプ2を、引算器+（×16倍アンプ）と下位 A/D 変換器との間に、挿入してパイプライン化することを考える。下位 A/D 変換器が変換を始める前に、サンプルホールドアンプ2は残差信号(Residue) $V_{IN}-V_{DAC}$ をサンプル・ホールドし、ホールド出力に対して下位 A/D 変換を開始する。パイプライン化しているおかげで、そのとき同時に、フロントエンド・サンプルホールド回路と、粗い上位の A/D 変換と、段間の D/A 変換器と、引算器が、次のサンプルに対して処理を開始できる。

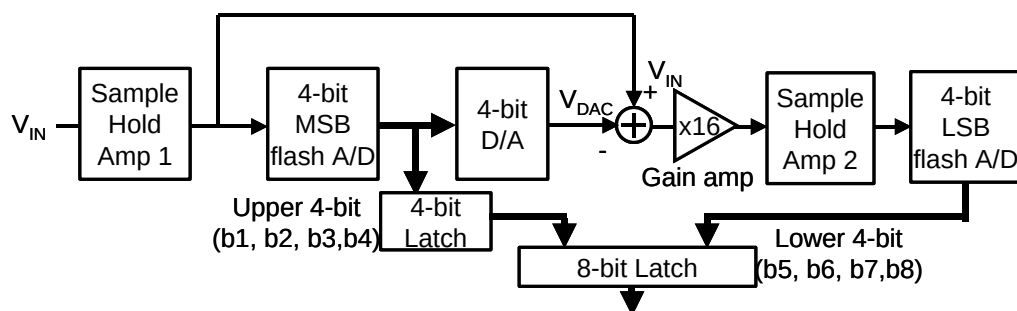


図 2.18 サンプルホールドアンプ 2 を挿入してパイプライン化した 2 ステップ A/D 変換器

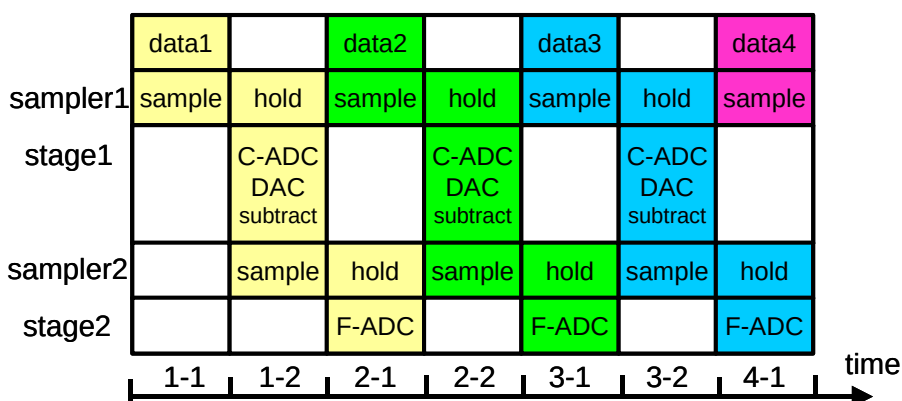


図 2.19 パイプライン化した 2 ステップ A/D 変換器のタイミング

図 2.19 に示すように、2-1 のタイミングで下位 A/D 変換器が残差信号に対して A/D 変換を開始するとき、サンプルホールドアンプ 1 が次のサンプルのサンプルを開始できる。また粗い (Coarse) 上位の A/D 変換器 (C-ADC) は、変換を始める前のリセットフェーズに入ることができる (図では C-ADC 前の空白部分が ADC のリセットである)。パイプライン化することによって、4 つの動作の完了を待って、次のサンプルを処理する必要があったものが、最大 3 つの動作 (上位 A/D 変換、D/A 変換、引算) の時間で、次のサンプルを処理できるようになり、動作クロックを上げられることが分かる。

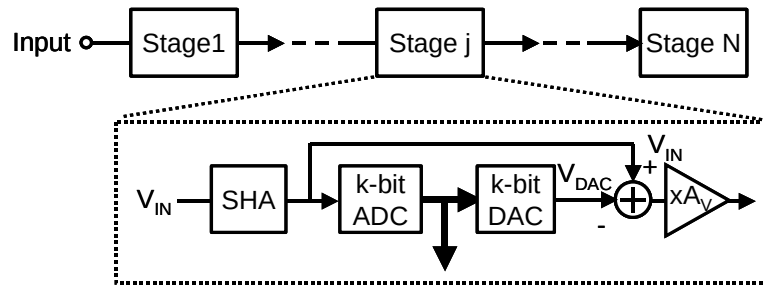


図 2.20 一般化したパイプライン A/D 変換器

パイプライン化は上記で説明した以上に、もっと積極的に使うことも可能である。

図 2.20 は、一般化したパイプライン A/D 変換器のブロック図である。A/D 変換器の分解能を 2 段に分けるのではなく、多段 (N 段) にわけ、その分解能に必要なだけのステージ (段) を設けて、ステージ毎に分解していくアプローチである。例えば、10bit 分解能を作るために、初段 4-bit、2 段目 3-bit、3 段目 3-bit として、全体で 10-bit 分解能を作る。各段の分解能を下げれば、全体の段数 (ステージ数) は増えるが、各段の構成は単純になり、動作速度が高速化される傾向がある。最近では各段の分解能としては 1.5-bit といって、後に説明する誤差補正の概念を入れて、0.5-bit 拡張された分解能を各ステージに使うパイプライン A/D 変換器が設計されていることが多い。

2.3. パイプライン処理を用いた CMOS A/D 変換器の優位性

(1) パイプライン処理の消費電力・動作速度に対する優位性

パイプライン処理では 2.2.3.4 節に述べたように、1 サンプルへの処理 (A/D 変換器の場合は全ビットへの分解) が終わらないうちに、次のサンプルに対する処理を始めることができる。1 サンプルに対する処理は何段かのパイプライン段を経て処理されるので何クロック (N クロック) かの遅延が生じるが、次のサンプルへの処理は次のクロックで開始できるので、クロック周波数と同じ高速な変換レートが実現できる。

これを動作速度と消費電力の面で考えてみる。例えば 20 MHz の変換動作 (50nS の変換時間) をパイプライン処理せず、2 ステップ変換で A/D 変換することを考える。初めの上位ビット A/D 変換の時間と、段間 D/A 変換、引算、下位 A/D 変換器すべての動作の合計が 50nS の変換

時間内に終了するように回路の動作速度を設計する必要がある、動作速度が遅いプロセスでは実現できないことが起こりうる。またそうでないまでも、各回路の動作速度を増して大電力で設計する必要がある、消費電力が大きくなってしまう。

これに対してパイプライン処理を導入すると、新たにサンプルホールド回路を挿入する必要があるが、回路の動作速度をすべてが 50nS に終了するように設計する必要はなく、例えば、上位 A/D 変換、D/A 変換、引算、それぞれの演算だけの時間、またはそれを幾つか組み合わせた時間が 50nS 以内になるように設計すればよく、動作速度を下げられるので消費電力が下げられる。

どの程度、変換レートが上げられるか、または、どの程度電力が下げられるかは、要求仕様によって、どうパイプライン処理を組むかで変わってくるため、ここに工夫、研究の余地があるが、パイプライン処理を行うことによって大幅に低消費電力化、または高速化が可能になる。

(2) CMOS でのパイプライン処理の適性

パイプライン処理ができるための必須の機能はサンプルホールド機能である。バイポーラ・プロセスではサンプルホールド回路は消費電力が大きくなる傾向がある。これはバイポーラ・トランジスタのベース電流がリーク源となるために、長くホールドできる回路のためには大きなホールド容量を使うか、ベース電流をキャンセルする回路を実装する必要がある、消費電力が大きくなるからである。したがって多数のサンプルホールド回路を変換器の中に使うには無理があった。

これに対して CMOS では、MOS トランジスタのゲートがゲート酸化膜で絶縁されているため、バイポーラ・トランジスタのベース電流に相当するリーク電流が無い。そのため、MOS トランジスタによるスイッチと容量を使ったスイッチドキャパシタ回路が信号処理に使われる。この回路は本質的にサンプルホールド機能を持っており、消費電力を上げずに容易にサンプルホールド回路が実現できる。回路の中に多数のサンプルホールド機能を使うことも問題ない。これが CMOS による A/D 変換器にパイプライン処理が適している本質的な理由である。

(3) ビデオ信号処理とパイプライン処理の適合性

本研究の適用対象としたビデオ帯域の信号処理では、データが次々に来て定型処理を行うのが通常の使い方なので、この点でもパイプライン処理に適合しているといえる。

これに対して、例えばマイクロコンピュータに搭載される逐次比較 A/D 変換器では、マイク

ロコンピュータが必要に応じて A/D 変換コマンドを発行し、変換器はそのコマンドを受けて A/D 変換を開始し、変換が終了するとそれを（割込などで）マイクロコンピュータに知らせ、結果をレジスタからマイクロコンピュータに取り込んでもらう、といったコマンドベースのシステムが使われる。したがって変換が完了する時間の長短が問題となり、パイプライン処理を持ち込んでもメリットはない。

ビデオ信号処理では、1 サンプルに対する変換時間は何クロックかかかっても問題ではなく、それよりも変換レート、つまり 1 秒間に何サンプルの処理が可能か、が重要である。この点でもパイプライン処理が適しているといえる。

(4) パイプライン処理の適用

以上、パイプライン処理の優位性を説明したが、本論文で述べる A/D 変換器は、パイプライン処理を、パイプライン A/D 変換器だけでなく、サブレンジ型にもサイクリック型にも使用して、変換時間そのものは長くなるが変換レートは高速になるように、あるいはそれを使って低電力になるように工夫している。

例えば第 3 章に述べるサブレンジ型では、比較器バンクを二重に設けて、これらを交互動作させると共にパイプライン動作させて変換レートを並列型と同じ動作速度まで向上させている。また第 5 章に述べるサイクリック型では、D/A 変換器の整定時間と、差電圧を増幅するアンプの整定時間を別のクロックに割り付け、パイプライン処理化することで分離して、クロックレートが早くなる方式を提案している。このほかすべての章の A/D 変換方式には何らかのパイプライン処理を導入して、変換レートを高速、または低電力にできるように工夫しており、これが本論文の主題である。

3. 二重比較器バンクによるサブレンジ A/D 変換器の高速・低電力化

3.1. サブレンジ A/D 変換器の概要

第2章に説明したように、高速の A/D 変換器を実現する最も簡単な方法は(完全)並列型の A/D 変換器を設計することであるが、分解能分だけの比較器が必要になるため、8-bit 以上の分解能では 8-bit: 256 個、9-bit: 512 個、10-bit: 1024 個といった数の比較器が必要になり、消費電力、チップ面積の両面から実用的ではない。

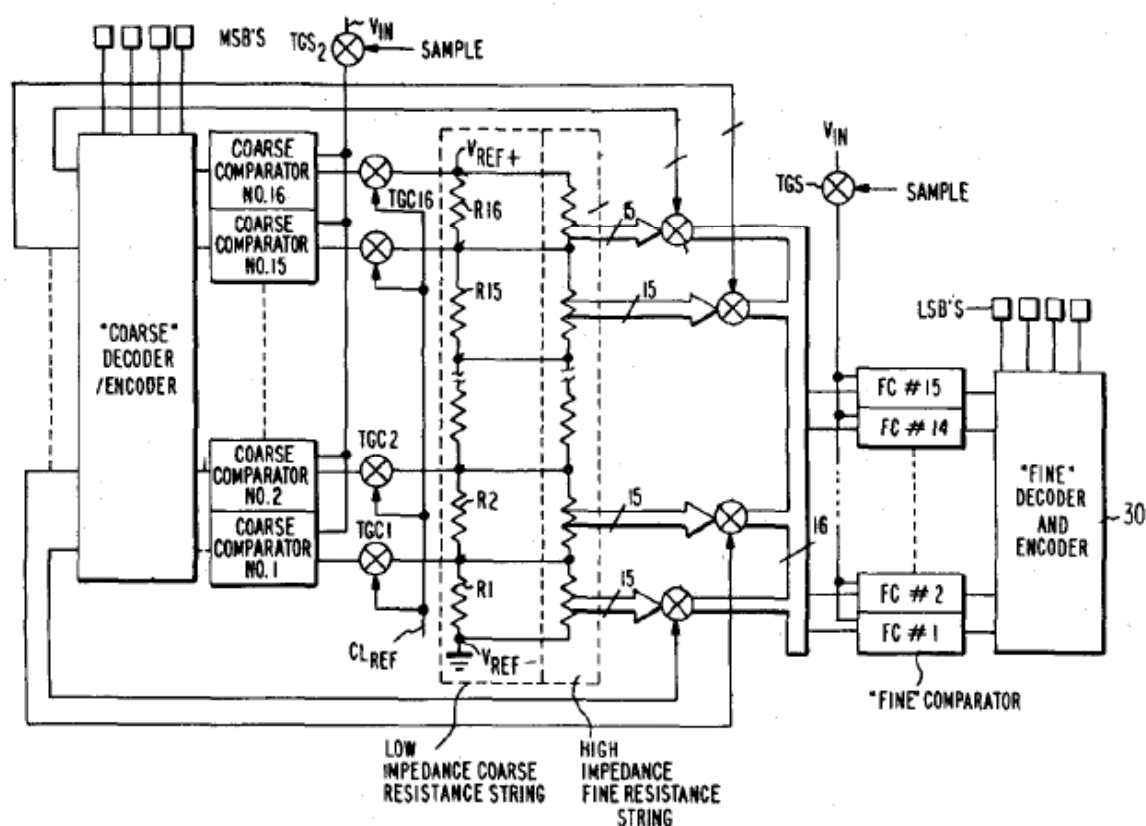


図 3.1 Dingwall のサブレンジ A/D 変換器 [3.9]

A/D 変換を上位ビット、下位ビットと、2回のステップに分けて行う2ステップ変換方式は、比較器の数を大幅に減らすことができるので 8-bit 以上なら、消費電力チップ面積で有利になる。しかし従来の2ステップ変換では、段間に引算回路が必要であり、引算回路の精度や動作速度を出すのが難しかった。これに対して、2ステップ変換方式の一種ではあ

るが引算用段間アンプを使わないサブレンジ変換方式は、消費電力・チップ面積の点で有利なまま、引算回路の設計の難しさを避けることができる。

図 3.1 に 1985 年に発表された Dingwall のサブレンジ CMOS A/D 変換器の図[3.9]を載せる。分解能 8-bit 変換速度 8-MHz であった。引算用の段間アンプを使わずに分解能をあげることができ、比較器には図 3.4 に示す CMOS インバータ型比較器を使っているため、回路構成が単純で、チップサイズが小さくなる長所があった。

第 2 章でサブレンジ A/D 変換器を図 2.10 で説明した。粗い第 1 変換時には、上位用抵抗ラダー端子から参照電圧を供給された上位比較器群(比較器バンク)が、入力電圧をどの(上側)参照電圧(タップ)と(下側)参照電圧(タップ)の間にあるかを判別し、つぎに下位比較器群へ、(上側)参照電圧と(下側)参照電圧の間をさらに分割した参照電圧をスイッチで切替えて入力し、入力電圧と比較することにより下位ビットを決める。こうして上位変換結果と下位変換結果を合わせて全体の分解能の A/D 変換結果を得る。

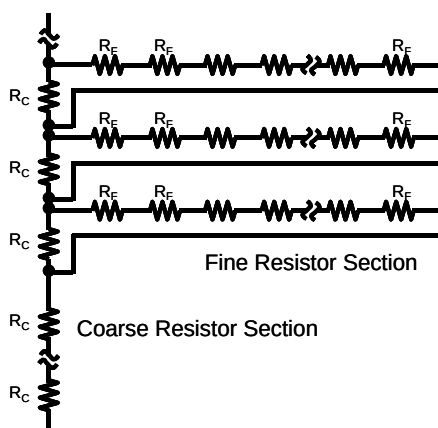


図 3.2 Dingwall のサブレンジ用抵抗ラダー

Dingwall の提案したサブレンジ型では、図 3.2 に示すように、抵抗ラダーを上位用と下位用と結合して構成している。上位の変換が行われると、入力電圧がどの(上側)参照電圧のタップと(下側)参照電圧タップの間にあったかが判別されるので、今度は下位変換でその参照電圧との間を分割した下位の抵抗ラダーが発生する参照電圧を下位比較器群に接続し、比較器入力の方には入力電圧を接続して下位ビットを決める。抵抗ラダーを上位用下位用

2組に分ける場合に比べ、下位抵抗ラダーの数が増え切替えスイッチの数が増加するので全体の面積が増加する欠点はあるが、単純な構造で高精度が得られる長所がある。

3.1.1. Dingwall サブレンジ A/D 変換器の問題点

上記したように Dingwall のサブレンジ A/D 変換器は多数の長所を持っていたが、以下の欠点もあった。

- 1) 変換を2回に分けて行うため、変換時間が完全並列型に比べて2倍以上に伸びてしまう。(特にビデオ用の A/D 変換器には 20MHz 程度の変換速度が必要なため、大きな欠点であった。)
- 2) 変換を2回に分けて行うため、上位変換・下位変換の接続点において DNL など直線性性能の劣化が発生する可能性がある。
- 3) CMOS インバータ型のサンプルホールド機能付電圧比較器を使っているが、インバータはシングルエンド型の回路のため、電源雑音に弱く精度が劣化する可能性がある。

本章では、Dingwall のサブレンジ A/D 変換器の利点を改善し、また問題点を解決する幾つかのアイデアについて述べ、それらを使って試作した A/D 変換器の性能について述べる。上記 1) ~ 3) の問題のうち、まず 3) のサンプルホールド機能付き比較器関係の問題から議論する。

3.1.2. Dingwall のサンプルホールド回路

Dingwall が実装したサブレンジ型の長所の一つは、フロントエンドサンプルホールド回路を必要としない点である。これはサンプルホールド機能を内在した CMOS インバータ型の電圧比較器を使うことによって実現している。サブレンジ型も2ステップ変換方式の一つであるので、サンプルホールド機能は必須である。粗い第1の上位変換時点と、細かい第2の下位変換時点の間で入力信号が動いてしまうと、上位で決めた変換範囲から、下位の変換範囲が外れてしまうため、第1の変換時点でサンプルした入力信号は、第2の下位の変換時点までホールドされていなければならない。

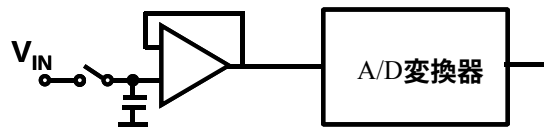


図 3.3 フロントエンドサンプルホールド回路を使った A/D 変換器

図 3.3 にフロントエンドサンプルホールド回路を使ったサブレンジ A/D 変換器を示す。しかしこのサンプルホールド回路をフロントエンドに置く構成はサンプルホールド回路への要求性能が高くなるため実現が難しい。実現したとしても面積・電力が大きくなる欠点がある。要求性能は、

- 1) A/D 変換器のアナログ入力範囲全体にわたって、非線形性誤差が（A/D 変換器の分解能以下に）十分小さくなければならない。
- 2) A/D 変換器の入力容量を高速に駆動できるだけの駆動力が無ければならない。

1)非線形性： MOS サンプルホールド回路では、MOS スイッチのチャージインジェクションに電圧依存性があるため歪が発生する。またクロック立下り時間が有限でサンプリングタイミングが電圧に依存してずれるため、歪が発生する。これらの問題のため、線形性が優れかつ駆動力の大きいサンプルホールド回路を MOS で作るとはかなり難しい課題である。

これに対して Dingwall は CMOS インバータ型の電圧比較器を使うことによって、サンプルホールド機能を各電圧比較器にそれぞれ持たせることによりフロントエンドサンプルホールド回路を削除している。図 3.4 に CMOS インバータ型の電圧比較器を示す[3.3]。

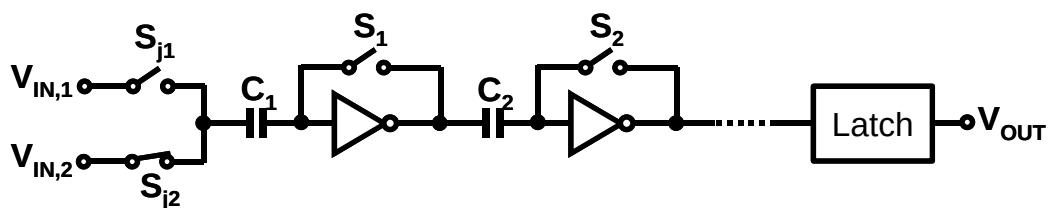


図 3.4 CMOS インバータ型電圧比較器

三角形は CMOS インバータである。スイッチ S_1 をオンするとインバータの入力と出力が短絡され電源電圧の半分程度の間電位 V_T に入出力が固定される。このとき $V_{IN,2}$ に A/D

変換器のアナログ入力 V_{in} を接続してスイッチ S_{j2} をオンすると、容量 C_1 の両端には $V_{in}-V_T$ の電圧がかかり、相当の電荷が C_1 に蓄えられる。つぎにスイッチ S_1 および S_{j2} をオープンにすれば、この電荷は逃げる場所がなくなるので、アナログ入力電圧 V_{in} が多数の比較器それぞれの容量 C_1 にホールドされる。その後スイッチ S_{j1} をオンして抵抗ラダーが発生する参照電圧に接続すると、入力電圧よりも参照電圧が高ければインバータの出力は下がる方向に動き 0 を出力、参照電圧が低ければインバータ出力は上がり 1 を出力するので、サンプルホールド機能を持った電圧比較器として動作する。

図 3.5 に CMOS インバータ型電圧比較器をサブレンジ型に適用するための動作タイミングを示す。

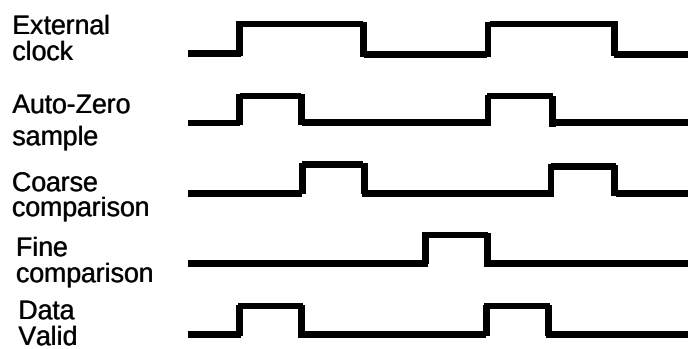


図 3.5 サブレンジ型の動作タイミング[3.9]

オートゼロ&サンプルのクロックで図 3.4 のスイッチ S_1 をオンし、インバータの入出力を短絡してオートゼロを行うと同時に信号を結合容量 C_1 に蓄える。これは上位用の比較器群も、下位用の比較器群も同様に行う。次に粗い上位の第一電圧比較を粗比較のクロックで行う。この時点で下位の比較器群の入力には何も接続されないため、サンプリング時点で保持した入力電圧が蓄えられている。上位比較が終わると、下位抵抗ラダーの対応するセグメントが選ばれて、下位比較器群に参照電圧が接続されて下位比較が行われる。

このように Dingwall は、サブレンジ型の方式と、CMOS インバータ型電圧比較器のホールド機能をうまく組み合わせて、フロントエンドサンプルホールド回路の必要ない A/D 変換器を実現した。

この CMOS インバータ型の電圧比較器は、回路規模が小さいという意味では理想的であるが、幾つかの問題点ももっている。それらは、

- 1) シングルエンドの回路であり、電源電圧が変動したときの影響が大きい、またチャー

ジインジェクション誤差にも弱い。

- 2) 結合容量 C_1 はチャージインジェクションが起きてもインバータのゲインが高い領域にバイアスされているようにするために、かなり大きな値を使わねばならない。
- 3) インバータ型アンプなので消費電流がプロセスと電源電圧に依存する。
- 4) インバータ型アンプなので動作時にスパイク状の電源雑音電流を発生させ、電源配線抵抗による IR ドロップがあると電源雑音となり他の回路に影響を及ぼす。
- 5) 大きな容量をスイッチングするので入力端子から見たキックバックノイズが大きく、並列型に使うと抵抗ラダーの整定時間がかかる。

3.2. 提案する分散型差動サンプルホールド回路

これらの欠点を改善するため、次の差動型の電圧比較器を提案した。

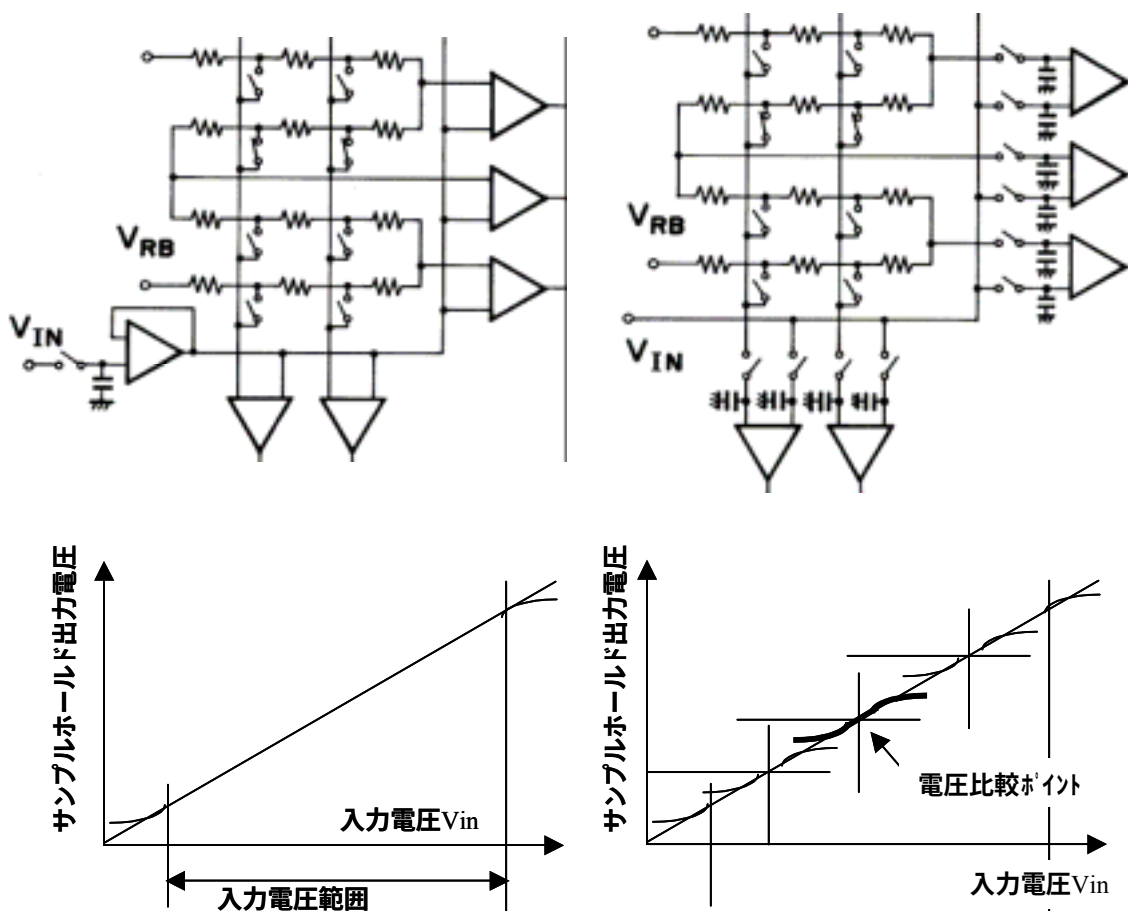


図 3.6 (a) フロントエンドサンプルホールド

図 3.6 (b) 分散型差動サンプルホールド

まず分散型サンプルホールド回路の利点は保存したい。そのために図 3.6(b)の考え方を提案する。図 3.6(a)はフロントエンドサンプルホールドを使ったサブレンジ A/D 変換器である。上に説明したようにこのサンプルホールド回路は直線性を良くするためには、電力・面積が必要である。これに対して図 3.6(b)は各差動電圧比較器の入力端子にそれぞれサンプルホールド回路を内蔵させた構成である。つまり、A/D 変換器の入力端に高精度で直線性の良いサンプルホールド回路を置く代わりに、各電圧比較器の入力に簡単なサンプルホールド機能を持たせるようにした。これらのサンプルホールド機能には、低入力オフセット電圧特性や直線性の良さは必要ない。次節で説明するように、サンプルホールド回路の入力オフセット電圧は、電圧比較器のオートゼロ動作によりキャンセルされ問題にならない。また各サンプルホールド回路に非直線性があったとしても、A/D 変換器全体の非直線性誤差にはならない。サンプルホールドされた電圧は次に比較され 0, 1 に変換される。つまり入力電圧と参照電圧の比較が、図示する電圧比較ポイントだけで正負判定結果が正しければよいからである。

3.2.1. オフセット電圧キャンセル型サンプルホールド比較器

Dingwall が用いた CMOS インバータ型の電圧比較器は、前記したようにシングルエンド回路にまつわる幾つかの欠点を持っていた。そこで提案する電圧比較器には定電流バイアスを用いた図 3.7 の上側に示す差動回路を用いる。

入力に MOS スイッチと容量からなる簡単なサンプルホールド回路を設け、それをソースフォロア (S/F) バッファで受け、その後低利得差動アンプ Amp1 で増幅、容量結合 C1a,b で結合したオートゼロスイッチの付いた差動アンプ Amp2 および差動アンプ Amp3 で増幅、その後に容量結合 C2a,b で結合した入力オートゼロスイッチ付のラッチ回路を設けた。

この回路の CMOS インバータに比した利点は以下のとおり。

- 1) 差動回路であり電源電圧変動の影響を受けにくい。チャージインジェクションによる誤差もコモンモード成分のためほぼ取り除くことができる。
- 2) 結合容量 C1a,b へのチャージインジェクションによる誤差があっても差動アンプのため影響を小さくできる。またサンプルホールド容量 Csa,b も差動回路のため小さい容量で済ませることができる。

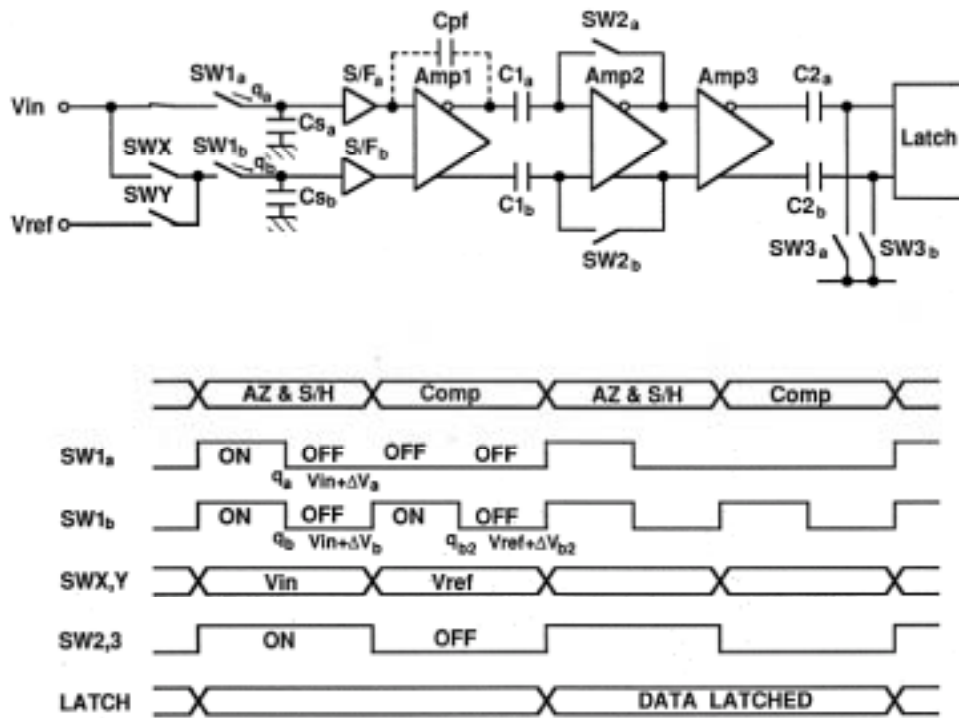


図 3.7 サンプルホールド型比較器と、下位比較器の動作タイミング

- 3)定電流バイアスしたアンプなので消費電流はプロセスや電源電圧に依存しない。
- 4)スパイク状の雑音発生はほとんどない。
- 5)小さなサンプルホールド容量 C_s にサンプリングするだけなので、キックバック雑音は限定されており抵抗ラダーへの整定の影響は限られている。

3.2.2. オフセット電圧のキャンセル

この比較器には2つのオフセット電圧発生要因がある。(1)アンプ差動ペアミスマッチによる入力オフセット電圧、(2)2つのサンプルホールド回路チャージインジェクションの差によるオフセット電圧、である。

(2) の誤差は MOS スイッチ SW1a と SW1b のチャージインジェクション q_a と q_b により発生する。もしチャージインジェクション q_a と q_b の大きさが等しく、蓄積容量 C_{sa} と C_{sb} の大きさが等しければ、フィードスルー誤差 $\Delta V_a (=q_a/C_{sa})$ と $\Delta V_b (=q_b/C_{sb})$ は等しい。しかし実際には製造上のサイズミスマッチによって q_a , q_b または C_{sa} , C_{sb} のミスマッチが

避けられずオフセット電圧となる。これらの誤差を避けるため、オートゼロ技術を拡張させ、下記に説明する新しいスイッチタイミングによって入力オフセット電圧をキャンセルさせた。

図 3.7 に示すように、カップリング容量 C_{1a} , C_{1b} を Amp 1 と Amp 2 の間に置く。下位比較器のタイミングを図 3.7 下に示す。比較器には上段に示す 2 つのクロックサイクルが必要である。(1)オートゼロ, サンプル・ホールド(AZ & S/H)サイクル、(2)比較(Comp)サイクル、である。

AZ & S/H サイクルでは、前半でスイッチ SWX がオン、SWY がオフである。そのとき Amp2 の入出力をスイッチ SWa と SWb を閉じることでトグルポイント (V_{dd} と GND の間のアンプ利得が高い動作点 V_T) にバイアスする。こうして同じ入力電圧 V_{in} が容量 C_{sa} と C_{sb} にサンプルされる。つぎに、SW1a と SW1b が AZ & S/H サイクルの中央でオープンされるが、この時チャージ q_a と q_b が注入される。従って C_{sa} と C_{sb} 上の電圧は $(V_{in} + \Delta V_a)$, $(V_{in} + \Delta V_b)$ になる。電圧差 $\Delta V_a - \Delta V_b$ が入力オフセット電圧になる。このオフセット電圧は Amp 1 により増幅され、AZ & S/H サイクルの後半で結合容量 C_{1a} , C_{1b} がこの電圧差を記憶し、オフセット電圧が記憶されたことになる。

次の比較サイクル Comp では、SWX はオフ、SWY はオンで、入力電圧 $V_{in} + \Delta V_a$ は容量 C_{sa} 上にホールドされたままである。対する容量 C_{sb} には抵抗ラダーで発生させた参照電圧 V_{ref} をサンプルしてホールドする。SW1b が比較(Comp)サイクル中央でホールドのためオフされたとき、新しいチャージ q_{b2} が C_{sb} に注入され、ホールドされた電圧は $V_{ref} + \Delta V_{b2}$ になる。もしリファレンス電圧 V_{ref} が入力電圧 V_{in} と等しければ、新しいチャージ q_{b2} は、AZ & S/H サイクルの真中で発生したチャージ q_b と同じ大きさである。注入されるチャージの大きさは、次の 3 つの要因によって決まり、このケースの場合 3 要因が皆等しいからである。(1)チャンネル領域とゲート電極の電圧差、(2)スイッチの両側のインピーダンス、(3)ゲート電圧の変化速度、の 3 要因である[3.13]。

このように AZ & S/H サイクルのオートゼロ動作によって、比較器のオフセット電圧はキャンセルされる。従って比較器は、ホールドされた入力電圧 $V_{in} + \Delta V_a$ と、ホールドされたリファレンス電圧 $V_{ref} + \Delta V_{b2}$ とが、オフセット電圧なしで比較される。

3.2.3. アンプの入出力寄生容量 Cpf による誤差発生と対策

図 3.7 のサンプルホールド回路にはソースフォロア(S/F)バッファを使っているが、初めに考えた回路は S/F バッファを使わない図 3.8(a)の回路である。ところが図 3.8(a)のサンプルホールド回路を詳細に解析すると、先に説明した 2 種類のオフセット電圧発生要因のほかに、Amp 1 の入力端子と出力端子の間にある寄生容量 Cpf が第 3 の種類のオフセット電圧を作ってしまうことがわかった。図 3.8(a), (b), (c)にこのメカニズムを示す。

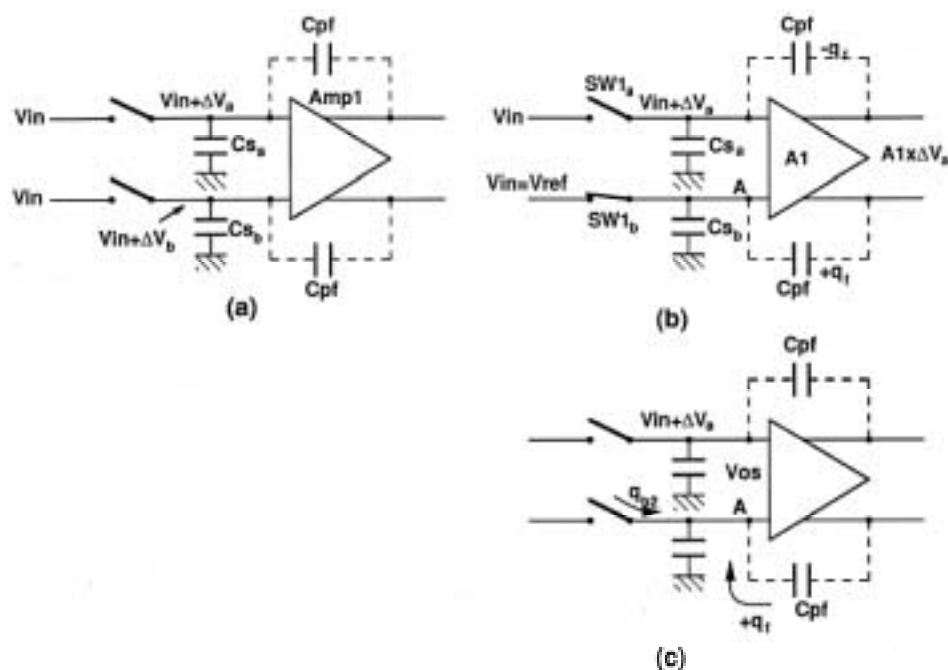


図 3.8 寄生容量 Cpf により生じるオフセット電圧

- (a) AZ & S/H サイクル終了時の電圧 (b) 比較(Comp)サイクルの前半終了時の電圧、
(c) SW1b が開くとき電荷 q_f が注入される。

図 3.8(a)に AZ & S/H サイクル最後の電圧状態を示す。容量 C_{sa} と C_{sb} の電圧はミスマッチでわずかにずれがあるが全体的に見るとほぼ等しい。差動 Amp 1 の入力端子の電圧がほぼ等しいので出力電圧は出力コモン電圧にほぼ等しい。この状態を、寄生容量 C_{pf} に蓄えられる差動電荷が無いと定義する。図 3.8(b)に比較(Comp)サイクル前半の電圧状態を示す。スイッチ SW1b をオンすることで参照電圧 V_{ref} が容量 C_{sb} に伝えられる。この時、 C_{sa} 上

の電圧は $V_{in} + \Delta V_a$ である。一方、 C_{sb} 上の電圧は V_{ref} であり、チャージインジェクションエラー ΔV_b を含んでいない。従って、例えば入力電圧 V_{in} が参照電圧 V_{ref} と等しいときにも差電圧 ΔV_a が増幅され $Amp1$ の出力には $A1 \cdot \Delta V_a$ が現れ、容量 C_{pf} には電荷 $q_f = C_{pf} \cdot A1 \cdot \Delta V_a$ が蓄えられる。 $SW1b$ がオフになるとき、チャージフィードスルー q_{b2} がノード A に注入される。すると入力端子の電圧差は減少し先ほど蓄えた C_{pf} の電荷 q_f がノード A に注入される。こうして第 3 のオフセット電圧が発生する。この状況を図 3.8(c)に示す。

オフセット電圧の大きさは電荷保存則で計算でき下記の式になる。

$$V_{OS} = \frac{A1 \cdot C_{pf} \cdot q_a}{2 \cdot (C_s + C_{pf} + A1 \cdot C_{pf}) \cdot (C_s + C_{pf} + A1 \cdot C_{pf} / 2)}$$

第 3 のオフセット電圧の大きさをシミュレーションで求め図 3.9 の comparator without source follower にプロットした。オフセットの値はサンプリング容量 C_s の関数になる。サンプリング容量 C_s を増せばオフセット電圧は小さくなるが十分に小さくはならない。オフセット電圧を小さくするために容量 C_s を増すと、A/D 変換器の入力容量が増してしまう。例えば C_s として 1pF を使うと、比較器が 60 個ある場合(試作した 8-bit A/D 変換器の場合)入力容量が 60pF になってしまうので、A/D 変換器の前に電力が大きいバッファアンプが必要になってしまい全体での低電力化ができない。

問題はアンプ入出力間寄生容量 C_{pf} がサンプルホールド容量 C_s と結合してしまうことから生じる。そこでバッファアンプでこの結合をなくしてしまえばよいと考えた。図 3.7 の上図に示しているように、 $Amp1$ の前に S/F と書いたソースフォロアバッファを入れることとした。これにより問題を解決できる。

図 3.9 comparator with source follower に示すように、フォロアがあれば小さな入力オフセット電圧を達成できる。 C_s が小さくとも、例えば 8-bit 分解能に必要な 2mV 以下のオフセット電圧を 0.1pF 程度で実現できることが分かる。

なお、この電圧比較器のシミュレーションによるオフセット電圧プロットでは C_s の小さい方でオフセット電圧が上がっているが、これは電圧比較器の動作速度不足によるオフセットが含まれているためである。容量 C_s が小さすぎるとフィードスルー誤差 ΔV_b が大きい。そのため、片側だけ参照電圧 V_{ref} を入れるとき(図 3.8(b))に $Amp1$ 出力およびソースフ

オロア出力が大きく振られ、それがまだ整定しないうちに電圧比較器の判定が打ち切られることになり、動作速度不足によるオフセット電圧が発生してしまう。そこで、これが問題にならない範囲に C_s を設定すればよい。

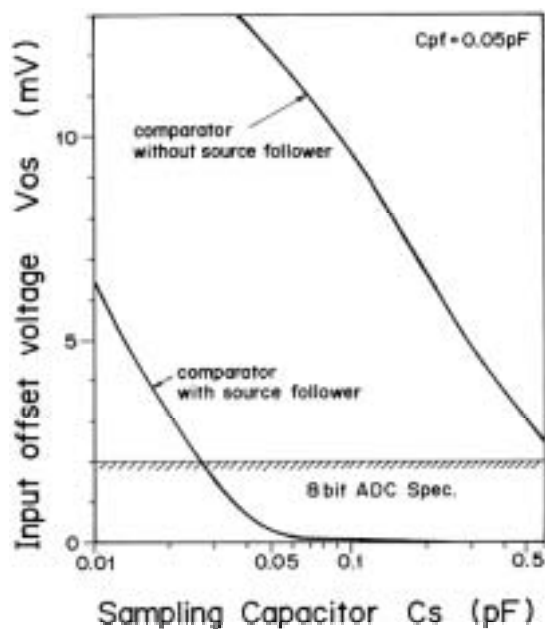


図 3.9 ソースフォロアーバッファの効果

比較器アンプ回路は差動回路で図 3.10 に示す。負荷は定電流源と、ダイオード負荷の並列接続とし比較器のゲインと動作速度を最適化するのに使っている[3.14]。

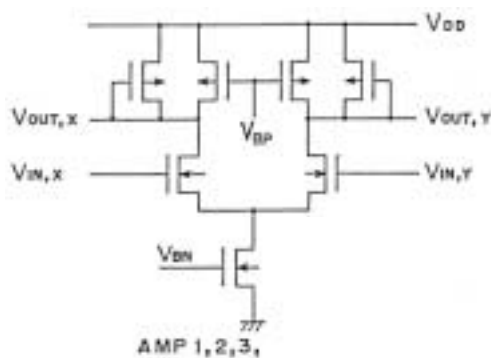


図 3.10 比較器内部の差動アンプ回路

3.3. 2重比較器バンクによる高速化

さて Dingwall 方式の欠点の1番目は以下であった。

変換を2回に分けて行うため、完全並列型に比べて2倍以上に変換時間が伸びてしまう（特にビデオ用の A/D 変換器には 20MHz 程度の変換速度が必要なため、大きな欠点であった）。

これに対処するため、2重比較器バンクによる高速化を提案する。サブレンジ型では原理的に変換が2回に分けて行われるため、最低でも2クロックの変換時間がかかる。そこで上位比較器群、下位比較器群をそれぞれ2バンク（2セット：Aバンク、Bバンク）設けて交互動作（インターリーブ動作）させ、かつ順次パイプライン処理するように設計すれば、入力信号に対して1クロックで次のサンプルの処理を開始することができ、スループットを完全並列型 A/D 変換器と同じ速度まで上げられる。なお、実際の変換にかかるクロックは2クロック以上かかるので、変換遅延（レイテンシー）が改善されているわけではない。

図 3.11 に全体の回路構成を、8-bit を例として示す。上位比較器群に A, B の2バンク、下位比較器群にも、A, B 2バンク設けて交互（インターリーブ）動作させる。

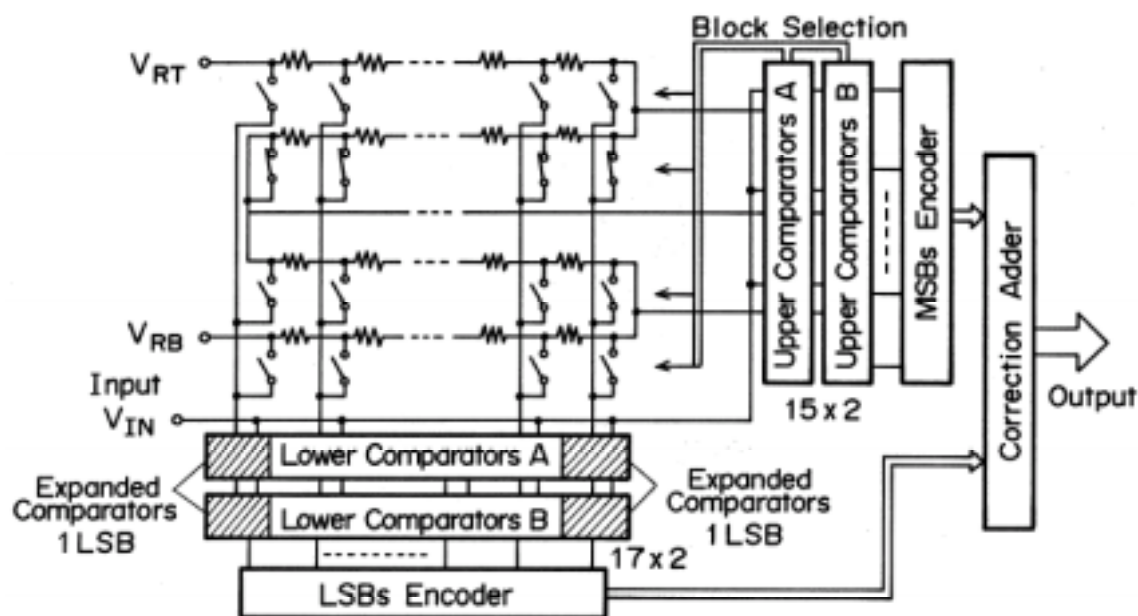


図 3.11 2重比較器バンクによる高速化サブレンジ A/D 変換器 (8-bit の例)

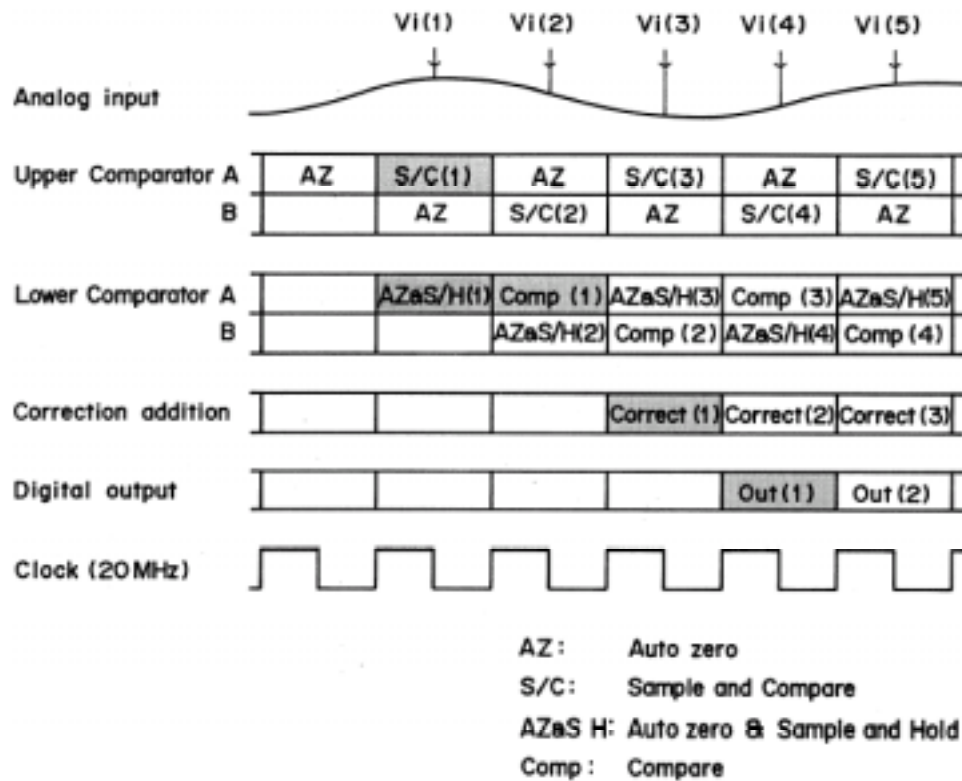


図 3.12 2重比較器バンクによる高速化サブレンジ A/D 変換器の動作タイミング

なお図 3.11 に抵抗ラダーの構成も同時に示したのでここで説明する。Dingwall の提案したサブレンジ型では、図 3.2 で説明したように抵抗ラダーを上位用と下位用とを結合して用いていた。提案するサブレンジ A/D 変換器はこれを少し変形して、上位用と下位用を分割せずに一体として構成した。完全並列型の抵抗ラダーと同じように分解能と同じだけの参照電圧を一つの抵抗ラダーで作ってしまう。そして粗い上位の分解能の変換には、下位分解能が例えば 4-bit なら 16 タップおきの粗いタップ電圧を使うこととする。上位の変換が行われると、入力電圧がどの(上側)参照電圧のタップと、(下側)参照電圧の間にあったかが判別されるので、今度は下位変換で、その(上側)参照電圧と(下側)参照電圧の間を分割した参照電圧を用いて下位ビットを決める。この抵抗ラダーは XY マトリックス状に配置することにより、下位比較器群に与える抵抗ラダーのセグメントを一度に選択できるように工夫している。

図 3.12 に比較器動作のタイミングチャートを示す。クロック立下りエッジの入力電圧 $V_i(1)$, $V_i(2)$, $V_i(3)$, ... がサンプルされてデジタル信号に変換される。入力電圧 $V_i(1)$ は、上位比較器の A 側のバンクと、下位比較器の A 側のバンクに同時にサンプルホールドされる。

サンプルサイクル(S/C(1))の後半で、上位比較器バンク A はサンプルした電圧 $V_i(1)$ を 15 個の参照電圧と比較し、上位 4 ビットの変換結果を決めると同時に、入力電圧と最も近い参照電圧を含んでいるラダ-抵抗のブロックを選び出す。下位比較器バンク A は上位のサンプル&比較フェーズ(S/C(1))と同じ時間に、AZ & S/H つまりサンプルホールドとオートゼロを行う。つきのクロックサイクル Comp(1)で、下位比較器バンク A はサンプルされた入力電圧 $V_i(1)$ と選択された参照電圧ラダーの 15 個の参照電圧とを比較して、下位 4 ビットを決める。一方、2 番目の入力電圧 $V_i(2)$ は、これと同じ時間タイムスロットで、上位比較器バンク B と、下位比較器バンク B とにサンプルされ、先ほどと同じようにまず上位 4 ビットが決まり、その後下位 4 ビットが決められる。

比較器が持っているサンプルホールド機能のため、下位比較器バンク A が $V_i(1)$ サンプルの下位 4 ビットを決めているタイムスロットで、上位比較器バンク B は $V_i(2)$ サンプルの上位 4 ビットを決定しており、これらのパイプライン・インターリーブ動作により変換レートを高速化できる。

3.4. 下位比較領域拡大による直線性デジタル誤差補正

さて Dingwall 方式の欠点の 2 番目は以下であった。

変換を 2 回に分けて行うため、上位変換と下位変換の接続点において DNL など直線性性能の劣化が発生する可能性がある。

8-bit を 4-bit 上位、4-bit 下位の変換に分解するサブレンジ型を例として説明すると、上位 4 ビットの変換と下位 4 ビットのつなぎめで微分非直線性が劣化する可能性がある。上位比較器と下位比較器のオフセット電圧が異なる場合この問題が顕在化する。この誤差を無くするため、デジタル誤差補正法を考案した。図 3.11 に示すように、下位比較器バンクの両端に、拡張参照電圧に対応した冗長な拡張比較器を置き、同時に MSB と LSB のエンコーダの出力に誤差補正加算器を接続することにより誤差補正が可能になる。

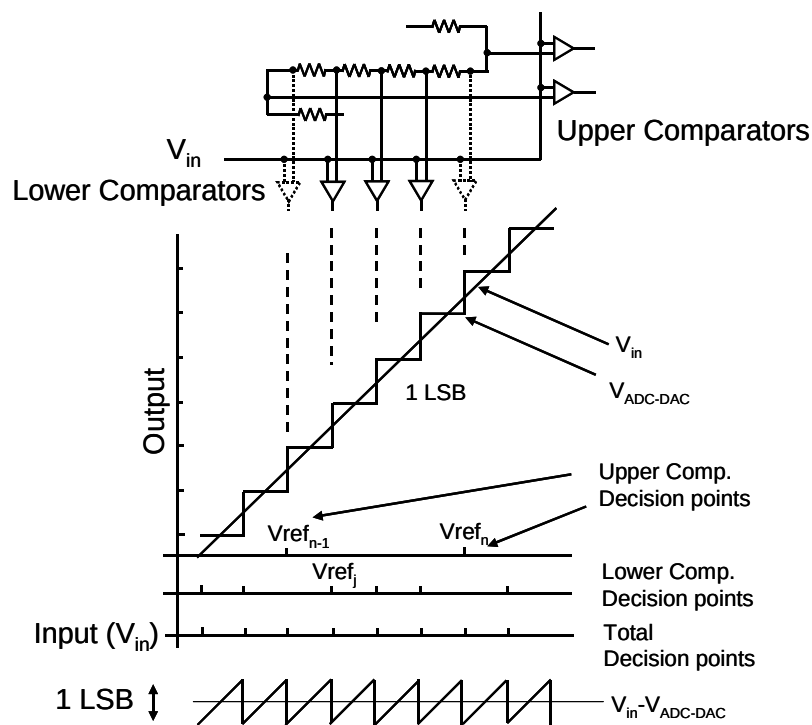


図 3.13 (a) 理想的なサブレンジ型による判定点(遷移点)の決定方法

図 3.13 (a)に理想的なサブレンジ A/D 変換を示す。上部にサブレンジの回路構成を一部示す。中央の図にアナログ入力信号 V_{in} (横軸) に対するデジタル出力をプロットした。アナログ入力信号 V_{in} がある参照電圧 V_{ref_j} を超えると、その参照電圧に対応する比較器が出力を $0 \rightarrow 1$ と反転させ (これを判定点または遷移点と言う) 出力コードが 1 上がり、デジタル出力が 1 段上がる。中央の $V_{ADC-DAC}$ はこの階段状の波形を示している。図の下側に $V_{in} - V_{ADC-DAC}$ を描いた。これが量子化誤差である。

横軸は 3 本目盛りがあるが、上から上位比較器が決める判定点 (遷移点)、中央は下位比較器群が決める判定点 (遷移点)、下が両方の判定点 (遷移点) を合成した図である。

上位比較器が判定を終えたということは上位ビット (MSBs) が決まると同時に、入力信号が上位比較器のある (上側の) 判定点の参照電圧 V_{ref_n} とそのすぐ下側の参照電圧 $V_{ref_{n-1}}$ の間に有ることを示す。2 ステップ目の変換では、この上側の判定点と下側の判定点の間をラダー抵抗で分圧した参照電圧 V_{ref_j} を下位比較器群に接続して、アナログ入力電圧と比較することにより下位ビット (LSBs) を決める。

図は下位比較器が 2 ビット (4 レベル) の例を示している。下位比較器は 3 個あれば 4 レベルを判別できる。図中の実線で描いた比較器が本来必要な下位比較器であり、その両

端に点線で描いてある比較器は本来必要のない比較器である。ラダー抵抗に対する結線を良く見ていただくと分かるように、これは上位比較器と同じ参照電圧の位置に入っている。階段状の変換波形を描く際に判定点（遷移点）がどこにあるか分かりやすくするために描いたと理解していただいてよい。

ところが上記の説明は、上位比較器、下位比較器のどの比較器もオフセットがない理想的な状態で考えている。実際の A/D 変換器では比較器には必ずオフセットがあり、それには何らかの回路的またはレイアウト的理由によってシステムティックに発生している固定的なオフセットと、トランジスタや容量のペアミスマッチによって発生しているランダムなオフセットがある。ランダムオフセットは線形性をランダムにばらつかせるので今回は考えない（つまりランダムばらつきが許容値に入るように比較器のトランジスタサイズを設計するものとする）。一方システムティックオフセットは、サブレンジ A/D 変換器では上位と下位の変換のつなぎ目での線形性劣化を起こす可能性があるので気をつけなければならない。例えば、サブレンジ型では上位比較器のレイアウトの向きと、下位比較器のレイアウトの向きが 90° 異なる可能性がある。ラダー抵抗を XY 状にレイアウトしてその右側に上位比較器、下側に下位比較器をレイアウトするとそうなる。その場合、トランジスタのミスマッチの状況が変わり、上位比較器群は、下位比較器群のオフセットに対して、もう少し大きなオフセットを持っている、といったようなことが起こりうる。また上位比較器群と下位比較器群は別のクロック駆動回路を持つため、クロックの立ち上り時間などが異なり、サンプルホールド回路のチャージインジェクションが上位と下位でことなる、といったようなことも起こりうる。

これらさまざまな理由で、上位比較器群と下位比較器群は別のオフセットを持っていると考えるのが安全である。この場合、変換特性がどうなるかを示したのが図 3.13(b)である。

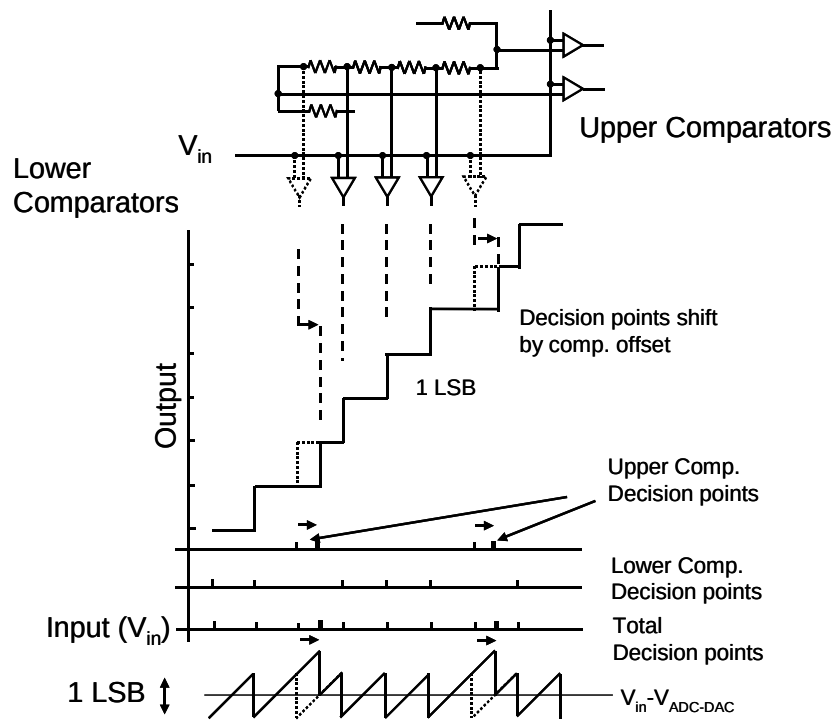


図 3.13(b) 上位比較器群が下位比較器群に対して
0.5 LSB のオフセットを持っている場合の変換特性

点線で描いた比較器は上位比較器の向きを下側に向けて描いたものであるが、この比較器が決める判定点（遷移点）が 0.5 LSB 高い方にずれることになる。こうなると上位比較器が決める判定点が、下位比較器群が決める等間隔(1 LSB)の判定点に対し、下側では 1.5 LSB の間隔に広がり上側では 0.5 LSB 間隔に狭まる。したがって $V_{in}-V_{ADC-DAC}$ 特性が劣化し、上位比較器の判定点で量子化誤差が 1.5LSB に増加または 0.5 LSB に半減する。したがってこれらの直線性劣化要因を抑圧して精度劣化を抑えなければならない。

この対策として考えたアイデアが、拡張領域である。図 3.13(a)に上位比較器を下位比較器のならびに仮想的に点線で比較器を描いたが、これを実際にも回路に実装してしまうものである。上位比較器に相当する下位比較器（拡張比較器、または冗長比較器）は、下位比較器群と同じ向きにレイアウトされ、また駆動クロックも下位比較器群と同じ駆動クロックを使うので、システムティックオフセットが出ず、そのオフセットは下位比較器群とミスマッチによるランダムばらつきを除いて同じであると考えてよい。

下位比較を行うとき、拡張比較器も同時に動作させる。上位比較器が判定した判定点と少しずれたところに拡張比較器が判定点を作ることになる。

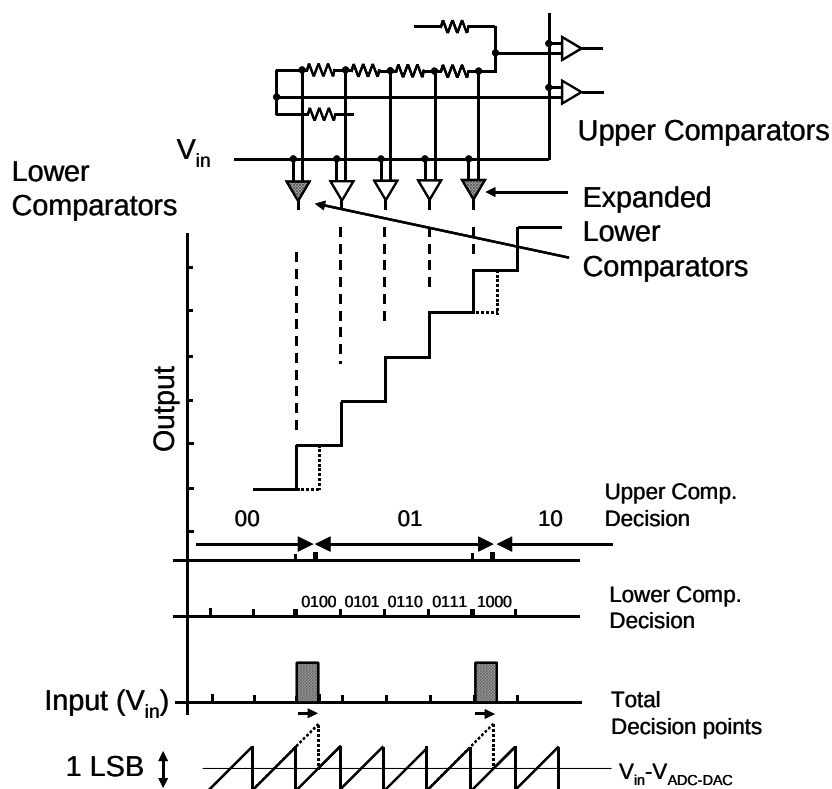


図 3.13(c) 拡張下位比較器を設けたデジタル誤差補正サブレンジ A/D 変換器

図 3.13(c)に誤差補正の説明を示す。図の横軸はアナログ入力電圧 V_{in} に対して判定点を同時に描いたものである。横軸で上の段は上位比較器の判定結果である。上位 2bit、下位 2bit の例で説明するが、図のように上位比較器群は矢印のある領域をそれぞれ 00, 01, 10, , であったと報告する。今その判定結果が 01 であったとする。すると 01 に相当する抵抗ラダーの領域が選ばれて下位比較器に参照電圧として与えられる。次に下位比較器が判定を行い 00, 01, 10, 11 の結果を返す。中段が下位比較器の判定結果であるが、上位は 01 と判定されているので判定結果の頭に上位の判定結果をつけて、0100, 0101, 0110, 0111 と示した。

横軸 3 段目、全体判定点の軸では、上位比較器のオフセットが下位比較器のオフセットとずれている領域を斜線で示した。この領域にアナログ入力信号 V_{in} が入ったときの変換過程は以下になる。まず左側の斜線の領域で説明する。上位比較器はこの領域に V_{in} が入ると、上位は 00 であったと報告する。ところが下位比較器群では、この領域は左側（下側）に拡張した拡張下位比較器とその一つ右側の下位比較器が、この変換結果は上位が 01 に相当する領域に入っていて、かつ一番低い領域なので、0100 であったと報告する。冗長

下位比較器が、 V_{in} は自分の判定点よりも下であったと判断すれば上位は 00 と判定されることになるが、 V_{in} が自分の判定点より上であれば、上位は 01 であると判定できる。つまり上位比較器と同じ参照電圧を受けている冗長下位比較器が、判定をやり直して、上位の判定結果を修正してしまう。

やはり誤差補正がされる右側の斜線部で同じことを説明する。上位比較器はこの斜線領域に入った V_{in} は上位が 01 であると報告する。ところが下位比較器群は、右側に拡張した拡張下位比較器が自分の判定点よりも V_{in} が高かったことを検出するので、これは上位が判定を誤っていたと判断し、上位の結果を 01→10 に変更して、かつ下位ビットとしては一番低い領域なので 1000 と報告する。このように上位の変換結果を下位の変換結果で修正することにより、上位比較器群、下位比較器群のオフセットずれにより発生する直線性劣化を大幅に改善することができる。

デジタル誤差補正回路は上記の誤差補正演算を行う回路である。もし下位の拡張比較器を上側および下側に 2 個ずつ増やすなら、 $\pm 2\text{LSB}$ のオフセット誤差を完全に補正することができ、同様に下位比較器の拡張数を増やせば、さらにオフセット誤差補正範囲を増やすことができる。

3.5. 8-bit 20Msps CMOS A/D 変換器への適用

以上述べた提案する方式を用いて、ビデオ用の高速 A/D 変換器を設計・試作・評価した。
目標仕様は以下のとおり。

表 3-1 ビデオ用 A/D 変換器の目標仕様

Resolution	8 bits
Conversion Speed	20 Msps
Diff. Linearity	+/- 0.5 LSB ($V_{fs}=2V$)
Int. Linearity	+/- 0.5 LSB ($V_{fs}=2V$)
Power Dissipation	200 mW
PSRR	50 dB
Active Area	7.6 mm ²
Technology	2- μ m CMOS

本目標は 1988 年当時、世界で始めて CMOS デジタルチップにオンチップ化できるビデオ用 CMOS A/D 変換器として設定したものである。この設定目標は、以下に述べる評価に示すように、試作チップで達成することができた。

A. チップの試作

この A/D 変換器の試作には 2- μ m のポリポリ容量プロセスを含んだポリシリゲート 2 層メタル CMOS プロセスを用いた。図 3.14 にチップ写真を示す。抵抗ラダーブロックと、上位比較器バンク A,B と下位比較器バンク A,B と、デジタル誤差補正回路、および制御回路からなる。抵抗ラダーは第 1 層のアルミ配線層を使った。チップサイズは 3.8mm x 3.8mm、電源電圧は 5-V で、入力電圧範囲は 2V とした。

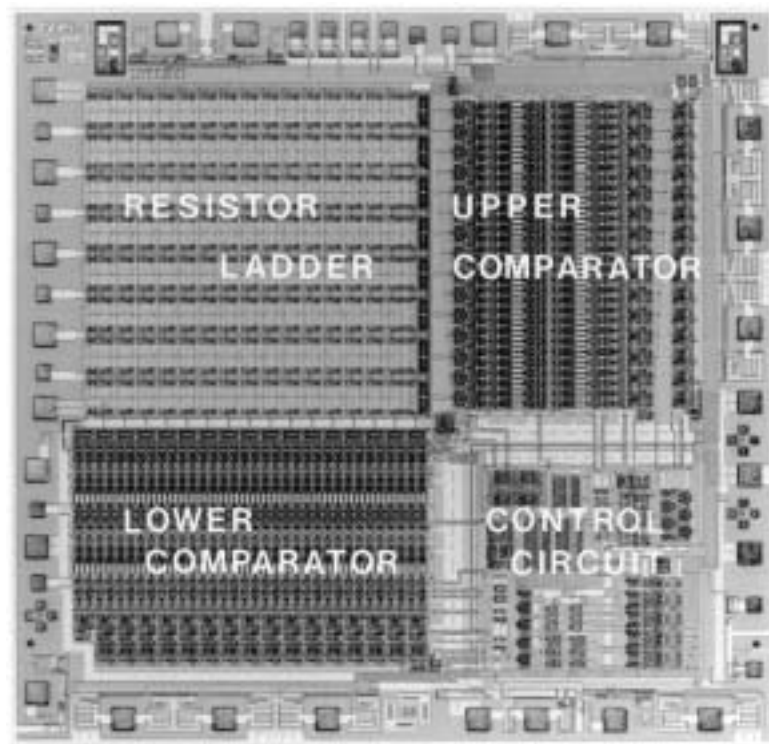


図 3.14 サブレンジ A/D 変換器チップ写真

B. 測定結果

この A/D 変換器の性能は市販 D/A 変換器でデジタル変換結果をアナログ波形に再変換することで評価した。再生波形を図 3.15 に示す。5kHz の入力正弦波が 20-MHz 変換レートで A/D 変換された後 D/A 変換器で再生されている。変換エラーは発生していないことが分かる。

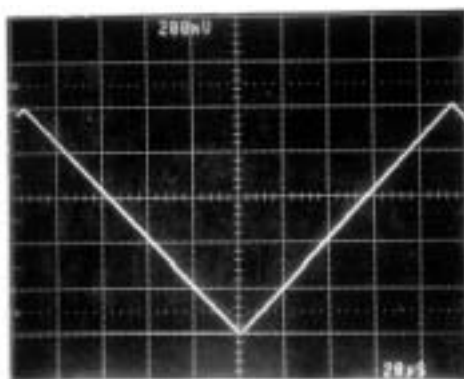


図 3.15 D/A 変換器での再生波形
fs=20-Msps, fin=5-kHz

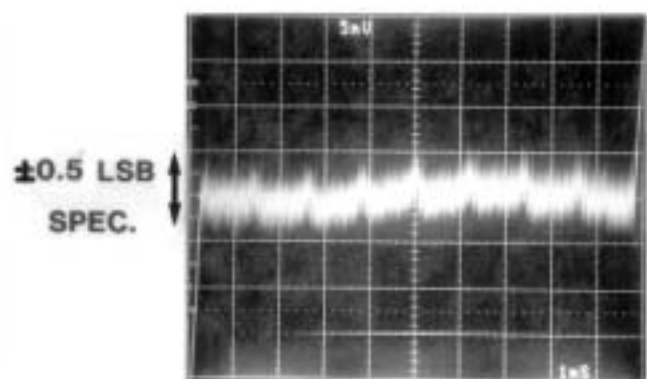
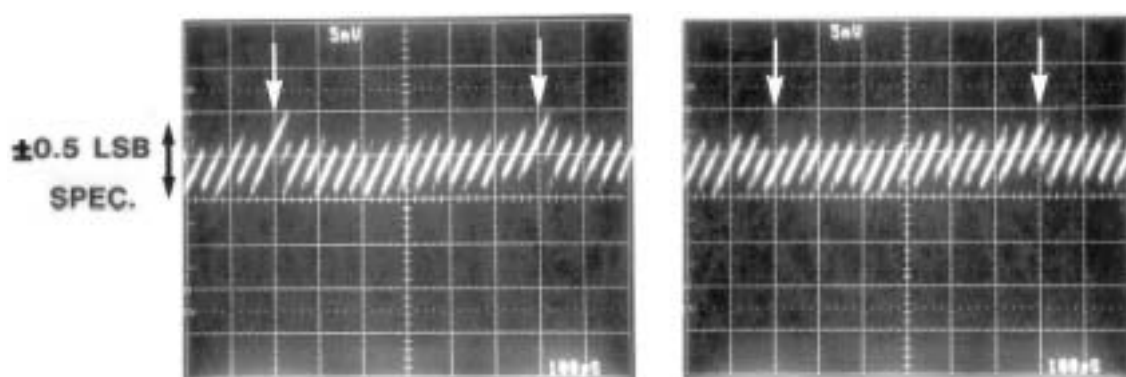


図 3.16 直線性誤差(Back-to-Back 評価)
fs=20-MHz, fin=5-kHz



(a)直線性誤差補正なし

(b)直線性誤差補正あり

図 3.17 直線性誤差補正回路の効果 (拡張下位比較器による誤差補正の有無)

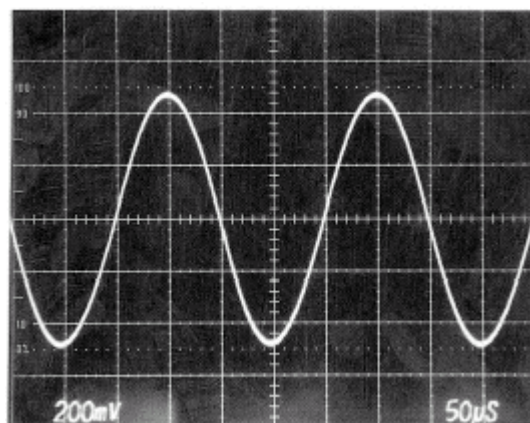


図 3.18 ビート波形 $f_s=16\text{-MHz}$, $f_{in}=5.335\text{-MHz}$, $f_{beat}=5\text{-kHz}$

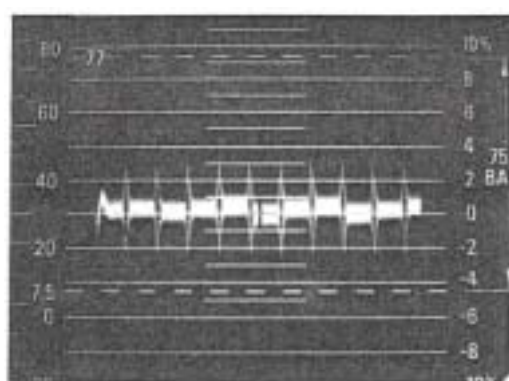
図 3.16 に 20-MHz 変換レートでの直線性誤差を示す。これは連続の入力信号から D/A 変換器で再生したアナログ信号を引算した波形である。D/A 変換で再生した波形は 1 次ホールドされた階段状の波形なので、引算された信号は、斜め 45° に上がる（または下がる）のこぎり状の波形になるのが正しい。階段状の再生波形が $\pm 0.5\text{LSB}$ ずれるとのこぎり状の波形が上にまたは下に 0.5LSB 相当ずれることになる。1 LSB は入力電圧範囲が 2V_{pp} なので $2\text{V}_{pp}/256=8\text{mV}$ である。 $\pm 0.5\text{LSB}$ のスペックから、この図で 8-mV の誤差は許容できる。20-MHz の変換レートのときでも、直線性誤差は $\pm 0.5\text{LSB}$ に入っていることが分かる。これは新しく開発したサンプルホールド型比較器の優秀性を示している。

図 3.17(a), (b)に下位比較器の拡張による直線性誤差補正回路の効果を示す。これらの写

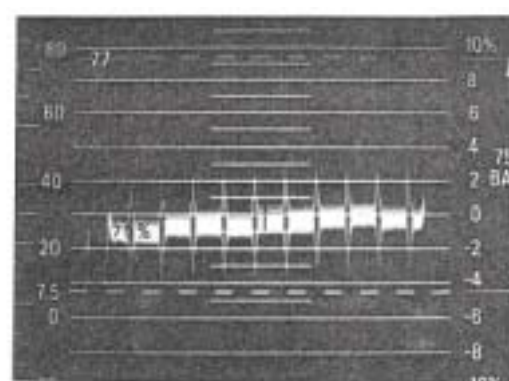
真は直線性誤差（量子化誤差）の拡大波形を示している。(a)は誤差補正回路をオフしたとき、(b)は誤差補正回路を働かせたときの直線性誤差を示している。上位と下位とをつないでいる接続点で発生していた直線性誤差が、誤差補正回路を働かせると (b)のように改善されることが分かる。

入力信号のバンド幅を調べるために、ビート周波数特性を実測し図 3.18 に示す。これは 16-MHz 変換クロックで入力信号を 5.335MHz にした場合である。 $5.335 \times 3 - 16 = 5\text{kHz}$ のビート波形を観測している。この波形にミスコードが無いことから、5MHz でもこの A/D 変換器の入力バンド幅は十分あることが分かる。この値は標準のビデオ信号には十分の値である。

ビデオ信号での特性表現の一つである、微分位相（デイファレンシャルフェーズ(DP)）は図 3.19(a)に示すように 1° であり、微分利得（デイファレンシャル・ゲイン(DG)）は (b) に示すように 1%であった。



(a) Differential Phase (DP)



(b) Differential Gain (DG)

図 3.19 微分位相(DP)と微分利得(DG)

3.6. 結論

ビデオ帯域の A/D 変換器を CMOS で実現するため、面積・電力が小さくなるサブレンジ A/D 変換方式に着目し、その問題点を解決する方法を提案し、試作で確認した。サブレンジ A/D 変換器の先行技術として Dingwall が 1985 年に発表していた変換器には以下の 3 つの問題点があった。

- 1) 変換を 2 回に分けて行うため、変換時間が完全並列型に比べて 2 倍以上に伸びてしま

う。

2) また、変換を2回に分けて行うため、上位変換と下位変換の接続点においてDNLなど直線性の劣化が発生する可能性がある。

3) CMOSインバータ型のサンプルホールド機能付電圧比較器を使っていた。インバータはシングルエンド型の回路のため電源雑音に弱く精度が劣化する可能性がある。

これら課題に対して

1) 2重比較器バンクによる交互（インターリーブ）動作、およびパイプライン処理により動作速度を高速化できることを示した。

2) 下位比較器に拡張（冗長）下位比較器を設け、上位比較器の判定点を再度判定しなおすことにより直線性劣化を防ぐ方法を提案した。

3) 定電流バイアスを用いる差動型サンプルホールド付比較器を提案した。これにより電源雑音が発生せず、かつ電源雑音に強い比較器を実現して性能を改善できることを示した。

以上の考案を応用し、8-bit, 20-MHz, 200mW消費電力のCMOSオンチップA/D変換器を2 μ m-CMOSで試作し、その性能評価から目標の性能を達成できることを示した。

性能をDingwallのサブレンジ型と比較すると、分解能はどちらも8-bitで、プロセスは3 μ m $\rightarrow$ 2 μ mとなり、変換速度が8-MHz $\rightarrow$ 20-MHzと改善され、電力は20mW $\rightarrow$ 200mWと増加した。電力が大きいののは雑音に強い完全差動型の比較器を用いたことによる。

また、従来開発された並列型のA/D変換器[1.5]と比較すると、分解能はどちらも8-bit、プロセスはどちらも2 μ m、変換速度は25-MHz $\rightarrow$ 20-MHzと若干低下したが、電力は300mW $\rightarrow$ 200mWと低減、面積は16.7mm² $\rightarrow$ 7.6mm²と45%に低減できた。雑音に強い完全差動型の比較器を使っていることもあり、デジタル回路とオンチップ化できるビデオ用A/D変換器を実現することができた。

本研究の発展と活用：

なお、このサブレンジA/D変換器技術を発展・改良させて8-bit, 50-MHz, 225mW, 0.8 μ m-CMOSのサブレンジA/D変換器を開発し、学会発表を行った[3.15]。この発表の特長は電圧比較器の動作を改良して大振幅入力信号が入ったときの飽和を防止して高速電圧比較器を実現したことである。またより低電力性を重視したA/D変換器としてインバータ・チョ

ッパ電圧比較器を使ったサブレンジ A/D 変換器で 9-bit, 25-MHz を 100mW で実現する開発も行った[3.16]。

またこれらのオンチップ用 A/D 変換器を用いて、アナログビデオインターフェイスを持ったデジタル信号処理チップ[3.17][3.18] [3.19]を開発している。

サブレンジ型は、1988 年から数年間、主に日本の半導体メーカーからその改良が学会発表されたが、分解能を 10-bit 化するには面積が大きくなる欠点があり、次に発展したパイプライン A/D 変換器にとって代わられていた。しかし最近 2003 年以降、微細化による電源電圧低下によってオペアンプ回路が作りにくくなったことと、微細化が進んで面積があまり問題にならなくなったこともあり、最近では 10-bit A/D 変換器、場合によっては 12-bit A/D 変換器を実現する方式として見直され幾つかの学会発表・製品開発がなされるようになってきている[3.20] [3.21] [3.22]。

4. 二重サンプル手法によるパイプライン A/D 変換器の低電力化

4.1. 緒言

第 2 章でパイプライン A/D 変換器の原理・概要を説明したが、本章ではパイプラインをさらに深く使って A/D 変換器の個別回路の動作速度を緩和し、低消費電力化に結びつける手法について述べる。目標とする分解能は 10-bit 程度、変換速度はビデオ信号が処理できる 15-MHz 以上、消費電力は 100mW 以下である。デジタル信号処理回路との親和性のため使うデバイスはバイポーラ素子ではなく CMOS とする。

10-bit 精度の A/D 変換器は、並列型で実現すると比較器の数が分解能分 ($2^{10}=1024$ 個) 必要になり消費電力と、面積が大きくなり実用的でない。第 3 章で議論したサブレンジ型は、比較器の数を大幅に低減できる利点がある。例えば上位 5-bit, 下位 5-bit に分解して、ビデオ帯域への高速化のため上位、下位 5-bit を 2 重比較器バンクにより高速化した場合、 $(2^5+2^5) \times 2=128$ 個の比較器で実現できる。しかし、サブレンジ型で 10-bit 精度をフルスケール例えば 2V で実現しようとする、1LSB の電圧が 2mV になり、比較器の精度を上げなければならない面があった。また第 3 章の抵抗ラダーの構成方法では参照電圧はシングルエンドで作られており、同一チップ上にデジタル回路をオンチップ化するとデジタル回路からの雑音の影響を受けて 10-bit 精度が得られない恐れがあった。

これに対して 1987 年に ISSCC で Lewis により報告されたパイプライン方式[4.6]は、比較器の数が少なく高速で低電力な A/D 変換器を実現する手法の一つとして優れていると考えられた。当時 $3\mu\text{m}$ -CMOS で実現された A/D 変換器は、5MHz, 9bit とビデオ速度に達せず分解能も少なかったが、消費電力は 180mW と低電力化の可能性が大いにあった。またアンプを使って信号を増幅するため比較器の 1LSB 電圧は例えば 64mV 程度と大きくでき比較器の設計が容易になること、および、回路構成を完全差動型にできるので、抵抗ラダーによる参照電圧も完全差動型に構成することができ、デジタル回路の雑音の影響を受けにくくできる、というメリットもあった。

この年の前後に発表された A/D 変換器の電力は、1990 年に ISSCC で報告された 10-bit 15MHz の 2 ステップ変換器[4.5]で 250mW などがある。これは $1\mu\text{m}$ CMOS で試作されたもので、それまでの Bipolar や BiCMOS の 2 ステップ変換方式[4.3][4.4]などの 900mW や 750mW に比べて大幅に低電力化していたが、それでもまだ目標とすべき 100mW 程度にはなっていない。その後、同じ Lewis が 1991 年に発表した 10-bit, 20-MHz の A/D 変換器では $0.9\mu\text{m}$ CMOS

を使って 240mW の電力であった[4.7][4.8]。

本章では、パイプライン方式に着目し、さらなる低電力化を検討する。その結果、(1)パイプラインを深くする二重サンプル手法を考案した。A/D 変換器のパイプラインステージの間にサンプルホールド回路を追加することにより、アンプと D/A 変換器、比較器に必要な整定時間を従来の約 2 倍にでき、従来方式に比べて消費電力を約半分にすることができる。また、A/D 変換器の回路は、デジタル回路とオンチップ化したときに、デジタル回路からの雑音の影響を受けにくいように完全差動形式の回路構成とする。また、方式的な工夫のほかに、(2) 5V と 3.3V の 2 電源電圧を使ってさらに消費電力を下げることを提案する。精度が必要なアンプには 5V 電源、精度が要らない比較器には 3.3V 電源を用いる。2 電源の間は容量結合で信号を伝達するため電源電圧に差が有っても問題にはならない。

4.2. アナログ二重サンプリング法

4.2.1. 電力低減：並列交互動作方式と二重サンプル・パイプライン方式の電力比較

一般的に言って電力低減は回路の動作速度を遅くすることによって達成される。パイプライン A/D 変換器において、主な回路要素は、サンプルホールドや差信号増幅などで使用されるオペアンプ、電圧比較器、D/A 変換器であるが、電力は主にオペアンプによって決まっている。したがって、オペアンプの動作速度と消費電力の関係を考えることが第一歩である。

オペアンプの動作速度を、ゲインが 1 になるユニティゲイン周波数 f_{0dB} として単純化すると、アンプのトランスコンダクタンスを g_m とし、負荷容量を C_L とすると、式(3.1)で表される。

$$f_{0dB} = \frac{g_m}{2\pi C_L} \quad (3.1)$$

また、MOS の g_m は、初段トランジスタのチャンネル長を L 、チャンネル幅を W 、バイアス電流を I 、コンダクタンス定数を β として、

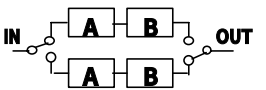
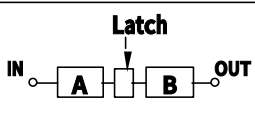
$$g_m = \sqrt{2\beta \frac{W}{L} I} \quad (3.2)$$

で表される。オペアンプをカスコード 1 段アンプで設計すると仮定すると、同じ負荷容量 C_L の回路で、動作速度を $1/2$ に落としてよいなら、(3.1)式において相互コンダクタンス

gm を半分にして良く、また式(3.2)から、同じトランジスタサイズ W/L を使うなら、バイアス電流を $1/4$ に落としてよいことが分かる。つまり動作速度を半分に落としてよいなら、原理的には消費電力を最大 $1/4$ に落とすことが可能である。

しかし、動作速度が $1/2$ に遅い回路はシステムのスループットを $1/2$ に低下させる。これを補償する方法には、並列交互動作またはパイプライン法がある。表 4-1 にこの二つの方法の利点と欠点を示す。

表 4-1 低電力化への並列交互動作（パラレル・インターリービング）方式とパイプライン方式の比較

Solutions			
	Block	Advantage	Disadvantage
Parallel Inter-leaving		High-speed	Channel mismatch
Pipelining		Low-power	Gain error

並列交互動作（パラレル・インターリービング）は、回路規模は 2 倍になるが、A,B 二つの回路を置いて、偶数、奇数、二つのチャンネルに分け、交互に動作させることによりスループットを 2 倍にさせる手法である。並列交互動作していない回路の動作速度に対して、半分の動作速度の回路要素を 2 組用いれば、従来と同じスループットに回復できる。A,B 各チャンネルの動作速度は半分なので、各チャンネルの電力は最大 $1/4$ に低減でき、回路規模が 2 倍に増えても、全体の消費電力を原理的には $1/2$ に低減できることになる。

しかしながら A,B 二つのチャンネルの間にオフセット・ミスマッチや利得のミスマッチがあると、 $1/2$ クロック周波数に固定パターン雑音が乗ることになり、高精度の変換器を設計することは難しい。例えば 10-bit 精度の変換器を得るためにはミスマッチを 11-bit 精度以下に抑えなければならず、その実現は難しくオフセット・ミスマッチ調整回路な

どで対策することになる（特に高速動作が必要な場合、調整回路を付けて回路規模を大きくしてもなおこの方法を利用する場合がある）。

一方、パイプライン法は、従来1クロック期間で終了させていたA回路とB回路の従属回路があるとして、A,B回路の間にラッチ回路を置きパイプライン状に動作させる方法である。今まではA回路の動作とB回路の動作の組合せ動作が1クロック期間で終了する必要があったが、ラッチを置くことによってA回路の動作が1クロック期間、またB回路の動作が1クロック期間で終了すればよく、回路動作を最大で1/2に遅くしても、動作レートを同じクロックで動作させられる。ただし今まで1クロック期間で終了させていたA回路B回路の仕事を、2クロック期間掛けて行うので、全体の「遅延」時間は2倍に遅くなる。しかし、全体の遅延時間が延びても同じクロックレートで処理できれば、つまり同じスループットが得られれば問題ないアプリケーションは多い。もともとパイプラインA/D変換器は多段の構成を取っており、パイプライン段数を増やすことにそれほど問題はない。同じクロックレートを保って、A回路の動作速度を1/2に遅くでき、B回路の動作も1/2に遅くできるので、A回路も、B回路も電力を1/4にできる。したがって、ラッチ回路の消費電力が無視できれば全体の電力を元の1/4倍にできる。またラッチ回路の電力がA,Bの回路と同程度でも、全体の消費電力は約半分に低減することができ、この方法は電力を低減するのに有効である。

ただし、アナログ回路でパイプライン法を取ると、アナログラッチ回路（すなわちサンプルホールド回路）の精度の影響を受ける可能性がある。しかし今回提案するパイプライン方式では、デジタル誤差補正によりミスコードなどの直線性誤差は補正が可能で問題にならない。また利得誤差が存在すると、A/D変換器全体の利得誤差となるが、これもたいして問題にならないアプリケーションが多い。CCD撮像素子に用いるシステムの場合はA/D変換器の前に明るさを測定して利得を可変にする機能(AGC)がついており、利得の誤差は問題にならない。

以上議論したように、パイプライン法を工夫して低電力化を行える余地が有り、以下その検討を行う。

4.2.2. 従来のパイプライン A/D 変換器

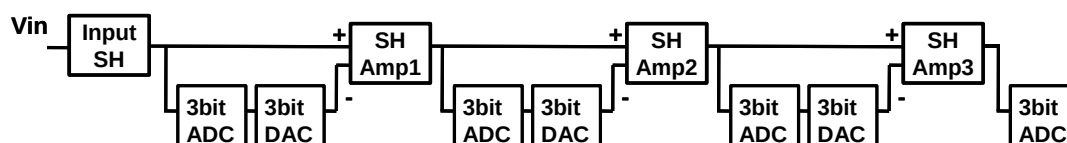


図 4.1 Lewis のパイプライン A/D 変換器

図 4.1 に 1987 年に Stephan H. Lewis が提案した CMOS パイプライン A/D 変換器[4.6]のブロック構成を示す。各ステージに 3-bit ADC と 3-bit DAC を用いた 4 ステージ構成の A/D 変換器である。図は 3-bit x4 の 12-bit A/D 変換器に見えるが、実際は後に説明する誤差補正技術を用いて比較器のオフセット誤差対策を行うため、2 段目以降では、3-bit のうち実質的に変換に用いるのは 2-bit であり、(3bit+2bit+2bit+2bit)構成の 9-bit 変換器である。図 4.1 の段間のアンプ(SH amp)は、スイッチド・キャパシタを用いたサンプルホールド型のアンプで、図 4.2(a)(b)に詳細回路を、(c)に ϕ_1 、 ϕ_2 のクロックタイミングを示す。 ϕ_1 と ϕ_2 のクロックはノンオーバーラップクロックで、 ϕ_1 クロックが立下るタイミングで前段の信号を $4C_s$ にサンプルする。次の ϕ_2 クロックで $4C_s$ に蓄えられた電荷がフィードバック容量 C_s に転送されて、アンプとして動作し、この場合 4 倍ゲインのアンプとして働く。 ϕ_1 クロックの立下りでサンプルする機能がラッチの働きをしており、サンプルを行った後には、前段は別の仕事を始められる。このため各ステージが分離されており、各ステージ別々のサンプルについて信号処理が可能になりパイプライン処理が実現できる。

+

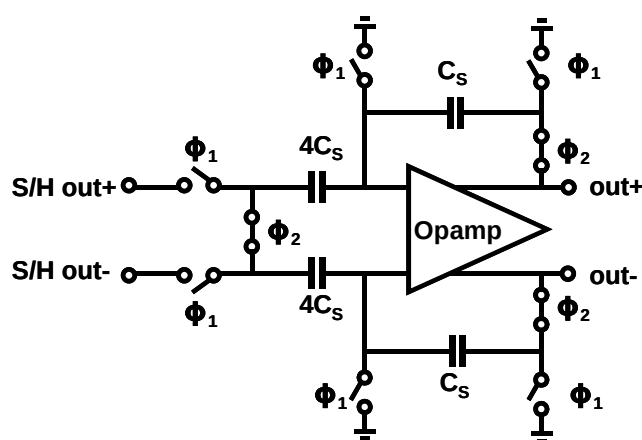


図 4.2 (a) サンプルホールドアンプ (Input-SH)の構成

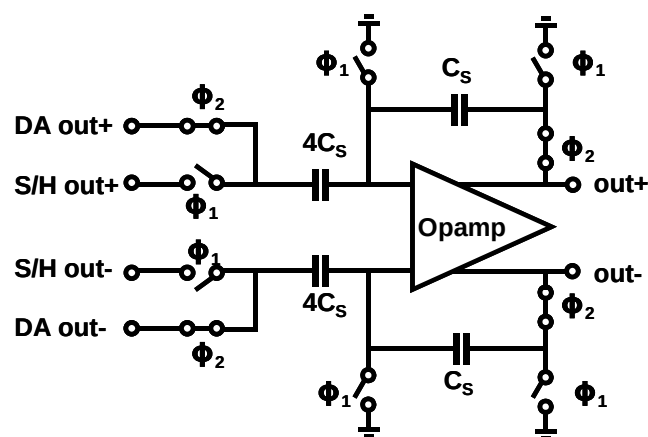


図 4.2(b) DA 変換器出力との差信号増幅機能付サンプルホールドアンプ(SH amp)

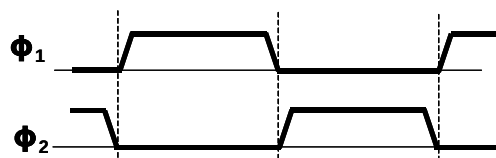


図 4.2(c)ノンオーバーラップクロック

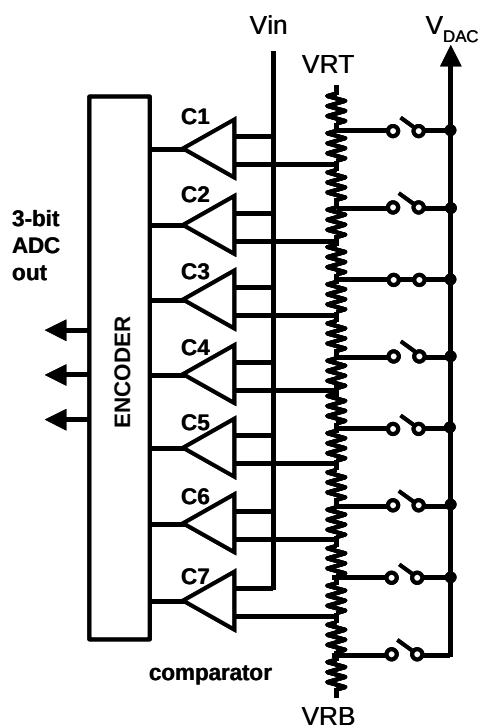


図 4.3 内部 A/D 変換器と D/A 変換器の構成

各パイプラインステージの中は、図 4.1 にあるように、入力信号を A/D 変換して、それを D/A 変換器でアナログ値に再生する。図 4.3 に内部 A/D 変換器と内部 D/A 変換器の回路構成を示す。A/D 変換器は抵抗ラダーを用いた 3-bit 並列型 A/D 変換器、D/A 変換器は A/D 変換器の抵抗ラダーを共用した抵抗分圧型の D/A 変換器である。図はシングルエンドであるが実際の回路構成は完全差動型である。動作タイミングを図 4.4 に示す。まず、入力サンプルホールド回路 input-SH（図 4.2 (a)）は、図中 1-1 のタイミングで入力信号をサンプルし、次の 1-2 のタイミングでホールドして A/D 変換器 AD1 に供給する。AD1 は 1-2 のタイミングで A/D 変換を行い、その結果を次の 2-1 のタイミングで D/A 変換器がアナログ値に再生する。図 4.2(b)に示す DA 変換器との差信号増幅機能付きサンプルホールドアンプ SH amp1 は、1-2 のタイミング（図 4.2(b)中の $\phi 1$ ）で前段 Input-SH の出力をサンプルし、2-1 のタイミング（図 4.2(b)中の $\phi 2$ ）で D/A 変換器が再生したアナログ値との差分を 4 倍に増幅して、次の段の AD2 に供給する。以後 2 段目以降の各段の動作は全く同じである。

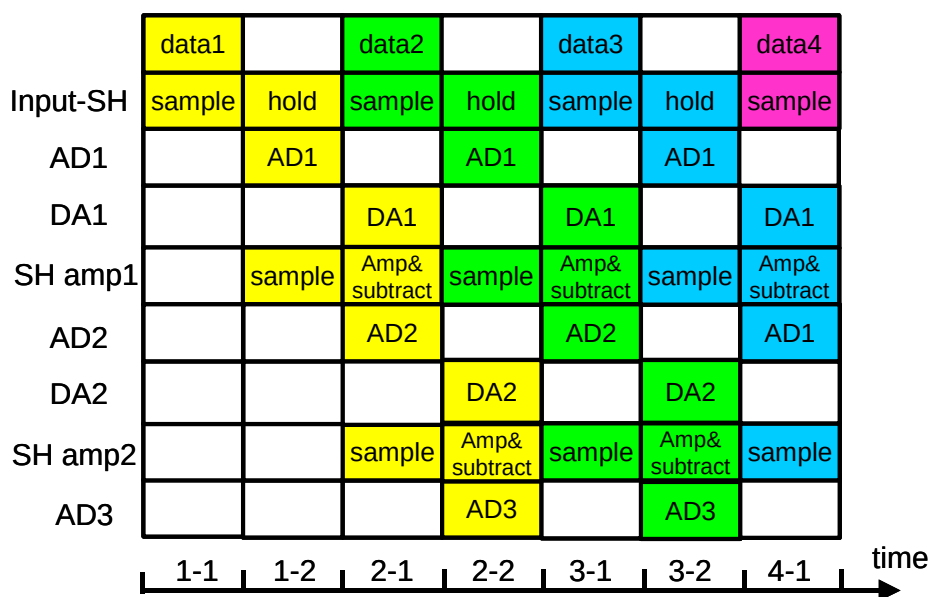


図 4.4 従来（Lewis）のパイプライン A/D 変換器の動作タイミング

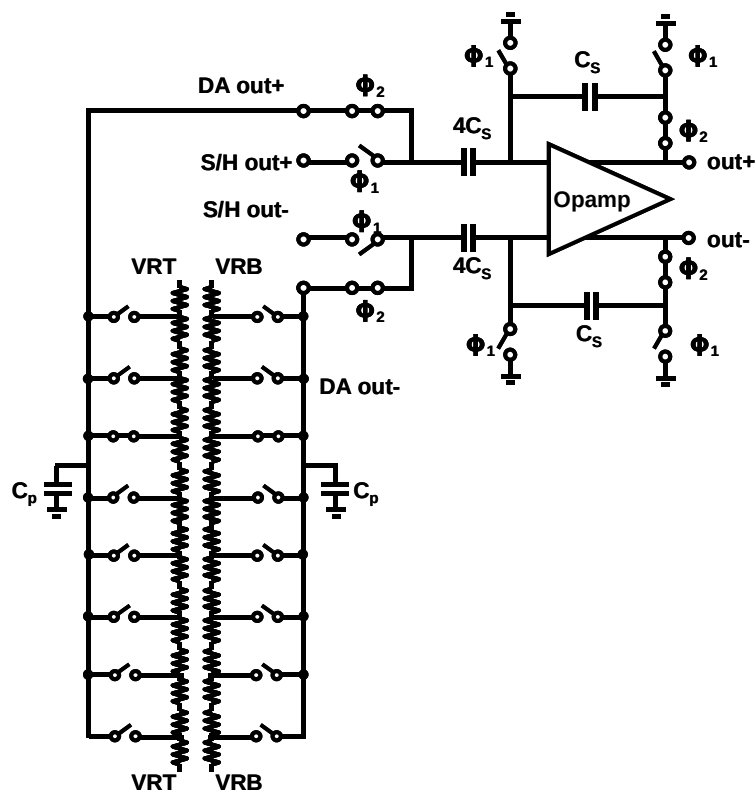


図 4.5 D/A 変換器を接続したサンプルホールドアンプ回路

パイプライン方式は低電力、高スループットの A/D 変換器を実現する上で有効な方法である。しかし、ここで各ステージの動作タイミングを詳細に調べると、従来のパイプライン型にはさらに動作速度改善の余地が有る。

図 4.4 の従来のパイプライン A/D 変換器の動作を見ると、タイミング 2-1 の短い時間に D/A 変換器によるアナログ信号の再生(DA1)と、サンプルホールドアンプ(SH amp1)による差分の増幅(Amp & subtract)動作を完了しなければならず、D/A 変換器の動作速度と、サンプルホールドアンプは十分に速く設計する必要があった。つまり D/A 変換器の整定時間とアンプの整定時間を分離できないため、アンプの電力を大きくして、D/A 変換器の整定時間を含んだアンプの整定時間を短くしてやる必要があった。特に D/A 変換器の分解能が多いと抵抗ラダーで作った D/A 変換器の整定時間は長くなりアンプの電力を大きくしてやる必要がある。また図 4.5 に示すように D/A 変換器の出力にはレイアウトにより寄生容量 C_p が付くことが不可避で、それも D/A 変換器の動作速度を遅くする一因であった。

4.2.3. 提案する二重サンプル手法

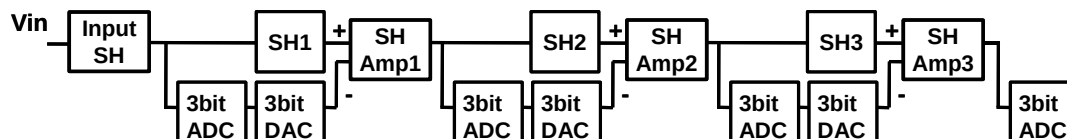


図 4.6 提案する二重サンプル・パイプライン方式

図 4.6 に提案する二重サンプル手法を使ったパイプライン A/D 変換器のブロック図を示す。従来のパイプライン A/D 変換器に比べ、各 AD/DA サブステージの中に、さらにパイプライン動作を組込んだ。そのために第 1 ステージの中に SH1 というサンプルホールド回路を設け、同様に第 2、第 3 ステージの中にも SH2, SH3 を設ける。これらのサンプルホールド回路を使ってパイプライン段を深くすることができ、内部回路の動作タイミングが緩和され、各回路の動作速度を低減でき、低電力化が可能になる。

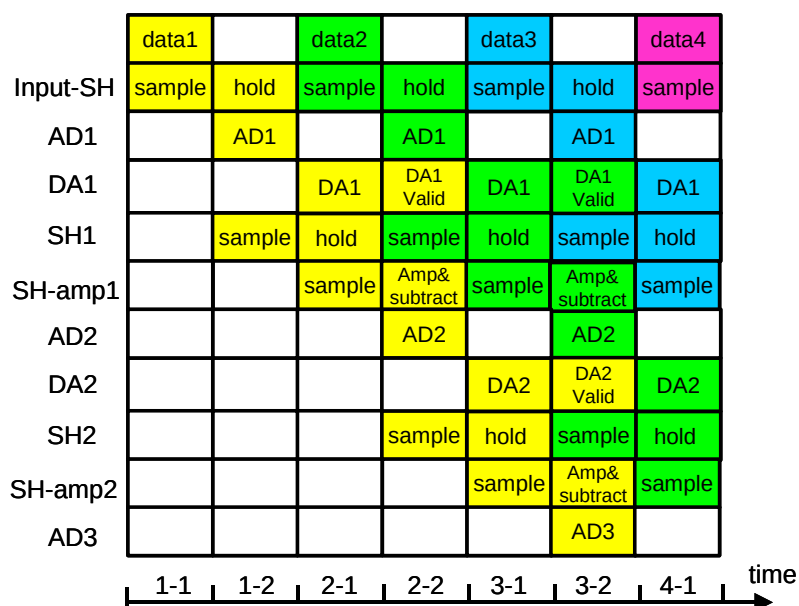


図 4.7 二重サンプル・パイプライン方式のタイミング

図 4.7 に新しいタイミングを示す。入力サンプルホールド Input-SH はタイミング(1-1)で信号をサンプルし(1-2)でホールドする。(1-2)で A/D 変換器(AD1)が A/D 変換を行い、

(2-1)で D/A 変換器(DA1)がデジタル信号からアナログ信号への変換を行う。つぎに新しく挿入した SH1 はタイミング(1-2)で Input-SH のホールド信号をサンプルし、タイミング(2-1)でホールドしている。さらに従来の SH amp1 がタイミング(2-1)でこの SH1 がホールドしていた信号をサンプルする。そして次のタイミング(2-2)で引算および増幅動作を行う。従来 SH1 が無かったときは、D/A 変換器の整定、引算および増幅動作はまとめて(2-1)のタイミングで行う必要があり、D/A 変換器の整定および増幅動作は高速でなければならず消費電力の大きい回路を使う必要があった。これに対して SH1 を挿入すると、引算、4倍増幅の動作タイミングを一つ後ろにずらすことができ、D/A 変換器 DA1 の整定と、その出力結果を使うタイミングを分けることができる。図から DA1 の整定は(2-1)のタイミングで行われ、その出力結果を使うのは次の(2-2)のタイミング（図では DA Valid と書かれているタイミング）で行うことができる。したがって D/A 変換器の電力を下げ、アンプの電力も下げて低電力な回路で設計することができる。

4.2.4. 二重サンプル手法の効果

図 4.8 に従来タイミングによる動作波形と、提案する二重サンプル手法での動作波形の差を示す。この波形は従来手法でもっとも動作速度が遅くなるオーバードライブを起こす例に付いて示している。この例の仮定は、D/A 変換器の最終出力 V_{DAC} が前の段のホールド出力電圧 V_{SH} よりも少し高く、したがって Amp1 の出力は最終的には下側に振れるときを考えている。右側に示す提案する二重サンプル手法では、図の $\phi 1$ の期間に D/A 変換器の出力の整定が終わり、D/A 変換器出力 V_{DAC} が前段のホールド出力 V_{SH} よりも少し高くなった状態になってから期間 $\phi 2$ が始まって Amp1 が動作するため、アンプの出力は下に振れるだけで最終値に早く整定する。これに対し、従来手法では、D/A 変換器の動作と、アンプの動作は期間 $\phi 1$ で同時に始まる。D/A 変換器の初期値が、アンプが正に振れる側にあると、一旦正に振れてから最終値の負の値に整定するので、整定時間が長くなる（この動作をオーバードライブと呼ぶ）。にもかかわらず、この整定は $\phi 1$ の間に終わらなければならない。次のステージの A/D 変換と、Amp2 のサンプルがこの $\phi 1$ の間に終了しなければならないからである。したがって D/A 変換器とアンプの消費電流を多くして整定が短い時間に終わるように設計しなければならない。

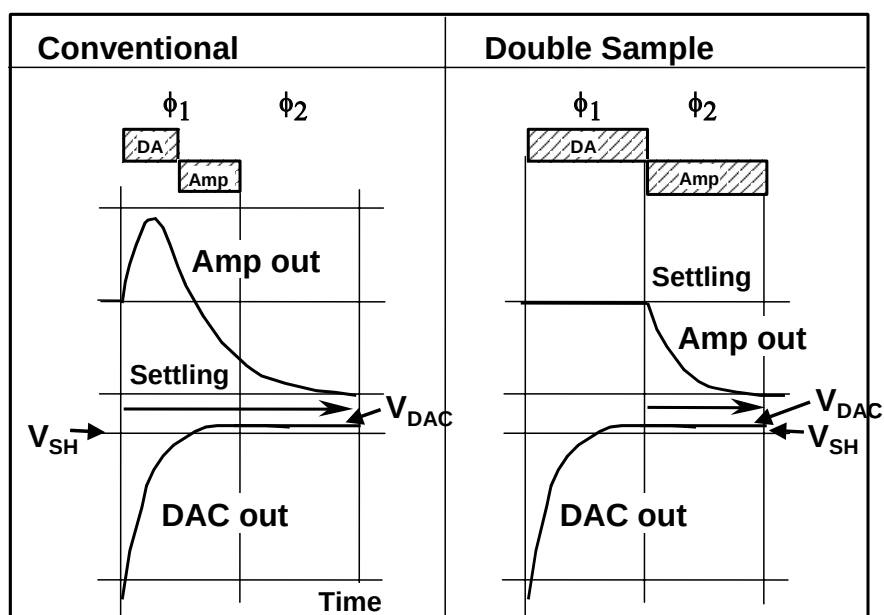


図 4.8 従来手法と、提案する二重サンプル手法でのアンプ出力応答

図 4.9 に、従来手法に比較して、二重サンプル法のアンプの g_m に関する効果の例を示す。アンプ整定時間は図中に示す簡単な MOS アンプモデルを用いて D/A 変換器を含めた整定時間をシミュレーションによって求めた。従来手法では D/A 変換器の整定とアンプの整定が分離されていなかったため、それが分離されている二重サンプル手法よりも整定時間は長かった。そのためアンプに必要なコンダクタンス g_m は二重サンプル手法よりも大きなものが必要になる。図の例では、もし従来手法で整定時間 33nS を得ようとすれば、 $g_m=10\text{mA/V}$ が必要であるが、二重サンプル手法では 2mA/V より少し大きければよい。この g_m の比率は種々の条件、例えば、要求整定時間、D/A 変換器の整定時間、アンプの負荷容量の大きさ等により変わるが、一般に二重サンプル手法を用いると小さい g_m のアンプでよい、すなわちアンプの低電力化ができることが分かる。

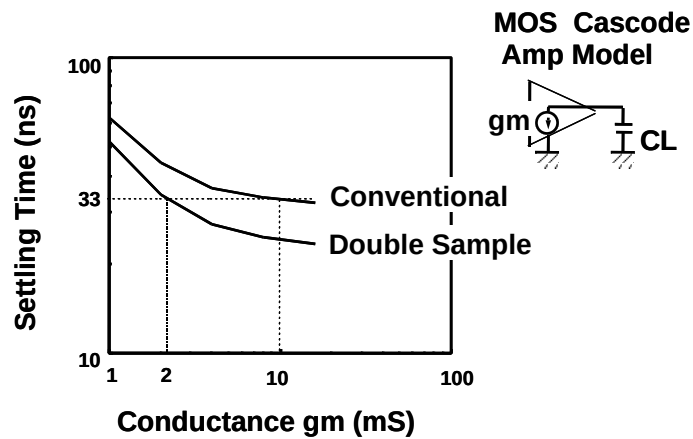


図 4.9 二重サンプル手法の効果

4.3. パイプライン A/D 変換器のデジタル誤差補正

パイプライン A/D 変換器、または 2 ステップ A/D 変換器では、変換特性にミスコードなどの線形性誤差を起こさないためには、上位の A/D 変換器が判定する上位ビット切替りの（遷移）電圧と、下位 A/D 変換器の変換レンジとがぴったり一致している必要がある。しかし現実の回路・デバイス設計ではペアトランジスタのミスマッチなどによりずれが生じ A/D 変換器の線形性誤差が生じてしまう。この問題を Lewis は「拡張変換レンジ」と「オーバーラップ加算」という考え方で誤差をデジタル補正して解決する方法を提案して、パイプライン A/D 変換器が広く使われるようになった経緯がある。本節では、この「拡張変換レンジによるデジタル誤差補正」という概念を説明し、また提案する二重サンプル手法で、この誤差補正により追加のサンプルホールド回路 SH1,2,3 を挿入しても問題にならないことを説明する。

4.3.1. 誤差補正のない変換器での比較器オフセット誤差の影響

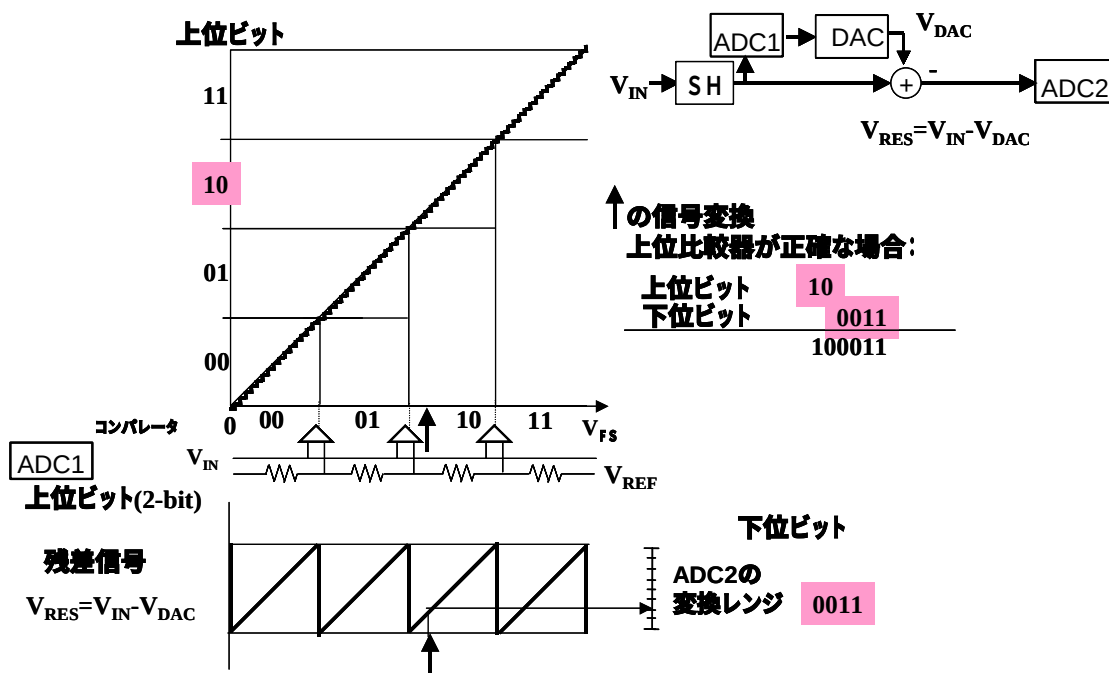


図 4.10 誤差がない場合のパイプライン A/D 変換器の変換特性

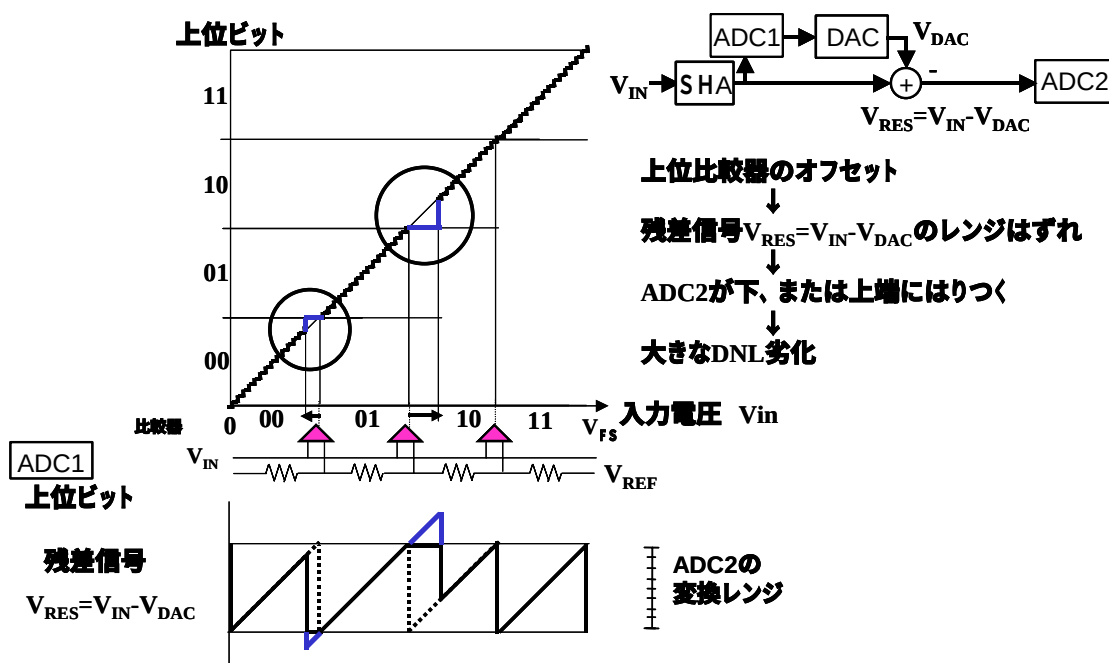


図 4.11 上位比較器のオフセットばらつきによる変換誤差

図 4.10 は第 2 章で 2 ステップ A/D 変換器の変換特性を説明するときに用いた図である。パイプライン A/D 変換器と 2 ステップ A/D 変換器は、サンプルホールド回路を使って時間的にサンプルをパイプライン状に処理するか、しないかの違いなので、入力電圧に対する出力デジタル値という変換特性に関しては、同じ特性になる。図 4.10 は横軸が入力アナログ電圧、縦軸が出力デジタル値である。2 ステップの変換では、まず上位の変換を行い、入力電圧が上位の、この例では 2-bit の、どの領域(00,01,10,11)にあるのかを判断する。図中、横軸に上位比較器による変換の様子を示すが、比較器がそれぞれの参照電圧と入力電圧を比較して、入力電圧がどの領域にあったかを判断して、(00,01,10,11)を出力する。次に D/A 変換器がこのコード(00,01,10,11)に相当するアナログ信号 V_{DAC} を再生して、入力アナログ信号 V_{IN} から引算すると残差 V_{RES} 信号ができる。これは図の下側に示されるノコギリ波状の波形となる。次に下位の A/D 変換器がノコギリ波状の残差信号を A/D 変換して下位ビットを得る、これを上位ビット、下位ビットをつなげて、全体の変換結果を得る。

この変換が正確であるためには、上位の比較器のオフセット誤差が、1LSB よりも小さくなければならない。ところが比較器の回路設計でオフセットを小さく抑えるのは一般には難しい。比較器に 1LSB 以上のオフセットがある場合には、正確な変換ができず、例えば、図 4.11 に示すように、変換特性にビット欠けや、ビットとびが生じる。この例では、00 と 01 の領域を区別する比較器にオフセットがあって、参照電圧よりもすこし低い電圧で 00→01 に変わったと判断するとしている。入力電圧が下から上昇する場合を考えると、この場合、入力電圧が本来の遷移電圧に到達する前に、上位が次の領域(01)に入ったと判断している。すると残差電圧 $V_{RES}=V_{IN}-V_{DAC}$ は図に示すように、次段の A/D 変換器 ADC2 の上側フルスケールに到達するまえに下がることになり、また下側は、ADC2 の変換レンジの下にオーバーしてしまう。この領域の ADC2 の出力は 0000 につぶれてしまい、変換誤差が生じ、ビット飛びが起き、変換特性ではジャンプが起きる。

同様に、01→10 の領域を判断する電圧比較器にも反対のオフセットがあると仮定すると、図のように、残差電圧は、次段 ADC 2 の変換レンジの上に飛び出し、この領域の下位 A/D 変換器の出力は(1111)となり、変換誤差が生じ、ビット欠けが起き、変換特性にフラットな領域が生じる。

4.3.2. 拡張比較レンジによる変換誤差のデジタル補正

上記の変換誤差が発生する要因を見ると、上位比較器にオフセットがあると残差信号 $V_{RES}=V_{IN}-V_{DAC}$ が下位 A/D 変換器のフルスケールをオーバーしてしまうために変換誤差が生じることが分かる。そこで、下位 A/D 変換器の変換レンジを拡張して、オーバーした領域でも下位として正しい変換結果を出すことにすれば、一旦上位ビットの領域を誤って判断しても補正をすることができる。図 4.12 に拡張変換レンジ（領域）を設定した下位 A/D 変換器とデジタル誤差補正回路により誤差が補正される原理を説明する。

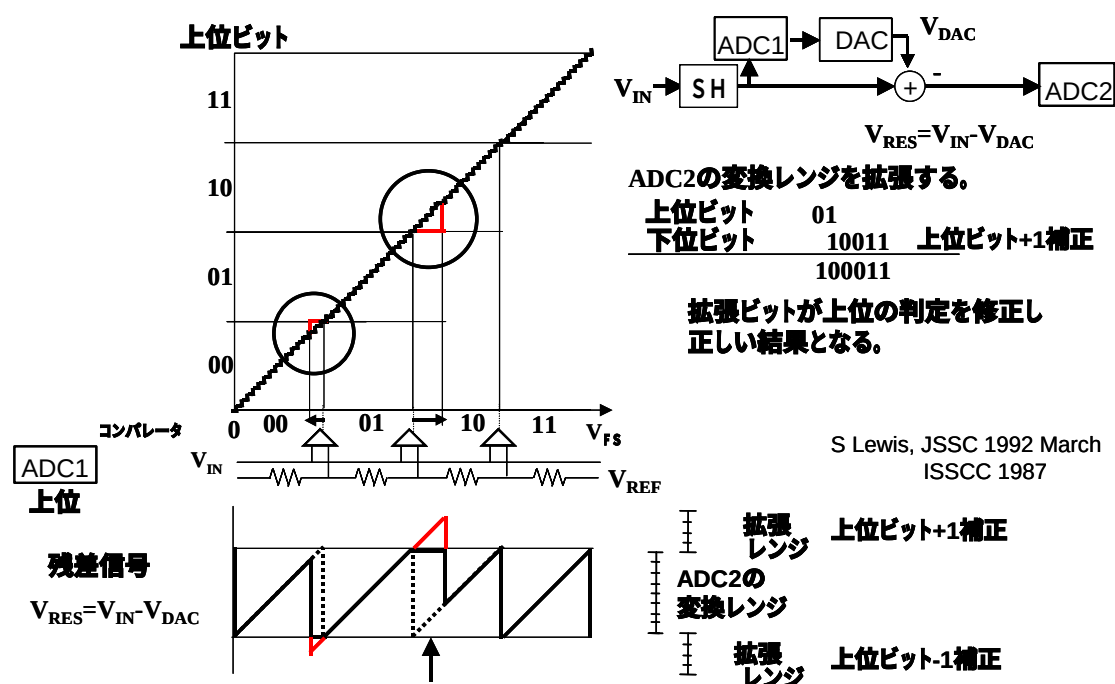


図 4.12 拡張比較レンジを設けた下位 A/D 変換(ADC2)とオーバーラップ加算によるデジタル誤差補正

図 4.12 の下側にノコギリ波状の V_{RES} を示すが、下位 A/D 変換器 ADC2 の本来の変換レンジは図に示す上下二本の直線にはさまれた領域である。これをオーバーする V_{RES} が出ると情報が失われてしまう。そこで図に示すように上側と下側にそれぞれ拡張レンジ（拡張変換領域）を設け、レンジオーバーした V_{RES} が発生しても、拡張レンジに入っている限りどの程度オーバーしたかを下位 A/D 変換器の LSB 単位で検出できるようにする。具体的には例えば、下位 A/D 変換器が 4-bit で、LSB 単位で 16LSB の変換レンジを持っていたとする。

これを 1-bit 拡張して 5-bit の A/D 変換器とし、32LSB の変換レンジとする。拡張は上側と下側に等分に分けて、上側に 8LSB、下側に 8LSB 拡張した領域を持たせる。もし上側の拡張領域に V_{RES} 信号が入ってきて、下位 A/D 変換器によって、上側拡張領域のどのコードまでオーバーしたかが分かれば、これから変換結果を正しく直すことができる。例えば図に示すように 01→10 の領域の切替りで上側領域にオーバーしたとすると、上位比較器にオフセットがあって、本来の 01→10 の切替りよりも高い電圧で 01→10 に切替ったと判断している。しかし下位 A/D 変換器からみれば、すでに上位は本来 10 の領域に入っていると考えべきなので、下位の A/D 変換結果から上位のビットを直してしまえば直線性が改善できる。これを実現するのがオーバーラップ加算である。図右側に記したように、下位 A/D 変換器の本来の出力は 4-bit で、0011 が変換結果であるが、上側拡張領域に入ったことを 5-bit 目の最上位ビットで現すことにすると(1)0011 が拡張した変換結果である。これを図に示すように、上位の変換結果 01 と加算する。01,0000 と下位 4-bit を上位の変換結果に補って足し算すると考えればよい。01,0000+(1),0011=10,0011 となり、上位ビットが、誤った 01 から正しい 10 に代わり、この上位変換結果の下位桁でのオーバーラップ加算によって修正することができる。

下側の拡張領域にオーバーしている場合は、例えば、(-1)0011 が下位変換結果で、(-1)が下側にオーバーフローしていたことを示す。上位桁、例えば 01 とオーバーラップ加算して、01,0000+(-1)0011=00,0011 と上位桁を修正することができる。引算の代わりに、2 の補数として下位ビットを符号化すれば、引算器は不要になり、加算器だけで上側、下側両方のオーバーフローに対応することができる。

4.3.3. パイプライン A/D 変換器のその他の変換誤差

上記で A/D 変換器の比較器オフセット誤差は「拡張変換レンジによるデジタル誤差補正」できることを説明した。その他の誤差要因について言及しておく。

(1) 入力サンプルホールド回路の必要精度

まず、パイプライン A/D 変換器初段の入力サンプルホールド回路(Input-SH)のオフセット、非線形性、ゲイン誤差、は入力信号そのものに影響が出るので A/D 変換器全体の特性に影響が出る。Input-SH のオフセットは A/D 変換器のオフセットとなる。また Input-SH の非線形性は、A/D 変換器の非線形性つまり積分非直線性(INL)になる。また Input-SH のゲイン誤差は、A/D 変換器のゲイン誤差になる。ただし実際の応用例では、入力オフセットおよび

ゲインは問題とならないことが多い。システムとしてオフセットを測定してキャンセルする、A/D 変換器の前にゲインを調整する AGC(Automatic Gain Control)回路を設ける、ことが多いからである。したがって入力サンプルホールド回路(Input-SH)の設計では線形性を A/D 変換器の必要性能に合わせて、例えば 12-bit 精度であれば 12-bit 以内の非線形性に抑えるように設計する必要がある。

(2) サブ A/D 変換器、D/A 変換器、サンプルホールドアンプ(SHA)のオフセット誤差

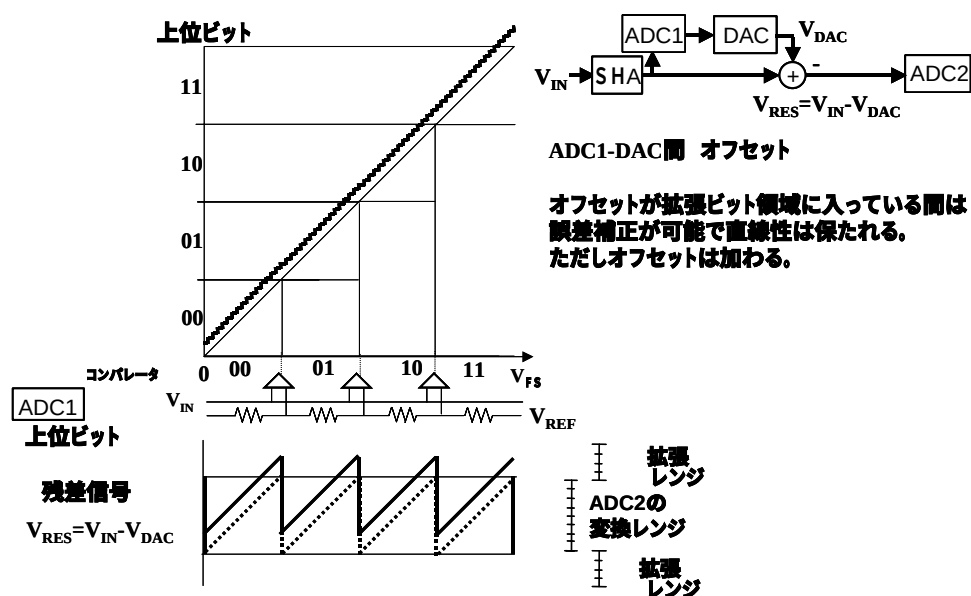


図 4.13 サブ A/D, D/A, サンプルホールドアンプのオフセット誤差

各ステージに使われているサブ A/D 変換器、サブ D/A 変換器、および段間のサンプルホールドアンプ(SHA)にオフセット誤差があると、それぞれのオフセットを加算して、入力換算のオフセット誤差と考えることができる。図 4.13 に示すように、下位 A/D 変換器に拡張レンジをつけると、このオフセットの合計が拡張レンジに入っている限り、非線形性の誤差にはならない。ただし A/D 変換器全体の入力換算オフセット電圧にはなる。しかしその大きさはそれほど小さくなく、通常のアプリケーションでは問題にならない。問題になるアプリケーションではシステム全体としてオフセットキャンセル機構、例えば D/A 変換器を利用して逆極性のオフセットを加えてキャンセルするシステムを組む、などの対応を取ることが普通なので問題にならない。

(3) D/A 変換器の変換誤差

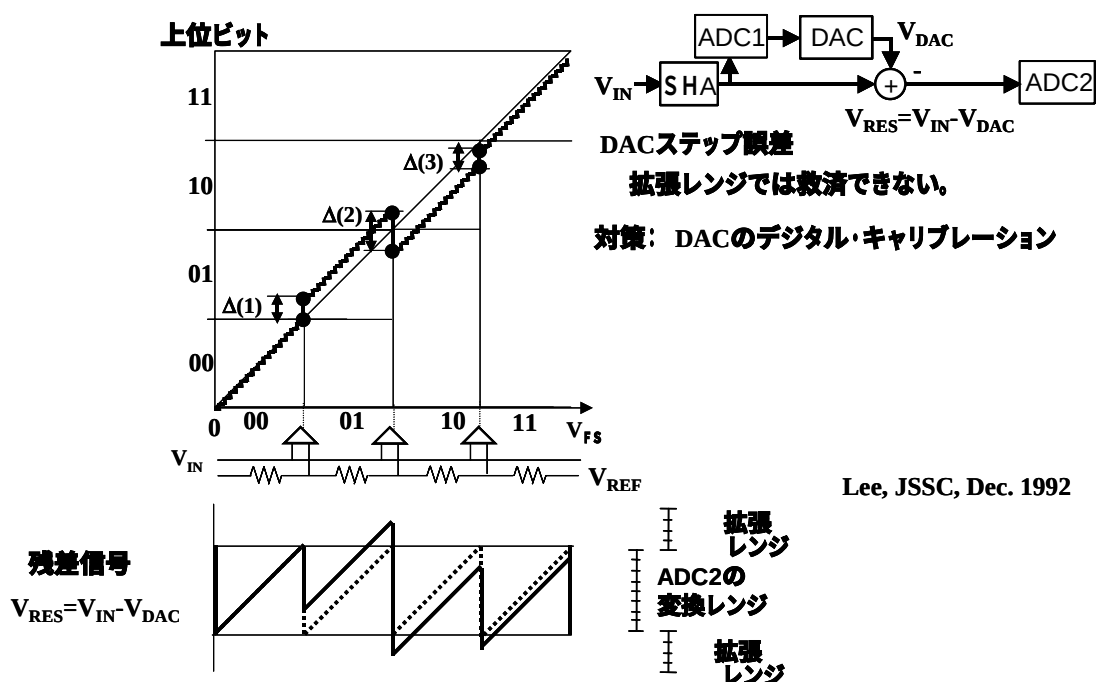


図 4.14 D/A 変換器の誤差と対策

D/A 変換器が再生するアナログの値は理想値に一致すべきだが、実際はずれる可能性がある。図 4.14 に D/A 変換器に誤差がある場合の変換特性を示す。上位 D/A 変換器が再生するアナログ値は、この例のように下位が 4-bit 変換の場合、変換領域(00,01,10,11)が変わる点で、ステップ状に 16LSB 分だけ上がるはずである。ところが D/A 変換器の精度が悪いと、この例では 00→01 への遷移点で 16LSB より上がり方が少なく(13LSB 程度)、また 01→10 の遷移点で 16LSB よりも大きく上がる(20LSB 程度)といった誤差がおきる。拡張変換レンジを持っていて、このステップが拡張レンジの中に入っていればミスコードは起こさないが、図の上を示す段差のある変換特性になる。この段差は、拡張変換レンジでは修正できない。修正するためには、図中の段差 $\Delta(I)$ をこのステージの後ろの A/D 変換器でデジタル値として測定し、その誤差ステップ $\Delta(I)$ を補正テーブルに覚えておいて、変換のたびに $\Delta(I)$ を加算して補正をかけるという方法が提案されている[4.9]。ただし、10-bit レベルの分解能であれば、抵抗ラダーによる分圧で D/A 変換器の精度は達成できるので、この D/A 変換器のデジタル誤差補正は必要ない。

(4) 段間アンプの利得誤差

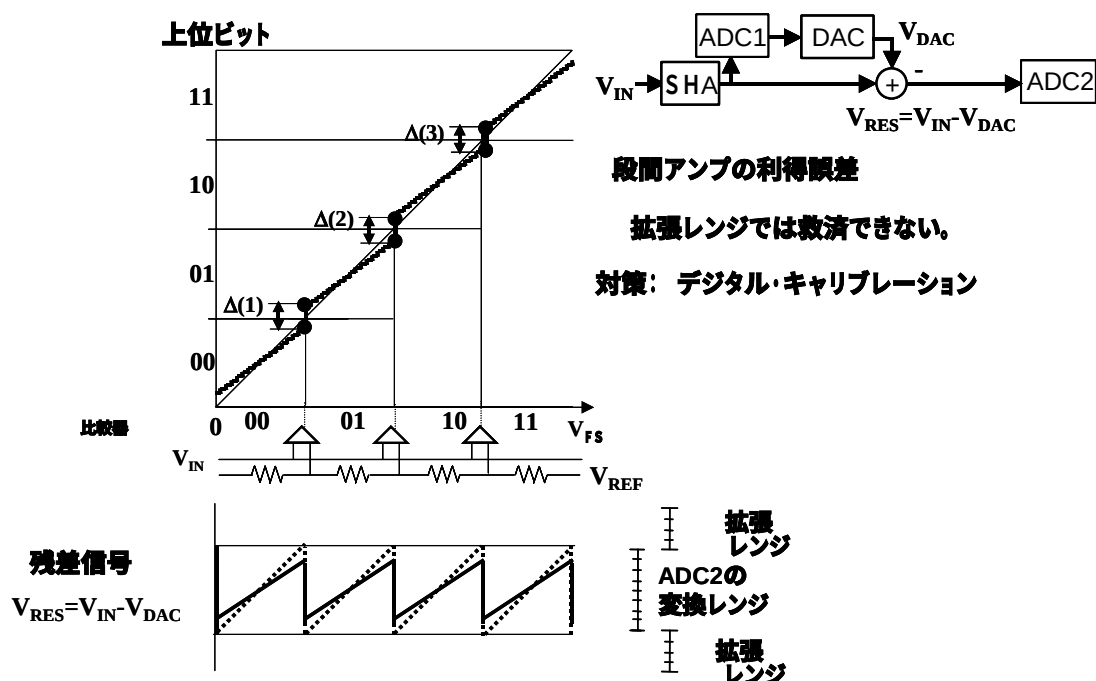


図 4.15 段間アンプの利得誤差

図 4.15 に段間アンプ利得誤差の影響を示す。例えば下位 4-bit A/D 変換器の場合、上位 A/D 変換器と、下位 A/D 変換器のフルスケールを合わせるには、16 倍の利得を段間アンプに持たせる必要がある。4-bit 変換器に 1-bit 分の拡張レンジを持たせて、実質は 3-bit の A/D 変換をさせるには、8 倍の利得を段間アンプに持たせる必要がある。この利得が設計値からずれる場合例えば図 4.15 に示すような非直線性誤差が生じる。この誤差は拡張レンジだけでは対応できず、利得誤差を測定して、デジタル値でその利得誤差を掛け算して修正するなどの規模の大きいデジタル誤差補正方式が提案されている。CMOS の段間アンプの利得を決めるのはオペアンプに使われている入力容量 C_{IN} と帰還に使われる容量 C_F の容量比 C_{IN}/C_F であり、10-bit~12-bit 程度の精度であれば、特にこのデジタル誤差補正を使わなくとも LSI で実現できる程度の容量マッチング性能はある。これ以上の精度を求める場合には利得のデジタル補正技術を使う必要がある。

4.4. 二重サンプル手法での変換誤差

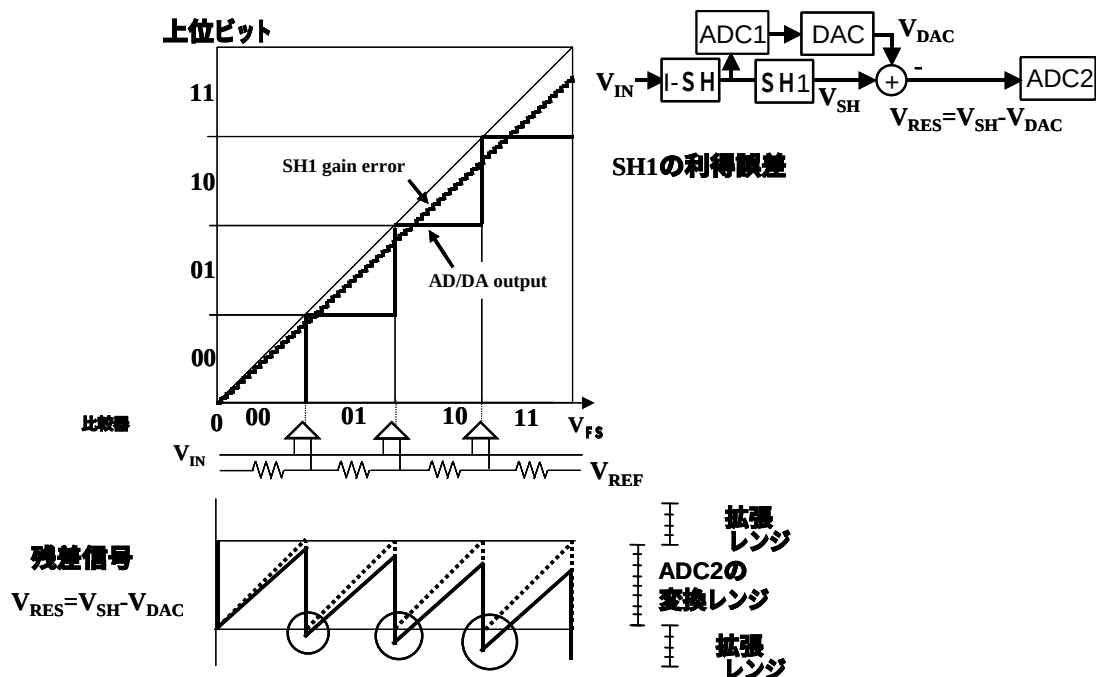


図 4.16 二重サンプル手法で挿入した SH1 の利得誤差の影響

提案した二重サンプル手法では、新たにサンプルホールドアンプ SH1 を挿入するので、その誤差の影響を検討する必要がある。図 4.16 に SH1 に利得誤差がある場合の影響について示す。A/D 変換、D/A 変換のパスは理想どおり利得 1 であるとする。SH1 の利得が、例えば図に示すように 1 より少し小さい場合、SH1 の出力から AD/DA 変換結果を引いた残差信号 $V_{RES} = V_{SH} - V_{DAC}$ は、図下の右下がりノコギリ波の様になり、2 段目の A/D 変換器 ADC2 の拡張前の変換レンジ外になる（オーバーレンジ）部分が生じる。しかし、上に説明したように、通常のパイプライン A/D 変換器で行われる 2 段目以降の A/D 変換段に拡張変換レンジを設け、オーバーラップ加算を行うことによって、このオーバーレンジが拡張領域に入っている限りミスコードなどの線形性誤差をデジタル誤差補正することができる。ただし、ここで SH1 の利得誤差は、A/D 変換器全体の利得誤差になる。しかし、(1)で述べたように全体の利得誤差は問題にならない応用が多い。

また、SH1 にオフセットがある場合も、拡張領域内にオフセットが入っている限り、ミスコードなどの比直線性誤差を発生することはない。ただし SH1 の非直線性誤差はデジタル

誤差補正では修正できないので、SH1 は直線性誤差が良くなるように充分注意して設計する必要がある。

2 段目、3 段目に挿入する SH2, SH3 は、分解能が下がっていく段に挿入されるので要求精度が徐々に緩和されており、精度が問題になることはない。

4.5. 10ビット15MHz 0.8 μ m CMOS A/D 変換器への応用

本章で提案した二重サンプル・パイプライン A/D 変換器技術を用いて 10-bit 15MHz 95mW CMOS A/D 変換器を 0.8 μ m CMOS 技術を用いて設計・試作した。

主な応用分野は、電池駆動のビデオムービーカメラである。ビデオムービーカメラでは、画質の高性能化、手ぶれ防止、電子ズーム、等の機能を実現するためにデジタル信号処理が採用される。そのようなシステムでは撮像素子のアナログ信号をデジタル信号に変換する高精度の A/D 変換器が必要である。特に暗い場所での撮影のためダイナミックレンジが必要となり 10-bit 精度が要求される。一方、カメラ一体型ムービーの電源は、その携帯性のため電池駆動が一般的である。電池駆動機器においてはその動作時間を延ばすため、低消費電力化の要求が強い。また、民生機器の場合、基板実装密度向上のため A/D 変換器とデジタル信号処理 LSI を一つのチップで実現したい。そのためにはデジタル回路の密度の高い CMOS を用いて A/D 変換を実現し、かつデジタル信号処理部分と A/D 変換器とを合わせた消費電力が 500mW から 600mW に収まることが望ましい。ここに収まれば安価なプラスチックパッケージに封止できる。A/D 変換器自体の消費電力は 100mW 以下が要求される。また、デジタル回路からの雑音の影響を低減するため、アナログ回路は雑音に強い完全差動型の回路で設計することが望まれる。

本 A/D 変換器の低電力化には、本章で議論した(1)二重サンプル手法のほか、(2)電源電圧に 5V 電源と、3.3V 電源の 2 電源を用いることで低電力化を図った。精度が必要なオペアンプには 5V 電源を使いカスコード型アンプを設計することで高利得のオペアンプを実現した。一方電圧比較器には 3.3V 電源を用いることで低消費電力化した。この結果、1992 年発表当時、10bit 精度では世界最小の電力 95mW でビデオ帯域の 15MHz で動作する A/D 変換器を実現することができた[4.1][4.2]。

図 4.17 に試作した A/D 変換器のブロック図を示す。3 個の A/D, D/A サブステージを用い、A/D, D/A の分解能は 4-bit、2 段目、3 段目の 4-bit 変換のうち、1-bit は

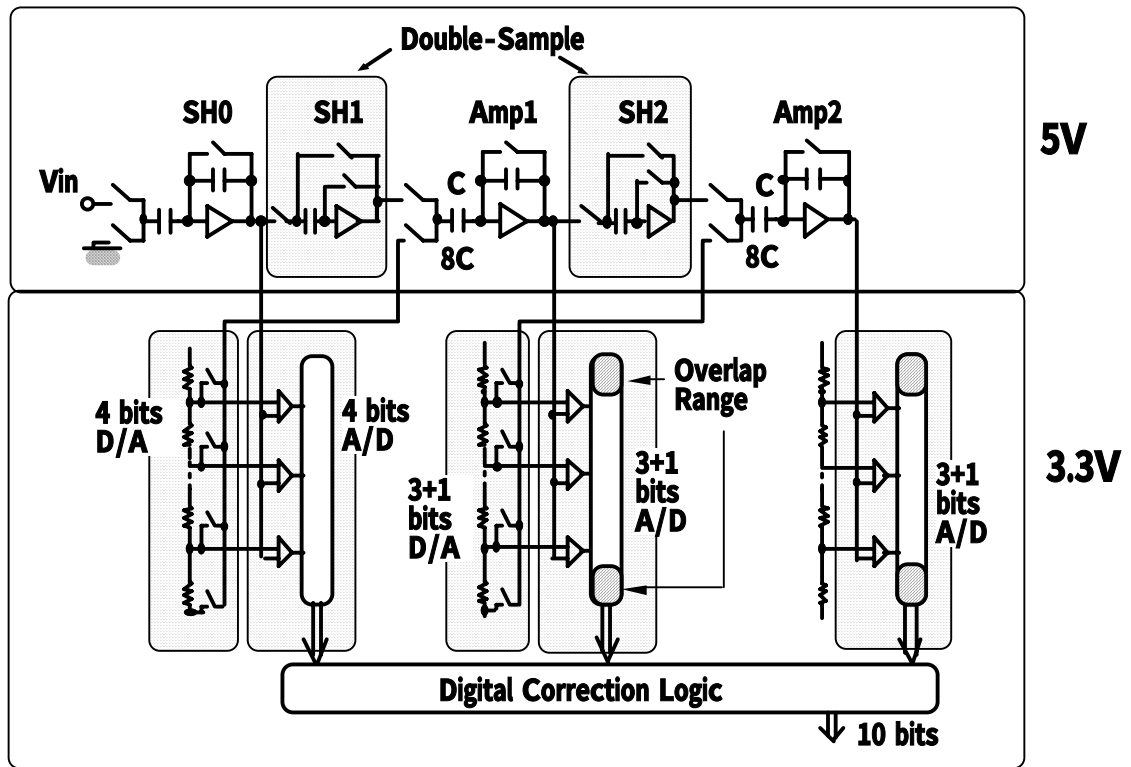


図 4.17 二重サンプル手法を用いたパイプライン A/D 変換器ブロック図

拡張変換レンジを用いたデジタル誤差補正用の冗長ビットで、実際の変換ビットは 3-bit 分解能である。二重サンプル手法を実現するため、SH1 と SH2 の二つのサンプルホールド回路を残差増幅器の前に置いた。ここで SH1 と SH2 は容量を 1 個用いたアナログメモリ回路（フリップアラウンド回路）である。サブ A/D, D/A 変換器には抵抗ラダー型を用いた。なおブロック図はシングルエンドで書かれているが、実際の回路構成は完全差動型で構成している。

4.5.1. 比較器とアンプ回路

図 4.18 (a)に比較器（コンパレータ）、(b)に簡単化された S/H アンプの回路をに示す。耐雑音性に優れた完全差動型回路を用いた。比較器は 3.3V 電源で動作する 3 段のオフセットキャンセル型チョッパコンパレータである。利得を十分取るため 3 段構成を用いた。

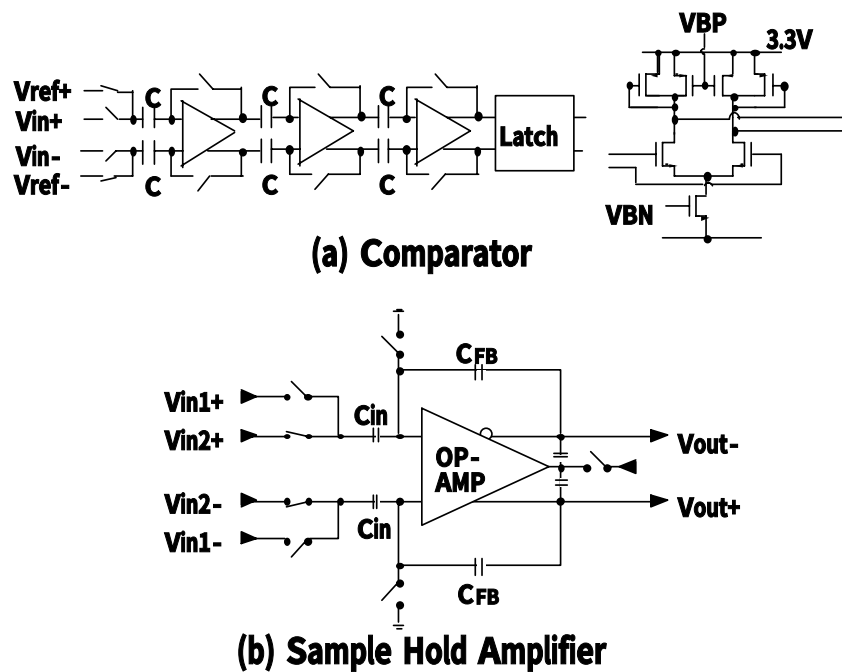


図 4.18 コンパレータ回路とアンプ回路構成

S/H アンプは(b)に示すようにスイッチド・キャパシター型の完全差動アンプである。容量型のコモンモードフィードバック回路を持ち 5V 電源で動作する。

4.5.2. ダブルカスコードアンプ

オペアンプとしては、図 4.19 に示すダブルカスコード回路を設計した。プッシュプル入力構成を用いて入力ダイナミックレンジを大きくした。入力差動ペアの差動電流はカスコード段にワイドバンドカレントミラーでミラーさせ、80-dB の DC ゲインを得ることができる。出力には大きな容量性負荷を駆動するためソースフォロワーバッファを用いた。

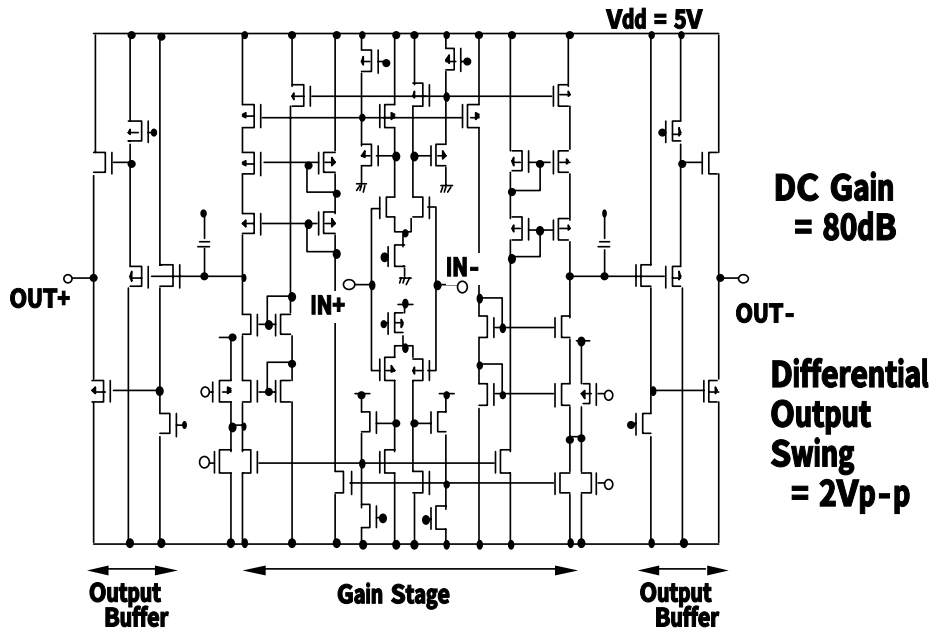


図 4.19 カスコードアンプ回路

4.5.3. 評価結果

チップ写真を図 4.20 に示す。プロセスは 0.8- μm CMOS でダブルメタル、ダブルポリシリプロセスである。容量はダブルポリシリ層を用いて作った。初段と、2 段目と、3 段目の A/D と 5 個のアンプはチップ写真に示されるようにレイアウトした。チップサイズは 2.7 mm x 3.3 mm である。アナログ信号のボンディングパッドはアンプ側にレイアウトした。他のデジタル信号パッドは反対側にレイアウトし、アナログ信号とデジタル信号の間の干渉が回避できるようにした。

つぎにチップ評価結果を示す。図 4.21 に 15MHz の変換レートで 7.53MHz の入力信号のビート波形を示す。この波形にはミスコードは無く良い特性を示している。入力帯域は入力 S/H のため優れている。図 4.22 のオシロスコープ写真は直線性誤差を示しており、 $\pm 1\text{LSB}$ 以内の値を示している。コード密度テストによる微分非直線性を図 4.23 に示す。クロック周波数は 15MHz で微分非直線性は $\pm 0.5\text{LSB}$ 以下であった。

信号対ノイズ比(S/N 比)は FFT 法で測定した。周波数スペクトラムを図 4.24 に示す。クロック周波数は 10MHz で入力周波数は 1.4MHz である。

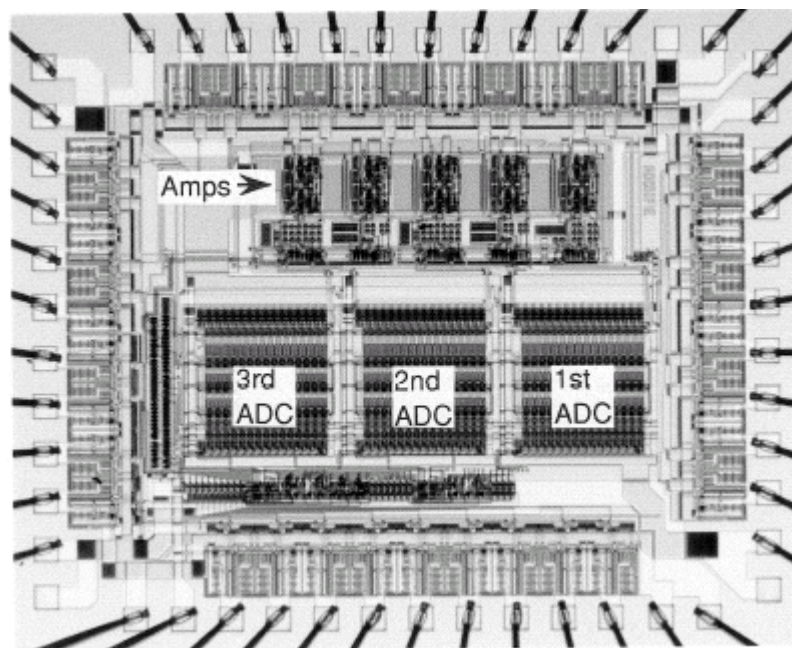


図 4.20 二重サンプル・パイプライン A/D 変換器のチップ写真

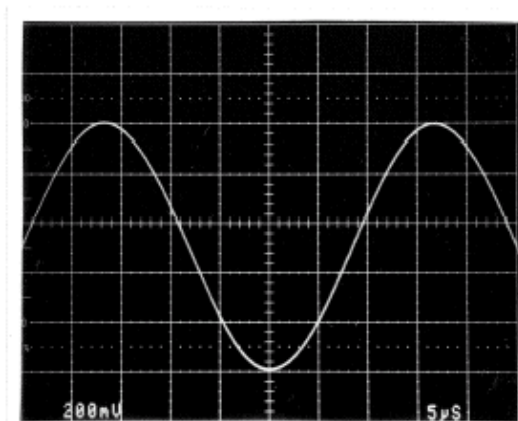


図 4.21 ビート波形

$f_s=15\text{-MHz}$, $f_{in}=7.53\text{-MHz}$

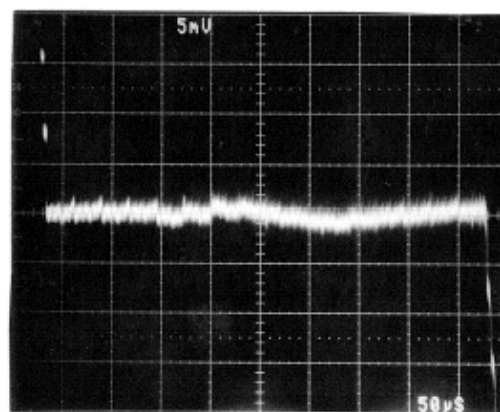


図 4.22 直線性誤差(Back-to-Back 評価)

1-LSB=1-mV

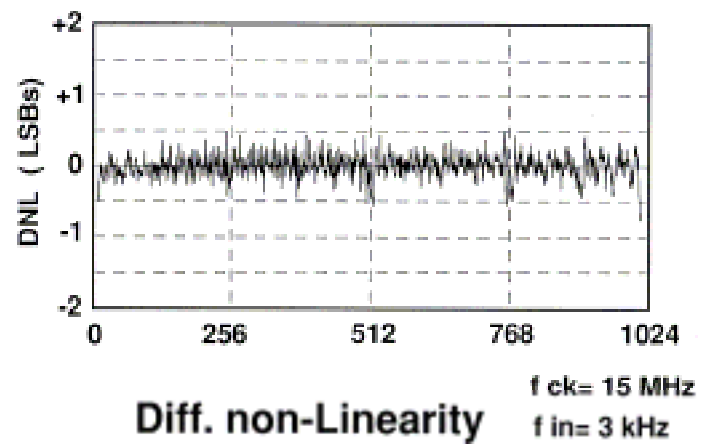


図 4.23 微分非直線性

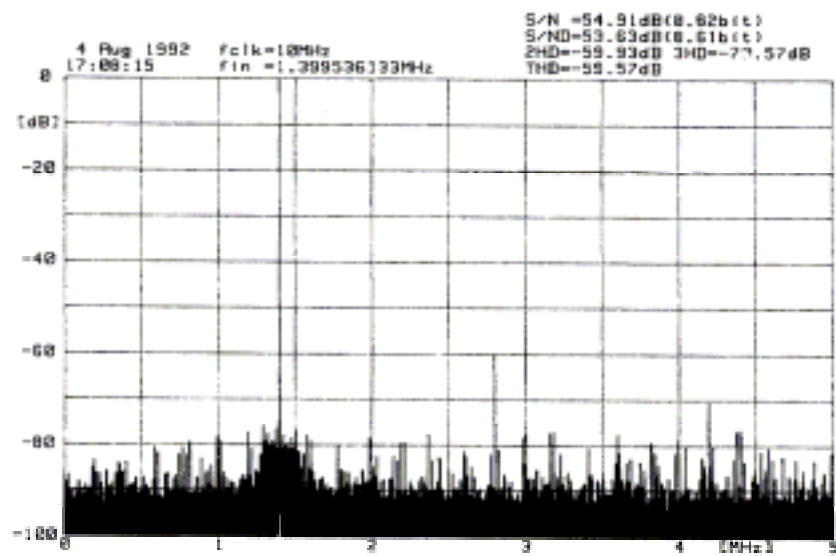


図 4.24 A/D 変換器出力の FFT スペクトラム

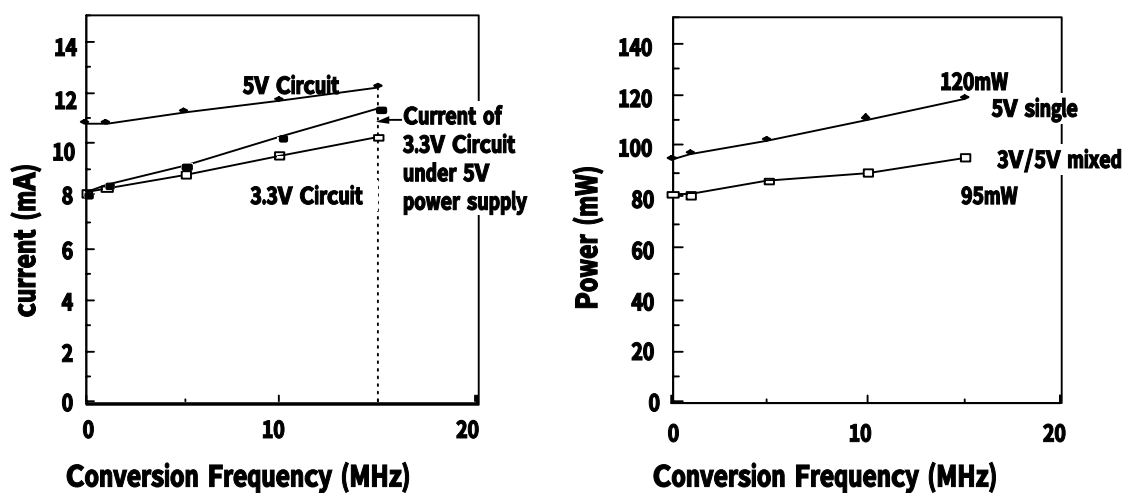


図 4.25 実測した消費電流(a)と消費電力(b)

表 4-2 設計した変換器の性能

Resolution	10 bits
Conversion Rate	15 MHz
Power Dissipation	95 mW (15 MHz)
Supply Voltage	3.3 V / 5 V mixed
Input Range	1V p-p
Int. Linearity	+/- 1 LSBs
Input Bandwidth	7.5 MHz
Active Area	1.69 x 2.35 mm ²
Chip Size	2.7 x 3.3 mm ²
Technology	0.8 μm CMOS

信号対ノイズ+歪み、比(SNDR)は 53.6dB であり、歪みを除いた信号対ノイズ比(SNR)は 54.9dB であった。これらの値はそれぞれ 8.61 と 8.82 の有効ビットに相当する。2 次高調波歪みは-53.93dB で 3 次高調波歪みは-70.57dB であった。全高調波歪みは-59.57dB であった。これは 10 ビットのビデオ用 A/D 変換器としては充分小さい。測定した消費電流と電力を図 4.25(a)と(b)に示す。(a)は電源電流と変換周波数の関係を示したものである。前に述べたように、アンプの供給電圧は 5V でコンパレータは 3.3V 電源を用いた。3.3V 回路の消費電流は 15 MHz 動作時に 10 mA であり、5V 回路の電流は 12 mA であった。したがって全電力は 3.3V 電源と 5V 電源を両方用いた場合 95 mW あった。

コンパレータとアンプ間の容量結合インターフェイスのため、A/D 変換器の動作はコンパレータ部の電源電圧が 3.3V から 5V に変わったとしても感度は高くない。3.3V 回路の消費電流はその供給電圧が 5V に変わると 11.5 mA に増加する。5V だけの電源電圧にしたときは消費電力が 120 mW に増加する。

表 4-2 に測定結果をまとめる。10 ビット分解能を 3 段パイプライン方式で実現した。3.3V と 5V 電源を用いた場合 15 MHz の変換レートの時 95 mW と低消費電力特性を得た。入力電圧レンジは 1Vp-p である。入力帯域幅は 7.5MHz である。アクティブエリアは 1.69 mm x 2.35 mm で、これはデジタル信号処理チップの中の A/D 変換器マクロセルとしては小さい。

4.6. 結論

アナログ二重サンプル手法によるパイプライン A/D 変換器の低電力化について述べた。二重サンプル手法はパイプライン A/D 変換器の 1 ステージの中にサンプルホールド回路を増設し、変換時間のかかる、D/A 変換器の動作と、残差電圧増幅アンプの動作を分離することにより、D/A 変換器に必要な整定時間を緩和し、また残差増幅アンプの動作速度を緩和することにより低電力化する手法である。

本手法を適用して 10 ビット 15 MHz の A/D 変換器を設計し、1992 年 6 月までに報告された 10-bit A/D 変換器の中で最も電力の小さい 95 mW の変換器を設計できた。提案した二重サンプル手法の他に 3.3V と 5V の両電源電圧を使ったことにより低電力化した。この低電力 A/D 変換器はデジタルムービーカメラや他の A/D オンチップのデジタル信号処理 LSI に有用である。

5. マルチパス手法によるサイクリック A/D 変換器の低電力化

5.1. 概要

第2章および第4章でパイプライン A/D 変換器を議論したが、動作速度が少し遅くてよいなら、パイプライン変換器1ステージを繰返し使用しマルチステップの変換で分解能を上げるサイクリック方式 A/D 変換器が考えられる。本章ではサイクリック方式（巡回型、再帰型）の A/D 変換器を検討する。設計したい分解能と変換時間が与えられたとき、どのような段数と分解能を与えれば最小の面積と電力で A/D 変換器が実現できるかを示し、さらに低電力化できる手段としてパスを複数設けるマルチパス手法を提案しその効果を示す。

また本提案手法を適用した A/D 変換器として、10-bit, 3-Msample/s の設計目標を設定し、この変換時間を実現するためには3サイクルのサイクリック変換方式で 4-bit、3-bit、3-bit 変換を用いるときに小面積、低電力を実現するために最適であることを示す。3-bit 変換部は実際には 4-bit 変換で1ビットの冗長ビットとなっている。提案するマルチパス方式は、4-bit サブ ADC と残差増幅器（レジデュー・アンプ）との間に新たに信号パスを設けることによって、アンプに必要な整定時間の要求時間を緩和する。本実現例では従来のサイクリック変換方式に比べて消費電力を 30%カットできている [5.1][5.2]。

5.2. 緒言

多くのマルチメディア端末は、複雑なアナログ・デジタル混在ミックスシグナル機能を持った低電力でコンパクトなシステム LSI を必要としている。例えば、ハードディスクドライブ(HDD)システムでは、A/D 変換器とメモリ、マイクロプロセッサ、特定ロジックからなるサーボ制御 LSI が必要である。そのため低電力で小チップ面積の A/D 変換モジュールを実現したい。この応用にはサーボ位置誤差信号のために 10-bit 分解能が必要で、また中程度の変換時間と低電力性が必要である。従来この HDD サーボシステムには低速の逐次比較 A/D 変換器が使われていた[5.3][5.4]。しかし、次期の HDD サーボシステムでは、HDD のアクセス時間を向上させるために、ディスクの回転速度が現在の 4,500rpm から 5,400rpm または 7,200rpm さらに 10,000rpm と上がってゆき、またトラックのシーク時間を減らすためにも高速な A/D 変換器が必要になってきている。これらの状況から、0.5 μ s 以

下といった変換時間が必要になってきている。

低電力で高速な A/D 変換器を実現する設計手法としては、パイプライン方式[4.1], [5.7]-[5.19]や、再帰的なサブレンジング方式[5.5][5.6]などが報告されている。しかしながら、HDD サーボの応用に適した中速の A/D 変換器方式は報告されていなかった。

5.3. アーキテクチャの考察

従来の逐次比較 A/D 変換器は 8～10-bit といった分解能で、面積は $1.2\text{mm}^2 \sim 2\text{mm}^2$ と小面積であり、電力も 0.3mW～10mW 程度と低電力であるが、この方式は次世代のハードディスクシステムには変換速度が遅い。従来の逐次比較変換方式[5.3]では変換時間として大概 2-3 μs かそれ以上を必要とすることが多い。近年比較的高速な変換速度、例えば 1MHz の 10bit または 12-bit の逐次比較変換器も報告されている[5.4]。しかしながら 10-bit 以上の分解能の逐次比較方式で変換時間を 0.5 μs 以下に短縮することは難しい。10-bit 容量アレイつまり 1024 個の単位容量と MOS スイッチのオン抵抗 R により決まる電荷再配分型 DAC の時定数 $\tau = RC$ が大きくなり、整定時間をリミットしてしまうからである。

一方、

図 5.1 に示すように多くの A/D 変換器が 20Msample/s 程度的高速ビデオ用に開発されている。しかしこれらのビデオ用変換器の電力と占有面積は大きい。HDD サーボの仕様に適した中速で小チップ面積の低電力 A/D 変換方式は実現されていなかった。そこで変換速度として 2-3MHz で、面積や消費電力で逐次比較方式と同程度の変換方式を開発することが課題になる。表 5-1 に A/D 変換器の目標仕様を示す。

最近のパイプライン A/D 変換器は面積が小さくかつ消費電力も少なめである[4.1]ため、小面積、低電力の変換器をパイプライン A/D 変換器の要素回路、例えばサブ ADC や残差アンプ(Residue Amp)をサイクリックに使用して実現できる可能性がある。図 5.2 に同じサブ ADC ステージを使った場合のパイプライン A/D 変換器とサイクリック変換器の性能を比較した。各サブ ADC ステージの消費電力を P 、面積を A 、変換時間を T 、とし、 n を変換ステージの数または変換サイクル時間とする。パイプライン方式はより高速な変換レートを実現できるが、変換時間そのものは各段の変換時間 T のステージ数(n)倍で、 nT となる。一方サイクリック変換器は、同じ変換時間 nT であるが、必要な電力と面積はパイプライン方式に比べて $1/n$ である。

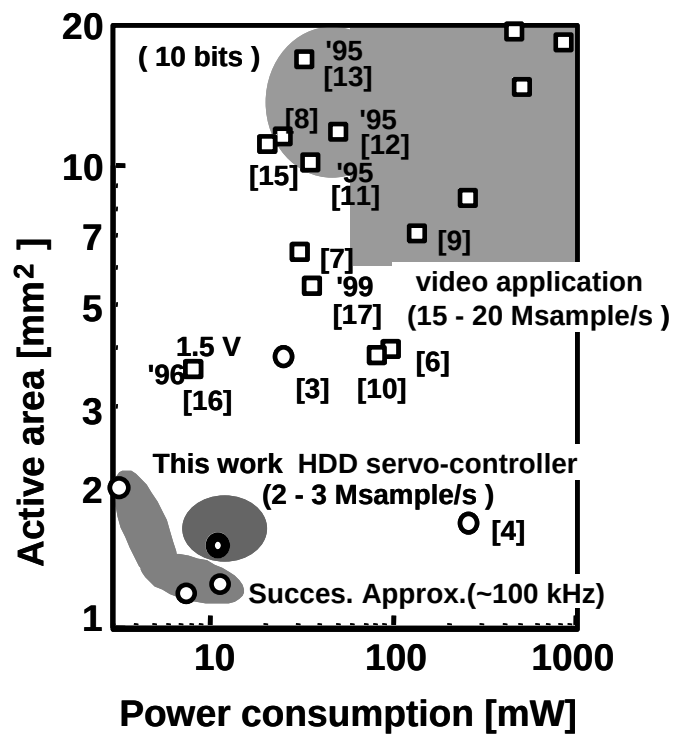


図 5.1 A/D 変換器の消費電力と面積の比較

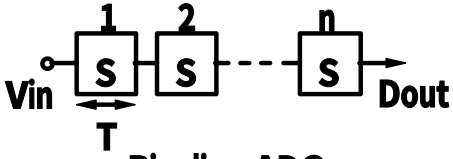
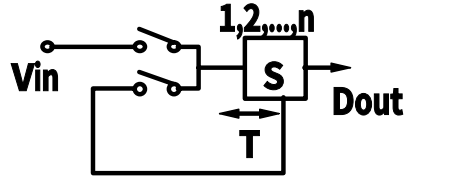
表 5-1 設計目標

Resolution	10 bits
Conversion time	< 0.5 μs
Low power consumption	< 15 mW
Small area	< 2 mm²
Power supply	3.0 V

パイプラインではステージを n 個使うので電力、面積は n 倍になるが、サイクリック変換器は一つのサブ ADC ステージを繰返して使って分解能を得るので、電力と面積はサブ ADC ステージの1倍でよい。ハードディスクのサーボ応用では、変換レートよりも変換時間そのものが重要な意味を持つ。制御マイクロプロセッサから変換コマンドタイプの命令が来て、変換を開始してから終了するまでの時間が問題になるからである。従ってパイプラインの変換レートが優れている点を利用できず、サイクリックアプローチの方が小面積で低電力と言う点で優れた方式とすることができる。

図 5.3 に従来のサイクリック変換器のブロック図とタイミング図を示す。最初のタイムスロット T0 では、入力信号 V_{in} はサンプルホールド回路(S/H)にサンプルされる。次のタイムスロット T1 では、ホールドされた信号がサブ ADC によって最初の3ビット分(3-MSBs)変換される。三番目のタイムスロット T2 では、サブ DAC が最初の3ビットの MSBs をアナログ信号に再生する。そしてそのタイムスロットの中で、残差増幅アンプ(Residue Amp)が、DAC で再生した信号から、サンプルホールドされたアナログ信号を引算して、変換残差信号(residue)を作る。この残差信号は、先ほどは入力信号をサンプルしたサンプルホールド回路(S/H)でサンプルされる。このあと T1 から T2 へのシーケンスが T3、T4 と繰り返され、中間の3ビットを求める。最後に T5 になって最終の3ビットを求め、全部で10ビットの変換が終了する。

10ビットの変換結果を得るために4ビットのサブ ADC を使う場合、6タイムスロット(T0, T1, T2, T3, T4, T5)の3変換サイクルが必要である。この種のサイクリック変換器の変換速度を決めているのは回路のクリティカルパスである。T2 タイムスロットの間に3種の動作—すなわち、DAC の出力、残差信号の増幅 (residue-アンプ)、サンプルホールド回路によるサンプリング—が一つのタイムスロットの中で終了しなければならない。したがって、これら3種の動作が終了する時間がクロック周波数の最大値を決めてしまう。クロック周波数を上げるためには、コンパレータ及びアンプの消費電力を上げて回路動作を高速にしなければならない。

Diagram	Conversion		Power	Area
	time	rate		
 Pipeline ADC	nT	$\frac{1}{T}$	nPs	nAs
 Cyclic ADC	nT	$\frac{1}{nT}$	Ps	As

Ps: Power/stage, As: Area/stage

T: Conversion time/stage

図 5.2 パイプラインとサイクリック・アーキテクチャの比較

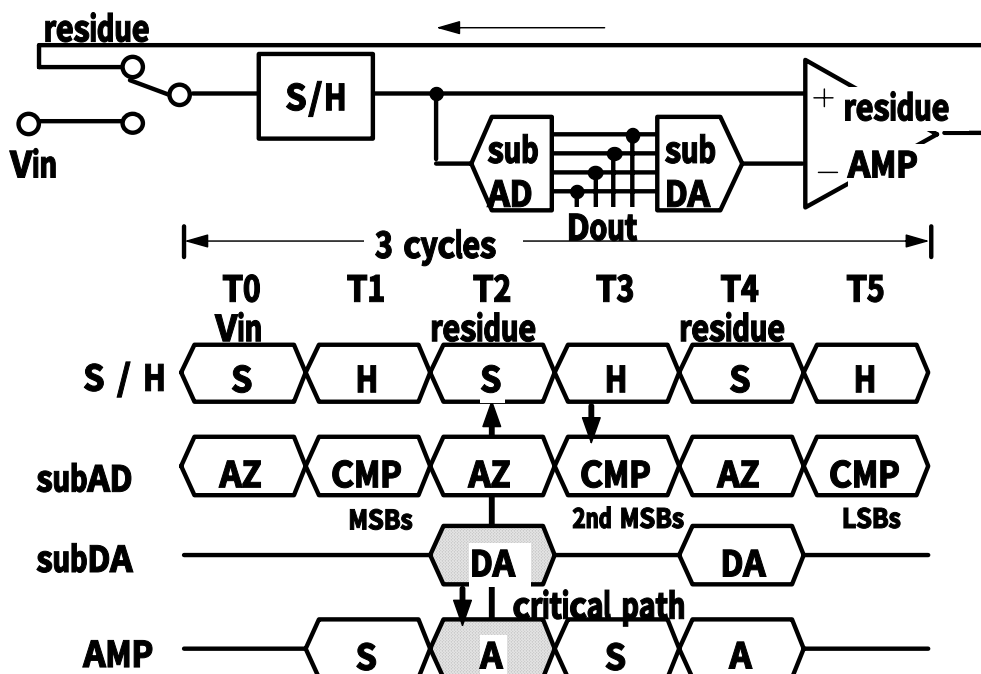


図 5.3 従来のサイクリック・アーキテクチャ A/D 変換器

5.4. マルチパス・サイクリック・アーキテクチャの導出

5.4.1. 従来の問題点と解決策

低電力 A/D 変換器を開発する上で課題となるのはクリティカルパスの制約をできるだけ緩和できるタイミングを見つけ出して、各回路の消費電力を低減することである。この課題に対する一つの解決策は、上記で説明したクリティカルパスに 2 タイムスロット T2 と T3 を図 5.4 に示すように割り当てることである。これにより最大のクロック周波数を上げることができる。しかしながら、全体の変換ステップ数は 6 から 8 (T0, T1, T2, T3, T4, T5, T6, T7) に増加してしまう。全体の変換時間が延びることを防止するためには、各タイムスロットの時間を 25% 短縮する必要があるが、これはコンパレータの消費電力と、アンプの消費電力を上げてしまうことになり、低電力に向けた解ではない。

もう一つの解決策はクリティカルパスを二つの動作に分割することで、これを図 5.5 に示す。DAC の出力動作を T2 に、残差増幅(residue Amp)を T3 タイミングに別々に割り付ける。このようにするとアンプの消費電力を低減することができる。図 5.6 に DAC の動作と、残差増幅を分割した場合の効果を示す。従来のタイムスロットを分割しない方法では、DAC の動作と残差増幅アンプの動作が場合によってオーバースイングするという問題を引き起こした(図 5.6 (a))。サンプルホールド出力は時間的に一定であるが、一方サブ DAC の出力信号はこのタイムスロットに入ってから最終値に整定する。一定なホールド出力電圧と整定中の DAC 出力電圧が交差すると、残差増幅アンプの出力は始めに電圧が上がる方向に動き、その後反対方向に動いて最終値に整定する場合がある。この一度反対側に振れる unnecessary 動作がアンプの整定時間を延ばしてしまう。この整定時間が割り当てられている時間内に終了するようにアンプ回路を設計しなければならないのでアンプに必要な電力が増えてしまう。

これに対して、もし DAC の動作をまず T2 に割り当てて、DAC の動作を整定させ、その後タイムスロット T3 に残差増幅つまり residue-Amp 時間を割り当てると、一旦出力が反対に振れてから戻る unnecessary 応答動作をする必要がなくなり、一方向へ動いて最終整定値に向かって動くようになる。(図 5.6 (b))。こうして低電力で高速な動作を実現できる。

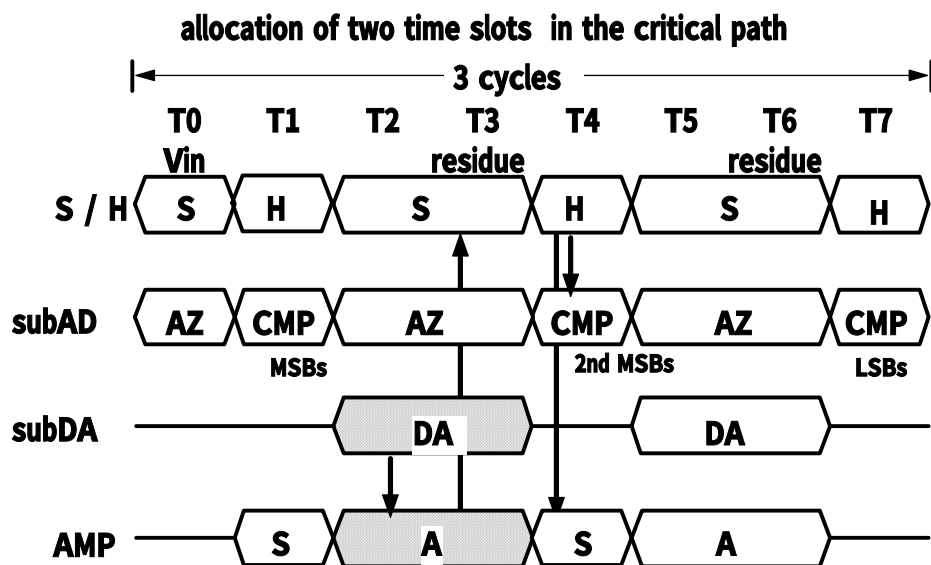


図 5.4 クリテイカルパスを解消する一つの方法

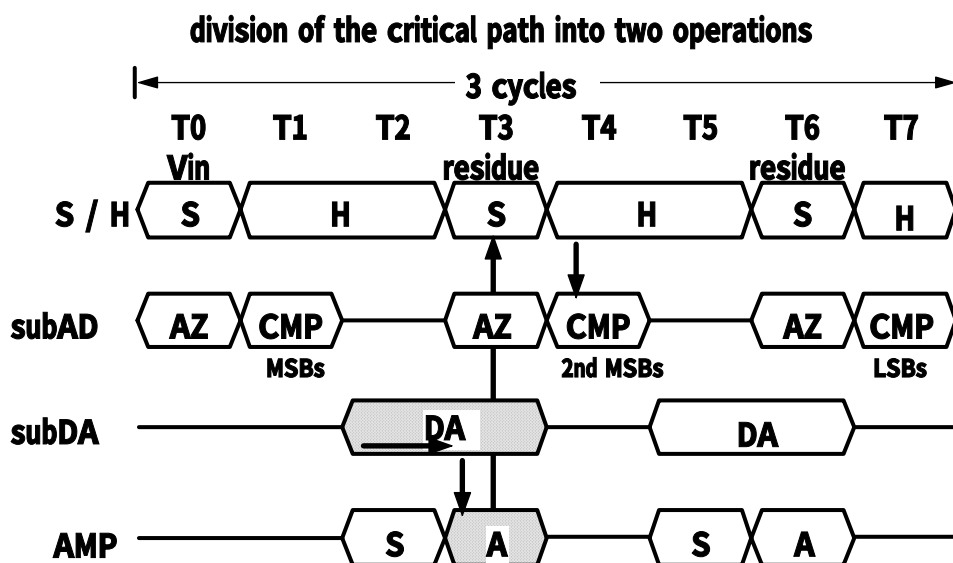


図 5.5 クリテイカルパスを解消する第2の方法

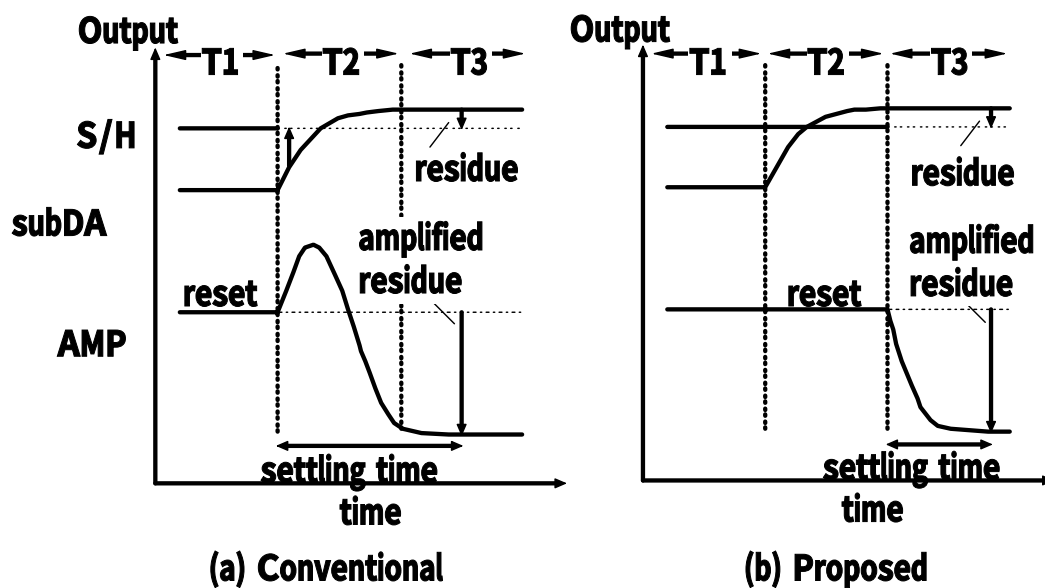


図 5.6 内部波形の比較

シミュレーションによれば、提案する方法に比べて、従来方法の整定時間は約 1.7 倍長いことが示されている。シミュレーション条件には、最も整定が厳しくなる条件として、サブ DAC 出力と、サンプルホールド出力の間にフルスケール電圧差 + 1 LSB の電圧差を与えた。もし従来の方法で整定時間を T2 のタイムスロットの中に納めようとするならばアンプの電流を少なくとも 70% 増加させる必要がある。図 5.5 および図 5.6 に示すように DAC の整定動作と残差増幅アンプ(residue アンプ)動作のタイムスロットを分離することで、このサイクリック A/D 変換器の中に低電力なアンプを使うことができるようになった。

5.4.2. マルチパスによる変換タイムスロットの短縮

提案したタイミングは、厳しいクリティカルパスの制約を緩和することができる。しかしながら、DAC の動作とアンプの動作を別のタイミングに分けたことで、全部で 8 つのタイムスロット(T0, T1, T2, T3, T4, T5, T6, T7, T8)が必要になっている。次の課題は、この 8 個のタイムスロットを元の 6 個のタイムスロットに戻して、必要な変換時間を短くすることである。図 5.5 のタイミングを詳細に調べると、もし別の信号パスを新たに設けると、サブ ADC の比較時間（タイムスロット T4）はタイムスロット T3 にシフトすることができることが分かる。

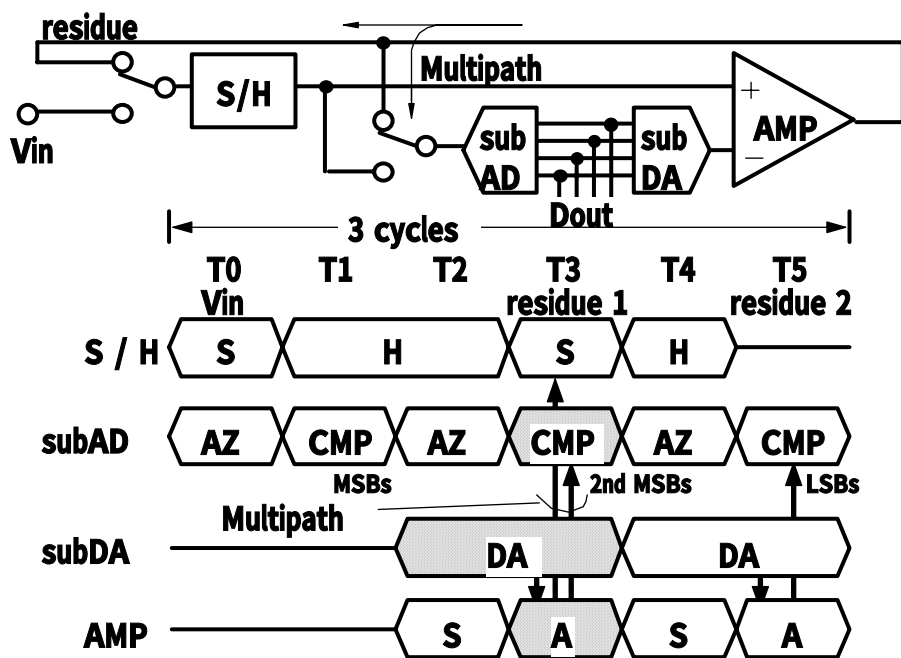


図 5.7 マルチパス・サイクリック型 A/D 変換器

もし、アンプ出力と、サブ ADC の入力の間に図 5.7 のように新しい信号パスを付加すると、サブ ADC での比較動作と、残差信号(residue 信号)のサンプルホールド回路によるサンプリングが、タイムスロット T3 の間に、同時に行うことができるようになる。その結果、トータルの変換ステップを 8 ステップから 6 ステップへ戻すことができる。このアーキテクチャをマルチパス・サイクリック・アーキテクチャと名付けた。DAC とアンプの動作速度を緩和し、しかも 6 タイムスロットで全ての動作を終了させることができる。

5.4.3. 拡張変換領域とデジタル誤差補正回路による要求オフセット電圧の緩和

このアーキテクチャでの、一つの懸念点は、各要素回路、例えば、サンプルホールド回路のオフセット電圧、サブ AD コンパレータのオフセット電圧、残差増幅アンプのオフセット電圧の必要な精度である。良好な直線性を得るために、もし高精度な回路、つまりオフセットが非常に小さい回路、が必要となると、このアーキテクチャは実用的ではない。

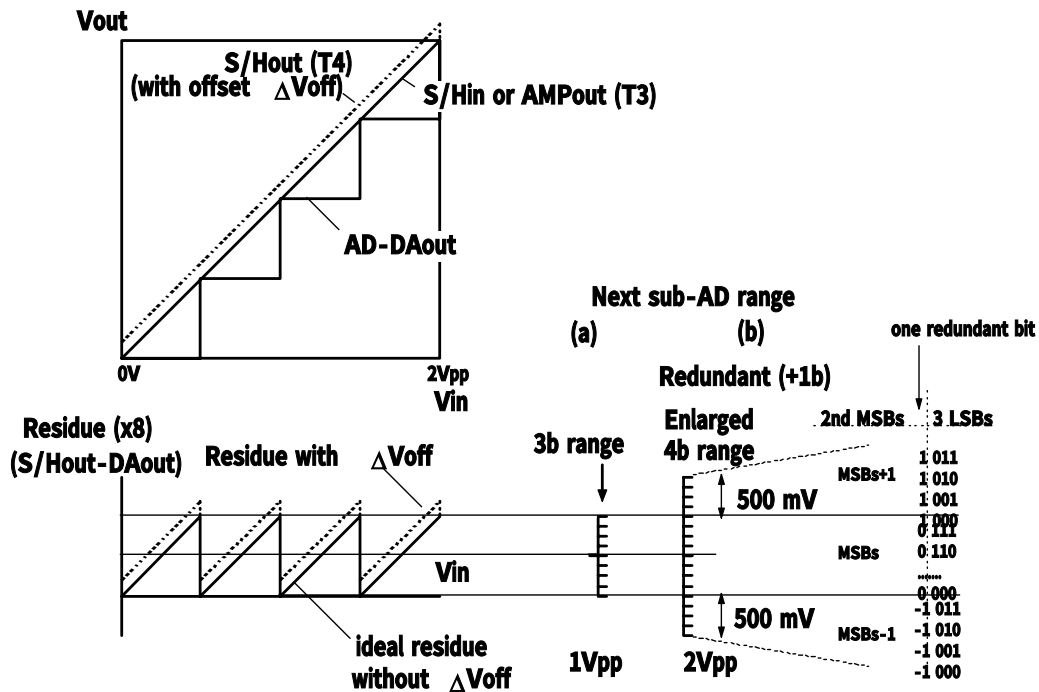


図 5.8 S/H 回路のオフセット電圧 ΔV_{off} による非線形性誤差を、次段のサブ A/D 変換器の変換レンジを拡大することにより補正する方法

しかし、このマルチパス・サイクリック・アーキテクチャでは、従来のパイプライン A/D 変換器に用いられていると同じ 1-bit の拡張変換領域とデジタル誤差補正回路が適用でき、有効である。このため、オフセットの小さい高精度な回路は特に必要では無い。例えば、図 5.7 の T3、T4 タイミング間での残差電圧(Residue 1)電圧に対するサンプルホールド回路のオフセット電圧を考えてみる。A/D 変換器のコンパレータ(CMP)がタイミング T3 で残差電圧 1 に動作する。すなわち、サンプルホールドされる前の電圧が A/D 変換される。一方、(タイミング T3 でサンプルホールド回路によりサンプルされ、T4 の間ホールドされている) 残差電圧 1 は次の残差電圧 2 を生成するために使われる。したがって、もしサンプルホールド回路が、T3 での入力電圧と T4 の出力電圧の間で、 ΔV_{off} のオフセット電圧を持っていると、残差電圧 2 は図 5.8 に示すように ΔV_{off} だけシフトすることになる。したがって、もし拡張された変換領域とデジタル誤差補正回路がないとすると、変換特性に不連続性が発生する。拡張変換領域がないとサブ A/D 変換器は上側レンジのリミットを越えた残差電圧を検出することができない。したがって変換特性のこれらの点で不連続を起こす。一方、

もし次段の A/D 変換器が拡張された領域を持っていれば、図 5.8 (b)に示すように、オーバーフローした部分もその大きさを検出して A/D 変換できることになる。もし残差電圧が上側の拡張領域で検出されたとすれば、図 5.8 の右側に示されるように、第二 MSB に 1 を足すことで修正される。このようにデジタル誤差補正回路で上位のビット判定結果を、下位のオーバーフローの状況によって修正することに寄り、直線性の不連続性を解消することができる。

拡張領域としては例えば $\pm 500\text{mV}$ の拡張領域を設けて設計することができる。この場合、合計で $\pm 500\text{mV}$ 以下のアンプ出力オフセット、または $\pm 62.5\text{mV}$ （アンプのゲインは 8 倍であり、 $500\text{mV}/8 = 62.5\text{mV}$ ）の入力オフセットを修正することができる。さらに詳しくは、1) サンプルホールド回路のオフセット電圧、2) サブ A/D 変換器コンパレータのオフセット、3) 62.5mV 以下の入力オフセット電圧、の合計をデジタル誤差補正回路で修正することができる。5.7 節で説明する実験結果では、全サンプルで直線性の不連続問題は発生しておらず、したがってこれら 3 つのオフセット電圧の総和は 62.5mV 以下であったことがわかる。

このデジタル誤差補正回路の一つの欠点は、入力換算のオフセット電圧を増加させてしまうことである。上で説明したように、もし残差電圧が上側または下側の拡張領域で検出されたとすると、デジタル誤差補正回路は上位でのビット決定結果を捨てて次の段での LSB ビット決定結果を信じることになる。このことは図 5.8 内の上側の図で示すと、デジタル補正は図中の点線の変換直線に修正してしまうことになる。したがって A/D 変換された結果にはサンプルホールド回路のオフセット電圧 ΔV_{off} が含まれることになる。

さらに、マルチパス・サイクリック・アーキテクチャでは、最初にサンプルホールド回路により入力信号を T1 と T2 の間でサンプルするが、その時発生するオフセット電圧によりホールドされた電圧は ΔV_{off} だけシフトしている。したがって、最後に変換された結果は、 $2 \times \Delta V_{\text{off}}$ だけのオフセット電圧を、入力換算オフセット電圧として持つことになる。

実際、5.7 節に示す試作結果では、測定された入力換算オフセット電圧の 3σ は 40mV であった。しかし、フルスケール入力電圧は 2V_{pp} なので、この 40mV のオフセットは通常のアプリケーションでは問題になる量ではない。

5.5. 面積と電力の推定

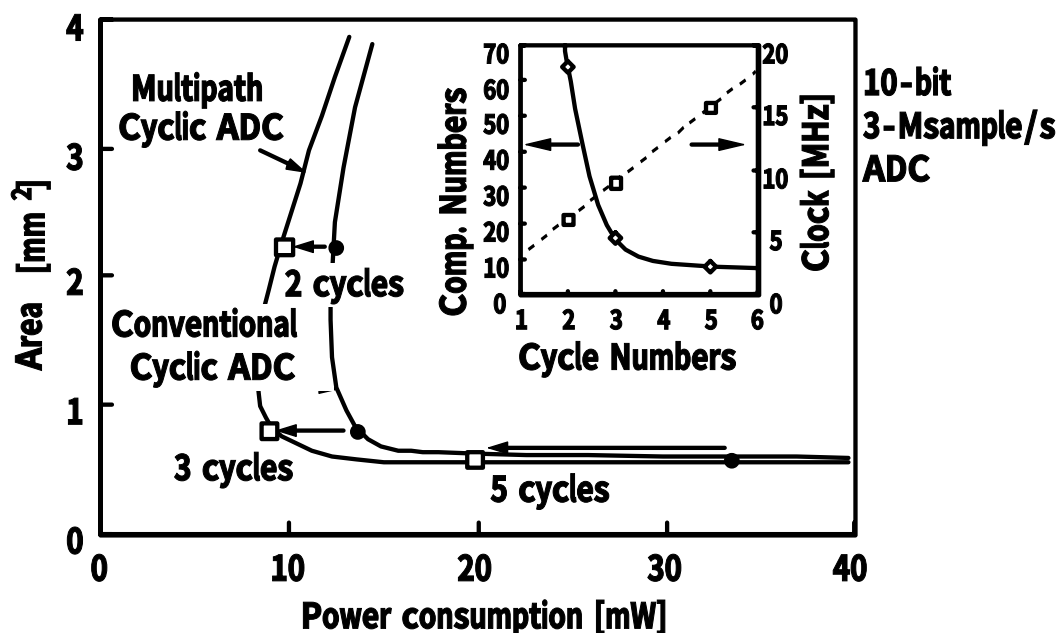


図 5.9 消費電力と面積の各アーキテクチャによる推定値

図 5.9 に、マルチパス・サイクリック・アーキテクチャで実現できる消費電力の低減を示す。変換サイクル数を変えると図に示すように推定面積と消費電力が変わる。図 5.9 の内部の図は、10ビット分解能を実現する変換サイクル数とコンパレータ数とを示している。(コンパレータ数には、デジタル誤差補正で用いる拡張された変換領域用のコンパレータも含めている。) 変換サイクルの数が少ないほど、必要なコンパレータの数は増えてゆく。従って図 5.9 が示すように変換サイクルを少なくすれば大きな面積を必要とするようになる。この図の中では一つのアンプ面積を 0.17mm^2 、コンパレータ面積を 0.03mm^2 と、前に開発したパイプライン A/D 変換器[4.1]設計結果の面積から仮定した。

図 5.9 の内部の図はまた、3-Msample/s(すなわち $0.33\mu\text{s}$ の変換時間)を例にとって、この変換速度を実現するために必要なサイクル数とクロック周波数の関係を示している。もし変換サイクルを増やすと、各回路はより高いクロックレートで動作しなければならなくなり、消費電力を増やすことになる。この図では、必要なクロック周波数を f として、1 アンプに必要な電力を $0.0494f^2 \text{ mW}$ 、コンパレータに必要な電力を $0.00494f^2$ と、前に開発したパイプライン A/D 変換器[4.1]の設計結果の電力から仮定した。CMOS アナログ回路の動作速度は gm/C_L に比例する。ここで gm は回路のドライブ MOS のトランスコンダクタンスで C_L

は回路の負荷容量である。トランスコンダクタンス g_m は回路のバイアス電流 I に式 (1) のように依存する。

$$g_m = \sqrt{2\beta \frac{W}{L} I} \quad (1)$$

ここで W と L は MOS トランジスタのチャンネル幅とチャンネル長である。従って動作速度を 2 倍にするには g_m を 2 倍にする必要があり、そのためには電流 I を 4 倍にする必要がある。従って回路の消費電力は動作周波数 f に対して二乗で依存することになり、上記の仮定を行った。

これらの基礎的なデータを使って、サイクリック A/D 変換器の消費電力を、コンパレータ数と、アンプ数と、それらの必要な動作速度から、計算することができる。図 5.9 の中の点線の曲線は従来方式のサイクリックアーキテクチャでの電力と面積を示している。この計算によれば、電力と面積をともに最小化するために 3 サイクルの変換方式が最も適していることが分かる。

マルチパス・サイクリック・アーキテクチャは図の中の実線で示すように総合の消費電力を下げる効果がある。5.4.1 節に説明したようにアンプの動作速度を $1/1.7$ に下げることができ、アンプの電力を従来手法に比べ約半分に減らすことができるからである。図 5.9 に示すように、3 サイクルで設計すると従来手法に比べて総合の消費電力を 30% 削減することができる。

5.6. 10-bit 3Msamples/s サイクリック A/D 変換器への応用

図 5.10 (a) に 3 サイクルのマルチパス・サイクリック A/D 変換器のブロック図を示す。スイッチドキャパシタ方式のサンプルホールド回路、ゲイン 8 の残差増幅アンプ、4-bit の並列型サブ ADC、4-bit のサブ DAC、デジタル誤差補正回路からなっている。図 5.10 (b) に各スイッチのタイミングを示す。

図 5.10 (a) はシングルエンド回路で表示してあるが、実際は完全差動型回路構成を用いた。これは耐雑音性に優れる特性のためである。サブ DAC は抵抗ストリングアーキテクチャを採用した。抵抗ストリングは並列型サブ ADC の抵抗ストリングと共用して面積の低減、電力の低減を図った。単位抵抗の値は高速動作を実現するためには下げなければならないが、一方消費電力を下げるためには上げなければならない。

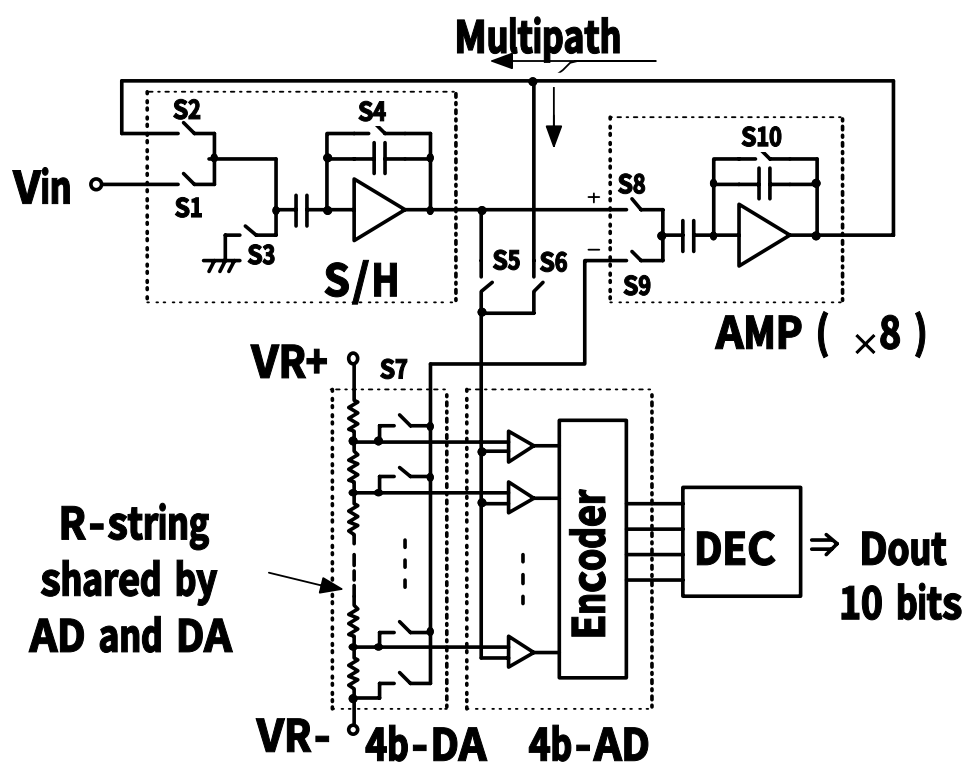


図 5.10 (a) マルチパス・サイクリック A/D 変換器ブロック図

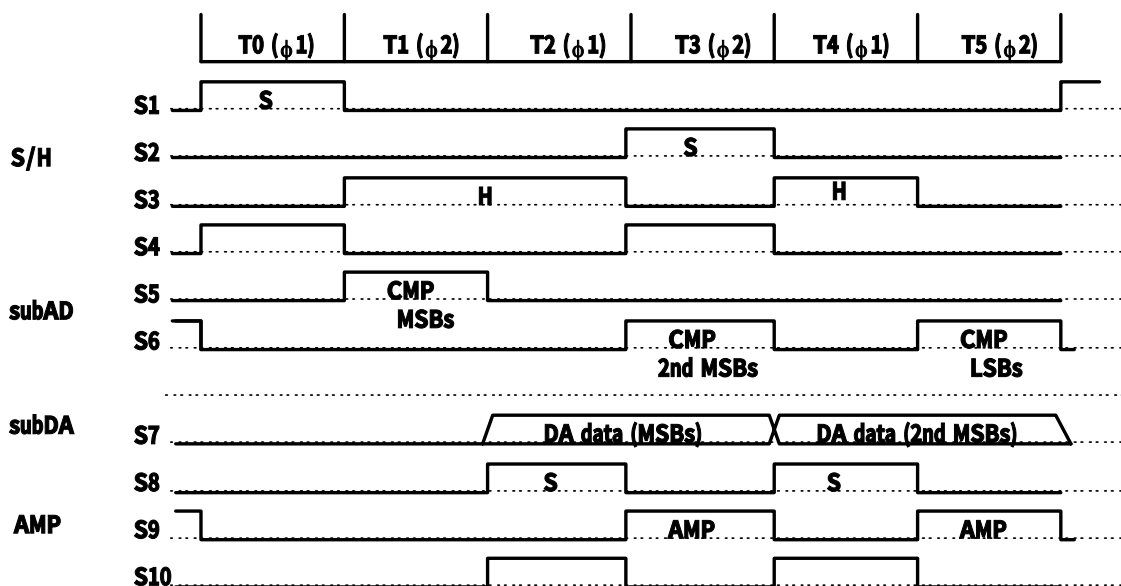


図 5.10 (b) マルチパス・サイクリック A/D 変換器スイッチタイミング

提案したマルチパス・サイクリック・アーキテクチャではアンプの動作速度を低減するだけでなく、サブ DAC の動作速度も低減している。そのため比較的高い 60Ω 単位抵抗を使うことが可能となった。従って DAC 消費電力は 1.5mW の低消費電力を実現することができた。

10-bit 精度を実現し、 3-Msample/s の変換レートを達成するためには、 72-dB 以上の高利得と、高いゲインバンド積が、サンプルホールドアンプと、8 倍の残差増幅アンプに使うオペアンプに必要となる。さらにこれらのアンプは 2.7V という低電圧で動作しなければならず広いダイナミックレンジが必要となる。高いゲインと広いゲインバンド積がオペアンプに必要な場合、 5V の電源電圧を使用できるときには、シングルステージのフォールデッドカスコードアンプが従来使われた。しかし、3 段や 4 段の縦積みのカスコード構成では電源電圧を下げるのが難しい。そこで図 5.11 に示す 2 段構成のオペアンプを使って、カスコード MOS トランジスタの数を減らし低電圧での動作を可能とした。出力段に 2 段のカスコードトランジスタを使っている。これにより 79dB の DC ゲインを達成し、フィードバックファクタ (β : 帰還率) が 0.5 の時のバンド幅は 44MHz で、 2.7mW という低消費電力で得られた。バイアス電圧は出力ダイナミックレンジが広がるように最適化した。このアンプの出力ダイナミックレンジは 3.2Vppd である。この値は 10bit の S/N を得るためには十分な値である。表 5-2 にシミュレーションで得たこのアンプの性能を示す。

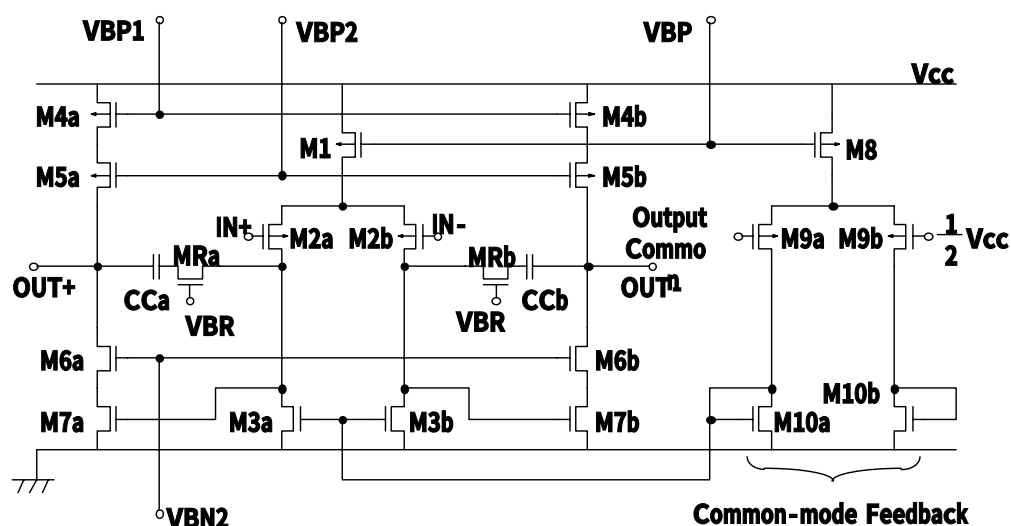


図 5.11 3 V 電源電圧用完全差動型 2 段オペアンプ

表 5-2 設計したオペアンプの性能

DC gain	79 dB
Loop gain (1/2 feedback)	71 dB
bandwidth	44 MHz
phase margin	70 deg
Settling time (0.05%)	33 ns
Dynamic output range	3.2 Vp-p
Power-supply voltage	3.0 V
Power consumption	2.7 mW

5.7. 試作結果

この A/D 変換器は、2 層ポリシリ、2 層メタル、0.8 μm CMOS プロセスで試作された。図 5.12 に A/D 変換器モジュールの写真を示す。バイアス回路、クロック発生回路、デジタル誤差補正回路、抵抗ストリング AD/DA、およびそのリファレンス電圧発生用バッファアンプ、マイクロプロセッサとのバス・インターフェイス回路、など全ての必要な回路をこのモジュールは含んでいる。A/D 変換器の面積は 1.15mm x 1.30mm であり、A/D 変換器モジュール全体の面積は 1.60mm x 1.70mm である。

再生したビート波形を図 5.13 に示す。3-Msample/s の変換レートで入力周波数を 1.499MHz としているので 1KHz のビート波形が得られる。ビート波形にビットかけが見られないことからナイキストレートで優れた変換特性を示していることが分かる。微分非直線性誤差を図 5.14 に示す。これはサイン・カーブフィット・ヒストグラム法で測定した。最初の 4bit 変換でのわずかな非直線性誤差が見られるが、3-V 電源で、 $\pm 0.26\text{LSB}$ 以内と

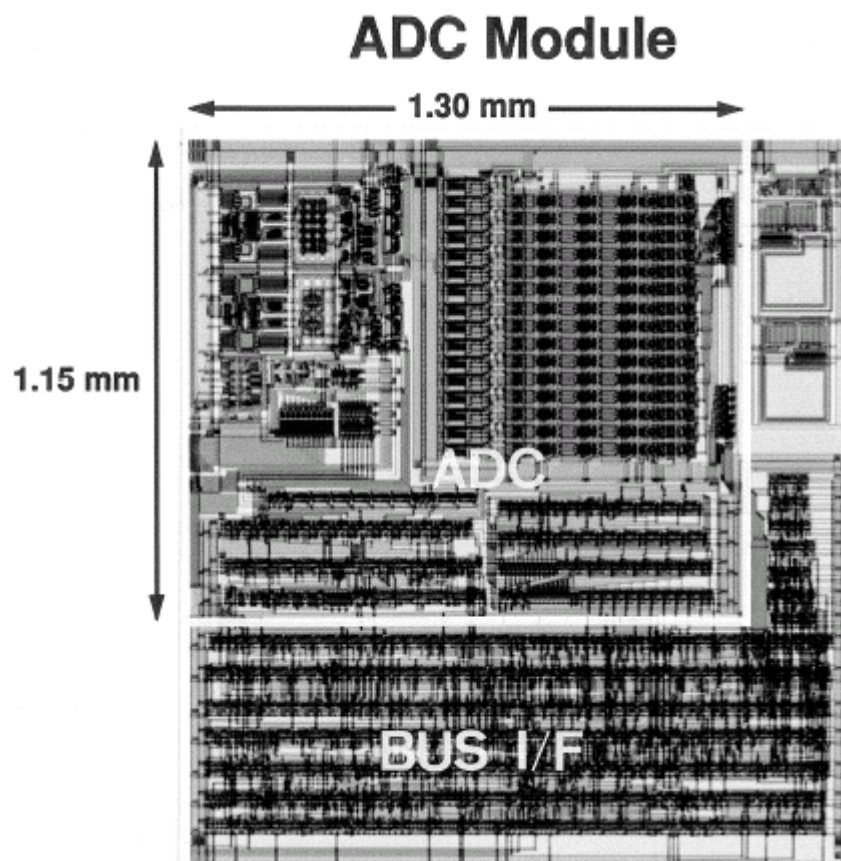


図 5.12 チップ写真

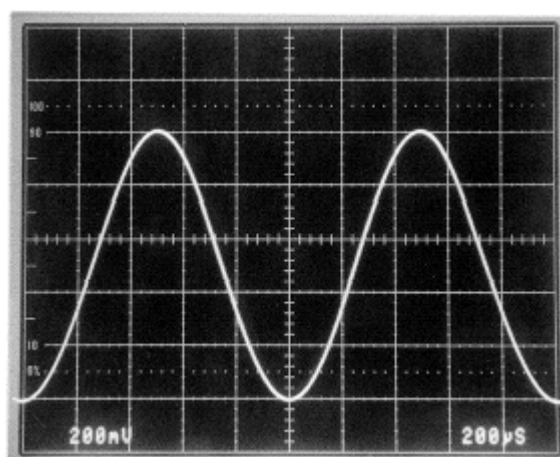


図 5.13 再生ビート波形. 変換レート 3.000Msample/s
 入力周波数=1.499MHz 電源電圧 2.7V

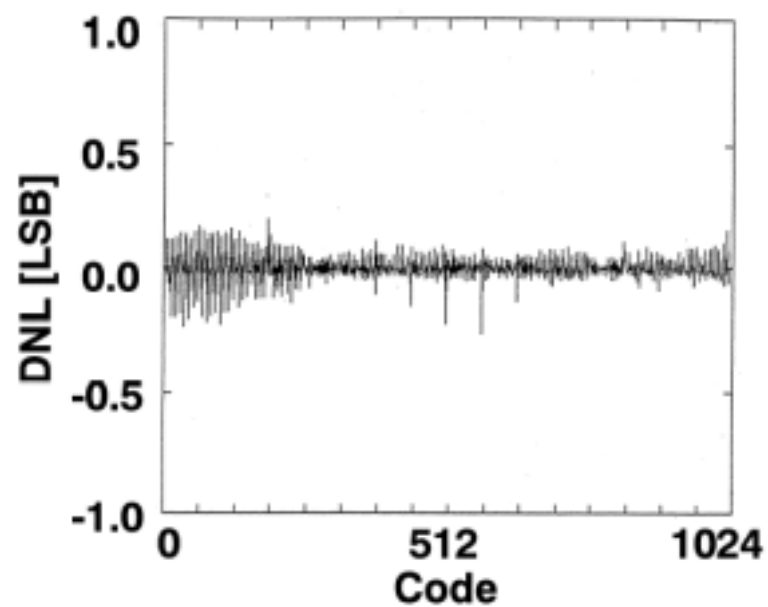


図 5.14 微分非直線性 変換レート=3Msps,入力信号=2.0Vpp,1kHz 正弦波
電源電圧 3.0V

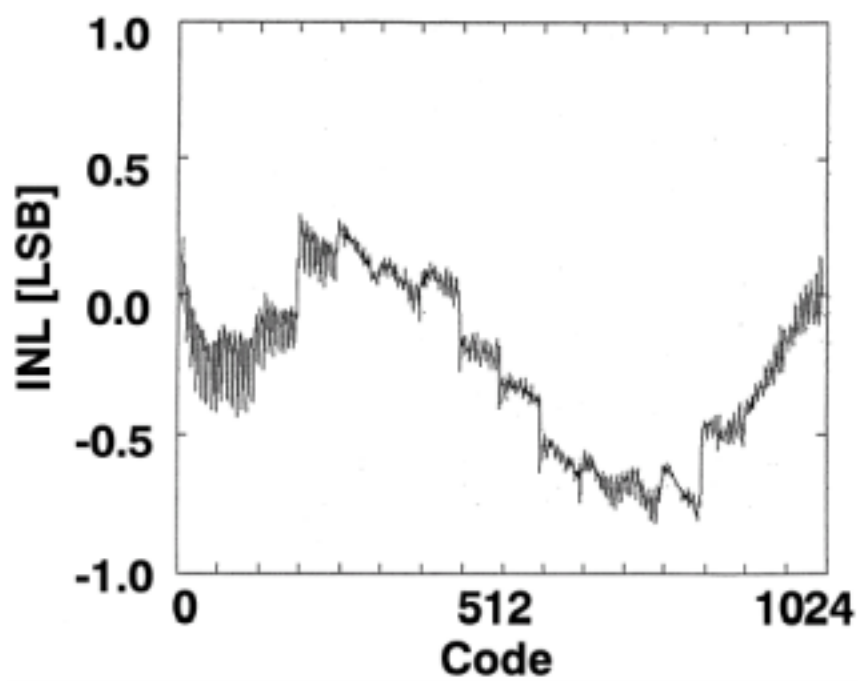


図 5.15 積分非直線性 変換レート 3Msps,入力信号=2.0Vpp,1kHz 正弦波,電源電圧 3.0V

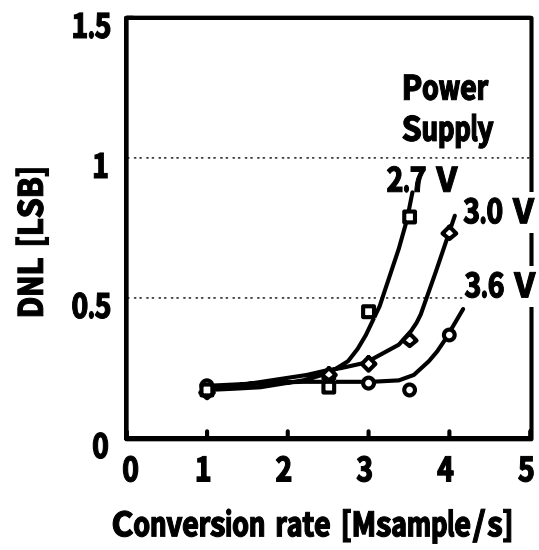


図 5.16 変換レートに対する DNL(微分非直線性). 入力振幅=2.0Vpp, 1kHz 正弦波

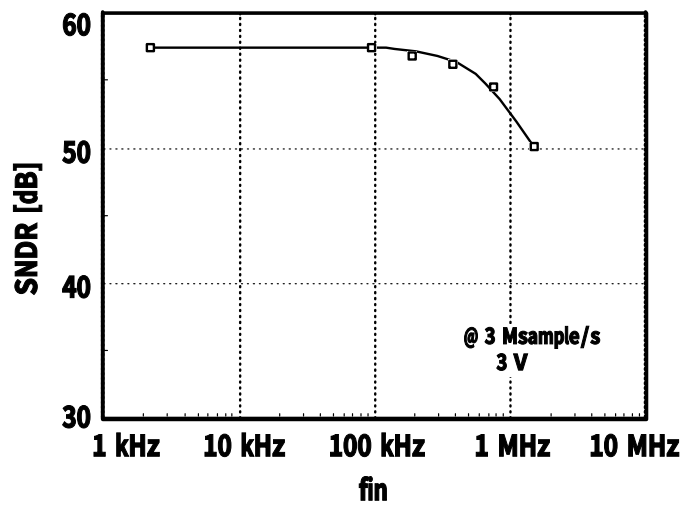


図 5.17 SNDR の入力周波数依存性

表 5-3 測定結果のまとめ

Resolution	10 bits
Conversion rate	3 Msample/s
DNL / INL	0.50 LSB / 1.39 LSB @ 2.7 V
SNDR	57.6 dB @ $f_{in}=2.2$ kHz
Input range	2.0 Vp-p
Power consumption	10.8 mW @ 2.7 V
Active area	1.5 (= 1.15 x 1.30) mm²
Process	0.8-μm CMOS, 2-poly 2-Al

十分良い DNL(Differential Non-linearity)であった。積分非直線性誤差(INL: Integral Non-Linearity)を図 5.15 に示す。INL の要求はサーボ・フィードバック・アプリケーションではそれほど厳しくない。最悪の INL 誤差の 0.83LSB, (3-V)はこのアプリケーションでは問題にならない。図 5.16 に測定した微分非直線性誤差の変換レートと供給電圧の関係を示す。0.5LSB 以下の優れた DNL が、2.7V 以上の供給電圧と、3Msample/s 以下の変換速度で得られた。測定した SNDR の値を図 5.17 に示す。変換レートは 3Msample/s である。入力周波数が 2kHz では、57.6dB という優良な SNDR が得られ、750kHz の入力周波数では 54dB という十分な値が得られた。

表 5-3 に測定結果を纏める。変換器は 2.7V の低電圧で 0.5-LSB の DNL を達成した。マルチパス・サイクリック・アーキテクチャにより、10.8mW という低電力と、1.5mm² という小面積を実現することができた。

5.8. 結論

低電力・中速の A/D 変換器に適するアーキテクチャとして、サブ ADC/DAC を繰返して用いるサイクリック A/D 変換器の方式について研究した。

逐次比較 A/D 変換器では、1-bit コンパレータつまり 1-bit ADC と、必要分解能の DAC とを用いて、上位から 1-bit ずつビットを決定していく。サイクリック A/D 変換器では、サブ ADC に 3-bit~4-bit 程度の分解能を用意して、多ビットずつビットを決定していくため、逐次比較より高速な A/D 変換器を実現できる。一方パイプライン A/D 変換器の場合にはサブ ADC を多数使用して実現するため面積と電力が大きく、それに比べて $1/n$ の面積と電力で A/D 変換器を実現でき、低電力・中速のアーキテクチャとして優れる。

このサイクリック・アーキテクチャの動作タイミングを詳しく検討し、マルチパスという信号パスを増やすことによって、サブ ADC の比較動作を、サンプルホールド回路(S/H)のサンプル時間と同じ時間タイミングに動作させることにより、タイムスロット数を減らして高速でかつ低電力の動作を可能にする方式の提案を行った。

提案する方式を用いて、10-bit 3Msample/s の A/D 変換器を設計すると、3 回の繰り返しを行うサイクリック方式が最も面積と電力の効率が良いことが分かった。またマルチパスを用いると、アンプ動作速度を 1.7 分の一に下げられ、アンプ電力は従来の約半分、A/D 変換器全体では消費電力を約 30%削減する効果がある。

本提案する手法を応用して、10-bit, 3Msample/s の A/D 変換器を試作・開発した。0.8 μm CMOS プロセスを用いて、1.5 mm^2 の小面積、2.7V 電源で 10.8-mW の低電力を実現した。この A/D 変換器は、ハードディスク・システムに使う高速サーボ制御 LSI に適している。

また、このアーキテクチャはロバストで、実際、0.8 μm だけでなく、0.6 μm および 0.35 μm プロセス上でも同じアーキテクチャの A/D 変換器を設計試作し製品化している。0.35 μm プロセスではモジュールサイズは 1.08mm x 1.20mm となっている。

6. 先読み方式によるパイプライン A/D 変換器の低電力化・高速化

6.1. 概要

パイプライン A/D 変換器の低電力化・高速化を達成するための方式の工夫として、先読み方式を提案する。提案方式は、パイプライン A/D 変換器で必須な内部引算の結果を待たずに、次の段の A/D 変換を開始できる方法である。そのため動作速度を向上でき高速化に役立つ。また、動作速度の向上をアンプの電力低減に使うことで A/D 変換器の電力低減にも役立つ。本章ではこの先読み方式を提案した後、この方法をパイプライン A/D 変換器の低電力化に役立てた設計例、およびに高速化に役立てた設計例を報告する。

低電力化に役立てた設計例は、Bluetooth 無線通信用の送受信 LSI[6.1]-[6.4]である。先読み方式は A/D 変換器内部のアンプ整定時間を緩和できるので電力を低減できる。どの程度の低電力化が可能なのかを適用例で検討した結果、0.35 μm CMOS, 2.7V 電源設計では、13MHz 動作でアンプ電流を従来方式での 600 μA から 250 μA に低減できることが分かった。本技術を適用して A/D 変換器を試作し、13-MHz 変換レートするとき 5.7-bit の有効ビット、電流 3.2-mA で供給電圧 2.8V で消費電力 8.96mW を達成した。実際に携帯電話(3G WCDMA 方式)向けに設計されたパイプライン A/D 変換器の従来例[6.5]では、0.35 μm BiCMOS 2.8V 電源 6-bit A/D 変換器で 15.35MHz のクロックを用いて 4.5mA の電流を必要としていた。先読み方式が電力低減に役立っているといえる。

高速化に役立てた設計例はハードディスクの書き込み読出し(PRML)信号処理 LSI 用の A/D 変換器である。先読み方式の高速化の効果は 1.5 倍程度であるが、さらに高速化するため A/D 変換器を 2 チャンネル並べて並列交互 (インターリーブ) 動作もさせた。2 チャンネル A/D 変換器間のオフセットミスマッチは A/D 変換器全体の精度を劣化させるので D/A 変換器を用いて補正する。これら提案する方式を適用して、6-bit 255Msps 200mW という高速・低電力な A/D 変換器を実現した[6.6]-[6.8]。この動作速度のパイプライン A/D 変換器は 1998 年当時世界最高速であった。有効ビットは 5.2-bit、電源電圧は 3.3V である。本論文の適用例の部分では、ハードディスクの書き込み読出し(PRML)信号処理 LSI での他の適用技術についても報告する。

6.2. 先読み方式パイプライン A/D 変換器

6.2.1. 従来のパイプライン A/D 変換器の動作とクロックタイミング

図 6.1 に原理的な 1bit/ステージのパイプライン A/D 変換器[6.9]ブロック図を示す。N 段のステージを従属につなげて n ビットの A/D 変換器を実現できる。各段のアンプはゲイン 2 倍で、スイッチドキャパシタ回路により実現されているためサンプルホールド機能を同時に持っており、各段の同時動作つまりパイプライン動作を可能としている。

パイプラインステージ各段の機能と動作は以下のようなものである。

初段は図 6.1 のサンプルホールドアンプ SH と、1-bit ADC でなる部分であり、最上位ビット(MSB)を決定する。そのため変換範囲(-Vref から+Vref)の中央の電圧（ゼロ）と入力電圧 V_{in} ($-V_{ref} < V_{in} < V_{ref}$)との大小関係を比較して MSB を決定する。中央値（ゼロ）より入力電圧が高ければ（つまり正であれば）MSB として 1 を出力し、負であれば 0 を出力する。

続く 2 番目のステージは 2 番目のビットを残差信号（図の residue ）の符号から決める。このため、図の i-th ステージに示されるように、前の段で決められた 1-bit の情報は D/A 変換器でアナログデータに再生される。この場合 D/A 変換器への入力は 1、0 の 2 種で、1 の場合 D/A 変換器は $+V_{ref}/2$ を出力し、0 の場合 $-V_{ref}/2$ を出力する。それを入力電圧 V_{in} から引算し、x2 アンプで 2 倍して出力する。つまり、

$$V_{in} \text{ が } -V_{ref} < V_{in} < 0 \text{ にあると、 } V_{out} = 2 (V_{in} - (-V_{ref}/2)) = 2V_{in} + V_{ref},$$

$$V_{in} \text{ が } 0 < V_{in} < V_{ref} \text{ にあると、 } V_{out} = 2 (V_{in} - (+V_{ref}/2)) = 2V_{in} - V_{ref}$$

であり、図 6.2 の入出力伝達特性になる。横軸がこのステージへの入力信号電圧 V_{in} 、縦軸が出力信号 V_{out} でこれは残差信号(residue)と呼ばれる。2 番目のビット（2nd MSB）は、この残差信号が変換範囲の中央レベルつまりゼロと比較され、1 か 0 が決められる。

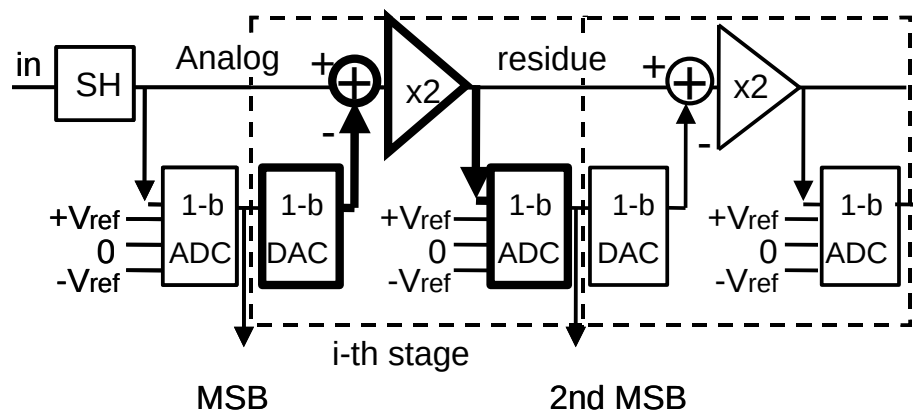


図 6.1 従来のパイプライン A/D 変換器

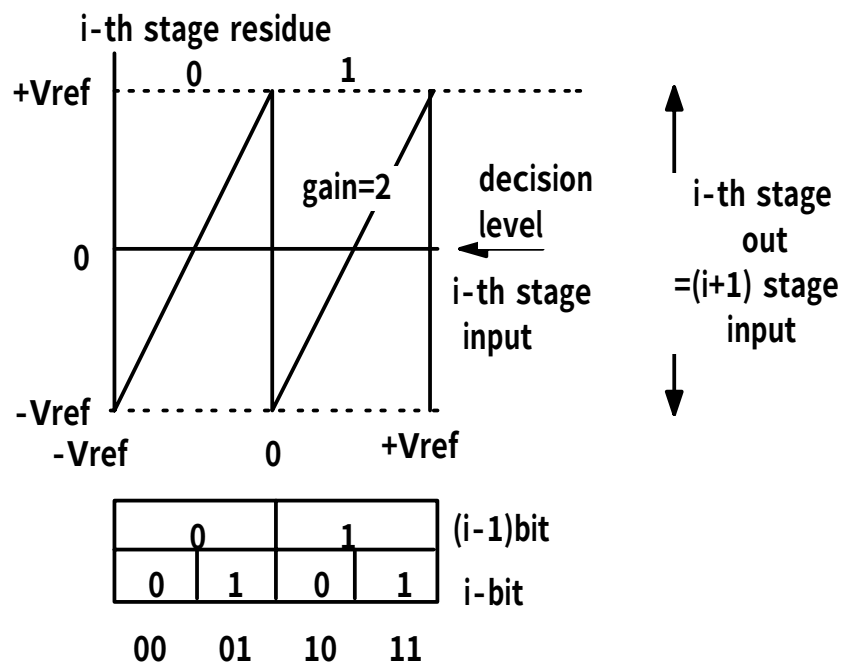


図 6.2 残差信号 (residue) と i 番目のビットの決定方法

結局、図 6.2 にあるように、2 番目のビットが残差信号の符号により決められると、A/D 変換器への入力信号 V_{in} が、次の 4 つの領域で、(MSB, 2nd MSB)が次のように決まる。

-Vref< V_{in} <-Vref/2 ならば、(MSB, 2nd MSB)=(0,0)

-Vref/2< V_{in} <0 ならば、(MSB, 2nd MSB)=(0,1)

0< V_{in} <+Vref/2 ならば、(MSB, 2nd MSB)=(1,0)

+Vref/2< V_{in} <+Vref ならば、(MSB, 2nd MSB)=(1,1)

3 番目のビット(3rd MSB)以下の、i 番目のビットは、2 番目のビットが決められると全く同じアルゴリズムで、各段で残差信号を作り出し、その符号で i 番目のビットが決定されてゆく。

この変換器の最大クロック周波数は、図 6.1 の太い線で示されるクリティカルパスの伝播遅延時間で決まってしまう。すなわち差信号を作り出す引算の時間と、その結果を 2 倍する時間と、1 ビットの A/D 変換をする時間である。

図 6.3 にこのパイプライン A/D 変換器の変換タイミングとクリティカルパスを時間軸で示す[6.29]。クロック周期の初めで、前の段の A/D 変換器はデジタルデータを出力する。その後、図 6.3 (2)に示すように、D/A 変換器と残差増幅アンプ (Residue アンプ) の引算と 2 倍に T1 の時間がかかる。残差信号が十分整定した後に i 番ステージ A/D 変換器の比較器は残差信号と判定レベルを正確に比較できる。このとき比較時間として T2 が必要である。したがって全体の時間として T1+T2 の時間が必要になる。これが従来のクリティカルパスである。

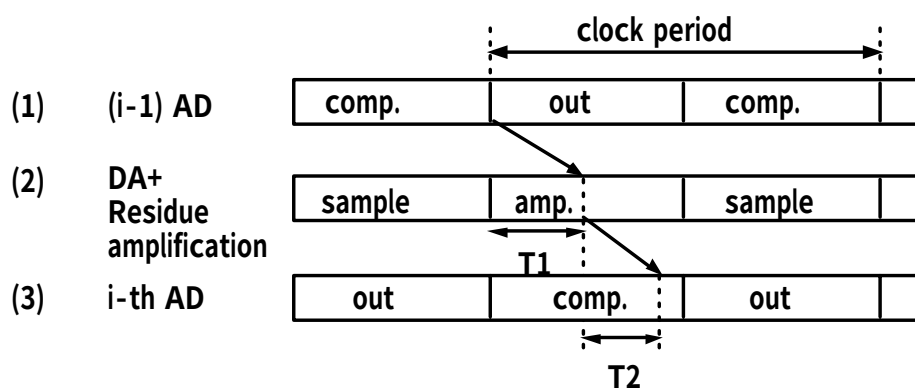


図 6.3 従来のパイプライン A/D 変換器の動作タイミング

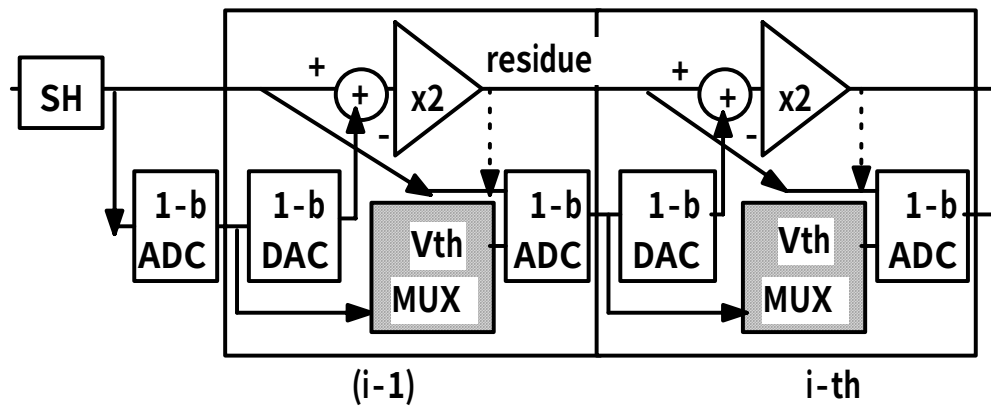


図 6.4 提案するサブレンジング・パイプライン・アーキテクチャ

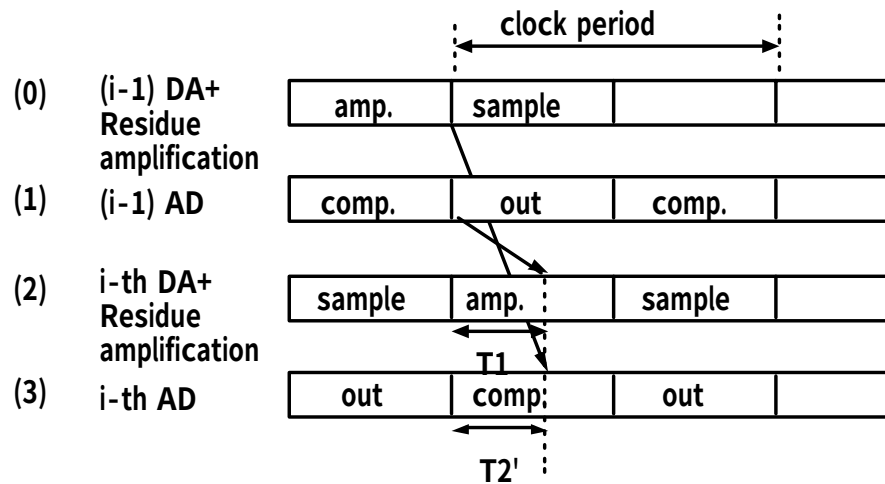


図 6.5 提案するサブレンジング・パイプライン A/D 変換器の動作タイミング

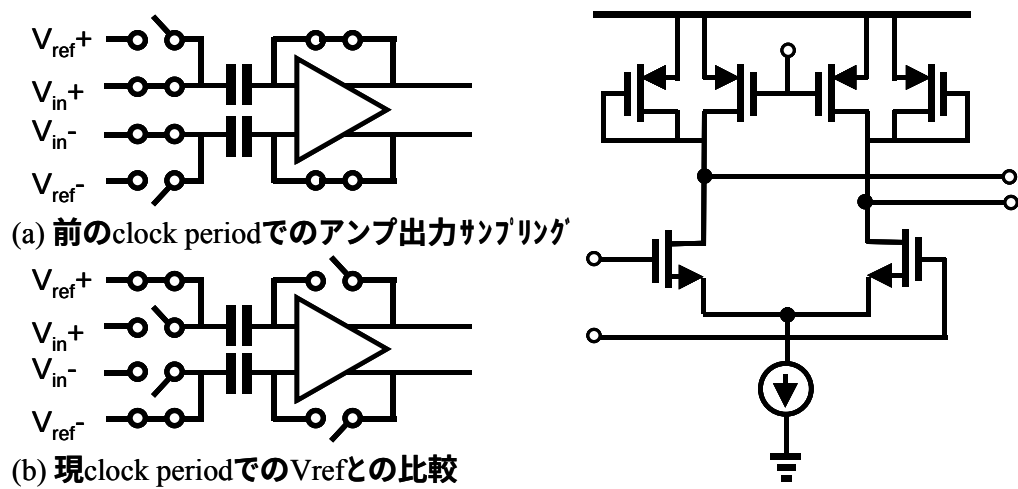


図 6.6 サンプリグ型比較器の回路とサンプリグ、比較動作

6.2.2. 提案するタイミング

提案する高速化手法は従来の長いクリティカルパスを短い二つのパスに分離することである[6.6]-[6.8]。

図 6.4 に提案する新しい構成を示す。従来はある変換ステージ内の 1 ビット A/D 変換器への入力と同じ変換ステージの残差信号 (residue) であった。これを図 6.4 の点線で示す。今回提案するアーキテクチャではそれを前段の残差増幅アンプ出力に変更する。これを図 6.4 の中の実線で示す。新しいタイミングを図 6.5 に示す。高速化の原理は、図 6.5 の(0)のラインに示すように、前段の残差増幅アンプ増幅動作は前のクロック周期の終わりにはすでに整定しているので、それをこの段のビット判定に使うことである。その時までには、前段の残差増幅アンプの増幅は、すでに半クロックサイクル経過していて、十分に整定している。A/D 変換器の比較器は、図 6.6 に示すサンプリング型の比較器である。前のクロック周期の最後で、前ステージの残差電圧 V_{in+} , V_{in-} を比較器の結合容量 C にサンプリングし、次のクロック周期の初めで V_{ref+} , V_{ref-} との比較を開始する。従って現在のステージの残差出力が整定するまでの $T1$ の時間を待っている必要が無い。一方、現ステージの残差増幅は、図 6.5 (2)に示すように、比較器の動作と同時に始めることができる。こうすることで、速度を制限していた長いクリティカルパス $T1+T2$ は二つの短いパス $T1$ と $T2'$ に分割されて、クロックの高速化が可能になる。

6.2.3. 先読み方式パイプライン・ビット判定方式の提案

しかしながら、前段の残差電圧から現在の段のデジタル出力値を決めるには特別な工夫が必要である。このために、A/D 変換器の判定しきい電圧 V_{th} を切替えるマルチプレクサ (V_{th} MUX) を導入した。この V_{th} MUX を使って i -bit を決定する動作を図 6.7 で説明する。従来は i 番目のビット (図の下部 i -bit) は i 番目のステージ (現在の段) の残差電圧、つまり図内上側の 2 個のノコギリ波電圧、が判定レベルのゼロより大きい小さいかで決められていた。この現在の段の残差電圧が整定する前に (求まる前に)、図下部 i -bit を、前の段の残差電圧 (図中段の 1 個のノコギリ波) から決めるためには、 i 番目のステージの出力による判定レベルを i 番目のステージの入力レベル (= $i-1$ 段の出力, 1 個のノコギリ波) にマッピングすることを考えればよい。

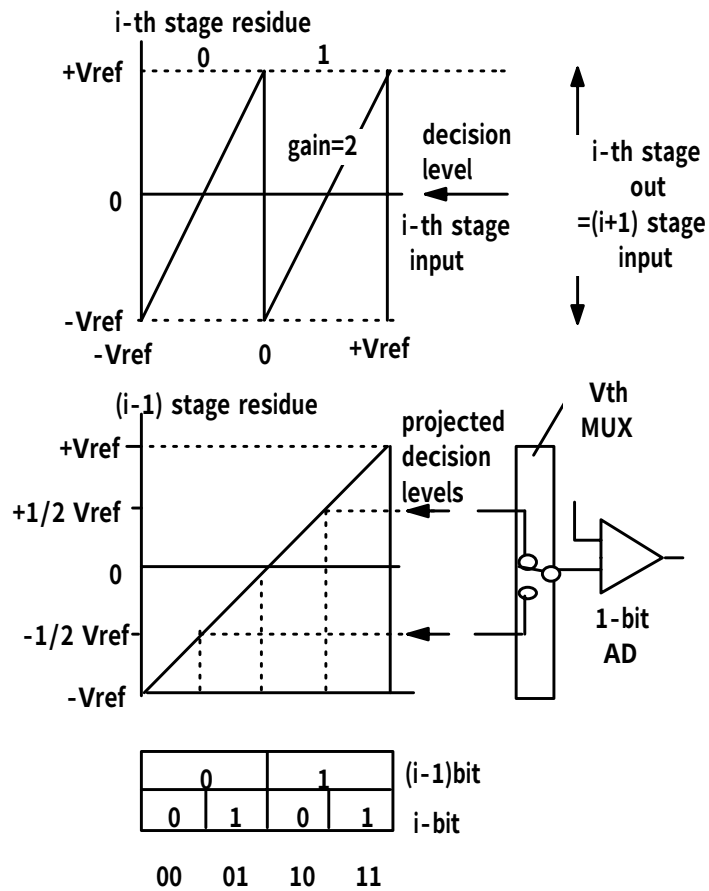


図 6.7 提案する入力電圧を $(-1/2)V_{ref}$ と $(+1/2)V_{ref}$ に比較してデジタルビットを決める
I 番ステージの動作

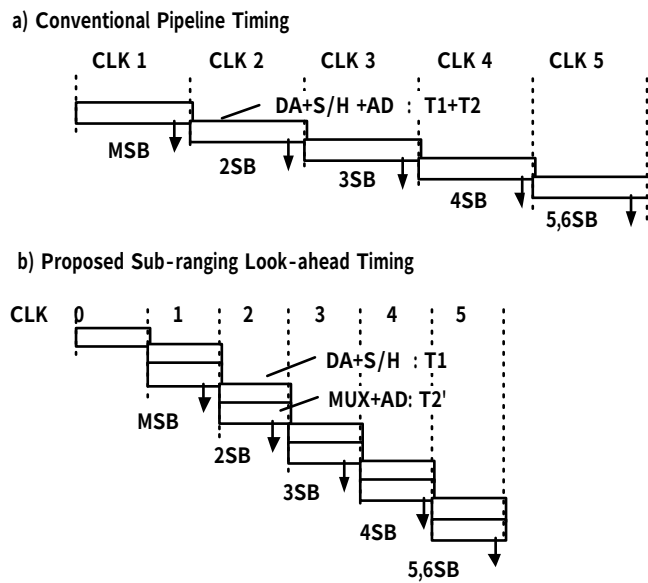


図 6.8 サブレンジング・パイプライン A/D 変換器の詳細回路

つまり、 i 番目のステージ出力による判定レベルを $i-1$ 番目のステージの残差電圧にマッピングすると、投影された判定レベルは $(-1/2)V_{ref}$ および $(+1/2)V_{ref}$ になる。前の段のデジタル出力すなわち $(i-1)$ 番目のビットがハイレベルの時には、この段の入力信号は入力電圧レンジの上半分にある。従って入力電圧を $(+1/2)V_{ref}$ と比較すれば i 番目のデジタルビットを決めることができる。もし前段のデジタルビットがローレベルの時には、入力電圧は入力電圧レンジの下半分にあるはずである。従って判定電圧を $(-1/2)V_{ref}$ にすれば i 番目のデジタルビットを決められる。この判定電圧の切り替えを、 V_{th} MUX を用いて前段のビット判定結果にしたがって行えばよい。

V_{ref} を切替える（マルチプレクスする）時間はコンパレータ時間 T_2 を増加させてしまうが、並列動作している残差増幅アンプの整定時間 T_1 の方が比較時間 T_2 より長いので問題にならない。

この動作により、ステージのアナログ引算をする前に、現在ステージのデジタルビットを決めることができる。この方法は先読み方式、つまり一種のルックアヘッド方式であり、日本語では先読み方式パイプライン A/D 変換器、英語では look-ahead pipeline A/D Converter と名づけた。先読み方式では、現在の段のビットを決めるためには引算は必要無いが、さらに次の段以降のビットを決めるために残差電圧は必要であり、引算の演算は行わなければならない。

図 6.8 に示すように、速度を制約していた従来のクリティカルパス($DA+S/H+AD$)、すなわち T_1+T_2 は提案するタイミングで二つのパスに分けられる。 $DA+S/H$ のパス(T_1)と $MUX+AD$ パス(T_2')である。このうち T_1 パスが最大のクロック速度を決める。

実際、本章の 6.4 提案手法の高速化への適用で示す例でシミュレーションによって動作速度の向上を調べたが、従来手法に比べて本手法は約 1.5 倍に動作速度を向上させることができた。

このアーキテクチャの一つの欠点はコンパレータに 2 倍の精度（感度）が必要なことである。比較レンジが通常のパイプライン A/D 変換器に比べて半分に減っているため、コンパレータ 1-LSB の電圧差が半分かになっている。しかしながら、1.5-bit 分解能のステージの場合でも、各サブ ADC に必要な 1-LSB の電圧差は、例えばフルスケールを 1V とし、1.5-bit 分解能で必要なフルスケールの $(1/8)$ の分解で考えれば 128mV ($1V/8$)もある。通常のオフセットキャンセル型、またはオートゼロ型スイッチドキャパシタ・コンパレータを用いれば、

このレベルのコンパレータ精度は簡単に得られるので問題にはならない。

6.2.4. 詳細回路実装の例

図 6.9 に詳細な A/D 変換器の回路図を示す。先読み方式パイプライン A/D 変換器の説明では分かりやすくするため、各段の分解能を 1-bit として説明したが、実際の回路設計では 1.5-bit 分解能を使っている。1-bit 分解能ではコンパレータのオフセットを許容できないが、1.5-bit 分解能であればコンパレータのオフセット電圧の補正が $(\pm 1/4)V_{ref}$ まで可能になる [6.9],[6.10]。A/D 変換器はリファレンスラダ-で複数の参照電圧を作る並列型変換器を用いることができ、D/A 変換器も同じリファレンスラダ-の電圧を出力する形式を採用できる。

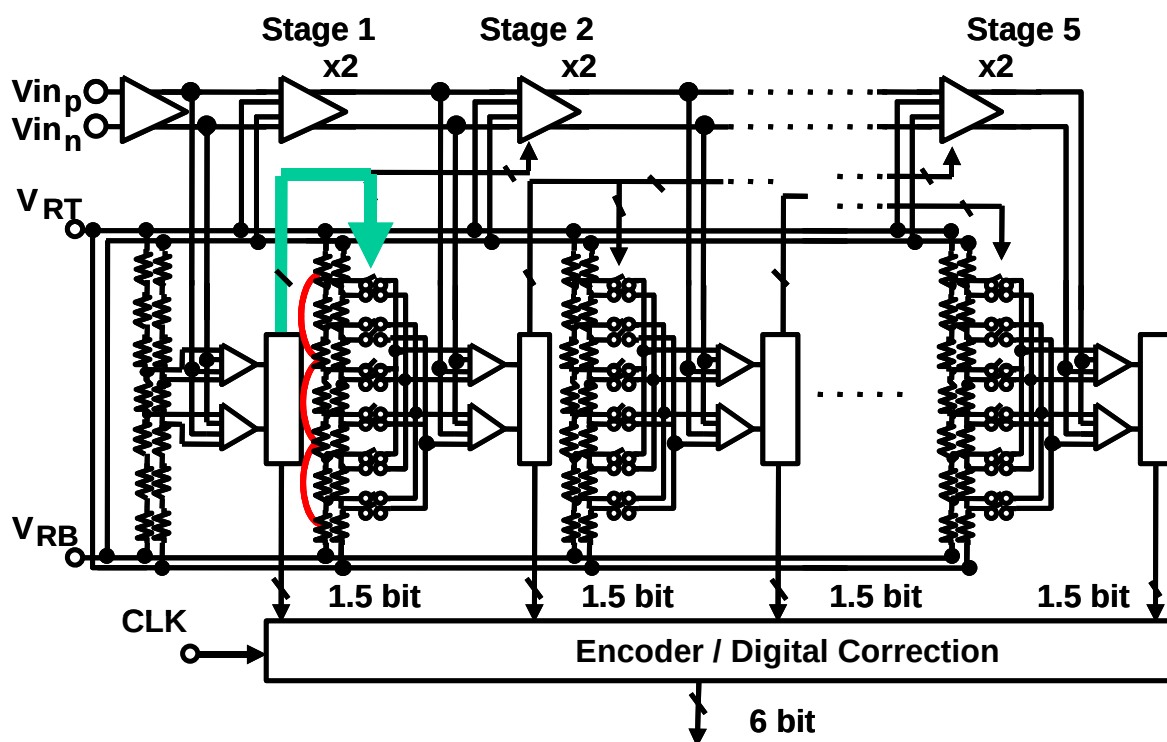


図 6.9 サブレンジング・パイプライン A/D 変換器の詳細回路図

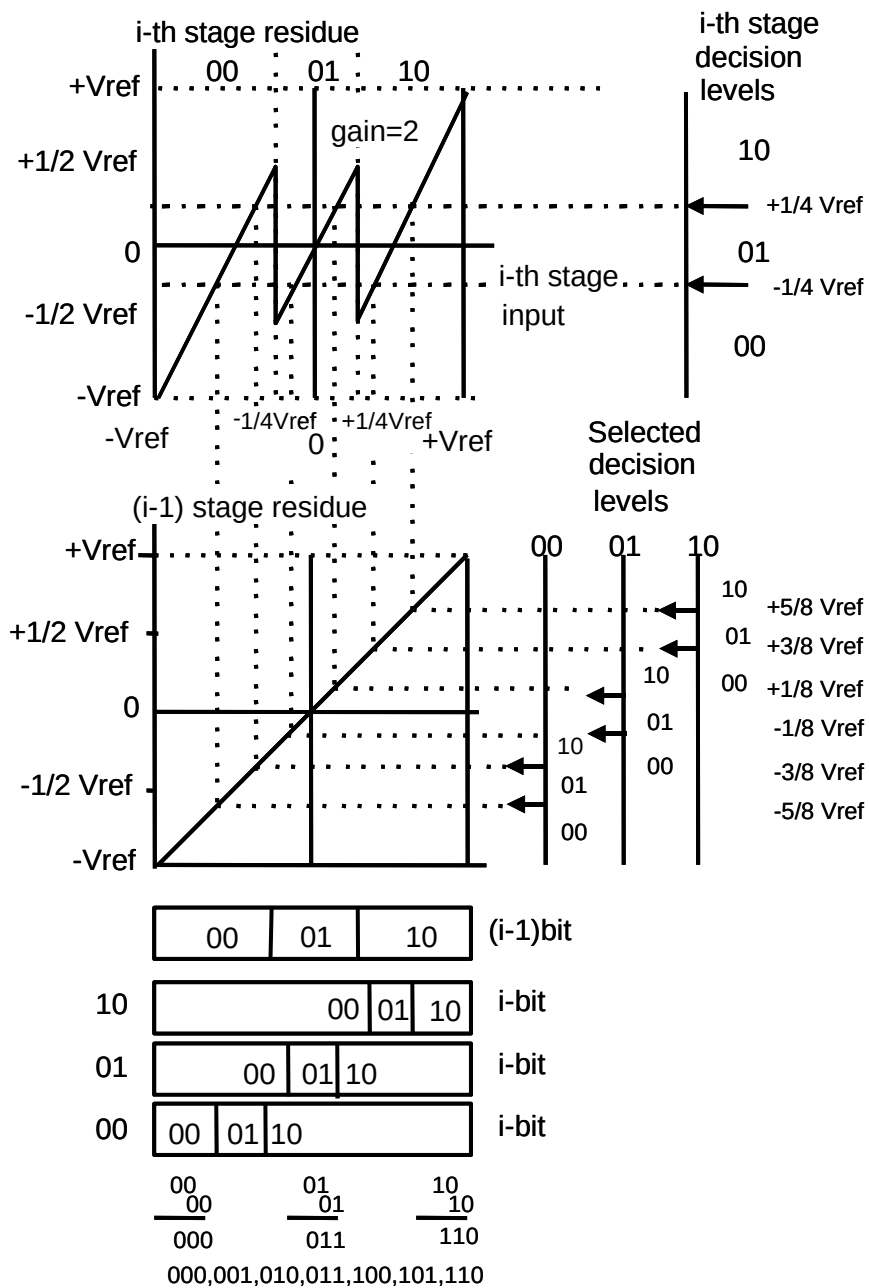


図 6.10 1.5 ビット・アーキテクチャ時サブレンジング・リファレンス電圧
スイッチング

リファレンスラダ-の上端と下端の電圧はバンドギャップリファレンスにより発生させる。これらの端子は外部バイパスキャパシタに接続し、スイッチングに伴う電圧の変動を抑える。信号処理のパスはすべて完全差動型により設計する。最終のデジタルデータはエンコーダで生成されるが、デジタル誤差補正回路を通して誤差補正する。ゲイン2の残差増幅アンプは高精度ポリポリ容量を使ったスイッチドキャパシタアンプで設計する。このスイッチドキャパシタ回路のスイッチにはCMOSスイッチではなくnMOSスイッチを採用するのが望ましい。これはクロックドライバの負荷容量を少なくして消費電力を少なくするためである。

図 6.10 に提案する 1.5-bit/ステージの先読み方式パイプライン A/D 変換器のリファレンス電圧のスイッチングを示す。動作原理は 1-bit/ステージの場合と同じである。しかし 1.5-bit の場合は二つのマルチプレクスされるリファレンス電圧があり少し複雑になる。i 番目のステージのリファレンス電圧 $(-1/4)V_{ref}$ と $(+1/4)V_{ref}$ は図中の X 軸に写像される。すると写像されたリファレンス電圧は $[(-5/8)V_{ref}, (-3/8)V_{ref}]$, $[(-1/8)V_{ref}, (+1/8)V_{ref}]$, $[(+3/8)V_{ref}, (+5/8)V_{ref}]$ となる。例えば前のステージのデジタル出力が 00 の場合は、そのステージの入力電圧は $-V_{ref}$ から $(-1/4)V_{ref}$ までにある。したがって入力電圧を $(-5/8)V_{ref}$ と $(-3/8)V_{ref}$ とを比較して結果を出せば、従来のこのステージの残差増幅出力を $(-1/4)V_{ref}$ と $(+1/4)V_{ref}$ とと比較した結果と同じになる。また前のステージのデジタル出力が 01 の場合には比較するリファレンス電圧は $(-1/8)V_{ref}$ と $(+1/8)V_{ref}$ となり、これで同じ出力デジタル判定結果を出すことができる。また前のステージのデジタル出力が 10 の場合には、比較すべき電圧は $(+3/8)V_{ref}$ と $(+5/8)V_{ref}$ になる。これらの判定出力を使って最後のデジタル出力は図 6.10 の下に示すようにオーバーラップ加算すれば誤差補正して正しい値を出すことが可能である。

リファレンス電圧を前のステージの結果に従ってスイッチングすることを除けば、この A/D 変換器の動作は、従来の 1.5-bit/ステージの動作と全く同じである。この先読み方式は、1bit/ステージ、1.5bit/ステージだけでなく、2bit/ステージや、マルチビット/ステージのパイプライン変換器にも、切替えるリファレンス電圧の数を増やして、またマルチプレクサを増やすことにより適用可能である。ただし先読み方式では、比較器のオフセット誤差許容値が2倍に厳しくなる。しかし、1.5-bit 分解能など比較的少ないビット数の分解能を使っている限り、比較器のオフセット誤差は十分小さく問題にならない。

6.3. 先読み方式の低電力化への適用

6.3.1. 低電力に向けた A/D 変換器方式の選択

本6.3節ではパイプライン A/D 変換器へ先読み方式を適用して電力を低減することについて述べるが、まず他方式の A/D 変換器に対して通常のパイプライン A/D 変換器が低電力になる分解能を明確化する。

図 6.11 に並列（フラッシュ）およびパイプライン A/D 変換器の分解能に対する消費電力予測を示す（条件として 0.35 μm CMOS、3V、13MHz を想定した）。並列型は分解能が 1-bit 上がると比較器の数が 2 倍に増えるため消費電流も指数関数的に増える。一方、パイプライン A/D 変換器は分解能が 4-bit 以下では並列型よりも電流が多くなってしまいが、分解能を 1-bit 上げるにはパイプラインステージを 1 段増せばよいので bit 数に（ほぼ）比例して電流が増加する。したがって並列型よりは上昇がゆるい。正確には、分解能を上げるとオペアンプの整定精度や比較器の精度も上げていかねばならないので、図にあるように電流は、bit 数に比例する以上に増えていく。結論として図から、6-bit 以上の分解能ではパイプライン型の方が低電力になると言える。

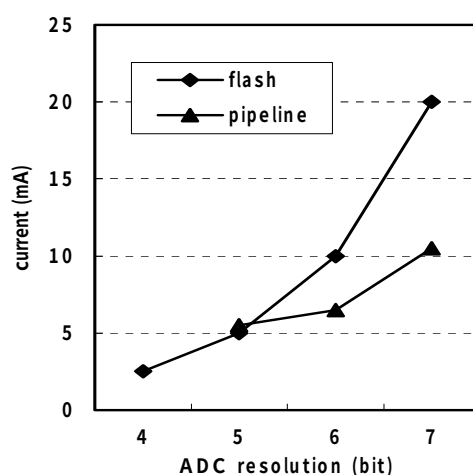


図 6.11 A/D 変換器方式による消費電力の比較

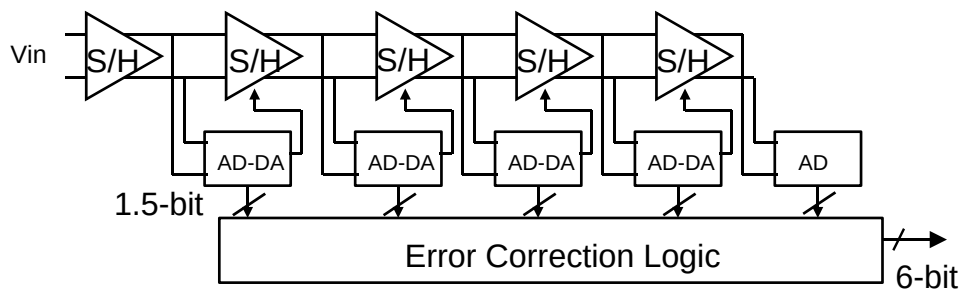


図 6.12 基本パイプライン A/D 変換器の構成

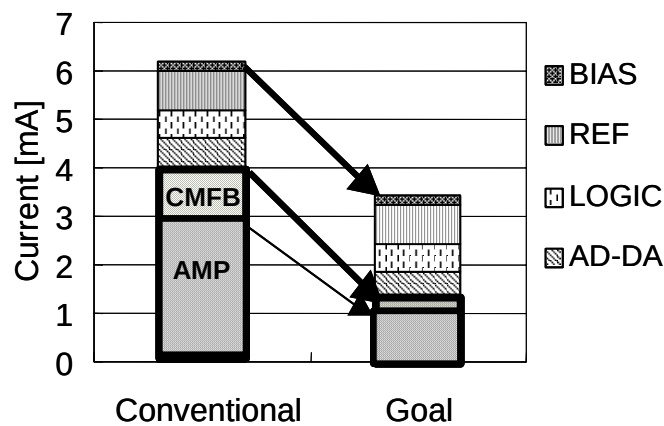


図 6.13 従来型パイプライン A/D 変換器の電流の内訳

6.3.2. パイプライン A/D 変換器の電力分布と低電力化

パイプライン A/D 変換器の電力低減を検討するため、まず各部の消費電流を分析する。図 6.12 に 6-bit 分解能を例にとってパイプライン A/D 変換器の構成例を示す。5 段のパイプラインステージで 6-bit 分解能を 1.5-bit/stage で実現している。各ステージはサンプルホールドアンプ(S/H)、コンパレータ 2 個、エンコーダーで構成される。各パイプライン段で発生するデジタルコードはデジタル誤差補正回路に入れられ誤差を補正して最終の 6bit データが生成される。差動入力信号のレンジは 0.5Vppd、A/D 変換器の最初のサンプルホールド回路が 2 倍の利得で A/D 変換器内部ダイナミックレンジは 1Vppd である。図 6.13 に従来のパイプライン A/D 変換器の各部の電流と、低電力化で目標とする消費電流を示す。サンプルホールドアンプ(AMP)とコモンモードフィードバック(CMFB：同相負帰還)回路が全体消費電流のうちの 65%を占めている。低電力化のためには、まず先読み方式をパイプライン

A/D 変換器に適用することでサンプルホールドアンプの消費電流を低減することが必要である。さらに同相負帰還回路(CMFB)の消費電流を低減する必要がある。同相負帰還回路の低電力化については 7.3 節で議論する。

6.3.3. 先読み方式を用いた消費電力低減

先読み方式は、変換器内部のクリティカルパスを分離し回路の必要動作速度を低減するため、従来方式に比べアンプの整定時間を延ばしてアンプを低電力化できる。ここでは、13MHz の動作のパイプライン A/D 変換器を設計する場合を想定して、整定時間の差によりどの程度の電流が低減できるかをシミュレーションにより検討した結果を図 6.14 に示す。

図は、ある整定時間を得るために必要なサンプルホールドアンプのバイアス電流を示す。13MHz の動作には、サンプルホールドアンプは 38ns 以内に整定しなければならない。ただしデバイスおよび電源電圧、温度が最悪になったときの速度劣化を 2.1 倍見込んで、通常デバイスおよび通常 V_{cc} 常温での要求整定時間を 18ns 以下とした。

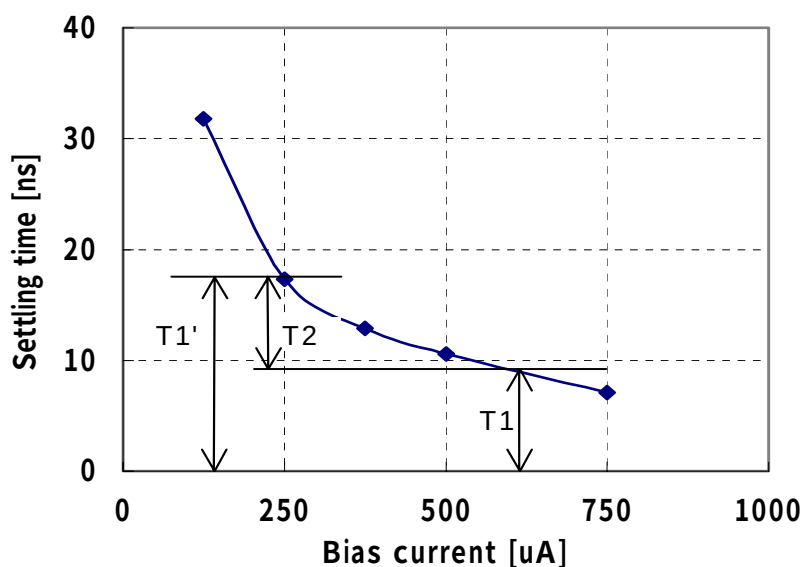


図 6.14 先読み方式によるアンプ電流の低減効果

図から 18ns の整定時間を得るためには、本方式($T1'$)を用いると 250 μA の電流が必要に

なることがわかる。一方、A/D 変換器を従来のパイプライン方式で設計すると、アンプの増幅時間 T_1 とコンパレータの比較時間 T_2 の和が 18ns 以内でなければならない。

コンパレータ比較時間 T_2 は $60\mu\text{A}$ の電流を使うと 8.1ns になるので、アンプの整定時間 T_1 は $18\text{ns}-8.1\text{ns}=9.9\text{ns}$ となる。図によれば、整定時間 T_1 を 9.9ns に収めるには、アンプの電流に $600\mu\text{A}$ 必要なことが分かる。 $250\mu\text{A}$ の電流に対して $350\mu\text{A}$ の余計な電流が必要になる。したがって、6-bit 分解能のパイプライン A/D 変換器全体では、従来のパイプライン・アーキテクチャを用いると、 1.75mA の余分な電流が必要になることが分かる。

サンプルホールドアンプに使われるオペアンプには、図 6.15 に示す完全差動型の 2 ステージアンプを用いることができる。初段は nMOS 入力のカスコードアンプ、2 段目は通常ソース接地アンプである。周波数特性はミラー位相補償容量とゼロ点キャンセル用の抵抗で補償する。次節の適用例で紹介する設計では、アンプの差動利得を 95dB 、ゲインバンド幅を 150MHz に設計した。

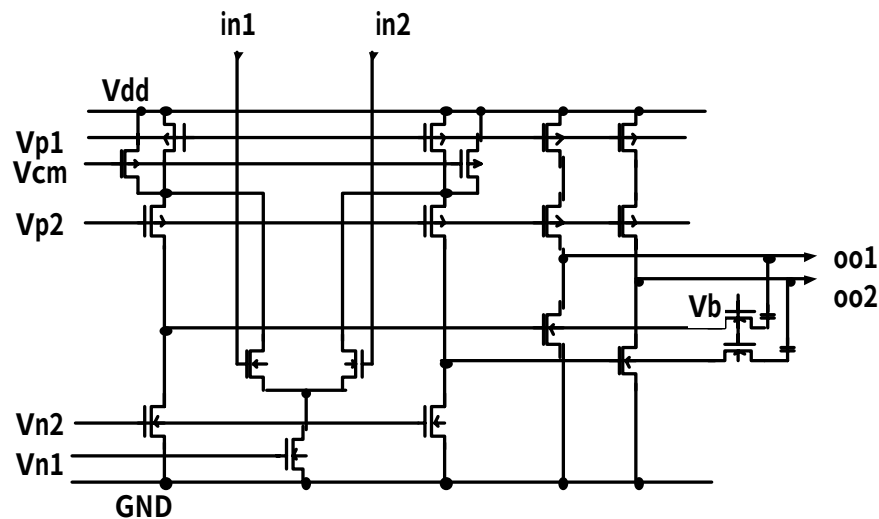
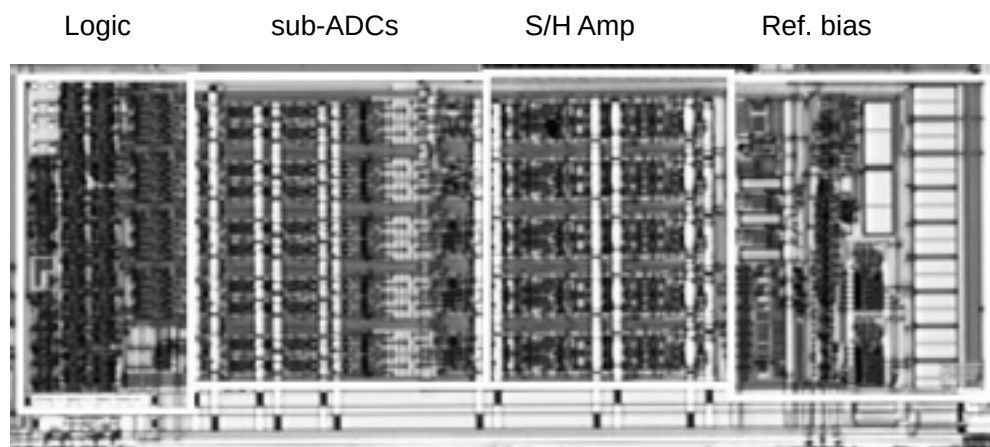


図 6.15 初段フォールドドカスコード、2 段目ソース接地の完全差動 2 段オペアンプ

6.3.4. 6-bit 13MHz 3.2mA 低電力パイプライン A/D 変換器への応用

本章で議論した技術を使って、0.35 μm -BiCMOS プロセス上の CMOS デバイスにて 6-bit 13-MHz 3.2-mA の A/D 変換器を設計し試作した[6.1] [6.2]。

図 6.16 に試作した A/D 変換器のチップ写真を示す。面積は 1.37 mm x 0.53 mm である。



1.37 mm x 0.53 mm

図 6.16 A/D 変換ブロックのチップ写真

図 6.17 に測定した微分非直線性誤差(DNL)と積分非直線性誤差(INL)を示す。DNL は $-0.26/+0.28\text{LSB}$ 、INL は $-0.49/+0.20\text{LSB}$ であり、十分良好である。

図 6.18 には、クロック周波数が 13MHz で、入力周波数が約 $f_{in}=(1/4)f_{clk}$ のビート波の状況を示す。この図から、ミッシングコードも無くまたスパークルノイズもなく、精度の良い変換結果が得られていることが分かる。図 6.19 にこの 4:1 ビート波形を使った場合で、信号対雑音比 (SNR)、および信号対歪を含めた雑音比 (SNDR)、のクロック周波数依存性を示す。クロック周波数が上がると有効ビット (SNR, SNDR) が劣化するが、13MHz での有効ビットは 5.7bit、26MHz は 5.0bit であった。

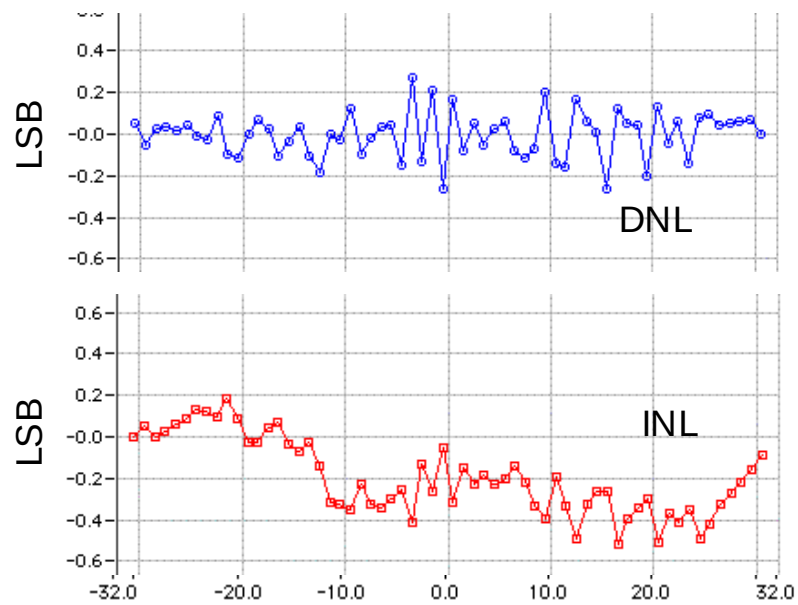


図 6.17 実測した微分非直線性誤差(DNL)と積分非直線性誤差(INL)

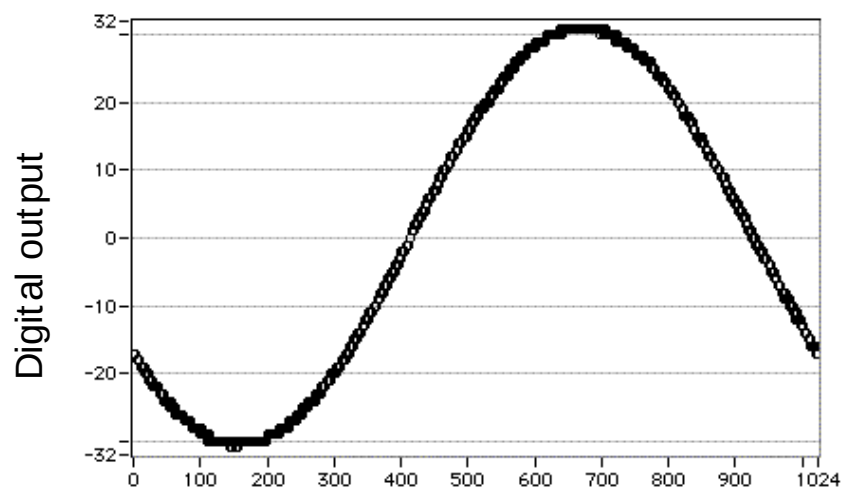


図 6.18 ビートサイン波形

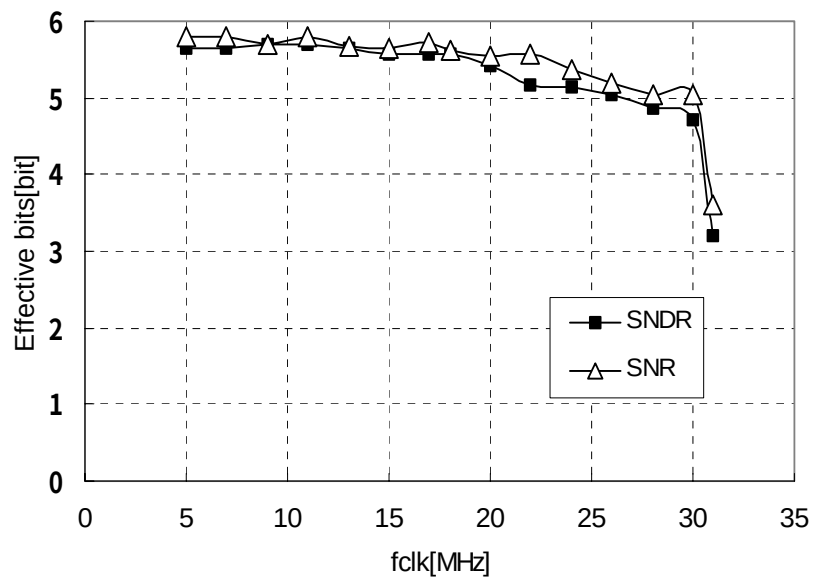


図 6.19 実測した有効ビット（SNR、SNDR）のクロック周波数依存性

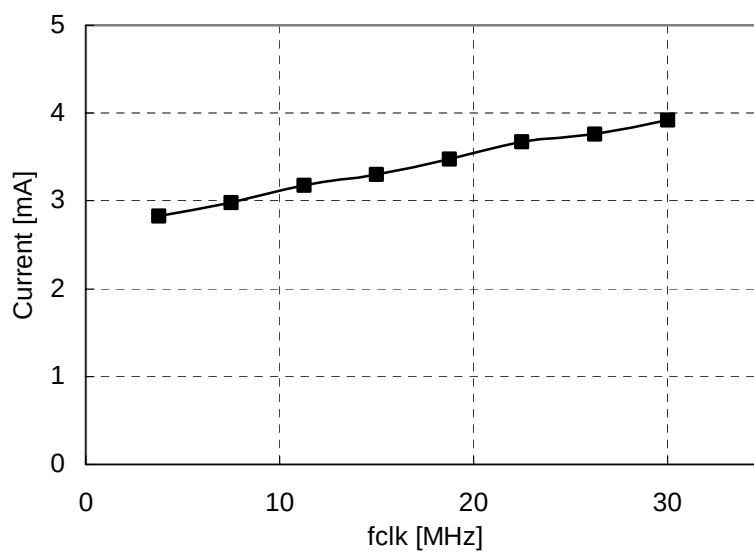


図 6.20 A/D 変換器の実測消費電力

表 6-1 性能表

Resolution	6 bit
Conversion rate	13 Msps
INL	-0.49/0.20 LSB
DNL	-0.26/+0.28 LSB
Offset voltage	4 mV
Power dissipation	3.2 mA
Supply voltage	2.8 V (2.5V-3.3V)
Area	1.37 x 0.53 mm

図 6.20 に A/D 変換器の消費電流のクロック周波数に対する測定データを示す。電流の内訳としては、5 個のオペアンプが $250\ \mu\text{A} \times 5 = 1.25\text{mA}$ 、10 個のコンパレータが $60\ \mu\text{A} \times 10 = 0.6\text{mA}$ 、クロック周波数に比例するデジタル部の電流が 13MHz で 0.65mA、参照電圧発生回路など他の回路の電流が 0.65mA である。(13MHz 時)

表 6-1 に実測した A/D 変換器の性能をまとめる。

6.3.5. Bluetooth RF 送受信機 LSI への適用

開発した低電力 6-bit 13MHz A/D 変換器を Bluetooth-RF 送受信機 LSI に用いたのでこの LSI について概要を紹介する[6.3], [6.4]。

本チップは 0.35 μm BiCMOS プロセスで開発され、RF 部にはバイポーラトランジスタを用い、A/D 変換器部は CMOS デバイスで設計した。

Bluetooth[6.11]は携帯電話の中に組み込まれてパーソナルエリアネットワークの通信手段として使われる。携帯電話は 13MHz のシステムクロックを用いており、Bluetooth でも同じ 13MHz クロックを採用することとした。A/D 変換器の仕様は、アナログフィルタや、デジタルチャンネル選択フィルタ、PLL 周波数復調器の仕様とのトレードオフになるが、詳細

検討とシステムシミュレーションの結果、上述したように、13MHz の変換レートと 6-bit の分解能をつかってシステムを組む設計とした。

図 6.21 に Bluetooth 受信機のブロック図を示す。この 2.4-GHz Bluetooth 用 RF 送受信機チップは A/D 変換器が 3.2mA という低電流で実現できたことにより、チャンネル選択をアナログフィルタで行うのではなくデジタルフィルタで行うデジタル主体のアーキテクチャにすることができた[6.3], [6.4]。全体の受信アーキテクチャは Low-IF 方式とし、低雑音アンプ (LNA, Low-noise amplifier)、イメージリジェクションミキサー (IRMIX, Image Rejection Mixer)、アナログバンドパスフィルタ (BPF)、自動ゲイン調整回路 (AGC, Automatic Gain Controller)、A/D 変換器 (ADC)、デジタルチャンネル選択フィルタ、周波数検出回路、と他のデジタル回路からなっている。受信した 2.4GHz の RF 信号はイメージリジェクションミキサーで 2MHz の中間周波数に周波数変換される。A/D 変換器で量子化された信号は、デジタルチャンネル選択フィルタでデジタル信号処理され、デジタル PLL 周波数検出器で復調される。表 6-2 に Bluetooth 受信機の性能を示す。

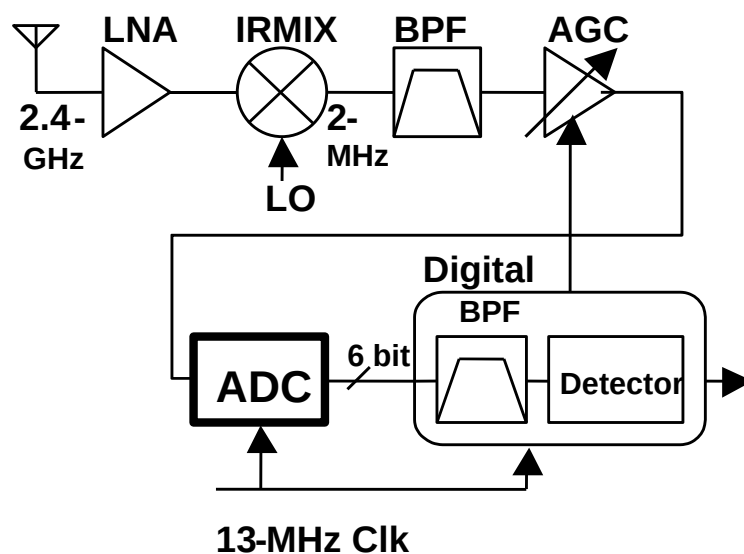


図 6.21 Bluetooth RF トランシーバー 受信部構成

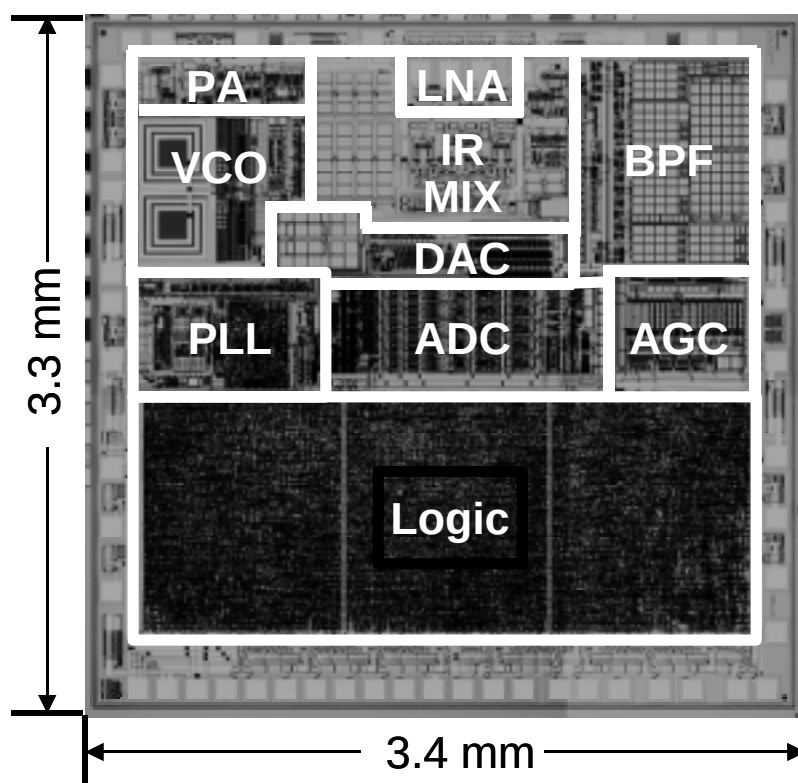


図 6.22 Bluetooth 送受信チップ

表 6-2 Bluetooth 送受信チップの性能

Supply Voltage	2.7 V
Current TX	35 mA
RX	45 mA
Actual Sensitivity level	-83 dBm
VCO phase noise @3MHz	-127 dBc/Hz
Output Power	+1 dBm
Frequency Drift(5packet)	32.8 kHz

以上、先読み方式をパイプライン A/D 変換器に適用し低電力 A/D 変換器が実現できるようになったことで、デジタル復調方式を採用した Bluetooth 送受信 LSI を開発できたことを説明した。

6.4. 先読み方式の高速化への適用

つぎに、先読み方式パイプライン A/D 変換器の高速化を生かした適用例を報告する。

6.4.1. 背景

近年 200Mbps 以上の高速転送レートでかつ消費電力が 1-W 以下のハードディスク用リードチャンネル（（データ）読出し（書込み）チャンネル）LSI が必要とされている。この LSI には高速・低電力な A/D 変換器が必要である[6.12]-[6.18]。

図 6.23 に、ISSCC で 1998 年 12 月までに報告されたリードチャンネル LSI を比較した [6.12]-[6.18]。高速リードチャンネルでは消費電力が重要なパラメータであり、当時 240Mbps の高速動作で最も小さい消費電力、つまり 1W 以下のリードチャンネルを実現することが課題であった。リードチャンネルのアナログ部の中では A/D 変換器の消費電力が最も大きい。したがって、240MHz 以上で低電力な A/D 変換器を開発することが重要な課題であった。

高速 A/D 変換器に向けたアーキテクチャには、並列型、フォールディング型、またはパイプライン型が考えられる。この中で並列型はリードチャンネルの実現では最もよく使われている(バイポーラ[6.13]、CMOS[6.12], [6.18]-[6.20])。例えば、波形等化復号方式の名称

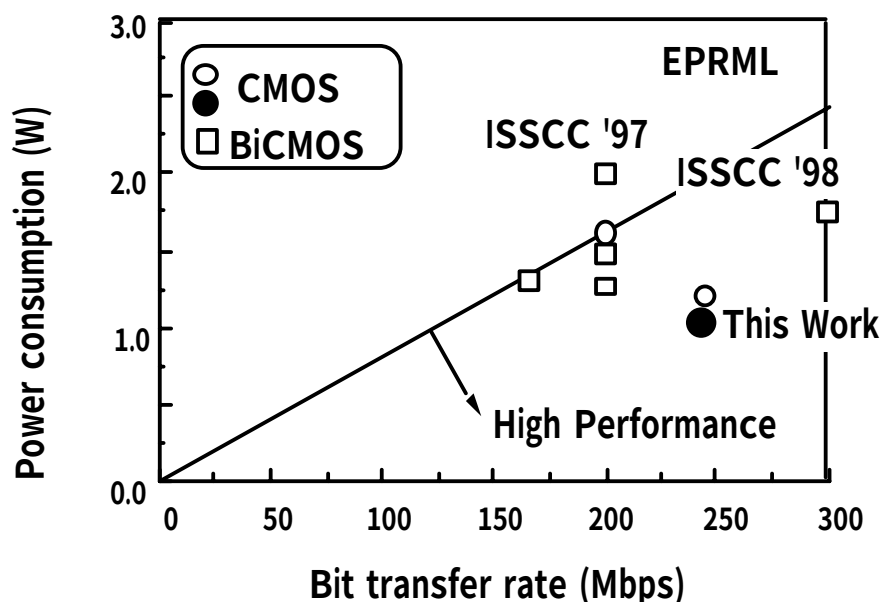


図 6.23 1998 年と 1997 年のリードチャンネルの性能比較

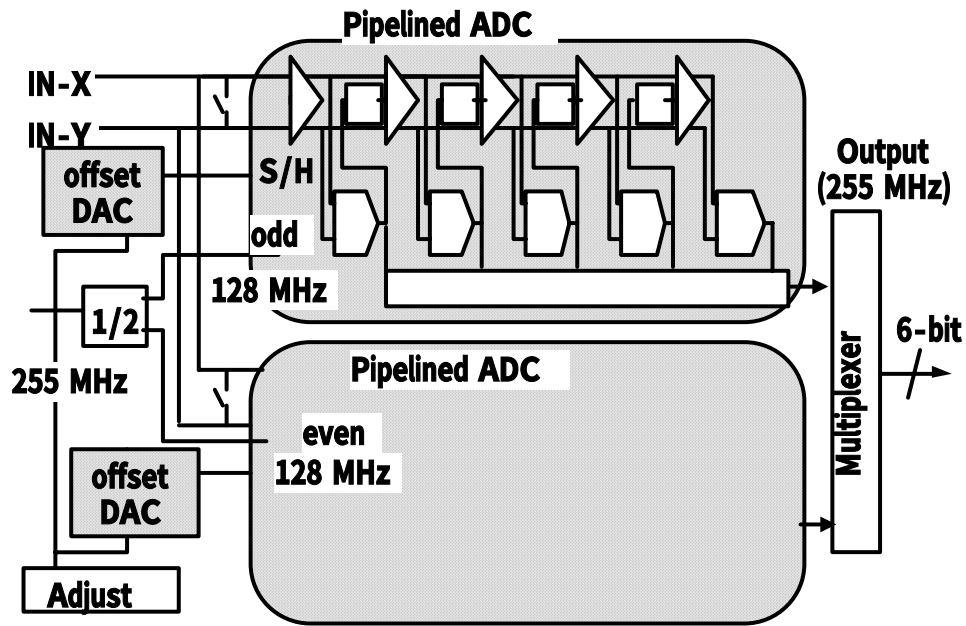


図 6.24 オフセット調整 DAC 付きインターリーブ・パイプライン A/D 変換器

である PRML(Partial Response Maximum Likelihood：符号間干渉許容最尤復号方式)リードチャンネル用に 5V, 0.35 μm BiCMOS, 5.75-bit, 350-Msample/s の並列型 A/D 変換器が 1998 年に報告された[6.22]。また 0.35 μm BiCMOS で 225mW, 400MHz, 3.3V の並列型の報告もある。1996 年には 200MHz 動作で 0.6 μm -CMOS の 6-bit 並列型が報告されている[6.23]。

(より低電力の 190mW, 400MHz の並列型 A/D 変換器も報告されている[6.24]がシングルエンド設計で、デジタルノイズに対して強い完全差動型の回路ではなかった。)

一方、フォールディング型では 0.5 μm -CMOS デバイスで 400-MHz, 200-mW が報告されている[6.25]。

これらの各種方式の中で、パイプライン方式は低電力で高いスループットを実現できる可能性がある。この長所は、1) 入力容量が小さく、ドライブするバッファが低消費電力にできる。2) 分解能を 6bit から 7bit に上げるに際してそれほど消費電力を上げることなく分解能を上げられる。(並列型の場合は 6bit から 7bit に上げるのに大体倍の電力になるがパイプライン方式の場合には約 1/6 増加するだけで済む。) 点がある。

パイプライン方式[6.26]は 8-bit 以上の分解能の A/D 変換器に使われるのが普通であるが、今回の報告では 6-bit 分解能ではあるが超高速な A/D 変換器の設計手法について述べる。具体的な目標は、(PRML 信号処理で 240Mbps の転送レートを得るため) 255MHz の変換速度

で 200mW 以下の消費電力の A/D 変換器を実現できる回路方式の提案を目標とする。これはパイプライン A/D 変換器としては今までの報告の中で最も高速な変換器である。ただし 255MHz のパイプライン A/D 変換器を直接実現するのは難しいため、パイプライン A/D 変換器を 2 チャンネル並列に並べ、これを並列交互動作、つまりインターリーブ動作させて 255MHz を得ることとした。つまり 1 チャンネルの動作速度は 128MHz である。これでもパイプライン A/D 変換器の動作速度としては最も高速な変換器であった[6.27]。

6.4.2. 先読み方式の高速化への適用

すでに、本章 6.2 節で、提案する先読み方式パイプライン A/D 変換器のアーキテクチャについて説明した。この方式では回路内のクリティカルパスを短縮できるため変換速度を高速にできる。そこでどの程度の高速化が可能であるか、シミュレーションでその効果について検討を行った。本適用例では 0.35 μ m CMOS プロセスを使い 3.3V 電源で設計している。

この変換器の目標速度は上で説明したように 1 チャンネル 128MHz である。まず、従来のパイプライン方式を使った動作速度を検討する。シミュレーションで求めたアンプの安定時間は最悪ケース($V_{cc}=3.0V$, $T_j=140^{\circ}C$, スローデバイス)で 3.9ns, 比較器の比較時間は 2.2ns であった。従って変換時間 T_1+T_2 は 6.1ns であり、これが半クロックサイクルになる。従って得られる変換速度は最悪ケースで 82MHz となる。

それに対して提案する先読み方式では、シミュレーションで最悪ケースを設計した結果、変換時間が 3.9ns で、片チャンネルの変換レートを 128MHz に設計できた。これからパイプライン A/D 変換器に先読み方式を適用することによって 1.5 倍に動作速度を上げることが可能になることがわかる。なお、全体の変換遅延時間はデジタルの 6-bit エンコーダを含めて 8 クロックで設計している。

オペアンプには、低電力化の適用例で示した図 6.15 と同じ構成のアンプを用いた。フォールデッドカスコードの 1 段目とソース接地アンプの 2 段目で構成されるミラー補償 2 段アンプで、高速化に向けてゲインバンド積を 400MHz と設計した。チップ全体のしきい電圧はノーマルのしきい電圧より 0.2V 下げた低しきい電圧 MOS デバイスを使っている。

6.4.3. 2 チャンネル並列交互（インターリーブ）動作による高速化とオフセット調整

先読み方式では、ハードウェア規模に大きな影響を与えずに、パイプライン A/D 変換器の動作速度を約 1.5 倍に高速化できる。しかしハードディスクのリードチャンネルではさらに約 2 倍の高速化が必要であった。そこで A/D 変換器を 2 チャンネル並列に置き、これを交互動作（インターリーブ）させることにより 2 倍の高速動作をさせることを考える[6.28], [6.29]。図 6.24 では、インターリーブされたパイプライン A/D 変換器を示している。

しかし、交互動作（インターリーブ）させる際の問題点は 2 チャンネル間の、

- 1) ゲインミスマッチ、
- 2) タイミングミスマッチ、
- 3) オフセットミスマッチ、

である[6.27]-[6.29]。ただし分解能の目標は 6-bit のため、ミスマッチはそれほど厳しいものではない。ここではこれらミスマッチの影響について解析し対策を述べる。リードチャンネルとしての等化誤差およびビットエラーレート(BER)へのミスマッチの影響については、PRML への応用の 6.4.5.1 節で議論する。

まず、2 チャンネル間ゲインミスマッチは、サンプルホールド回路に使っている容量のミスマッチが 10-bit 精度程度であることから、ゲインミスマッチを 10-bit 程度と考えることができほぼ問題とならない。

タイミングミスマッチは、偶数側、奇数側のサンプルタイミングに Δt のずれがあるとサンプル信号に ΔV の誤差が生じる。もし入力信号が最大周波数 f_m の正弦波であると、最大誤差は信号の変化率が最も高いところ、つまりゼロクロス時に起きる。誤差電圧 ΔV の大きさを 1LSB 以内の大きさに収めるならば、サンプリングタイミングずれ Δt は式(1)の値以下で無ければならない。

$$\Delta t \leq \frac{V_{LSB}}{\pi \cdot f_{in} \cdot V_{ref}} = \frac{1}{2^N \pi \cdot f_{in}} \quad (1)$$

PRML 信号処理回路に入ってくる信号周波数主成分はクロック信号の約(1/4)以下である。つまり $f_m=63.75\text{MHz}=255\text{MHz}/4$ 。従って 6-bit レベルで許容できるタイミングミスマッチは上式から 80ps 以下と計算できる。これを実現するためには、偶数と奇数のクロック 128MHz は、255MHz のマスタークロックで再サンプリング(リタイミング)することが有効である。

さらにクロック発生回路とサンプリングタイミングを決める初段のサンプルホールド回路へのクロック分配回路のレイアウトを改良して 80ps 以上のタイミングミスマッチが起きないように工夫することとした。

第3番目のミスマッチ、すなわちオフセットミスマッチが最も問題であった。図 6.25 に前もって試作して実測した2チャンネル間オフセットミスマッチの大きさを LSB 単位でプロットした。

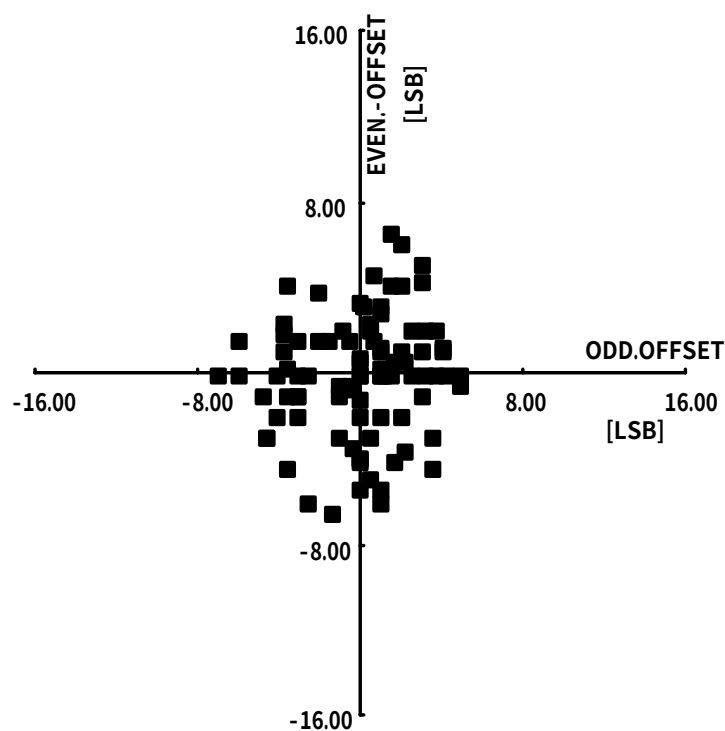


図 6.25 実測した偶数側、および奇数側 A/D 変換器のオフセット電圧分布

これは A/D 変換器のオフセットだけでなく、A/D 変換器の前に置くバッファアンプのオフセットばらつきも含んでいる。またパイプライン A/D 変換器のデジタル誤差補正のため初段アンプのオフセットだけでなく全ステージのオフセット誤差も含んでおり、全体で 50 トランジスタ程度がオフセットに影響している。オフセット電圧は 6LSB (50mV ; 1 LSB=7.8mV) を超えることも有った。オフセット電圧が大きい原因は、A/D 変換器の動作速度を高速にするために、最小ゲートサイズ L_{gmin} を使っているからと考えている。

対策として、図 6.24 に示すように偶数側、奇数側の各 A/D 変換器ごとにオフセット調整用 D/A 変換器を置くこととした。D/A 変換器の 1LSB は A/D 変換器の 1LSB の(1/4)として、

オフセット調整後の誤差を(1/4)LSB 程度とした。

6.4.4. 提案手法を適用した 255Mps 6-bit A/D 変換器の試作結果

まず A/D 変換器の性能評価から始める。0.4 μm CMOS プロセスで 3.3V 電源の回路として設計、評価した。チップ写真は 6.4.5 節で示す。A/D 変換器単体の性能として測定した項目の評価結果は以下の通り。

微分非直線性 DNL は図 6.26 に示すように $\pm 0.4\text{LSB}$ 以内であった。また 255-Mbps でのビートサイン波形は図 6.27 に示すようにミスコードやスパークルノイズも無くきれいに変換できている。図 6.28 は測定したコンバータの有効ビットである。歪を含めた SNDR と、歪を含めずノイズと信号のパワー比のみ取った SNR のデータがある。どちらの場合も 255MHz の変換レートで必要なスペックの 5-bit を超えている。

300 MHz で SNDR が 5 bit を割っているが、A/D 変換器のサンプルホールドアンプとバッファ・アンプの電流を増すと 5-bit の有効ビットを得ることができることを確認している。消費電流は 61mA で消費電力は 200mW であった。

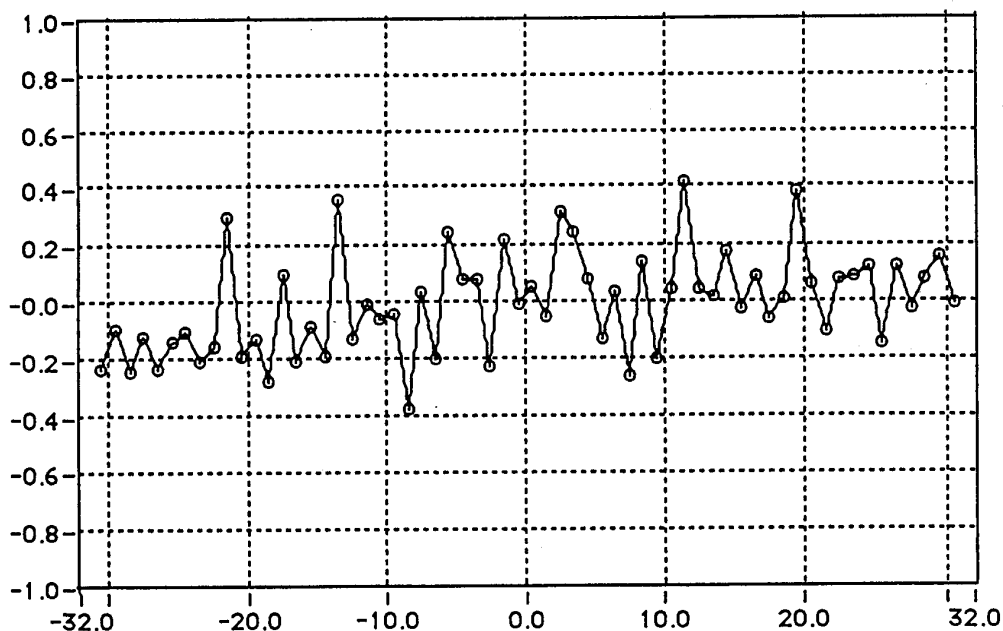


図 6.26 A/D 変換器の実測微分非直線性

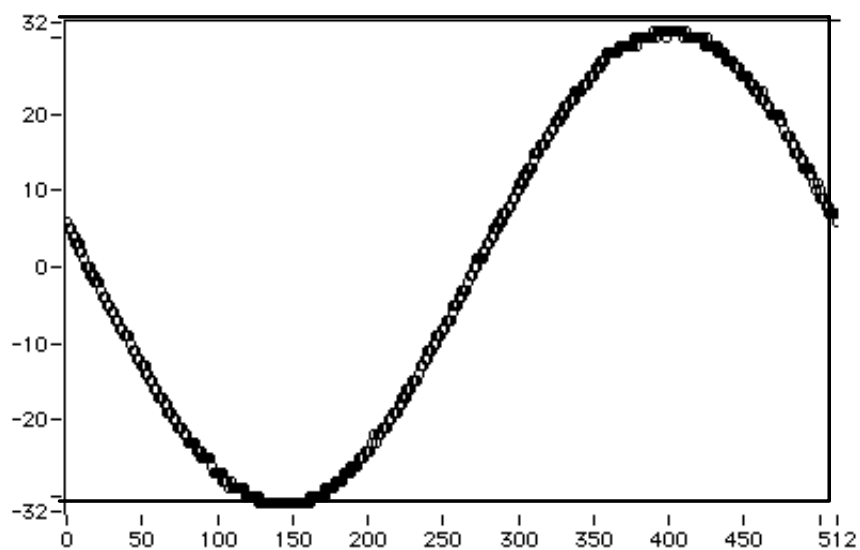


図 6.27 ビート波形 ($f_{clk}=255\text{MHz}$, $f_{in}=(1/4)f_{clk}$)

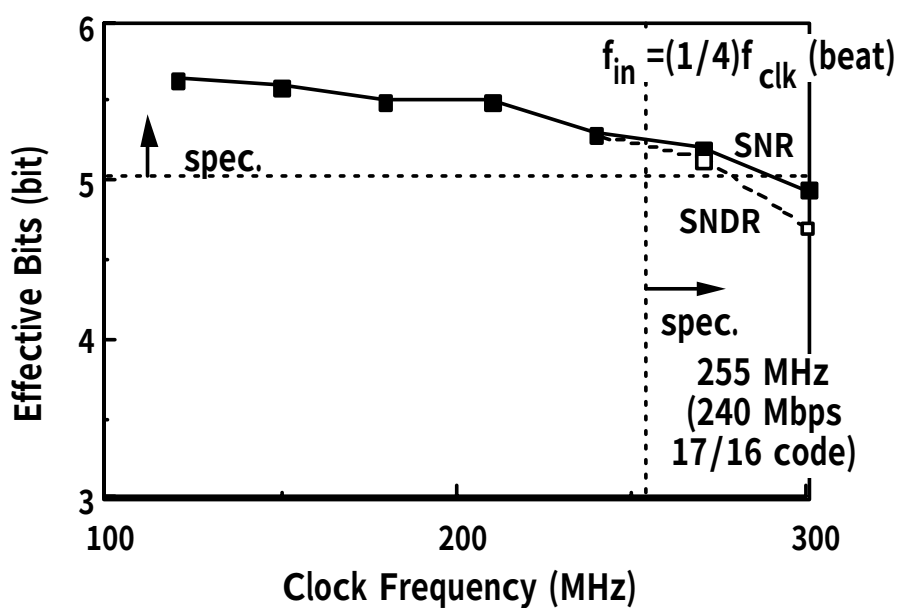


図 6.28 A/D 変換器の有効ビットのクロック周波数依存性

6.4.5. ハードディスク・リードチャンネル (EPRML チップ) への応用

ハードディスク用リードチャンネルチップでは、A/D 変換器の他に PLL など関連技術を開発してリードチャンネルを実現した。本節ではインターリーブでのオフセット調整技術等について簡単に報告する[6.6]-[6.8]。

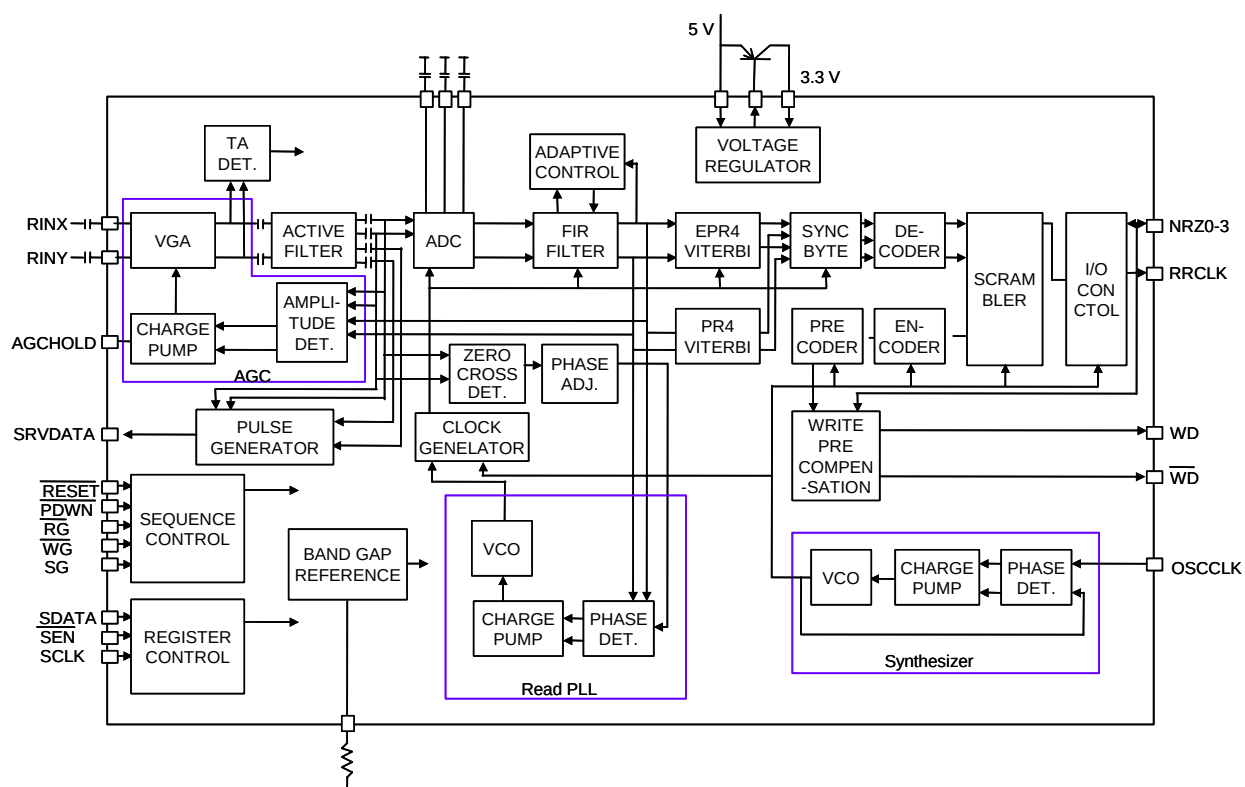
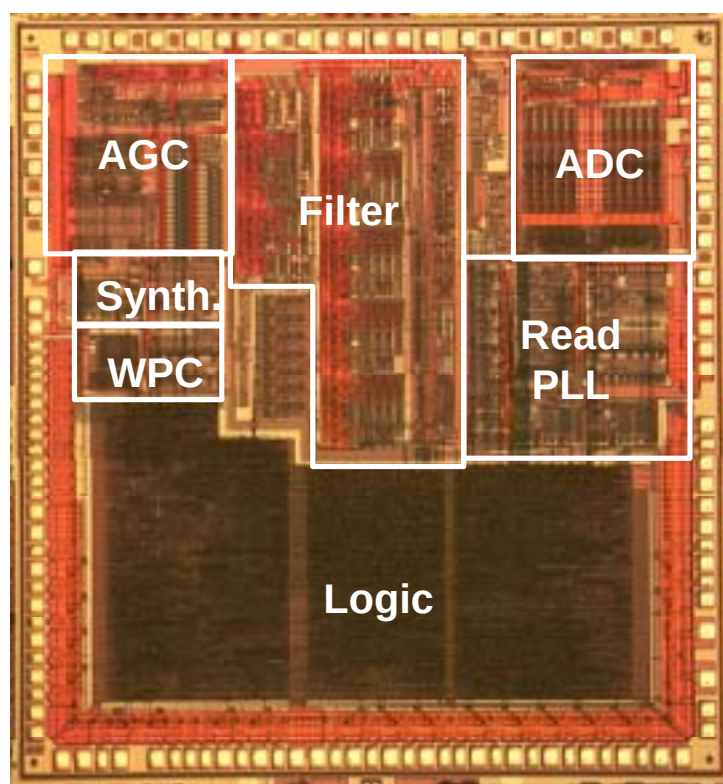


図 6.29 リードチャンネル・ブロック図



0.4- μ m CMOS

4.8 x 5.2 mm²

図 6.30 チップ写真

図 6.29 に簡単化したチップのブロック図を示す。図 6.30 はチップ写真である。フィルタはカットオフ周波数 f_c がプログラマブルな 7 次等リップルアクティブフィルタで、10dB のゲインブースト機能があり、このフィルタ技術については ISSCC 1997 で報告した[6.30]。

デジタル信号処理部では 7 タップのデジタル FIR フィルタを用いて 6.4.5.1 節で説明する PR4 (Partial Response class 4) および EPR4 (Enhanced PR4) への波形等化を行う。また、EPR4 および PR4 用のビタビ判定器、16/17 エンコーダを持つ。デジタル信号処理部は 35,000 ゲート、改良されたトランスフォームド・トレリス構造[6.31]をビタビ判定器に使う。このトレリス構造は従来の radix-4 の回路規模を約半分に削減している[6.32]。

一方書込み機能では、周波数シンセサイザが書込み周波数を調整し、さらに遅延時間調整としてクロックサイクルの 40% までの遅延時間調整プリコンペンセーションが可能である。

この EPRML チップは 80 から 240Mbps までのデータレートを扱うことができる。64-pin 薄型クワッド・フラット・パッケージ(QFP)、チップサイズは $4.8 \times 5.2 \text{ mm}^2$ である。

6.4.5.1. オフセット補正のリードライトチャンネルでの効果

リードチャンネルでは、A/D 変換されたデジタル信号が FIR フィルタで波形等化される。本チップではパーシャルレスポンス（符号間干渉を許容して受信帯域の利用効率を高める方式）PR4 (Partial response class 4) 波形等化を行っており、PR4 等化波形は 3 値に収束する。図 6.31 に FIR 等化器出力で取った PR4 等化状態のヒストグラムを示す。PR4 等化ではサンプル波形は +1, 0, -1 の 3 種類に等化される。横軸の A/D 変換器フルスケール電圧は +32/-31LSB、等化ターゲット電圧は +24, 0, -24LSB である。

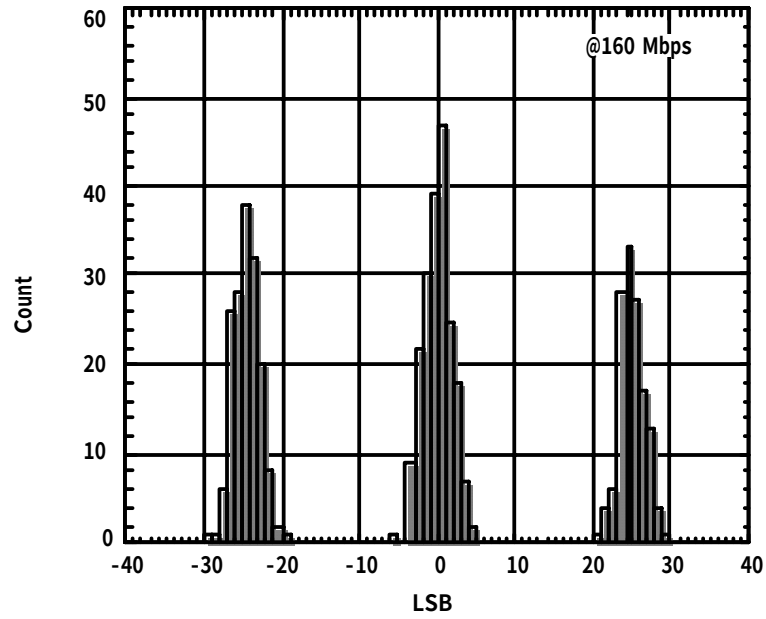


図 6.31 PR4 で(-1, 0, +1)に等化したときの出力分布

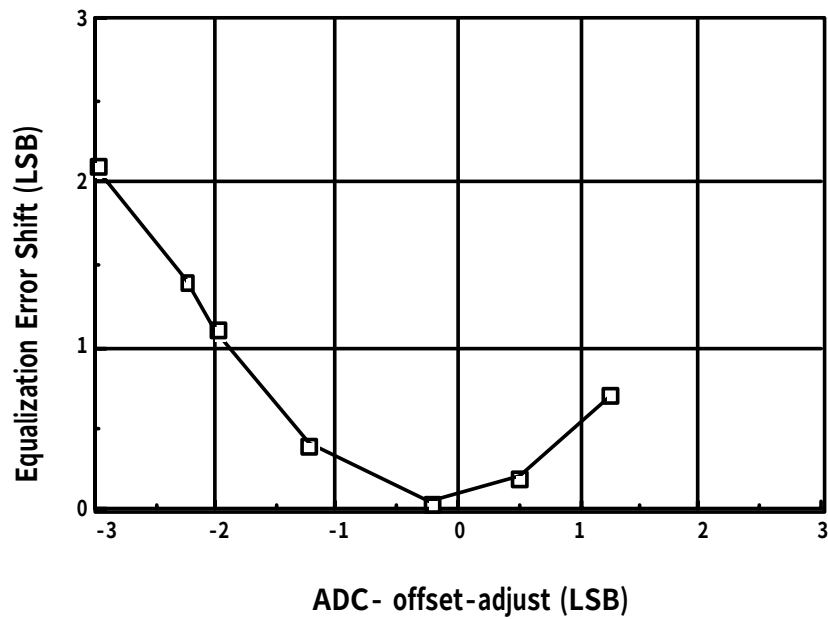


図 6.32 等化誤差へのオフセットミスマッチの影響

もしインターリーブ（交互動作）された A/D 変換器の偶数側と奇数側の間にオフセットがあると、図 6.31 に示すヒストグラムの+24, 0, -24 のピークが偶数側、奇数側に応じてそれぞれ2つのピークに分かれ等化誤差が増加する。したがってオフセットミスマッチは最

終等化値では最小限に小さくしなければならない。そのため、図 6.24 に示すように偶数側、奇数側の各 A/D 変換器ごとにオフセット調整用 D/A 変換器を置き、D/A 変換器 1LSB を A/D 変換器 1LSB の(1/4)に設定する。

D/A 変換器によるオフセット調整は、シングル A/D 変換器オフセット調整モードと、トータル等化器出力オフセット調整モード、の 2 種類の調整モードで行われる。

第 1 モードでは、A/D 変換器が使われていないアイドルモードのとき、A/D 変換器入力をショートして A/D 変換器オフセット電圧を出力のデジタルデータで検出する。この動作を例えば 32 回繰り返した後の平均値をオフセット調整用 D/A 変換器にセットして、オフセットキャンセルを行う。

第 2 モードでは高精度のダイナミックオフセットキャンセルを行う。PR4 の等化では出力が+24, 0, -24 にクラス分けされる。これらの 3 レベル周辺の平均値を、偶数サンプルと、奇数サンプルとを別々に平均を取ることでより正確にオフセットの大きさを推定できる。計算したオフセットの大きさはオフセット調整用 D/A 変換器にセットし補正する。これにより等化誤差が小さくなる。

図 6.32 にオフセットミスマッチが増加したときの等化誤差の増加を示す。これは実験的にオフセット調整用 D/A 変換器で偶数チャンネルと奇数チャンネルにオフセットを与え等化誤差への影響を実測したものである。

等化誤差 E_{qErr} は等化されたデータがどの程度ターゲットの+24, 0, -24 に集中しているかを示す統計的な値であり次の式で計算される。

$$E_{qErr} = \frac{1}{N} \sum_i^N |X_i - \hat{X}_i| \quad (2)$$

$$\begin{aligned} \hat{X}_i &= -24, & \text{if } X_i \leq -12 \\ &= 0, & \text{if } -12 \leq X_i \leq +12 \\ &= -24, & \text{if } +12 \leq X_i \end{aligned}$$

図 6.32 に示されるように、オフセットが ± 1.5 LSB を超えると等化誤差が増加し、 ± 1 LSB

以下のオフセットでは等化誤差に弱い影響しかないと分かる。したがって 1LSB の(1/4) ステップずつのオフセット調整で十分といえる。

このことを確かめるため、オフセットミスマッチによるビットエラーレートの劣化を実測した。図 6.33 はオフセット電圧ミスマッチに関するビットエラーレートのバスタブ曲線である。図において横軸 1 単位の移動は偶数チャンネルと奇数チャンネルの間にオフセットミスマッチが(1/4)ADC-LSB 発生した場合に相当する。最も外側の曲線はアナログ入力に雑音を加算されていない場合のエラーレート特性で、2 番目に外側にある曲線は得られる最大の SNR に対して 1dB 低いノイズを与えたときのエラーレート特性である。また最も内側の曲線は得られる最大の SNR に対して 1dB 多いノイズを与えたときのエラーレート曲線である。この 3 番目の曲線が示すように、曲線の底部の中央部ではビットエラーレートはオフセットミスマッチにそれほど敏感ではない。図 6.33 中の上向き矢印は第 1 オフセット調整モードでのオフセット調整 D/A 変換設定値である。この値はエラーレートの最も良くなる点（最下部）と $\pm 1/4$ LSB の範囲で一致しており、オフセット調整手法がチップの中で上手く機能していることを示している。

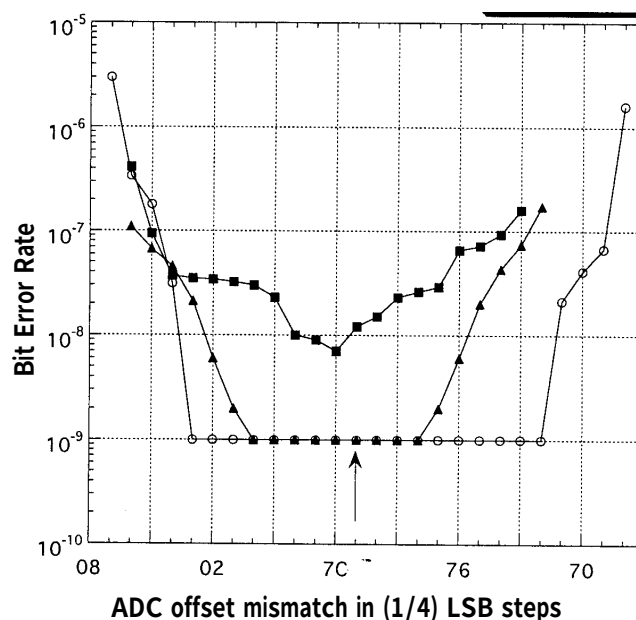


図 6.33 ビットエラーレートへのオフセットミスマッチ電圧の影響

6.4.5.2. リードチャンネルの全体評価

リードチャンネル全体の消費電力とビットエラーレートを測定した。図 6.34 は転送レートに対する消費電力である。240Mbps 動作速度で 3.3V 電源電圧、消費電力は 1.02W。電流内訳は、デジタル部 150mA、A/D 変換器 61mA、アクティブフィルタ 30 mA、AGC 25mA、PLL 20mA、他のアナログ回路 23mA である。

測定した入力信号 SNR に対するエラーレートを図 6.35 に示す。テスト波形は任意波形発生装置で生成した。240-Mbps の時 24.5dB の十分な SNR を得た。これは以前開発した PR4 リードチャンネルに対して 2.2dB の改善であり理論的に予測した値と非常に近い値である。供給電源電圧 5V に $\pm 0.5V$ の変動があっても内蔵レギュレータにより発生する 3.3V 電圧は $\pm 0.1V$ 以内に収まっている。電源電圧変動と温度変動による SNR の劣化はおよそ 0.25dB であった。

表 6-3 に LSI の性能を纏める。次世代のハードディスクドライブに向けた低電力高速のリードチャンネルを実現することができた。

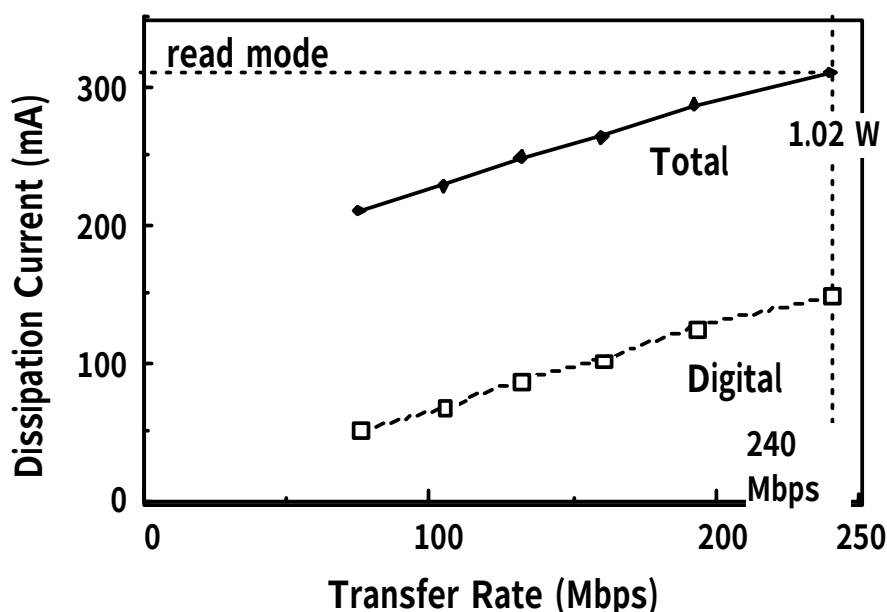


図 6.34 リードチャンネルの消費電力の転送レート依存性

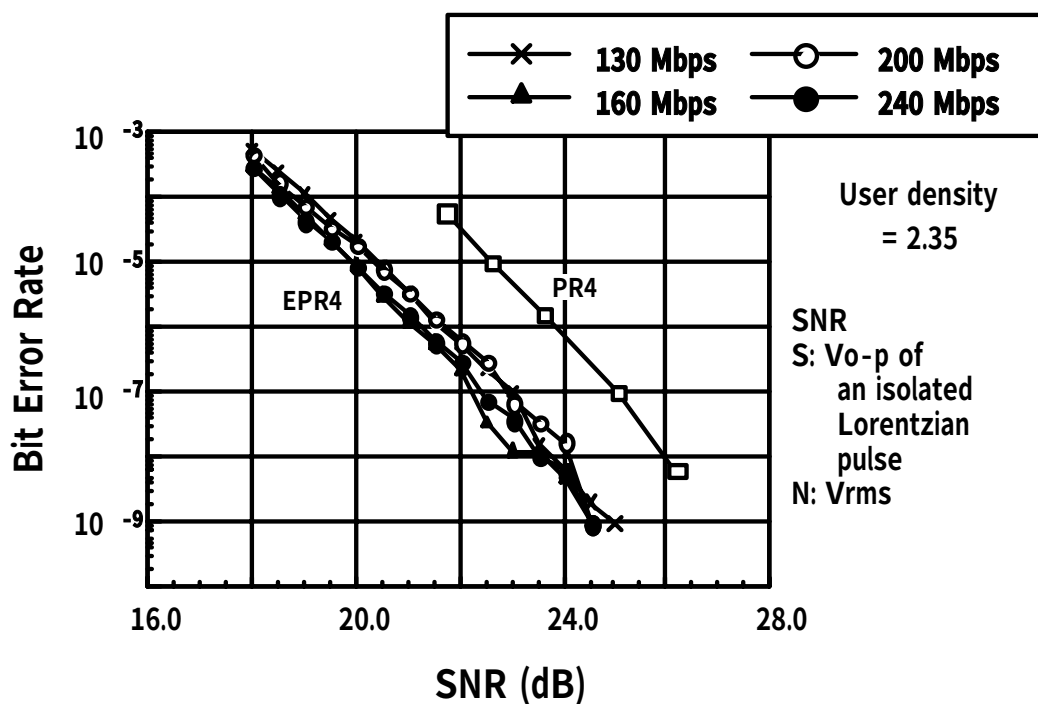


図 6.35 任意波形発生装置テスト波形で実測したリードチャンネルのビットエラーレート

表 6-3 PRML チップの性能

Maximum transfer rate	240 Mbps
Process	0.4- μ m CMOS
Power supply voltage	3.0 - 3.6 V
Power consumption	1 W (read mode)
Viterbi detector	EPR4/PR4
Code	16/17
Active filter cut-off frequency	10 - 70 MHz
Digital equalizer	7-tap FIR

6.5. 結論

パイプライン A/D 変換器の高速・低電力化について検討し、先読み方式と名づけた手法を提案し、高速化・低電力化が可能になることを示した。先読み方式は従来のパイプライン A/D 変換器の規模をほぼ変えることなく、1.5 倍程度に高速化することができ、また低電力化では従来のアンプ電流を半分以下程度に低電力化できる効果がある。

従来のパイプライン A/D 変換器では、各パイプライン段で残差電圧が整定してからその段でのビットを判定していた。これに対して先読み方式では、現在の段ではなく、前の段の残差増幅電圧を使い、また前の段のビット判定結果によって、その段の内部 A/D 変換器のしきい電圧をマルチプレクサで変更することによって正しい判定結果を得る方法である。これによって現在の段の残差電圧増幅整定を待たずに正しいビット出力を得ることができ高速化できる。原理説明は 1-bit/ステージで行ったが、実際の回路実装は 1.5-bit/ステージで行え、冗長ビットを使うことにより比較器のオフセットによる線形性の劣化を抑えることができる。

この提案する手法を、低電力化が重要な適用例と、高速化が重要な適用例にそれぞれ適用し、低電力なパイプライン A/D 変換器と、高速なパイプライン A/D 変換器を開発した。

低電力 A/D 変換器への適用では、Bluetooth 送受信機に用いる 6-bit の A/D 変換器として検討を行った。先読み方式によれば、13MHz クロックを使う A/D 変換器のオペアンプで電流を 600 μ A から 250 μ A に低減できることを示した。

実際この技術を適用した例として、6 ビット 13MHz パイプライン A/D 変換器を 0.35 μ m プロセスで設計し試作した。その結果 A/D 変換器全体の消費電力は 2.8V の電源電圧で 3.2mA を達成した。残留したオフセット電圧は 4mV であり、変換器の面積は 0.78mm² である。またこの A/D 変換器を Bluetooth 送受信機の A/D 変換器として適用し、Bluetooth 送受信機としての十分な性能を得ることができた。

高速 A/D 変換器への適用では、ハードディスクのリードチャンネル用高速 A/D 変換器として設計に適用した。リードチャンネルの 128MHz A/D 変換器の設計において、先読み方式は従来方式に比べて約 1.5 倍の高速化が達成できる。

本応用では、さらに高速化を達成するため、2 チャンネルの A/D 変換器を並列に並べ交互動作させ 2 倍の動作速度を得た。2 チャンネルの間のオフセットミスマッチは、2 チャン

ネルそれぞれに設けた D/A 変換器により、 $(1/4)\text{LSB}$ の精度で調整できるようにした。オフセット調整機構として、1) 入力ショートさせたときに得られるオフセット電圧をオフセット調整電圧として用いるモード、と 2) 等化サンプルの値が PR4 の等化ターゲット値である +1, 0, -1 の周りに集まることを利用して、奇数、偶数チャンネルごとにターゲット値の周りの平均値を使うことによりオフセット値を求めるモードを設けた。

先読み方式および並列交互動作方式を採用した本適用例では、6-bit 255Msps で、消費電流 61mA（消費電力 200mW）の A/D 変換器を実現した。

本 A/D 変換器を適用したハードディスクリードチャンネル LSI は、 $0.4\text{ }\mu\text{m}$ プロセスを使い、3.3V 電源電圧を使うことで、チップ消費電力を低減し、240-Mbps, 1-W の性能を達成し、読出し信号の S/N 比が 24.5dB においてビットエラーレートが 10^{-9} 乗で、発表当時世界一の性能を達成した。

7. 回路技術によるパイプライン A/D 変換器の低電力化

7.1. 回路技術による低電力化

本論文では第3章から第6章にて、A/D 変換器の方式を工夫して低電力・高速化を実現する方法について議論してきたが、回路技術による低電力化も可能である。

本章では、7.2 節にて、低電力化の中でも最も効果が大きいと考えられる低電源電圧化について議論する。デジタル回路は比較的容易に電源電圧を下げられるがアナログ回路には課題が多く容易には下げられない。以下本節ではパイプライン A/D 変換器に用いるオペアンプの低電源電圧化を議論する。この手法はパイプライン以外の、サイクリック型や、他のオペアンプを用いる A/D 変換器、さらに一般のスウィッチドキャパシタ回路にも用いることができる。

また、ここまで述べてきた A/D 変換回路ではデジタル回路からの雑音の影響を避けるため完全差動型の回路を採用している。完全差動回路では正の出力電圧 V_{out+} および負の出力電圧 V_{out-} の差で出力信号の大きさを表すため、 V_{out+} 、 V_{out-} に共通に加算されるデジタル雑音の影響を大幅に低減できる。しかし一方、出力電圧 V_{out+} と V_{out-} がオペアンプ出力電圧範囲の中央にあるように動作させる必要があり、それを実現する同相負帰還回路が必要で、消費電力が大きくなってしまいう問題があった。またオフセットのない高精度オペアンプ回路を作るためには、アンプの入出力を短絡してオフセット電圧を入力容量に吸収させるなどのテクニックを使う必要があるが、オペアンプを2段の増幅回路で実現すると同相信号に対して正帰還が発生し回路動作が不安定になる可能性があった。本章 7.3 節ではこれらの問題を解決する回路技術について述べ、2.7V 電源での実現例について報告する。

7.2. 二重フィードフォワード補償アンプによるパイプライン A/D 変換器の低電源電圧化

概要：

デジタル携帯無線機や PDA などポータブルシステムに向けて、低電力を達成するため 1.2V などの低電源電圧ミックスドシグナル LSI 技術が必要とされてきている。本節では二重フィードフォワード補償アンプによる実験的な 1.2V 電源パイプライン A/D 変換器について報告する。A/D 変換方式には、オペアンプのゲインバンド積を大きく設計できれば、高速な変換レートが得られるパイプライン方式が優れていると考えられる。アンプのゲインバ

ンド積を大きくするため、フィードフォワード位相補償を使った3段アンプを提案する。フィードフォワードを使って高周波成分を2段目アンプに直接伝えることにより2段目のゲインバンド積を完全に利用することができる。ただしフィードフォワード容量は正帰還パスに接続するためアンプ精度が劣化する副作用がある。この問題はフィードフォワード補償アンプの2段目の等価的な増幅度を上げることによって小さくすることができる。提案するアンプのゲインバンド積は従来のミラー補償アンプのゲインバンド積に比べて2倍～2.2倍程度優れている。これらの技術を使った適用例として、1.2V CMOS 技術で、9bit, 2-Msample/s、消費電力が4mW のA/D変換器を実現した[7.1]-[7.8], [7.16]。

7.2.1. 背景

良く知られているように CMOS 基本ゲートの消費電力は電源電圧の二乗に比例するので、電源電圧を例えば2V以下に下げるとはミックスドシグナルLSIのデジタル部消費電力を低減するために非常に効率的である。しかし、この電源電圧低減は従来のアナログ回路の動作を不可能にさせてしまう可能性がある。本研究の目的は、1.2Vで動作する例えば9bit, 2-MHzのA/D変換器を実現し、これらを使った低電圧動作のアナログデジタルミックスドシグナルLSI技術を作り上げることである。

従来、低電圧のアナログインターフェイスとしては、2Vで動作するゲインエンハンスメント技術を使ったCMOSアンプが報告されている[7.9]。また、2V電源の電流モードA/D変換器も報告されている[7.10]。しかしながらこれらの電源電圧はここで考えているターゲット電圧1.2Vよりも少し高いものであった。1.5V電源のBiCMOS A/D変換器も報告されているが[7.11]高精度のコンパレータ回路を実現するためにBipolarデバイスが必須でありCMOSでの実現例は無かった。オーバーサンプリングA/D変換器については、松谷他が1-V電源電圧の380kHzクロックレートのA/D変換器を実現している[7.12]。しかし、これはシングルエンド設計でかつ、かなりゆっくりした変換レートの変換器であった。ここで考えているターゲットは、完全差動で、純粋にCMOS回路で作られており、少なくとも2MHzの変換レートで、9bit分解能を持ったオーバーサンプル型でない（ナイキストレートの）A/D変換器を設計することである。

本技術の実証には、0.3 μm のLDB(Laterally Doped buried layer) CMOS [7.5] 1.2VアナログデジタルミックスドシグナルLSI技術を用いて、しきい電圧には $\pm 0.4\text{V}$ を採用した。

7.2.2. 低電圧・低電力アナログ回路の問題点

アナログ回路の低電圧化・低電力化の問題はアーキテクチャレベルから回路レベルまで広がっている。第一の課題は、低電圧・低電力に適した A/D 変換方式を探し出すことであり、これについて次の 7.2.3 節で議論する。第二に、回路設計では、電源電圧低下を阻害する要因を解決する必要がある。低しきい電圧のデバイスは、アナログアンプの動作電圧範囲を広げるのに本質的に重要で、7.2.6 節で議論する。第三に、たとえ低しきい電圧のデバイスを使ったとしてもゲインバンド積が高い広帯域アンプを設計するのは依然として難しい課題である。従来のカスコード型アンプ回路は 1.2V 低電源電圧では動作せず高性能アンプが設計できないからである。これへの解として新しい縦続アンプでフィードフォワード周波数補償アンプを提案する (7.2.4 節)。四番目の問題は、7.2.5 節で議論するようにアナログスイッチの問題である。従来の 0.7V のしきい電圧のデバイスでは 1.2V 電源ではスイッチがオンすらしない。しきい電圧を 0.4V に下げることにより MOS スwitch のオン抵抗を $2\text{k}\Omega$ 程度までに下げることができ、従って 1.2V 電源の 2MHz 動作のパイプライン A/D 変換器を実現することができる。

7.2.3. 低電圧向けの A/D 変換器アーキテクチャ

高速な A/D 変換器のアーキテクチャとしてはいくつかの方式がある。例えば並列（フラッシュ）型、サブレンジ型、パイプライン型などである。このうち並列型は最も高速な変換を実現する能力を持っている。しかしながら低電圧電源の場合には、入力信号レンジが小さいので高精度コンパレータ回路が必要になる。9 ビット分解能の場合、入力信号レンジが 1V_{pp} であれば、 $(1/2)\text{LSB}$ の精度が必要として 1mV の高精度が必要になり、1.2V の低電圧で MOS デバイスを使ってこのような高精度のコンパレータを実現するのは困難である。同じ問題が増幅アンプを使わないサブレンジ A/D 変換器でも起きる。M. Hasegawa [7.11] 等は 1.5V のサブレンジ型に BiCMOS を使ってコンパレータ精度を改善し、A/D 変換器を実現しているが、MOS デバイスにとってはそれは依然課題である。

一方パイプライン変換器[4.8]図 7.1 は、オペアンプが動作できれば低電圧動作にも適している。内部のサンプル・ホールド・アンプ(S/H)が、各段でのアナログ信号と DAC 再生信号との差信号を、2 倍、または、4 倍、8 倍等に増幅する。したがってコンパレータの精度を緩和することができる。さらに図 7.2 に示すようにパイプライン動作のため、

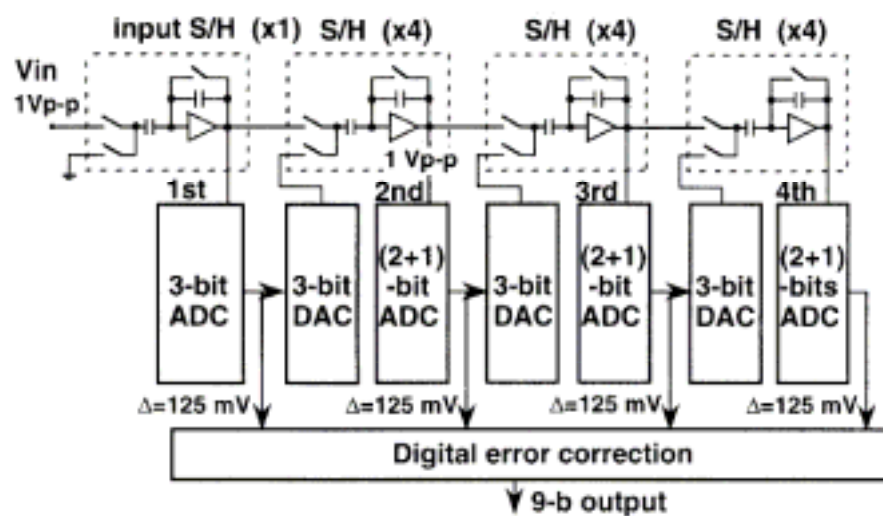


図 7.1 9ビットパイプライン A/D 変換器のブロック図
(簡単化のためシングルエンドで描画)

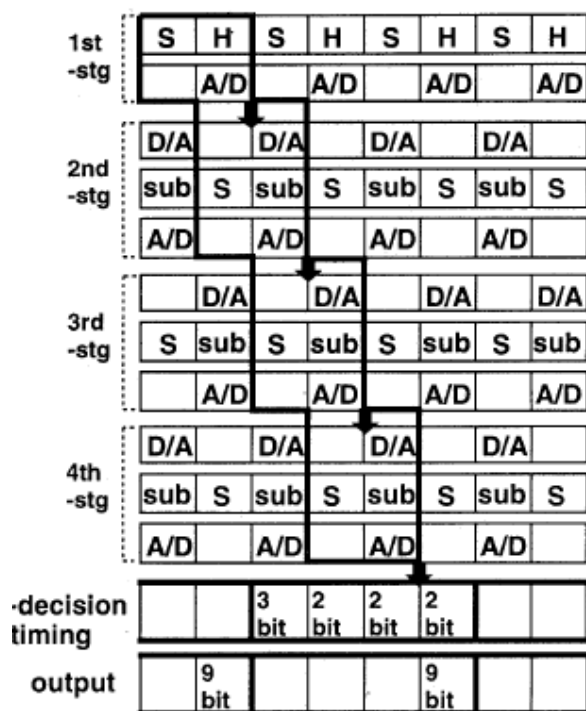


図 7.2 9ビットパイプライン A/D 変換器のタイミング図

各パイプライン段の速度が遅くとも高いスループットを実現することができ、低電力 A/D 変換器を実現することができる。残る問題は低電圧アンプ回路の問題である。パイプライン A/D 変換器では低電圧で動作する高ゲイン高ゲインバンド幅のオペアンプが必要になる。提案するフィードフォワード補償アンプはこの問題に対する一つの解決策である。

7.2.4. フィードフォワード補償アンプ

7.2.6 節で述べるが、しきい電圧を下げることにより単純な差動アンプは 1.2V 電源でも動作する。しかしながらアンプのゲインは 1 段では不十分である。特に $0.3\ \mu\text{m}$ 微細プロセスでは、短チャンネルデバイスのためチャンネル長変調効果を受け、トランジスタ出力抵抗が低下してしまう。したがって、高いゲインを 1 段で実現することはできない。さらに 2 段のアンプ段でもオペアンプとしては十分なゲインにはならない。ゲインを増す一つの方法は、アンプを従続に接続することであるが、その高ゲインアンプをフィードバックのかかったオペアンプとして用いるときには位相補償の問題を解決しなければならない。そこで、従来のミラー補償より高いゲインバンド積を得られる新しい位相補償方法を提案する。

7.2.4.1. フィードフォワード補償

提案するフィードフォワード補償は低電圧での得られるゲインバンド幅を最大化できる。回路を図 7.3 に示す。これは完全差動型 3 段アンプ回路で、各アンプは + 入力端子、- 入力端子の差動信号が入力信号となり、+ 出力端子、- 出力端子の差動信号が出力信号となる。完全差動型は低電源電圧で電圧の利用効率を 2 倍に高めるためにも役立つ。

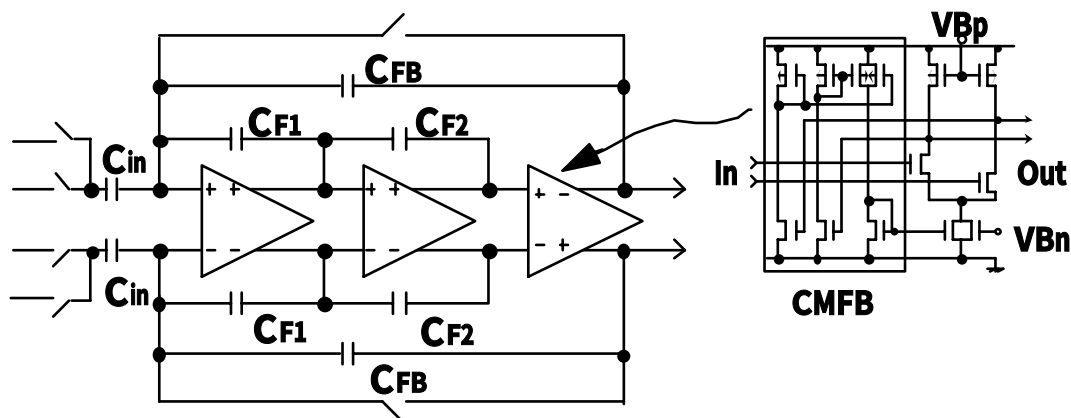


図 7.3 ダブルフィードフォワード S/H アンプ

1 段目、2 段目のアンプは正相アンプ、3 段目のみ反転アンプである。したがって 3 段目出力から 1 段目入力へ容量 C_{FB} で図のように帰還をかけると、低周波領域で負帰還になって、周波数が高い領域でも負帰還で安定性が保たれるなら、オペアンプとして利用できる。

提案する図示のフィードフォワード補償では、1 段目アンプで、+入力端子および+出力端子間にフィードフォワード容量 C_{F1} が接続されている。また-入力端子、-出力端子間にも C_{F1} が接続されている。また 2 段目アンプの入出力端子間にも C_{F2} が接続されている。これがここで提案するフィードフォワード補償である。1 段目のアンプを通る信号は高周波領域で減衰するが、入力から C_{F1} を通って 2 段目入力に伝わる信号（フィードフォワード信号成分）は高周波でも減衰しない。フィードフォワードにより高周波での利得の減衰を小さくし、かつ 1 段目アンプで起きる位相遅れがフィードフォワード信号により回復することを期待している。

なお、このフィードフォワード接続を 1 段目出力から 1 段目入力への接続と考えると正帰還になっていて発振するように見える。しかし後で述べるようにアンプ回路全体として負帰還になるようにパラメータを設計すれば安定な動作が得られる。

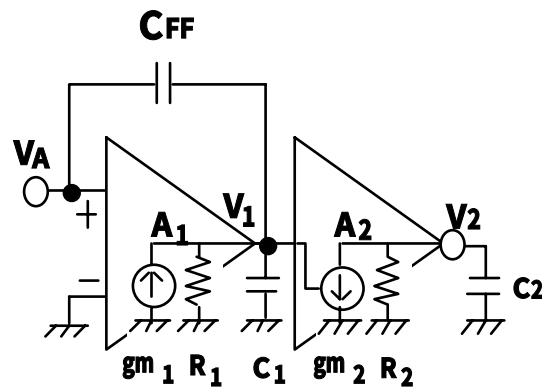
図 7.4 に 1 段目アンプおよび後段の、シングルエンド表示等価回路を示す。1 段目は、+側入力端子と+側出力端子を接続しているので、 gm の向きが通常の反転アンプと逆になっていることに注意が必要である。

V_A から V_1 への伝達関数を求めると、ノード V_1 のキルヒホッフの電流側で V_1 から流れ出す電流を正として、

$$-gm_1 V_A + \frac{V_1}{R_1} + \frac{V_1}{\frac{1}{SC_1}} + \frac{V_1 - V_A}{\frac{1}{SC_{FF}}} = 0 \quad (1)$$

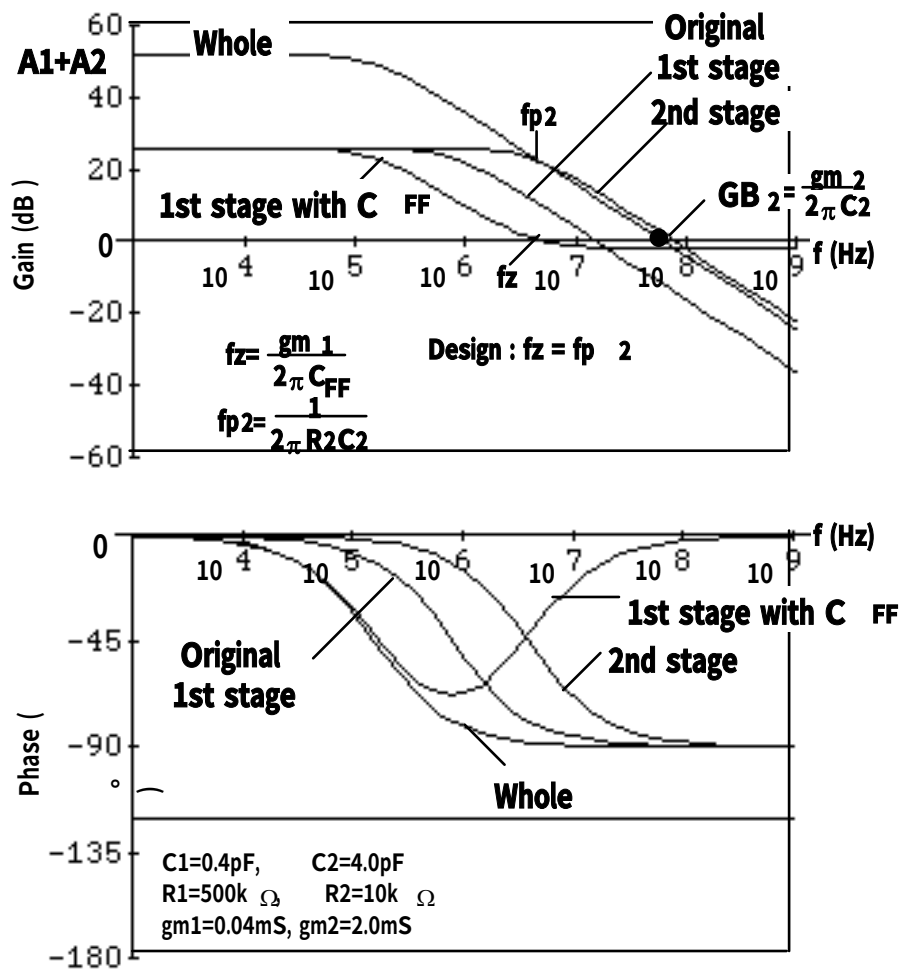
となり、伝達関数は、下式となる。

$$\frac{V_1}{V_A} = gm_1 \cdot R_1 \cdot \frac{\left(1 + \frac{s}{\frac{gm_1}{C_{FF}}}\right)}{\left(1 + \frac{s}{\frac{1}{R_1 \cdot (C_1 + C_{FF})}}\right)} \quad (2)$$



(a)

図 7.4 (a) フィードフォワード補償アンプ



(b)

図 7.4 (b) ポール・ゼロキャンセル・フィードフォワードアンプの位相補償

ここで gm_1 , R_1 , C_1 は 1 段目のトランスコンダクタンス、出力抵抗、負荷容量である。

この周波数特性は、ポールが $p = \frac{1}{R_1(C_1 + C_{FF})}$ で、ゼロ点が $\omega_z = -\frac{gm_1}{C_{FF}}$ となる。このゼロ点は負であり、左半平面に位置することに注意が必要である。

通常の負帰還増幅器の入出力を結ぶ容量 C_{FB} がある場合、伝達関数に現れるゼロ点は $\omega_z = +\frac{gm_1}{C_{FB}}$ で、右半平面に位置し、伝達関数の分子は $\left(1 - \frac{s}{\omega_z}\right)$ を含み、 ω_z が正なので、位相は $-\tan^{-1}\left(\frac{\omega}{\omega_z}\right)$ と負の値になる。言い換えると、左半平面のポールと同様に、右半平面のゼロ点はより位相をシフトさせ、位相遅れを大きくする。さらにボードの近似から、このゼロ点は利得の絶対値が下がらないように働くため、利得交点を原点から遠ざける。この結果著しく安定性が損なわれる。

これに対して、+入力、+出力同士を接続する提案するフィードフォワード補償では、ゼロ点は $\omega_z = -\frac{gm_1}{C_{FF}}$ で、左半平面に位置し、高周波になれば位相遅れを戻す方向へ働く。

ここで図 7.4(a)の 2 段目アンプも含めて伝達関数を考えると、次式になる。

$$\frac{V_2}{V_1} = gm_1 \cdot R_1 \cdot \frac{\left(1 + \frac{s}{\frac{gm_1}{C_{FF}}}\right)}{\left(1 + \frac{s}{\frac{1}{R_1 \cdot (C_1 + C_{FF})}}\right)} \cdot \frac{gm_2 \cdot R_2}{\left(1 + \frac{s}{\frac{1}{R_2 C_2}}\right)} \quad (3)$$

この 2 段アンプの周波数特性を次のよう設計することを考える。初段 A_1 を低電力の狭帯域アンプ、2 段目 A_2 を広帯域アンプとする。初段アンプ A_1 は低周波領域で図にあるように 25dB 程度のゲインを持ち、ポール周波数以上になると利得が低下し始め、0dB 周波数以上

では利得が1以下になる。一方、フィードフォワード容量 C_{FF} を通して1段目出力に伝わる信号は、低周波ではアンプ A_1 を通して出力に伝達される信号に対して小さいため無視されるが、アンプ A_1 の信号が 0dB になる周波数以上の周波数領域では、利得が1で伝わるためドミナントな成分になる。このため、図 7.4 (a)の利得特性で、1st stage with C_{FF} と示した高周波での利得の低下が約 0dB で止まる特性になる。一方、位相特性は図 7.4(b)に示すように、左半平面のセロ点なので図の 1st stage with C_{FF} に示すように、高周波になると位相回転が戻る特性になる。したがってフィードフォワード補償を付けた2段アンプ全体の高周波での位相回転は90°になる。これによってフィードバックアンプは安定になり発振しなくなる。

しかしながら、もしシステムに2ポールと1ゼロがあると、フィードバックシステムの応答は複雑になりトランジェント応答の最終整定が遅くなる可能性がある。したがって、負帰還をかけるアンプ全体の周波数特性は1次ポール特性に作ることが望ましい。そこで、

2段目増幅段のポール $P_2 = \frac{1}{R_2 C_2}$ を、 C_{FF} によりできるゼロ点 $\omega_z = -\frac{gm_1}{C_{FF}}$ と同じ周波数に設計することになると、全体の伝達関数は(4)式第2項のように、ポールとゼロがキャンセルして1次応答にすることができる。

$$\frac{V_2}{V_1} = gm_1 \cdot R_1 \cdot \frac{\left(1 + \frac{s}{\frac{gm_1}{C_{FF}}}\right)}{\left(1 + \frac{s}{\frac{1}{R_1 \cdot (C_1 + C_{FF})}}\right)} \cdot \frac{gm_2 \cdot R_2}{\left(1 + \frac{s}{\frac{1}{R_2 C_2}}\right)} = \frac{gm_1 \cdot R_1 \cdot gm_2 \cdot R_2}{\left(1 + \frac{s}{\frac{1}{R_1 \cdot (C_1 + C_{FF})}}\right)} \quad (4)$$

得られるゲインバンド幅は(4)式が1となる周波数であるから、

$$f_{0dB} = \frac{1}{2\pi} \cdot \frac{gm_1 R_1 gm_2 R_2}{R_1 (C_1 + C_{FF})} = \frac{C_{FF}}{C_1 + C_{FF}} \cdot \frac{gm_2}{2\pi \cdot C_2} \quad (5)$$

となる。第2項は、ポールとゼロの周波数を等しく置いた $\frac{1}{R_2 C_2} = \frac{gm_1}{C_{FF}}$ を使って変形した。

第2項から、 C_1 に対して C_{FF} を増加させると、得られるゲインバンド積は2段目アンプの

ゲインバンド積 $GB_2 = \frac{gm_2}{2\pi C_2}$ に近づいていくことがわかる。従ってフィードフォワード補償により広いゲインバンド積を得ることができる。

図 7.4 (b)を、フィードフォワード補償アンプの具体的な周波数特性の数値例として見る。2 段目の負荷容量 C_2 を 4-pF と仮定する。ここから先の数値例では負荷容量を全て 4pF とし、変更しないこととする。2 段目のトランスコンダクタンス gm_2 は 2mS とする。他のパラメータは図の中を参照していただきたい。これらの数値を使って matlab/mathematica などの数値計算ツールを使って本図を描いた。得られるゲインバンド積はこの例では 60MHz であることが分かる。

アンプの消費電力は主に 2 段目の電力で決まる。初段は狭帯域アンプであり 2 段目に比べて無視できる程度の電力で設計することができる。

7.2.4.2. ミラー補償アンプとの比較

提案したフィードフォワード補償アンプのゲインバンド積と、ミラー補償アンプのゲインバンド積を比較するため、数値例を使って、いくつかの条件でミラー補償でのゲインバンド積を計算する。図 7.5 (a)に示すように、ミラー補償では補償用容量 C_C をアンプ 1 段目の出力と、2 段目の出力との間に挿入する。補償容量 C_C を入れたときの伝達関数は、

$$\frac{V_2}{V_1} = \frac{gm_1 \cdot R_1 \cdot gm_2 \cdot R_2 \cdot \left(1 - \frac{s}{\frac{gm_2}{C_C}}\right)}{H(s)}$$

$$H(s) = 1 + s \cdot [R_1(C_1 + C_C) + R_2(C_2 + C_C) + gm_2 R_1 R_2 C_C] + s^2 \cdot R_1 R_2 [C_1 C_2 + C_C(C_1 + C_2)]$$

となる。補償容量 C_C を増加すると、第一のポール周波数は低下し、第二のポール周波数は増大する。従って二つのポール周波数は周波数軸上で離れてゆき、ゲインが 0dB になる周波数での位相マージンが増加してゆく。

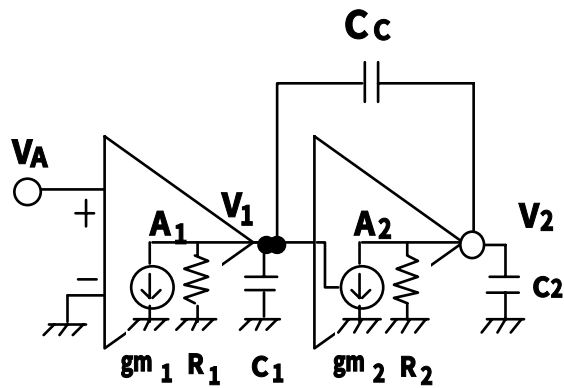


図 7.5 (a)ミラー補償アンプ

上記の補償はポールスプリット補償と呼ばれているが、ある補償容量 C_c の値で、 $60^\circ \sim 70^\circ$ 程度の位相マージンを取ることができ、この程度の値が高速整定に適している。ミラー補償でも C_c を通じてのフィードフォワードパスのためゼロができる[7.14]が、これは右半平面に位置する。ゼロ点は $\omega_z = +\frac{gm_2}{C_c}$ であり、右半平面のゼロは位相回転を増加させ、位相マージンが劣化する。位相マージンを劣化させないようにゼロを削除する一つの有力な方法は補償容量 C_c に抵抗 R_z を直列に挿入することである。ゼロを削除するには、 R_z を $\frac{1}{gm_2}$ に等しく設定する。そうするとゼロの周波数は非常に高い周波数になり、従って、プロセス変動によって抵抗値 R_z が変動したとしても、高い周波数のゼロ周波数から、低い周波数のポール周波数への影響はほとんど発生しない。この技術を使って、ゼロ周波数による余計な位相回転とプロセス変動への感度の高い欠点を除去することができる。

図 7.5 (b)に狭帯域の1段目アンプと広帯域2段目アンプのミラー補償したアンプ周波数特性を示す。得られる最大のゲインバンド積を比較できるように、2段目アンプのパラメータ gm_2 , R_2 , C_2 は図 7.4 (b)に示したフィードフォワードアンプのパラメータと同じにしてある。従って消費電力はフィードフォワードアンプのケースと同じである。図から明らかのように、得られるゲインバンド幅 12MHz はフィードフォワード補償アンプの例の 60MHz より小さい。

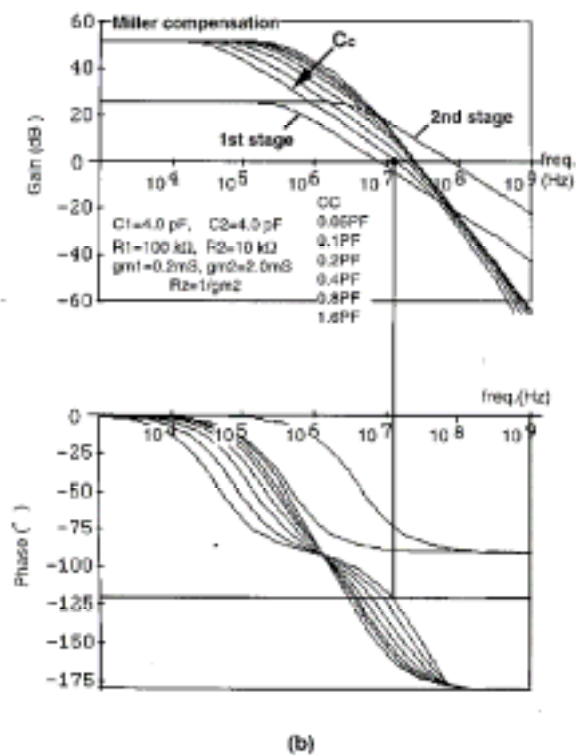


図 7.5 (b) 初段ドミナントポール設計でのミラー補償の周波数特性

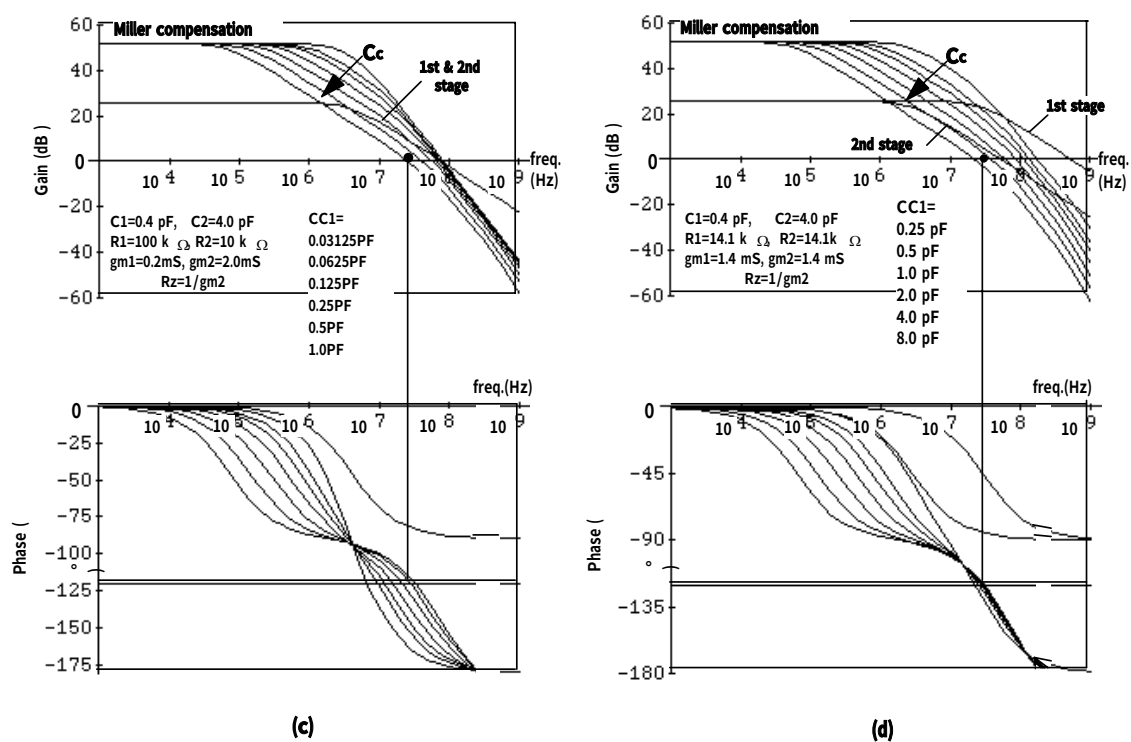


図 7.5 (c) 初段と2段目の帯域が等しい場合のミラー補償の周波数特性

(d) 2段目がドミナントポールの場合のミラー補償周波数特性

ミラー補償で得られるゲインバンド積を広げるために、1 段目のバンド幅を広げることができる。図 7.5(c)に初段のバンド幅を 2 段目のバンド幅と同じに広げた例を示す。図から、得られるゲインバンド幅は 30MHz に増加できる。しかしこれはまだフィードフォワードアンプで得られるゲインバンド幅 60MHz より小さい。このときの消費電力はフィードフォワードアンプの場合とほぼ等しい。なぜなら、一般的に 2 段目のアンプの負荷容量 C_2 に比べて初段の負荷容量 C_1 はずっと小さいので、初段の電力は 2 段目に比べて無視できる程度だからである。

図 7.5 (d)に他の例を示す。H.C. Young が文献[7.15]で述べているように、ミラー補償において、補償前の初段ポール周波数を、2 段目のポール周波数に比べて高く設定することもできる。古典的なポールスプリット補償の説明で行われるポールの配置とは逆の初期ポール配置をしているが、この場合でもミラー容量 C_C を増加すると低周波のポール周波数は通常のミラー補償と同様に低周波側にポール周波数が移動する。したがって位相余裕が 60° になるような最適な補償容量 C_C を見つけ出すことができる。

同じ電力消費の条件で、得られるゲインバンド積を比較するために、(フィードフォワードアンプの場合初段の電力は無視できる程度なので) フィードフォワードアンプの 2 段目の消費電流 I を半分に割って、このミラー補償アンプの初段と 2 段目に割り当てる。この例の場合電流 I はちょうど半分に割られている。そうすると、初段の gm_1 と 2 段目の gm_2 はお互いに等しく、また、オリジナルのフィードフォワードアンプの相互コンダクタンスを gm とすると、 $gm/\sqrt{2}$ に等しい。なぜならば、MOS の gm は電流 I の平方根に比例するからである。この例の場合、 C_1 を C_2 の $1/10$ としている。したがって 1 段目のバンド幅は、2 段目のバンド幅に比べて 10 倍である。このケースの場合の図面でも分かるように、得られるゲインバンド積は約 30MHz であり、やはりフィードフォワードアンプの場合に比べて帯域は狭くなる。初段と 2 段目の間の電流割付割合を変えたわけであるが、しかし、ゲインバンド幅の変化はわずかであり、それはフィードフォワードアンプの 60MHz の半分でしかない。

今まで説明したように、ある電力消費リミットの元で、ミラー補償のアンプと比較すると、提案したフィードフォワードアンプは最低でも約 2 倍のゲインバンド積が得られることが分かる。

7.2.4.3. 正帰還への考察

初めに説明したように、設計したフィードフォワードアンプは実は正帰還のメカニズム

をアンプ内に持つ。もし図 7.4 (a)に示すフィードフォワードアンプ入力端子 V_A が出力インピーダンスゼロの理想的な電圧源で駆動されたとすれば、その効果はフィードフォワードだけの効果である。ところが実際の使用では、図 7.6 に示すように、アンプの入力端子 V_A の信号は、アンプの2段目出力 V_2 からの信号を、帰還率 β_2 倍した負帰還の信号と、アンプの1段目出力 V_1 からの信号を帰還率 β_1 倍した正帰還信号の加算である。

正帰還を防止する一つの方法は、図 7.6 に点線で示すように C_{FF} の前にバッファアンプを置くことである。これにより信号の伝達方向を一方向にすることができる。しかしバッファアンプに多くの電力が必要と言う問題がある。バッファアンプによって高周波の信号成分を C_{FF} 経由で2段目のアンプ入力に伝えなければならない、広帯域のアンプが必要だからである。

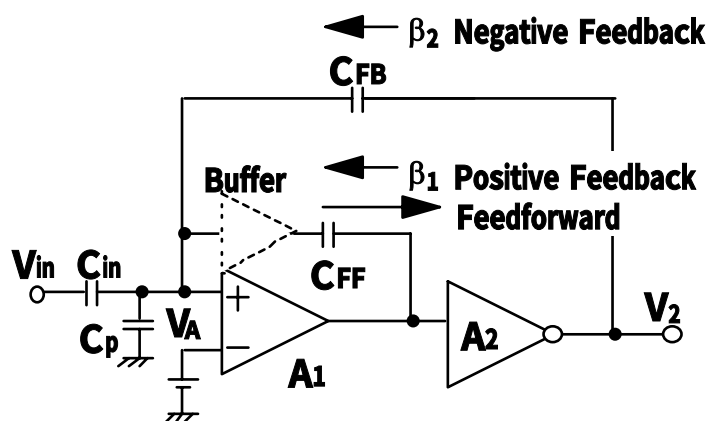


図 7.6 バッファ有/無（正帰還有/無）でのフィードフォワード補償

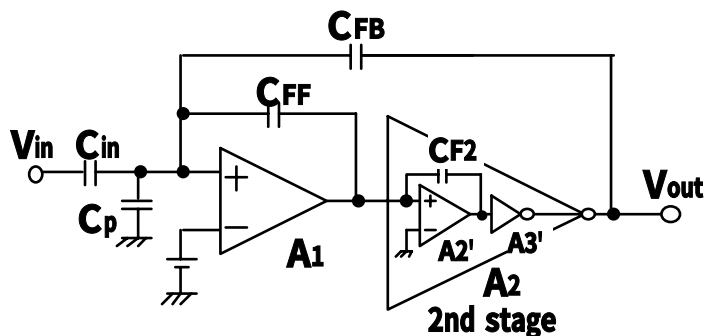


図 7.7 ダブルフィードフォワードによる精度の改善

バッファアンプを削除することは低電力アンプにつながる。しかしながら、 C_{FF} と C_{FB} の値の選択には、正帰還によるアンプの不安定化に注意を払わなければならない。回路が安定なためには、負帰還が正帰還に対して十分大きいようにしなければならない。したがって、式(7)が成立しなければならない。

$$A_1\beta_1 - A_1A_2\beta_2 < 0 \quad (7)$$

$$\beta_1 = \frac{C_{FF}}{C_{in} + C_P + C_{FF} + C_{FB}} \quad (7a)$$

$$\beta_2 = \frac{C_{FB}}{C_{in} + C_P + C_{FF} + C_{FB}} \quad (7b)$$

この条件は、次の式と等価である。

$$C_{FF} < A_2C_{FB} \quad (8)$$

初段が 0dB になる周波数より高い周波数では、ゲイン A_1 は 0dB より低下する。したがって、この周波数領域では正帰還は発生しない。結論として、 C_{FF} と C_{FB} を決定する際には、式(8)が成立するように値を決めればよい。

7.2.4.4. 二重フィードフォワードアンプ

フィードフォワード補償の一つの問題は、容量を使ってフィードバックをかけたアンプの利得精度がフィードフォワードによって少し影響を受けることである。図 7.6 に示すア

ンプでは、 V_{in} から V_{out} (V_2) への理想のゲインは $\frac{C_{in}}{C_{FB}}$ である。しかしながら、バッファ

アンプがないと、正帰還によって、フィードフォワード容量 C_{FF} が理想のゲインを変えてしまう。というのは負帰還によって得たゲインは正帰還によって一部打ち消されてしまうからである。フィードフォワード補償のときの計算されるゲインの値は、式(9)で示される。

$$A_v = -\frac{C_{in}}{C_{FB}} \cdot \frac{1}{1 + \frac{1}{A_1 A_2} \cdot \frac{C_{in} + C_{FB} + C_P + C_{FF} \cdot (1 - A_1)}{C_{FB}}} \quad (9)$$

分母4番目の項 $C_{FF}(1-A_1)$ が正帰還の効果を表している。もし C_{FF} がゼロであれば、ゲインは、通常のリレー補償アンプに容量 C_{in} , C_{FB} で帰還をかけたアンプのゲインと等しい。フィードフォワードアンプでは $A_1 C_{FF}$ が誤差要因である。許容できる誤差 E を

$$1 - E < \frac{A_v}{\frac{C_{in}}{C_{FB}}} < 1 + E$$

とするなら、

$$-E < \frac{1}{A_1 \cdot A_2} \cdot \frac{C_{in} + C_P + C_{FB} + C_{FF}(1 - A_1)}{C_{FB}} \cong \frac{1}{A_2} \cdot \frac{-C_{FF}}{C_{FB}} < +E \quad (10)$$

この誤差項を小さくするためには、2段目のゲイン A_2 を大きくする必要がある。

2段目アンプの等価ゲイン A_2 を大きくするため、図 7.7 に示す技術を提案する。この回路では2段目ステージ自身をフィードフォワード補償した回路にする。この結果2段目のゲインは非常に大きくなる。この仮想内部アンプの1段目ゲイン A_2' と2段目のゲイン A_3' の積だからである。この仮想的な2段目アンプの高利得のため、正帰還で生じる誤差は無視できるほど小さくなる。この技術を、ダブルフィードフォワードアンプ技術と呼ぶこととする。

周波数応答については、3ステージ全体の周波数特性を、二つのポール・ゼロ・キャンセル手法を使ってワンポール特性に設計することができる。設計手順は、まず内部のフィードフォワード補償アンプをワンポール特性になるように設計する。このために最終段(3段目)のポール周波数と、内部にフィードフォワード補償容量 C_{F2} で作り出したゼロ周波数を合わせてポール・ゼロ・キャンセルを行う。容量 C_{F2} は内部アンプの初段アンプ(全体で言えば2段目アンプ)の入力と出力をつないでいる。ポール周波数と得られるゲインは式(4)で表現できる。内部アンプの設計が終わると、このアンプ全体はワンポール特性を持った

単純なアンプと考えることができる。従って、今度は、初段と、構成された内部アンプを使って、フィードフォワードアンプの設計を繰り返す。

3段アンプは利得の点からも必要であった。微細プロセスの短チャンネルデバイスを使っているので、トランジスタの出力抵抗が下がっていて2段アンプでは十分な利得が得られないからである。一方、3段アンプでミラー補償を用いるとネステッドミラー補償[7.17]と言われる補償が必要になり設計が複雑になる。フィードフォワード補償は3段アンプの補償を単純化するのに役立つ。

7.2.4.5. ダブレット

フィードフォワード補償アンプの最後の問題は、ポールとゼロのキャンセルが完全でないときにトランジェント応答に現れるゆっくりした応答である。このポールとゼロがごく近傍にある状態をダブレット[7.13]と呼ぶ。もしポールとゼロのキャンセルが完全に行われないとすると、つまりポール周波数とゼロ周波数が、例えばプロセス変動などで、設計値とずれていてお互いに違っていると遅い応答が現れる。B.Y. Kamath がダブレットの遅い応答の問題を解析している[7.13]。式(11)はダブレットを持ったアンプのステップ応答を示す式である。

$$V_{out}(t) = V(1 - k_1 \cdot \exp(-\omega_{CO}t) + k_2 \cdot \exp(-(t/\tau_2))) \quad (11)$$

ここで

$$k_2 \cong \frac{\omega_Z - \omega_P}{\omega_{CO}} \quad (11a)$$

$$\tau_2 \cong \frac{1}{\omega_Z} \quad (11b)$$

ω_Z ：ダブレットゼロ周波数

ω_P ：ダブレットポール周波数

ω_{CO} ：Ax(アンプのメインポール)=ユニティゲインバンド積

図 7.8 (a)に2段のフィードフォワードアンプで、ゼロ周波数がポール周波数の 1.33 倍すなわち $\omega_Z = 1.33\omega_P$ のダブレットが存在する場合の周波数特性を示す。もしゼロ周波数が

ポール周波数よりわずかに高い場合には、位相回転が 90° よりも少し上まで起きる。この設計では、ダブレット周波数 ω_z はゲインバンド積 ω_{c0} より A_2 倍だけ小さい。ここで A_2 は 2 段目のゲインであり、大体 10-20 位の値である。従って(11)式、及び(11b) 式から、 A_2 倍遅い応答が整定過程に現れてしまう。しかしながら式(11a)によれば、このゆっくりした応答の振幅は非常に小さい。その振幅はゼロとポール周波数のずれが 1.33 倍の場合、すなわち $\omega_z = 1.33\omega_p$ の場合、 $\frac{0.33}{1.33A_2}$ である。図 7.8 (b)にフィードフォワード補償のステップ

応答を示す。ポール、ゼロのずれがそれぞれ 33%, 20%, 8% の場合を示す。時間軸は全体のゲインバンド幅 ω_{c0} の時定数を基準とした。図 7.8 (b)の下側に拡大した時間波形を示す。33%のポール・ゼロ周波数ミスマッチがある場合でも、必要な整定誤差が 1%未満であるならば時間波形が 1%誤差以内に入っているので問題は生じない。0.5%の整定精度が要求される場合は、 $0.86\omega_p < \omega_z < 1.14\omega_p$ が必要となる。

図 7.1 (a)に示すパイプライン A/D 変換器にフィードフォワード補償アンプを使っていて、ポール・ゼロキャンセルが不十分な場合の影響を考える。2 段目、3 段目、4 段目のサンプル・ホールドアンプは残差信号を増幅する（つまりサンプルされたアナログ信号から、DAC で再生されたアナログ信号を引算する）。整定が十分でないと A/D 変換器の DNL(Differential Non-Linearity)誤差が起きる。しかしながら、2 段目、3 段目、4 段目のステージに要求される整定精度は、9-bit パイプライン A/D 変換器で各段に 2-bit の分解ステージを設けた場合、それぞれ、6-bit、4-bit、2-bit に緩和される。6-bit 精度では、 $(1/2)\text{LSB}$ 精度に整定するには、0.78%の整定精度が必要になる。つまり ω_z の誤差として 28%の誤差が許される（28%のポール・ゼロ誤差は、0.78%のトランジェント整定誤差になる）。プロセスばらつきの変動を考えた場合、28%のポール ω_p とゼロ ω_z のミスマッチは達成できる程度の誤差と考えられる。

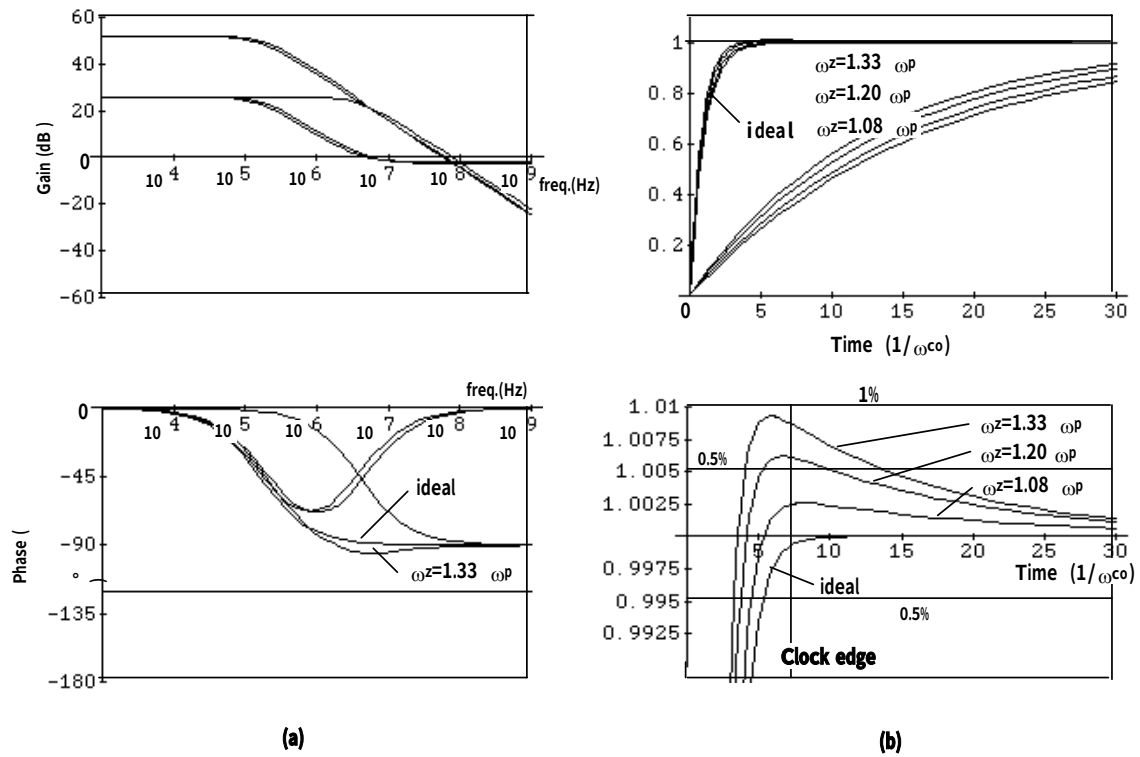


図 7.8 (a) $\omega_z = 1.33 \omega_p$ ダブレットがある場合のフィードフォワード補償周波数特性

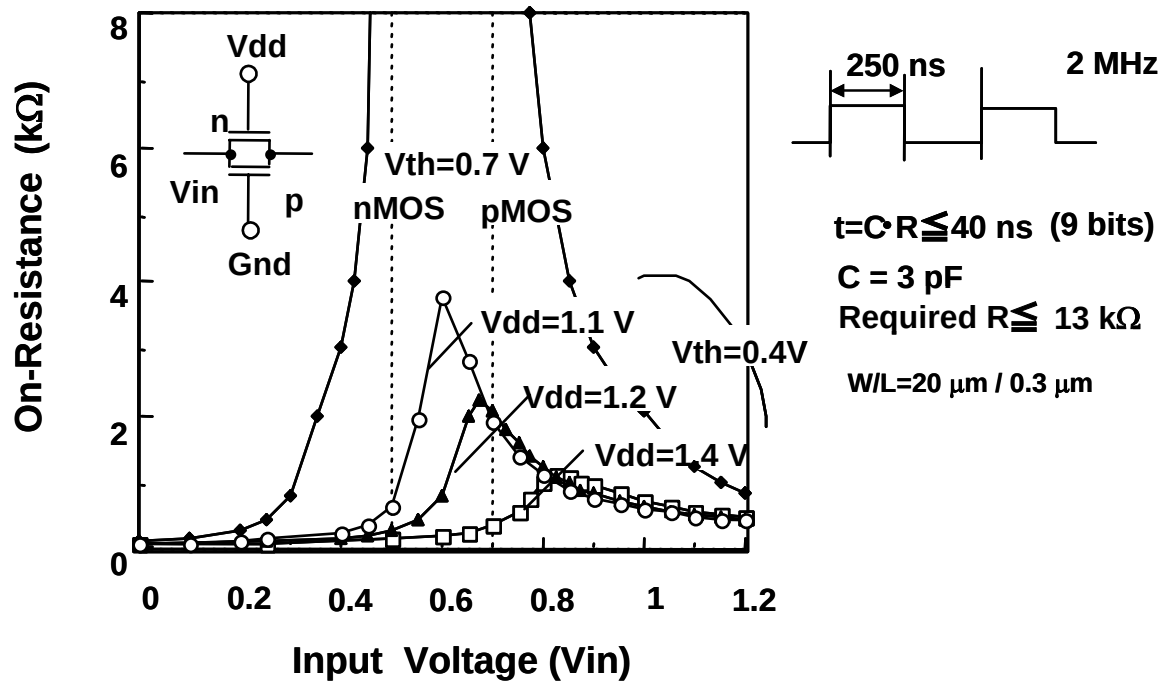


図 7.9 $V_{th} = 0.7 V$ および $0.4 V$ 時の MOS アナログスイッチのオン抵抗

一方、初段のサンプルホールドアンプの場合、整定誤差は A/D 変換器としてのフルスケール誤差になる。図 7.8 (b)に示すように、整定後の誤差は 1%以下である。典型的な通信応用の場合、1%程度のフルスケール誤差はたいした問題にならない。供給するリファレンス電圧を 1%拡大すればよい。また通信応用の場合には AGC(Automatic Gain Control)が振幅を自動的に制御して最適な信号振幅に直してしまうことも多い。さらに誤差応答は非常にゆっくりした応答であり、サンプリングタイミングで起きるジッタは通常の場合サンプリング電圧を変動させて精度を劣化させてしまうが、この場合ジッタではほとんど振幅に影響を与えないため問題は無い。以上から、ダブレットの問題は 9bit 程度のパイプライン A/D 変換器に適用する場合、重大な問題にはならないことが分かる。

3 段のフィードフォワード補償アンプの場合、2つのポール・ゼロ・キャンセル周波数がある。低周波側のダブレットによって生じる振幅誤差は 0.1%程度であり、無視できる程度である。従って高いほうの周波数のダブレットに付いてだけ考えればよく、その考慮すべき点は以上に述べてきたとおりである。

7.2.5. アナログスイッチ

低電圧アナログ回路のもう一つの問題点はアナログスイッチである。供給電圧を下げすぎるとアナログスイッチが動作しなくなる。もしゲートソース電圧がしきい電圧よりも低くなると MOS スイッチはオンしない。 V_{th} が従来の 0.7V のままで、入力信号 V_{in} が 0.5V よりも高く、電源電圧が 1.2V であると、ゲートソース電圧($V_{dd}-V_{in}$)がしきい電圧よりも低くなり MOS スイッチがオンしない。さらに入力電圧 V_{in} が 0.5V から 0.7V の間であると、nMOS も pMOS もオンしない。その結果スイッチドキャパシタ回路は動作しなくなる。

この状況を解決するため、しきい電圧を下げる必要がある。しきい電圧が 0.7V の場合と、0.4V の場合のアナログスイッチ・オン抵抗を図 7.9 に示す。0.4V のしきい電圧のデバイスを使うことによって、最大のオン抵抗を 1.2V 電源でも $2k\Omega$ に下げることができる。2MHz のスイッチドキャパシタ回路つまり、250nS の半クロックサイクルを持つ回路では 9-bit の A/D 変換器に要求される整定時間は 40-ns である。もし 3-pF の負荷容量を用いると、必要なオン抵抗は $13k\Omega$ 以下と計算できる。従って $2k\Omega$ の抵抗は十分小さい。

つぎにリーク電流について考察する。リーク電流があるとサンプルホールド回路はドループを起こす。ホールドしていた電圧が徐々にリーク電流によって下がってしまう。2-MHz(500nS)動作の場合、9-bit 精度のためにはドループ電圧 V_{droop} は 1mV 以下である必要

がある。サンプルホールド回路の中に使っている最も小さい容量は 0.1 pF なので、許容できるリーク電流の最大値は式(12)で計算できる。

$$I \leq \frac{C \cdot V_{droop}}{T_s} \quad (12)$$

許容できるリーク電流の最大値は、この場合、0.2nA/トランジスタである。一方 0.4V しい電圧のトランジスタリーク電流値は 0.02nA である。したがってサンプルホールド機能には問題にはならない。さらにバックバイアスがかかっているので基板バイアス効果のためしい電圧は約 0.15V ほど上昇している。このためバックバイアスが無いトランジスタに比べて、リーク電流は 1/100 に低減しており、十分ドループの小さいサンプルホールド機能を実現できる。

7.2.6. 低電圧アンプのための低しい電圧設定

低電圧動作のアンプとしてはカスコードを使わない単純な差動アンプが適している。しかし従来の例えば 0.7V のしい電圧では 1.2V 動作のアンプは設計できない。図 7.10 (a)は単純な差動アンプ回路である。以後、単純化のためアンプの全てのトランジスタサイズ W/L は等しいとする。図に示すようにアンプの入力電圧 V_{in} は $V_{gs} + \Delta$ よりも高くなければならない。ここで Δ は $(V_{gs} - V_{th})$ すなわち実効ゲート電圧である。第一項 V_{gs} は入力トランジスタ MN のゲート・ソース間電圧、第二項 Δ は、テールトランジスタ MT が飽和するために必要なドレインのバイアス電圧である。もし V_{th} が 0.7V なら、また実効ゲートバイアス電圧 $V_{gs} - V_{th}$ を 0.2V に設定するなら、最小の入力電圧 $V_{gs} + \Delta$ は 1.1V になる。この入力電圧は、同じアンプの出力電圧を受けるには高すぎる。また、このアンプの出力電圧リニア領域の最も高い電圧 V_{outH} はトランジスタ MP が飽和している条件から $V_{dd} - \Delta$ 、つまり 1.0V である。また出力電圧リニア領域の最も低い電圧 V_{outL} は、MN と MT トランジスタの飽和条件から、 2Δ 、つまり 0.4V である。

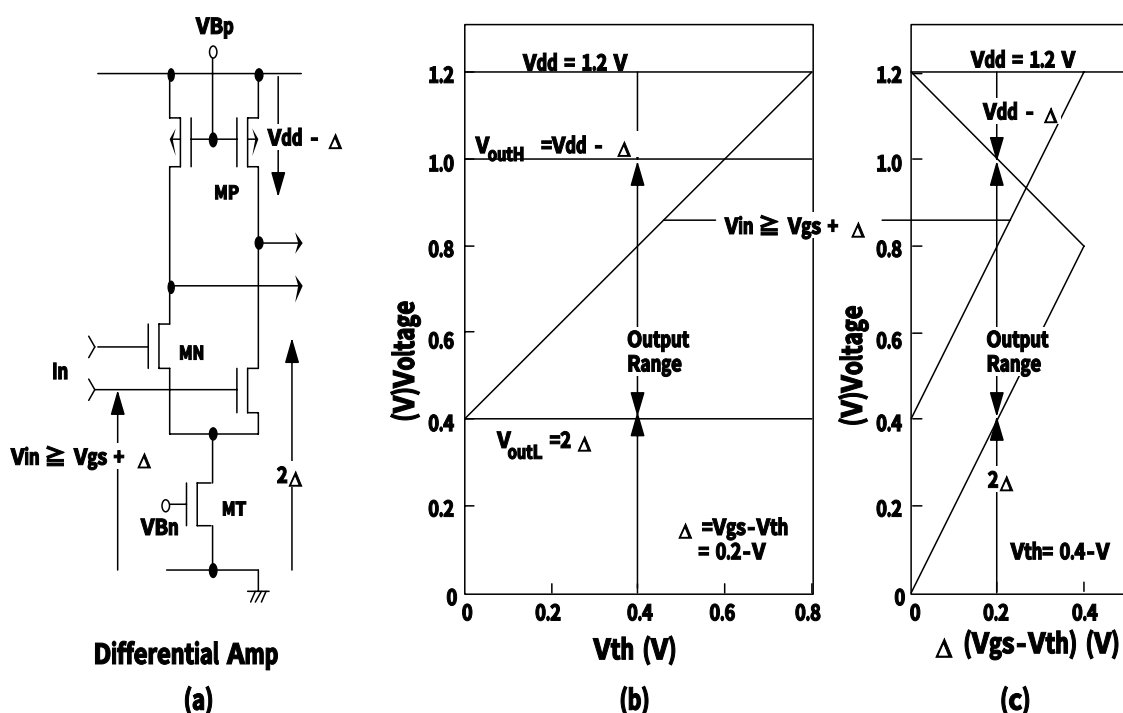


図 7.10 (a)単純な差動アンプ回路

(b) 電源電圧 $V_{dd}=1.2V$ 時のしきい電圧に対するアンプの入力および出力電圧範囲

(c) 電源電圧 $V_{dd}=1.2V$ 時の $(V_{gs}-V_{th})$ に対する入力および出力電圧範囲

図 7.10 (b)にしきい電圧の設定を変えたときの電圧の関係を示す。1.2V 電源電圧で、差動アンプを従続に接続し動作させるには、アンプ入力電圧 V_{in} がアンプ出力電圧範囲 V_{outL} から V_{outH} の間に入っていないなければならない。図からしきい電圧は 0.6V 以下でなければならないので 0.2V のマージンを設け、しきい電圧は 0.4V と設定した。

図 7.10(c)に、 $V_{th}=0.4V$ のときの、入力電圧 V_{in} 、出力電圧範囲 V_{outL} 、 V_{outH} と実効ゲート電圧 Δ の関係を示す。また Δ は、アンプ・ゲインバンド積を(13) 式に示すように決めることになる。

$$GB = \frac{gm}{2\pi \cdot C_L} = \frac{\beta \frac{W}{L} (V_{gs} - V_{th})}{2\pi \cdot C_L} = \frac{\beta \frac{W}{L} \Delta}{2\pi \cdot C_L} \quad (13)$$

ゲインバンド積を高めようとする、 Δ は増加させなければならない。一方、 Δ を増すと

アンプの出力電圧範囲 $V_{\text{outH}}-V_{\text{outL}}$ を狭める。出力電圧範囲の制約から 1.2V 電源では、 Δ として 0.27V が最大であることが分かる。ここでは Δ を 0.2V と設定してマージンを取ることとした。デバイスサイズ W/L によるが、(13)式で表されるゲインバンド積は 4-pF の負荷容量とすると、30 から 70MHz の範囲となる。

7.2.7. 低電圧 1.2V パイプライン A/D 変換器への提案手法の応用

提案した手法を用いて 1.2V のパイプライン A/D 変換器を開発した。ブロック図は図 7.1 と同じで、各段に 3-bit の分解ステージを設けた 4 段パイプライン A/D 変換器で 9-bit 分解能を実現している。各ステージは 1 ビットの冗長ビット、つまりオーバーラップビットを持っており、各段で発生するオフセット誤差を消去している。オフセット誤差補正はデジタル誤差補正回路で実現する。D/A 変換器はポリシリ抵抗を用いた抵抗ラダー、つまり抵抗分圧を用いた変換器である。各サンプル・ホールド・アンプには提案したフィードフォワード・アンプを用いた。

一つのアンプの消費電力は 0.54mW、4 アンプ合計の消費電力は 2.2mW である。全部で 32 個のコンパレータがあり、各コンパレータは 50 μ A 消費している。全体で 4mW の電力が、抵抗ストリング DAC、クロック発生回路、バイアス発生回路を含んで変換器全体で必要であった。コンバータの入力端子では、 $1V_{\text{pp}}$ のシングルエンド信号が、入力サンプル・ホールド・アンプで $1V_{\text{ppd}}$ の内部差動信号に変換される。低電源電圧にもかかわらず、 $1V_{\text{ppd}}$ の信号振幅が、5V 供給の従来のコンバータの振幅と同じように保たれている。

7.2.7.1. 試作結果と実験結果

本 A/D 変換器を、0.3 μ m ダブルポリ、ダブルメタル層 LDB CMOS 技術で製造した。

図 7.11 に示すチップでは、これまでに述べた A/D 変換器マクロの他に、16-kbit, 32-ns の SRAM マクロ、16bit x 16bit 乗算器マクロ、ゲートアレイのためのシーオブゲート上のメタライズド SRAM、を試作した。チップサイズは 7 mm x 10 mm である。同時に試作した A/D 変換器のみのチップを図 7.12 に示す。初段、2 段、3 段、4 段のサブ A/D とアンプ回路がブロック図 7.1 と同じようにレイアウトされている。アクティブ部の面積は、1.0 mm x 1.3 mm で、コンバータマクロとして十分小さい。

図 7.13 に A/D 変換器の変換再生波形を示す。上の波形が入力波形で、下の波形は再生波形である。供給電圧は 1.2V、クロック周波数は 2MHz である。図 7.14 に A/D 変換器の再生波形の拡大図を示す。低電圧動作にもかかわらず、各変換ステップを明確に確認することができる。残差増幅でコードエラーは無い。

リニアリティを図 7.15 に示す。これは A/D 変換した信号を D/A 変換器で再生した信号を入力信号から引算した信号（バックツーバック）によって確認した。真中の非連続性は測定で生じたものであり、微分非直線性 (DNL) の劣化ではない。積分非直線性 INL は ± 1 LSB 以内に入っている。

コンバータの変換周波数は図 7.16 に示すように電源電圧に依存する。供給電圧を上げると変換周波数を上げることができる。図 7.10 (c)で説明したように、供給電圧を上げると実効ゲートソース電圧が上がり、従ってゲインバンド積が式(13)のように上昇する。測定から 1.6V の電源電圧にすると 4.5MHz の変換周波数が得られた。一方、2MHz 動作での最小の供給電圧は 1.1V であった。この電圧より低い電源電圧の場合には、アナログスイッチの動作限界とコンパレータの動作限界により動作が制限される。測定結果を表 7-1 に示す。

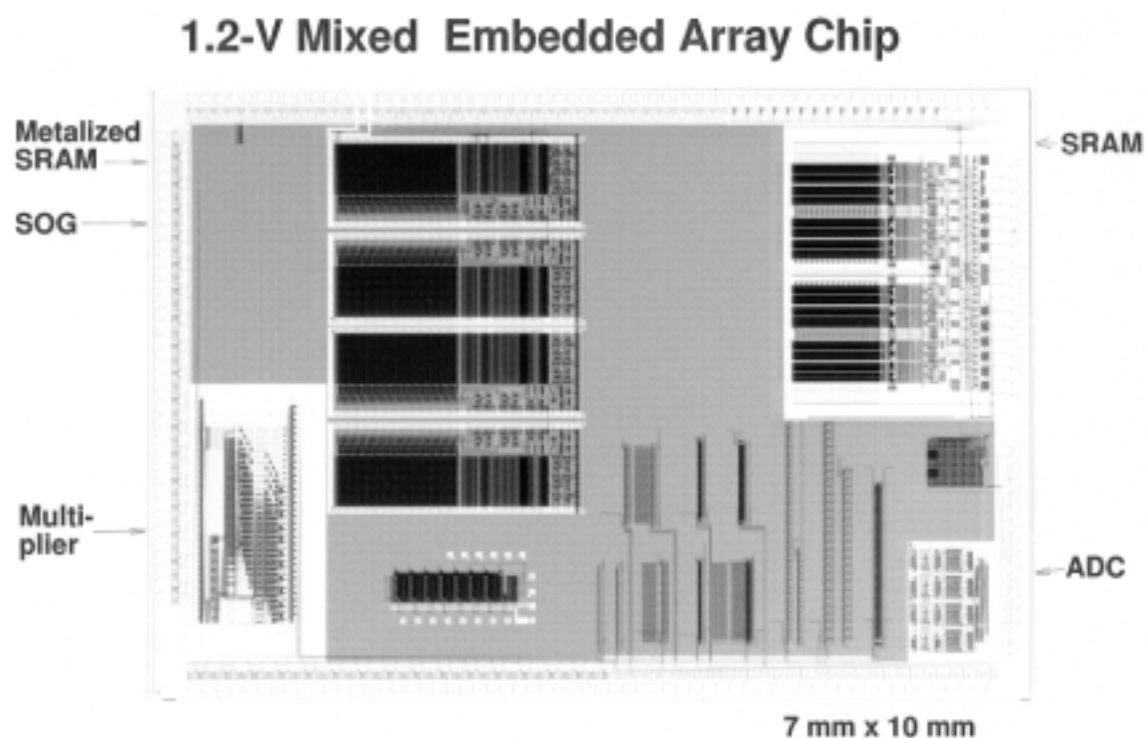
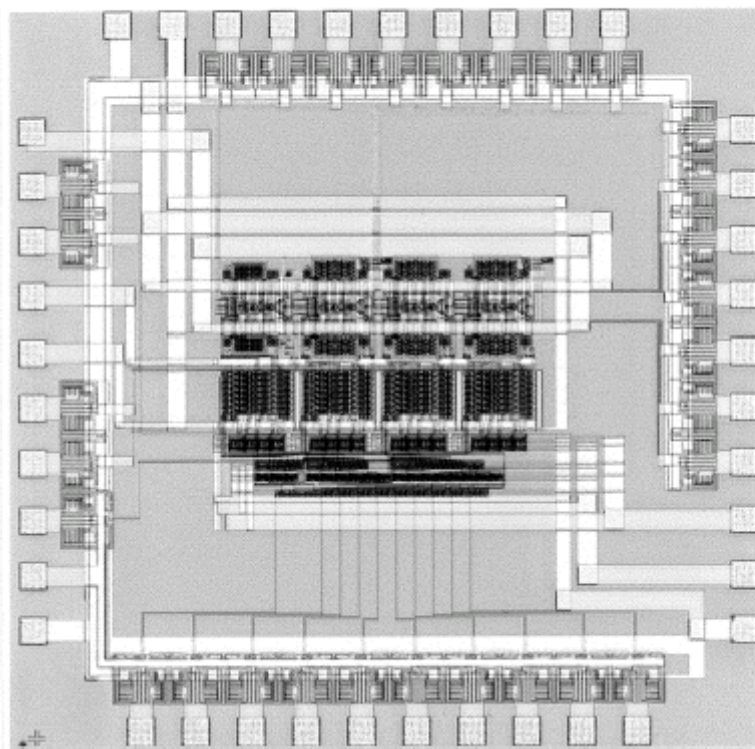


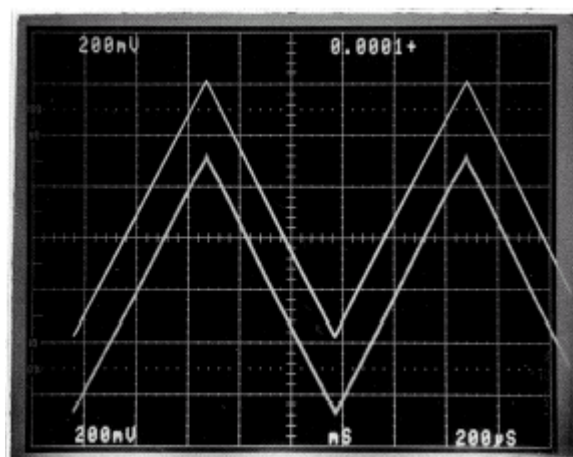
図 7.11 1.2V ミックストアナログデジタルチップ(7mm x 10mm)のチップ写真

1.2-V A/D Converter Chip



Active Area
1.0 mm x
1.3 mm

図 7.12 1.2V 9-bit 2-MHz A/D 変換器(アクティブエリア 1.0mm x 1.3mm)のチップ写真

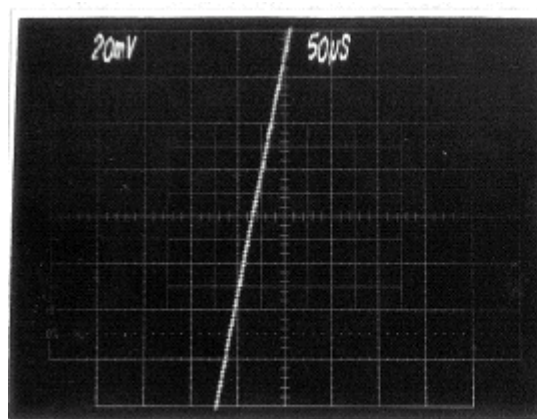


Vdd = 1.2 V
Vin = 1.0 V p-p
fCLK = 2 MHz
fin = 1 kHz

input
output

図 7.13 再生出力波形

(上側： 入力波形、下側： 出力波形) Vdd=1.2V, Vin=1.0V, fclk=2 MHz, fin=1kHz

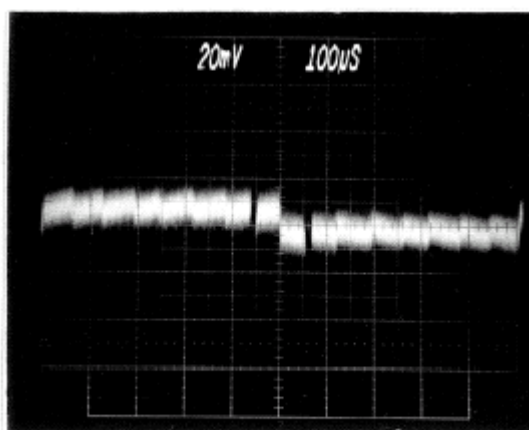


Vdd = 1.2 V
Vin = 1.0 V p-p
fCLK = 2 MHz
fin = 1 kHz

20-mV/div

図 7.14 1.2V-A/D 変換器の拡大再生出力波形

Vdd=1.2V, Vin=1.0V, fclk=2MHz, fin=1kHz, 20-mV/div



20-mV/div

図 7.15 直線性誤差（入力信号－DAC 出力信号）20mV/div

注： 1)中央の非連続性は DNL 誤差による非連続ではない。入力三角波の切替えに伴う遅延時間から発生する非連続であり無視してよい。2)中央の非連続の両側にあるギャップはデジタル誤差補正回路のバグでマスク修正により無くすることができる。

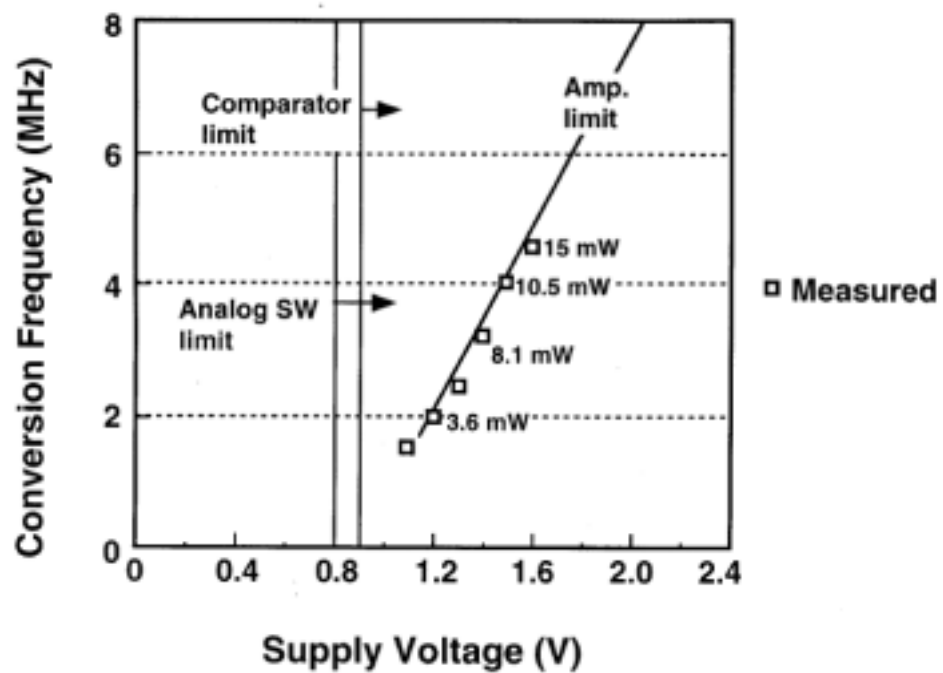


図 7.16 A/D 変換器の変換速度と電源電圧の関係

表 7-1 1.2V 回路の測定結果

Supply voltage		1.2 V
A/D Con- verter	Resolution	9 bits
	Signal input	1 V p-p
	Internal	0.7V +/- 0.25 V (Diff.)
	Power	4 mW
	f _{sample}	2 MHz
	Active area	1.0 x 1.3 mm ²
Gate 2-NAND	t _{pd}	400 ps (1.2 V)
	Power/gate	0.41 μW/MHz
CMOS device	L _g	0.3 μm
	V _{to}	n: 0.4 V, p: -0.4 V

以上、1.2V 低電源電圧の A/D 変換回路設計について述べた。結論は次節の、オフセットキャンセル完全差動アンプと同相負帰還回路の低電力化、の後に述べる。

7.3. オフセットキャンセル完全差動アンプ・同相負帰還回路の低電力化

つぎに、2.7V 電源設計で行った同相負帰還回路の低電力化の検討について述べる。

7.3.1. 完全差動アンプ回路と同相負帰還回路の低電力化

本章の冒頭で述べたように、ここまで述べてきた A/D 変換器の回路には全て完全差動型回路を用いている。完全差動型は、デジタル回路からの雑音や、電源雑音およびスイッチドキャパシタ回路のスイッチチャージインジェクションなどの同相雑音（コモンモードノイズ）を抑圧する性能に優れ、信号振幅もシングルエンドに比べ 2 倍取れる利点がある。しかし完全差動アンプで高利得アンプを設計する場合、出力の同相（コモンモード）電位を決めるために同相負帰還（コモンモードフィードバック）が必須になり電力が大きくなってしまいう問題があった。

図 7.17 に同相負帰還の概念図を示す。差動出力 V_{out1} と V_{out2} の同相電位 $\left(\frac{V_{out1} + V_{out2}}{2}\right)$ を検出して、それが設定すべき電圧 V_{ref} とずれているかを検出して、ずれていれば本体の差動アンプのバイアスにずれを修正する方向へフィードバックをかける回路である。A/D 変換器全体を低電力で実現する場合、同相負帰還回路も低電力で実現できることが重要である。

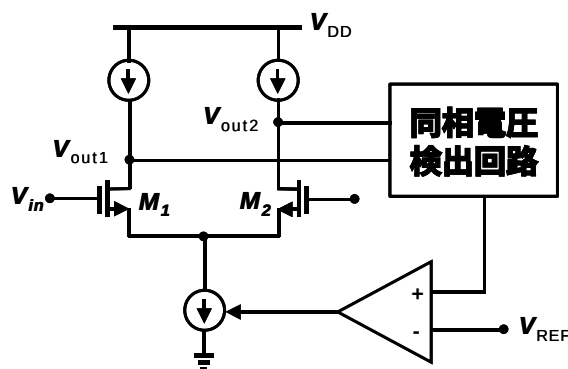


図 7.17 同相負帰還回路の概念図

この節では、まず同相負帰還回路の従来の実現手法を検討し低電力化に向けた方式を検討する。さらに、スイッチドキャパシタ回路で用いるオペアンプでは、アンプ入出力を短絡してアンプオフセットを入力容量に吸収させる手法を用いることがあるが、完全差動型の 2 段オペアンプではこの入出力の短絡が同相信号に対して正帰還になり発振する可能性

がある。そこで同相負帰還回路と組み合わせて発振を防止する設計手法について議論する。

連続時間同相負帰還回路：

従来の同相負帰還回路にはいくつかのタイプがあるが、まず連続時間型と離散時間型に分かれる。連続時間での同相負帰還回路の代表例を図 7.18、図 7.19 に示す。

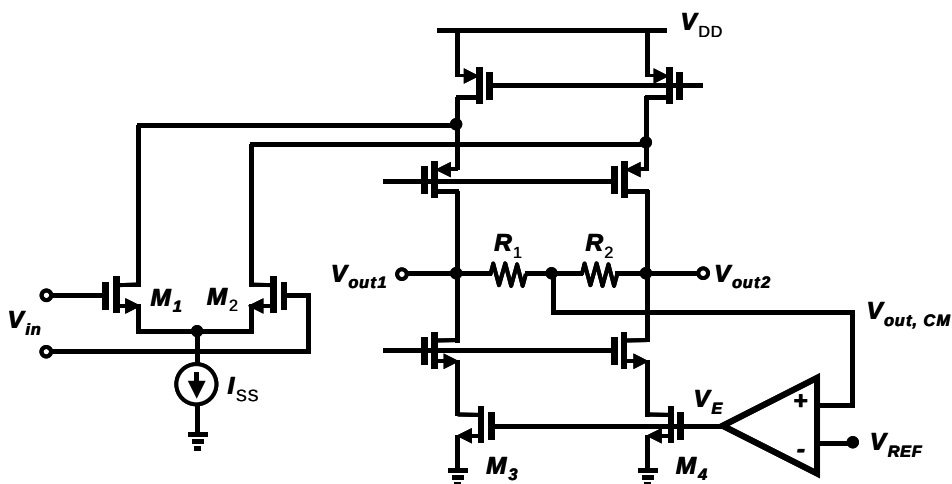


図 7.18 抵抗で同相電圧を検出する連続時間同相負帰還回路

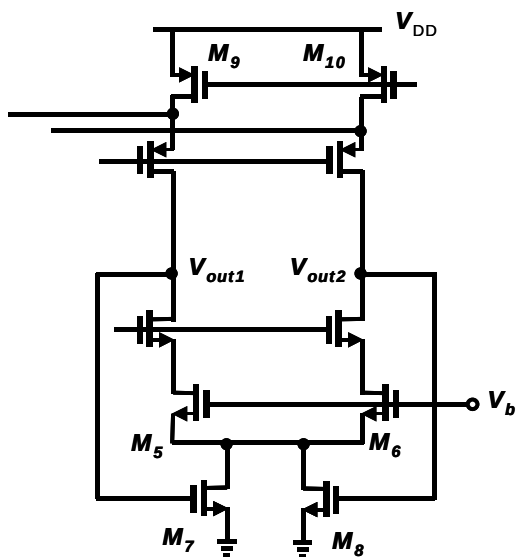


図 7.19 トランジスタの三極管領域を使う連続時間同相負帰還回路

図 7.18 の方法は、抵抗によって出力の同相電圧を検出し、誤差増幅アンプで基準電圧 V_{ref}

と比較して誤差分を本体のアンプにフィードバックかける方式である。この形式は、抵抗で同相電圧を検出するので、本体アンプの出力インピーダンスが抵抗負荷で下がるため高利得アンプが実現できない。高利得には非常に高い抵抗値を使わなければならない、面積が大きくなり、またそれに伴って抵抗の寄生容量が付くので帯域が低下して、低電力化に不利である。出力インピーダンスに影響を与えないように、本体アンプの出力を一度ソースフォロアでバッファしてから抵抗で同相電位を検出する方法もあるが、ソースフォロアバッファの電力が増えてしまい低電力化には向かない。

図 7.19 に示す第二の方法は、nMOS 定電流源 M5, M6 トランジスタのソース側に三極管領域にバイアスしたトランジスタ M7, M8 をはさんで、この抵抗値で M5, M6 トランジスタの電流を制御して同相負帰還を実現する回路である。余計な電流を必要としないので低電流の利点があるが、出力同相電圧の設定が、デバイスの g_m や V_{th} に依存するため温度やデバイスの変動でずれてしまうという問題点がある。

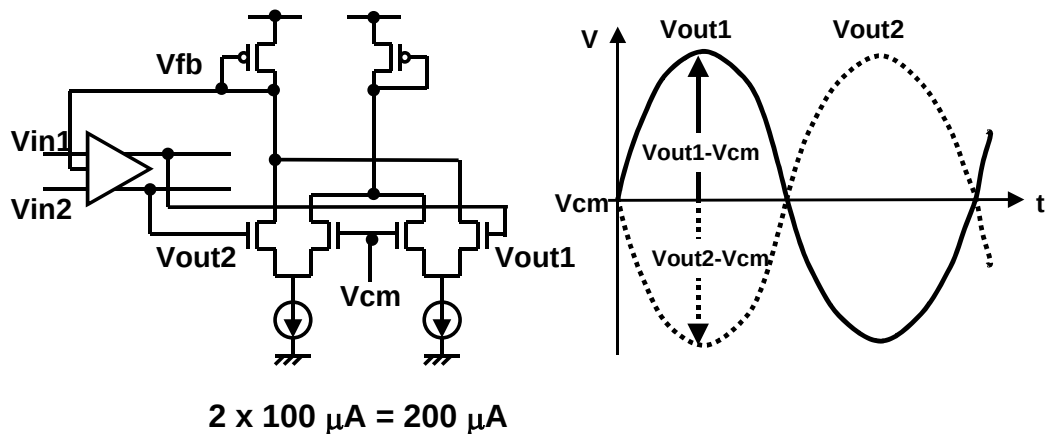


図 7.20 従来の2差動ペアを使った連続時間同相負帰還回路

従来の連続時間での第三の方法は、図 7.20 に示す2つの差動ペアを使って、出力電圧の同相設定値 V_{CM} と、実際の出力電圧同相電圧 $\left(\frac{V_{out1} + V_{out2}}{2}\right)$ の誤差をアンプで検出する方式である[7.18]。この差動ペアは、それぞれ、片方の出力電圧 V_{out1} と同相設定電圧 V_{CM} との電圧差、および反対側の出力電圧 V_{out2} と V_{CM} との電圧差を検出し、その電流を加算することによって $\left(\frac{V_{out1} + V_{out2}}{2} - V_{CM}\right)$ の実際の同相出力電圧と同相設定電圧 V_{CM} との差に比例し

た誤差電流を得る。この詳しい解析は [7.19] に掲載されている。この回路において同相負帰還が正しく動作するためには、各差動ペアは広いダイナミックレンジを持つ必要がある。少なくとも差動ペアの片方がオフする状態に入るまで大振幅の差動アンプ出力が入力されると同相負帰還は正しく働かない。しかし、差動ペアの動作領域を増すためには、バイアス電流を増す必要があり、従ってこの手法は低電力の応用には適していない。

離散時間型同相負帰還回路：

次にスイッチドキャパシタ回路による同相負帰還回路を検討する。図 7.21 に従来の 4 容量を用いたスイッチドキャパシタ同相負帰還回路を示す。この回路は 2 個の大きな容量 C_{L2} と 2 個の小さな容量 C_U を持つ [7.20]。この回路の詳しい解析は [7.19] に掲載されている。この回路では C_U でサンプリングされた電圧が、大きな容量 C_{L2} に積分されて、必要なバイアス電圧を記憶する。積分動作をさせるため、通常 C_{L2} は C_U の 10 倍程度が使われる。したがって面積的に C_{L2} は無視できない大きさになり不利である。またこの大きな容量 C_{L2} は差動増幅動作において負荷となるため、回路の動作電流を有る程度以上流して動作速度が低下しないように設計しなければならない。以上のため、面積が小さく、消費電流の小さい同相負帰還回路としては適さなかった。

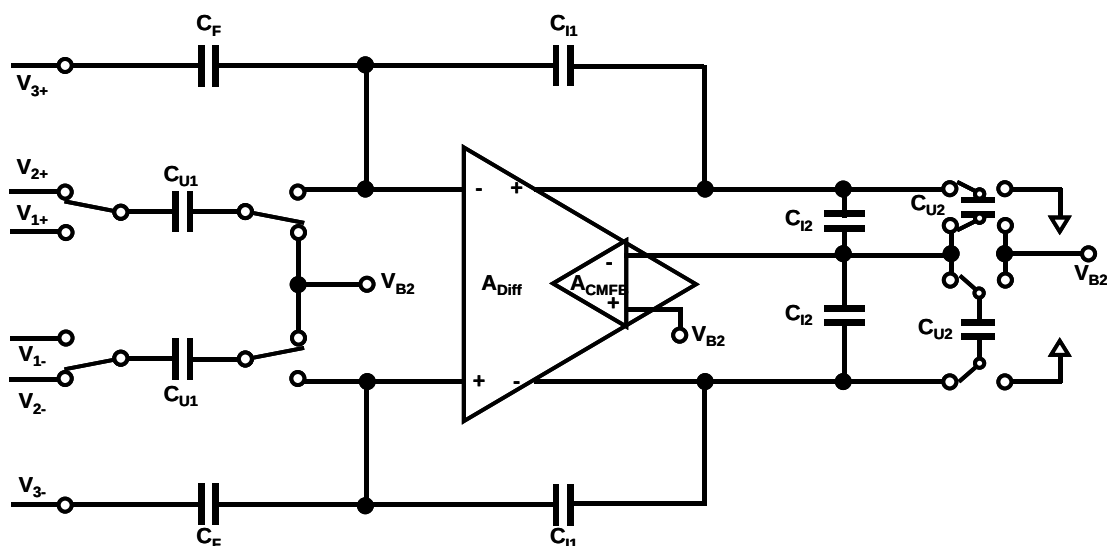


図 7.21 4 容量を用いたスイッチドキャパシタ同相負帰還回路

7.3.2. 2 容量による低電力同相負帰還回路の検討

もっと小さな面積で、電力の少ないスイッチドキャパシタ型同相負帰還回路として、2 個の容量をアンプの中に組込んだ従来の回路例を図 7.22 および図 7.23 に示す[7.21]。この回路はリセットフェーズとアンプフェーズの 2 フェーズで動作する。図 7.22 に示すリセットフェーズの間、アンプの入力 V_{in+} , V_{in-} は、入力スイッチによって短絡させられ、またアンプ出力端子 V_{out1} , V_{out2} は出力同相設定電圧 V_{CM} に接続される (図 7.23)。次のアンプフェーズではこれらのスイッチは開放されアンプ動作が行われる。一方、アンプ内部では、図 7.23 に示すように C_1 と C_2 にかかる電圧は 2 つのスイッチを閉じることにより $V_{CM} - V_{bias}$ にリセットされる。別の言い方をするとノード V_b の電圧は V_{bias} にリセットされる。次のアンプフェーズでは、 V_{out1} と V_{out2} がアンプ動作をして V_{CM} から変化するが、ノード V_b の電圧に着目すると、等しい大きさの容量 C_1 と C_2 が出力電圧の変化の平均値を作り出し、 V_{bias} からの変動として加算され、 $V_{bias} \rightarrow \left(V_{bias} + \frac{(V_{out1} - V_{CM}) + (V_{out2} - V_{CM})}{2} \right)$ と変化する。もし、アンプ動作時に出力電圧 V_{out1} , V_{out2} の平均値が V_{CM} より高いほうへ動こうとすると、 V_b の電位が V_{bias} よりも上がり、図 7.23 の 1 段目プリアンプの出力電圧が上がり、2 段目のカスコード型ソース接地アンプの出力 V_{out1} , V_{out2} が下がる方向へフィードバックをかけるので、アンプ出力電圧 V_{out1} と V_{out2} の同相電圧は同相設定電圧 V_{CM} 電圧に近く保たれる。

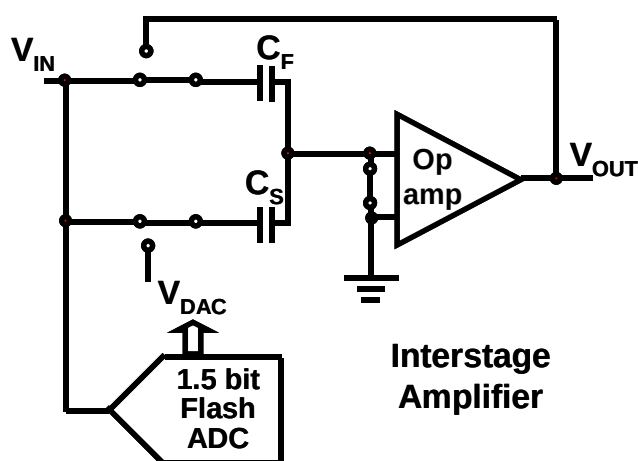


図 7.22 スイッチドキャパシタ型同相負帰還(図 7.23)を組込んだアンプ回路
(シングルエンド表示)

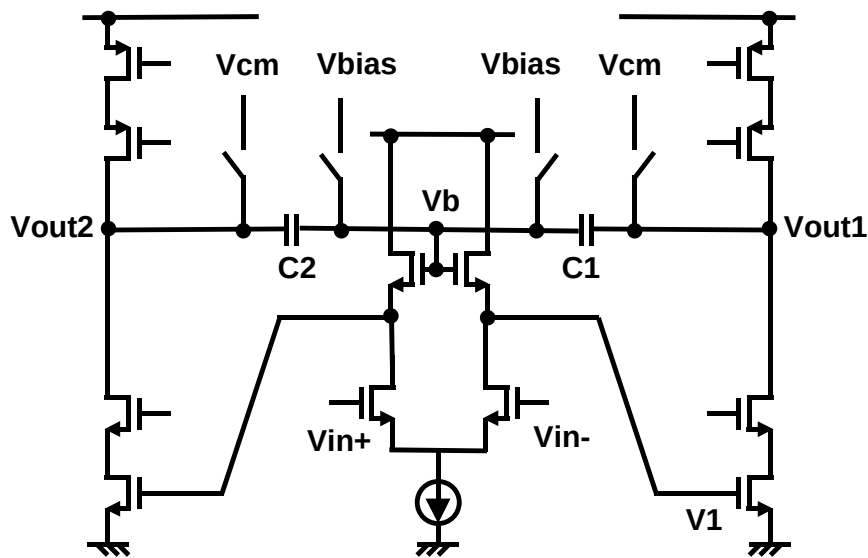


図 7.23 従来の2容量スイッチドキャパシタ型同相負帰還を組み込んだ Op amp 回路

この同相負帰還回路は、使う容量が2個で、小さい容量で済むため面積が小さく、またトランジスタでの消費電力がないので低電力化に向いている。

問題点は、リセットフェーズでオペアンプの入力を短絡して、出力を同相設定電圧 V_{CM} にリセットしてしまうので、オペアンプの入力オフセット電圧を入力容量に蓄えてオフセットキャンセルするという技術が使えない。そこで次の節で、同じ2個の小さい同相負帰還用容量を使い、かつオペアンプの入力オフセットを信号処理容量に吸収させてオフセットキャンセルができる回路を提案する。

7.3.3. 2容量によるオフセットキャンセル可能な低電力・同相負帰還回路の提案

図 7.24 に、2容量スイッチドキャパシタ型同相負帰還回路で、かつリセットフェーズでアンプのオフセット電圧を発生させる回路を提案する。この回路は容量で出力電圧の平均値を作り、これを同相設定電圧 V_{CM} と誤差増幅アンプで比較し、誤差が小さくなるように本体アンプにフィードバックをかける仕組みである。

まずアンプフェーズでは、トランジスタ M_1 と M_2 をオフさせて、等しい容量 C_1 と C_2 がノード V_{cmi} にアンプ出力電圧 V_{out1} , V_{out2} の同相電圧 V_{cmi} を発生させる。誤差増幅アンプがこ

$$\Delta V_{in1} = \sqrt{\frac{2I_{SS}}{\beta \frac{W}{L}}} \quad (14)$$

である。ここで I_{SS} はソース接続ペアの定電流源の電流値、 β はコンダクタンス定数、 W/L は MOS トランジスタのチャンネル幅 W と、チャンネル長 L である。

例えば、 $I_{SS}=100\mu A$ 、 $\beta=60\mu S$ 、 $W/L=12.8\mu m/0.8\mu m$ とすると、

$\Delta V_{in1}=456mV$ となり、この程度の出力振幅を検出できる。ただし 2 差動ペアが必要なので、 $200\mu A$ の電流が必要になる。

これに対して提案する同相負帰還回路では、誤差増幅アンプが検出すべき誤差は V_{out1} 、 V_{out2} の平均値 V_{cmi} と同相設定電圧 V_{CM} の差である。 V_{out1} 、 V_{out2} 自身は振幅が大きい、その平均値 V_{cmi} の動きは V_{out1} 、 V_{out2} の 1/10 も動かない。したがって差動ペアが差電圧を検出する範囲としては、 $45.6mV$ でも十分である。

差動ペアに流す定電流値 $I_{SS}=10\mu A$ として同じサイズの差動ペアで検出範囲を計算すると、

$\Delta V_{in1}=144mV$ となり、十分広い同相電圧の変動に耐えられることが分かる。

この例では、従来の 2 差動ペアによる同相負帰還では $200\mu A$ の電流が必要であるのに対して、提案する方法では $10\mu A$ でよいので、1/20 に電力が低減できていることが分かる。

7.3.4. アンプ入出力および V_{cm} ノードを短絡することによるリセットキャンセル

パイプライン A/D 変換器の中に用いる MDAC 付き 2 倍増幅サンプルホールドアンプの詳細回路を図 7.25 に示す。この回路では、上に述べた同相負帰還回路を適用することにより、オペアンプのオフセットを入力側の容量に蓄えてアンプ時にオフセットをキャンセルさせる入力オフセット記憶方式を採用することができる。

まず、リセットフェーズ（信号サンプリングフェーズ）では、アンプ入出力端子を、スイッチ S_1 を閉じることで短絡し、オフセット電圧 V_{OS} を、入力容量 C_{p1} と C_{n1} 、 C_{p2} と C_{n2} に、スイッチ S_3 と S_4 を閉じることで蓄える。このとき、入力電圧 V_{in1} と V_{in2} は前段のサンプルホールド回路でホールドされており、 C_{p1} 、 C_{p2} には $V_{in1}-V_{1x}$ 、 C_{n1} 、 C_{n2} には $V_{in2}-V_{1y}$ が蓄えられる。

次のアンプフェーズでは、 S_1 - S_4 が開放され S_5 がクローズされる。そして V_{RT} と V_{RB} ま

たは V_{CM} が C_{p1} , C_{n1} の入力端子に加えられる。VRT、VRB または V_{CM} のどれが加えられるかは、この段の 1.5-bit A/D 変換器の結果により決められる。すなわち、1.5-bit A/D 変換器の結果が 00 ならば VRB が、01 ならば V_{CM} が、01 ならば VRT が印加され、D/A 変換器の働きをして、1.5-bit/ステージの伝達特性が実現される。オペアンプのオフセット電圧 V_{OS} はリセットフェーズで C_{p1} , C_{n1} および C_{p2} , C_{n2} に蓄えられているので、アンプフェーズでのアンプの出力電圧からは差し引かれ、オフセットキャンセルが実現できる。

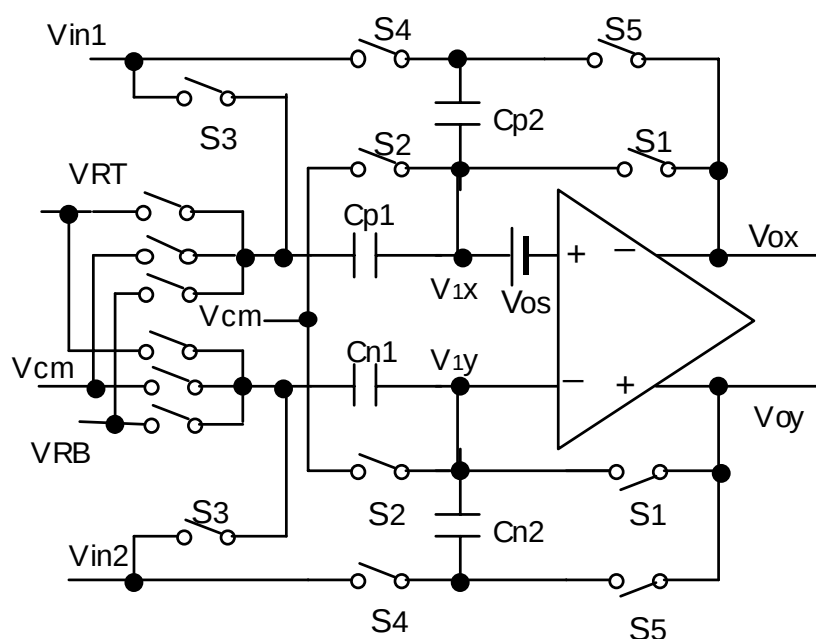


図 7.25 オフセット補正機能を持った2倍アンプ

ところで従来の入力オフセット補償方式では、この図にある V_{CM} とオペアンプの入力端子をつなげるスイッチ S_2 は使われていない。しかしながら、提案する回路では以下の懸念からスイッチ S_2 で入力ノードを V_{CM} につなげてアンプの入力コモンモード電圧を安定化させることとした。それを論ずる前に、完全差動2段増幅オペアンプの入出力ショート of 安定性について議論する。

7.3.5. 完全差動2段増幅オペアンプの入出力ショート時の安定性

上記に議論したように、オペアンプのオフセットをキャンセルするために、オペアンプの入出力を短絡して、オフセット電圧を入力容量にサンプルさせる手法は良く使われている。ただし、カスコードアンプや、フォールデッドカスコードアンプのように1段で増幅度が十分にあるアンプで入出力を短絡することは問題ないが、完全差動の2段増幅アンプで入出力ショートを行うと、場合により発振の可能性があるので注意が必要である。

図 7.26(a) (b) に完全差動型1段オペアンプ、および (c) (d)に2段オペアンプのフィードバックの概念図を示す。

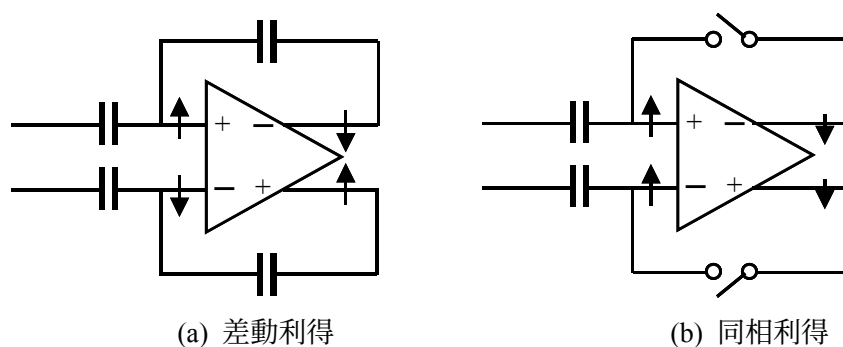


図 7.26 (a) (b) 完全差動型1段オペアンプの差動利得と同相利得

1段オペアンプでは、(c) に示すように、差動利得は反転利得となり、出力の反転端子を入力の前端子へ、非反転端子を入力の後端子へ接続することで差動の増幅回路を作ることができる。一方、(b)に示すように同相で考えてみると、同相信号に対しても1段アンプの出力は反転になっているので、アンプの入出力をショートしても負のフィードバックとなっており安定にリセットすることができ、オフセットキャンセルが可能になる。

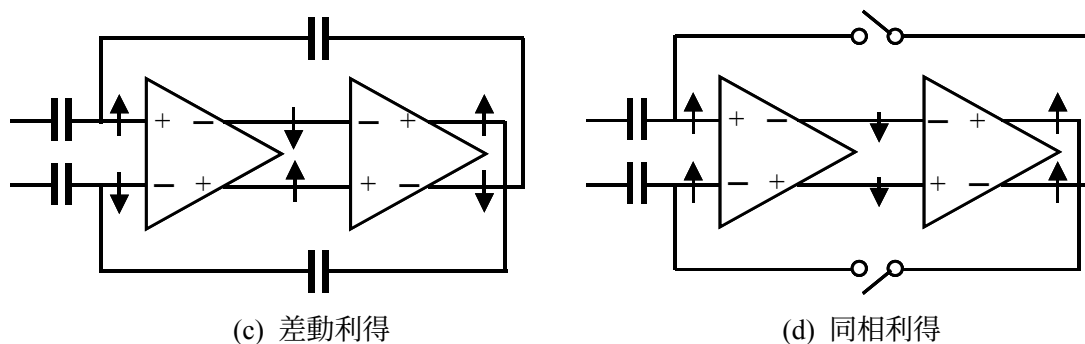


図 7.26 (c) (d) 完全差動型2段オペアンプの差動利得と同相利得

一方、2段オペアンプでは、図 7.26 (c)に示すように、差動については1段オペアンプと同様に、出力の反転端子を入力の前端子へ、非反転端子を入力の後端子へ接続することで差動の増幅回路を作ることができる。一方、同相利得については、そのまま帰還をかけると正帰還になる可能性がある。1段目アンプは同相成分に対して利得は小さいが反転増幅器になり、2段目アンプは同相成分に対して利得の高い反転増幅器になっていることが多い。したがって、図 7.26 (d)に示すように、このまま入出力を短絡するスイッチをオンすると正帰還になって発振する可能性がある。

例えば、前章図 6.15 に示したオペアンプの回路を見ると、1段目の回路はフォールデッド・カスコードアンプであり、同相利得は、差動ペアの下のだ電流源(Tail 電流源)の出力抵抗 r_{o1} とアンプの出力抵抗の比で決まる。だ電流源(Tail 電流源)の出力抵抗が非常に高ければ利得は低いが、出力抵抗がそれほど高くないとある程度のだ相利得になってしまう。2段目の回路は高ゲインの反転アンプである。したがって同相信号に対して2段増幅アンプは非反転アンプであり、入出力を短絡すると正帰還になり発振する可能性がある。

これに対する対応は、同相負帰還によって同相利得を下げることによって、入出力短絡でも発振しないようにできる。図 7.26 (e)はこの概念を示した図である。

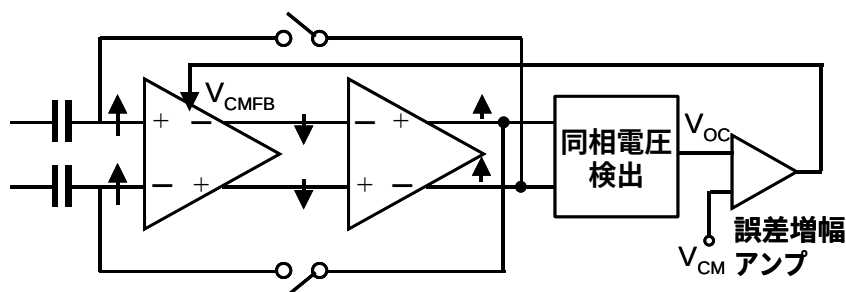


図 7.26 (e) 同相負帰還による同相利得の低減

同相負帰還では完全差動出力の出力電圧 V_{out1} , V_{out2} の平均値を V_{CM} に保とうとして動作する。これは完全差動オペアンプの入力端子に同相入力信号が入っても同相出力はほとんど V_{CM} になって動かないことを示しており、同相利得を大幅に低減することになる。図 7.27 にこの解析を示す。

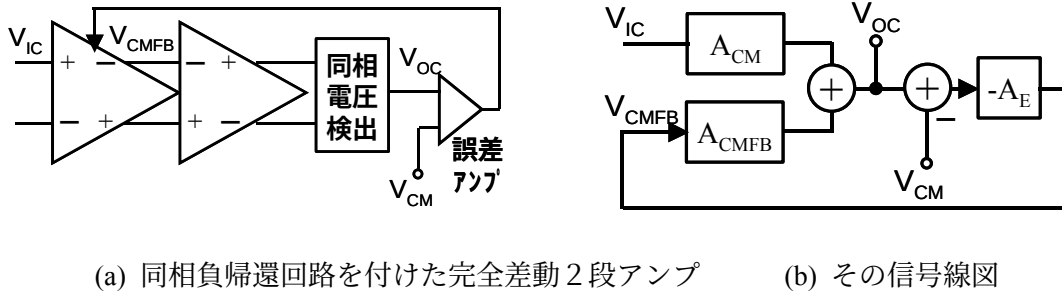


図 7.27 (a) 同相負帰還回路を付けた完全差動 2 段アンプと(b)その信号線図

完全差動 2 段オペアンプの入力同相電圧 V_{IC} から同相出力電圧 V_{OC} までの利得を A_{CM} とし、誤差増幅アンプの利得を A_E 、同相負帰還端子 V_{CMFB} から同相出力電圧 V_{OC} までの利得を A_{CMFB} とし、同相設定電圧を V_{CM} として図(b)を式に表すと、

$$V_{OC} = A_{CM} \cdot V_{IC} - A_E \cdot A_{CMFB} (V_{OC} - V_{CM}) \quad (15)$$

これから、

$$V_{OC} = \frac{A_{CM}}{1 + A_E A_{CMFB}} V_{IC} + \frac{A_E A_{CMFB}}{1 + A_E A_{CMFB}} V_{CM} \quad (16)$$

となる。

この式から同相負帰還が掛かった完全差動 2 段オペアンプの同相利得は、同相利得 A_{CM} を、同相負帰還ループの利得 $A_E A_{CMFB} + 1$ で割った利得になることが分かる。

実際設計した回路のシミュレーションで確認すると以下ようになる。図 7.28 に、図 6.15 の 2 段オペアンプの同相利得周波数特性を示す。低周波では同相利得 A_{CM} は +29dB であり、非反転位相である。したがってアンプの入力と出力を MOS スイッチで接続すると正帰還ループが作られ発振する。次に、この完全差動 2 段オペアンプに同相負帰還回路を付加する。この同相負帰還回路の誤差増幅アンプを含めたループの利得（図 7.26 (e) の同相電圧検出回路の入力端子から、誤差増幅アンプのループを通過して、2 段アンプの出力までの利得） $A_E A_{CMFB}$ は 84dB である。2 段オペアンプの入力から出力までの同相利得は、上記の式から、 $A_{CM} = +29\text{dB}$ から同相負帰還のループ利得 $A_E A_{CMFB} = 84\text{dB}$ で割って、-55dB となるが、シミュレーションでも図 7.28 の「CMFB 付 2 段アンプの同相利得」に示すように -55dB が得られる。したがって、スイッチを閉じてアンプの入出力を接続しても発振なくなり、アンプの入出力をショートすることが可能になる。

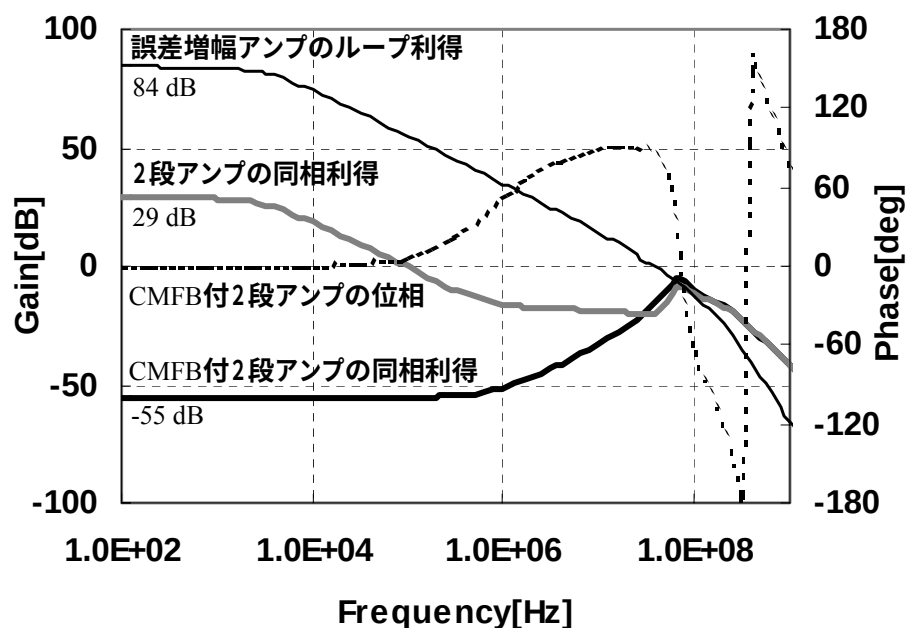


図 7.28 完全差動 2 段オペアンプの同相利得と、同相負帰還をかけたときの同相利得

7.3.6. アンプ入出力短絡と、 V_{CM} ショートによるオフセットキャンセル

上述の同相負帰還によるアンプ入出力短絡によるオフセットキャンセルは、同相負帰還ループが働いている場合には有効であるが、何らかの理由で瞬間的にこのループが正常に働かない場合があると破綻する可能性がある。例えば瞬間的なノイズで回路が動作領域を外れるとループが働かない。もし 400mV-500mV といった大きな負のノイズがアンプの入力に加わって差動ペアの定電流源を瞬間的にカットさせたとすると、または大幅に低減させたとすると、または、同相負帰還の制御端子(V_{CMFB})の電流制御レンジが十分無かったとすると、大きな負のパルス状ノイズが同相負帰還ループの動作を切ってしまう。この問題を避けるために、図 7.25 に示すスイッチ S_2 を閉じてアンプの入力端子電圧を V_{CM} に接続することが入力端子の電圧を安定させるために有効な方法である。アンプの入力端子の電圧変動はこれにより雑音があっても小さい電圧範囲に制限される。

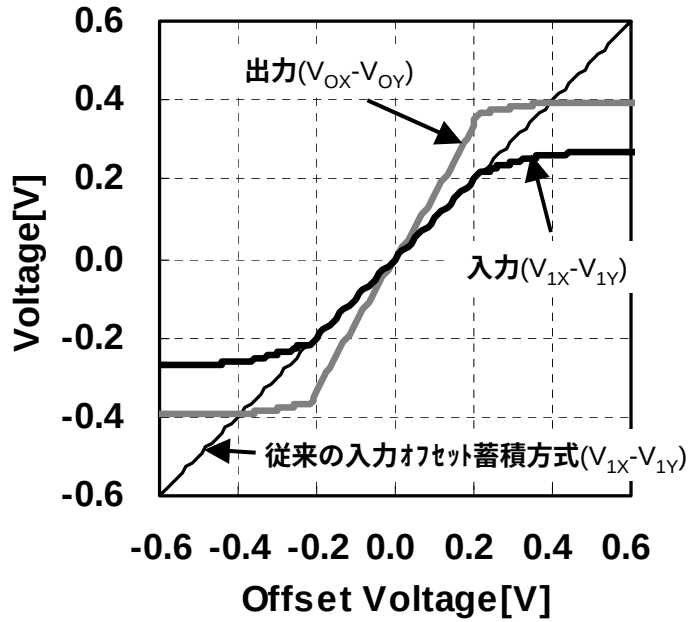


図 7.29 オフセット電圧 V_{OS} と MOS スイッチのオン抵抗があるときの
リセットフェーズでのアンプリセット電圧

ただし、リセットフェーズでアンプ入力端子を V_{CM} 電圧に接続すると、オフセットキャンセルの効果が失われるように見える。もし MOS スイッチがまったくオン抵抗を持たず抵抗がゼロなら、アンプの入力と出力の電圧は等しくなり、従って、アンプのオフセットを容量に記憶させることは不可能になる。しかしながら、実際には MOS スイッチのオン抵抗があるので、オフセットキャンセルは、従来と同じように動作する。図 7.25 に示すように、アンプのオフセット電圧として V_{OS} を仮定する。入力端子の電圧は V_{1X} と V_{1Y} であり、出力端子の電圧は V_{OX} と V_{OY} である。アンプのゲインが A であるとアンプの出力電圧は(17)式で表される。

$$V_{OX} - V_{OY} = \{(V_{1X} - V_{1Y}) - V_{OS}\} \times (-A) \quad (17)$$

また、MOS スイッチ S_1 と S_2 のオン抵抗が R_1 と R_2 であるなら、アンプ出力から V_{CM} ノードへ流れ込む電流は R_1 と R_2 で等しい。従って式(18)と式(19)が成立する。

$$\frac{V_{OX} - V_{1X}}{R_1} = \frac{V_{1X} - V_{CM}}{R_2} \quad (18)$$

$$\frac{V_{OY} - V_{IY}}{R_1} = \frac{V_{IY} - V_{CM}}{R_2} \quad (19)$$

これらの式を解くと、

$$V_{IX} - V_{IY} = \frac{A}{A + \frac{R_1 + R_2}{R_2}} V_{OS} \quad (20)$$

$$V_{OX} - V_{OY} = \frac{R_1 + R_2}{R_2} (V_{IX} - V_{IY}) \quad (21)$$

となる。(20)式は、アンプのゲイン A が（例えば 95-dB のように）大きければ入力端子の電圧はオフセット電圧 V_{OS} になることを示している。従ってアンプのオフセット電圧は、たとえアンプの入力端子を V_{CM} につないだとしても、 C_{P1} と C_{n1} 、 C_{P2} と C_{n2} にリセットフェーズで蓄えられる。

図 7.29 にシミュレーションで求めたアンプの入力電圧(V_{IX} - V_{IY})と、出力電圧(V_{OX} - V_{OY})を示す。一方は提案する技術（つまりスイッチ S_1 と S_2 を同時にオン）を使って求め、他方は従来の入力オフセット蓄積技術（つまりスイッチ S_1 はオンで、 S_2 は存在しない）を使って求めた。従来のオフセットキャンセル法[7.22]では、 S_1 をオンにさせてアンプをユニティゲインの負帰還ループに置き、アンプのオフセット電圧 V_{OS} 、より正確には

$$V_{OUT} = V_{OS} \times \frac{A}{1 + A}、を入力容量 C_{P1} と C_{n1} 、および C_{P2} と C_{n2} に蓄える。$$

次のアンプフェーズの増幅では、オフセットずれたところでアンプが動作するのでアンプ出力にはオフセットがキャンセルされた出力が得られる。

一方、ここで提案する方法では、リセットフェーズでスイッチ S_1 と S_2 は同時にオンされる。すると出力端子の電圧差(V_{OX} - V_{OY})は、(V_{IX} - V_{IY})の $\frac{R_1 - R_2}{R_2}$ 倍になり (図 7.29、式(5))

かつ、入力端子の電圧差(V_{IX} - V_{IY})は式(20)で示される値になる。アンプゲイン A が十分大きければ、入力端子の電圧差は V_{OS} と等しい値になる。従って、アンプフェーズでのオフセットキャンセルが実現できる。従来方式との違いはオフセットキャンセルが可能になる入力電圧がある範囲に限られていることである。図 7.29 の例では $\pm 200\text{mV}$ に限定されている。これはアンプの最大出力電流が限られているため、それ以上のオフセットになるとアンプが十分働かなくなるからである。アンプの出力電流が出力できる最大値に到達すると、ゲ

イン A はもはや本来の大きな値ではなくなるからアンプが働かなくなる。出力可能な最大電流値を 2 倍に変更すると、オフセットキャンセルが可能な電圧範囲は 2 倍の $\pm 400\text{mV}$ まで広がる。または S_1 と S_2 のスイッチのオン抵抗を増してやると、オフセットキャンセル範囲を増加させることができる。しかし $\pm 200\text{mV}$ のオフセットキャンセル範囲は通常の場合十分大きな値である。

7.3.7. 提案アンプの試作による確認

ここで提案した同相負帰還を用いた低電力オフセットキャンセル完全差動アンプは、第 6 章、第 6.3 節で述べた 2.7V 電源、6-bit 13 MHz, 3.2-mA 先読み方式パイプライン A/D 変換器のアンプ回路として設計し有効性を確認した。低電力化の効果は、図 6.13 のパイプライン A/D 変換器の従来型電流内訳を目標電流内訳にする効果があった。すなわちこの例では、同相負帰還回路に 1mA 程度が必要であったが、提案する方式を用い約 0.25mA の電流で済ませることができた。この A/D 変換器全体の性能については、すでに第 6 章で述べたので省略する。

7.4. 結論

(1) 二重フィードフォワード補償アンプの提案による回路の低電源電圧化

低電源電圧の高速 A/D 変換器を実現するため、二重フィードフォワード補償を用いた低電圧に向けたアンプ回路を提案し、これを用いて低電源電圧のパイプライン A/D 変換器を実現した。提案するフィードフォワード補償では、正相アンプに並列に、容量による入力信号のフィードフォワードパスを設け、正相アンプ出力に結合する。こうすると高周波信号成分はこのフィードフォワードパスを通して 2 段目アンプに直接伝わり、アンプでの位相回転が高周波で回復するため、2 段目アンプのバンド幅を最大限利用できる。周波数特性を 1 次特性にするために、ポール・ゼロ・キャンセルを用いた。従来のミラー補償アンプに比べて、フィードフォワード技術は得られるゲインバンド積を 2 倍程度に拡大し、複雑なネステッドミラー補償を使わなくても 3 段の補償を実現できる。フィードフォワード補償の正帰還で生じるゲイン精度劣化の問題に対しては提案する二重フィードフォワードアンプ方式によって実効的な 2 段目アンプのゲインを上げて解決することができる。

アナログ回路の低電源電圧化にに対しては、簡単な差動回路を例にとり、低しきい電圧 V_{th} の採用が、1.2V の低電圧アンプの最低入力電圧を下げることに重要であることを示した。さらに、アナログスイッチでは、低 V_{th} がこのような低電源電圧動作を可能にするために必然であることを示した。

試作では、この二重フィードフォワード補償アンプを使って消費電力 4-mW の 9-bit, 2MHz, A/D 変換器を実現し、提案するアンプが 1.2V 低電源電圧動作に向いていることを実証した。

なお、提案したポジティブフィードバックを使った 3 段増幅回路の補償方法は、ここで提案した単純差動アンプの従属接続ではないが、後に 2002 年に発表された論文[7.23]でも使われて有効性が証明されている。

(2) オフセットキャンセル完全差動アンプと同相負帰還回路の低電力化

また、パイプライン A/D 変換器の中で、オペアンプのつぎに電流を消費している同相負帰還回路の低電力化について検討した。

完全差動オペアンプのオフセットがキャンセルできる方式で、できるだけ電力を低減できる方法として、2 個の容量を同相電圧検出に使い、基準電圧との誤差を誤差増幅アンプで帰還する形式のスイッチドキャパシタ型同相負帰還回路が低電力化に役立つことを示した。提案する同相負帰還回路は、リセットフェーズとアンプフェーズを持ち、リセットでオフセットを蓄えて、アンプフェーズでオフセットキャンセルするアンプである。アンプの入力電圧を V_{CM} につなぐが、スイッチにオン抵抗があるので、アンプオフセット電圧を入力容量に蓄えることができる。

また、アンプ入出力短絡によるオフセットキャンセルを 2 段の完全差動アンプに用いると発振の恐れがあることを示し、同相負帰還と組にすることで安定なオフセットキャンセルが可能になることを示した。

この技術は、第 6 章、第 6.3 節で述べた Bluetooth RF 送受信機 LSI 向けの先読み方式低電力パイプライン A/D 変換器の設計に用いて、その実現性、有効性を確認した。

8. 結論および今後の発展

8.1. 結論

本研究を開始する少し前までバイポーラ・トランジスタにより作られたビデオ用 A/D 変換器は 8-bit, 30-MHz で 2.5W の消費電力が必要であった。ビデオ用 A/D 変換器を搭載した高機能なデジタル信号処理チップを実現するには、A/D 変換器の消費電力を大幅に下げ、例えば 100mW 以下に下げる必要があった。また、デジタル信号処理の規模を大きくするためには、ロジック回路の規模に制約があるバイポーラではなく、高密度ロジックが実現でき、低消費電力にできる可能性のある CMOS で A/D 変換器を実現することが必要であった。

本研究ではデジタル信号処理チップに搭載できるビデオ帯域の低消費電力 CMOS A/D 変換器を実現することを目的とした。ビデオ信号が処理できる A/D 変換方式には並列型があるが、比較器が分解能分だけ必要なため、電力が大きく面積も大きくなる欠点があった。そこで電力と面積を小さくできる A/D 変換方式を追求することを課題とした。電力を小さくするには、回路の規模を低減し、動作速度を低減することが必要である。

CMOS 回路ではスイッチと容量を使ったスイッチドキャパシタ回路を使うことができる。スイッチドキャパシタ回路ではサンプルホールド機能を、それほど電力を増さずに利用できる。またビデオ信号処理は処理すべきサンプルが次々に一定レートで処理できれば良いことが多い。このことから、1クロック以内に A/D 変換全体を完了させるのではなく、A/D 変換器の内部にサンプルホールド回路を置いて、1クロックでは上位の少数ビット、次のクロックで次の少数ビット、さらにまた次のクロックで続く少数ビットを変換するといったパイプライン処理を用いれば、一時に全ビットを変換する方式の A/D 変換器に比べて、部分回路の動作速度を落とすことができるので、消費電力を低減できる可能性がある。

そこで、パイプライン処理を工夫して CMOS A/D 変換器の消費電量を低減することを研究の主な柱とし、論文名を「パイプライン処理を用いた CMOS A/D 変換器の低電力化の研究」とした。

本論文は、パイプライン処理を用いて高速・低電力化を実現するビデオ帯域の A/D 変換器について、そのいくつかの手法を検討・提案し、実際にチップを試作しその効果を確認、報告したものである。

パイプライン処理を用いた A/D 変換器の代表はもちろんパイプライン型 A/D 変換器であるが、本研究ではそれ以外の方式、例えばサブレンジ型や、サイクリック型にもパイプライン処理を導入して、高速化、または低電力化の実現手法を提案した。またパイプライン処理のため A/D 変換を多数のステップに分解すると、上位と下位の間でのオフセット誤差により変換特性がミスコードなどで劣化する恐れがあるが、拡張変換レンジを使ったデジタル誤差補正というアイデアにより、これらオフセット誤差を問題にせず、パイプライン処理の段数を増やすことができる。

以下各章で論じたこと、および得られた性能をまとめる。

第 1 章では、本研究の背景・動機と目的を述べ、特にビデオ帯域の A/D 変換器を CMOS LSI に搭載できるようにすることが本研究の大目的であることを述べ、ビデオ用 A/D 変換器の性能推移、技術推移を説明した。最後に本論文の構成について述べた。

第 2 章では、A/D 変換器の適用例・応用先からその重要性について述べ、さらに、高速 A/D 変換器の方式に付いて説明し、特に方式同士の関係を述べた。つぎに、本論文の主題であるパイプライン処理を用いた A/D 変換器について、パイプライン処理の動作速度、消費電力へ与える優位性、CMOS 回路のパイプライン処理への適合性、ビデオ信号処理へのパイプライン処理の適合性を述べ、A/D 変換方式を消費電力、高速性の観点から見ると、パイプライン処理方式が優れていることを指摘し、これを本論文の研究対象とする理由付けを行った。

第 3 章から第 6 章が高速 A/D 変換器の低電力化に向けた方式の研究である。

第 3 章では、並列型よりも比較器の数を大幅に低減できるサブレンジ型に着目して、その高速性を改善する二重比較器バンク、およびパイプライン処理による高速化を提案した。サブレンジ型では 2 回の変換ステップが必要なため、サンプルホールド回路が必要であるが、これを A/D 変換器の前置回路として設計すると電力が大きくなる。そこで、比較器の中に組込む分散型受動回路のサンプルホールド回路として実現し、消費電力低減することを提案した。また、この変換器では、デジタル回路からの雑音の影響に強い差動型の比較器を開発してデジタルからの雑音の影響を受けにくいようにし、大規模デジタル回路との混載を可能とした。また、上位比較器と下位比較器のオフセットがずれていると、上位変換、下位変換のつなぎ目でビット欠けや微分非直線性の劣化が起こる。これを改善する下

位比較器の拡張領域によるデジタル誤差補正法を提案し、オフセットずれがあっても直線性の劣化にならない手法を提案した。

これら提案する手法を使って、従来 $2\text{ }\mu\text{m}$ CMOS で設計された並列型 A/D 変換器が、8-bit 25-MHz で消費電力が 300 mW、アクティブ部の面積が 16.7mm^2 であったものを、同じ $2\text{ }\mu\text{m}$ CMOS を使って、8-bit, 20-MHz, 200mW と 67%に低消費電力化でき、アクティブ部の面積も 7.6mm^2 と 45%に低減することができた。

第 4 章ではパイプライン A/D 変換器の二重サンプル手法による高速・低電力化について述べた。パイプライン型は、変換時間は長くなるが、ビデオ帯域の変換レートを小面積、低電力で実現できる変換方式である。当時報告されていたパイプライン型は 5MHz の変換レートであったがこれを 15MHz に改善できる二重サンプル方式を開発して、高速・低電力変換を実現した。提案する二重サンプル方式は、D/A 変換器の整定時間と、差分を増幅するアンプの整定時間を分離して、回路の必要動作速度を低減することで高速な変換レートと、低電力なアンプ特性、したがって A/D 変換器全体の電力を低減する方法である。

提案する手法を使って、 $0.8\text{ }\mu\text{m}$ CMOS で設計したパイプライン A/D 変換器は、10-bit 15-MHz 95 mW を達成しチップ面積も 8.91mm^2 とできた。当時バイポーラで発表された 10-bit A/D 変換器は 900mW の電力[4.3]であったので CMOS を使って大幅に電力を低減できることを実証した。当時報告されていた CMOS パイプライン A/D 変換器は、 $3\text{ }\mu\text{m}$ CMOS で 9-bit 5-MHz, 180mW、面積はクロック発生回路、バイアス発生回路、参照電圧発生回路、デジタル誤差補正ロジックを含まずに 5.5mm^2 であったので、これに比べて、ビット数で 1-bit 増、動作速度で 3 倍、電力で約半分、面積は比較が難しいが同等程度にできた。一方、第 3 章で述べた CMOS サブレンジ A/D 変換器に比べると、電力で約半分にすることができた。面積はビット数が 8-bit から 10-bit と 2-bit 増加し、もし並列型で設計すれば面積が 4 倍になったところを、17%の面積増加で抑えることができた。

第 5 章では、3MHz 程度の A/D 変換器を、小面積、低電力で実現するサイクリック変換方式の提案である。サイクリック型は逐次比較型とパイプライン型 A/D 変換器との間の方式であるが、その中途半端な性格のために、一般にはあまり使われていなかった。このサイクリック変換の変換段数と変換時間のトレードオフを明らかにし、最適な変換段数で、かつ最も変換速度が速くなる変換パスを設けたマルチパス方式を開発した。マルチパス方式は、二重サンプル方式と似て、整定時間のかかる D/A 変換器の動作と、差電圧の増幅アンプの動作時間を分離してパイプライン処理化し、高速・低電力の A/D 変換器を実現する

方法である。この手法を使って 10-bit 3Msample/s の A/D 変換器を設計すると、3 回の繰り返しを行うサイクリック方式が最も面積と電力の効率が良かったことが分かった。またマルチパスを用いると、アンプ動作速度を 1.7 分の一に下げられ、アンプ電力は従来の約半分、A/D 変換器全体では消費電力を約 30%削減する効果がある。

0.8 μm CMOS で設計したサイクリック A/D 変換器は、10-bit 3-MHz 10.8 mW を達成し 1.5mm² の小チップ面積であった。当時、逐次比較 A/D 変換器では、10-bit 分解能で面積は 1.2mm² 程度と小さかったが、速度は 500kHz 程度しか達成しておらず、それに比べて動作速度を向上させることができた。一方、当時 10-bit, 10-MHz 程度の速度を達成していたパイプライン A/D 変換器では、最低でも電力が数十 mW, 面積は 4mm² 程度であり大きかった。すなわち、低電力と小面積を達成する手段としてサイクリック型は最適の方式である。

第 6 章は、パイプライン変換器のタイミングと信号処理を工夫した先読み方式パイプライン A/D 変換器の提案である。先読み方式（ルックアヘッド方式）は、低電力化に向けた設計にも、高速化に向けた設計にも役立たせることができる。ハードディスク向け信号処理 LSI では、超高速だけれど並列型ほど電力の大きくない A/D 変換方式が必要であった。そこでパイプライン A/D 変換器の動作速度を高め、並列型程度の速度を得るために、先読み方式を考案した。これは通常のパイプライン A/D 変換器の各段（ステージ）が、自分のステージの残差信号（サンプルホールドされた信号から、D/A 変換器で再生されたアナログ信号を引算した信号：この段の量子化雑音に相当する。）から A/D 変換結果を得るのに対して、前の段の残差信号からこのステージの A/D 変換結果を得る方法である。自分の段の残差増幅が整定するのを待つ必要がないので、その分 A/D 変換器の動作速度を高速化できる。

一方、回路を高速化できるということは、その分アンプ回路のバイアス電流を下げれば低電力化にも役立つ。その低減効果は、例えば、13MHz, 6-bit A/D 変換器の例では、600 μA $\rightarrow$ 250 μA となり大きい。この先読み方式パイプライン A/D 変換技術を Bluetooth 用 RF-IC 用の復調部用 A/D 変換器に適用した例では 0.35 μm で、6-bit, 13-MHz, 3.2mA の低電力パイプライン A/D 変換器を実現した。当時同じ 6-bit で 15MHz のパイプライン A/D 変換器の設計では 4.5mA の電流が必要であったのに比べ低電力化を達成できた。

また、ハードディスク信号処理 LSI の例では、先読み方式のほかに、並列交互動作（インターリーブ）による高速化技術も提案した。同じパイプライン A/D 変換器を並列に並べ、交互動作により 2 倍の高速動作を得る方法である。このときには 2 つのチャンネル間の、

オフセット、ゲイン、サンプルタイミング・ミスマッチ、が誤差要因として発生するが、最も影響の大きいオフセットミスマッチによる誤差について、オフセット補正用 D/A 変換器を使うことにより低減できることを示した。提案する方式では、6-bit 分解能では有るが、255MHz と当時としてパイプライン方式では実現できなかった高速を 200mW で達成することができた。ここで開発した高速パイプライン A/D 変換器技術は、ハードディスクのリード・ライト・チャンネル信号処理 LSI に適用した。

第 7 章では、回路技術によるパイプライン A/D 変換器の低電力化の研究を行った。前半は、低電力化で最も効果のある電源電圧を低電圧化する研究である。MOS の微細化が進むとデバイスの電源電圧を下げなければならずアナログ回路が作りにくくなる。デジタル回路は微細化で電源電圧を低下させても、動作速度 t_{pd} は負荷容量が小さくなるため改善できるが、アナログ回路は設計が難しくなる。そこで、0.3- μm で 1.2V での A/D 変換器の実現技術について研究した。オペアンプを 1.2V のような低電圧でビデオ帯のような高速な動作をさせる方法は当時知られておらず、オペアンプにカスコード型回路を使わない回路構成が必要になる。単純な差動アンプは電源電圧の問題は解決できるが、アンプ 1 段あたりの利得が取れなくなるので多段の、例えば 3 段の増幅段を使ったオペアンプを設計する必要がある。3 段アンプに単純にフィードバックを掛けると位相回転により回路が発振する。そこで位相補償としてフィードフォワード補償を新しく考案した。これによって 1.2V でも 9-bit, 2-MHz のパイプライン A/D 変換器が設計できるようになった。消費電力は 4mW である。

さらに通常の 1.2V まで電源電圧を下げない、2.5V 程度のパイプライン A/D 変換器での低電力化を実現するため、本章後半では同相負帰還回路の低電力実現について議論する。オフセットをキャンセルしつつ低電力な同相負帰還回路を実現するため、アンプの入出力ショートと、アンプの入力の同相電位 V_{com} へのショート方式を提案している。

以上、パイプライン処理を工夫することで CMOS A/D 変換器の高速・低消費電力化を実現するアーキテクチャを提案すると共に、低電源電圧化に役立つフィードフォワードアンプ設計を提案し、これをパイプライン A/D 変換器に用いることにより別の面からパイプライン A/D 変換器の低電力化が可能になるようにした。

これらの技術を用いることによって、当初目標としたビデオ帯域の信号処理が可能な A/D 変換器を搭載した信号処理 LSI が実現できるようになった。消費電力で考えると、当初バイポーラでは 2.5W 必要であったものを、2 μ m 時代にサブレンジ方式を用いることで 200mW 程度の電力で 8-bit A/D 変換が実現できるようにした。0.8 μ m 時代には、10-bit で 96mW 程度の A/D 変換器を実現できるようにした。さらに現在 0.35 μ m 程度では、10-bit 20MHz 変換器の電力は 10~20mW 程度に低減している。これらの方式的進歩は CMOS の得意とするサンプルホールド機能を巧みに組合せたパイプライン処理に負うところが大きい。

8.2. 今後の発展

以上の本研究および、世界での本分野の研究開発の結果、現在ではビデオ帯域の A/D 変換器が十数 mW 場合によっては数 mW 程度で実現できるようになってきており、ビデオ用 A/D 変換器を搭載した信号処理 LSI は当たり前のように設計できるようになり当初の目的は達成できたといえる。

しかしながら、最近の 65nm プロセスから先の CMOS プロセスの微細化では、さらに難しい課題が高速 A/D 変換器設計に要求されるようになってきている。

それは微細化に伴うアナログ設計の困難さの問題である。デバイスが微細化されるにつれて、

- 1) 電源電圧が低下するため、信号対雑音比 (SNR) を取ることが難しくなっている。
- 2) デバイスの出力抵抗が低下していくためアンプの利得が取れなくなっており、高精度スイッチドキャパシタ回路を作るのが難しくなっている。
- 3) 電源電圧が低下し、MOS スイッチのオン抵抗が上がり、場合によってはオンしないことになり、スイッチドキャパシタ回路が使えなくなっている。

これらの問題に対して、各種の研究開発がなされているが、1)の問題をパイプライン A/D 変換器の設計で考えると、分解能が例えば 8-bit や 10-bit と少ないうちは雑音(熱雑音や kT/C 雑音)は問題にならないので、電源電圧の低い微細プロセスで設計することにメリットがあるが、12-bit や 14-bit といった雑音が問題になる分解能では、微細プロセスで電源電圧を下げた設計するよりも、むしろ微細化されていないプロセスを使って、電源電圧を高めに

して設計する方が信号振幅 S を取れ、雑音 N に対する SNR が上がり消費電力が低下することが明らかにされている。つまり分解能の高いパイプライン A/D 変換器に微細プロセスを使うことはかえって不利になり、従来のプロセスを使ったほうが良い。

また、2)の問題に対しては、例えばパイプライン A/D 変換器で考えると、オペアンプの利得が低下するためスイッチドキャパシタ回路で組む残差増幅アンプの利得が正確に 2 ではなく変換特性が劣化するといった問題が起きる。例えば、第 4 章、図 4.15 段間アンプの利得誤差で示したような変換特性上の誤差がおきるので、これをデジタル補正技術などで補正する必要がある。デジタル補正技術は現在盛んに研究されている分野であり、デジタル回路は微細化で小さくなるので、いずれ工業的にも実用化される可能性は高い。

3)の低電源電圧化によってスイッチドキャパシタ回路が動作しなくなる問題は厳しい。第 7 章で述べたように、しきい電圧を $0.2 \sim 0.3V$ 程度にさげることにより $1.2V$ 電源のスイッチドキャパシタ回路はなんとか設計できるが、オペアンプのゲインバンド積を高く設計することは難しい。また、これ以下の電源電圧が必要とすると、もう MOS スイッチが正常に動作しない（オンしない）ため、スイッチドキャパシタ回路は役立たなくなる。これに対する回答は色々研究されているが、ひとつの方法は連続時間系の $\Delta \Sigma$ A/D 変換器を使うことである。微細化が進むにつれ、デバイスの動作速度が上がり、高いクロック周波数を使って回路が動作させられるようになってきた。 $\Delta \Sigma$ A/D 変換器で $10MHz$ の信号帯域を実現しようとする、オーバーサンプル周波数を例えば $320MHz$ や $640MHz$ にする必要があるが、従来はこのような周波数を使うのは現実的でなかった。しかし微細化が進んだ結果、デバイスが高速になり高いクロック周波数も使えるようになったため、高 SNR の $\Delta \Sigma$ A/D 変換器を実現できるようになってきている。連続系の $\Delta \Sigma$ A/D 変換器ではループフィルタに使われる積分器はスイッチドキャパシタではなく、連続時間の R-C 積分器で設計できる。これらの技術により $\Delta \Sigma$ A/D 変換器でもビデオ帯域をカバーできるような変換器が研究レベルで報告されるようになっており、これが一つの解決策であろう。

もっとも、工業的には、無理に微細プロセス上の低電源電圧のトランジスタで A/D 変換器を設計する必要はない。例えば $65nm$ の微細プロセスでも、入出力(I/O)デバイス向けに $3V$ 耐圧の酸化膜の厚いトランジスタが同時に作られており、この $3V$ トランジスタを使っ

て、A/D 変換器を設計することができる。あるいは、デジタル部は微細プロセスのチップで製作し、アナログ部はあまり微細でないプロセスで製作し、その2つのチップを一つのパッケージに組み立てる SIP (System in Package)の技術も発展してきており実用に供されている。研究は別として、工業的にはこのような I/O デバイスを併用するアプローチ、または SIP による集積化、が当分続くと考えられ、本研究で得られた成果は、今後とも十分活用できると期待される。

9. 参考文献および研究業績

9.1. 参考文献

第1章（序論）の参考文献

- [1.1] Ian Young, “A History of the Continuously Innovative Analog Integrated Circuit,” IEEE Solid-State Circuit Society, pp. 52-57, fall 2007
- [1.2] David Robertson, “ISSCC 50th Anniversary Supplement 1954-2003; 50 years of Analog Development at ISSCC” pp. S-16, S18, ISSCC Home page.
- [1.3] M. B. Rudin et al. System/Circuit Device Considerations in the Design and Development of a D/A and A/D integrated Circuits Family, ISSCC 1967 pp.16-17
- [1.4] J. L. McCreary and P. R. Gray, “All-MOS Charge Redistribution Analog-to-Digital Converter Techniques-Part I,” IEEE Journal of Solid-State Circuits, Dec. 1975
- [1.5] W. R. Crone Edited, “Analog MOS Integrated Circuits”, IEEE Press, (IEEE Selected reprint series) 1980
- [1.6] Daniel J. Dooly Edited, “Data Conversion Integrated Circuits,” IEEE Press, (IEEE Selected reprint series) 1980
- [1.7] W. R. Crone Edited, “Analog MOS Integrated Circuit, II”, IEEE Press (IEEE Selected reprint series) 1988
- [1.8] Y. Okada, T. Matsuura, T. Shinmi, Y. Matsumoto, H. Nishijima, M. Masuda and S. Ueda, “A Mixed Analog/Digital Video Signal Processing LSI with on-chip AD and DA Converters,” in CICC Dig. Tech. Papers, 1989, 24.1
- [1.9] Walt Kester, “MT-020: ADC Architecture I: The Flash Converter”, Università di Pisa-Microelectronic Technologies and Microsystems-Home page, <http://phobos.iet.unipi.it/~barilla/>
- [1.10] James G. Peterson, “A Monolithic Video A/D Converter,” IEEE Journal of Solid State Circuits, Vol. SC14, No. 6, December, 1979
- [1.11] K. Matsui, T. Matsuura, and K. Iwasaki, “2- μ m CMOS Switched Capacitor Circuits for Analog VIDEO LSI,” International Symposium on Circuits and Systems (ISCAS), Proceedings, pp.586-589, May 1982
- [1.12] K. Matsui, T. Matsuura, S. Fukasawa, Y. Izawa, Y. Toba, N. Miyake, and K. Nagasawa,

“CMOS Video Filters using Switched Capacitor 14MHz Circuits,” ISSCC 1985, FAM 19.4 pp.282-283, Feb. 1985

- [1.13] K. Matsui, T. Matsuura, S. Fukasawa, Y. Izawa, Y. Toba, N. Miyake, and K. Nagasawa, "CMOS Video Filters using Switched Capacitor 14-MHz Circuits," IEEE Journal of Solid-State Circuits, Vol.SC-20, No.6, pp. 1096-1102, Dec.1985
- [1.14] T. Matsuura, K. Matsui, K. Ishikura, T. Takagi, “New basic Circuit for High Precision Capacitor Memory,” Convention Record of Institute of Electronics and Communication Engineers of Japan, 467, p.2.239, March 1984
- [1.15] T. Tsukada, Y. Nakatani, E. Imaizumi, Y. Toba and S. Ueda, “CMOS 8b 25MHz flash ADC,” in ISSCC Dig. Tech. Papers, WAM2.7, Feb. 1985, pp. 34-35
- [1.16] Andrew G. F. Dingwall, “Monolithic Expandable 6 Bit 20 MHz CMOS/SOS A/D Converter,” IEEE Journal of Solid-State Circuits, Vol. SC-14, No. 6 Dec. 1979
- [1.17] Toshihiko Shimizu, Masao Hotta, Kenji Maio and Seiichi Ueda, “A 10-bit 20-MHz Two-Step Parallel A/D Converter with Internal S/H,” IEEE Journal of Solid-State Circuits, Vol. 24, No. 1, February 1989
- [1.18] Masao Hotta, and Tatsuji Matsuura, “Key Technologies for Miniaturization and Power Reduction of Analog-to-Digital Converters for Video Use,” IEICE Trans. Electronics, VOL EC. No. 6, June 2006

第2章（A/D変換器）の参考文献

- [2.1] Franco Maloberti, “Data Converters”, Springer, 2007
- [2.2] Rudy van de Plassche, “CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters” 2nd Edition, 2003
- [2.3] Mikael Gustavsson, J. Jacob Wikner, Nianxiong Nick Tan, “CMOS Data Converters for Communications”, Kluwer Academic Publishers, 2000
- [2.4] Behzad Razavi, “Principles of Data Conversion System Design”, IEEE Press, 1995

第3章（サブレンジ）の参考文献

- [3.1] T. Matsuura, T. Tsukada, S. Ohba, E. Imaizumi, H. Sato, and S. Ueda, "An 8-b 20-MHz CMOS Half-Flash A/D converter,” in ISSCC Digest of Technical Papers, pp.220-221 FAM 15.1, Feb.

1988

- [3.2] 松浦達治、塚田敏郎、今泉栄亀「20MHz 8bit 直並列型 CMOS A/Dコンバータ」電子情報通信学会・研究会報告 ICD88-8, 1988年4月21日
- [3.3] A. G. F. Dingwall, "Monolithic Expandable 6-bit 20-MHz CMOS/SOS A/D Converter," IEEE J. Solid-State Circuits Vol. SC-14, pp.926-932, Dec. 1979
- [3.4] Y. Fujita, E. Masuda, S. Sakamoto, T. Sakaue, and Y. Sato, "A Bulk CMOS 20MS/s 7b Flash ADC," in ISSCC Dig. Tech. Papers, Feb. 1984, pp.56-57
- [3.5] T. Tsukada, Y. Nakatani, E. Imaizumi, Y. Toba and S. Ueda, "CMOS 8b 25MHz Flash ADC," in ISSCC Dig. Tech. Papers, Feb. 1985, pp.34-35
- [3.6] A. Yukawa, "A CMOS 8-bit High-speed A/D Converter IC," IEEE J. Solid-State Circuits, Vol. SC-20, pp.775-779, June 1985
- [3.7] A. K. Joy, R. J. Killips and P. H. Saul, "An Inherently Monotonic 7-bit CMOS ADC for Video Applications," IEEE J. of Solid-State Circuits, Vol. SC-21, pp.436-440, June 1986
- [3.8] T. Kumamoto, N. Nakaya, H. Honda, S. Asai, Y. Akasaka and Y. Horiba, "An 8-bit High-Speed CMOS A/D Converter," IEEE J. of Solid-State Circuits, vol. SC-21, pp. 976-982, Dec. 1986
- [3.9] A. G. F. Dingwall and V. Zazzu, "An 8MHz CMOS Subranging 8bit A/D Converter," IEEE J. of Solid-State Circuits, vol.SC-20, pp.1138-1143, Dec. 1985
- [3.10] S. H. Lewis and P. R. Gray, "A Pipelined 5MHz 9b ADC," in ISSCC Dig. Tech. Papers, Feb. 1987, pp. 210-211
- [3.11] N. Fukushima, T. Yamada, N. Kumazawa, Y. Hasegawa and M. Soneda, "A CMOS 40MHz 8b 105mW Two-Step ADC" in ISSCC Dig. Tech. Papers, Feb. 1989, pp.14-15
- [3.12] M. Ishikawa and T. Tsukahara, "An 8b 40MHz Subranging ADC with Pipelined Wideband S/H," in ISSCC Dig. Tech. Papers, Feb. 1989, pp.12-13
- [3.13] G. Wegmann, E. A. Vittoz and F. Rahali, "Charge Injection in Analog MOS Switches," IEEE J. of Solid-State Circuits, Vol. SC-22, pp.1091-1097, Dec. 1987
- [3.14] J. Doernberg and D. A. Hodges, "A 10-bit 5 Msample/sec 2-Step Flash ADC," in CICC Dig. Tech. Papers, 1988, 18.6.1
- [3.15] T. Matsuura, H. Kojima, E. Imaizumi, K. Usui, S. Ueda, "An 8-b, 50-MHz 225-mW, Submicron CMOS ADC using Saturation Eliminated Comparators," Proceedings of the IEEE 1990 Custom Integrated Circuits Conference, Boston Massachusetts, 6.4, May 1990

- [3.16] Masumi Kasahara, Kouich Yahagi, Hiroshi Sonoda, Seiichi Ueda, Tatsuji Matsuura, 'A CMOS 9 bit 25Mhz 100mW ADC for Mixed Analog/Digital LSIs,' Custom Integrated Circuit Conference 26.7, 1991
- [3.17] Y. Okada, T. Matsuura, T. Shinmi, Y. Matsumoto, H. Nishijima, M. Masuda and S. Ueda, "A Mixed Analog/Digital Video Signal Processing LSI with on-chip AD and DA Converters," in CICC Dig. Tech. Papers, 1989, 24.1
- [3.18] 岡田 豊、松本芳幸、松浦達治、新美敏男、西島英男、増田美智雄、上田誠一「AD/DA 変換器内蔵ビデオ信号処理 L S I」電子情報通信学会・研究会報告 ICD89-119, 1989年9月22日
- [3.19] T. Komatsu, K. Watanabe, E. Minamimura, Y. Kowase, S. Ueda, S. Asai and T. Matsuura, "CMOS High Speed Digital Datastrobe Processor," in CICC Dig. of Tech. Papers, 1989, 11.1
- [3.20] Y. Shimizu, S. Murayama, K. Kudoh, et. Al., "A 30mW 12b 40MS/s Subranging ADC with a High-Gain Offset-Canceling Positive-Feedback Amplifier in 90nm Digital CMOS", ISSCC Dig. Tech. Papers, pp. 218-219, Feb. 2006
- [3.21] D. J. Huber, R. J. Chandler, A. A. Abidi, "A 10b 160MS/s 84mW 1V Subranging ADC in 90nm CMOS," ISSCC Dig. Tech. Papers, pp. 454-455, Feb. 2007
- [3.22] Y. Shimizu, S. Murayama, K. Kudoh, H. Yatsuda, "A Split-Load Interpolation-Amplifier-Array 300MS/s 8b Subranging ADC in 90nm CMOS", ISSCC Dig. Tech. Papers, 30.7, pp. 552-553, Feb. 2008

第4章（パイプライン）の参考文献

- [4.1] T. Matsuura, M. Hotta, K. Usui, E. Imaizumi, S. Ueda, "A 95-mW, 10-bit 15-MHz Low-power CMOS ADC using Analog Double-Sampled Pipelining," 1992 Symposium on VLSI Circuits, 10.4, June 1992.
- [4.2] 松浦達治、堀田正生、上田誠一、臼井邦彦、今泉栄亀「二重サンプルパイプライン方式、低電力 95-mW, 10-bit, 15-Mhz, CMOS A/D 変換器」電子情報通信学会・研究会資料 ICD92-21 pp. 17-22, 1992年6月25日
- [4.3] T. Shimizu, et al, "A 10-bit, 20-MHz Two-Step Parallel A/D converter with internal S/H," IEEE J. of Solid-State Circuits, pp.13-20, Feb. 1989
- [4.4] A. Matsuzawa et al, "A 10b 30MHz Two-Step Parallel BiCMOS ADC with internal S/H,"

- ISSCC Dig. Tech. Papers, pp.162-163, Feb. 1990
- [4.5] B. S. Song and M. F. Tompsett, "A 10b 15MHz Recycling Two-Step A/D Converter," ISSCC Dig. Tech. Papers, pp.158-159, Feb. 1990
- [4.6] S. Lewis, P. R. Gray, "A Pipelined 5MHz 9b ADC", ISSCC Dig. Tech. Papers, pp.210-211, Feb. 1987
- [4.7] S Lewis et al, "Pipelined 9-stage video rate analog-to-digital converter," CICC pp.26.4.1-26.4.4, June 1991
- [4.8] S. Lewis, H. S. Fetterman, G. F. Gross, Jr, R. Ramachandran, T. R. Viswanathan, "A 10-b 20-Msample/s Analog-to-Digital Converter," IEEE J. of Solid-State Circuits, Vol.27, No.3, March 1992,
- [4.9] S. H. Lee, and B. S. Song, "Digital-Domain Calibration of Multistep Analog to Digital Converters," IEEE Journal of Solid State Circuits, Dec. 1992

第5章（サイクリック）の参考文献

- [5.1] A. Kitagawa, T. Matsuura, M. Kokubo, T. Tsukada, M. Hotta, K. Maio, E. Yamamoto, E. Imaizumi, "A 10b 3MSample/s CMOS Cyclic ADC," ISSCC Digest of Technical Papers, Feb. 1995.
- [5.2] Tatsuji Matsuura, Akihiro Kitagawa, Toshiro Tsukada, Eiki Imaizumi, 'A 10-bit 3-Msample/s Multipath Multibit CMOS Cyclic ADC' IEICE Trans. on Electronics, The Institute of Electronics and Communication Engineers (Japan), Vol.E83-C, No.2, Feb. 2000
- [5.3] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques, part I," IEEE J. of Solid-State Circuits, Vol. SC-10, pp.371-379, Dec. 1975.
- [5.4] K. Sato, K. Tsuji, M. Sahoda and T. Iida, "A 12bit 1 MHz ADC with 1mW power consumption," IEICE Technical Report, ICD94-46, June 1994
- [5.5] M. Yotsuyanagi, A. Yukawa, K. Hinooka, K. Shiraki, and H. Abiko, "A 12bit 5usec CMOS recursive ADC with 25mW power consumption," IEEE Custom Integrated Circuit Conference, pp.6.4.1-6.4.4, May 1989
- [5.6] B.-S. Song, S.-H. Lee, and M. F. Tompsett, "A 10-bit 15-MHz CMOS recycling two-step A/D converter," IEEE J. of Solid-State Circuits, vol.25 no.6, pp.1328-1338, Dec. 1990.
- [5.7] K. Kusomoto, A. Matsuzawa and K. Murata, "A 10-b 20-MHz 30-mW pipelined interpolating

- CMOS ADC,” IEEE J. of Solid-State Circuits, vol. SC-28, pp.1200-1206, Dec. 1993.
- [5.8] N. Kumazawa, N. Fukushima, T. Fujiwara, K. Motoyama and N. Akui, “A CMOS 3V 24 mW 20 MSPS 10 bit A/D converter with self calibration unit,” Symp. VLSI Circuits Dig. Tech. Papers, pp.15-16, June 1994.
- [5.9] M. Ito, T. Miki, S. Hosotani, T. Kumamoto, Y. Yamashita, M. Kijima, T. Okuda, and K. Okada, “ A 10b 20Ms/s 3V supply CMOS A/D converter,” IEEE J. of Solid-State Circuits, vol.29, pp.1531-1536, Dec. 1994.
- [5.10] K. Nakamura, M. Hotta, L. R. Carley and D. J. Allstot, “A 85-mW, 10-bit 40-Ms/s ADC with decimated parallel architecture,” IEEE J. of Solid-State Circuits, vol.30, pp.173-183, March 1995.
- [5.11] T. B. Cho and P. R. Gray, “A 10b 20 Msample/s, 35 mW pipeline A/D converter,” IEEE J. of Solid-State Circuits, vol.3, no.3, pp.166-172, March 1995.
- [5.12] W.-C. Song, H.-W. Choi, S.-U. Kwak, and B.-S. Song, “A 10-b 20-Msample/s low-power CMOS ADC,” IEEE J. of Solid-State Circuits, vol.30, no.5, pp.514-521, May 1995.
- [5.13] P.C. Yu, and H. S. Lee, “A 2.5V 12b 5Msample/s pipelined CMOS ADC,” ISSCC 96 AS 19.2, Feb. 1996
- [5.14] H. Hasegawa, M. Yotsuyanagi, M. Yamaguchi, and K. Sone, “A 1.5V video-speed current mode current-tree A/D converter,” Symp. VLSI Circuits Dig. Tech. Papers, pp.17-18, June 1994.
- [5.15] M. Yotsuyanagi, H. Hasegawa, M. Yamaguchi, M. Ishida, and K. Sone, “A 2V 10b, 20 Msample/s, mixed-mode subranging CMOS A/D converter,” IEEE J. of Solid-State Circuits, vol.30, no.12, pp.1533-1537, Dec. 1995
- [5.16] H. Hasegawa, M. Yotsuyanagi, M. Satoh, S. Kishi, M. Ishida, and M. Yamaguchi, “A 1.5V 8b 8 mW BiCMOS video A/D converter,” ISSCC SA 19.6, pp.322-323 Feb. 1996.
- [5.17] A. M. Abo and P. R. Gray, “A 1.5V 10-bit, 14.3Ms/s CMOS pipelined analog-to-digital converter,” IEEE J. of Solid-State Circuits, vol.34, no.5, pp.599-606, May 1999.
- [5.18] S. H. Lewis and P. R. Gary, “A pipelined 5-Msample/s 9-bit analog-to-digital converter,” IEEE J. of Solid-State Circuits, vol.sc-22, no.6, pp.954-961, Dec. 1987.
- [5.19] S. H. Lewis, H. S. Fetterman, G. F. Gross, Jr., R. Ramachandran and T. R. Viswanathan, “ A 10-b 20-Msample/s analog-to-digital converter,” IEEE J. of Solid-State Circuits, vol.27, no.3,

pp.351-358, March 1992.

第6章（先読み方式パイプライン）の参考文献

- [6.1] J. Kudoh, T. Matsuura, and E. Imaizumi, 'A 3.2-mA 6-bit pipelined A/D converter for a Bluetooth RF transceiver' European Solid-State Circuit Conference, pp.544-547, Sept. 2001
- [6.2] T. Matsuura, J. Kudoh, and E. Imaizumi, "A 3.2-mA 6-bit Pipelined A/D Converter for a Bluetooth RF Transceiver," IEICE Trans. Electron, Vol. E85-C, no. 8 August 2002.
- [6.3] M. Kokubo, M. Shida, T. Ishikawa, H. Sonoda, K. Yamamoto, T. Matsuura, M. Matsuoka, T. Endo, T. Kobayashi, K. Oosaki, T. Henmi, J. Kudoh, and H. Miyagawa, 'A 2.4-GHz RF Transceiver with digital channel selection filter for Bluetooth', International Solid-State Circuit Conference, 5.5, Feb. 2002.
- [6.4] Masaru Kokubo, Masaaki Shida, T. Oshima, Y. Shibahara, T. Matsuura, K. Kawai, T. Endo, K. Osaki, H. Sonoda, K. Yamamoto, M. Matsuoka, T. Kobayashi, T. Hemmi, J. Kudoh, H. Miyagawa, H. Utsunomiya, Y. Ezumi, K. Takayasu, J. Suzuki, S. Aizawa, M. Motoki, Y. Abe, T. Kurosawa, S. Ookawara, 'A Small-Chip-Area Transceiver IC for Bluetooth Featuring a Digital Channel-Selection Filter', IEICE Trans. Electron. Vol.E87-C, No. 6, June 2004, pp.878-887
- [6.5] J. Jussila, J. Ryynanen, K. Kivekas, L. Sumanen, A. Parssinen, and K. Halonen, 'A 22-mA 3.0 dB NF Direct Conversion Receiver for 3G WCDMA', IEEE Journal of solid-state circuits, Vol. 36, No. 12, pp. 2025-2029, Dec. 2001.
- [6.6] Tatsuji Matsuura, Takashi Nara, Tatsuya Komatsu, Eiki Imaizumi, Toshihiro Matsuturu, Ryutaro Horita, Haruto Katsu, Shintaro Suzumura, Kazuo Sato, 'A 240 Mbps 1-W CMOS EPRML Read-Channel LSI for Hard Disk Drives,' ISSCC Digest of Technical Papers, pp. 386-387, SP 24.5, Feb. 1998
- [6.7] Tatsuji Matsuura, Takashi Nara, Tatsuya Komatsu, Eiki Imaizumi, Toshihiro Matsuturu, Ryutaro Horita, Haruto Katsu, Shintaro Suzumura, Kazuo Sato, 'A 240 Mbps 1-W CMOS EPRML Read-Channel Chip using an Interleaved Subranging Pipeline A/D Converter,' IEEE Journal of Solid-State Circuits, Vol. 33, No. 11, pp. 1840-1850, Nov. 1998
- [6.8] 松浦達治、今泉栄亀、豊田研次「ハードディスク用アナログデジタル混載 240Mbps CMOS-EPRML リードチャンネルチップ」電子情報通信学会・技術研究報告資料 CAS98-71, 1999年1月

- [6.9] S. H. Lewis, et al., "A 10-b, 20-Msample/s Analog-to-Digital Converter," IEEE J. Solid-State Circuits, vol. 27, no. 3, pp.351-358, 1992
- [6.10] A. N. Karanicolas, H. S. Lee and K. L. Bacrania, "A 15-b 1-Msample/s digitally self-calibrated pipeline ADC," IEEE J. Solid-State Circuits, vol. 28, no. 12, pp.1207-1215, Dec., 1993
- [6.11] Specifications of the Bluetooth System, Version 1.0B, December 1999.
- [6.12] Jon Fields, et al., "A 200Mb/s CMOS EPRML Channel with Integrated Servo Demodulator for Magnetic Hard Disks," in ISSCC Digest of Technical Papers, pp 314-315, Feb. 1997
- [6.13] Jenn-G Chern, et al., "An EPRML Digital Read/Write Channel IC," in ISSCC Digest of Technical Papers, pp 320-321, Feb. 1997
- [6.14] Roberto Alini, et al., "A 200Msample/s Trellis-Coded PRML Read/Write Channel with Digital Servo," in ISSCC Digest of Technical Papers, pp 318-319, Feb. 1997
- [6.15] Richard Yamasaki, et al., "A 1,7 Code EEPR4 Read Channel IC with an Analog Noise Whitened Detector," in ISSCC Digest of Technical Papers, pp 316-317, Feb. 1997
- [6.16] M. Leung, et al., "A 300Mb/s BiCMOS EPR4 Read Channel for Magnetic Hard Disks," in ISSCC Digest of Technical Papers, pp.378-379, Feb. 1998
- [6.17] G. Vishakhadatta, et al., "A 245Mb/s EPR4 Read/Write Channel with Digital Timing Recovery," in ISSCC Digest of Technical Papers, pp 388-389, Feb. 1998
- [6.18] S. Mita, Y. Ouchi, T. Takashi, N. Sato, H. Aoi, S. Minoshima, T. Hirai, H. Miyasaka, R. Shimokawa, T. Matsuura, H. Sawaguchi, S. Miyazawa, K. Hikasa, "A 150-Mb/s PRML Chip for Magnetic Disk Drives," ISSCC Digest of Technical Papers, pp.62-63, Feb. 1996
- [6.19] K. Ono, T. Matsuura, E. Imaizumi, H. Okazawa, and R. Shimokawa, 'Error Suppressing Encode Logic of FCDL in a 6-bit Flash A/D Converter', IEEE Journal of Solid-State Circuits, Vol. 32, No. 9, pp. 1460-1464, Sept. 1997
- [6.20] K. Ono, T. Matsuura, E. Imaizumi, H. Okazawa, R. Shimokawa, "Error Suppressing Encode Logic of FCDL in 6-bit Flash A/D Converter," 1996 Bipolar/BiCMOS Circuits & Technology Meeting, Sept. 1996
- [6.21] Marvell Semiconductor, Inc. Home page; <http://www.marvell.com/>
- [6.22] P. Setty, J. Barner, J. Plany, H. Burger, and J. Sonntag, "A 5.75b 350Msample/s or 6.75b 10Msample/s Reconfigurable Flash ADC for a PRML Read Channel", in ISSCC Digest of

- Technical Papers, pp. 148-149, Feb. 1998
- [6.23] Joe Spalding, D. Dalton, "A 200Msample/s 6bit Flash ADC in 0.6- μ m CMOS", in ISSCC Digest of Technical Papers, pp 320-321, Feb. 1996
- [6.24] S. Tsukamoto et al., "A CMOS 6b 400 Msample/s ADC with Error Correction," in ISSCC Digest of Technical Papers, pp. 152-153, Feb. 1998
- [6.25] M. Flynn, B. Sheahan, "A 400 Msamples/s 6bit CMOS Folding and interpolating ADC," in ISSCC Digest of Technical Papers, pp. 150-151, Feb. 1998
- [6.26] S. H. Lewis and P. R. Gray, "A Pipelined 5MS/s 9-bit Analog-to-Digital Converter," IEEE J. Solid-State Circuits, vol. SC-22, no. 6, pp.954-961, 1987
- [6.27] K. Y. Kim, et al., "A 10-bit, 100-Ms/s CMOS A/D Converter," IEEE J. Solid-State Circuits, vol. 32, no. 3, pp. 302-311, 1997
- [6.28] C. S. G. Conroy, D. W. Cline and P. R. Gray, "An 8-bit 85-MS/s Parallel Pipeline A/D Converter in 1- μ m CMOS," IEEE J. Solid-State Circuits, vol. 28, no. 4, April, pp.447-454, 1993
- [6.29] K. Nakamura, M. Hotta, L. R. Carley, and D. J. Allstot, "An 85-mW, 10-b, 40-Msample/s CMOS Parallel-Pipelined ADC," IEEE J. Solid-State Circuits, vol. 30, no. 3, March, pp.173-182, 1995
- [6.30] Kenji Toyota, Tatsuji Matsuura, 'A Gain-Controlled Integrator Technique for a 50Mhz 100mW 0.4 μ m CMOS 7th-order Equiripple Gm-C Filter,' ISSCC Digest of Technical Papers, pp.50-51, TP3.1, Feb. 1997
- [6.31] S. Mita and T. Takashi, T. Nishiya and H. Sawaguchi, "A Concatenated Operation Scheme of PRML and EPRML to Reduce Power Dissipation of Read Channel Chips", Digest of the Magnetic Recording Conference, E6, Sept. 1997
- [6.32] G. Fettweis, R. Karabed, P. H. Siegel, H. K. Thapar, "Reduced-Complexity Viterbi Detector Architectures for Partial Response Signaling", Globecom '95 Conference Record Vol. 1 of 3.
- [6.33] R. A. Richetta, et al., "A 16MB/s PRML Read/Write Data Channel," in ISSCC Digest of Technical Papers, pp 78-79, Feb. 1995

第7章（低電圧回路技術）の参考文献

- [7.1] T. Matsuura, K. Yano, M. Hiraki, Y. Sasaki, M. Miyamoto, T. Ishii, R. Nagai, T. Nishida, K.

- Seki, E. Imaizumi, T. Anbo, N. Sumi, K. Rikino, "1.2-V Mixed Analog/Digital Circuits using 0.3- μ m CMOS LSI Technology," ISSCC Digest of Technical Papers, FA 14.4, Feb. 1994
- [7.2] T. Matsuura, E. Imaizumi, T. Anbo, "1.2-V Feedforward Amplifier and A/D Converter for Mixed Signal LSIs," IEICE Trans. on Electronics, The Institute of Electronics and Communication Engineers (Japan), Vol.E79-C, No.12, Dec. 1996
- [7.3] 今泉栄亀、安保隆誠、松浦達治、矢野和男、平木 充、佐々木靖彦、宮本正文、石井達也、永井 亮、西田 高、関 浩一、角 成生、力野邦人「0.3 μ m CMOSによる1.2 V アナログ・デジタル回路技術」電子情報通信学会・研究会資料 ICD94-50, pp. 37-44, 1994年6月
- [7.4] 松浦達治、今泉栄亀、安保隆誠、角 成生「微細化低電圧CMOS回路の性能検討」電子情報通信学会・研究会資料 ICD91-125, ED91-108, 1991年10月25日
- [7.5] M. Miyamoto, T. Ishii, R. Nagai, T. Nishida, and K. Seki, "0.3 μ m mixed analog/digital CMOS technology for low voltage operation," IEEE 1993 Custom Integrated Circuit Conference, 24.4.1, May 1993.
- [7.6] Y. Sasaki, K. Yano, M. Hiraki, K. Rikino, M. Miyamoto, T. Matsuura, T. Nishida, and K. Seki, "Pass transistor based gate array architecture," Symposium on VLSI Circuit Digest of Technical Papers, June 1995.
- [7.7] N. Sumi, K. Rikino, T. Matsuura, K. Seki, and K. Yano, "A study of low-voltage multiplier," Proceedings of the 1994 IEICE Spring Conference C-629, March 1994.
- [7.8] K. Yano, T. Yamanaka, T. Nishida, M. Saitoh, K. Shimohigashi, and A. Shimizu, "A 3.8ns CMOS 16x16 multiplier using complimentary pass transistor logic," 1989 Custom Integrated Circuit Conference, May 1989.
- [7.9] P. C. Yu and H. S. Lee, "A high-swing 2V CMOS operational amplifier with gain enhancement using a replica amplifier," ISSCC Dig. Tech. Papers, pp.116-117, Feb. 1993.
- [7.10] M. Yotsuyanagi, H. Hasegawa, M. Yamaguchi, M. Ishida, and S. Sone, "A 2V 10b, 20 Msample/s, mixed-mode subranging CMOS A/D converter," IEEE J. of Solid-State Circuits, vol.30, no.12, pp.1533-1537, Dec. 1995
- [7.11] H. Hasegawa, M. Yotsuyanagi, M. Satoh, S. Kishi, M. Ishida, and M. Yamaguchi, "A 1.5V 8b 8 mW BiCMOS video A/D converter," ISSCC SA 19.6, pp.322-323, Feb. 1996.
- [7.12] Y. Matsuya and J. Yamada, "1V power supply, 384 ks/s, 10b, A/D and D/A converters with

- swing-suppression noise shaping,” ISSCC Dig. Tech. Papers, pp.192-193, Feb. 1994.
- [7.13] B. Y. Kamath, R. G. Mayer and P. R. Gray, “Relation-ship between frequency response and settling time of operational amplifiers,” IEEE J. of Solid-State Circuits, vol. SC-9, no.6, pp.347-352, Dec. 1974.
- [7.14] P. E. Allen and D. R. Holberg, “CMOS Analog Circuit Design,” chapter 8, Holt, Rinehart and Winston, Inc. 1987.
- [7.15] H. C. Yang and D. J. Allstot, “Considerations for fast settling operational amplifiers,” IEEE Trans. Circuit and Systems, vol.37, no.3, pp.326-334, March 1990.
- [7.16] 日経マイクロデバイス 1994年3月号「1.2Vのアナログ増幅器を考案、G-B積を20MHzと高速化」多段増幅回路を1段増幅回路と等価に, pp.39-43
- [7.17] R. G. H. Eschauzeier, L. P. T. Kerklaan and J. H. Huising, “A 100-MHz 100-dB operational amplifier with multipath nested Miller compensation structure,” IEEE Journal of Solid-State Circuits, Vol. 27, No. 12, pp. 1709-1717, Dec. 1992
- [7.18] D.A. Johns, K. Martin, Analog Integrated Circuit Design, p. 278 and p. 291, John Wiley & Sons, Inc. 1997.
- [7.19] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, pp.828-835, John Wiley and Sons, Inc. 2001
- [7.20] D Senderowics, S. F. Dreyer, J. H. Huggins, C. F. Rahim, and C. A. Laber, “A family of Differential NMOS Analog Circuits for a PCM Codec Filter Chip,” IEEE Journal of Solid-State Circuits, Vol. 17, no. 6, pp. 1014-1023, Dec. 1982
- [7.21] T. B. Cho and P. R. Gray, ‘A 10b, 20 Msample/s, 35 mW Pipeline A/D Converter’, IEEE Journal of Solid-State Circuits, Vol. 30, No. 3, pp.166-172, March 1995.
- [7.22] Behzad Razavi, Design of Analog Integrated Circuits, p.472, McGraw-Hill, Inc. 2000.
- [7.23] J. Ramos and M. Steyaert, “Three Stage Amplifier with Positive Feedback Compensation Scheme“, pp. 333-336, 19.3, Custom Integrated Circuit Conference, 2002

9.2. 研究業績

9.2.1. 論文リスト

主著論文 4 件、共著論文 14 件：

1. K. Matsui, T. Matsuura, S. Fukasawa, Y. Izawa, Y. Toba, N. Miyake, and K. Nagasawa, "CMOS Video Filters using Switched Capacitor 14-MHz Circuits," IEEE Journal of Solid-State Circuits, Vol.SC-20, No.6, pp. 1096-1102, Dec.1985
2. K. Seki, T. Matsuura, M. Murakami, Toshihisa Tsukada "Analysis and Design of a Large-Scale Linear Image Sensor using Amorphous Silicon," IEEE Trans. on Components, Hybrids and Manufacturing Technology, pp.304-309, Vol.CHMT-9, No.3, Sept. 1986
3. 青木政男、松浦達治、増田弘生、嶋田正三、佐藤昭治「アナログ回路設計定数最適化法の一検討」電子情報通信学会誌C Vol. J71-C, No. 8, pp. 1097-1104, 1988年8月（同上）
4. 塚田敏郎、今泉栄亀、松浦達治「CMOSチョッパ形電圧比較器のオフセット誤差検討」電子情報通信学会論文誌 C-II, Vol. J77-C-II, No. 11, pp. 516-524, 1994年11月
5. T. Tsukada, T. Matsuura, E. Imaizumi, "A Simple Model for Evaluating Offset Error Characteristics in CMOS Autozeroed Chopper-Type Comparators," Electronics and Communications in Japan, Part 2, pp.79-89, Vol. 78, No.4, 1995, Translated from Trans., The Institute of Electronics and Communication Engineers (Japan), Vol.J77-C-2, No.11, Nov. 1994
6. K. Makie-Fukuda, T. Kikuchi, T. Matsuura, M. Hotta "Measurement of Digital Noise in Mixed-Signal Integrated Circuits," IEEE Journal of Solid-State Circuits, pp.87-92, Vol.SC-30, No.2, Feb. 1995
7. K. Makie-Fukuda, T. Anbo, T. Tsukada, T. Matsuura, M. Hotta "Voltage-Comparator-Based Measurement of Equivalently Sampled Substrate Noise Waveforms in Mixed-Signal Integrated Circuits," IEEE Journal of Solid-State Circuits, pp.726-731, Vol.31, No.5, May 1996
8. T. Matsuura, E. Imaizumi, T. Anbo, "1.2-V Feedforward Amplifier and A/D Converter for Mixed Signal LSIs," IEICE Trans. on Electronics, The Institute of Electronics and Communication Engineers (Japan), Vol.E79-C, No.12, Dec. 1996
9. K. Ono, T. Matsuura, E. Imaizumi, H. Okazawa, and R. Shimokawa, 'Error Suppressing Encode

- Logic of FCDL in a 6-bit Flash A/D Converter', IEEE Journal of Solid-State Circuits, Vol. 32, No. 9, pp. 1460-1464, Sept. 1997
10. Tatsuji Matsuura, Takashi Nara, Tatsuya Komatsu, Eiki Imaizumi, Toshihiro Matsuturu, Ryutaro Horita, Haruto Katsu, Shintaro Suzumura, Kazuo Sato, 'A 240 Mbps 1-W CMOS EPRML Read-Channel Chip using an Interleaved Subranging Pipeline A/D Converter,' IEEE Journal of Solid-State Circuits, Vol. 33, No. 11, pp. 1840-1850, Nov. 1998
 11. Tatsuji Matsuura, Akihiro Kitagawa, Toshiro Tsukada, Eiki Imaizumi, 'A 10-bit 3-Msample/s Multipath Multibit CMOS Cyclic ADC' IEICE Trans. on Electronics, The Institute of Electronics and Communication Engineers (Japan), Vol.E83-C, No.2, Feb. 2000
 12. T. Matsuura, J. Kudoh, and E. Imaizumi, "A 3.2-mA 6-bit Pipelined A/D Converter for a Bluetooth RF Transceiver," IEICE Trans. Electron, Vol. E85-C, no. 8 August 2002.
 13. Masaru Kokubo, Masaaki Shida, T. Oshima, Y. Shibahara, T. Matsuura, K. Kawai, T. Endo, K. Osaki, H. Sonoda, K. Yamamoto, M. Matsuoka, T. Kobayashi, T. Hemmi, J. Kudoh, H. Miyagawa, H. Utsunomiya, Y. Ezumi, K. Takayasu, J. Suzuki, S. Aizawa, M. Motoki, Y. Abe, T. Kurosawa, S. Ookawara, 'A Small-Chip-Area Transceiver IC for Bluetooth Featuring a Digital Channel-Selection Filter', IEICE Trans. Electron, Vol.E87-C, No. 6, June 2004, pp.878-887
 14. Hao san, Akira hayakawa, Yoshitaka jingu, Hiroki wada, Hiroyuki hagiwara, Kazuyuki kobayashi, Haruo kobayashi, Tatsuji matsuura, Kouichi yahagi, Jun KUDOH, Hideo nakane, Masao hotta, Toshiro tsukada, Koichiro mashiko, and Atsushi wada, "Complex Bandpass Delta-Sigma AD Modulator Architecture without I, Q-Path Crossing Layout," IEICE Trans. Fundamentals, Vol.E89-A, No.4, 2006
 15. Yasutoshi Aibara, Eiki Imaizumi, Hiroaki Takagishi, and Tatsuji Matsuura, 'A Novel False Lock Detection Technique for a Wide Frequency Range Delay-Locked Loop,' IEICE Trans. Fundamentals, Vol. E85-A, No. 2, Feb. 2006
 16. Masao Hotta and Tatsuji Matsuura, 'Key Technologies for Miniaturization and Power Reduction of AD Converters for Video Use,' IEICE Trans. Electronics, Vol. EC, No. 6, June 2006
 17. H. San, Y. Jingu, H. Wada, H. Hagiwara, A. Hayakawa, H. Kobayashi, T. Matsuura, K. Yahagi, J. Kudoh, H. Nakane, M. Hotta, T. Tsukada, K. Mashiko, and A. Wada, 'A Second-Order Multi-bit Complex Bandpass Delta-Sigma AD Modulator with I, Q Dynamic Matching and DWA algorithm', IEICE Trans. Electronics, vol. E90-C, no.6, pp.1181-1188, June 2007

18. T. Yamamoto, M. Kasahara, and T. Matsuura, "A 63 mA 112/94 dB DR IF Bandpass Delta-Sigma Modulator with Direct Feed-Forward Compensation and Double Sampling," IEEE Journal of Solid-State Circuits, Vol. 43, No.8 pp.1783-1794, August 2008

国際学会発表

主著国際学会発表 6 件、共著 17 件

1. K. Matsui, T. Matsuura, and K. Iwasaki, "2- μ m CMOS Switched Capacitor Circuits for Analog VIDEO LSI," International Symposium on Circuits and Systems (ISCAS), Proceedings, pp.586-589, May 1982
2. K. Matsui, T. Matsuura, S. Fukasawa, Y. Izawa, Y. Toba, N. Miyake, and K. Nagasawa, "CMOS Video Filters using Switched Capacitor 14MHz Circuits," ISSCC 1985, FAM 19.4 pp.282-283, Feb. 1985
3. T. Matsuura, T. Tsukada, S. Ohba, E. Imaizumi, H. Sato, and S. Ueda, "An 8-b 20-MHz CMOS Half-Flash A/D converter," in ISSCC Digest of Technical Papers, pp.220-221 FAM 15.1, Feb. 1988
4. T. Matsuura, M. Ban, T. Tsukada, S. Ueda, H. Sato, "An 8-b 100-MHz 3 channel CMOS DAC with analog switching current cells," 1989 Symposium on VLSI Circuits, 5-5 June 1989
5. Y. Okada, T. Matsuura, T. Shinmi, Y. Matsumoto, H. Nishijima, M. Masuda and S. Ueda, "A Mixed Analog/Digital Video Signal Processing LSI with on-chip AD and DA Converters," in CICC Dig. Tech. Papers, 1989, 24.1
6. T. Komatsu, K. Watanabe, E. Minamimura, Y. Kowase, S. Ueda, S. Asai and T. Matsuura, "CMOS High Speed Digital Datastrope Processor," in CICC Dig. of Tech. Papers, 1989, 11.1
7. T. Matsuura, H. Kojima, E. Imaizumi, K. Usui, S. Ueda, "An 8-b, 50-MHz 225-mW, Submicron CMOS ADC using Saturation Eliminated Comparators," Proceedings of the IEEE 1990 Custom Integrated Circuits Conference, Boston Massachusetts, 6.4, May 1990
8. Masumi Kasahara, Kouich Yahagi, Hiroshi Sonoda, Seiichi Ueda, Tatsuji Matsuura, 'A CMOS 9 bit 25Mhz 100mW ADC for Mixed Analog/Digital LSIs,' Custom Integrated Circuit Conference 26.7, 1991
9. T. Matsuura, M. Hotta, K. Usui, E. Imaizumi, S. Ueda, "A 95-mW, 10-bit 15-MHz Low-power CMOS ADC using Analog Double-Sampled Pipelining," 1992 Symposium on VLSI Circuits, 10.4, June 1992.
10. T. Matsuura, K. Yano, M. Hiraki, Y. Sasaki, M. Miyamoto, T. Ishii, R. Nagai, T. Nishida, K. Seki, E. Imaizumi, T. Anbo, N. Sumi, K. Rikino, "1.2-V Mixed Analog/Digital Circuits using 0.3- μ m CMOS LSI Technology," ISSCC Digest of Technical Papers, FA 14.4, Feb. 1994

11. K. Makie-Fukuda, T. Anbo, T. Tsukada, T. Matsuura, M. Hotta "Voltage-Comparator-Based Measurement of Equivalently Sampled Substrate Noise Waveform in Mixed-Signal Integrated Circuits," 1994 Symposium on VLSI Circuits, May 1994.
12. K. Makie-Fukuda, S. Maeda, T. Tsukada, T. Matsuura, "Substrate Noise Reduction using Active Guard Band Filters in Mixed-Signal Integrated Circuits," 1994 Symposium on VLSI Circuits, May 1994.
13. A. Kitagawa, T. Matsuura, M. Kokubo, T. Tsukada, M. Hotta, K. Maio, E. Yamamoto, E. Imaizumi, "A 10b 3MSample/s CMOS Cyclic ADC," ISSCC Digest of Technical Papers, Feb. 1995.
14. Y. Sasaki, K. Yano, M. Hiraki, K. Rikino, M. Miyamoto, T. Matsuura, T. Nishida, and K. Seki, "Pass transistor based gate array architecture," Symposium on VLSI Circuit Digest of Technical Papers, June 1995.
15. S. Mita, Y. Ouchi, T. Takashi, N. Sato, H. Aoi, S. Minoshima, T. Hirai, H. Miyasaka, R. Shimokawa, T. Matsuura, H. Sawaguchi, S. Miyazawa, K. Hikasa, "A 150-Mb/s PRML Chip for Magnetic Disk Drives," ISSCC Digest of Technical Papers, pp.62-63, Feb. 1996
16. K. Ono, T. Matsuura, E. Imaizumi, H. Okazawa, R. Shimokawa, "Error Suppressing Encode Logic of FCDL in 6-bit Flash A/D Converter," 1996 Bipolar/BiCMOS Circuits & Technology Meeting, Sept. 1996
17. Kenji Toyota, Tatsuji Matsuura, 'A Gain-Controlled Integrator Technique for a 50Mhz 100mW 0.4 μ m CMOS 7th-order Equiripple Gm-C Filter,' ISSCC Digest of Technical Papers, pp.50-51, TP3.1, Feb. 1997
18. Tatsuji Matsuura, Takashi Nara, Tatsuya Komatsu, Eiki Imaizumi, Toshihiro Matsuturu, Ryutaro Horita, Haruto Katsu, Shintaro Suzumura, Kazuo Sato, 'A 240 Mbps 1-W CMOS EPRML Read-Channel LSI for Hard Disk Drives,' ISSCC Digest of Technical Papers, pp. 386-387, SP 24.5, Feb. 1998
19. J. Kudoh, T. Matsuura, and E. Imaizumi, 'A 3.2-mA 6-bit pipelined A/D converter for a Bluetooth RF transceiver' European Solid-State Circuit Conference, pp.544-547, Sept. 2001
20. M. Kokubo, M. Shida, T. Ishikawa, H. Sonoda, K. Yamamoto, T. Matsuura, M. Matsuoka, T. Endo, T. Kobayashi, K. Oosaki, T. Henmi, J. Kudoh, and H. Miyagawa, 'A 2.4-GHz RF Transceiver with digital channel selection filter for Bluetooth', International Solid-State Circuit

Conference, 5.5, Feb. 2002.

21. H. San, A. Hayasaka, Y. Jingu, H. Wada, H. Hagiwara, K. Kobayashi, H. Kobayashi, T. Matsuura, K. Yahagi, J. Kudoh, H. Nakane, M. Hotta, T. Tsukada, K. Mashiko, and A. Wada, "Complex Bandpass Delta-Sigma AD Modulator Architecture with Dynamic Matching of I, Q Paths," 2005 IEEJ International Analog VLSI workshop, Bordeaux, (Oct. 2005)
22. H. San, Y. Jingu, H. Wada, H. Hagiwara, A. Hayakawa, J. Kudo, K. Yahagi, T. Matsuura, H. Nakane, H. Kobayashi, M. Hotta, T. Tsukada, K. Mashiko, A. Wada, 'A Multi-bit Complex Bandpass Delta Sigma AD Modulator with I, Q Dynamic Matching and DWA Algorithm', Asian Solid-State Circuits Conference, Hangzhou, China, Nov. 2006
23. T. Yamamoto, M. Kasahara, and T. Matsuura, "A 63 mA 112/94-dB DR IF bandpass Delta-Sigma Modulator with direct feed-forward and double sampling," in Proc. IEEE Custom Integrated Circuit Conference, Sept. 2007, pp.61-64

国内学会発表

主著発表 9 件、共著 13 件

1. 松浦達治、松井一征、「カスコード型演算増幅器を用いたスイッチド・キャパシタ回路の動作速度」昭和 57 年(1982)電子通信学会総合全国大会 7-2 集積回路 B、391
2. 松浦達治、松井一征、石倉和夫、「高精度コンデンサメモリ基本回路の提案」昭和 59 年 電子通信学会全国大会, 476, p.2-239, March 1984
3. 深沢 繁、松浦達治、松井一征「帰還路読出しコンデンサメモリを用いたビデオ信号用走査線遅延線 LSI の構成」昭和 59 年 電子通信学会総合全国大会, 477, p.2-240, March 1984
4. 井沢祐司、松浦達治、松井一征「スイッチドキャパシタ回路におけるクロックフィードスルーの影響に関する基礎検討」昭和 59 年 電子通信学会総合全国大会, 479, p.2-242, March 1984
5. 松浦達治、深沢 繁、松井一征、石倉和夫「2 μ m CMOS スwitchドキャパシタ回路を用いた走査線遅延線 LSI」昭和 60 年(1985) 電子通信学会半導体・材料部門全国大会, 180, p.2-116, 11 月 1985 年
6. 松井一征、井沢裕司、松浦達治、「大型 SC 回路における容量結合 (アナログ SC メモリの精度への影響)」昭和 62 年(1987)、電子情報通信学会創立 70 周年記念総合全国大会、8. 集積回路 B、412.
7. 青木政男、松浦達治、増田弘生、嶋田正三、佐藤昭治「アナログ回路設計定数最適化法の一検討」電子情報通信学会研究会報告 SDM87-83 1987 年 9 月 17 日
8. 松浦達治、塚田敏郎、今泉栄亀「20MHz 8bit 直並列型 CMOS A/D コンバータ」電子情報通信学会・研究会報告 ICD88-8, 1988 年 4 月 21 日
9. 岡田 豊、松本芳幸、松浦達治、新美敏男、西島英男、増田美智雄、上田誠一「AD/DA 変換器内蔵ビデオ信号処理 LSI」電子情報通信学会・研究会報告 ICD89-119, 1989 年 9 月 22 日
10. 臼井邦彦、今泉栄喜、松浦達治、小島浩嗣「8ビット、50MHz、225mW、CMOS 直並列型 A/D 変換器」1990 年 電子情報通信学会秋季全国大会 C-563, p5-231
11. 松浦達治、今泉栄亀、安保隆誠、角 成生「微細化低電圧 CMOS 回路の性能検討」電子情報通信学会・研究会資料 ICD91-125, ED91-108, 1991 年 10 月 25 日
12. 松浦達治、堀田正生、上田誠一、臼井邦彦、今泉栄亀「二重サンプルパイプライン方式、

- 低電力 95-mW, 10-bit, 15-Mhz, CMOS A/D 変換器」電子情報通信学会・研究会資料 ICD92-21 pp. 17-22, 1992年6月25日
13. 山本悦司、尾野孝一、ねじめ義人、菊池隆文、松浦達治、「シングルエンド型パイプライン ADC における誤差低減法」1993 年電子情報通信学会春季大会、A-26、1-26
 14. 永田 穰、堀田正生、松浦達治「アナログ低電圧回路技術とその問題点」平成5年電気学会全国大会、1993 年 3 月
 15. 角 成生、力野邦人、松浦達治、関 浩一、矢野和男、「低電圧乗算器の検討」電子情報通信学会、1994 年電子情報通信学会春季大会 C-629、3 月 1994 年
 16. 安保隆誠、今泉栄亀、松浦達治「フィードフォワード補償による 1.2V 電源 S/H アンプの設計」電子情報通信学会、1994 年 電子情報通信学会春季大会、3 月 1994 年
 17. 今泉栄亀、安保隆誠、松浦達治、矢野和男、平木 充、佐々木靖彦、宮本正文、石井達也、永井 亮、西田 高、関 浩一、角 成生、力野邦人「0.3 μm CMOS による 1.2 V アナログ・デジタル回路技術」電子情報通信学会・研究会資料 ICD94-50, pp. 37-44, 1994 年 6 月
 18. 塚田敏郎、今泉栄亀、松浦達治「CMOS チョップ形電圧比較器のオフセット誤差検討」電子情報通信学会論文誌 C-II, Vol. J77-C-II, No. 11, pp. 516-524, 1994 年 11 月
 19. 松浦達治、今泉栄亀、豊田研次「ハードディスク用アナログデジタル混載 240Mbps CMOS-EPRML リードチャンネルチップ」電子情報通信学会・技術研究報告資料 CAS98-71, 1999 年 1 月
 20. 傘 昊、早川晃、神宮喜敬、和田宏樹、萩原広之、小林和幸、小林春夫、松浦達治、矢萩孝一、工藤純也、中根秀夫、「I,Q パスを分離した複素バンドパス $\Delta \Sigma$ AD 変調器アーキテクチャ」第 18 回 回路とシステム軽井沢ワークショップ、2005 年 4 月 25 日、電子情報通信学会
 21. 松浦達治 「[招待講演]チュートリアル：無線受信機用 A/D 変換器の基礎と現状— $\Delta \Sigma$ ADC とその変形—」電気学会・電子回路研究会 ETC-06-37, 2006 年 3 月 30 日
 22. 松浦達治 「移動体通信向け AD/DA 変換技術の基礎」APMC (Asia Pacific Microwave Conference)/マイクロウェーブ展, 2006 年 12 月 14 日

9.2.2. 主要出願特許

1. 特許公開 2008-177651 バンドパス $\Delta\Sigma$ 変調器より構成された A/D 変換器を含む半導体集積回路
2. 特許公開 2008-124572 アナログ-デジタル変換器
3. 特許公開 2008-054099 半導体集積回路装置
4. 特許公開 2007-158735 半導体集積回路装置
5. 特許公開 2006-254261 $\Delta\Sigma$ 型 A/D 変換回路を内蔵した通信用半導体集積回路
6. 特許公開 2006-060673 A/D 変換回路を内蔵した通信用半導体集積回路
7. 特許公開 2006-041995 $\Sigma\Delta$ 型 A/D 変換回路を内蔵した半導体集積回路および通信用半導体集積回路
8. 特許公開 2006-041993 A/D 変換回路を内蔵した半導体集積回路および通信用半導体集積回路
9. 特許公開 2006-041992 A/D 変換回路を内蔵した半導体集積回路および通信用半導体集積回路
10. 特許公開 2005-210261 無線通信システムおよび高周波 IC
11. 特許公開 2005-026998 ビット変換回路またはシフト回路を内蔵した半導体集積回路および A/D 変換回路を内蔵した半導体集積回路並びに通信用半導体集積回路
12. 特許公開 2005-020121 通信用半導体集積回路および無線通信システムならびに DC オフセットおよびゲインの補正方法
13. 特許公開 2005-020120 通信用半導体集積回路および無線通信システム
14. 特許公開 2005-020119 通信用半導体集積回路および無線通信システムならびにゲインおよびオフセットの調整方法
15. 特許公開 2004-357059 半導体集積回路
16. 特許公開 2004-350116 半導体集積回路
17. 特許公開 2004-328448 半導体集積回路
18. 特許公開 2004-165960 半導体集積回路
19. 特許公開 2004-064505 半導体集積回路装置、無線 LAN システム、および自動ゲイン制御システム

20. 特許公開 2004-048383 送受信システムおよび通信用半導体集積回路ならびにテスト方法
21. 特許公開 2003-264452 半導体集積回路装置およびデジタルカメラシステム
22. 特許公開 2003-179488 PLL 回路および信号処理回路
23. 特許公開 2003-124803 変調用半導体集積回路
24. 特許公開 2002-353740 変調用半導体集積回路および発振回路の検査方法
25. 特許公開 2002-325038 半導体集積回路
26. 特許公開 2002-314420 A/D 変換器および半導体集積回路
27. 特許公開 2002-300591 半導体集積回路および撮像システム
28. 特許公開 2002-290206 半導体集積回路および媒体再生システム
29. 特許公開 2002-151599 半導体集積回路装置およびその製造方法
30. 特許公開 2001-024451 電圧電流加算回路およびこの回路を用いたデシジョンフィードバックイコライザ回路

1978 年より、総出願件数 88 件、特許件数 29 件

10. 付録 （用語の解説・方式の補足）

10.1. A/D 変換器の基本的な役割

A/D 変換器の役割は、アナログ入力信号をデジタル出力信号に変えるものである。細かく考えると、1) サンプリング、2) 量子化、3) 符号化（エンコーディング）の3つの仕事を行う。図 10.1 に A/D 変換器の基本機能を示す。

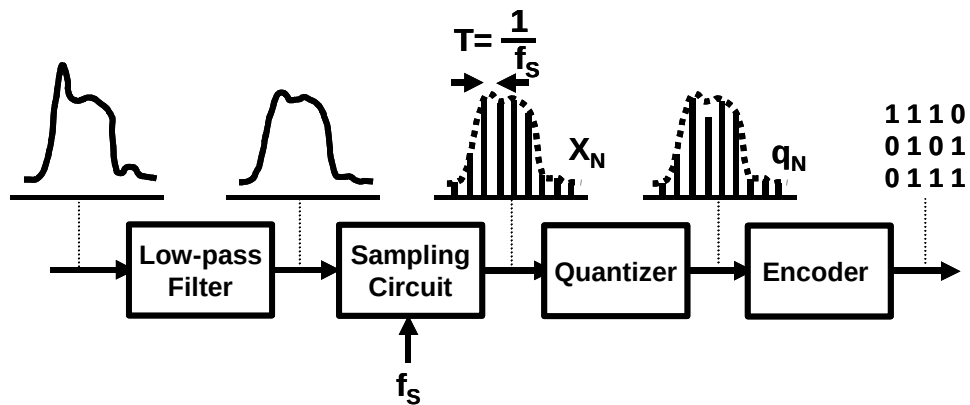


図 10.1 A/D 変換器の基本機能

（１） サンプリング (Sampling) は、連続する時間で表されるアナログ信号を、サンプリング間隔といわれる一定の時間間隔 T でサンプリングし、アナログの電圧系列 X_n に変換する。サンプリング間隔 T の逆数がサンプリング周波数 f_s である。サンプリングされた信号は次のサンプリングまで A/D 変換器の中で電圧を保持される。

（２）量子化 (Quantize) は、正のフルスケール電圧 $+V_{FS}/2$ と、負のフルスケール電圧 $-V_{FS}/2$ との間の連続するアナログ電圧を $n=2^N$ 個の間隔に分けて、どの間隔に入ったかで対応する値：量子化値 q_n を決めるプロセスである。

（３）符号化 (Encode) は、量子化された値 q_n を有限の長さのデジタル値に対応付ける操作で、使う符号には必要に応じて、符号付 2 進数、オフセット付 2 進数、などの符号がある。

10.1.1. サンプリング定理と折り返し雑音

A/D 変換器は連続時間アナログ信号を離散時間サンプル値に変換する。離散時間のデータ

から元の信号が再現できるためには、信号の帯域(BW: Band Width)と、サンプリング周波数 f_s の間に、ナイキストのサンプリング定理といわれる関係が成り立っていないといけない。

サンプリング定理：

連続時間信号 $x(t)$ の情報を失わないように離散時間信号 $x(nT)$ にするためには、 $x(t)$ の最高周波数 BW の 2 倍以上のサンプリング周波数でサンプルする必要がある。

$$f_s > 2 \text{ BW}$$

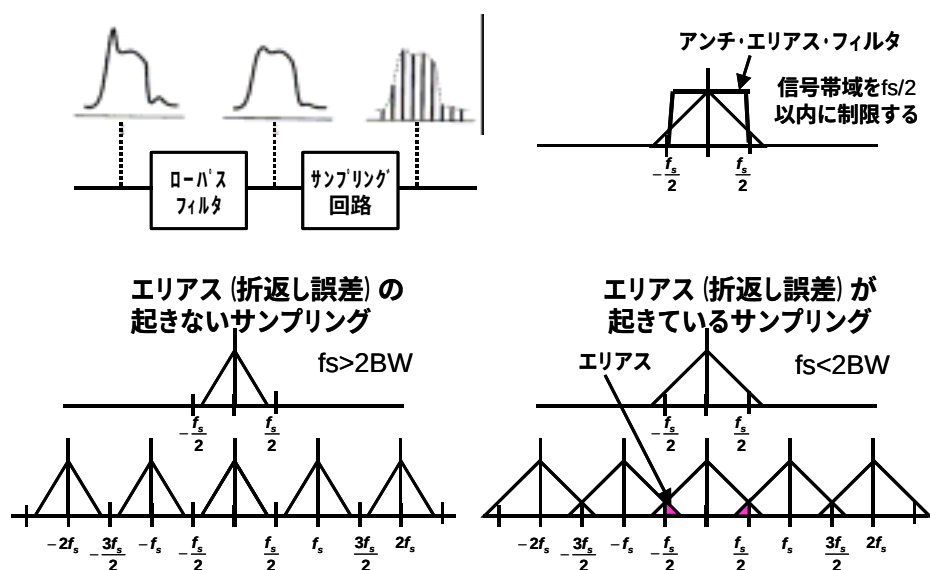


図 10.2 サンプリング定理とアンチエリ阿斯フィルタ

図 10.2 にサンプリング定理の周波数軸上での表現を示す。離散時間で表現された信号 $x(nT)$ をフーリエ級数により展開して周波数軸上で現すと図 10.2 左下のように、上三角形で現されるバンド幅 BW 以内の信号が、 f_s の整数倍のところに繰り返して並ぶ。バンド幅 BW に対して f_s が 2 倍以上であれば、上三角形の信号スペクトルのすそが重ならず、信号が分離されているので離散時間の信号列 $x(nT)$ から元の連続時間信号 $x(t)$ を正確に再現できる。もし f_s が 2 倍の BW より小さい場合は、図の右のように、上三角形の信号スペクトルのすそが重なってしまい(エリ阿斯(Aliasing)、折り返し誤差、と呼ぶ)、 $x(nT)$ から元の連続時間信号 $x(t)$ が復元できなくなる。

このエリ阿斯(折り返し誤差)を防ぐためには、A/D 変換器の前に、帯域を $f_s/2$ 以内に制限するローパスフィルタを付加することが行われている。図 10.1 の初段に示すローパスフィルタはこの折り返し雑音防止用のフィルタである。

10.1.2. 量子化と量子化誤差

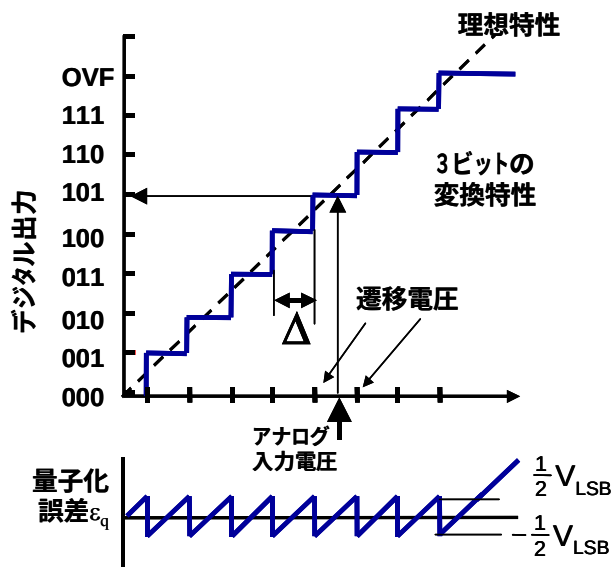


図 10.3 量子化と量子化誤差

図 10.3 に量子化の概念を 3-bit の例で示す。入力電圧のフルスケールを $n=2^N$ に等分割し、アナログ入力電圧がどの間隔に入ったかを判断し、そのレベルをデジタルの値で出力するものである。

アナログをデジタルに変換するとは、連続量を不連続な値に変換することである。一つのデジタル値に対応されたアナログ値は、一つ上のデジタル値に遷移するアナログ値（上側遷移電圧）と、一つ下のデジタル値に遷移するアナログ値（下側遷移電圧）の間に挟まれた幅を持つ領域の値である。この幅を 1 LSB (Least Significant Bit) の電圧 $V_{LSB}(=\Delta)$ と呼ぶ。中央の値をその変換値の代表値とすると、図の下側に示すように誤差が出る。この誤差のことを量子化誤差 ε_q とよぶ。これは連続な値を不連続な値にする、つまり無限の桁数を持つ数値を、有限の桁数にまるめることと同じで、四捨五入に相当する誤差が生まれる。これが量子化誤差である。

この量子化誤差は分解能を上げれば小さくすることができる。また、量子化誤差は、A/D 変換器出力での加算雑音と考えることができ量子化雑音とも呼ばれる。

10.2. A/D 変換器の特性パラメータ

論文本体で A/D 変換器の特性パラメータや用語を断りなく用いているので解説する。

10.2.1. 精度

オフセット誤差と利得誤差

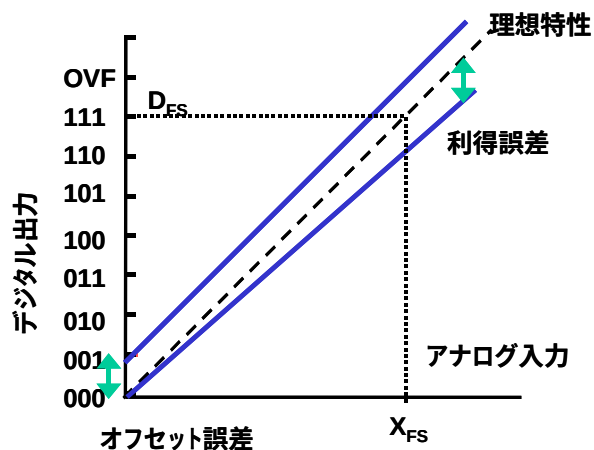


図 10.4 A/D 変換器のオフセット誤差と利得誤差

理想的な A/D 変換器は、量子化誤差以外の誤差を含まない A/D 変換器であるが、実際には使用している部品や回路の雑音によって各種の誤差が含まれる。図 10.4 に A/D 変換器のオフセット誤差と利得誤差を示す。本来階段状の波形であるが、ずれが分かりやすいように直線で示している。

オフセット誤差は、ゼロ入力ときにゼロに相当するデジタル出力が出るべきであるが、その値がシフトしている誤差である。ゼロ入力以外の入力でも同じ値（オフセット値）だけ出力がシフトしている。オフセットは、LSB で表現するか、絶対値（電圧または電流）、またはフルスケールの%または ppm で表示される。

利得誤差は、入出力伝達特性を近似する直線の傾きが理想の値 1 からのずれを言う。理想変換器の傾きは D_{FS}/X_{FS} である。ここで D_{FS} はデジタルのフルスケール値、 X_{FS} はアナログのフルスケール値である。通常 D_{FS}/X_{FS} の傾きを 1 という。利得誤差の別の測り方としては、デジタルフルスケール D_{FS} になるアナログ電圧とフルスケール基準電圧の差でも良い。これは通常フルスケールエラーとも呼ばれる。

10.2.2. 非直線性誤差

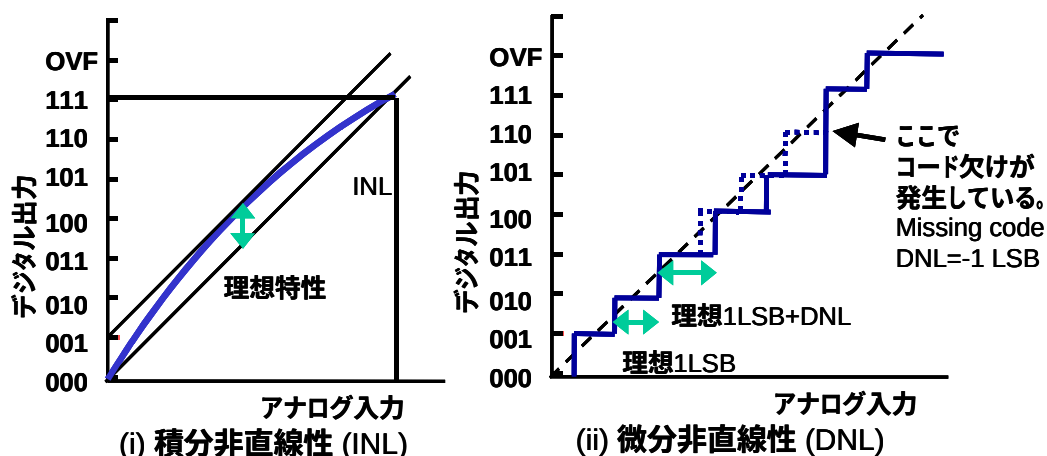


図 10.5 積分非直線性と微分非直線性

理想的な直線状の変換特性と、実際の A/D 変換器の変換特性の差を言う。変換特性の全体の曲がり表現する積分非直線性誤差(INL: Integral Non-Linearity)と、A/D 変換器の 1 ステップ階段ごとの理想 1LSB 電圧からのずれを現す微分非直線性誤差(DNL: Differential Non-Linearity)、の 2 種類がある。図 10.5 の左に積分非直線性誤差を、右に微分非直線性誤差を示す。ただし左は細かい階段状の変換特性を省略して描いた。

(a) 積分非直線性誤差

積分非直線性誤差は、ゼロ点とフルスケール点での誤差を含んだ絶対誤差を使って表現する場合もあるが、通常は図 10.5 左に示すようにゼロ点とフルスケール点を直線で結んでそこからの誤差を示す End-point 法で表現されることが多い。つまりオフセット誤差と利得誤差を除いた残りの誤差を議論する。

(b) 微分非直線性誤差

図 10.5 右に示す微分非直線性誤差は、理想の 1LSB ステップ Δ から実際の変換器のステップサイズ差を言う。 X_k を、続く 2 コード $k-1$ と k の間の遷移電圧として、コード k の値の幅(bin)を $\Delta(k) = (X_{k+1} - X_k)$ とすると、微分非直線性誤差は、

$$DNL(k) = \frac{\Delta(k) - \Delta}{\Delta} \quad (2-1)$$

となる。

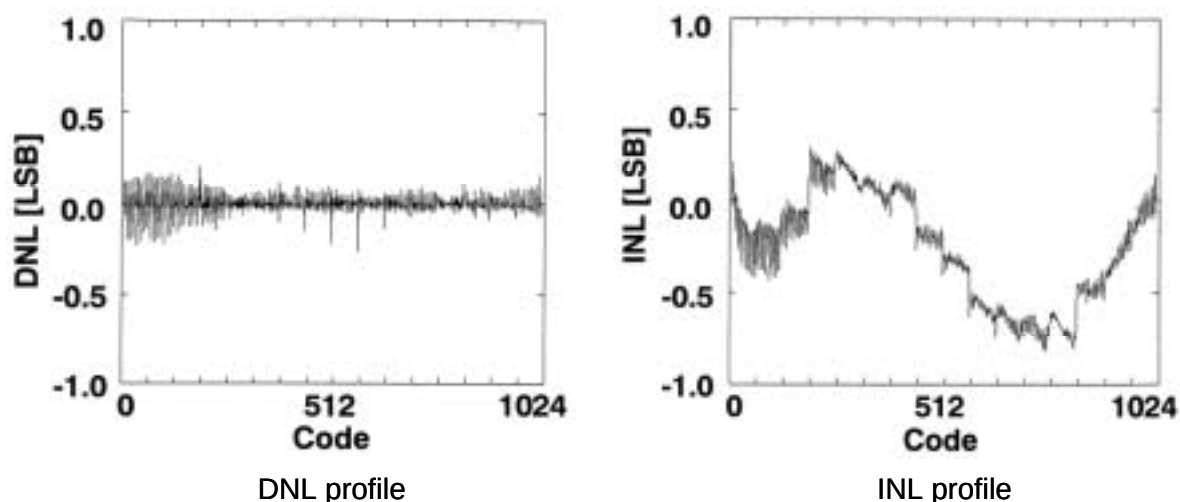


図 10.6 微分非直線性誤差(DNL)と積分非直線性誤差(INL)の例

図 10.6 に微分非直線性誤差と積分非直線性誤差の例を示す（第 6 章の 10-bit サイクリック A/D 変換器）。左の微分非直線性では誤差が全変換領域で ± 0.3 LSB に入っていることが分かる。この図では DNL を LSB 単位で表示しているが、電圧(m Volts)、またはフルスケールの%、ppm で表現される場合もある。最大の微分非直線性誤差は $\max|DNL(k)|_{all_k}$ で、この最大の誤差を単に DNL と呼ぶこともある。上図に示すコードに対する DNL 全体は DNL プロファイルまたは単に DNL と呼ばれる。

図 10.6 の右に積分非直線性誤差を示す。End-point 法で示した。積分非直線性誤差は最大 $+0.3$ 、最小 -0.83 LSB で、最大の積分非直線性誤差 $\max|INL(k)|_{all_k}$ を単に INL と呼ぶこともある。INL 全体は INL プロファイルまたは INL と呼ばれる。LSB 単位で表示する以外に、電圧(m Volts)、またはフルスケールの%、ppm で表現される場合もある

End-point 法での INL と DNL の間には次の関係式が成立する。

$$INL(k) = (1 + G) \sum_{i=1}^k DNL(i) \quad (2-2)$$

ここで G は利得誤差である。つまり、コード k の bin の $INL(k)$ は DNL の、そのコードまでのランニングサムの利得誤差を修正したものに等しい。

積分非直線性は A/D 変換器変換特性の全体の曲がり具合を示すので、大きな INL は高調波歪を引き起こし、ダイナミック特性の項に述べる、SFDR や SNDR に影響する。

10.2.3. ミスコード、単調増加性、等

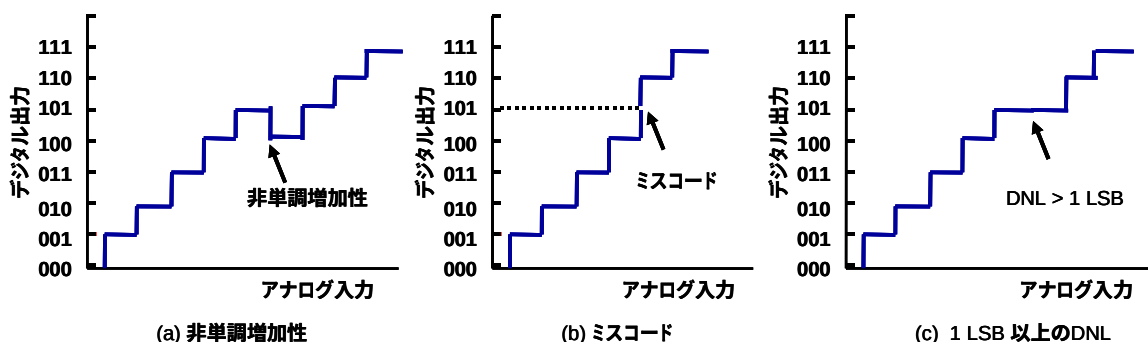


図 10.7 単調増加性、ミスコード、DNL > 1 LSB の変換特性

図 10.7 に単調増加性がない場合の変換特性の例、ミスコードの例、DNL が 1-LSB 以上の例の変換特性を示す。

(1) 単調増加性

入力電圧が増加すれば、出力コードも増加することをいい、変換特性の傾きで極性が反転しないことを言う。図 10.7(a)に示すように、特性の悪い A/D 変換器では、入力電圧を増加させると、デジタル出力が本来、100→101→110 と増加していくはずが、100→101→100→101→110 と一旦低下することがある。これを単調増加性がないと言う。次の章に説明する逐次比較 A/D 変換器の容量アレイの容量比が 2 進の重みからずれている場合などに、例えば MSB が変化するとき単調増加性が失われる場合がある。

サーボループなど増加・減少の方向を使ってフィードバックループが組まれているシステムで A/D 変換器に単調増加性が失われることがあると、その部分でフィードバックが振動するなど悪い影響があり、単調増加性が重要な性能指標になる応用もある。

単調性は end-point 法によるベストフィットラインからのずれが (1/2) LSB 以内であれば保証される。

$$|INL(k)| \leq \frac{1}{2} LSB \quad \text{for all } k \quad (2-3)$$

これは別の表現をすると、

$$|DNL(k)| \leq 1 LSB \quad \text{for all } k \quad (2-4)$$

であり、DNL がすべてのコードで 1 LSB 以内であれば、単調性が保証される。

(2) ミスコード

図 10.7 の(b)に示すようにアナログ入力電圧が増加するとき、理想的な変換器であればデジタルコードが順に増加していくはずであるが、特性の悪い変換器では、現れないコード（ミスコード）がある場合がある。例えば、第 3 章で説明する 2 ステップ A/D 変換器でアンプの利得が本来の値であれば 2^N 倍 ($N=2$ なら 4 倍、 $N=3$ なら 8 倍)などになるべきであるが、少し利得が低い場合などに現れる。DNL で言えば、ミスコードを起こしているコード k では $DNL(k) = -1 \text{ LSB}$ である。

(3) $DNL(k) > 1 \text{ LSB}$ の場合

図 10.7(c)に $DNL(k)$ が 1 LSB 以上の場合を示す。アナログ電圧が、本来コードが変わるべき 1 LSB 以上の電圧が変わっても、出力コードが変わらない場合で、俗に、「コードが張り付く」ともいう。ミスコードと同じように、2 ステップ変換器で段間のアンプの利得が理想値からずれている場合などに発生する。

10.2.4. 変換時間

A/D 変換器が、アナログ信号を入力して、変換を開始してから、全ビットのデジタルデータが決定されるまでの時間を言う。例えば図 10.8 に、逐次比較 A/D 変換器の変換シーケンスを示す。これによれば、図の 10-bit 逐次比較 A/D 変換器では、スタート命令後、入力信号をサンプルする時間に 1 クロック、各 1-bit を決める時間に、おのこの 1 クロック時間を使っており、変換を終了する処理に 1 クロックを使っており、合計 12 クロックで変換を終えている。

今後の章で述べるパイプライン A/D 変換器では、1 アナログサンプルがデジタル値に変換されて出てくる変換時間には数クロック掛かるが、アナログ信号の処理レートとしてはクロック周波数毎にサンプルを処理でき、変換時間と、変換レートが異なるので注意が必要である。

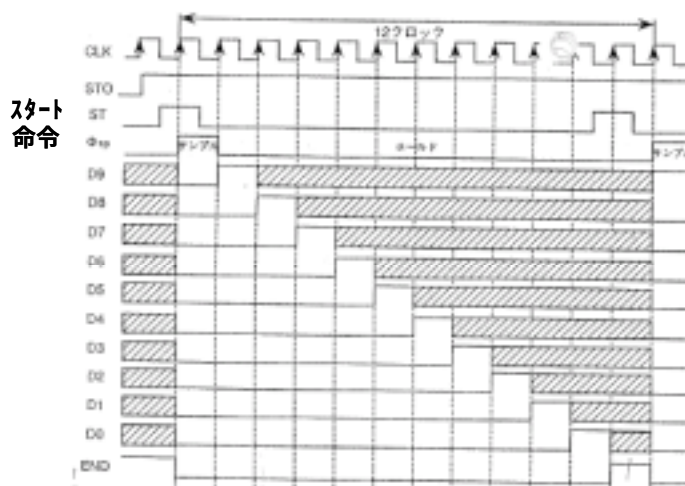
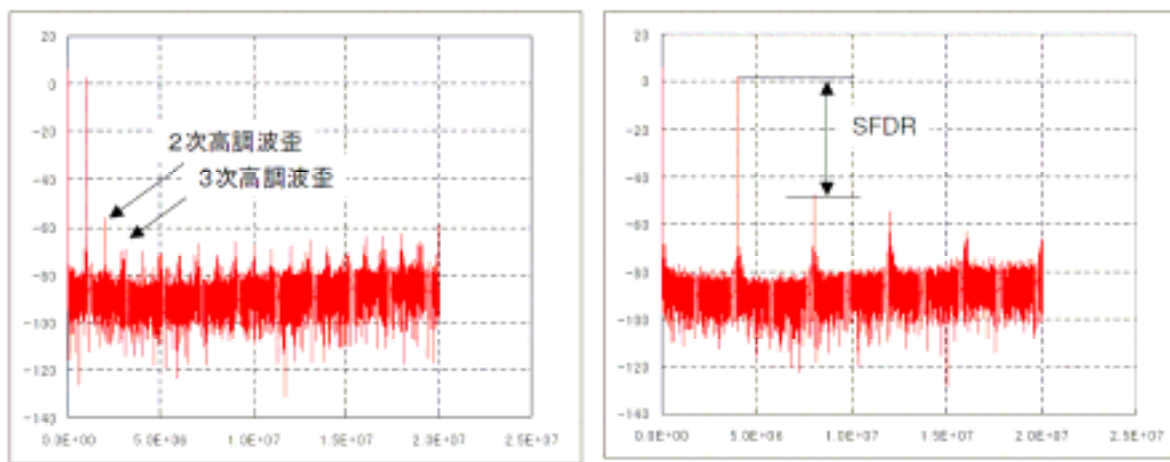


図 10.8 10ビット逐次比較 A/D 変換器タイミングチャートの例

10.2.5. 周波数領域の特性評価

次にダイナミックな A/D 変換器の特性について述べる。



(a) $f_s=40\text{MHz}$, $f_{in}=1\text{MHz}$

SNDR=46.8dB, ENOB=7.48-bit

HD2=-58.5dB, HD3=-76.0dB, THD=-57.6dB

(b) $f_s=40\text{MHz}$, $f_{in}=4\text{MHz}$

SNDR=44.9dB, ENOB=7.17-bit

HD2=-49.8dB, HD3=-56.7dB

図 10.9 A/D 変換出力の FFT 結果

通信用の応用などでは、INL, DNL といったスタティックな A/D 特性の評価では十分でな

く、高調波歪、信号対雑音(Signal to Noise: SN)比、やスプリアス・フリー・ダイナミックレンジ(Spurious Free Dynamic Range: SFDR)といったパラメータが重要になる。これらの性能は通常シングルトーンの正弦波を A/D 変換器の入力に与え、出力されるデジタル値のシーケンスを FFT (Fast Fourier Transform)で周波数スペクトラムに直して評価される。

図 10.9 に FFT の例を示す。これは 10-bit 分解能の A/D 変換器の例で、サンプリング周波数 f_s は 40MHz で、左に入力周波数 $f_{in}=1\text{MHz}$ 、右に入力周波数 f_{in} を 4MHz に上げた例を示す。

10.2.5.1. 高調波歪

図 10.9 左では入力周波数 $f_{in}=1\text{MHz}$ のところにスペクトラムが立ち、またその整数倍の周波数にスペクトラムが立つが、これらは、1MHz の高調波歪である。2 次、3 次高調波歪が立っている。これらの強さは、信号の二乗平均値(room mean square: rms)に対する、歪成分の rms 値の比である。図示するケースの場合、2 次高調波歪 HD2 は-58.5dB、3 次高調波歪 HD3 は-76.0dB、これらの高調波の歪を加算した全高調波歪 THD (Total Harmonic Distortion) は-57.6dB である。左の $f_{in}=4\text{MHz}$ のケースでは、入力周波数を上げたことにより、2 次高調波はより大きくなり、-49.8dB、3 次高調波歪は-56.7dB に悪化している。A/D 変換器内部の動作速度が不足すると、入力周波数が上がると歪が大きくなるケースがある。

サンプリング周波数 f_s に対して、入力周波数 f_{in} が近い場合は、高調波の周波数は折り返しが置き、低い周波数に変換される。 n 次高調波の成分は、したがって $|\pm nf_{in} \pm kf_s|$ となる。

10.2.5.2. SN 比 (Signal to Noise Ratio)

図 10.10 に理想的な A/D 変換器で発生する量子化誤差の図を示す。N-bit の A/D 変換器のフルスケールは量子化ステップを Δ として、 $2^N \Delta$ になるが、このフルスケールに相当する入力信号の電力に対して、量子化で発生する雑音の電力の比を表すのが SN 比、(Signal to Noise Ratio)である。原理から分かるように理想的な A/D 変換器でこの誤差が発生する。

量子化雑音の電力を考えるため、量子化雑音 ε_q を次のように仮定する。

- 1) $-\Delta/2$ と $\Delta/2$ の間に一様に分布するランダム変数と近似できる。
- 2) 入力信号に対して独立。

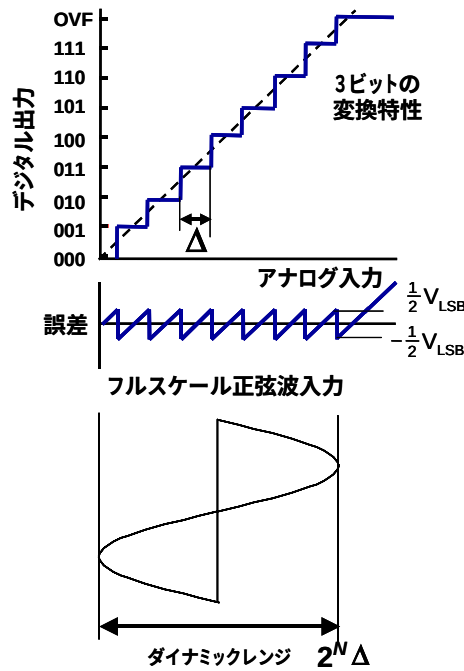


図 10.10 A/D 変換器による量子化誤差の発生と SN 比

これらの仮定はどんな場合にも厳密に成り立つわけではないが、4-bit 以上の分解能の場合は、ほぼ理想的な近似を与えることができる。量子化雑音の電力は

$$\overline{\varepsilon_q^2} = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} \varepsilon_q^2 d\varepsilon_q = \frac{\Delta^2}{12} \quad (2-5)$$

アナログ入力が正弦波で振幅 $V_{ref}/2$ つまり、フルスケール- $V_{ref}/2$ と $V_{ref}/2$ の間で動作するピーク-ピーク値が V_{ref} の波形とすると、その全信号電力は

$$\frac{V_{ref}^2}{8} = \frac{2^{2n} \Delta^2}{8} \quad (2-6)$$

となるので、信号電力対雑音電力の値は

$$SNR_p = \frac{2^{2n-3} \Delta^2}{\Delta^2 / 12} = \frac{3}{2} 2^{2n} \quad (2-7)$$

となる。これをデシベルであらわすと、

$$SNR_p = 10 \log \left(\frac{3}{2} 2^{2n} \right) \quad (2-8)$$

$$= 6.02n + 1.76 \text{ dB} \quad (2-9)$$

となる。

例えば、10-bit 分解能の、量子化雑音以外に全く雑音のない A/D 変換器の SNR は、

$$6.02 \times 10 + 1.76(\text{dB}) = 61.96\text{dB} \quad (2-10)$$

となる。

実際の A/D 変換器では、この原理的な量子化雑音のほか、回路の熱雑音や、歪が入るのでこの数値よりも悪化する。歪の影響を含めず、量子化雑音と回路熱雑音による雑音電力と、信号電力の比を SNR (Signal to Noise Ratio) と言う。SNR の数値は、サンプリング周波数 f_s 、および入力周波数 f_{in} に依存する。

回路の熱雑音とは、A/D 変換器回路は抵抗や容量で作られるが、まず、抵抗は v_n^2 の大きさの熱雑音を発生する。

$$v_N^2 = 4kTR\Delta f \quad (2-11)$$

ここで、k: Boltzmann 定数、T: 絶対温度 (°K)、R: 抵抗値、 Δf : 注目する雑音帯域(Hz). またスイッチングされる容量 (スイッチド・キャパシタ容量) はスイッチングごとに次の雑音(kT/C 雑音)を発生する。

$$v_N^2 = \frac{kT}{C} \quad (2-12)$$

これら回路の熱雑音は高い SNR の A/D 変換器を設計する場合は問題になるので、設計で必要な大きさまで下げなければならない。

10.2.5.3. SNDR (Signal to Noise and Distortion Ratio)

量子化雑音、回路雑音のほかに、入力信号に対する歪も雑音と考えて、信号電力と歪を含めた雑音の比を取るのが SNDR(Signal to Noise and Distortion Ratio)である。図 10.9 の例では、左側の $f_{in}=1\text{MHz}$ のケースで、SNDR=46.8dB になっている。この例では歪成分はかなり大きくなっており、10-bit 分解能の A/D 変換器の理想的な 10-bit での SN 比が 61.96dB に対して劣化が大きい。SNDR の数値も、サンプリング周波数 f_s 、または入力周波数 f_{in} に依存する。SNDR の別の名称として SINAD(Signal Noise And Distortion ratio)という用語が使われることもある。

10.2.5.4. 有効ビット

有効ビット(ENOB: Effective Number of Bits)は、式(2-9)で示した、分解能と、SNR の理論的な関係から、SNDR を理論的な分解能で現したらどのような分解能に相当するかを表した

数値である。式(2-9)を逆に解いて、

$$ENOB = \frac{SNDR_{peak,dB} - 1.76}{6.02} \quad (2-13)$$

となる。図 10.9 の例では、SNDR が 46.8dB であったので、有効ビットは、

$$ENOB = \frac{46.8 - 1.76}{6.02} = 7.48 \quad (\text{bit})$$

となる。

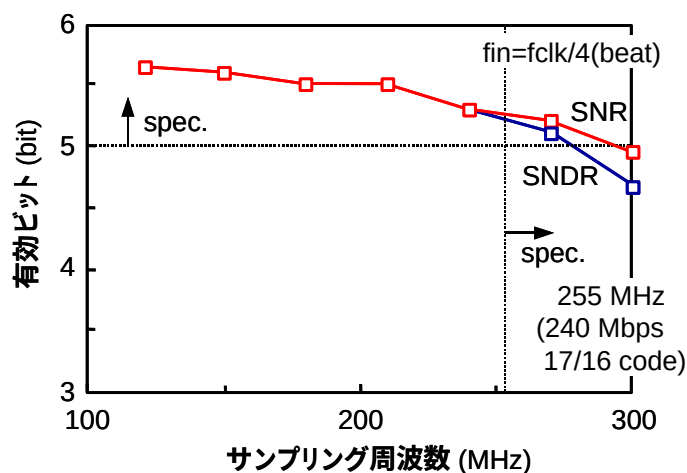


図 10.11 有効ビットのサンプリング周波数依存性の例

図 10.11 に有効ビットのサンプリング周波数 f_s 依存性の例を示す。これは第 8 章で述べる先読み方式の 6-bit 分解能 A/D 変換器の実測例である。SNR から計算した有効ビットと SNDR から計算した有効ビットを示す。低周波では同じ値を示すが、高周波では SNDR が SNR に比べて低下が大きい。これは高周波では高調波歪の発生が多くなることを示している。

10.2.5.5. スプリアスフリー・ダイナミックレンジ(SFDR, Spurious Free Dynamic Range)

SFDR は信号振幅の rms 値と、最大スプリアス成分 rms 値の比である。スプリアス成分とは、本来発生しないはずなのに発生している成分のことを言う。SFDR は全高調波歪(THD)と似た情報であるが、最悪のスプリアス・トーン（単一周波数）に注目していることが異なる。図 10.9 の右の図で、 $f_s=40\text{MHz}$, $f_{in}=4\text{MHz}$ のとき、8MHz の周波数にある 2 次高調波歪が最も大きいスプリアス成分である。このときの入力信号との差 $\text{SFDR}=49.8\text{dB}$ である。SFDR は入力信号の振幅に依存し、入力信号が大きくなりフルスケールに近づくほど大きく

なり、小さくなると無視できる程度になる。

10.2.6. ビート法による A/D 変換器の高速性能の簡易評価法

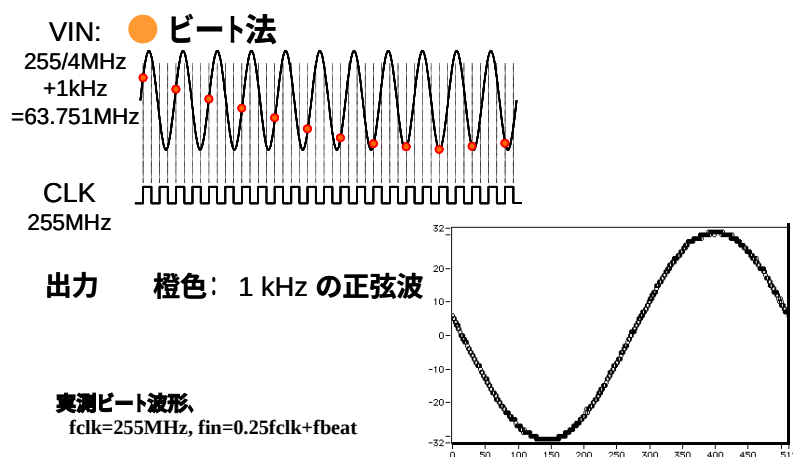


図 10.12 ビート法による A/D 変換器の高速性能の簡易評価

図 10.12 にビート法による A/D 変換器の高速性能の評価法を示す。これはクロック周波数とごく近い周波数、またはクロック周波数の整数分の一(1/n)の周波数の、入力信号を A/D 変換器の入力に入れ、デジタルの再生波形を見て A/D 変換器の高速性能の良さを評価する方法である。図の例では、第 8 章で議論する先読み方式のパイプライン A/D 変換器の例であるが、サンプリング周波数は $f_s=255\text{MHz}$ であり、入力周波数を $255\text{MHz} \div 4 + 1\text{kHz}$ にしている。こうすると図左上に示す概念図のように高速に変化する入力信号を●を付けた点でサンプルして A/D 変換するため、変換後の波形はサンプリング周波数 f_s と入力周波数 f_{in} のビート周波数、この場合 1kHz の信号になって見える。これを出力表示したのが右下のケースで、この波形から、ビット欠けやビットとびなど高速動作でも変換動作に不良が出ないことが評価できる。これは入力信号源と、クロック発生源の周波数設定をこのように行えば可能になる評価で、簡易な評価が実現できる。正確に高速性能を評価するためには、デジタル出力を FFT 行って、SNR, SNDR, の入力周波数依存性や、クロック周波数依存性を評価することが必要であるが、簡易に A/D 変換器の高速性能を評価する手段として、ビート法は広く使われている。

10.3. 低速、中速度の A/D 変換器方式

第 2 章、2.2 節、A/D 変換器の方式（アーキテクチャ）説明では、低速・中速を割愛したのでここに補足する。

(1) 計数（積分）型 A/D 変換器

図 10.13 に計数（積分）型 A/D 変換器を示す。上部に計数方式の原理を示す。回路構成は、AD 開始信号を受けて参照電圧 $-V_{ref}$ を積分する RC 積分回路と、その積分結果を入力電圧 V_{in} と比較する比較器、およびクロックをカウントするカウンタからなる。この変換器の動作を図の右に示す。AD 開始信号が与えられると、積分器は $-V_{ref}$ の積分を初める一方、カウンタがクロックをカウントし始め、積分器の出力電圧が入力電圧 V_{in} に等しくなると、カウンタを停止し、カウント値をデジタル出力とする。入力電圧 V_{in} が高ければ積分時間が伸び、カウント値が上がるので、アナログ電圧をデジタル値に変換できる。この方式の欠点は、抵抗 R や容量 C の値が LSI プロセス工程の変化で変わると、精度が失われることである。例えば抵抗値 R が 20%大きめにできると、積分時間が 20%長くなるので、カウンタ値も 20%大きくなり、正しい変換ができない。

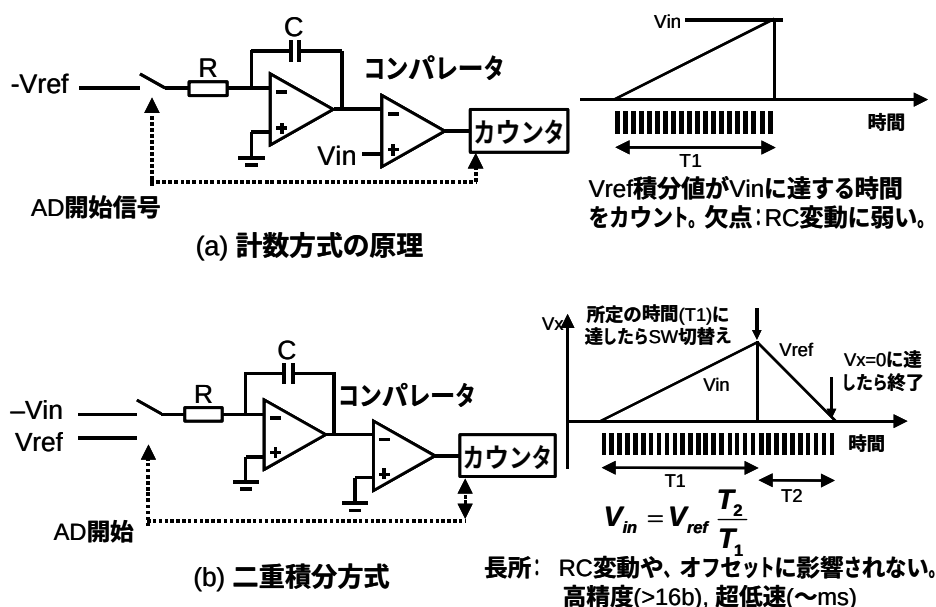


図 10.13 計数（積分）型 A/D 変換方式

これを改良したのが下に示す二重積分型である。この変換器は、まず初めのフェーズで入力電圧(-Vin)を積分器で所定の時間 T1 積算し、その後、積分器入力電圧を Vref に切替えて積分する。積分出力が Vx=0 に達したら終了して、切替え後のカウンタ値 T2 を求め、次の式にしたがって入力電圧 Vin の Vref に対する比率でデジタル出力値を求める。

$$V_{in} = V_{ref} \frac{T_2}{T_1}$$

この方法は、抵抗 R、容量 C の変動の影響を受けず、また積分器のオフセット誤差の影響も受けない長所があり、16bit 以上の高精度で、ただし～ms 程度の低速の変換に使われる。実験室にあるデジタルボルトメータがこの方式を採用している。

(2) 逐次比較 A/D 変換器

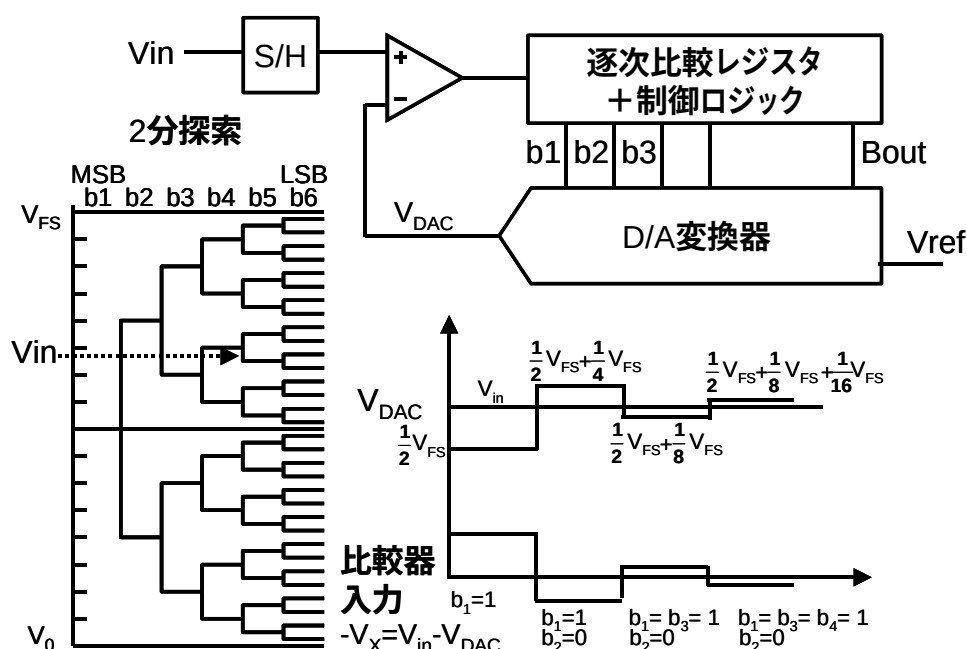


図 10.14 逐次比較 A/D 変換方式

図 10.14 に逐次比較型 A/D 変換器を示す。構成は、1) 変換を行っている間入力電圧の動きを止めるサンプルホールド回路、2) デジタル値をアナログ値に変換する D/A 変換器、3) ホールドされた入力電圧 V_{IN} と、D/A 変換出力 V_{DAC} を比較する電圧比較器、4) D/A 変換器のデジタル入力を制御して、入力電圧 V_{IN} に近い D/A 変換出力 V_{DAC} を作り出す「逐次比較レジスタ+制御ロジック」、からなっている。

変換器動作は、図の左にある2分探索法で、D/A変換出力 V_{DAC} を入力電圧 V_{IN} に近づけていく動作により、D/A変換器のデジタル値（MSB, 2nd MSB, 3rd MSB, , , LSB）を、上位ビットから、1ステップ進むたびに1ビットずつ決めてゆく動作になる。まず、図の V_{IN} 矢印の位置に入力電圧があるとする。逐次比較レジスタ制御回路はまず、MSBビットを1と立ててみる。D/A変換器に出力されるデータは（MSB, 2nd MSB, , , , LSB）=(1,0,0,,,0)である。するとD/A変換器がMSB=1に対応する電圧、つまりフルスケール電圧 V_{FS} の半分の電圧 $V_{FS}/2$ を V_{DAC} として出力する。比較器がこの電圧 $V_{DAC}=V_{FS}/2$ と入力電圧 V_{IN} とを比較して、 $V_{FS}/2$ より V_{IN} が高ければMSBを1と決定、低ければMSBは0と決定される。この例では V_{IN} は $V_{DAC}=V_{FS}/2$ より高いのでMSB=1と決定される。次に、第2MSBビットを決定する。MSB=1だったので、逐次比較レジスタ制御回路は今度は（MSB, 2nd MSB, 3rd MSB, , , LSB）=(1,1,0, 0, , 0)を出力してみる。D/A変換器が再生するアナログ電圧は、（1,1,0,0, , 0）に対応して、 $V_{DAC}=(3/4)V_{FS}$ になる。今度は図に示すように V_{IN} は V_{DAC} より低いので、2nd MSB=0と決定される。このように上位ビットから、下位ビットに向けて、1ビットずつ1ステップずつでビットを決定していく。

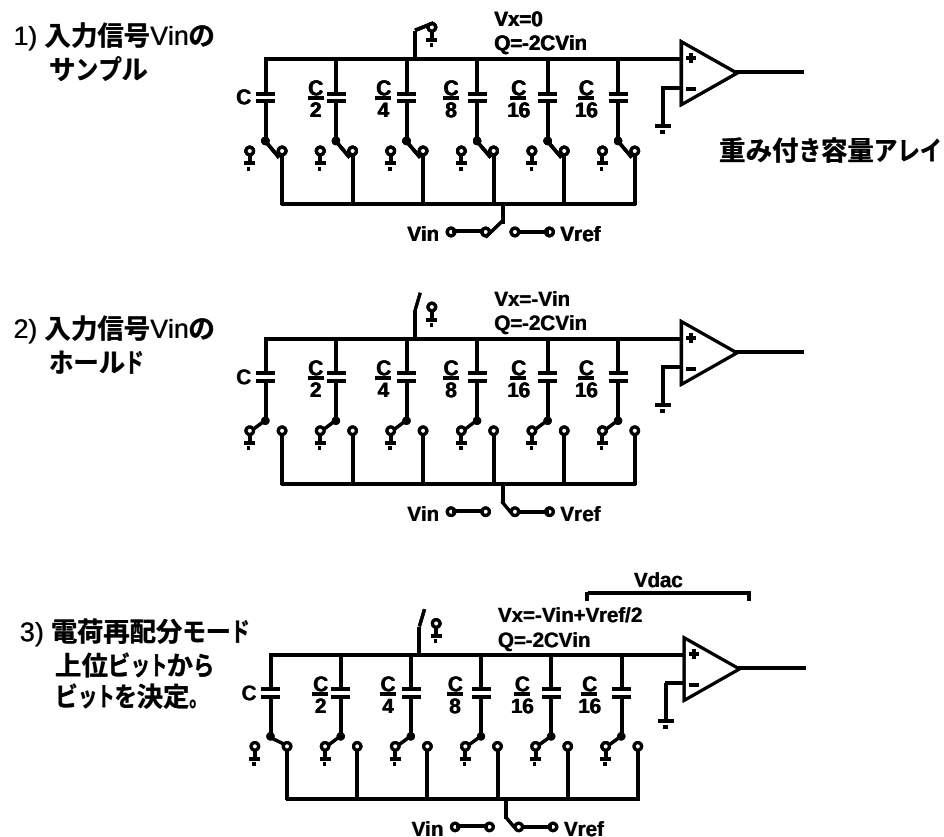


図 10.15 重み付き容量アレイを用いた逐次比較 A/D 変換器の実現

図 10.15 に容量を使った逐次比較 A/D 変換器の実現例と動作を示す。容量は 2 進の重みづけをされていて、入力信号電圧をこの容量アレイにサンプルした後、逐次比較動作によって、 $-V_{IN}+V_{DAC}$ が比較器入力 V_X に作られ、上位ビットから決定される。図で、1) の動作は入力信号の容量アレイへのサンプルで、容量アレイ上側スイッチを GND に接続し、下側スイッチをすべて V_{IN} に接続し、容量アレイに入力電圧を蓄える。次に 2) で容量アレイ上側スイッチを開放して、下側スイッチをすべて GND に接続する。すると比較器の入力電圧 $V_X=-V_{IN}$ となる。次に 3) の電荷再配分モード動作で、MSB からビットの値を決めていく。まず MSB=1 とし、最大重み容量 C (図の左端) の下側のスイッチを V_{ref} につなぐ。すると比較器の入力電圧 $V_X=-V_{IN}+V_{ref}/2$ となり、これが 0 より大きければ、 V_{IN} は $V_{ref}/2$ より低かったんで、MSB=0 と決める。もし 0 より小さければ、 V_{IN} は $V_{ref}/2$ より高いので、MSB=1 と決める。同様に、次の $C/2$ の容量で同じことを行い 2nd MSB を決定し、さらに $C/4$ の容量を使って 3rd MSB を決定する。これを最後のビットまで繰り返す。

逐次比較 A/D 変換器は 1 ステップに 1 ビットずつ決められるので、中速度の A/D 変換に適しており、マイクロコンピュータに搭載する 10bit~12bit 程度で、変換速度が 1Msample/sec 程度の A/D 変換器に良く用いられている。

11. 謝辞

本論文の執筆にあたり、終始懇切なるご指導とご鞭撻を賜りました東京工業大学 藤井信生教授に心より感謝の意を表します。また、東京工業大学 高木茂孝教授、松澤明教授、西原明法教授、岡田健一准教授、また武蔵工業大学 堀田正生教授には本論文の作成に対し適切なご助言ご指導を賜りました。ここに心からの感謝の意を表します。

本研究は筆者が1978年4月に日立製作所中央研究所に入社して以来、1995年3月に日立製作所半導体グループに移り、また2003年4月ルネサステクノロジーが発足して今日までの研究をまとめたものである。本研究の論文作成の機会を与えてくださいましたルネサステクノロジー 中屋雅夫取締役、中込儀延アナログ技術統括部長に、また日立製作所時代、本研究遂行の機会を与えてくださいました、武田康嗣元専務取締役、永田穰元技師長、堀越彌、および中村道治元中央研究所所長に深く感謝いたします。

日立超 LSI エンジニアリング原躬千夫元取締役、日立製作所半導体事業部 喜田祐三元副本部長、日立製作所半導体事業部 久保征治元技師長、同、増原利明元技術開発本部長、同大場信弥元技術部長、同、萩原吉宗マイコン・ASIC 元本部長付、日立製作所基礎研究所 浅井彰二郎元所長には、それぞれ当時上長として、本研究の推進にあたってご指導ご助言をいただきました。また日立製作所半導体事業部 上田誠一元リニア IC 設計部長、同 麻殖生健二元 ASIC 設計部主任技師には本研究の MOS 集積回路の開発にあたって全面的なご指導ご協力をいただきました。

本研究の共同研究者である、STARC 塚田敏郎主任研究員、ルネサステクノロジー今泉栄亀グループリーダー、臼井邦彦主任技師、北川明弘主任技師、平木充先端アナログ開発部部长、安保隆誠、松鶴敏弘、関浩一、尾野孝一、工藤純也、小久保優、山本悦司、福田恵子、番雅司、の各氏には有益な議論をしていただき研究を遂行することができました。

本論文の執筆は元ルネサステクノロジー堀田正生アナログ技術統括本部長のご助言によるものであり深く感謝いたします。

本研究を遂行することができたのは以上の各位を始め、多くの方々のご指導とご協力、ご支援によるものであり、謹んでお礼申し上げます。

平成 21 年 3 月