

論文 / 著書情報
Article / Book Information

題目(和文)	波面整合法に基づく光導波路設計を利用した石英系平面光波回路の高性能化に関する研究
Title(English)	
著者(和文)	坂巻陽平
Author(English)	
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第7965号, 授与年月日:2010年3月26日, 学位の種別:課程博士, 審査員:水本 哲弥
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第7965号, Conferred date:2010/3/26, Degree Type:Course doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

波面整合法に基づく光導波路設計を利用した
石英系平面光波回路の高性能化に関する研究

坂巻 陽平

目次

第 1 章 序論.....	1
1.1 本研究の背景.....	1
1.1.1 光ファイバ通信システムの大容量化の進展.....	1
1.1.2 光ファイバ通信システムのネットワーク構成.....	3
1.1.3 光ファイバ通信用デバイス.....	5
1.2 石英系平面光波回路.....	6
1.2.1 石英系導波路の作製方法と基本特性.....	7
1.2.2 石英系平面光波回路と光ファイバの接続工程.....	8
1.2.3 石英系平面光波回路デバイスの研究開発経緯.....	10
1.3 これまでに報告されている光導波路構造の最適化手法.....	14
1.3.1 遺伝的アルゴリズムに基づく導波路構造最適化.....	14
1.3.2 非線形計画法を用いた導波路構造最適化.....	15
1.4 本研究の目的.....	16
1.5 本論文の構成.....	17
参考文献.....	18
第 2 章 波面整合法の原理.....	23
2.1 波面整合法の原理.....	23
2.1.1 光回路の結合効率.....	23
2.1.2 波面整合法の原理.....	25
2.2 波面整合法に基づく光回路設計の手順.....	27
2.3 波面整合法と他の導波路構造最適化手法との相違点.....	29
2.4 波面整合法に基づき設計した光回路の特徴と問題点.....	31

2.5	まとめ.....	33
	参考文献.....	34
第3章	波面整合法に基づく光導波路設計.....	35
3.1	波面整合法に基づく光導波路設計の提案.....	35
3.2	提案手法の検証.....	37
3.2.1	光導波路レンズの設計.....	37
3.2.2	実験結果.....	42
3.3	まとめ.....	45
	参考文献.....	46
第4章	Y分岐導波路設計と平面光波回路デバイスへの展開.....	47
4.1	Y分岐導波路における過剰損失の原因.....	47
4.2	Y分岐導波路の低損失化.....	48
4.2.1	Y分岐導波路の設計.....	49
4.2.2	実験的検証結果.....	53
4.2.3	導波路の比屈折率差 Δ と損失低減効果の関係.....	54
4.3	アクセス網用1×32スプリッタへの適用.....	58
4.4	光多値変調器用1×4スプリッタへの適用.....	61
4.5	Y分岐導波路の分岐比安定化.....	63
4.5.1	Y分岐導波路の分岐比安定化に向けた設計指針.....	63
4.5.2	分岐比安定化Y分岐導波路の設計.....	64
4.5.3	実験的検証結果.....	66
4.6	計算条件と設計結果の関係.....	68

4.6	まとめ.....	70
	参考文献.....	72
第 5 章	導波路交差設計と平面光波回路デバイスへの展開.....	74
5.1	導波路交差損失の低減.....	74
5.1.1	平面光波回路における導波路交差設計の重要性.....	74
5.1.2	導波路交差の設計.....	75
5.1.3	実験的検証結果.....	78
5.1.4	導波路の比屈折率差 Δ と損失低減効果の関係.....	80
5.2	マトリクス光スイッチへの適用.....	82
5.3	V-AWG への適用.....	85
5.3.1	1.5% Δ V-AWG.....	88
5.3.3	2.5% Δ V-AWG.....	91
5.4	まとめ.....	92
	参考文献.....	93
第 6 章	アレイ導波路回折格子の低損失化.....	96
6.1	アレイ導波路回折格子の構成と動作原理.....	96
6.2	アレイ導波路回折格子における損失の原因.....	99
6.2.1	中心波長チャネルにおける損失.....	99
6.2.2	チャネル間損失ばらつき.....	100
6.3	モードフィールド変換損失の低減.....	102
6.3.1	モードフィールド変換器の設計.....	103
6.3.2	実験的検証結果.....	105
6.4	出力ポートに対する損失分布の均一化.....	108
6.4.1	モードフィールド変換器の設計.....	108

6.4.2 実験的検証結果.....	114
6.5 まとめ.....	116
参考文献.....	118
第7章 結論.....	120
謝辞.....	123
研究業績リスト.....	124

第 1 章 序論

本章では、はじめに、本研究の背景として、近年の通信事業に対する急激な需要拡大と、光ファイバ通信システムの重要性および今後の発展性について述べ、光導波路デバイスのさらなる高性能化の必要性を説明する。その後、石英系平面光波回路デバイスの概要、これまでの研究開発経緯と今後の展望について述べ、さらなる機能集積化、回路規模の拡大が重要であることを説明する。さらに、大規模機能集積回路を実現するために、光回路の基本構成要素となる光導波路を構成するコアとクラッドの比屈折率差 Δ を高くすることが重要な課題となることを説明する。そして、これまでに報告されている光導波路構造の最適化設計手法について説明し、その特徴と問題点について整理する。その後、本研究の目的について述べ、本論文の構成を説明する。

1.1 本研究の背景

本研究の背景として、光ファイバ通信システムの研究開発経緯と今後の展望について説明する。また、現在の光ファイバ通信システム網の基本構成について概要を述べた後、光ファイバ通信システム構築に必要不可欠となる光デバイスの機能についてまとめ、光導波路デバイスの重要性を示す。

1.1.1 光ファイバ通信システムの大容量化の進展

1990 年代に始まったインターネットの急速な普及に伴い、ネットワークを流通する情報量は爆発的に増大し、社会システムに大きな変革をもたらした。FTTH (Fiber To The Home) などのブロードバンドアクセスサービスの普及により、インターネットトラフィックは年率 1.4~2 倍の割合で増加を続けている。このような情報化社会を実現し、今後も増加し続ける情報流通を支える通信システムの基盤が、光ファイバ通信システムである。

光ファイバ通信システムの構築は、2つの画期的な技術革新を契機として始まった。送信器の光源である半導体レーザと、伝送媒体である光ファイバの開発である。1970 年に二重ヘテロ接合を導入した GaAlAs 半導体レーザの室温連続発振が報告された[1]。当初は波長 0.8 μm 帯で発振する GaAlAs 半導体レーザが研究されていたが、光ファイバの低損失波長領域がより長波長帯域にあることが明らかとなり、1976 年には現在の光通信で利用されている 1.2~1.6 μm 帯で発振する InGaAsP 半導体レーザが開発された[2]。その後、レーザ活性層に周期構造を埋め込んだ分布帰還型半導体レーザの研究が活発化し[3]、安定した単一モード発振の実現により光ファイバの群速度分散の影響による波形劣化が回避され、長距離伝

送が可能となった。一方、光ファイバに関する研究開発は、1966年にKaoらにより、石英ガラスを純化することにより低損失な光ファイバが実現可能であり、石英ガラス光ファイバが伝送媒体となりうるということが理論的に予測されたことに始まる[4]。1970年にはKapronらにより波長 $0.8\mu\text{m}$ 帯で損失が 20dB/km の光ファイバが開発された[5]。当時の一般的な光ファイバの損失は 1000dB/km 以上であったので、飛躍的な改善である。その後の作製技術の進歩により、損失の主要因であったファイバ中の不純物OH基を除去することに成功し、1979年には波長 $1.55\mu\text{m}$ において理論限界とされる 0.2dB/km という低損失化が達成された[6]。これら半導体レーザと石英ガラス光ファイバの実用化により、送信端で半導体レーザを用いて電気的な変調信号を光の強度変化に変換し、その光を光ファイバにより受信端まで伝送し、受信端でフォトダイオードを用いて光の強度変化を電気信号に変換するという、現在の光ファイバ通信システムの基礎が確立された。

図1-1に、これまでに報告された主な光伝送実験の伝送容量と、日本において商用化されたシステムの伝送容量を示す[7, 8]。

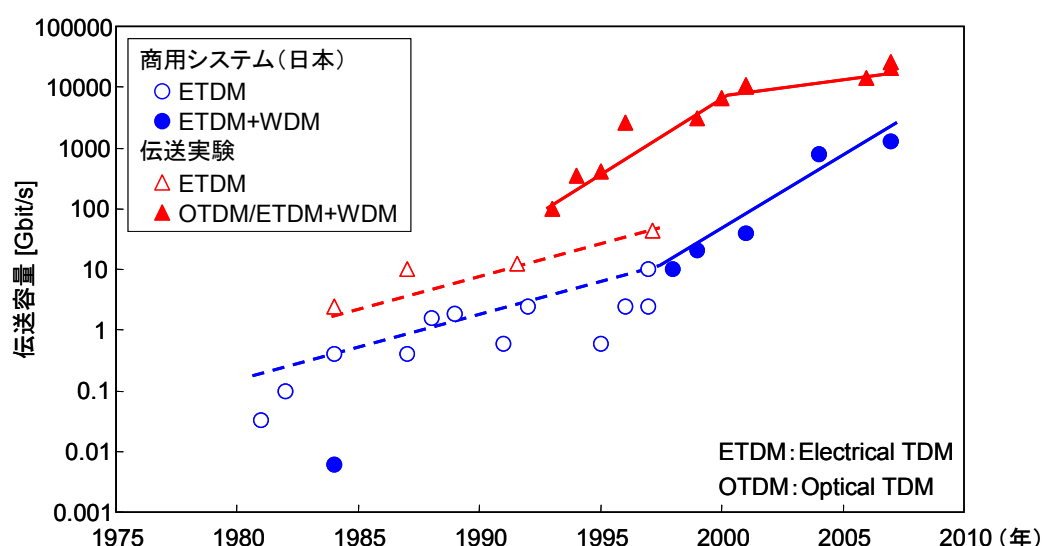


図 1-1 光ファイバ通信システムの大容量化の進展

1970年代後半からネットワークの基幹網において同軸ケーブルから光ファイバへの置換が始まり、伝送路の低損失化に伴う中継器数の削減が可能となり、システムの経済化、信頼性向上が実現された。日本では、1985年に旭川ー鹿児島を結ぶ日本縦貫光ファイバ通信網が構築された。また、1989年には日本とアメリカをつなぐ太平洋海底光ファイバ通信システムが稼動を始めた。日本国内では時間分割多重 (Time Division Multiplexing : TDM) 方式による 32Mbit/s 伝送システムが1981年に初めて商用導入され、それ以降、伝送速度は増加の一途をたどり、1996年に 10Gbit/s 伝送システムが商用化された。1990年代には光ファイバ通信システムの大容量化を実現する上で必要不可欠な技術が開発され、急速な実用化が進んだ。エルビウム添加光ファイバ増幅器と波長分割多重 (Wavelength Division Multiplexing :

WDM) 技術である。波長 1 チャンネル当りの伝送速度は送受信端における電子回路の処理速度に律速され、変調速度が 10Gbit/s 以上の高速領域においては電気処理の難しさが顕在化する。しかし、多数の光波長チャネルを 1 本の光ファイバで並列伝送する WDM 技術の導入により、この限界は打破された。1996 年には最初のテラビット光伝送が報告され[9]、さらに 1999 年には 3Tbit/s の伝送実験[10]、2001 年には 10Tbit/s の伝送実験[11, 12]が報告されている。その後、通信バブル崩壊による光ファイバ通信市場の冷え込みの影響を受け、伝送容量の記録更新は停滞したが、2006 年には 14Tbit/s[13]、2007 年には 25.6Tbit/s の伝送実験[14]が報告され、再び光ファイバ通信システムの大容量化に関する研究が活況を呈している。近年の伝送実験は 2000 年前後の検討とは異なり、単なる伝送容量の増大のみではなく、スペクトル利用効率の向上や増幅器間隔の拡大というコスト面が重要視されている。図 1-1 に示すように、商用システムにおいても、伝送実験と並行して着実に大容量化が進展してきた。しかし、従来の 2 値の強度変調－直接検波 (Intensity Modulation – Direct Detection : IM-DD) 方式では、変調速度が 40Gbit/s 以上になると、電子デバイス的高速化という課題に加えて、光ファイバ伝送路の偏波モード分散や波長分散、非線形効果などの伝送距離を制限する要因が顕在化する。そこで、変調速度を維持したまま 1 チャンネル当りの伝送容量を増大するため、従来の IM-DD 方式に代えて、多値変調方式の実用化検討が進んでいる。例えば、光の位相情報を利用する差動 4 値位相変調 (Differential Quadrature Phase-Shift Keying : DQPSK) を利用した、1 波長当りの伝送容量が 40Gbit/s の WDM システムが実用化の段階に到達している[15]。さらに、高速ディジタル信号処理電子回路の高性能化に伴い、直交周波数分割多重技術の光通信への適用やディジタルコヒーレント受信方式が注目され、偏波多重 QPSK 方式に基づく 1 波長当りの伝送容量 100Gbit/s 級の超高速インターフェースの共通化に向けた議論が OIF (Optical Internetworking Forum) で開始されている。このような背景から、近い将来、1 波長当りの伝送容量が 100Gbit/s、総容量 10Tbit/s 以上の超大容量高速 WDM システムの実用化が予想される。

1.1.2 光ファイバ通信システムのネットワーク構成

光ファイバ通信システムは、伝送、多重化、スイッチング、ルーティングなどの情報転送機能を光領域で実現することにより、多様な通信サービスの柔軟な収容、大容量情報の経済的な伝送を可能にする。図 1-2 に光ファイバ通信システムのネットワーク構成の展開を示す[8]。光ファイバ通信は、当初は point-to-point の TDM/WDM 方式として導入され、この段階ではノード処理は電気処理を用いていた。そのため、ノードのスループットはムーアの法則の制限を受け、それを上回る情報流通需要の拡大への対応は難しかった。そこで、近年、ノード処理を光領域で行い、光ファイバで伝送された光信号を光信号のまま波長ごとに目的の経路に切り替える波長ルーティング技術[16]の実用化が進んでいる。これにより、各ノードにおけるトランスポンダ数の削減と電気ノードの小規模化が可能となり、ネット

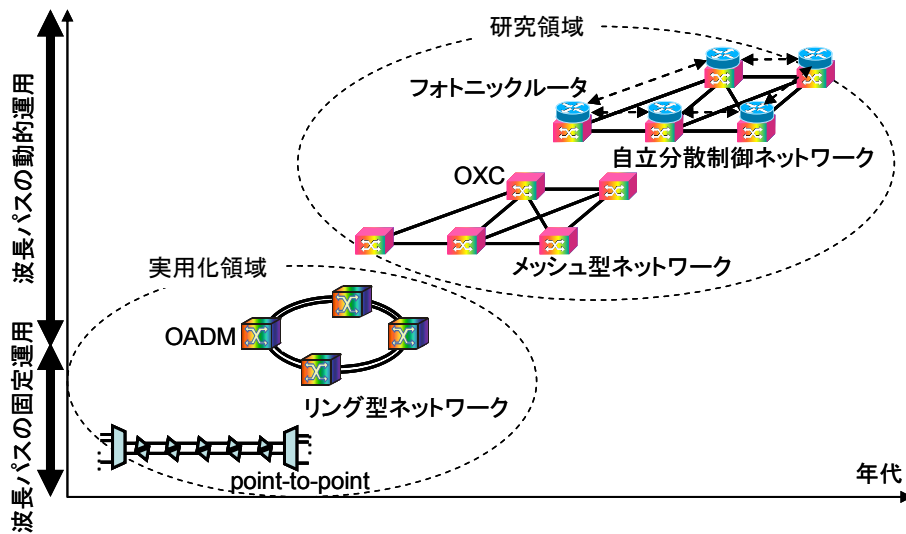


図 1-2 フォトニックネットワークの展開

ワークの経済化が実現されている。さらに、従来の電話トラフィック主体の SDH (Synchronous Digital Hierarchy) 信号や、IP (Internet Protocol) ルータ等のデータインタフェースとして普及している Ethernet 信号などの様々なクライアント信号を、波長に基づくパス設定によって柔軟にネットワークに収容することを可能にしている。また、将来のトラフィックの大部分を占めると考えられる IP トラフィックの特性は、距離依存性が小さく、トラフィックパターンの変動が極めて大きく、バースト性が高いなど、従来の電話トラフィックとは大きく異なる。そのため、ネットワーク資源を有効に活用するためには、動的な帯域幅制御を可能にする波長ルーティング技術に基づく適応型ネットワーク構成の実現が不可欠となる。現在、コアネットワークやメトロネットワークにおいて、ノードにおける波長ルーティング装置として OADM (Optical Add/Drop Multiplexer) の実用化が進み、OXC (Optical cross-Connect) [17]の導入も検討されている。OADM は必要な波長の光信号のアドドロップ多重を行うとともに、自ノードに無関係な信号をスルーさせることができるため、リング型ネットワークトポロジーに適用されている。OXC は複数のノードからの光チャネルの経路切り換えを行うもので、メッシュ型や複数のリング型ネットワークを相互接続した大規模なネットワークに適用される。また、研究レベルでは、OXC と IP ルータを融合したフォトニックルータによる自立分散制御ネットワークへの展開も議論されている[18, 19]。今後、OADM ノードで構成されたリングネットワークの普及、OXC ノードで構成されたメッシュネットワークへの展開が期待される。

エンドユーザを収容するアクセスネットワークにおいても、データサービス中心のブロードバンドネットワークへの転換が求められ、PON (Passive Optical Network) 構成[20, 21]に基づくブロードバンド環境が構築されている。図 1-3 に PON のトポロジーを示す。PON 構成を用いることで、光ファイバ伝送路を光スプリッタによって分岐し、センタ局と複数のユーザを 1 対 N で接続することが可能となる。この場合、複数ユーザで光ファイバ伝送

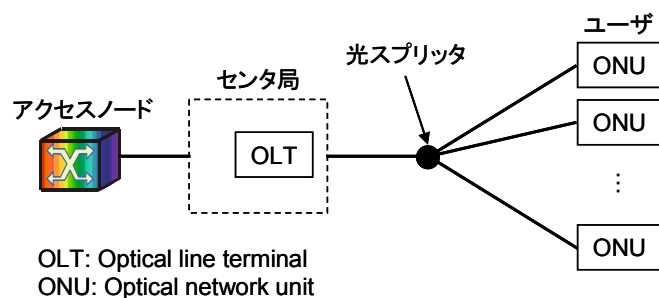


図 1-3 アクセス系システムのネットポロジ（PON）

路の一部とセンタ局側の設備を共有するため、低コストで光ファイバ網を構築することが可能となる。日本では 2004 年以降、1Gbit/s の帯域を複数ユーザでシェアする GE-PON（Gigabit Ethernet PON）の導入が進み、FTTH の本格的普及の段階を迎えている。

1.1.3 光ファイバ通信用デバイス

現在の大容量通信ネットワークを実現するために、様々な材料を用いた種々の通信用光デバイスの研究開発が進められてきた。例えば、WDM システムにおいて伝送容量を増大させるためには、変調速度の高速化や使用する波長帯域の拡大、波長チャネル間隔の狭窄化などが有効な手段であり、変調器の高速化や光増幅器の帯域拡大、波長合分波フィルタの高性能化が活発に検討されてきた。また、1.1.2 で述べた OADM や OXC の普及に向け、波長可変光源や光スイッチのさらなる高性能化と経済化が進められている。変調速度が 40Gbit/s 以上のシステムでは、波長分散や偏波分散による信号波形の劣化を補償する分散補償器の導入が必須となる。これらは光デバイスの高性能化や新機能光デバイスの創出が、伝送容量の増大やネットワーク資源の有効活用に必要な不可欠であることを示す一例に過ぎない。今後も増加が予想される情報通信量に対処するため、伝送容量の増大やシステムの経済化は必須であり、通信用光デバイスに対してさらなる機能の多様化、高性能化が求められていくことは明らかである。表 1-1 に、光ファイバ通信用に研究開発が進められている代表的なデバイスを示す[22]。

平面基板上に形成する光導波路は、1969 年の S. E. Miller による光集積回路の概念の提唱以来[23]、精力的な研究開発が続けられ、様々な光デバイスとして実用化されてきた[24]。光導波路型デバイスには、電気光学効果や熱光学効果による伝搬光の高精度制御が可能であり、機能素子の集積による小型化、優れた量産性により低コスト化が容易であるという特徴がある。最初は半導体レーザの活性領域やマッハツェンダ干渉計型外部変調器などにおいて伝搬光をコアへ閉じ込める構造として利用され、その後、低損失な石英系光導波路を用いた光回路としての応用が進展した。導波路材料としては III-IV 族半導体、LiNbO₃、石英ガラス、有機材料などが利用されている。特に最近では、Si 細線導波路などの大きな

表 1-1 光デバイスの構成要素による分類

	光導波路	ファイバ	自由空間
送受信器	分布帰還型/分布ブラッグ反射型レーザ pin/なだれフォトダイオード		
変調器	レーザ直接変調 マッハツェンダー干渉計型 電界吸収型		
光増幅器	半導体光増幅器(SOA)	エルビウム添加光ファイバ増幅器 ラマン増幅器	
利得等化器	ラティスフィルタ トランスバーサルフィルタ	ファイバグレーティング	誘電体多層膜フィルタ エタロン MEMS
波長合分波器	アレイ導波路回折格子	ファイバグレーティング	誘電体多層膜フィルタ 回折格子板
インタリバー	ラティスフィルタ	ラティスフィルタ	マイケルソン干渉計
光スイッチ	マッハツェンダー干渉計型スイッチ SOAゲートアレイ型スイッチ	機械式ファイバ可動型	ミラー/プリズム可動型 MEMS
可変光減衰器	マッハツェンダー干渉計型 電界吸収型	機械式ファイバ可動型	MEMS
波長・偏波分散補償器	ラティスフィルタ	分散補償ファイバ ファイバグレーティング	VIPA(Virtually Imaged Phased Array) エタロン

屈折率差を有する微細光導波路の研究開発も活発化している。

光導波路技術の基本機能は伝搬光の閉じ込めと導波であるが、さらに高度な光波制御機能を実現するためには、回路設計、導波路構造設計や高精度作製技術が重要な役割を果たす。本研究では光導波路型デバイスの高性能化を目的として、その設計技術に焦点を置き、光回路を構成する基本回路要素の最適化を図る設計方法の提案と、その有効性の実証実験結果について報告する。提案する設計方法は導波路材料の性質に依存しないが、本研究においては設計方法の適用先として、既に光デバイスとして実用化され広く普及している石英系光導波路を選択した。続く第 2 節において石英系光導波路から構成される平面光波回路デバイスの概要について説明する。第 3 節においては、これまでに報告されている光導波路構造の最適化手法についてまとめる。そして第 4 節において本研究の目的について述べ、5 節で本論文の構成を説明する。

1.2 石英系平面光波回路

石英系導波路で構成されるスプリッタや AWG (Arrayed Waveguide Grating) 波長合分波器, VOA (Variable Optical Attenuator), 光スイッチをはじめとする平面光波回路 (Planar Lightwave Circuit : PLC) デバイスは、その優れた集積性、量産性、信頼性および光学特性から光ファイバ通信システムを構築する基幹部品として高い実績を示し、広く普及している[25]。石英

系 PLC は、導波路における伝搬光の吸収や散乱損失が極めて小さく、光ファイバとの結合効率も高いことから、特に、挿入損失の小さい導波路型デバイスの作製に適している。また、石英ガラスの物理的、化学的な安定性により、優れた長期信頼性を有することも石英系 PLC デバイスの特長である。本節では、はじめに、石英系 PLC デバイスを構成する石英系導波路の作製方法、特徴について説明する。また、光部品として提供するために必要不可欠な光ファイバ接続工程についても説明する。続いて、これまでの石英系 PLC デバイスの研究開発経緯について述べた後、現在精力的に検討されている課題を説明し、今後の研究開発の方向性についてまとめる。なお、本論文において研究対象として採り上げた石英系 PLC デバイスの詳細は、実験結果を報告する各章において個別に説明する。

1.2.1 石英系導波路の作製方法と基本特性

能動素子の適用が不可欠となる、受発光、増幅、波長変換などの機能を除き、長尺で複雑な光回路構成が必要となる光信号処理機能を実現するためには、低損失かつ光波の位相制御や多光束干渉を安定に実現可能な受動素子が必須である。受動素子を構成する導波路材料として石英ガラスを採用する理由は以下のようにまとめられる。

- (1) 導波損失が小さい ($\sim 0.01\text{dB/cm}$)
- (2) SMF (Single-Mode Fiber) と屈折率およびモードフィールド径が同等であり、低損失、低反射で入出力ファイバとの接続が可能となる
- (3) 物理的、化学的な安定性に優れるため、ファイバ接続のための端面研磨が可能、かつ長期信頼性が確保される
- (4) 数 cm 角オーダーのシリコンウエハを基板として作製することが可能であり、大量生産に適している
- (5) 薄膜ヒータを装荷することで、熱光学効果を利用した伝搬光の高精度 ($\sim 0.01\pi$) 位相制御が可能である

石英系 PLC は火炎堆積 (Flame Hydrolysis Deposition : FHD) 法によるガラス膜形成技術と反応性イオンエッチング (Reactive Ion Etching : RIE) 法による微細加工技術を用いて作製される。図 1-4 に石英系導波路の作製工程を示す[26]。FHD 法は SiCl_4 と GeCl_4 の混合ガスを加熱加水分解することで合成されるガラス微粒子 (粒径 $\sim 0.1\mu\text{m}$) を基板上に堆積させる方法であり、堆積後に高温加熱することで透明なガラス膜が形成される。ガラス微粒子の GeO_2 濃度を調整することにより、ガラス膜の屈折率を制御することが可能となる。この工程により、低屈折率のアンダークラッド層、高屈折率のコア層の 2 層構造のガラス膜を形成する。その後、フォトリソグラフィ技術により設計した導波路パターンをコア層表面に塗布したレジストに転写する。このレジストをエッチングマスクとして、RIE により導波路パタ

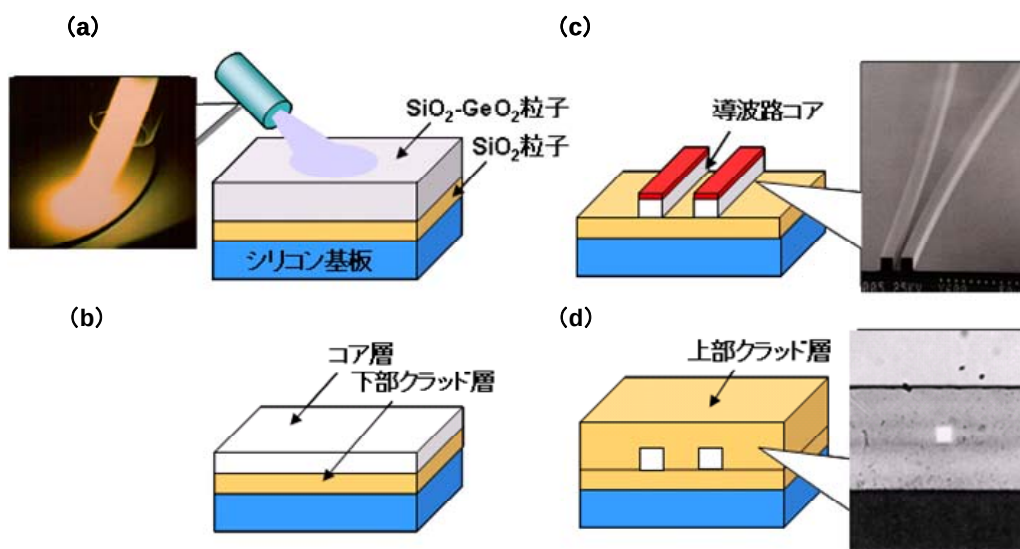


図 1-4 石英系光導波路の作製工程

(a) Flame Hydrolysis Deposition (FHD), (b) Reactive Ion Etching (RIE)

(c) Consolidation (d) FHD and consolidation

ーン以外の部分を除去する．最後に，レジストを除去し，オーバークラッド層を再度 FHD 法により堆積し，透明化処理を施し，埋め込み型のチャネル導波路を作製する．ウエハ作製後，切断用ブレードを用いてウエハをチップ形状に切断することで，石英系 PLC と入出力ファイバとの接続が可能となる．

石英系導波路の基本特性を表 1-2 にまとめる．導波路を構成するクラッド層とコア層の屈折率差 Δ およびコアサイズは PLC の光学特性に影響を及ぼす重要なパラメータである．これらのパラメータは，導波路を伝搬する通信波長帯の信号光が単一モード条件を満たすことを考慮して設定する必要がある．

表 1-2 石英系導波路の特性

	比屈折率差 Δ (%)	コアサイズ (μm^2)	曲げ半径 (mm)	伝搬損失 (dB/cm)	SMF 接続損失 (dB/point)
Low Δ	0.25	8 × 8	25	<0.01	<0.1
Medium Δ	0.45	7 × 7	12	0.02	0.1
High Δ	0.75	6 × 6	5	0.03	0.5
Super High Δ	1.5	4.5 × 4.5	2	0.05	1.8
Ultra High Δ	2.5	3.5 × 3.5	1	0.08	3

1.2.2 石英系平面光波回路と光ファイバの接続工程

石英系 PLC の実用化という観点では，PLC チップの作製技術に加えて，PLC チップと入出力ファイバの接続や固定が重要となる．図 1-5 に PLC と光ファイバの接続工程を示す．はじめに，接続部の機械強度の補強を目的として，紫外線硬化型接着剤を用いて PLC チップ

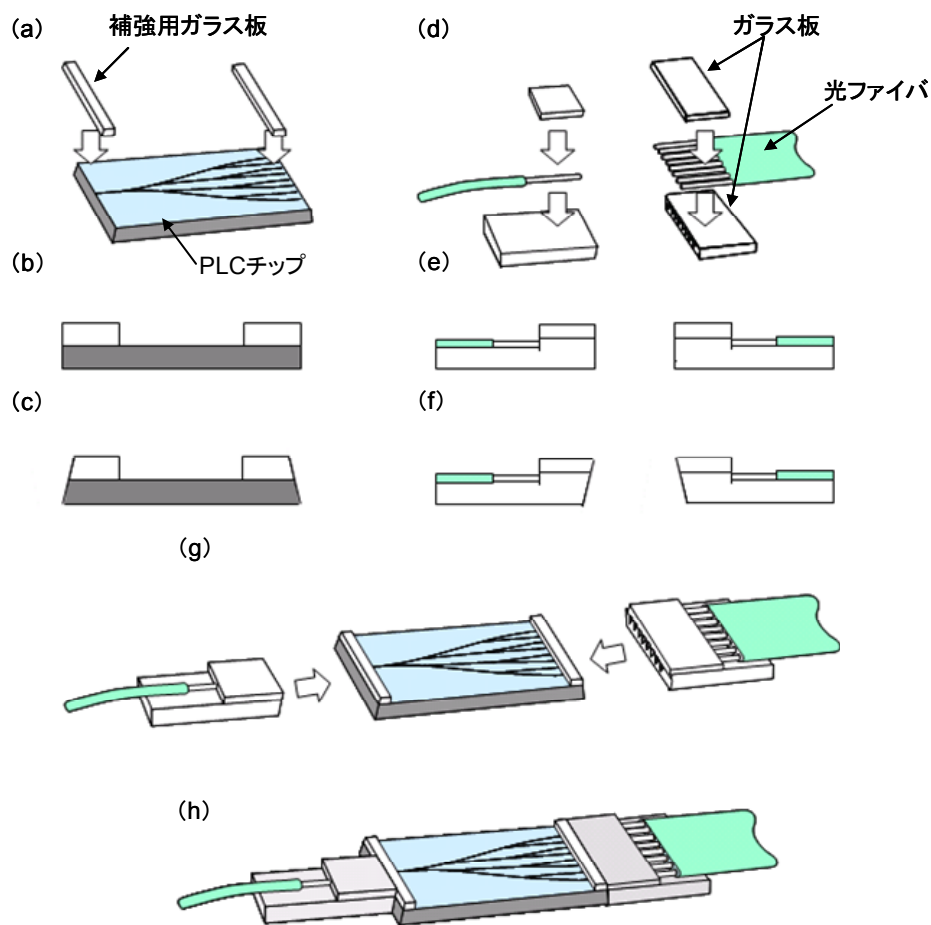


図 1-5 PLC と光ファイバの接続工程

プの入出力端に補強用ガラス板を接着する．次に，接続界面における光の散乱損失を低減するため，PLC チップの入出力端面を研磨する．このとき，入出力端面を光導波路の光軸に直交する面に対して 8 度傾けて研磨することにより，接続界面におけるフレネル反射の影響が抑制され，50dB 以上の反射減衰量を達成することが可能となる．一方，光ファイバ側では，PLC チップとの接続前に，入出力数に応じた光ファイバをアレイ化したファイバブロックを作製する．機械加工によりガラス基板上に V 型の溝を形成し，被覆を除去した光ファイバを V 溝に沿わせるようにガラス板を用いて押さえ込み，紫外線硬化型接着剤で固定する．そして，PLC チップと同様にファイバブロック端面を研磨する．入力側のファイバブロックから調芯用の光を PLC チップの光導波路に入射し，PLC チップから出力される光を出力側のファイバブロックで受光する．受光強度が最大となるようにアクティブ調芯した後，紫外線硬化型接着剤を接続界面に滴下し，紫外線を照射して固定する．ファイバブロックを用いることにより，多数の入出力導波路に対して高い位置精度で同時にファイバを接続することが可能となる．

光通信用途で既に実用化されている石英系 PLC デバイスに関しては，通信用光デバイス

の信頼性に関する汎用的な基準である Telcordia GR-1221-CORE に基づく信頼性試験が重ねられ、実用に耐える十分な長期信頼性が示されている[27, 28]. PLC チップ自体やファイバとの接続、パッケージ化技術の信頼性にとどまらず、PLC 上面に形成する薄膜ヒータや配線、電氣的に外部と接続するためのワイヤボンディングなどを含めた広範囲にわたる実装技術に関しても同様の長期信頼性が確立されている.

1.2.3 石英系平面光波回路デバイスの研究開発経緯

PLC を機能で区別すると、図 1-6 に示すように光強度制御回路と光位相制御回路に分けられる. 光強度制御回路の代表例としては、入力パワーを Y 分岐導波路を介して出力光として分配するスプリッタが挙げられる. 一方、光位相制御回路は光波の干渉効果を利用した回路であり、光導波路をサブミクロン単位で高精度加工可能な石英系 PLC の特徴を効果的に利用した回路である. 2 光束干渉に基づくマッハツェンダ干渉計 (Mach-Zehnder Interferometer : MZI) は干渉回路の基本要素であり、MZI を多段接続したラティス構成とすることで任意の光フィルタ特性を実現することが可能となる. また、MZI と薄膜ヒータによる熱光学効果を組み合わせることにより、光信号の光路切替スイッチや光レベル調整用の VOA を実現している. 多光束干渉を利用した PLC の例としては、AWG 波長合分波器が挙げられる. はじめに、既に実用化され WDM システムの基幹部品として広く普及している AWG を例として取り上げ、石英系 PLC の高密度集積化の進展について説明する[29].

PLC を構成する導波路のコアとクラッドの比屈折率差 Δ を大きくすると、導波路の曲げ半径を小さくすることが可能となり、チップ面積の低減、すなわち、単位面積当たりの回

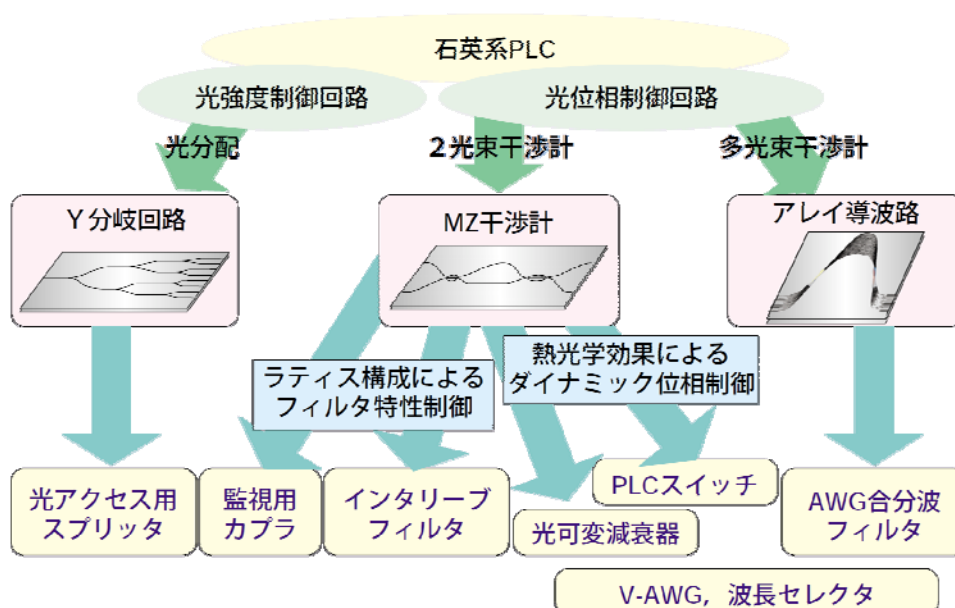


図 1-6 石英系 PLC 技術を用いた光機能回路

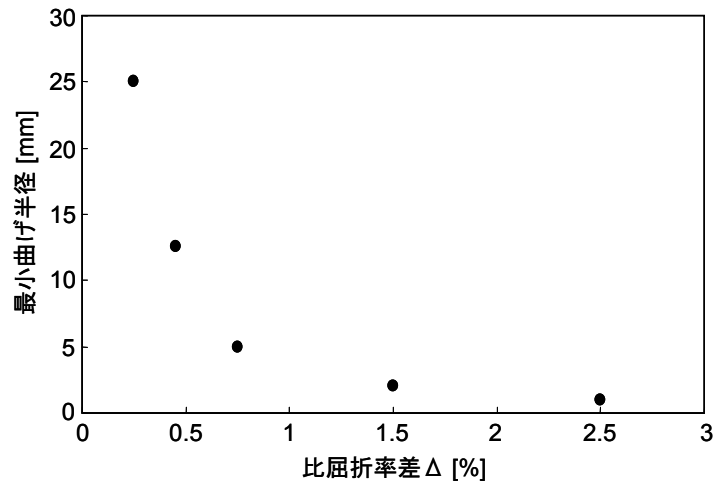


図 1-7 最小曲げ半径の比屈折率差 Δ 依存性

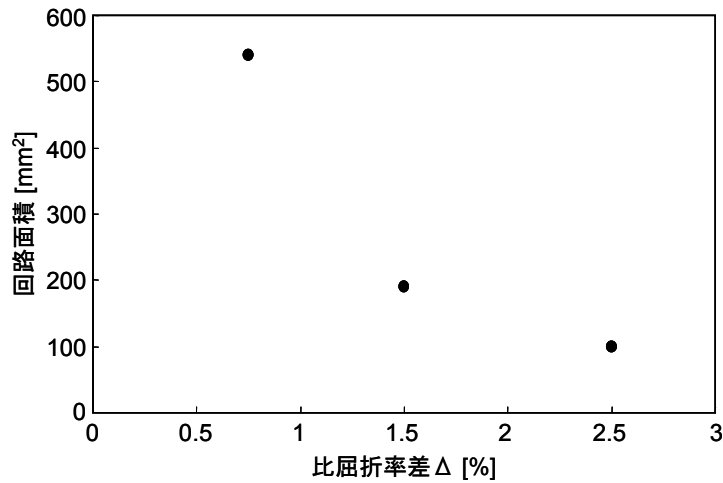


図 1-8 100GHz 16 チャンネル AWG のサイズと比屈折率差 Δ の関係

路集積度向上につながる。図 1-7 に石英系導波路の最小曲げ半径の比屈折率差 Δ 依存性を示す。従来の PLC では SMF との結合損失低減を優先した 0.25% Δ 、曲げ半径を 5mm にして小型集積性を向上させた 0.75% Δ の導波路が主に検討されてきた。図 1-8 に 100GHz 間隔 16 チャンネル AWG のチップ面積と導波路の比屈折率差 Δ の関係を示す。従来の 0.75% Δ では $26 \times 21 \text{mm}^2$ の面積が必要であるが、1.5% Δ の導波路を採用することにより、 $16 \times 13 \text{mm}^2$ と約 1/3 の面積にまで小型化することが可能となる。図 1-9 に 0.75% および 1.5% Δ 導波路で 25GHz AWG を設計した場合の AWG のチップ面積と収容可能なチャンネル数の関係を示す。従来の 0.75% Δ と比較して、1.5% Δ 導波路を採用することにより、チップサイズの小型化、ウエハ収率の向上による低コスト化の実現につながる事が分かる。DWDM システムにおける波長チャンネル数の増加、すなわち回路の大規模化と、小型化、低コスト化を両立させるためには導波路の高 Δ 化が必須となる。しかし、単に導波路の比屈折率差 Δ を高くするのみでは、コアの屈折率や形状の揺らぎによる散乱損失の増加や SMF との接続損失増大

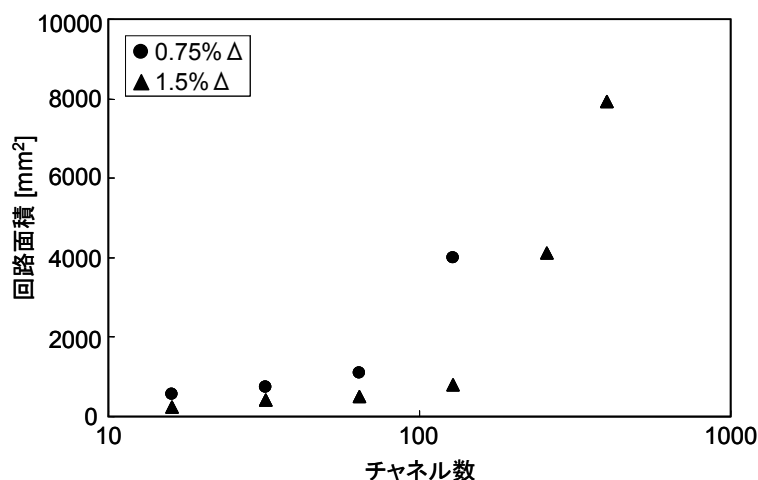


図 1-9 25GHz 間隔 AWG のサイズとチャンネル数の関係

が問題となる．これらの障壁は，導波路作製プロセスの改善や，スポットサイズ変換器，高 NA (Numerical Aperture) ファイバに代表される PLC とファイバの低損失接続方法の開発により克服されつつある．以上のような背景から，導波路の高 Δ 化は着実に進展し，最近の研究開発対象は 1.5% Δ が中心となっており，2.5% Δ AWG に関する研究も活発に行われている[30, 31]．ここでは AWG の高密度集積化を例に挙げて説明したが，導波路の高 Δ 化の傾向は AWG に限定されるものではなく，ほとんど全ての石英系 PLC に当てはまる傾向であり，今後も PLC の高 Δ 化が続くと考えられる．

次に，石英系 PLC デバイスの機能集積化という観点から，研究開発経緯と今後の展望について述べる．OADM などのような光通信ネットワークの高度化に伴い，機能が異なる複数の PLC を同一ボード上に搭載する複合機能ボード開発の要求が高まっている．図 1-10 に

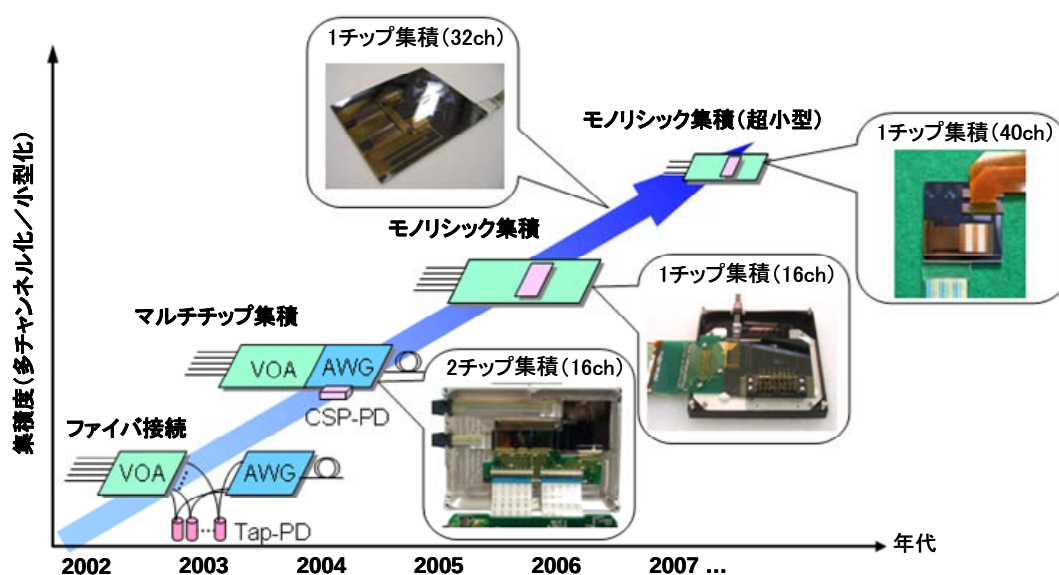


図 1-10 OADM 用石英系 PLC の機能集積化の進展

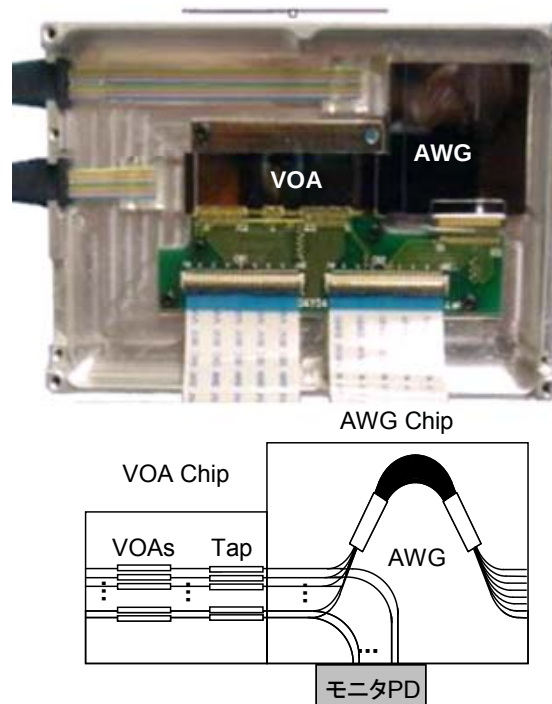


図 1-11 マルチチップ集積型 V-AWG モジュール

OADM 用石英系 PLC の機能集積化の進展を示す。以前は、複数の PLC チップ間を光ファイバで接続する実装形態を採用していたため、煩雑な接続ファイバの取り回しによる組立てコスト増大やボードサイズの大型化が問題となっていた。そこで、AWG やスイッチ、VOA などの異なる機能を持つ PLC を一体集積化した複合機能集積 PLC の研究開発が進展した。集積化の初期段階として、異なる機能の PLC チップを直接接続することによりサイズと実装組立てコストを大幅に削減することが可能なマルチチップ PLC 集積技術の検討が進められた。この技術は、各機能 PLC に応じたプロセス最適化による高性能化、個別評価と選別による歩留り向上という利点がある。一例として、タップ集積 VOA と AWG、パワーモニタ PD をマルチチップ PLC 接続技術を用いて一体集積化した集積型 V-AWG モジュールを図 1-11 に示す。開発当初は 8 チャンネルであったが[32]、技術開発の進展にともない、16 チャンネル V-AWG が開発され[33]、現在の開発ターゲットは 32 チャンネル以上の集積度に到達している。集積化の次の段階として、複数の機能回路のさらなる高密度集積化を実現するために、モノリシック集積に関する検討も精力的に進められている[34-37]。研究レベルではあるが、 $2\%\Delta$ 以上の高 Δ 導波路の採用により、40 チャンネルや 64 チャンネルといった大規模集積回路が実現されている。今後、さらなる多チャンネル化、小型集積化を実現するための技術検討、具体的には $2.5\%\Delta$ 以上の導波路から構成される機能集積型 PLC の開発、実用化が精力的に検討されると考えられる。

以上で説明したように、波長チャンネル数の増加や要求機能の多様化に伴う回路規模の拡大に対して、小型化、経済化を実現するためには高密度集積化の進展が必要不可欠となっている。具体的には、従来は $0.75\%\Delta$ 程度の導波路で構成されていた石英系 PLC デバイス

についても、高密度集積化の必要性に応じて高 Δ 化が進み、現在では 1.5% Δ 、将来的には 2.5% Δ 以上の高 Δ 導波路が実用化のターゲットになると考えられる。

1.3 これまでに報告されている光導波路構造の最適化手法

一般的な光回路は Y 分岐や方向性結合器、遅延線など直線および曲線導波路から構成される回路要素を組み合わせることで、パワー分岐や位相制御を行うことにより目的とする機能を実現している。前節で説明したような複数機能の高密度集積化を実現するためには、これら個々の回路要素の特性を改善する必要がある。従来の光導波路設計としては、伝搬フィールドを数式として表現できる導波路モデルを設定し、解析的手法を適用することが一般的であった。例えば、曲線導波路の構造最適化については 20 年以上前から、解析的手法の適用による設計例が報告されている[38-41]。ただし、解析的手法の厳密解は複雑になるため、一般的には近似解析の導入が必要となり、適用可能な設計対象回路も単純な構成に限られていた。伝搬フィールドの数学的解析に基づく設計手法は精力的な研究が続けられてきたが、問題設定自体が設計者の経験や閃きによる部分が大きく、回路要素の特性をこれまで以上に飛躍的に向上させるのは難しい局面に到達している。このような状況を打破するために、近年では、目標とする特性から数値計算を駆使して導波路パターンを最適化するアプローチが活発に研究されている。本節では、これまでに数多くの報告例があり、広く認知されている遺伝的アルゴリズムを用いた導波路構造最適化手法について説明する。また、非線形計画法を利用した導波路構造最適化手法として、Photon Design 社から市販されている導波路設計ソフトウェア KALLISTOS[42]について、その概要を説明する。

1.3.1 遺伝的アルゴリズムに基づく導波路構造最適化

遺伝的アルゴリズム (Genetic Algorithm : GA) は生物の遺伝と進化をモデルとした確率的多点探索手法であり、選択、交配、突然変異を繰り返す過程で、適合率の高いパラメータが高い確率で生き残る計算方法である。2000 年代に入ると遺伝的アルゴリズムを用いた導波路構造最適化に関する研究が活発化し、これまでに、スポットサイズ変換器[43-45]や偏波変換器[46]、MMI (Multimode Interference) カプラ[47, 48]などの構造最適化が報告されている。図 1-12 に GA を利用した導波路構造最適化問題における計算手順と、パラメータ設定の例を示す。GA の長所として、目的関数が多峰性である場合や探索領域が離散的な場合でも適用可能であり、局所解に陥りにくいという点が挙げられる。短所としては、次の 2 点の影響が大きい。1 点目は、決定的規則ではなく確率的オペレータに従いパラメータを更新するため、遺伝的操作におけるオペレータ設定が重要となる点である。オペレータは一意に決まらないので、その設定には設計者の経験や試行錯誤が必要となる。2 点目は繰り返

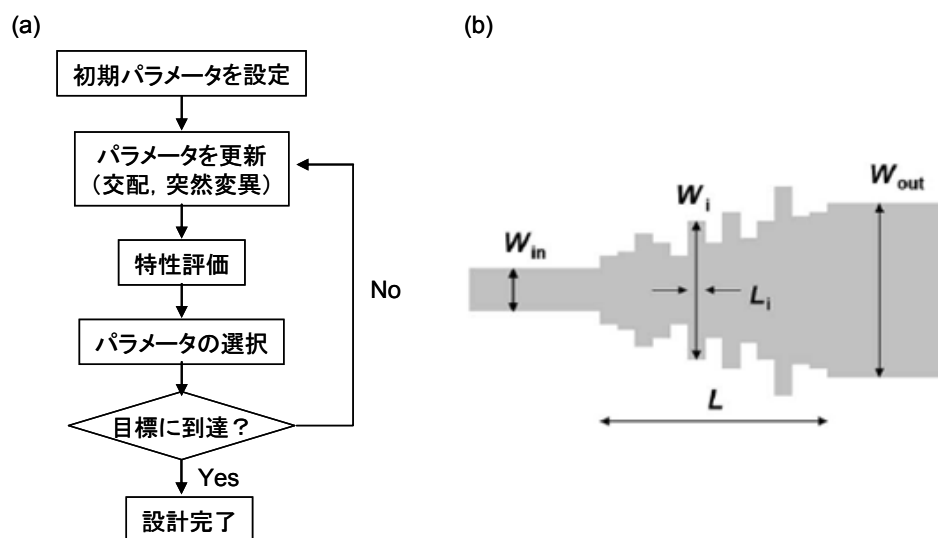


図 1-12 遺伝的アルゴリズムに基づく導波路構造最適化

(a) 計算手順, (b) 設計パラメータ設定例[45]

し計算に伴う計算コストの増大である．更新した全パラメータに対して特性を評価する必要があるため，パラメータの増加に伴い膨大なメモリ，計算量が必要となる．実用上の計算コストは計算機の性能向上によってある程度緩和される問題ではあるが，他の数値計算に基づく最適化手法と比較した場合，GA の本質的な短所であるといえる．計算コストを抑制するためには，設定パラメータ数を抑える必要がある．パラメータ数を抑制するためには，最適化を実行する前に，問題とする系の特性に対して支配的なパラメータを見出すことが重要となる．図 1-12(b)に示すように，導波路構造の最適化問題においては，導波路をセグメント状に分割して，その幅をパラメータとする例が多く報告されている．ただし，これまでの報告例では，設定パラメータの最大数は数十程度に留まっている．

1.3.2 非線形計画法を用いた導波路構造最適化

一般的に，対象問題の探索空間が連続である場合，確率的なアルゴリズムに基づく最適化手法と比較して，数理的な最適化手法の利用が計算コストの点で有利である．非線形最適化問題に対しては数多くの汎用アルゴリズムが提案されており，それらを導波路設計に適用した例も数例報告されている[49, 50]．いずれの報告例も，光回路の損失を目的関数に，屈折率分布を変数に設定した非線形最適化問題を解くことにより，導波路構造を最適化する方法である．非線形計画法の解法として代表的な最急降下法やニュートン法は，変数の変化に対する目的関数の値の変化“勾配”に基づいて次の変数値を決定するため，少ない回数の目的関数評価で最適解に収束することが可能となる．ただし，問題とする目的関数が多峰性の場合，初期値によっては局所解に収束してしまうという問題点がある．従って，

最適な導波路構造がある程度予想される設計問題への適用が好ましい。

非線形最適化問題の基本は解が収束するまで変数の更新を続ける反復法である。提案されているアルゴリズムの間の具体的な差分は、次の変数値を決定する方法にある。ここでは、導波路設計ソフトウェア KALLISTOS が利用している準ニュートン法の概要を説明する。上記ソフトウェアにおいては、導波路の透過率を目的関数とし、セグメント状に分割した各領域の導波路幅を変数と設定する。目的関数は次式で表される。

$$P(w_1, w_2, \dots, w_{N-1}, w_N) \equiv P(W_n) \quad (1.1)$$

式(1.1)は各セグメントの導波路幅の組み合わせ $W_n = (w_1, w_2, \dots, w_{N-1}, w_N)$ に対する導波路の透過率を意味している。“勾配”法に基づく反復計算過程では、適当な初期点 W_0 から出発し、 k 回目の反復で近似解 W_k と探索方向 d_k が与えられたときに、次式に従い新たな変数の組み合わせ W_{k+1} を生成していく。

$$W_{k+1} = W_k + \alpha_k d_k \quad (1.2)$$

ここで、 α_k はステップ幅を表している。式(1.2)における探索方向の決め方として、様々な数値解法が提案されている。準ニュートン法はそのうちの 1 つである。準ニュートン法における探索方向の決定方法は以下のようにまとめられる。

$$\nabla^2 P(W_k) d_k = -\nabla P(W_k) \quad (1.3)$$

式(1.3)中の $\nabla^2 P(W_k)$ で表される目的関数のヘッセ行列を $N \times N$ 行列 B_k で近似し、次式で表される連立一次方程式を解く。

$$B_k d_k = -\nabla P(W_k) \quad (1.4)$$

式(1.3)から式(1.4)への展開の際、 B_k を解析的に求めるのではなく、目的関数の 1 階微分 $\nabla P(W_k)$ の情報を含んだ更新公式を利用して近似行列 B_k を逐次生成するのが準ニュートン法の特徴である。更新公式としては、BFGS(Broyden-Fletcher-Goldfarb-Shanno)公式が有効であると認知されている。ヘッセ行列の初回推定には単位行列を用い、2 回目以降は反復推定の結果を利用して B_k を更新し、 $\nabla P(W_k) = 0$ となった時点で計算は終了となる。準ニュートン法は、目的関数の 1 階微分のみに基づく最急降下法よりも収束性に優れ、2 階微分に基づくニュートン法よりも安定性に優れるという点で、勾配法に基づく非線形問題の解法の中では最も有効な手法であると認知されている。一方で、ヘッセ行列が疎であっても近似行列が密になるため、パラメータ数 N の 2 乗に比例した計算量が必要となる短所もある。そのため、これまでの報告例[49]では、遺伝的アルゴリズムに基づく最適化手法と同様に、設定パラメータの最大数は数十程度に留まっている。

1.4 本研究の目的

第 2 節で説明したように、光回路における大規模な複合機能集積化と小型化、低コスト化を両立させるためには、より高い比屈折率差 Δ の導波路を採用する必要がある。この場

合，導波路コアの伝搬光の閉じ込めが強くなるため，シングルモード伝搬の条件を満たすコアサイズは小さくなる．すなわち，導波路作製プロセス精度，微細加工の限界が光導波路の特性に与える影響は相対的に大きくなる．従来の導波路設計方法では，加工精度に対する要求緩和が困難であり，導波路の高 Δ 化に伴い回路要素の過剰損失が増加する傾向が顕著であった．回路要素一箇所当りの損失増加とチャネル数の拡大に伴う回路要素数の増加という背景から，回路要素一箇所当りの極限的な低損失化が重要な課題となっている．特に，光増幅機能による損失補償が不可能な石英系 PLC デバイスにおいては，この課題解決の重要性は極めて高い．

以上のような背景から，本研究では，波面整合法に基づく光導波路設計を利用した光回路構成要素の特性向上，およびその結果を適用した通信用石英系 PLC デバイスの高性能化を主目的とした．特に，石英系 PLC 技術による大規模な複合機能デバイスを実現するために必要不可欠となる，回路要素の低損失化に焦点を置いた．

1.5 本論文の構成

本論文の構成および各章の関係を図 1-13 に示す．

第 2 章では，波面整合法の原理を説明し，既に報告されている導波路構造最適化技術と

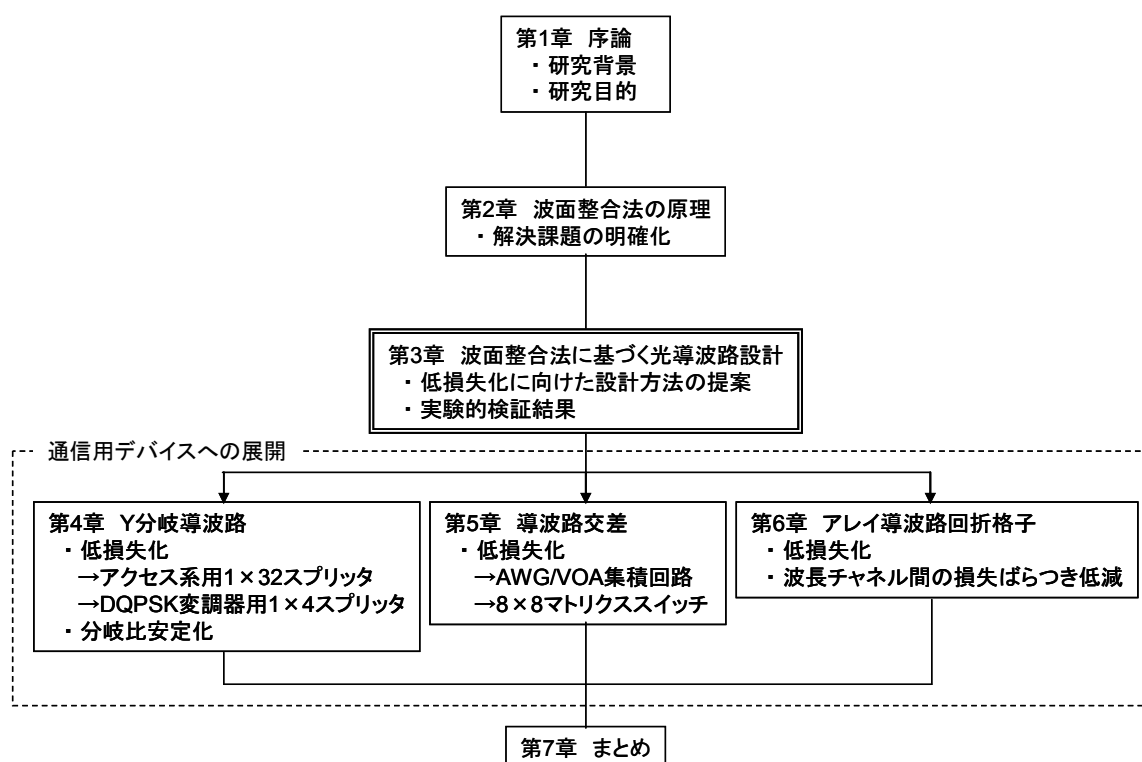


図 1-13 本論文の構成および各章間の関係

の相違点を説明する．そして，波面整合法を用いて設計した光回路の例を挙げ，その問題点と解決すべき課題についてまとめる．

第 3 章では，本研究で提案する，波面整合法に基づく光回路要素の低損失化を実現する設計方法について述べる．提案手法の適用例として，光導波路型レンズの設計を挙げ，本手法の有効性を示す実験結果について報告する．

第 4 章では，本研究の提案手法に基づく Y 分岐導波路の高性能化について述べる．はじめに，Y 分岐導波路における損失の原因と，導波路の比屈折率差 Δ と損失の関係について説明し，Y 分岐導波路の低損失化に向けた設計手法を示す． $0.45\sim 2.5\%$ Δ 石英系 PLC の Y 分岐導波路に本手法を適用した実験結果を比較し，本手法が集積化に適した高 Δ 導波路において，より顕著な損失低減効果を示すことを述べる．実用上重要な PLC デバイスへの適用例として，アクセス網に利用される 1×32 スプリッタ，および DQPSK 変調器を構成する 1×4 スプリッタへの適用検討結果について報告する．また，分岐比安定化を目的として，Y 分岐導波路に 1 次モードに対するフィルタ機能を付加する設計方法について説明し，その効果を実験的に検証した結果について示す．

第 5 章では，本研究の提案手法に基づく導波路交差の交差損失低減について述べる．導波路交差における損失の原因について説明し，本手法に基づく導波路交差の設計手法を示す． $0.75\sim 2.5\%$ Δ 石英系 PLC の導波路交差部分に本手法を適用した実験結果を比較し，本手法が集積化に適した高 Δ 導波路において，より顕著な低損失化効果を示すことを述べる．実用上重要な PLC デバイスへの適用例として， 8×8 マトリクス光スイッチおよび VOA と AWG を集積した V-AWG への適用検討結果について報告する．

第 6 章では，本研究の提案手法に基づく AWG の高性能化について述べる．はじめに，AWG における損失の原因を説明し，スラブ導波路を伝搬した光とアレイ導波路の基底モードとの結合効率改善を実現するためのモード変換器の設計手法を示す． 1.5% Δ および 2.5% Δ 石英系 PLC を用いた 100GHz 間隔 16 チャンネル AWG の実験結果を報告し，本手法を適用した低損失化の効果について述べる．次に，AWG における波長チャンネル間の損失ばらつきの原因を説明し，その解決方針と，モード変換器の設計方法について述べる． 1.5% Δ ，100GHz 間隔 40 チャンネル AWG に適用した結果を述べ，本手法を用いることで出力チャンネル間損失ばらつきが低減できることを説明する．

第 7 章は結論として，本研究で得られた成果を要約する．

参考文献

- [1] I. Hayashi, M. B. Panishi, P. W. Foy and S. Sumski, “Junction lasers which operate continuously at room temperature,” Appl. Phys. Lett., vol. 17, pp. 109-111, 1970.
- [2] J. I. Hsieh, J. A. Rossi and J. P. Donnelly, “Room-temperature cw operation of GaInAsP/InP

- double-heterostructure diode lasers emitting at 1.1 μm ,” Appl. Phys. Lett., vol. 28, pp. 709-711, 1976.
- [3] K. Utaka, K. Kobayashi, K. Kishino and Y. Suematsu, “1.5-1.6 μm GaInAsP/InP integrated twin guide lasers with first-order distributed Bragg reflectors,” Electron. Lett., vol. 16, pp. 455-456, 1980.
- [4] K. C. Kao and G. A. Hockham, “Dielectric-fiber surface waveguides for optical frequencies,” Proc. IEE, vol. 113, pp. 1151-1158, 1966.
- [5] F. P. Kapron, D. B. Keck and R. D. Maurer, “Radiation losses in glass optical waveguides,” Appl. Phys. Lett., vol. 17, pp. 423-425, 1970.
- [6] T. Miya, Y. Terunuma, T. Hosaka and T. Miyashita, “Ultimate low-loss single-mode fiber at 1.55 μm ,” Electron. Lett., vol. 15, pp. 106-108, 1979.
- [7] A. H. Gnauck, R. W. Tkach, A. R. Charplyvy and T. Li, “High-capacity optical transmission systems,” J. Lightwave Technol. Vol. 26, pp. 1032-1045, 2008.
- [8] 佐藤健一, 古賀正文, 「広帯域光ネットワーク技術 フォトニックネットワーク」, 電子情報通信学会, 第3章, 2003.
- [9] I. Kobayashi, “The beginning of the Terabit/s communication technologies,” NTT Review, vol. 13, pp. 64-66, 2001.
- [10] S. Kawanishi, H. Takara, K. Uchiyama, I. Shake and K. Mori, “3 Tbit/s (160Gbit/s $\times$ 19ch) OTDM-WDM transmission experiment,” OFC’99, PD1, 1999.
- [11] K. Fukuchi, T. Kasamatsu, M. Morie, R. Ohhira, T. Ito, K. Sokiya, D. Ogasawara and T. Ono, “10.92-Tb/s (273 $\times$ 40-Gb/s) triple-band/ultra-dense WDM optical-repeated transmission experiment,” OFC2001, PD24, 2001.
- [12] S. Bigo, Y. Frignac, G. Charlet, W. Idler, S. Borne, H. Gross, R. Dischler, W. Poehlmann, P. Tran, C. Simonneau, D. Bayart, G. Veith, A. Jourdan and J. P. Hamaide, “10.2 Tbit/s (256 $\times$ 42.7 Gbit/s PDM/WDM) transmission over 100 km TeraLightTM fiber with 1.28bit/s/Hz spectral efficiency,” OFC2001, PD25, 2001.
- [13] A. Sano, H. Masuda, Y. Kisaka, S. Aisawa, E. Yoshida, Y. Miyamoto, M. Koga, K. Hagimoto, T. Yamada, T. Furuta and H. Fukuyama, “14-Tb/s (140 $\times$ 111-Gb/s PDM/WDM) CSRZ-DQPSK transmission over 160 km using 7-THz bandwidth extended L-band EDFAs,” ECOC2006, Th4.1.1, 2006.
- [14] A. H. Gnauck, G. Chalet, P. Tran, P. Winzer, C. R. Doerr, J. C. Centanni, E. C. Burrows, T. Kawanishi, T. Sakamoto and K. Higuma, “25.6-Tb/s C+L-band transmission of polarization-multiplexed RZ-DQPSK signals,” OFC2007, PDP19, 2007.
- [15] T. Kataoka, S. Matsuoka, T. Matsuda, H. Maeda, N. Sakaida, T. Kubo, T. Kotanigawa and T. Kawasaki, “Field transmission by using a commercially-ready 43 Gbit/s DWDM system employing RZ-DQPSK transponders in high PMD installed fiber,” OFC2007, JThA45, 2007.

- [16] K. Sato, S. Okamoto and H. Hadama, "Network integrity enhancement with optical path layer technologies," *IEEE J. Sel. Areas Commun.*, vol. 12, pp. 159-170, 1994.
- [17] M. Vasilyev, I. Tomkos, M. Mehendale, J. K. Rhee, A. Kobayakov, M. Ajgaonkar, S. Tsuda and M. Sharma, "Transparent ultra-long-haul DWDM networks with "broadcast-and-select" OADM/OXC architecture," *J. Lightwave Technol.*, vol. 21, pp. 2661-2672, 2003.
- [18] K. Sato, N. Yamanaka, Y. Takigawa, M. Koga, S. Okamoto, K. Shiimoto, E. Oki and W. Imajuku, "GMPLS-based photonic multi-layer router (Hikari router) architecture: An overview of traffic engineering and signaling technology," *IEEE Commun. Mag.*, vol. 40, pp. 96-101, 2002.
- [19] K. Kitayama, T. Miki, T. Morioka, H. Tsushima, M. Koga, K. Mori, S. Araki, K. Sato, H. Onaka, S. Namiki and T. Aoyama, "Photonic network R&D activities in Japan –current activities and future perspectives," *J. Lightwave Technol.*, vol. 23, pp. 3404-3418, 2005.
- [20] N. Tokura, K. Oguchi and T. Kanada, "A broadband subscriber network using an optical star couplers," *GLOBECOM'87*, no.37.1, pp. 1439-1443, 1987.
- [21] J. R. Stern, J. W. Balance, D. W. Faulkner, S. Hornung and D. N. Payne, "Passive optical local networks for telephony applications and beyond," *Electron. Lett.*, vol. 23, pp. 1255-1257, 1987.
- [22] W. J. Tomlinson, "Evolution of passive optical component technologies for fiber-optic communication systems," *J. Lightwave Technol.*, vol. 26, pp. 1046-1063, 2008.
- [23] S. E. Miller, "Integrated optics: an introduction," *Bell Syst. Tech. J.*, vol. 48, p. 2059, 1969.
- [24] Ivan P. Kaminow, "Optical integrated circuits: a personal perspective," *J. Lightwave Technol.*, vol. 26, pp. 994-1004, 2008.
- [25] A. Himeno, K. Kato and T. Miya, "Silica-based planar lightwave circuits," *IEEE, J. Sel. Top. Quantum Electron.*, vol. 4, pp. 913-924, 1998.
- [26] M. Kawachi, "Silica waveguides on silicon and their application to integrated-optic components," *Opt. Quantum Electron.*, vol. 22, pp. 391-416, 1990.
- [27] Y. Hibino, F. Hanawa, H. Nakagome, M. Ishii and N. Takato, "High reliability optical splitters composed of silica-based planar lightwave circuits," *J. Lightwave Technol.*, vol. 13, pp. 1728-1735, 1995.
- [28] M. Ishii, Y. Hibino, F. Hanawa, H. Nakagome and K. Kato, "Packaging and environmental study of thermally controlled arrayed-waveguide grating multiplexer module with thermoelectric device," *J. Lightwave Technol.*, vol. 16, pp. 258-264, 1998.
- [29] Y. Hibino, "Recent advances in high-density and large-scale AWG multi/demultiplexers with higher index-contrast silica-based PLCs," *IEEE, J. Sel. Top. Quantum Electron.*, vol. 8, pp. 1090-1101, 2002.
- [30] K. Maru, Y. Abe, M. Ito, H. Ishikawa, S. Himi, H. Uetsuka and T. Mizumoto, "2.5%- Δ silica-based athermal arrayed waveguide grating employing spot-size converters based on

- segmented core,” IEEE Photon. Technol. Lett., vol. 17, pp. 2325-2327, 2005.
- [31] M. Itoh, S. Kamei, M. Ishii, T. Shibata, M. Tamura and Y. Inoue, “Ultra-small 40-channel athermal arrayed-waveguide grating module with low-loss groove design,” Electron. Lett., 44, pp. 1271-1272, 2008.
- [32] A. Kaneko, Y. Hashizume, S. Kamei, Y. Doi, R. Kasahara, Y. Tamura, I. Ogawa, M. Ishii, T. Kominato and S. Suzuki, “Ultra small and low power consumption 8ch variable optical attenuator multiplexer (V-AWG) using multi-chip PLC integration technology,” OFC2005, OTuD3, 2005.
- [33] I. Ogawa, Y. Doi, Y. Hashizume, S. Kamei, Y. Tamura, M. Ishii, T. Kominato, H. Yamazaki and A. Kaneko, “Packing Technology for ultra-small variable optical attenuator multiplexer (V-AWG) with multichip PLC integration structure using chip-scale-package PD array,” IEEE, J. Sel. Top. Quantum Electron., vol. 12, pp. 1045-1053, 2006.
- [34] M. P. Earnshaw, M. Cappuzzo, E. Chen, L. Gomez, A. Griffin, E. Laskowski and A. Wong-Foy, “High performance variable optical attenuator multiplexer filter,” Electron. Lett., 40, pp. 1076-1078, 2004.
- [35] Y. Hashizume, K. Watanabe, Y. Nasu, M. Kohtoku, S. Kamei, T. Kitoh and Y. Inoue, “Silica PLC-VOA using suspended narrow ridge structures and its application to V-AWG,” OFC2007, OWO4, 2007.
- [36] M. Itoh, K. Watanabe, Y. Nasu, H. Yamazaki, S. Kamei, I. Ogawa, A. Kaneko and Y. Inoue, “1-square-inch 100GHz 40ch VMUX/DEMUX based on single-chip PLC integration with 2.5%-Δ silica-based waveguides,” ECOC2007, 2.5.1, 2007.
- [37] M. P. Earnshaw, C. Bolle, M. A. Cappuzzo, E. Chen, L. Gomez and A. Wong-Foy, “64 channel, 100GHz VMUX with low-power, fast attenuators in high index contrast PLC,” Electron. Lett., 43, pp. 1278-1279, 2007.
- [38] R. Beats and P. E. Lagasse, “Loss calculation and design of arbitrarily curved integrated-optic waveguides,” J. Opt. Soc. Am., vol. 73, pp. 177-182, 1983.
- [39] F. J. Mustieles, E. Ballesteros and P. Baquero, “Theoretical S-bend profile for optimization of optical waveguide radiation losses,” IEEE Photon. Technol. Lett., vol. 5, pp. 551-553, 1993.
- [40] C. Dragone, “Optimum planar bends,” Electron. Lett., vol. 29, pp. 1121-1122, 1993.
- [41] F. Ladouceur and P. Labeye, “A new general approach to optical waveguide path design,” J. Lightwave Technol., vol. 13, pp. 481-492, 1995.
- [42] Photon Design, 34 Leopold Street, Oxford OX41TW, UK, Web: <http://www.photond.com>
- [43] M. M. Spuhler, B. J. Offrein, G. L. Bona, R. Germann, I. Massarek and D. Erni, “A very short planar silica spot-size converter using a nonperiodic segmented waveguide,” J. Lightwave Technol., vol. 16, pp. 1680-1685, 1998.
- [44] B. Luyssaert, P. Vandersteegen, D. Taillaert, P. Dumon, W. Bogaerts, P. Bienstman, D. V.

- Thourhout, V. Wiaux and R. Baets, "A compact photonic horizontal spot-size converter realized in silicon-on-insulator," *IEEE Photon. Technol. Lett.*, vol. 17, pp. 73-75, 2005.
- [45] B. Luyssaert, P. Bienstman, P. Vandersteegen, P. Dumon and R. Baets, "Efficient nonadiabatic planar waveguide tapers," *J. Lightwave Technol.*, vol. 23, pp. 2462-2468, 2005.
- [46] D. Correia, J. P. Silva and H. E. H. Figueroa, "Genetic algorithm and finite-element design of short single-section passive polarization converter," *IEEE Photon. Technol. Lett.*, vol. 15, pp. 915-917, 2003.
- [47] Q. Wang, J. Lu and S. He, "Optimal design of a multimode interference coupler using a genetic algorithm," *Optics Communications*, 209, pp. 131-136, 2002.
- [48] B. R. West and S. Honkanen, "MMI devices with weak guiding designed in three dimensions using a genetic algorithm," *Optics Express*, vol. 12, pp. 2716-2722, 2004.
- [49] T. Felici, R. J. Black and Gallagher, "Recent advances and results in waveguide shape optimization techniques," *LEOS Annual Meeting, ThV5*, 2002.
- [50] Y. Tsuji and K. Hirayama, "Design of optical circuit devices using topology optimization method with function-expansion-based refractive index distribution," *IEEE Photon. Technol. Lett.*, vol. 20, pp. 982-984, 2008.

第 2 章 波面整合法の原理

本章では，はじめに，波面整合法の原理と，波面整合法に基づく光回路設計の手順について説明する．そして，既に報告されている導波路構造の最適化手法と波面整合法の相違点を明確にする．その後，波面整合法を用いて設計した光回路の例として， $1.3\ \mu\text{m}$ と $1.55\ \mu\text{m}$ の 2 波長を分波する波長フィルタに関する実験結果を紹介する．そして，波面整合法を光導波路デバイス設計に適用する上で，実用的な観点から問題となる課題を明示する．本章で挙げた問題の解決が本研究の動機である．

2.1 波面整合法の原理

波面整合法は，伝搬する光のフィールドと屈折率分布を数値計算により相互作用させ，自律的に屈折率分布を決定する方法であり，橋本らにより提案された[1]．石英系 PLC の伝搬損失はほぼ無視できるので，入射光のフィールドを屈折率分布で決まるユニタリ変換を施しながら伝搬させて出射光のフィールドに一致させる系とみなす．入射側と出射側のフィールド間の変換効率の屈折率分布に対する極大条件として，波面における位相整合条件を求めることが波面整合法の基本となる．波面整合法は必ずしも光回路設計のみに適用先が限定される考え方ではないが，本研究の主旨は波面整合法に基づく光回路設計にあるので，本節においては抽象的な説明は省略し，光回路設計に焦点を当てて波面整合法の原理を説明する．

2.1.1 光回路の結合効率

問題を一般化するために，図 2-1 に示す入出力導波路を備えたスラブ導波路を設計対象として考える．光回路設計の目的は，入力導波路から光回路に入射したフィールドを出力導波路における目的のフィールドへ変換するための屈折率分布を決定することである．光回路に入射したフィールドが，屈折率分布を反映しながら光回路内を伝搬し，光回路から出射されるフィールドを合成するに至るまでの過程におけるフィールド分布は，ビーム伝搬法 (Beam Propagation Method : BPM) と呼ばれる数値計算により求められる[2-4]．本節では，BPM の計算手法に基づき，波面整合法の原理を説明する．図 2-1 において，光回路は xz 平面上に存在し，光回路に入力したフィールドは z 軸方向に伝搬するものとする．BPM においては，計算対象とする領域をメッシュ状に分割する必要がある．そこで，光の伝搬方向 z 軸における離散化単位を Δz とし，設計領域を z 軸方向に M 分割する．この場合，設計領域の全長は $M\Delta z$ となる．同様に， x 軸方向における離散化単位を Δx とする．このとき，ピ

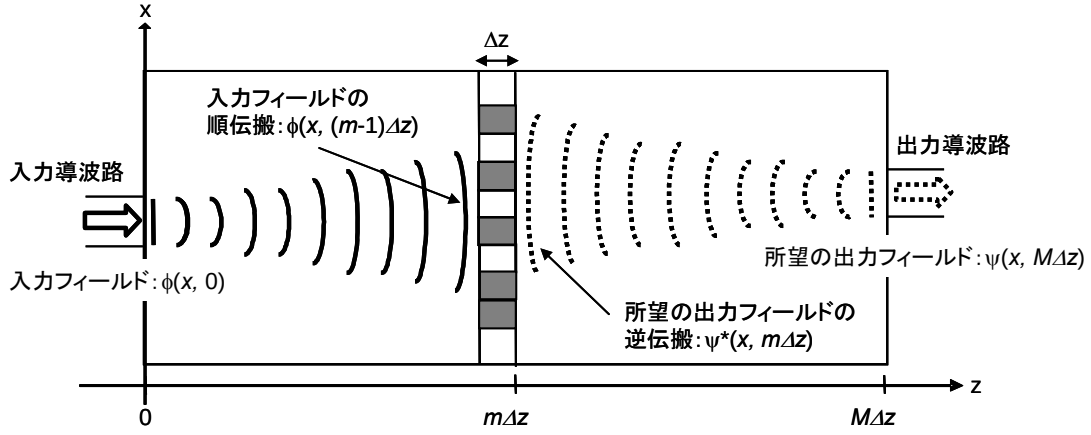


図 2-1 波面整合法の原理

クセルサイズは $\Delta x \times \Delta z$ となる．ここでは，説明を簡潔にするため， y 軸方向については省き，2次元の平面モデルとして考える．当然，実際の光導波路は3次元構造であるが，等価屈折率法などの近似手段により2次元問題として解析する方法が一般的に知られている．解析対象の導波路にも依存するが，石英系導波路の解析では適切な解析手法を選択することにより，2次元近似でも十分な解析精度を得ることが可能である．以降の波面整合法の原理の説明過程において，2次元モデルに特有の仮定，近似などを導入する必要はない．すなわち，波面整合法の原理は3次元モデルの導波路解析計算においても問題なく成立する．

光回路の入力フィールドを $\phi(x, 0)$ ，出力端における目的とするフィールドを $\psi(x, M\Delta z)$ と定義する． $\phi(x, 0)$ が光回路を伝搬して出力端 $z = M\Delta z$ に到達した際のフィールド，すなわち，出力フィールドは $\phi(x, M\Delta z)$ と表される．光回路の出力フィールド $\phi(x, M\Delta z)$ と実現目的とするフィールド $\psi(x, M\Delta z)$ の結合効率 η は，両者の重なり積分を用いて次式で表される[5]．

$$\eta = \left| \int \psi^*(x, M\Delta z) \phi(x, M\Delta z) dx \right|^2 \quad (2.1)$$

最適な光回路を設計することは，結合効率 η を可能な限り1に近づけるための屈折率分布を決定することを意味する．ここで， $\phi(x, M\Delta z)$ ， $\psi(x, M\Delta z)$ とともに x 軸方向に離散化されているので，行列として扱い，それぞれ， Φ_M ， Ψ_M と表記する．添字は z 軸方向の位置に対応する．フィールドを行列として扱う場合，光回路の結合効率 η は次式で表される．

$$\eta = \left| \sum \Psi_M^* \Phi_M \right|^2 \quad (2.2)$$

ここで， Ψ は $\mathbf{X}$ の転置行列， $\mathbf{X}^*$ は $\mathbf{X}$ の複素共役を意味する．BPMに基づくと，出力フィールド Φ_M は次式で表される．

$$\Phi_M = H_M H_{M-1} \cdots H_m \cdots H_2 H_1 \Phi_0 \quad (2.3)$$

$$H_m = \mathbf{A} \mathbf{B}_m \mathbf{A} \quad (2.4)$$

$\mathbf{A}$ は自由空間を $\Delta z/2$ だけ伝搬することを意味する演算子であり， $\mathbf{B}_m$ は $z = m\Delta z$ における屈折率分布による位相シフトを表す演算子である．行列表示した場合，演算子 $\mathbf{A}$ は循環行列，

演算子 $\mathbf{B}_m$ は対角行列となる.

次に, 波面整合法の前提となる, 光回路の相反性について説明する. 式(2.3)の両辺のエルミート共役をとると, 次のようになる.

$${}^t\Phi_M^* = (H_M H_{M-1} \cdots H_m \cdots H_2 H_1 \Phi_0)^* \quad (2.5)$$

エルミート共役行列の性質から, 式(2.5)は次式のように展開できる.

$${}^t\Phi_M^* = {}^t\Phi_0^* {}^tH_1^* {}^tH_2^* \cdots {}^tH_m^* \cdots {}^tH_{M-1}^* {}^tH_M^* \quad (2.6)$$

演算子 $\mathbf{A}$ および $\mathbf{B}_m$ のユニタリ性, 対称性から, 次の関係が成立する.

$${}^tH_m^* = H_m^{-1} \quad (2.7)$$

$${}^tH_m = H_m \quad (2.8)$$

ここで, $\mathbf{X}^{-1}$ は $\mathbf{X}$ の逆行列を意味する. 式(2.7), (2.8)を用いると, 式(2.6)は次のように書き換えられる.

$${}^t\Phi_M^* H_M H_{M-1} \cdots H_m \cdots H_2 H_1 = {}^t\Phi_0^* \quad (2.9)$$

式(2.9)の両辺の転置行列をとると, 式(2.7), (2.8)を用いて次式を得る.

$$H_1 H_2 \cdots H_m \cdots H_{M-1} H_M \Phi_M^* = \Phi_0^* \quad (2.10)$$

式(2.10)は, 光回路に $\phi(x, 0)$ を入力して出力 $\phi(x, M\Delta z)$ が得られる場合, 出力側から $\phi^*(x, M\Delta z)$ を入力すれば入力側で $\phi^*(x, 0)$ が得られることを意味している. すなわち, 式(2.10)が光回路の相反性を示している. なお, 式(2.10)における複素共役は, 伝搬方向を反転させる, つまりフィールドを逆伝搬させていることに相当している.

相反性が成立する光回路における結合効率 η について考える. 式(2.3)を式(2.2)に代入すると次式を得る.

$$\eta = \left| \sum {}^t\Psi_M^* H_M H_{M-1} \cdots H_m \cdots H_2 H_1 \Phi_0 \right|^2 \quad (2.11)$$

光回路の相反性 (式(2.10)) を用いれば, 式(2.11)から次式が得られる.

$$\begin{aligned} \eta &= \left| \sum ({}^t\Psi_M^* H_M H_{M-1} \cdots H_{m+1}) (H_m \cdots H_2 H_1 \Phi_0) \right|^2 \\ &= \left| \sum {}^t\Psi_m^* \Phi_m \right|^2 \end{aligned} \quad (2.12)$$

式(2.12)から, 以下の重要な知見を得る. 光回路の出力フィールド $\phi(x, M\Delta z)$ と所望の出力フィールド $\psi(x, M\Delta z)$ との結合効率 η は, 光回路の入力フィールド $\phi(x, 0)$ を入力側から順方向に任意の位置 $z = m\Delta z$ まで伝搬させたフィールド $\phi(x, m\Delta z)$ と, 位相を反転させた所望の出力フィールド $\psi^*(x, M\Delta z)$ を光回路の出力側から $z = m\Delta z$ まで逆伝搬させたフィールド $\psi^*(x, m\Delta z)$ の重なり積分で表される. 波面整合法に基づく光回路設計はこの知見を基礎としている.

2.1.2 波面整合法の原理

前節の議論に基づけば, 光回路の結合効率 η は次式で表される.

$$\begin{aligned}\eta &= \left| \int \psi^*(x, m\Delta z) \phi(x, m\Delta z) dx \right|^2 \\ &= \left| \int \psi^*(x, m\Delta z) AB_m(x) A\phi(x, (m-1)\Delta z) dx \right|^2\end{aligned}\quad (2.13)$$

この式は、 $z = m\Delta z$ における位相シフト項，すなわち，屈折率分布を変更することにより，光回路の結合効率 η を改善することが可能であることを意味している．この考え方に基づき， $\psi^*(x, m\Delta z)$ と $\phi(x, (m-1)\Delta z)$ を一致させるように $z = m\Delta z$ における屈折率分布 $n_m(x)$ を局所的に変更して結合効率 η を改善するのが波面整合法である．

次に，具体的な屈折率分布の決定方法について説明する． $z = m\Delta z$ における位相シフト項 $B_m(x)$ は，屈折率分布 $n_m(x)$ を用いて次式で表される．

$$B_m(x) = \exp[-jk(n_m(x) - n_{ref})\Delta z] \quad (2.14)$$

ここで， k は波数を， n_{ref} は参照屈折率を表している． $n_m(x)$ を $n_m(x) + \delta n_m(x)$ に変更した場合の位相シフト項 $B'_m(x)$ は次式で表される．

$$\begin{aligned}B'_m(x) &= \exp[-jk(n_m(x) + \delta n_m(x) - n_{ref})\Delta z] \\ &\cong B_m(1 - jk\delta n_m(x)\Delta z)\end{aligned}\quad (2.15)$$

ここでは $k\delta n_m(x)\Delta z \ll 1$ と仮定した．屈折率分布を変更した場合の結合効率 η' は，式(2.13)，(2.15)より，次式のように展開される．

$$\begin{aligned}\eta' &= \left| \int \psi^*(x, m\Delta z) AB'_m(x) A\phi(x, (m-1)\Delta z) dx \right|^2 \\ &= \left| \int \psi^*(x, m\Delta z) AB_m(x) (1 - jk\delta n_m(x)\Delta z) A\phi(x, (m-1)\Delta z) dx \right|^2 \\ &\cong \eta + 2k\Delta z \sqrt{\eta} \int \text{Im}[\psi^*(x, m\Delta z) \phi(x, (m-1)\Delta z)] \delta n_m(x) dx\end{aligned}\quad (2.16)$$

結合効率は $\psi(x, M\Delta z)$ の振幅分布と位相分布に依存し， $\psi(x, M\Delta z)$ と $\phi(x, M\Delta z)$ の位相差の絶対値には依存しないので，式(2.16)の展開においては，次式が成立するように $\psi(x, M\Delta z)$ の位相を設定した．

$$\int \psi^*(x, m\Delta z) AB_m A\phi(x, (m-1)\Delta z) dx = \overline{\int \psi^*(x, m\Delta z) AB_m A\phi(x, (m-1)\Delta z) dx} \quad (2.17)$$

ここで，式(2.17)右辺における $\overline{X}$ は X の複素共役を意味している．また，式(2.16)の展開においては， $(\delta n_m(x)\Delta z)^2$ の項は微小なので無視している．式(2.16)は， $z = m\Delta z$ における屈折率分布 $n_m(x)$ を $\text{Im}[\psi^*(x, m\Delta z) \phi(x, (m-1)\Delta z)]$ に比例するように変化させることで，光回路の結合効率 η が改善されることを意味している．以上で説明した波面整合法の原理を簡潔にまとめると，以下のようなになる．光回路の入力フィールドを入力側から順伝搬させたフィールド $\phi(x, (m-1)\Delta z)$ と，所望の出力フィールドの位相を反転させたフィールドを出力側から逆伝搬させたフィールド $\psi^*(x, m\Delta z)$ との波面を整合させるため，屈折率分布 $n_m(x)$ を $\text{Im}[\psi^*(x, m\Delta z) \phi(x, (m-1)\Delta z)]$ に比例するように変化させると，光回路全体の結合効率 η が改善する．

次に、 $\phi(x, (m-1)\Delta z)$ と $\psi^*(x, m\Delta z)$ との波面整合条件について、位相と振幅の関係から考察を加える。 $\phi(x, (m-1)\Delta z)$ が変更後の位相シフト項 $B_m(x)$ を反映して Δz だけ伝搬した波面 $\phi(x, m\Delta z)$ と $\psi^*(x, m\Delta z)$ の振幅分布および位相分布がすべての x において一致した場合は、両者の波面が完全に一致する。ここでは、位相シフト項 $B_m(x)$ の調整により両者の位相のみが一致した場合を考える。 $\phi(x, z)$ を次式のように展開する。

$$\phi(x, z) = a(x, z)e^{i\theta(x, z)} \quad (2.18)$$

$a(x, z)$ は振幅分布、 $\theta(x, z)$ は位相分布を表す項である。ここでは、取り扱いが容易な近軸光線近似を例として考える。近軸光線近似を適用する場合、波動方程式から次式が導かれる[4].

$$i \frac{\partial}{\partial z} \phi(x, z) = \frac{1}{2kn(x)} \left(-\frac{\partial^2}{\partial x^2} + k^2(n(x)^2 - n_{ref}^2) \right) \phi(x, z) \quad (2.19)$$

式(2.18)を式(2.19)に代入して両辺の実部、虚部を比較すると次の関係が導かれる。

$$\frac{\partial}{\partial z} \theta(x, z) = \frac{1}{2kn(x)} \left(\frac{1}{a(x, z)} \frac{\partial^2}{\partial x^2} a(x, z) + \left(\frac{\partial}{\partial x} \theta(x, z) \right)^2 - k^2(n(x)^2 - n_{ref}^2) \right) \quad (2.20)$$

$$\frac{\partial}{\partial z} a(x, z) = \frac{1}{2kn(x)} \left(-a(x, z) \frac{\partial^2}{\partial x^2} \theta(x, z) - \left(\frac{\partial}{\partial x} a(x, z) \frac{\partial}{\partial x} \theta(x, z) \right) \right) \quad (2.21)$$

式(2.20)は、位相分布 $\theta(x, z)$ のみが一致していても振幅分布 $a(x, z)$ が異なる場合は、伝搬に伴い一致していた位相分布がずれることを意味している。また、式(2.21)より、位相シフト項 $B_m(x)$ の調整が位相分布の変化を介して振幅分布を変化させていることがわかる。波面整合とは対象とする波面の位相分布、振幅分布がそれぞれ完全に一致することを意味しており、局所的な屈折率分布の変更による波面の位相分布変化、および位相分布変化を介した振幅分布変化を利用して波面を整合させる手法が波面整合法である。

2.2 波面整合法に基づく光回路設計の手順

本節では、波面整合法に基づく光回路設計の具体的な手順について説明する。前節では、 $z = m \Delta z$ における屈折率分布 $n_m(x)$ を $\text{Im}[\psi^*(x, m\Delta z)\phi(x, (m-1)\Delta z)]$ に比例するように変化させることで、光回路の結合効率 η が改善されることを示した。一般的な PLC デバイスにおいては、屈折率の値がコアとクラッドの 2 値に限定されるため、実際の設計では $\text{Im}[\psi^*(x, m\Delta z)\phi(x, (m-1)\Delta z)]$ の符号に応じて屈折率を決定することになる。具体的には、 $\text{Im}[\psi^*(x, m\Delta z)\phi(x, (m-1)\Delta z)]$ の値が正の場合、 $(x, m\Delta z)$ を屈折率の高いコア領域として $\phi(x, m\Delta z)$ の波面を屈折率改変前より遅らせることにより、 $\phi(x, m\Delta z)$ と $\psi^*(x, m\Delta z)$ の波面を近づけて η を改善する。逆に $\text{Im}[\psi^*(x, m\Delta z)\phi(x, (m-1)\Delta z)]$ の符号が負の場合には、 $(x, m\Delta z)$ を屈折率の低いクラッドとして $\phi(x, m\Delta z)$ の波面を進めることにより両者の波面を近づける。 $\text{Im}[\psi^*(x, m\Delta z)\phi(x, (m-1)\Delta z)]$ の値が 0 となった場合は、両者の波面が既に一致しているので屈折率を変更する必要がな

い. この局所的な屈折率分布 $n_m(x)$ の改変を, $z=0$ から $M\Delta z$ の各位置で実行することにより, 光回路全体の最適な屈折率分布を決定することができる. 原理的には回路内の任意の位置から最適化を開始することができるが, 屈折率の決定には所望の出力フィールドと入力フィールドを最適化位置まで伝搬させたフィールドをそれぞれ計算する必要があるため, 次の手順に従うと最も計算効率が高くなる. まず始めに, 入力フィールドを $z=0$ から $M\Delta z$ まで伝搬させ, 回路全体のフィールド分布を保存する. 次に, $\psi^*(x, M\Delta z)$ と $\phi(x, (M-1)\Delta z)$ から $n_M(x)$ を決定し, その後 $\psi^*(x, M\Delta z)$ を Δz 逆伝搬させた $\psi^*(x, (M-1)\Delta z)$ を求める. そして, $\psi^*(x, (M-1)\Delta z)$ と $\phi(x, (M-2)\Delta z)$ から $n_{M-1}(x)$ を決定する. このステップを $z=0$ に到達するまで繰り返す. 逆伝搬させるフィールドについては, 屈折率分布を変更した後に BPM を用いて Δz だけ伝搬させれば次のステップに必要な情報が得られるので, 最初の入力フィールドの伝搬と合わせて, 合計 2 回分の BPM に相当する計算量で光回路全体を最適化することができる. なお, 計算で得られた光回路全体の屈折率分布を初期値として, 再度上記の手順を繰り返すことにより結合効率 η は改善する. 実際の設計ではこのフローを計算結果が収束するまで複数回繰り返す. 具体的な設計手順をまとめると, 図 2-2 のように示される. 目標とする結

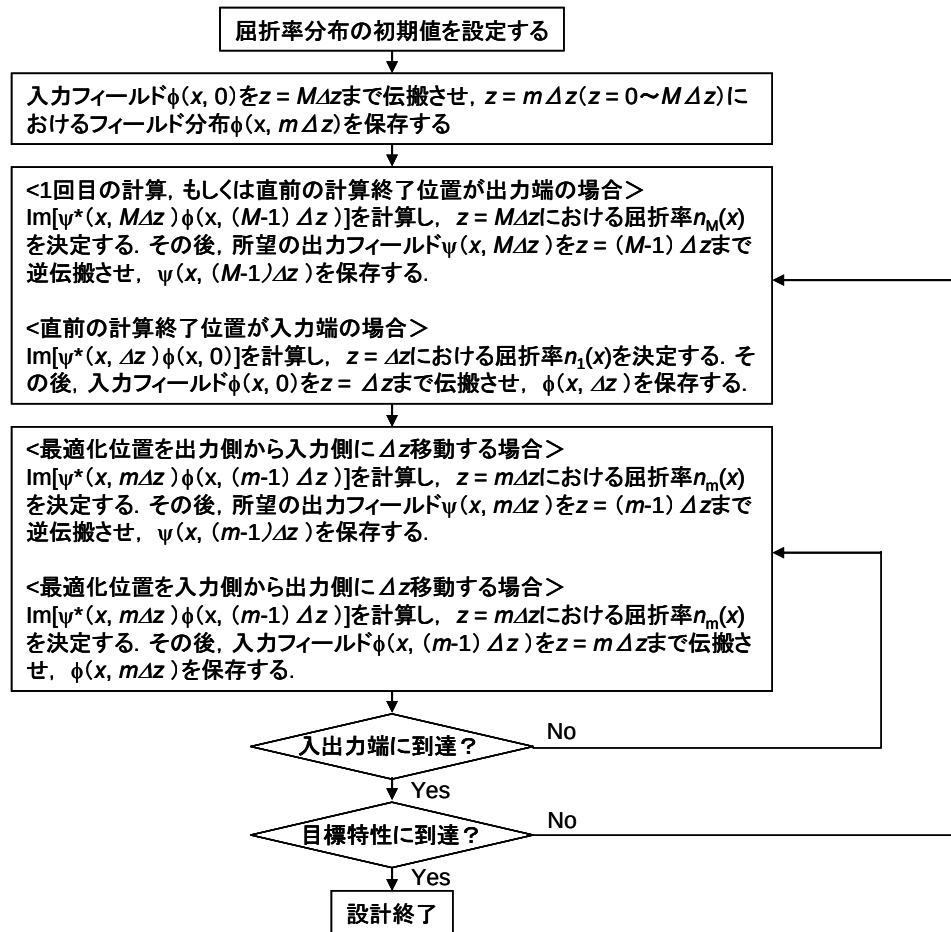


図 2-2 波面整合法に基づく光回路設計の手順

合効率 η に到達するまでに計算フローを N 回繰り返した場合、合計で $N+1$ 回分の BPM に相当する計算量が必要となる。波面整合法による光回路設計は、メッシュ状に分割した計算領域の各セルに対して決定論的に屈折率を与えるため、対象とする回路の形状に制約がなく自由度の高い設計が可能であり、計算の収束が速いという利点がある。

2.3 波面整合法と他の導波路構造最適化手法との相違点

本節では、前節までに説明した波面整合法に基づく光回路設計について、第 1 章で紹介した既報告の導波路構造最適化手法との相違点を明確にする。各手法の特徴的な計算操作の相違点に加え、計算コストの観点からも比較を行う。ここで、定量的観点からも比較を行うため、最適化問題を以下のように、各手法に対する共通問題として設定する。

- ① 設計領域、すなわち、BPM の計算領域は $N_x \times N_z$ 個の単位セルから構成されている。BPM 計算量は採用する BPM の手法に依存するため、ここでは 1 ステップ当りの計算量を C_{BPM} と表記する。入力端から出力端までのフィールド伝搬計算には $C_{\text{BPM}} \times N_z$ の計算量が必要となる。

- ② 構造決定は、伝搬方向の各セル列に対して導波路幅を決定することで行われる。

この場合、導波路構造を決定するパラメータ数は N_z 個となる。

②の仮定は、波面整合法の設計自由度を制限するが、計算量を定量的に比較するために敢えて導入する。なお、②の仮定は続く第 3 章において提案する「波面整合法に基づく光導波路設計」において導入する制約条件と結果的には同じであり、本節の比較が意義のあるものであることを先に述べておく。以降では、第 1 章 3 節で説明した遺伝的アルゴリズムと準ニュートン法について、それぞれの手法の要点を再度まとめ、波面整合法との相違点を説明する。

遺伝的アルゴリズムは、確率的多点探索法であり、大域的な最適解の探索に適している。 M_1 組の初期パラメータの組み合わせ (N_z 個の導波路幅) に対し、“パラメータ更新操作 (交配, 突然変異)” を実施し、 M_2 組のパラメータの組合せを生成する。生成した各組み合わせに対して、特性評価 (BPM 計算) を行い、適合度の高い M_1 組のパラメータの組合せを選別する。目標特性を実現するまで、上記の手順を繰り返す。ここで、 M_1 , M_2 はパラメータの組合せを表すので、その個数のオーダーは N_z^2 となる。遺伝的アルゴリズムにおいては、決定的規則ではなく確率的オペレータに従いパラメータの組合せを更新するため、“パラメータ更新操作 (交配, 突然変異)” の設定が重要となる。確率的オペレータは一意には決まらず、その設定には設計者の経験や試行錯誤が必要となる。生成したパラメータの組み合わせすべてに対して特性評価を行う必要があるため、1 回の最適化計算に必要な計算量は $M_2 \times C_{\text{BPM}} \times N_z$ となる。従って、その計算量のオーダーは $C_{\text{BPM}} \times N_z^3$ となる。

準ニュートン法はパラメータの変化に対する特性変化に基づいてパラメータを更新する

勾配法に基いた手法であり，工学や経済学分野における様々な最適化問題の解法として検討され，その有効性が広く認知されている．確率的なアルゴリズムよりも収束性に優れているが，初期値によっては局所解に収束するという問題がある．パラメータの更新操作について複数の手法が提案され，その有効性も実証されているため，設計者にとってオペレータ設定の必要がない．この点が最適化手法としての扱いを容易にしており，広範な分野に普及している理由である．準ニュートン法の更新公式自体は，光導波路構造の最適化において何の物理的意味を持たないが，設計者がパラメータを更新するためのオペレータを設定する必要がないという点は，後述する波面整合法と共通の長所になる．計算操作に関しては，目的関数（特性）のヘッセ行列を $N_z \times N_z$ 行列で近似し，その近似行列更新の際に目的関数の 1 階微分の情報を含む更新公式を利用して近似行列を逐次更新する点が準ニュートン法の特徴である．ヘッセ行列の近似行列の各成分に対して，パラメータ更新時の特性変化量を計算する必要があるため，1 ステップの最適化計算に必要な計算量のオーダーは， $(C_{BPM} \times N_z) \times N_z^2 = C_{BPM} \times N_z^3$ となる．

波面整合法においては，入力フィールドを順伝搬させた波面 $\phi(x, (m-1)\Delta z)$ と所望の出力フィールドを逆伝搬させた波面 $\psi^*(x, m\Delta z)$ を求め， $\text{Im}[\psi^*(x, m\Delta z)\phi(x, (m-1)\Delta z)]$ に従って屈折率分布（本節における比較検討では $z = m\Delta z$ における導波路幅を決定する問題となる）を決定する．波面整合法に基づくパラメータ（導波路幅）更新は決定論的に実行されるため，設計者による更新オペレータの設定は不要である．また，パラメータの更新操作についても，“ $\psi^*(x, m\Delta z)$ と $\phi(x, (m-1)\Delta z)$ の波面を整合させる” という明確な物理的意味を有している．計算量に関しては，パラメータ更新操作の基準となる情報が特性評価に用いる BPM から得られる点が特徴であり，必要な計算量は $C_{BPM} \times N_z$ となる．

以上で説明した各手法の特徴を表 2-1 にまとめる．準ニュートン法および波面整合法においては 1 回の最適化計算で必ず特性が向上する方向にパラメータが更新されるのに対して，遺伝的アルゴリズムにおいては特性向上効率がパラメータ更新オペレータに大きく依存する．これは，設計者の試行錯誤や収束解を得るまでの反復回数の増加の原因となる．1 回の

表 2-1 波面整合法と比較した最適化手法の特徴

	遺伝的アルゴリズム	準ニュートン法	波面整合法
パラメータ更新操作	・確率的手法 ・生物学における遺伝，突然変異をモデル化	・数学的手法 ・目的関数のヘッセ行列を近似計算(BFGS公式)	・物理的手法 ・波面整合条件を逐次計算
1回の反復に必要な計算量	$BPM \times (\text{パラメータ数})^2$	$BPM \times (\text{パラメータ数})^2$	BPM
収束性	遅い (大域的探索)	早い (局所解の可能性あり)	早い (局所解の可能性あり)

反復計算に必要な計算量に関して、波面整合法では BPM 計算 1 回分であるのに対し、遺伝的アルゴリズムおよび準ニュートン法ではパラメータ数の二乗回分の BPM 計算が必要となる。これらの手法を採用する場合は、設計に必要な計算量、計算時間を考慮すると、現実的には設定可能なパラメータ数が限られてしまい、設計対象とする回路も単純な構造に限定せざるを得ない。遺伝的アルゴリズムと比較して、準ニュートン法および波面整合法を用いた場合は収束性に優れるが、その反面、収束解が局所解となる可能性がある。これは、初期の導波路形状、伝搬フィールド分布に最適化計算の結果が大きく依存していることに原因がある。

2.4 波面整合法に基づき設計した光回路の特徴と問題点

波面整合法を用いて設計した光回路として、2 波長および 4 波長フィルタが報告されている[6, 7]。ここでは、 $1.3\ \mu\text{m}$ と $1.55\ \mu\text{m}$ の 2 波長を分波する波長フィルタを例として挙げ、波面整合法に基づき設計した光回路の特徴と、実用化に向けて解決すべき問題点について説明する。

光導波路技術により 2 波長フィルタを作製する場合、光路長差を利用したマッハツェンダ型干渉計が一般的に用いられる。この干渉計は、分岐回路、位相差を付与するための遅延線、分波した光を位相差に従い異なる出力ポートに出力させるための光カップラから構成される。図 2-3 に、波面整合法を用いて設計した波長フィルタの屈折率分布を示す。コアとクラッドの比屈折率差を 0.75%，入出力導波路の幅を $7\ \mu\text{m}$ ，出力ポート #1 と #2 の間隔を $15\ \mu\text{m}$ として設計した。回路サイズは $2 \times 0.18\ \text{mm}^2$ であり、同様の機能を実現するために従来から用いられているマッハツェンダ型干渉計のサイズが 0.75% Δ の PLC では数 cm オーダーになることを考えると、超小型化が実現されたと言える。図 2-3 の挿入図は屈折率分布の拡大図である。挿入図に示すように、明確な導波路構造は存在せず、ピクセル形状のパターンから構成されている。このピクセルサイズは BPM 計算におけるメッシュサイズとは異なる。

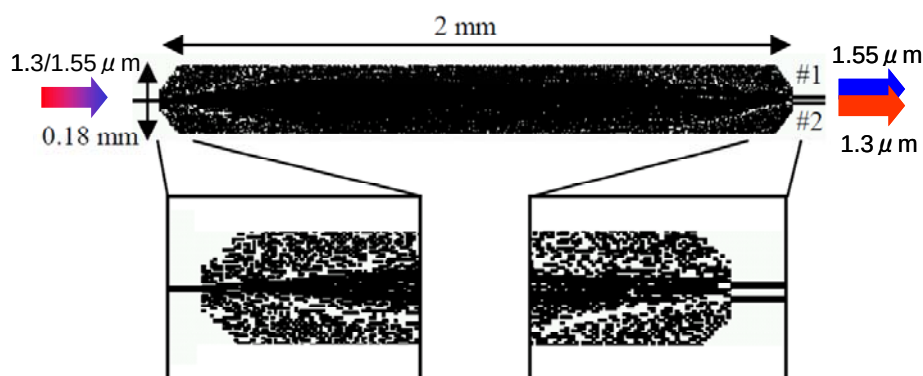


図 2-3 設計した波長フィルタの屈折率分布

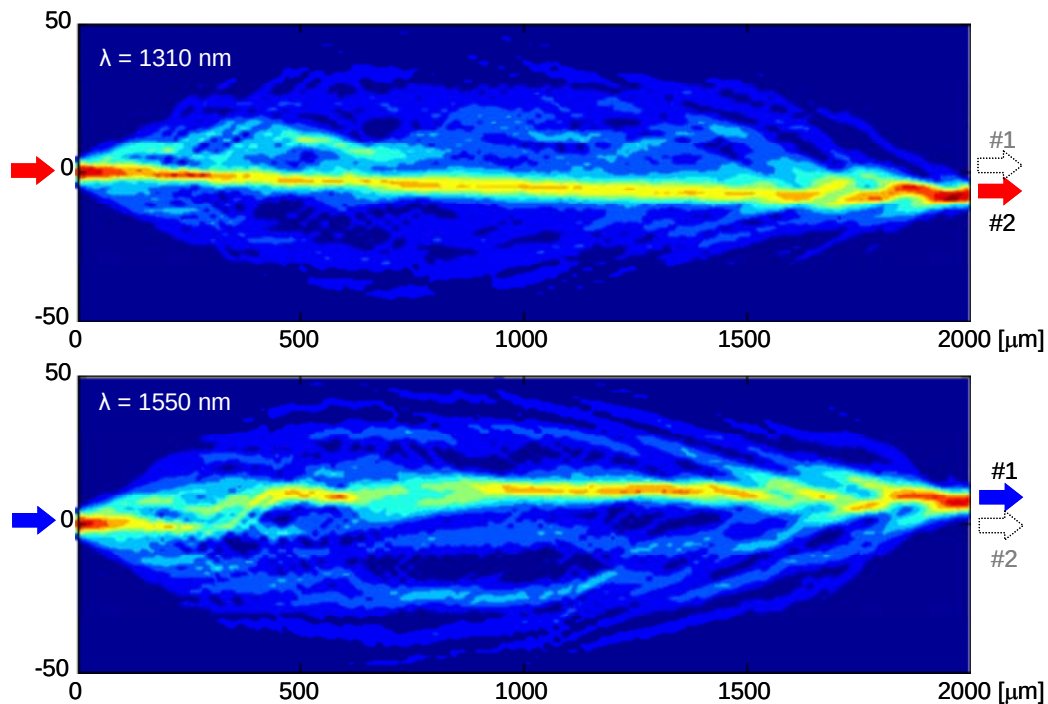


図 2-4 BPM による伝搬フィールドの計算結果

り．実現可能な作製精度とそのトレランスを考慮して最小サイズを $2 \times 2 \mu\text{m}^2$ と設定した．図 2-4 に BPM による伝搬フィールドの計算結果を示す．図に示すように，フィールドが伝搬する過程は，光の導波というより，光の回折や干渉が同時に起きている現象となっている．ホログラムが実空間の光の像を回折させて波数空間に移してから処理を施し，再び集光して実空間の像を得るのに対して，波面整合法により設計した光回路は実空間で光を伝搬させつつ多重散乱により所望の出力フィールドを実現している．そのため，回折や集光に必要となる空間的回路要素が不要となるため，回路の小型化が可能になると考えられる．図 2-5 に作製した波長フィルタの透過スペクトル測定結果を示す．入力光が波長に応じて 2 つの出力ポートに分波されていることが確認できる．ただし，偏波依存性が大きく，透過帯域は計算値よりも $50 \sim 100 \text{ nm}$ 短波長側にシフトしている．また，計算から予想される挿入損失は 2 dB 程度であったが，実験においては 5 dB 程度の大きな損失が測定された．これらの設計値との乖離は，ピクセル形状のコアによる伝搬光の散乱や，作製誤差に起因すると考えられる．

本節で例として挙げた 2 波長フィルタは，波面整合法の原理確認実験の結果である．この実験結果から，波面整合法の原理が実験的にも証明された．その一方で，波面整合法に基づく光回路設計を光導波路デバイス設計へ展開するにあたり，実用上の観点からいくつかの問題が明らかとなった．波面整合法を用いて設計した光回路は，モザイク状のコアパターンにより散乱させた光を干渉させて機能を実現するという性質上，以下の点が課題として挙げられる．

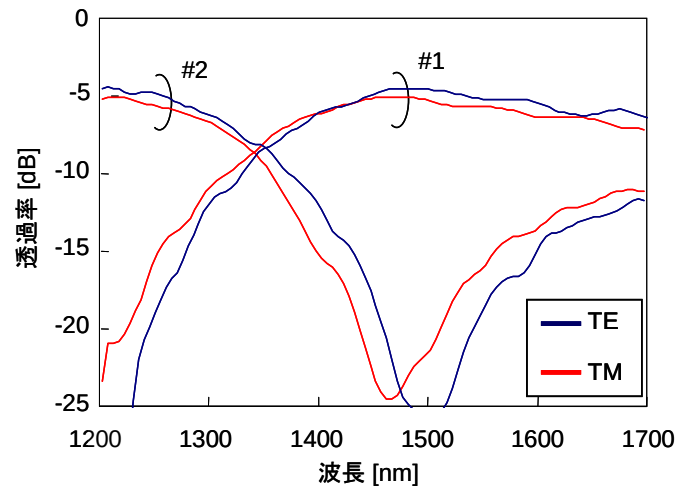


図 2-5 2 波長フィルタの透過スペクトル測定結果

- (1) 基板に対して垂直方向への光の散乱，放射が損失の原因となる
 - (2) 波長依存性が小さいことを要求されるデバイスの設計に適さない
 - (3) 作製可能なピクセル形状（マークとスペースのサイズ）がプロセス精度に制限される
- (3)のピクセル形状は光回路の特性に大きな影響を与える．許容されるピクセルサイズが小さい方が，位相整合のための自由度がより高くなる．また，散乱損失を低減することが可能と考えられる．ピクセルサイズは導波路を構成する材料と作製プロセスに依存する．本研究が対象とする石英系導波路はコア厚が $3.5 \sim 8 \mu\text{m}$ であり，標準的な露光，エッチング工程を採用する場合，最小ピクセルサイズは $2 \sim 3 \mu\text{m}$ 程度となる．これは，光通信で標準的に用いられる波長の $1.5 \sim 2$ 倍程度の大きさであり，波面整合法設計の光デバイス設計への適用を困難にしている主要因の一つである．

2.5 まとめ

本章では，波面整合法の原理と，波面整合法を用いた光回路設計手順について説明した．簡潔にまとめると，波面整合法とは，光回路の入力フィールドを入力側から順伝搬させたフィールドと，所望の出力フィールドの位相を反転させたフィールドを出力側から逆伝搬させた波面を整合させるように屈折率分布を決定することで，光回路の結合効率を改善する手法である．波面整合法による光回路設計は，メッシュ状に分割した計算領域の各セルに対して決定論的に屈折率を与えるため，対象とする回路の形状に制約がなく自由度の高い設計が可能であり，計算の収束が速いという利点がある．4 節において，波面整合法に基づき設計した 2 波長フィルタに関する実験結果を報告し，実用化の視点から，その問題点についてまとめた．波面整合法を用いて光回路要素の低損失化を実現するためには，「モザイク型」コア分布に起因する散乱損失を抑制する必要がある．続く第 3 章では，本研究で

提案する伝搬光の散乱損失低減を目的とした設計手法と，その有効性を示す検証実験結果について報告する．

参考文献

- [1] T. Hashimoto, T. Saida, I. Ogawa, M. Kohtoku, T. Shibata and H. Takahashi, “Optical circuit design based on a wavefront-matching method,” *Optics Letters*, vol. 31, pp. 2527-2662, 2005.
- [2] K. Okamoto, *Fundamentals of optical waveguides*, Academic Press, 2000.
- [3] K. Kawano and T. Kitoh, *Introduction to optical waveguide analysis*, Wiley Interscience Publication, 2001.
- [4] J. Yamauchi, *Propagating beam analysis of optical waveguides*, Research Studies Press, 2003.
- [5] 國分泰雄, 「光波回路」, 共立出版, 1999.
- [6] T. Saida, T. Hashimoto, I. Ogawa, M. Kohtoku, T. Shibata, H. Takahashi and S. Suzuki, “Fabrication of wavelength splitter designed by wavefront-matching method,” *OFC2005, OThV2*, 2005.
- [7] 橋本俊和, 神徳正樹, 高橋浩, 「波面整合法設計によるカプラを用いた光 4 波長フィルタ」, 電子情報通信学会 2007 年総合大会, C-3-106, 2007.

第3章 波面整合法に基づく光導波路設計

前章では、波面整合法の原理と、波面整合法を用いた光回路設計手順について説明した。波面整合法はメッシュ状に分割された設計領域の各セルについて屈折率を逐次決定する手法であるため、設計した回路の屈折率分布は導波路コアがモザイク状に分布した構造となる。前章では、「モザイク型」コア分布により構成される2波長フィルタに関する実験結果を述べ、波面整合法により設計した光回路の特徴についてまとめた。第1章で述べた本研究の目的である機能集積型PLCデバイスの高性能化を実現するためには、従来の波面整合法の適用例で明らかになった「モザイク型」コア分布に起因する散乱損失を抑制する必要がある。本章では、光導波路レンズの設計を例として、従来の波面整合法を適用した「モザイク型」設計と、本研究で提案する伝搬光の散乱損失低減を目的とした設計手法とを比較し、実験結果とともに提案手法の有効性を明らかにする。最後に、本研究で提案する光導波路設計方法と「モザイク型」設計の相違点についてまとめる。

3.1 波面整合法に基づく光導波路設計の提案

前章で説明したように、従来の波面整合法を適用して設計した「モザイク型」コア分布回路においては、BPMを用いて計算した伝搬損失よりも、作製したデバイスの光学測定で評価された回路の過剰損失が顕著に大きいという実験結果が報告されている。この計算結果と実験結果の乖離は、伝搬損失の解析に利用したBPMが2次元モデルであり、光回路基板に対して垂直な方向への伝搬光の散乱、放射の影響が考慮されていない点が一因であると考えられる。しかし、次に述べる理由から、計算精度の向上に基づく設計手法の改善のみでは、抜本的な低損失化は実現できない。

- (1) 「モザイク型」コア分布で構成される光回路が、多重散乱と散乱光の干渉を利用して所望の特性を実現するという性質上、導波路基板に対して垂直な方向への伝搬光の散乱は不可避である。
- (2) コア層から一度垂直方向へ放射された光を、1層のみのコア層から構成される平面回路構造で再びコア層に結合させることは難しい。

一般的な導波路構造における散乱損失については、Marcuseによる理論的解析[1]など、多くの検討結果が報告されている。Laceyらによる導出[2]に基づく、散乱損失はコアとクラッドの界面における電界強度の2乗、コアとクラッドの比屈折率差 Δ の2.5乗に比例する。Laceyらが対象としたモデルは「モザイク型」コア分布とは異なるが、伝搬光の強度がより大きい箇所に配置されたコアとクラッドの界面が、より大きな散乱損失を誘起することは容易に類推できる。また、ある特定の伝搬光の波長に対して最適化された「モザイク型」

コア分布は、他の波長に対してはランダムな屈折率分布として作用するので、フィールド強度が伝搬に伴い減衰する。この「モザイク型」コア分布回路の特徴は、波長フィルタなど、伝搬特性の波長依存性が必要となる導波路デバイスには適しているが、広い波長帯域において一定の伝搬特性が必要とされる導波路デバイスには適合しない。

波面整合法を用いて光回路要素の伝搬損失低減を実現するためには、伝搬光強度が大きい箇所におけるコアとクラッドの界面を減少させる必要がある。そこで、本研究では、波面整合法により合成した屈折率分布に離散的なコアが発生しないように計算アルゴリズムに制約を課した設計方法を提案する。具体的には、波面整合法の計算アルゴリズムにおいて、隣接する4つのセルがすべてコアとなっているセルについて、屈折率をクラッドに変更することを禁止する。従来の「モザイク型」設計、および提案手法を用いた設計で得られる屈折率分布の説明図を図3-1にそれぞれ示す。図3-1(a)に示すモザイクパターンに対して、提案手法を適用した場合は、図3-1(b)に示すような離散的なコアが存在しない、コア幅が非周期的に変調された導波路パターンが合成される。導波路形状の観点から従来手法との相違点を明確にするために、本研究の提案手法を「塗りつぶし型」設計と呼ぶことにする。本論文においては、「モザイク型」コアパターンの設計を“波面整合法に基づく光回路設計”，導波路幅を変調させた「塗りつぶし型」設計を“波面整合法に基づく光導波路設計”と称することで、両者を区別している。図3-1に示すように、「塗りつぶし型」設計では導波路コア内部に散乱点が存在しないため、散乱損失の低減が期待される。加えて、導波路作製工程において実用上十分な製造トレランスを示すことも期待される。

ここで、計算アルゴリズムにおける屈折率分布決定過程に制約を課することが、波面整合

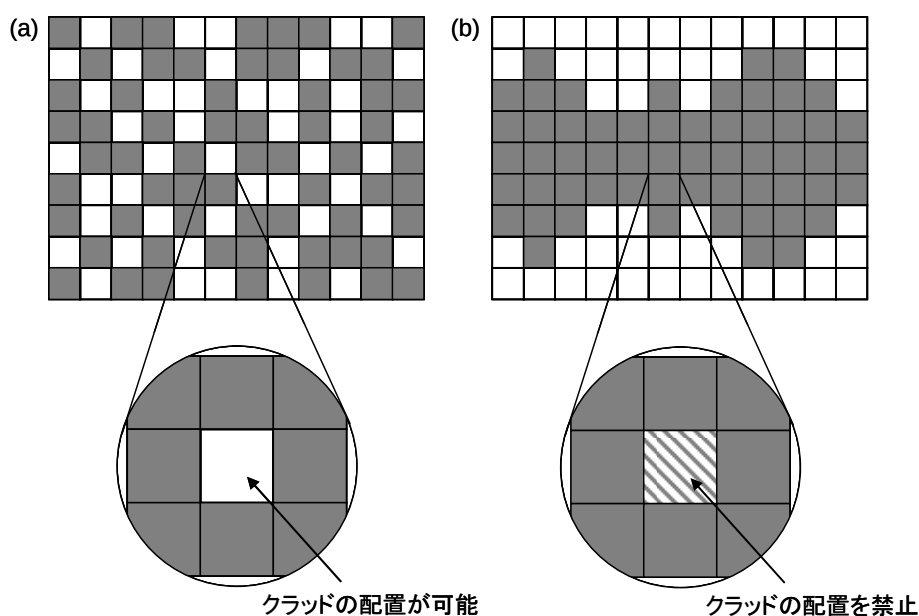


図 3-1 波面整合法に基づき設計した屈折率分布

(a) 「モザイク型」設計, (b) 「塗りつぶし型」設計

法の原理と相反しない点について言及する．波面整合法を適用する場合，設計領域内のある位置 $z = m \Delta z$ において x 方向に分割されて離散化された各点 (x, z) の屈折率は，入力フィールドを順方向伝搬させたフィールドと所望の出力フィールドを逆方向伝搬させたフィールドの局所的な波面整合条件に従って決定される．従って，隣接するメッシュとなる直前の最適化ステップ ($z = (m-1) \Delta z$ における屈折率分布の決定) の結果や， x 方向に隣接する点における屈折率の変更値に対して互いに影響を与えない．これは，屈折率分布に対して局所的な制約条件を設定しても，波面整合法の原理と矛盾しないことを意味している．

3.2 提案手法の検証

本節では，「塗りつぶし型」設計の損失低減効果の検証実験とその結果について報告する．光導波路レンズを設計対象として設定し，従来の「モザイク型」設計と提案する「塗りつぶし型」設計を適用した結果について比較する．そして，「塗りつぶし型」設計の損失低減効果について，実験結果を報告する．

3.2.1 光導波路レンズの設計

図 3-2 に設計対象とした回路のレイアウトを示す．本構成では，中央のスラブ導波路を挟む左右のテーパ導波路をレンズとして機能するように最適化して伝搬光をスラブ導波路の中心に集光することにより，スラブ導波路部分で発生する回折損失を低減することを検討目的としている．本検討と同一の目的で，スラブ導波路の左右に MMI (Multimode Interference) カプラを配置することにより伝搬光の回折損失を低減した例が報告されている [3]．図 3-2 に示すような光導波路レンズ対の導入により，光導波路デバイスに薄膜フィルタなどのバルク部品を挿入する際に発生する過剰損失が低減されると期待できる．本検討ではスラブ導波路の長さを $500 \mu\text{m}$ とし，最適化の初期値とするテーパ導波路の長さを 100 ，

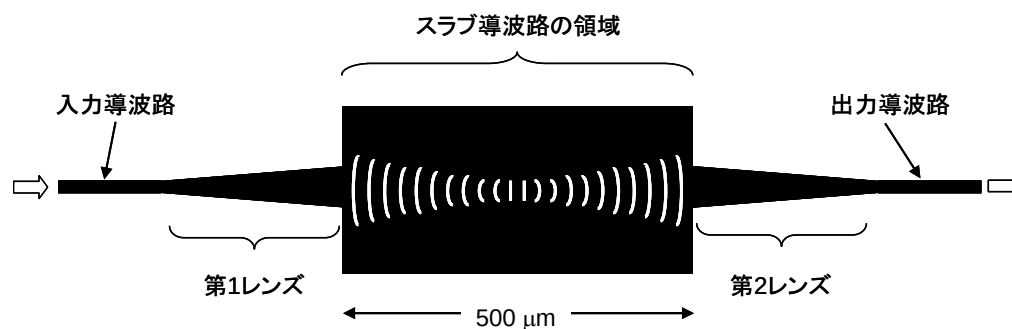


図 3-2 導波路レンズ対のレイアウト

200, 500 μm の3通りに設定した。コアとクラッドの比屈折率差 Δ が 0.75%, コア層の厚さが 6 μm の石英系 PLC をモデルとして計算した。入出力導波路の幅は 7 μm , テーパ導波路の開口幅は 25 μm とした。BPM 計算における x および z 方向の離散化単位 Δx , Δz は, それぞれ 0.2, 0.5 μm である。BPM 計算は 2 次元モデルとし, 計算精度の向上を目的として GD (Generalized Douglas) 法を採用した。GD 法は, 一般的な FD-BPM (Finite-Difference BPM) で扱いを省略している波動関数の 2 階微分における Δx^2 項を考慮に入れた計算手法である。また, フレネル近似では正確に計算できない伝搬軸に対して広角方向 (10 度以上) に伝搬するフィールドの計算精度を向上させるために, Padé(1,1) 近似を採用した。Padé(1,1) 近似の導入により, 20 度までの角度方向に伝搬するフィールドも正確に取り扱うことが可能となる。本検討で採用した, BPM の計算精度向上に関する計算アルゴリズムの改善については, [4] に詳細が解説されている。計算に用いる波長を 1550nm に設定し, 入力フィールドおよび所望の出力フィールドは入出力導波路の基底モードとして最適化計算を行った。なお, 「モザイク型」設計によりモザイク状のコアパターンを設計する場合は, 作製プロセスにおけるコア加工精度, トレランスなどを考慮して, コアの最小寸法が $2 \times 2 \mu\text{m}^2$ となるように計算過程において制限を課した。

テーパ導波路長を 500 μm として設計した導波路レンズ対の導波路パターンを図 3-3 に示す。中央のスラブ導波路を挟んで長さ 500 μm の導波路レンズが対向して配置されている。図 3-3(a) が「塗りつぶし型」設計, 図 3-3(b) が波面整合法をそのまま適用した「モザイク型」設計により最適化した結果である。本検討では, 最適化計算の初期値として用いたテーパ導波路対 (図 3-3(c)), および入出力導波路と同じ導波路幅の直線導波路 (図 3-3(d)) とした場合についても, 比較のためにサンプル作製の対象とした。図 3-3(a) と (b) の拡大図を図 3-4 に示す。「塗りつぶし型」設計の適用により, 図 3-4(a) に示すような離散的なコアが存在しない, 導波路幅が非周期的に変調された導波路パターンが合成されている。図 3-5 は設計ア

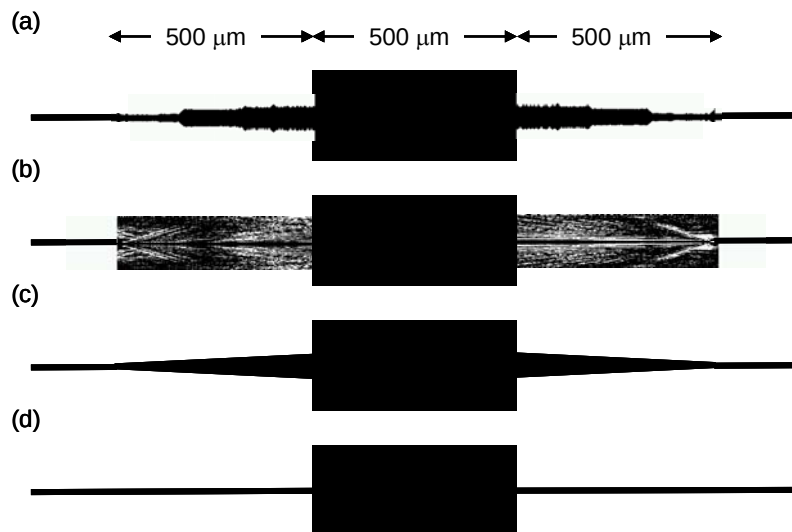


図 3-3 設計した導波路レンズ対のコアパターン

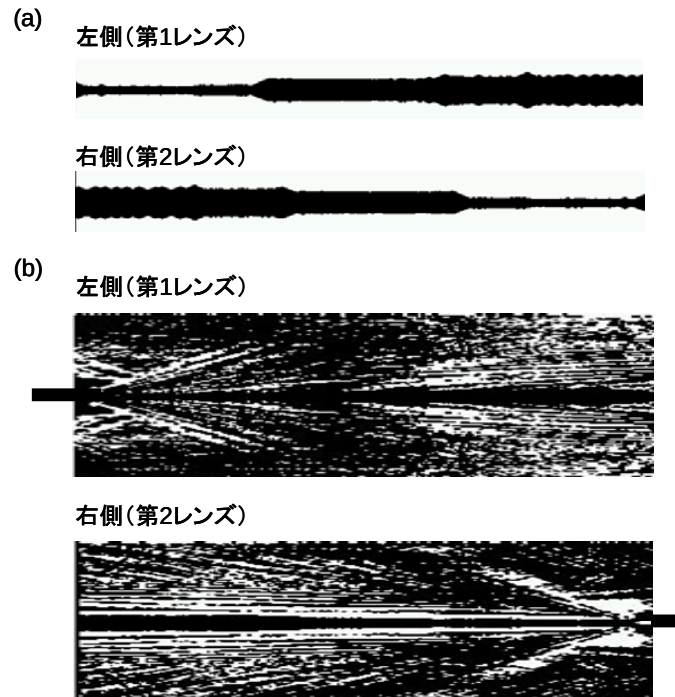


図 3-4 導波路レンズの拡大図

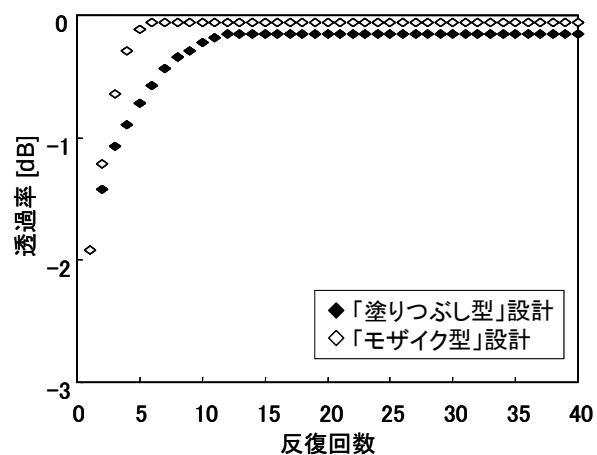


図 3-5 計算の収束過程

ルゴリズムの反復回数と、各回の最適化結果の導波路形状における透過率の関係を表したグラフである。波面整合法をそのまま適用する「モザイク型」設計と比較して、「塗りつぶし型」設計は最適化の自由度が制限されるため、計算の収束が遅くなるという欠点がある。しかし、「塗りつぶし型」設計を適用して導波路レンズ対を設計する場合、設計領域 $200 \times 500 \mu\text{m}^2$ (1000×1000 個のセルに相当) に対して、十分に収束するまで 40 回最適化計算を繰り返すのに必要な時間は、3.2GHz の CPU を備えた計算機を使用した場合でも 10 分程度であり、現実的には許容範囲の計算コストと考えられる。図 3-6 に導波路レンズ長と最適化計算の収束結果を示す。導波路レンズ長 $L = 100, 200, 500 \mu\text{m}$ すべての場合について、「モザ

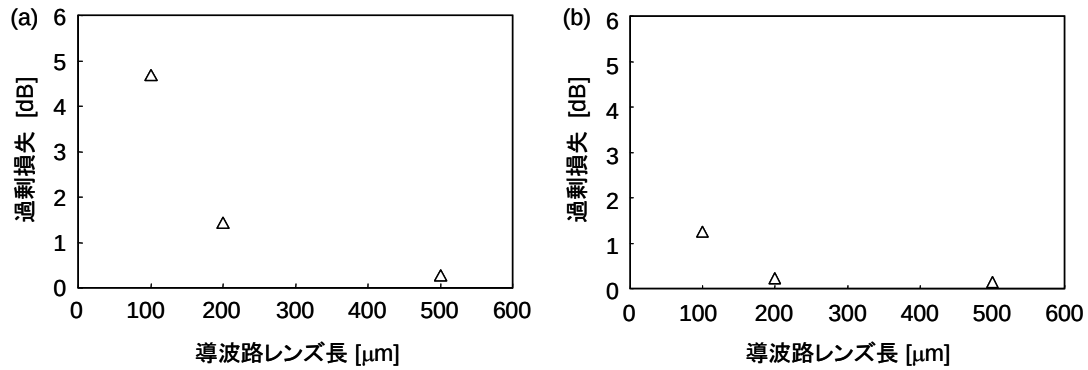


図 3-6 導波路レンズ長と収束結果の関係

(a) 「塗りつぶし型」設計, (b) 「モザイク型」設計



図 3-7 「塗りつぶし型」設計により合成された導波路形状

(a) $L = 100$ [μm], (b) $L = 200$ [μm], (c) $L = 500$ [μm],

イク型」設計の収束結果よりも「塗りつぶし型」設計の収束結果の方が損失の計算値が大きくなっている．特に，導波路レンズ長が短くなるに従い，両者の損失差は顕著に大きくなる．これは，「塗りつぶし型」設計のアルゴリズムにおける設計自由度の制限が影響した結果である．

次に，「塗りつぶし型」設計により合成された導波路パターンと，導波路レンズとしての動作について，詳細を説明する．導波路レンズ長 $L = 100, 200, 500 \mu\text{m}$ それぞれの場合について，「塗りつぶし型」設計の適用により合成された導波路パターンを図 3-7 に示す．

図 3-8 に入力側の第 1 導波路レンズ出力端におけるフィールド分布の計算結果を示す．(a), (b)は「塗りつぶし型」設計により設計した導波路レンズから出射されるフィールドの強度分布と位相分布をそれぞれ表している．それに対して，(c), (d)は設計の初期値として用いたテーパ導波路の出力端における強度分布，位相分布をそれぞれ表している．図 3-9 はスラブ導波路の中央部分（第 1 レンズの出力端から $250 \mu\text{m}$ の位置）における伝搬光のフィールド分布，図 3-10 は第 2 レンズの入力端（第 1 レンズの出力端から $500 \mu\text{m}$ の位置）における伝搬光のフィールド分布をそれぞれ表している．図 3-8(b), (d)に示す第 1 レンズの出力端におけるフィールドの位相分布に注目すると，テーパ導波路からの出射フィールドの位相分布（図 3-8(d)）が，導波路の中心（ $x = 0 \mu\text{m}$ ）において上に凸で，導波路レンズ長 L が長く

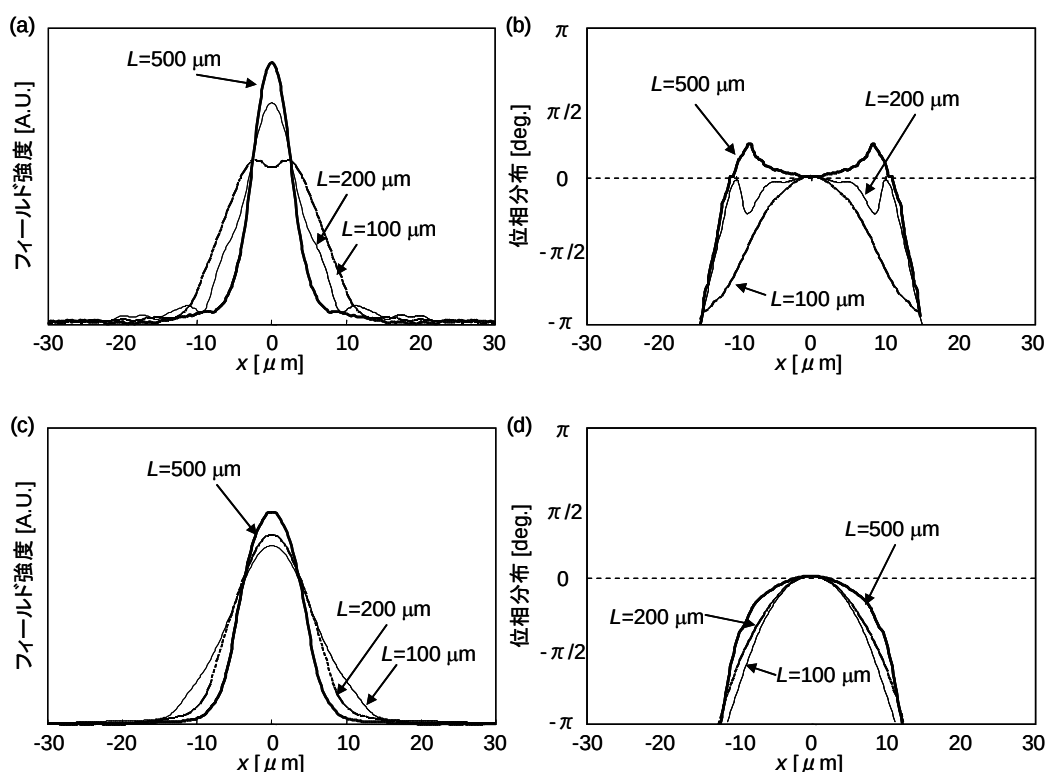


図 3-8 第 1 レンズ出力端におけるフィールド分布

(a) 強度分布：「塗りつぶし型」設計, (b) 位相分布：「塗りつぶし型」設計

(c) 強度分布：「モザイク型」設計, (d) 位相分布：「モザイク型」設計

なるに従い、その 2 階微分係数の絶対値が減少している．それに対して、「塗りつぶし型」設計により合成したパターン（図 3-8(b)）では、テーパ導波路における位相分布と比較して、 $L = 500 \mu\text{m}$ で係数の正負が反転している．「塗りつぶし型」設計のパターンにおいて、導波路レンズ長 L が長くなるに従い位相分布が変化していることから、導波路レンズの出力端における波面の位相分布をレンズとして機能するように調整するために、ある一定以上の導波路長が必要であることが分かる．図 3-9(a), (c)に示すスラブ導波路中央部における伝搬フィールドの強度分布に着目すると、すべての導波路レンズ長 L について、「塗りつぶし型」設計のレンズを出射したフィールドの方が、テーパ導波路と比較して、フィールドの広がり抑制されていることが分かる．同様に、第 2 レンズの入力端におけるフィールドの強度分布（図 3-10(a), (c)）を比較した場合も、「塗りつぶし型」設計の第 1 レンズを出射してスラブ導波路を伝搬したフィールドの方が、初期値のテーパ導波路から出射したフィールドと比較して、強度分布の広がり抑制されている．特に、図 3-10(b)に示す位相分布に着目すると、テーパ導波路の場合（図 3-10(d)）と比較して、導波路レンズ長 $L = 500 \mu\text{m}$ の場合のみ位相分布曲線が反転しており、伝搬光が第 2 導波路レンズを伝搬して出力導波路に結合する際に集光することが分かる．最も過剰損失が小さい導波路レンズ長 $L = 500 \mu\text{m}$ とした「塗りつぶし型」設計の導波路パターン（図 3-3(a), 3-7(c)）におけるフィールド伝搬

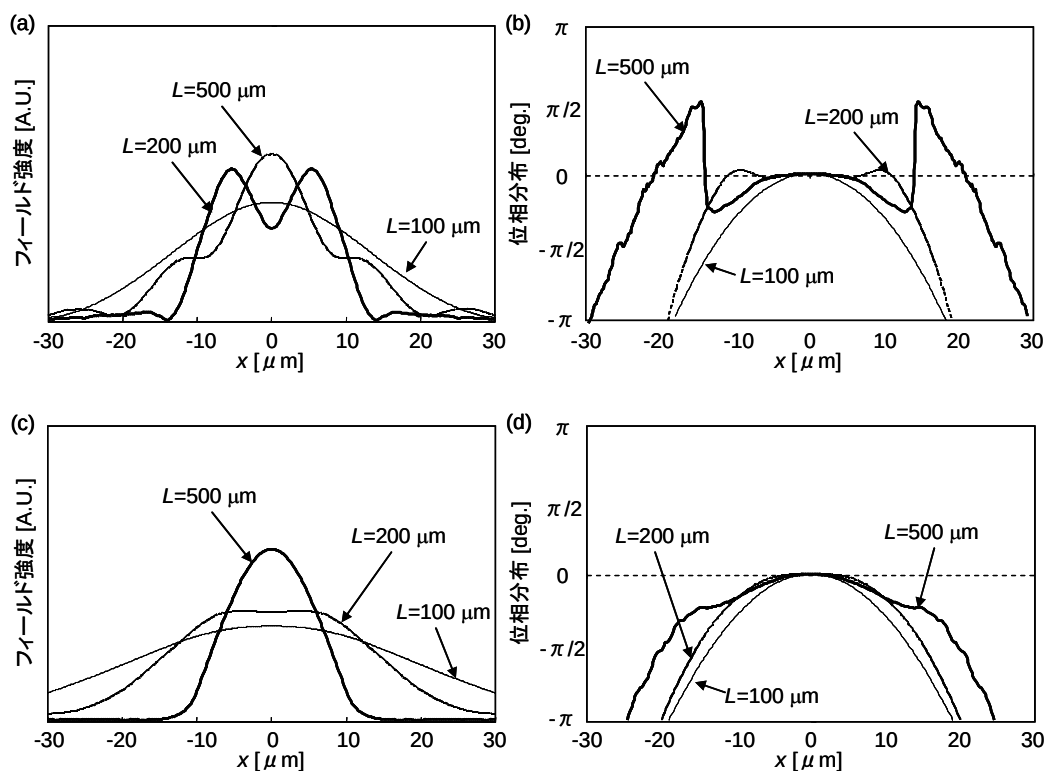


図 3-9 スラブ導波路中央におけるフィールド分布

- (a) 強度分布：「塗りつぶし型」設計, (b) 位相分布：「塗りつぶし型」設計
(c) 強度分布：「モザイク型」設計, (d) 位相分布：「モザイク型」設計

を, BPM を用いて計算した結果を図 3-11 に示す. 図 3-11 に示すように, 左側の導波路レンズから入射した光はスラブ導波路の中央で一度集光した後, 右側の導波路レンズに結合して出力導波路で再度集光している. この計算結果から, 導波路幅の変調により導波路の出力端における波面の位相が調整され, レンズとして機能している様子が分かる.

3.2.2 実験結果

設計した導波路レンズ対を石英系 PLC 技術により作製した. 図 3-12 はコアパターン加工後, オーバークラッド層を堆積する前の「塗りつぶし型」設計サンプルの SEM (Scanning Electron Microscope) および光学顕微鏡を用いた形状観察写真である. この観察から, 本研究の実験に利用した導波路作製プロセスが, 導波路幅が非周期的に変動する「塗りつぶし型」設計のコアパターンを設計通りに作製するために十分なコア加工精度を有することを確認した.

図 3-13 は作製した導波路レンズ対の透過スペクトル測定結果から得られた波長 1550 nm における過剰損失を, 導波路レンズ長の関数として表したグラフである. 図 3-13(a)に示す「塗りつぶし型」設計を適用した導波路レンズ対の測定結果は, BPM によるシミュレーシ

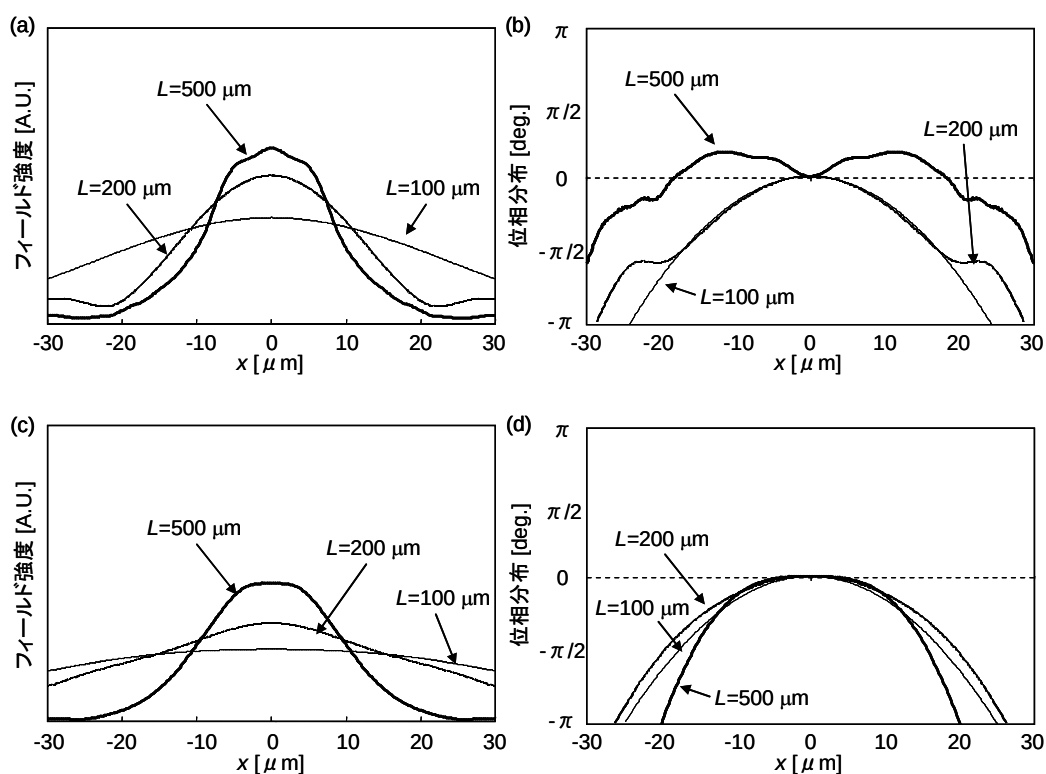


図 3-10 第 2 レンズ入力端におけるフィールド分布

- (a) 強度分布：「塗りつぶし型」設計, (b) 位相分布：「塗りつぶし型」設計
(c) 強度分布：「モザイク型」設計, (d) 位相分布：「モザイク型」設計

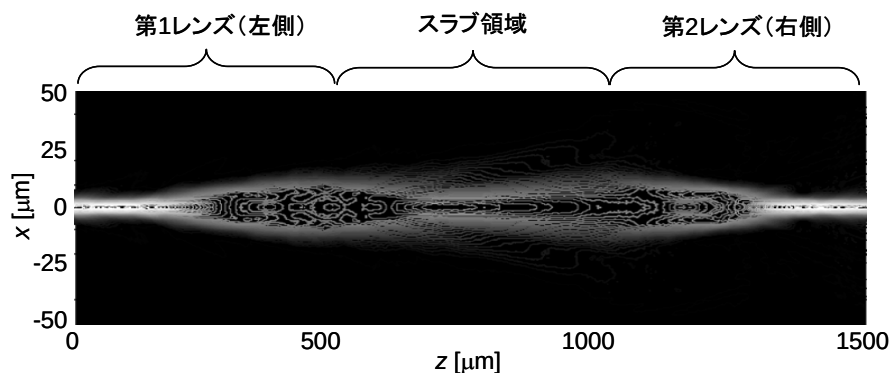


図 3-11 BPM によるシミュレーション結果

ン結果とよく一致している．一方，図 3-13(b)に示す「モザイク型」設計のコアパターンで構成された導波路レンズ対については，測定結果と BPM によるシミュレーション結果の間に大きな乖離があり，過剰損失の値も「塗りつぶし型」設計の実験結果と比較して大きい．過剰損失は主に散乱によるものと考えられ，この結果は，モザイク状のコアパターンに起因する散乱の影響が，「塗りつぶし型」設計の適用により抑制されたことを示している．導波路レンズ長を $500\ \mu\text{m}$ として設計した導波路レンズ対について，透過スペクトルの測定

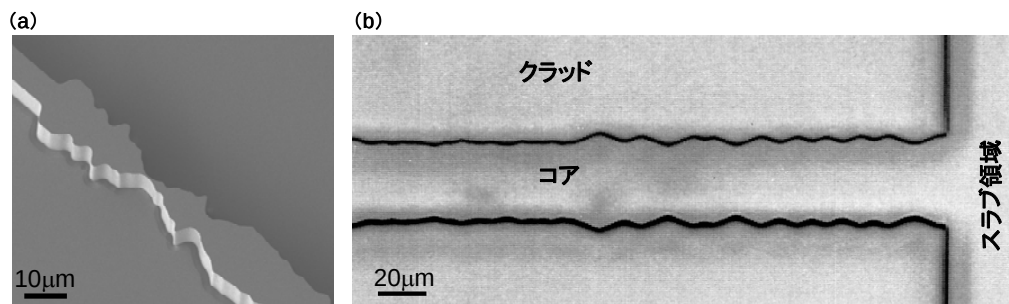


図 3-12 作製した導波路コアパターンの写真

(a) SEM 写真, (b) 光学顕微鏡写真

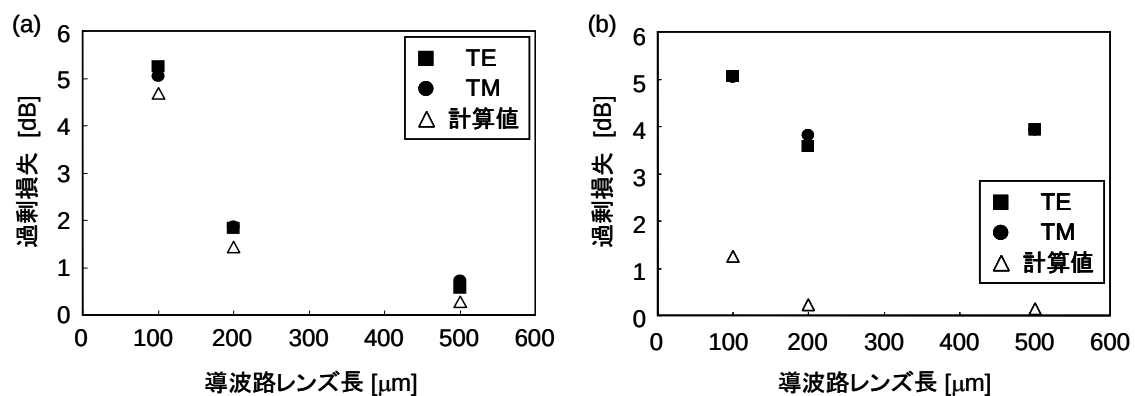


図 3-13 導波路レンズ対の過剰損失

(a) 「塗りつぶし型」設計, (b) 「モザイク型」設計

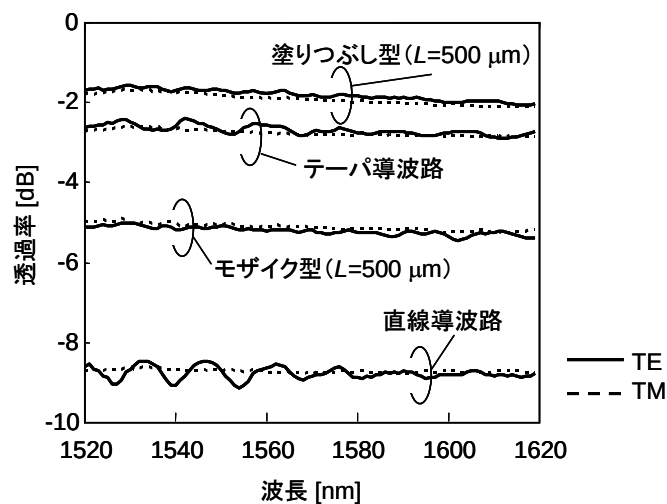


図 3-14 導波路レンズ対の透過スペクトル

結果を図 3-14 に示す。図 3-14 に示す挿入損失は、2 箇所分の PLC チップとファイバ接続損失 0.7dB を含んだ値である。「塗りつぶし型」設計を適用した導波路レンズ対の挿入損失は、直線導波路対（図 3-3(d)）より 6.5dB、開口幅が等しいテーパー導波路対（図 3-3(c)）と比較しても 1dB 小さい。なお、比較対象としたテーパー導波路対は入力フィールドを断熱的に拡

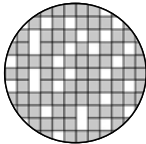
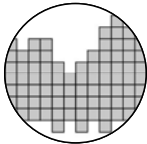
大すること目的としているため、左右ともに長さを十分長く、2mm に設定した。「塗りつぶし型」設計において、波長帯域 1520～1620nm における損失の波長依存性は 0.3dB 以下であった。また、主に高次モードの励起に起因する損失の偏波依存性（Polarization-Dependent Loss : PDL）について、「塗りつぶし型」設計の測定結果は 0.3dB 以下であり、直線導波路対やテーパ導波路対と比較して小さい値となっている。

これらの測定結果から、「塗りつぶし型」設計によりモザイク状のコアパターンで問題となっていた伝搬光の散乱に起因する損失を抑制し、且つ十分に位相面を制御してレンズ機能を実現していることが確認できた。

3.3 まとめ

従来の波面整合法による「モザイク型」設計と本研究で提案する「塗りつぶし型」設計の相違点を表 3-1 にまとめる。「塗りつぶし型」の設計思想でもあり、最大の特徴は、入力フィールドを順方向に伝搬させた波面と、所望の出力フィールドを逆方向に伝搬させた波面とを導波路幅の変調により整合させる点である。これにより、「モザイク型」コアパターンで不可避であったコアとクラッドの界面における散乱損失を抑制することが可能となり、伝搬損失が小さい光導波路の設計が可能となる。「塗りつぶし型」設計では計算アルゴリズムにおいて離散的なコアの配置を禁止するという制約条件を課すため、計算の収束性は劣化する。「モザイク型」コアパターンでは伝搬光を多重散乱させて、その干渉を利用するという機構であるため、波長依存性が必要な光回路の設計に適している。一方、「塗りつぶし

表 3-1 「モザイク型」と「塗りつぶし型」設計の比較

	「モザイク型」	「塗りつぶし型」
散乱損失	大	小
収束速度	速い	遅い
コアパターン	 ピクセル形状のコア	 導波路幅を変調
適用回路	波長依存デバイス	波長無依存デバイス

型」設計で合成されたパターンには明確な導波構造が存在しており，伝搬光のフィールド径変換および高次モードの励起，結合により出力端における所望のフィールドを実現している．そのため，顕著な波長依存性の発現には不適であるが，波長依存性の抑制が必要な光導波路設計に適している．本章で示したように，本研究で提案した波面整合法に基づく「塗りつぶし型」設計の適用により，伝搬損失の小さい光回路要素を効率的に設計することが可能となる．次章以降では，提案した「塗りつぶし型」設計の適用による石英系 PLC デバイスの特性改善効果についての検証結果を報告する．

参考文献

- [1] D. Marcuse, "Theory of dielectric optical waveguides," Academic Press, NY, 1974.
- [2] J. P. R. Lacey and F. P. Payne, "Radiation loss from planar waveguides with random wall imperfections," IEE Proceedings Optoelectronics, vol. 137, pp. 282-288, 1990.
- [3] H. R. Stuart, "Waveguide lenses with multimode interference for low-loss slab propagation," Optics Lett., vol. 28, pp. 2141-2143, 2003.
- [4] J. Yamauchi, *Propagating beam analysis of optical waveguides*, Chap. 5, Research Studies Press, 2003.

第 4 章 Y 分岐導波路設計と平面光波回路 デバイスへの展開

Y 分岐導波路は光導波路デバイスの基本回路要素の 1 つであり、直列に多段接続した $1 \times N$ パワースプリッタは PON システムに必要な基幹部品としてアクセス網に導入されている[1]。石英系導波路で構成されたスプリッタはその優れた光学特性、長期信頼性、量産性から、既に実用化され高い実績を示している [2, 3]。また、近年では、光多値変調器などの機能デバイスにけるカプラとしても、Y 分岐導波路の重要性が高まっている。Y 分岐導波路に対する主な要求性能としては、低損失、広帯域動作、安定した分岐比、低 PDL (Polarization Dependent Loss)、小型であること、などが挙げられる。それらの中でも特に、PLC デバイスの経済化や高集積化に向けて、Y 分岐導波路の小型化が強く求められる。それと同時に、スプリッタは回路内に複数の Y 分岐導波路が直列接続された構成となることから、1 段あたりの低損失化が極めて重要な課題となっている。

本章では、波面整合法設計を用いた Y 分岐導波路の低損失化について論じる。Y 分岐導波路における過剰損失の原因と、導波路のコアとクラッドの比屈折率差 Δ と過剰損失の関係について説明し、波面整合法を用いた Y 分岐導波路の設計手法を示す。0.45~2.5% Δ 石英系 PLC の Y 分岐導波路に本手法を適用した実験結果を比較し、本手法が集積化に適した高 Δ 導波路において、より顕著な低損失化効果を示すことを述べる。実用上重要な PLC デバイスへの適用例として、アクセス網に利用される 1×32 スプリッタ、および DQPSK 変調器を構成する 1×4 スプリッタへの適用検討結果について述べる。また、分岐比安定化を目的として、Y 分岐導波路に 1 次モードに対するフィルタ機能を付加するための設計方法について説明し、その効果を実験的に検証した結果についても述べる。

4.1 Y 分岐導波路における過剰損失の原因

一般的な Y 分岐導波路の構成を図 4-1 に示す。Y 分岐導波路は 1 本の入力導波路と 2 本の出力導波路がテーパ導波路を介して接続された構成となっている。Y 分岐導波路における伝搬光の過剰損失は、テーパ導波路と出力導波路の接続部分における両者の基底モード間のモード不整合が原因で発生する。このモード不整合は 2 本の出力導波路間のギャップに起因しているため、低損失化のためにはギャップ幅を小さくすることが望ましい。しかし、導波路作製プロセスにおける、レジスト露光、エッチング、上部クラッド層の堆積工程などのトレランスを考慮すると、現実的にはその最小幅を $2 \mu\text{m}$ 程度の有限値に設定して設計する必要がある。第 1 章で述べたように、PLC デバイスの小型化を実現するためには、導

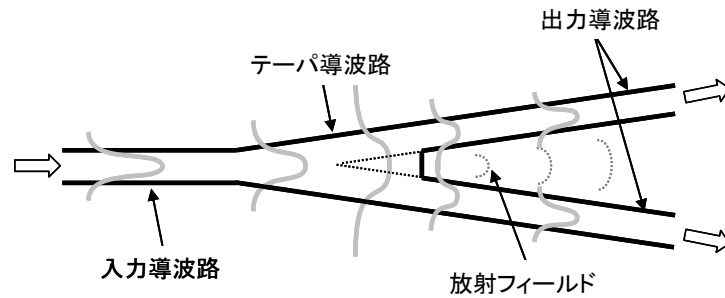


図 4-1 Y 分岐導波路の構成

波路の曲げ半径を小さくすることが可能な高 Δ 導波路を採用することが効果的である。しかし、高 Δ 化により導波モードのフィールド径が小さくなる一方で、許容される最小ギャップ幅はほぼ一定である。従って、回路の小型化に向けて導波路の高 Δ 化を採用した場合、ギャップの影響が相対的に大きくなるため、Y 分岐導波路における過剰損失は増加する。

2 本の出力導波路間のギャップに起因するモード不整合の影響を低減するために、様々な設計手法が提案されている[4-14]。例えば、テーパ導波路と出力導波路接続部に、コアおよびクラッドと異なる屈折率を付与してモード不整合を解消する方法が報告されている[4-6, 8, 10]。これらの手法は、低損失化は実現できるものの、プロセス工程の負担を増加させるという短所があり、産業的には現実的な解決法とは言えない。設計の工夫のみで Y 分岐導波路の損失低減を実現する方法として、MMI カプラの導入[12, 13]やダミー導波路の導入[9]が提案されている。これらの手法は伝搬フィールドのモード間結合を利用するため、特性の波長依存性が避けられない。設計面の工夫として、2 本の出力導波路間にセグメント導波路を形成することで実効屈折率を調整し、等価的にギャップ幅を無限小とする方法も提案されている[14]。この手法は、セグメント導波路間の微小ギャップ加工が必要となるため、作製プロセストレランスが懸念される。本研究では、波面整合法に基づく「塗りつぶし型」設計を Y 分岐導波路設計に適用することにより、作製プロセスに対する負担を増やすことなく損失の原因となるモード不整合を解消し、Y 分岐導波路の小型化と低損失化の両立を実現することを目的とした。

4.2 Y 分岐導波路の低損失化

本節では、波面整合法に基づく「塗りつぶし型」設計を $0.45\% \Delta$ の石英系導波路で構成される Y 分岐導波路設計に適用した結果について論じ、「塗りつぶし型」設計による損失低減効果を示す実験結果を述べる。さらに、集積型 PLC デバイスにおける合分岐回路要素の低損失化を目的として、「塗りつぶし型」設計を $1.5\% \Delta$ 、 $2.5\% \Delta$ Y 分岐導波路に適用した結果についても述べ、本研究で提案する設計手法が高 Δ 導波路でより顕著な損失低減効果を示すことを説明する。

4.2.1 Y 分岐導波路の設計

図 4-2 は波面整合法を利用した Y 分岐導波路の設計モデルを示している．Y 分岐導波路の低損失化を実現するためには，入力導波路の基底モードを 2 本並ぶ出力導波路の基底モードに，より高い効率で変換するためのモード変換器を設計することが必要となる．BPM 計算の手法は，第 3 章で説明した光導波路レンズの設計条件と同一とした．すなわち，2 次元モデルの FD-BPM を採用し，GD 法と Padé (1,1) 近似を適用した．伝搬方向 (z 方向) に対して基板と平行な面内の垂直方向 (x 方向) の計算領域幅を $200\ \mu\text{m}$ ， x 方向および z 方向の離散化単位をそれぞれ 0.2 ， $0.5\ \mu\text{m}$ と設定した．なお，BPM 計算における離散化単位と Y 分岐導波路の設計結果の相関について，4.6 節で検証する．

次に，導波路作製プロセスのトレランスという観点から，導波路設計に課した制約条件について説明する．図 4-3 は具体的な制約条件の説明図である．1 点目として，2 本の出力導波路ギャップの最小幅を $2\ \mu\text{m}$ と設定した．Y 分岐導波路の低損失化という観点からは，最小ギャップ幅は可能な限り小さくすることが望ましく，実際に $2\ \mu\text{m}$ 以下の狭ギャップを作製することも可能である．ただし，十分な再現性やウエハ面内における均一性を達成するためには，現在の作製プロセスの限界最小値よりも余裕のあるギャップ設定が望ましい．特に，本研究では新規な導波路形状の Y 分岐を設計してその過剰損失を 0.01dB レベルの測定精度で評価する必要があるため，評価サンプルごとにギャップ幅がばらつくことは極力避けるべきである．実用化という観点からも，再現性も含めて十分なプロセストレランスが確保された加工精度範囲で，波面整合法の適用により従来よりも過剰損失が小さい Y 分岐導波路を提供することは重要な課題である．以上に挙げた理由から，本研究では 2 本の出力導波路ギャップの最小幅を $2\ \mu\text{m}$ とした．

2 点目として，導波路幅の変動許容量を設定した．その目的は，図 4-3 に示すような急峻

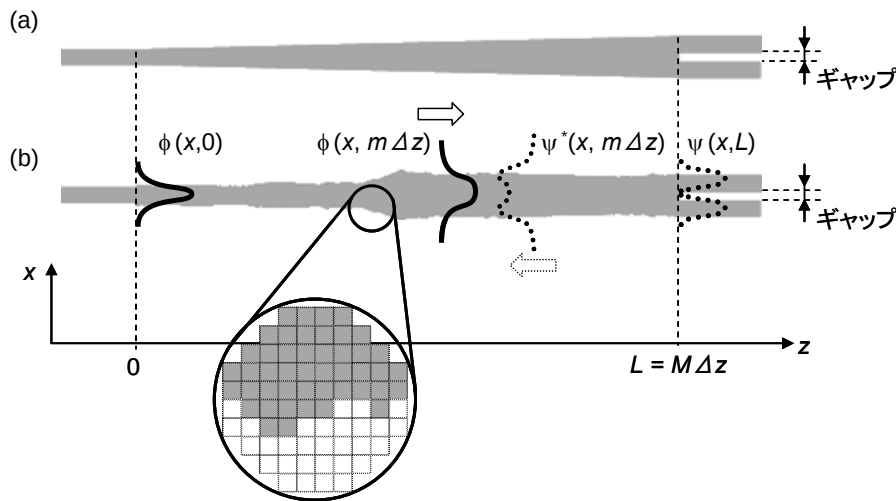


図 4-2 Y 分岐導波路の設計モデル

(a) 初期値 (テーパ導波路)，(b) 「塗りつぶし型」設計

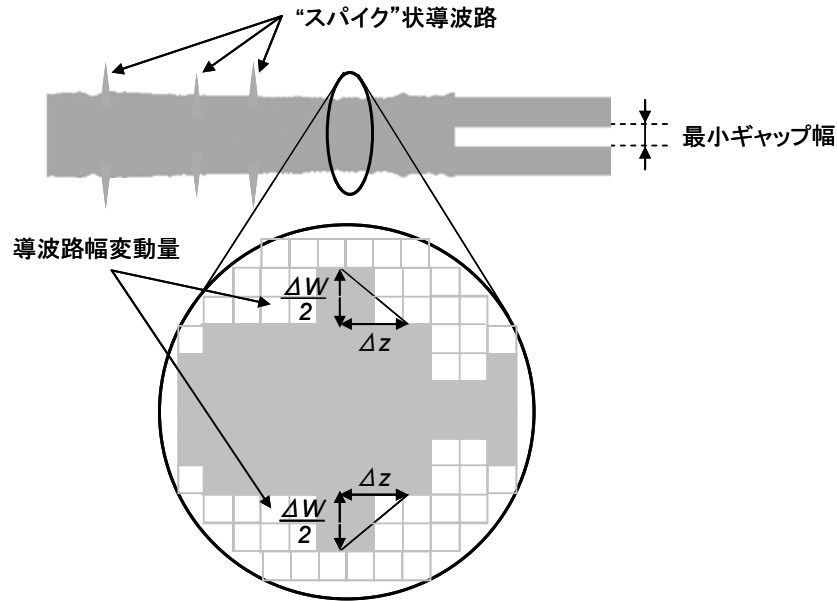


図 4-3 Y 分岐導波路設計における制約条件

な“スパイク”状の導波路が出現するのを防ぐことにある．“スパイク”状の導波路はコア層のエッチング工程において消失する可能性がある．そのような状況で作製したサンプルの特性評価結果が計算から見込まれる設計値と一致しなかった場合，その乖離の原因が，導波路の消失にあるのか，もしくは設計アルゴリズムの不備にあるのか判定することが困難となる．当然，実用化の観点からも，プロセス条件によっては消失し得る形状を有する導波路を設計することは，作製プロセス管理に負荷をかけることにつながるため，避けるべきである．第 3 章で述べた光導波路レンズの検討において実施したコア加工後の形状観察結果（図 3-12）に基づき，導波路幅変動の許容量を設定した．その指標として，具体的には， z 方向に隣接するセル列間の導波路幅の変化量 ΔW_m に着目した． ΔW_m は次式で表される．

$$\Delta W_m = |w_m - w_{m-1}| \quad (4.1)$$

ここで， w_m は $z = m \Delta z$ における導波路幅を意味している．本研究では， ΔW_m の最大値を $\Delta W_m / \Delta z = 1$ として設定した．波面整合法のアルゴリズムに「塗りつぶし型」設計を課したのと同様に，導波路幅変動の制限は設計自由度を下げることになるが，局所的な制約条件であるため波面整合法に基づく設計アルゴリズム自体に矛盾するものではない．この制約条件の導入により，“スパイク”を含まず，光の伝搬方向に沿って滑らかに導波路幅が変化する導波路形状の設計が期待できる．

以上で説明した 2 つの制約条件は，いずれも，作製プロセス精度を確保して設計方法の検証を正確に行うこと，現実的に十分なトレランスが見込まれるレベルの作製プロセスであっても，本研究で提案する設計手法の適用により従来よりも過剰損失の小さい Y 分岐導波路の提供を可能にすることが産業的に有意義であるという考えに基づいて導入している．

Y 分岐の多段接続で構成されるスプリッタにおいては、Y 分岐導波路 1 箇所あたりの損失の波長依存性についても、過剰損失の値と同様に、その接続数に比例して影響が大きくなる。従って、損失の波長依存性の低減も重要な解決課題となる。そこで、「塗りつぶし型」設計を適用した Y 分岐導波路設計においては、光ファイバ通信に利用される S, C, L 帯をカバーする波長帯域内の 5 つの波長 ($\lambda_1, \lambda_2, \lambda_3, \lambda_4, \lambda_5$) = (1250 nm, 1350 nm, 1450 nm, 1550 nm, 1650 nm) について並行して最適化計算を行った。具体的には、各波長について屈折率分布 (導波路幅) を更新するために必要なパラメータ $\text{Im}[\psi^*(x, m\Delta z)\phi(x, (m-1)\Delta z)]$ を計算し、その平均値の正負に基づいて導波路幅を決定した。初期値の導波路形状として、図 4-2(a) に示すテーパ導波路を設定した。最適化計算結果が十分に収束するまで、40 回反復計算を行った。本研究では、初期値の形状を従来の Y 分岐導波路と位置付け、「塗りつぶし型」設計に基づく Y 分岐導波路との比較対象としている。

以降では、具体的な設計結果について論じる。従来のスプリッタが、光ファイバとの接続損失の低減と小型化の両立を目的として 0.4% 程度の比屈折率差 Δ の導波路を採用していることから、はじめに、0.45% Δ の石英系導波路で構成される Y 分岐導波路に「塗りつぶし型」設計を適用した設計結果について述べる。図 4-2(b) に示す入出力導波路の幅は 7 μm , 2 本の出力導波路間の最小ギャップ幅は 2 μm に設定した。入力フィールドは入力導波路の基底モード、目標とする所望の出力フィールドは 2 本の出力導波路の基底モードとして設定した。波面整合法自体は回路長の最適値を決定する手法ではないので、最適化計算を開始する前に、設計領域の長さ、すなわち、テーパ導波路長を設定する必要がある。そこで、より小型で過剰損失の小さい Y 分岐導波路形状を探索するため、テーパ長を 100~500 μm の範囲で 50 μm 間隔に設定し、9 通りの初期値に対してそれぞれ最適化計算を実行した。因みに、実用化されている Y 分岐導波路を構成するテーパ導波路の長さは約 500 μm 程度である。

図 4-4 に各テーパ導波路長に対する「塗りつぶし型」設計の設計結果を示す。導波路幅変動の最大値 ΔW_m に関する制約を導入したため、結果として、光の伝搬方向に沿って滑らかに導波路幅が変化する導波路形状となっている。図 4-4(d)-(i) に示す導波路形状を比較すると、テーパ導波路の終端から 150 μm の範囲は、ほぼ同一形状のマルチモード導波路となっていることが特徴的である。異なるテーパ導波路長の初期値に対して、同一の導波路形状が解として得られていることから、「塗りつぶし型」設計に基づく最適化アルゴリズムが安定的な解に収束していると判断できる。図 4-5(a), (b) は、設計領域長を 300 μm に設定した場合について、初期値のテーパ導波路および「塗りつぶし型」設計により設計した導波路を伝搬するフィールドの強度分布を BPM により計算した結果を示している。BPM 計算に用いた波長は 1550 nm である。図 4-5(c), (d) は設計領域の終端において各導波路から出力されるフィールドの強度分布をそれぞれ示している。図 4-5(c), (d) には、2 本の出力導波路の基底モード、すなわち、最適化計算で目標とする所望の出力フィールド分布として設定したフィールドの強度分布も比較のためにプロットしている。BPM 計算によって求めた過剰損

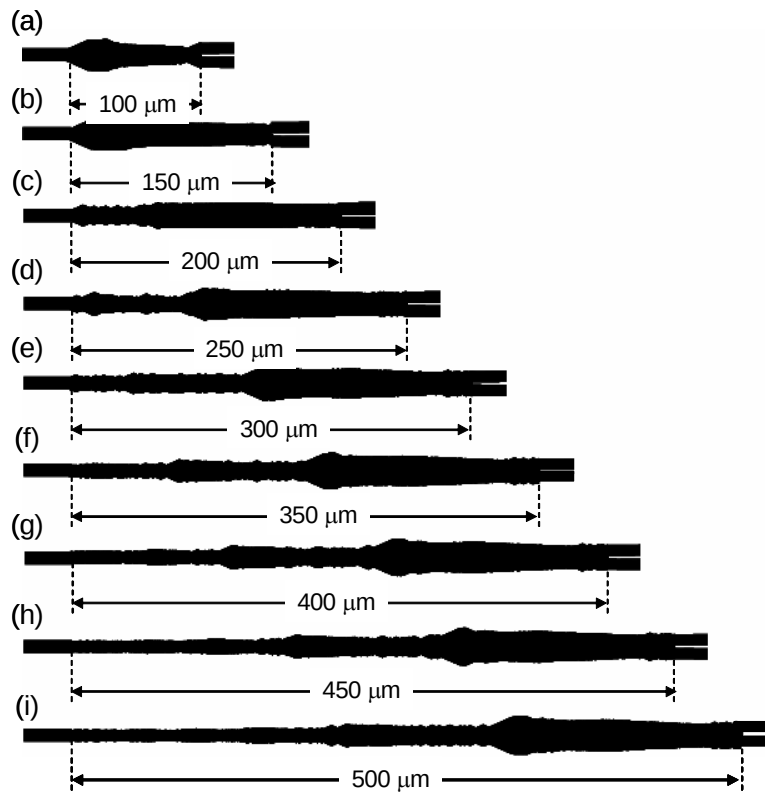


図 4-4 0.45% ΔY 分岐導波路の設計結果

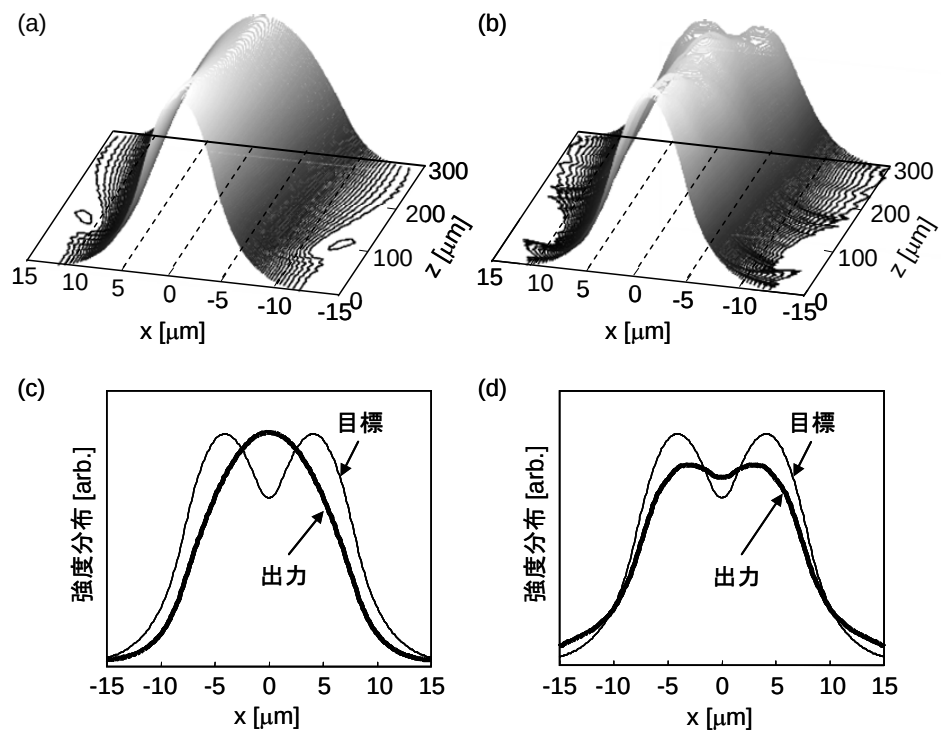


図 4-5 BPM による伝搬フィールド計算結果 (0.45% ΔY 分岐導波路)
(a, c) テーパー導波路, (b, d) 「塗りつぶし型」設計

失は、初期値のテーパ導波路が 0.31dB であるのに対し、「塗りつぶし型」設計を適用した Y 分岐（図 4-4(e)）は 0.09dB であった。図 4-4(c), (d)において「塗りつぶし型」設計の出力フィールドの強度分布が、2 本の出力導波路位置に対応して 2 つの強度ピークを有する点が、低損失化の原因となっている。この双峰の強度ピークは、マルチモード導波路部分で励起された 2 次モードより実現されている。

4.2.2 実験的検証結果

次に、実験結果について述べる。設計した Y 分岐導波路を 0.45% Δ 石英系導波路で作製した。コア層の厚さは 7 μm である。図 4-6 は、透過スペクトルの測定結果から算出した波長 1550nm における Y 分岐導波路の過剰損失を、テーパ導波路長の関数として示している。ここで示す過剰損失とは、Y 分岐導波路の挿入損失から PLC チップとファイバの接続損失、および 2 分岐の原理損失 3dB を引いた値である。すべてのテーパ導波路長について、「塗りつぶし型」設計の適用により Y 分岐導波路の過剰損失が低減されている。この結果は、波面整合法の適用により損失の原因となるモード不整合の影響が低減されていることを示している。

テーパ導波路長が 100~300 μm の範囲では、導波路長が長くなるに従い、損失が低下している。これは、入力フィールドを目的の所望の出力フィールドに変換するために、ある一定長のマルチモード導波路が必要となることを反映した結果である。一方で、テーパ導波路長が 300 μm 以上の範囲では、導波路長が長くなるに従い、僅かではあるが損失が増加している。この傾向は、計算モデルと実際に作製した導波路との間の僅かな誤差が蓄積した結果であり、導波路長が長くなるのに従い、その影響が増大することに原因があると考えられる。

以上の結果から、導波路長 300 μm の設計結果（図 4-4(e)）を最適な Y 分岐形状として採用した。図 4-7 は導波路長 300 μm の Y 分岐導波路の過剰損失の波長依存性を示している。

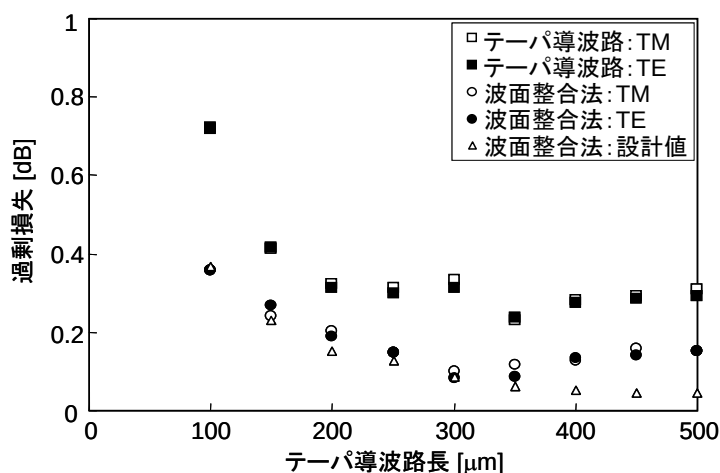


図 4-6 過剰損失とテーパ導波路長の関係 (0.45% Δ Y 分岐導波路)

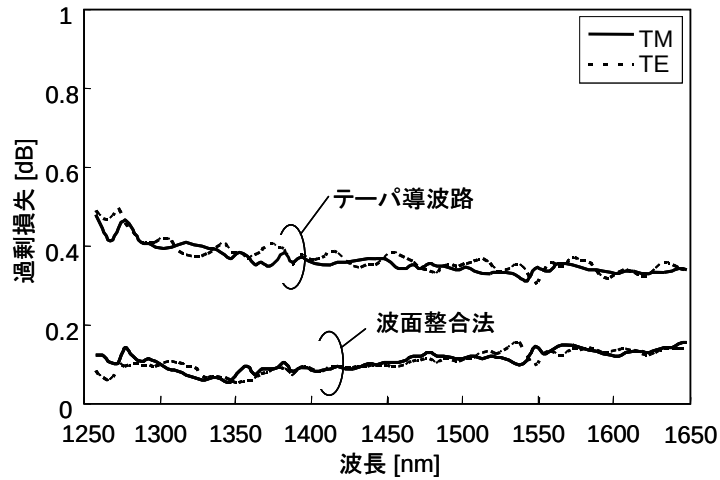


図 4-7 0.45% Δ Y 分岐導波路の過剰損失の波長依存性

波長帯域 1250～1650nm において、テーパ導波路型 Y 分岐の過剰損失が 0.35dB 以上であるのに対し、「塗りつぶし型」設計の Y 分岐の過剰損失は 0.2dB 以下まで低減されている。過剰損失の波長依存性に関しては、テーパ導波路型が 0.15dB であるのに対し、波面整合法の適用により 0.1dB 以下に抑制されている。PDL はテーパ導波路型、「塗りつぶし型」設計ともに、0.1dB 以下であった。

これらの実験結果から、波面整合法に基づく「塗りつぶし型」設計の適用により、波長依存性や PDL などの特性劣化を伴わず、従来と比較して小型かつ低損失な Y 分岐導波路を実現したことを確認した。当然、この損失低減効果がもたらすメリットは、Y 分岐を多段接続した大規模なスプリッタ回路においてより顕著となる。本検討で設計した Y 分岐導波路を 5 段直列接続した 1×32 スプリッタに関する検討結果について、4.3 節で述べる。

4.2.3 導波路の比屈折率差 Δ と損失低減効果の関係

近年の PLC デバイスの集積化の進展に伴い、アクセス系スプリッタに留まらず、集積型 PLC デバイスにおける信号光の合分岐用回路要素として、Y 分岐導波路の重要性が高まっている。4.1 節において、導波路のコアとクラッドの比屈折率差 Δ の上昇に伴い Y 分岐導波路の過剰損失の増加が避けられない原因を説明したが、集積型 PLC デバイスに適した高 Δ 導波路においてもアクセス系スプリッタと同様に、Y 分岐導波路には小型かつ低損失であることが強く求められる。本節では、集積型 PLC デバイスの研究開発のターゲットとなっている 1.5% Δ および 2.5% Δ 導波路における、波面整合法に基づく「塗りつぶし型」設計を利用した Y 分岐導波路の検討結果について論じる。

図 4-8 は 1.5% Δ 導波路について、波面整合法により設計した Y 分岐導波路の波長 1550nm における過剰損失の測定結果を、導波路長の関数としてプロットしたグラフである。入出力導波路の幅は 4.5 μm 、2 本の出力導波路間のギャップの最小幅は 2 μm 、コア層の厚さは 4.5 μm である。その他の計算の諸条件は 0.45% Δ Y 分岐導波路の設計で説明した条件とすべ

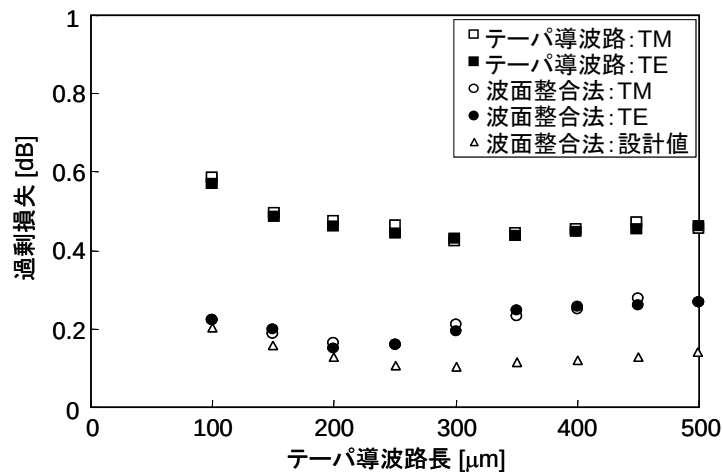


図 4-8 過剰損失とテーパー導波路長の関係 (1.5% Δ Y 分岐導波路)

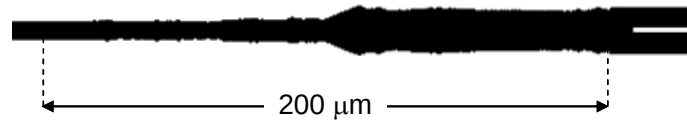


図 4-9 1.5% Δ Y 分岐導波路の設計結果

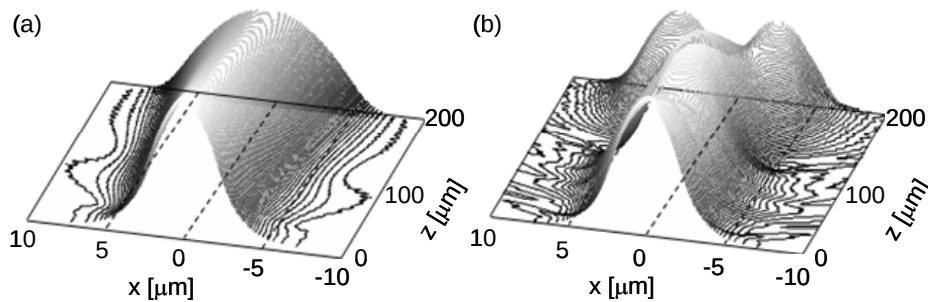


図 4-10 BPM による伝搬フィールド計算結果 (1.5% Δ Y 分岐導波路)

(a) テーパー導波路, (b) 「塗りつぶし型」設計

て同一である. 1.5% Δ についても 0.45% Δ における検討と同様に, 小型かつ低損失という観点から, 導波路長 200 μm の設計結果を最適な Y 分岐形状として選定した. 図 4-9 に, 導波路長 200 μm として設計した 1.5% Δ Y 分岐の導波路パターンを示す.

図 4-10(a), (b)は, 設計領域長を 200 μm に設定した場合について, 初期値のテーパー導波路および「塗りつぶし型」設計により設計した導波路を伝搬するフィールドの強度分布を BPM により計算した結果である. BPM 計算に用いた波長は 1550nm である. BPM 計算によって求めた過剰損失は, 初期値のテーパー導波路が 0.5dB であるのに対し, 「塗りつぶし型」設計を適用した Y 分岐 (図 4-9) は 0.15dB であった. 図 4-5 に示した 0.45% Δ 導波路の検討結果と同様に, 波面整合法設計を適用した導波路の出力フィールドの強度分布が, 2 本の出力導

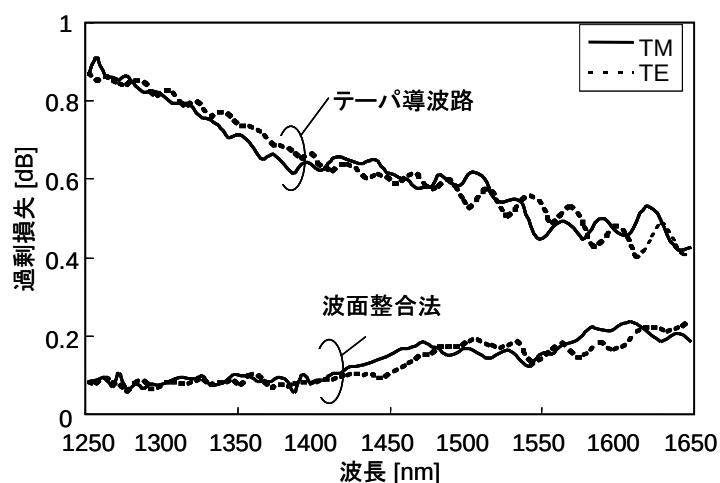


図 4-11 1.5% Δ Y 分岐導波路の過剰損失の波長依存性

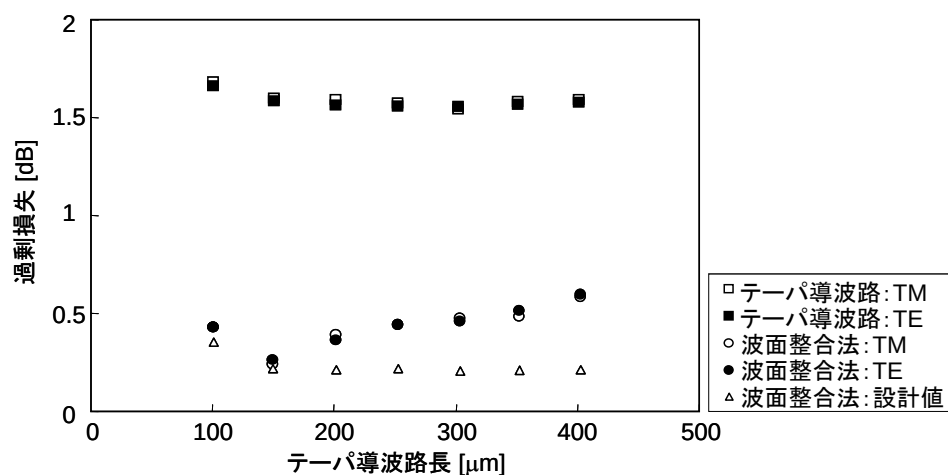


図 4-12 過剰損失とテーパ導波路長の関係 (2.5% Δ Y 分岐導波路)

波路位置に対応して双峰の強度ピークを有する点が、低損失化の原因となっている。

図 4-11 は導波路長 200 μm の「塗りつぶし型」Y 分岐導波路の過剰損失の波長依存性を示している。波長帯域 1250～1650nm において、テーパ導波路型 Y 分岐の過剰損失が 0.4dB 以上であるのに対し、「塗りつぶし型」設計の Y 分岐の過剰損失は 0.2dB 以下まで低減されている。過剰損失の波長依存性は波面整合法の適用により 0.1dB となっており、波長依存性の低減を目的として複数波長で並列して最適化計算を行うという設計指針が有効であると確認できた。

図 4-12 は 2.5% Δ 導波路について、波面整合法により設計した Y 分岐導波路の波長 1550nm における過剰損失の測定結果を、導波路長の関数としてプロットしたグラフである。入出力導波路の幅は 3.5 μm 、2 本の出力導波路間のギャップの最小幅は 2 μm 、コア層の厚さは 3.5 μm である。1.5% Δ 導波路の検討と同様、計算の諸条件は 0.45% Δ Y 分岐導波路の設計で説明した条件と同一である。この実験結果から、2.5% Δ については導波路長 150 μm の設計結果を最適解として選定した。図 4-13 に、2.5% Δ について最適形状として選定した導波路

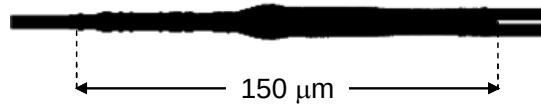


図 4-13 2.5% ΔY 分岐導波路の設計結果

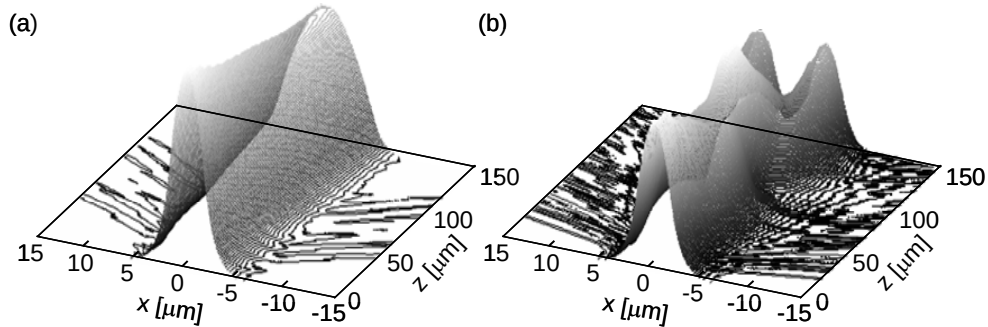


図 4-14 BPM による伝搬フィールド計算結果 (2.5% ΔY 分岐導波路)

(a) テーパー導波路, (b) 「塗りつぶし型」設計

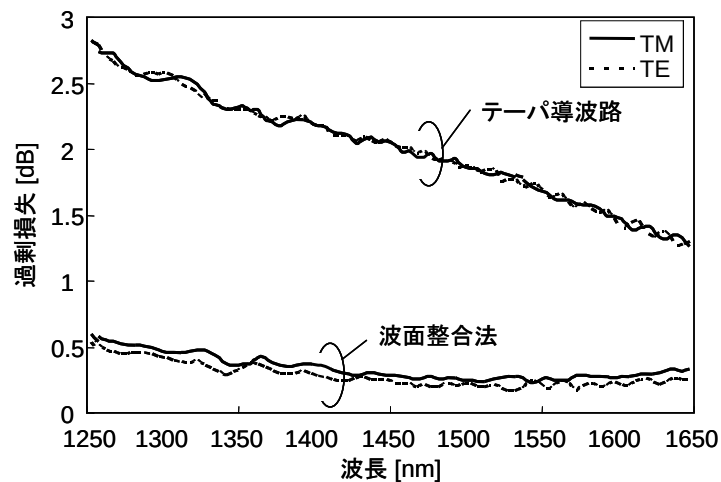


図 4-15 2.5% ΔY 分岐導波路の過剰損失の波長依存性

パターンを示す。図 4-14(a), (b)は、設計領域長を $150 \mu\text{m}$ に設定した場合について、初期値のテーパー導波路および「塗りつぶし型」設計により設計した導波路を伝搬するフィールドの強度分布を BPM により計算した結果である。BPM 計算に用いた波長は 1550nm である。BPM 計算によって求めた過剰損失は、初期値のテーパー導波路が 1.57dB であるのに対し、「塗りつぶし型」設計を適用した Y 分岐（図 4-13）は 0.21dB であった。図 4-15 は導波路長 $150 \mu\text{m}$ の「塗りつぶし型」Y 分岐導波路の過剰損失の波長依存性を示している。波長帯域 $1250 \sim 1650\text{nm}$ において、テーパー導波路型 Y 分岐の過剰損失が 1.4dB 以上であるのに対し、「塗りつぶし型」設計の Y 分岐の過剰損失は 0.6dB 以下まで低減されている。

0.45% , 1.5% , 2.5% Δ について設計した Y 分岐導波路の過剰損失の波長 1550nm における

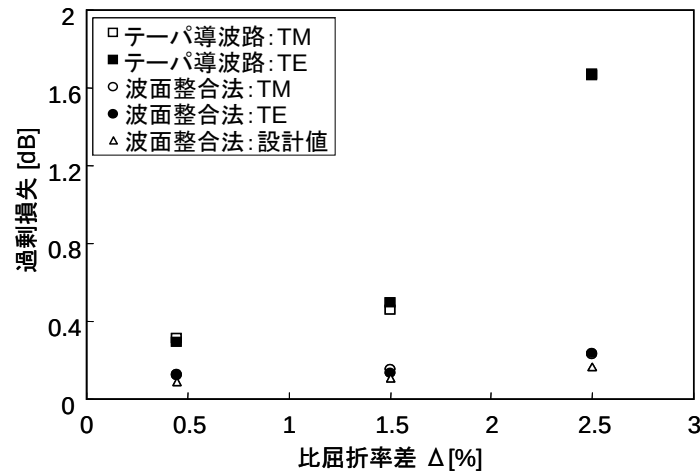


図 4-16 Y 分岐導波路の過剰損失と導波路 Δ の関係

測定結果を図 4-16 に示す．すべての比屈折率差 Δ において，波面整合法設計の適用により，テーパ導波路型 Y 分岐よりも損失が小さくなっていることが分かる．また，比屈折率差 Δ の増加に伴い，テーパ導波路型 Y 分岐の損失が増加するのに対して，波面整合法設計を適用した Y 分岐の損失の増加は抑制されている．この結果は，波面整合法設計が導波路の比屈折率差 Δ に係わらず有効であり，特に，集積化に適した高 Δ Y 分岐導波路の低損失化により有効であることを示している．1.5% Δ Y 分岐導波路の機能 PLC デバイスへの適用例について，4.4 節で述べる．

4.3 アクセス網用 1×32 スプリッタへの適用

本節では，前節で述べた波面整合法設計による Y 分岐導波路の実用化検討として行った，0.45% Δ ，導波路長 300 μm の Y 分岐導波路（図 4-4(e)）の 1×32 スプリッタへの適用検討結果について述べ，実用化の観点から，本研究で得られた特性改善効果の有効性を説明する．

1×32 スプリッタのレイアウトを図 4-17 に示す．Y 分岐の 5 段直列接続構成で，31 箇所同一の Y 分岐導波路が配置されている．PLC のチップ出力端において 32 本の出力導波路を 127 μm 間隔で配置し，ファイバブロック部品と接続する構成となっている．PLC チップ

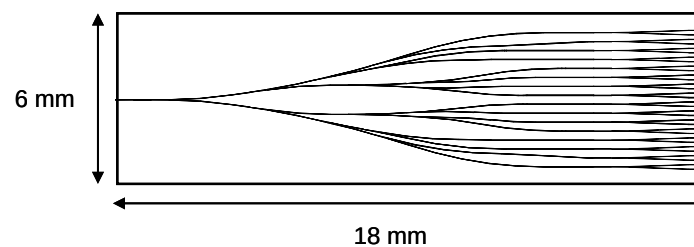


図 4-17 1×32 スプリッタのレイアウト

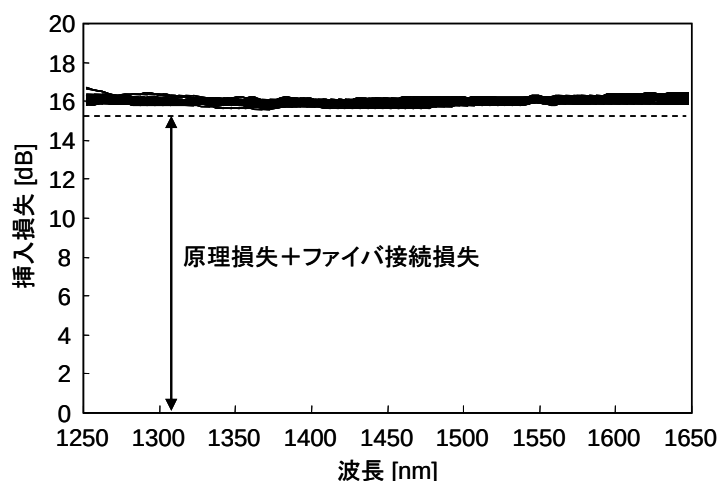


図 4-18 1×32 スプリッタの挿入損失測定結果

のサイズは幅 6mm、長さ 18mm である。0.4% Δ 導波路で作製されている従来の 1×32 スプリッタ[15]と比較すると、導波路の比屈折率差 Δ を 0.4%から 0.45%に増加させることにより導波路の曲げ半径を 15mm から 12mm に小さくすることが可能となるため、結果として、従来と比較してチップサイズが長さ方向に 6mm 短縮されている。4 インチウエハを使用して 1×32 スプリッタを作製する場合、従来サイズでは 1 ウエハにつき 32 チップ收容可能であったが、6mm の短尺化により 1 ウエハ当り 48 チップの收容が可能となる。これは、同一の導波路作製工程で生産量が 1.5 倍になることを意味しており、大幅な低コスト化に寄与することが期待される。

図 4-18 に、作製したスプリッタの挿入損失を示す。グラフは、32 本の出力ポートの測定結果を重ね書きして表している。波長 1550nm における挿入損失の平均値は 16.0dB である。この挿入損失は、PLC チップと入出力ファイバの接続損失 0.3dB、32 分岐の原理損失 15.1dB を含んだ値である。スプリッタの特性として重要となる PDL は 0.3dB 以下、挿入損失の波長依存性は 0.4dB 以下であった。これらの光学特性は、[15]で報告されている従来の 1×32 スプリッタと同等のレベルである。以上の結果から、波面整合法により設計した 0.45% Δ Y 分岐導波路の採用により、光学特性の劣化を伴わずに、1×32 スプリッタの長さ方向のサイズを従来の 24mm から 18mm まで小型化することに成功したことを確認した。

実用上の観点では、製造プロセスにおける歩留りがコストに直結するため、重要な要素となる。波面整合法で設計した Y 分岐導波路は、従来の一般的な導波路形状とは異なり、幅が変調された構造となっていることから、その作製トレランスが懸念される。そこで、導波路作製プロセスにおける誤差要因が、波面整合法で設計した Y 分岐導波路の特性に及ぼす影響について検証した。製造誤差として、エッチング工程における導波路幅のシフトが挙げられる。一般的に、コア層のエッチング工程においては、レジストに転写された導波路パターンよりもエッチング後のコア幅の方が狭くなる。従って、エッチング後のコア幅と設計値を一致させるためには、フォトマスクを設計する段階で導波路の幅を設計値よりエッチングシフト分だけ広く設定することが必要となる。エッチング条件の変動により、

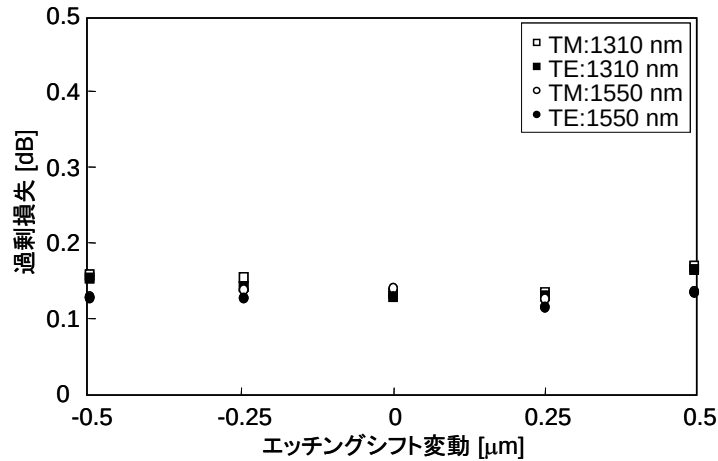


図 4-19 エッチングシフト変動と過剰損失の関係 (1×2)

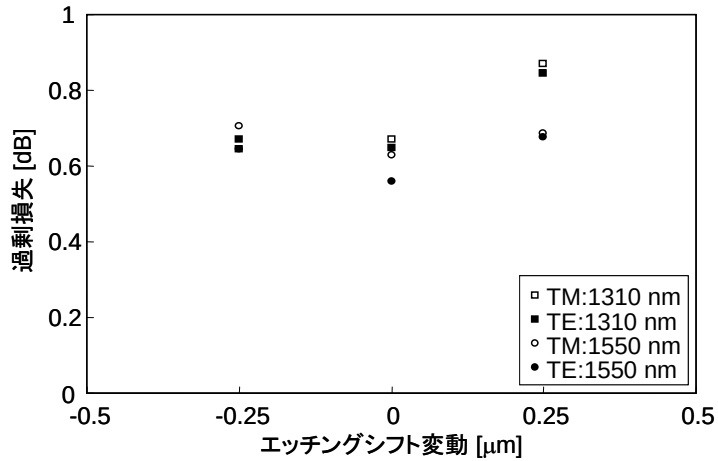


図 4-20 エッチングシフト変動と過剰損失の関係 (1×32)

パターンシフト量も変化する可能性があるため、Y 分岐導波路の特性はエッチングシフトの変動に対して十分なトレランスを有することが望ましい。

エッチングシフト変動に対するトレランスを評価するため、本研究では、想定されるパターンシフト量をパラメータとして設定し、本来のパターンシフト量より Δs だけ導波路幅を変化させたパターンを同一ウエハ上に作製した。図 4-19 は Y 分岐導波路 1 段あたりの過剰損失と Δs の関係を示している。グラフにおいて、 $\Delta s = 0$ とは作製後の導波路幅が設計値と一致している場合、 $\Delta s = +0.25$ とは作製後の導波路幅が設計値よりも $0.25 \mu\text{m}$ 広がっている場合を意味している。図 4-20 は作製した 1×32 スプリッタの過剰損失と Δs の関係を示している。1×32 スプリッタにおける過剰損失の変動は、波長 1310nm, 1550nm に対してそれぞれ 0.2dB および 0.1dB であった。 $\Delta s = \pm 0.25 \mu\text{m}$ は実際に想定されるパターンシフト変動量より 2 倍以上大きな値であることから、「塗りつぶし型」設計を適用した導波路幅変調パターンが実用上十分なエッチングシフト変動に対するトレランスを有することが確認できた。

4.4 光多値変調器用 1×4 スプリッタへの適用

本節では、波面整合法設計を適用した高 ΔY 分岐導波路の機能性 PLC デバイスへの適用例として、石英系 PLC と LiNbO_3 (LN) 位相シフタアレイのハイブリッド集積技術で実現された DQPSK 変調器について述べる[17, 18]. DQPSK 変調方式は電子回路の動作速度に対して 2 倍の伝送速度が実現可能であること、狭帯域な信号スペクトルにより周波数利用効率の拡大も可能となることなどから、WDM 伝送システムの更なる大容量化に向けた有力な変調方式として活発に検討されている. DQPSK 変調器としては、並列に配置した 2 つのマッハツェンダ(Mach-Zehnder : MZ)型変調器をさらに上位の MZ 型変調器の各アームに配置した構成が用いられている. 石英系導波路で構成される MZ 型変調器における位相シフト機能は熱光学(Thermo Optic : TO)効果で実現されるが、TO 位相シフタの応答速度は 1msec 程度であり、変調器の帯域としては数 kHz が限界である. そこで、石英系 PLC の位相シフタ部分を LN 導波路に置き換えて電気光学(Electro Optic : EO)効果による高速動作を実現する構成として、石英系 PLC と LN 位相シフタのハイブリッド集積が検討されている. 石英系 PLC と LN 位相シフタのハイブリッド集積技術の進展に関しては、[19, 20]などで詳細が解説されている. 図 4-21 に石英系 PLC-LN ハイブリッド集積技術で作製された DQPSK 変調器の回路構成を示す. 図 4-21(a)に示す DQPSK 変調器は、位相変調器を 4 アレイ集積した LN 導波路チップと 2 つの 1×4 合分岐 PLC チップを直列接続した 3 基板構成となっている. 図 4-21(b)は(a)に示す DQPSK 変調器の後段に折り返し導波路を介して RZ パルスカーバ用強

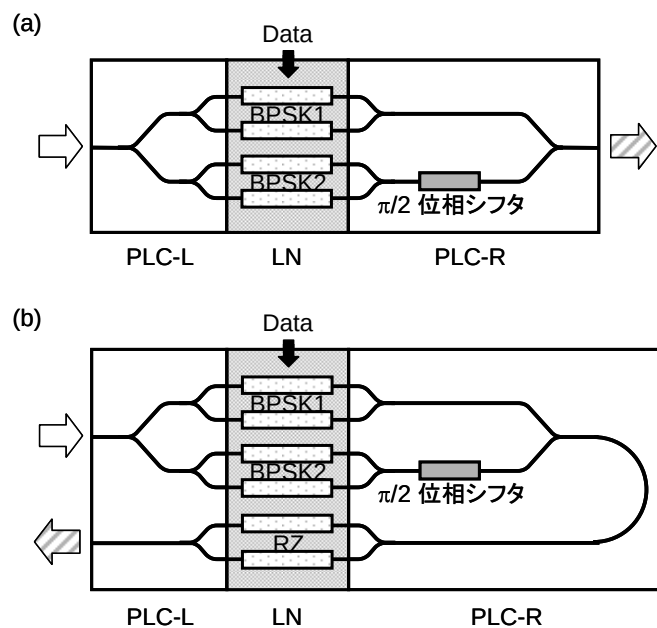


図 4-21 DQPSK 変調器の回路構成

(a) DQPSK 変調器, (b) RZ-DQPSK 変調器

度変調器を一体集積した RZ-DQPSK 変調器の構成である．このような高性能かつ小型な変調器の実現は LN 導波路単体では困難であり，回路設計の柔軟性や低損失性に優れた石英系導波路と，高速変調器としての特性を備えた LN 導波路，両方の利点を同時に実現することを可能とするハイブリッド集積技術の特徴的な成果であると言える．図 4-21 に示すように，DQPSK 変調器内には 1×4 スプリッタが 2 箇所，RZ-DQPSK 変調器内には 1×4 スプリッタ 2 箇所に加えて 1×2 スプリッタが 2 箇所に必要となる．これらの合分岐部分には，低損失性，均等な分岐比，広帯域性が必要となるため，Y 分岐導波路の採用が望ましい．一方で，石英系 PLC 回路部分の小型化や，LN 導波路と石英系 PLC の接続損失低減のために石英系導波路内のモードフィールド径を LN 導波路と一致させる必要があるなどの理由から，石英系 PLC は $1.5\% \Delta$ 導波路で作製する必要がある．そこで，波面整合法により設計した $1.5\% \Delta$ Y 分岐導波路を図 4-21 に示す DQPSK 変調器の合分岐部分に適用することで，従来技術では困難であった高機能，小型かつ低損失な DQPSK 変調器の実現を検討した． 1×2 分岐の光学特性は 4.2 節で説明したので，本節では 1×4 分岐部分の特性について述べる．図 4-9 に示す Y 分岐導波路を 2 段直列接続して構成した 1×4 スプリッタの過剰損失の測定結果を図 4-22 に示す．なお，適用目的が DQPSK 変調器であることから，波長帯域としては，C 帯および L 帯に焦点を当てて検討を行った．グラフでは 4 出力の測定結果を重ね書きして表している．波長 1550nm における過剰損失の平均値は 0.3dB である．波長帯域 1525～1625nm において，過剰損失の波長依存性および 4 つの出力ポート間の損失ばらつきは，それぞれ 0.1dB 以下であった．

$1.5\% \Delta$ Y 分岐導波路についても， 1×32 スプリッタにおける検討と同様に，エッチングシフト変動 Δs が過剰損失に及ぼす影響について調査した．図 4-23 は Y 分岐導波路を 2 段直列接続した 1×4 スプリッタの過剰損失と Δs の関係を示している．実際に想定されるパターンシフト変動量より大きな値 $\Delta s = 0.4 \mu\text{m}$ においても，過剰損失の増加は 0.1dB 以下であることから，実用上十分なエッチングシフト変動に対するトレランスを有することが確認できた．

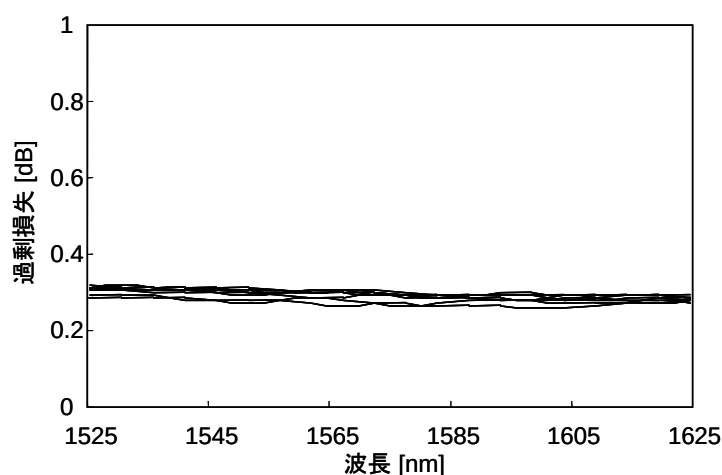


図 4-22 1×4 スプリッタの過剰損失測定結果

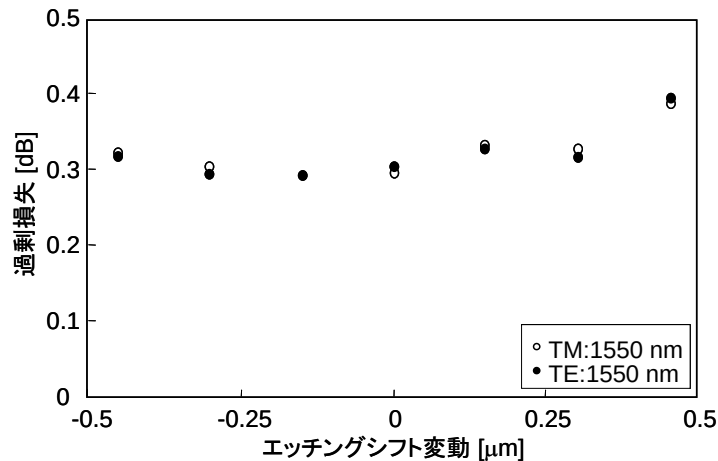


図 4-23 エッチングシフト変動と過剰損失の関係 (1×4)

以上の検討結果から、1.5% ΔY 分岐導波路を多段接続した構成においても、波面整合法設計の適用により、広帯域にわたり低損失かつ分岐比の安定したスプリッタの作製が可能であることを確認した。実際に石英系 PLC と LN 位相シフタアレイのハイブリッド実装技術により作製した DQPSK 変調器, および RZ-DQPSK 変調器の挿入損失は, それぞれ 6.5dB, 7.9dB 以下であり, 従来構成の変調器と比較して, 十分な損失低減効果を確認することができた。また, 変調特性に問題がないことも確認されている。それぞれの変調器の変調特性については, [17, 18]において詳細が報告されている。

4.5 Y 分岐導波路の分岐比安定化

光回路における合分岐要素として, Y 分岐導波路には 2 出力に対して安定したパワー分岐を実現する特性が求められる。2 本の出力導波路に対して均等 (1:1) にパワー分岐する場合には, Y 分岐導波路を入力導波路の中心軸に対して線対称な形状として設計する必要がある。ただし, 入力導波路に対して対称性を保つ導波路形状であっても, 非対称なフィールドが入力した場合は出力分岐比が設計値 (1:1) から変動する。そこで, 非対称成分が混入した入力フィールドに対する分岐比変動の抑制を目的として, 前節までとは異なる手法で波面整合法を Y 分岐導波路設計に適用した。本節では, その設計指針と具体的な設計例を説明し, 分岐比安定化効果を実証した実験結果について論じる。

4.5.1 Y 分岐導波路の分岐比安定化に向けた設計指針

入力導波路に対して対称な形状の Y 分岐導波路における分岐比変動は, 入力フィールドの中心位置と入力導波路の中心軸との位置ずれに起因している[21]。例えば, PLC チップ端における入力ファイバと入力導波路の軸ずれで励起された高次モードが回路内を伝搬中に

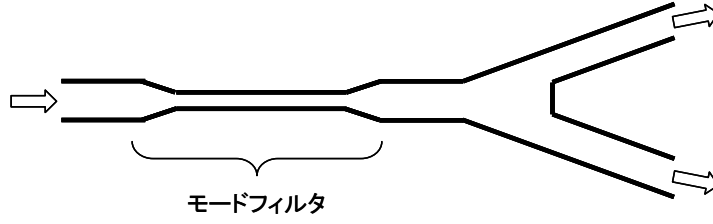


図 4-24 Y 分岐導波路における分岐比安定化手法[22]

完全に除去されない場合や、発生した放射モードが後段の導波路で伝搬光として再結合する場合などは、Y 分岐導波路に入射するフィールドに入力導波路の基底モード以外の非対称な成分が含まれており、分岐比変動の原因となる。入力フィールドに含まれる非対称成分を除去する方法として、図 4-24 に示すような Y 分岐導波路前段に狭幅導波路から構成される高次モードフィルタの導入が提案されている[22]。しかし、モードフィルタの導入は回路サイズの大型化につながるため、小型化の観点からは好ましい手法とは言えない。そこで、本検討では、入力導波路の基底モードに対しては低損失分岐回路として機能するのと同時に、非対称な入力フィールド成分を除去するモードフィルタとしても機能する Y 分岐導波路を、波面整合法設計により実現することを目的とした。

4.5.2 分岐比安定化 Y 分岐導波路の設計

次に、具体的な設計方法を説明する。本検討では、入力フィールドの主な非対称成分として入力導波路の 1 次モードを考える。すなわち、基底モードの入力に対して低損失かつ 1 次モードの伝搬を抑制する Y 分岐導波路の設計が目的である。設計手順を説明するために、波面整合法設計における屈折率変更パラメータを次式で表す。

$$\Theta_n(x, m\Delta z) = \text{Im}[\psi_n^*(x, m\Delta) \phi_n(x, (m-1)\Delta z)] \quad (4.2)$$

ここで、 $\phi_n(x, 0)$ は入力導波路の n 次モード、 $\psi_n(x, M\Delta z)$ は 2 本の出力導波路が並んだ出力端における n 次モードを表している。入力フィールドの基底モード($n=0$)の伝搬損失を低減し、同時に 1 次モード($n=1$)の伝搬を抑制するために、屈折率変更パラメータを次のように設定した。

$$\Theta(x, m\Delta z) = \Theta_0(x, m\Delta z) - \kappa \Theta_1(x, m\Delta z) \quad (4.3)$$

式(4.3)は 0 次モードおよび 1 次モードそれぞれに対して式(4.2)で表される屈折率変更パラメータの線形和である。 κ を正数として 1 次モード伝搬に対する屈折率変更パラメータ $\Theta_1(x, m\Delta z)$ の係数の符号を負にすることで、屈折率変更により 1 次モードの伝搬損失を増加させる、すなわち、1 次モードを除去することが可能になると考えた。ただし、1 次モードの除去は基底モードの伝搬損失増加につながる要因ともなるので、重み付け係数 κ の設定には注意が必要である。以降では、1 次モード入力の場合の伝搬損失が 3dB 以上となることを設計条件とし、その条件を満たす範囲において最小値となった $\kappa = 0.25$ とした場合の設計結果

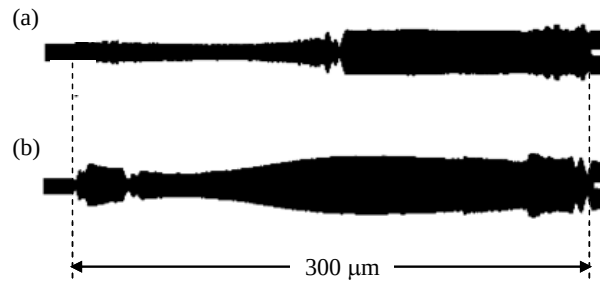


図 4-25 0.75% Δ Y 分岐導波路の設計結果

(a) $\kappa = 0$, (b) $\kappa = 0.25$

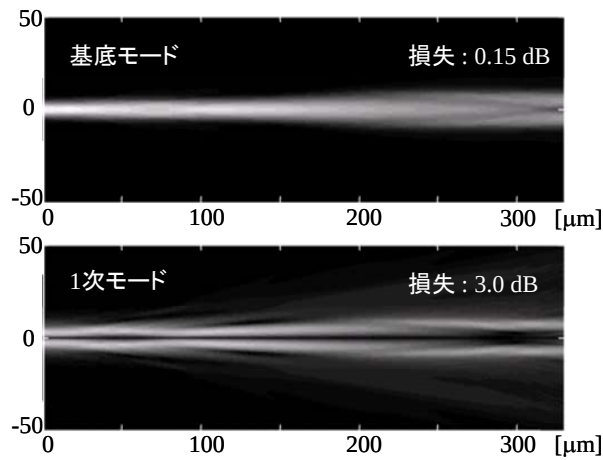


図 4-26 BPM による伝搬フィールド計算結果 ($\kappa = 0.25$)

について説明する．なお，1 次モード除去の効果を確認するために，比較対象として $\kappa = 0$ とした場合についても検討を行ったので，その結果を示し，重み付け係数 κ の効果を論じる．

設計およびサンプル作製は，0.75% Δ 石英系導波路を対象とした．入出力導波路の幅は 7 μm ，コア層の厚さは 6 μm とした．導波路長を 300 μm として設計した Y 分岐導波路の形状を図 4-25 に示す．図 4-25(a)は基底モードのみを考慮した場合 ($\kappa = 0$) の設計結果であり，(b)は 1 次モード除去も考慮した場合 ($\kappa = 0.25$) の設計結果である． $\kappa = 0.25$ の設計パターン（図 4-25(b)）における基底モードおよび 1 次モードの伝搬フィールド計算結果を図 4-26 に示す．計算に用いた波長は 1550nm である．基底モード伝搬の損失が 0.15dB であるのに対し，1 次モード伝搬の損失は 3.0dB であった．一方，図には示していないが， $\kappa = 0$ として設計した場合の計算結果は，基底モード伝搬損失が 0.1dB であり，1 次モード伝搬損失は 0.5dB であった．設計指針通りに， κ の導入により 1 次モード伝搬損失が増加していることが分かる．

4.5.3 実験的検証結果

分岐比ずれ抑制効果を実験的に確認するため、作製したサンプルにおいては図 4-27 に示すように、入力導波路に故意にオフセットを設けて 1 次モードを励起し Y 分岐導波路に入力した。図 4-28 は測定した分岐比変動を入力導波路のオフセット量の関数としてプロットしたグラフである。グラフの縦軸において、分岐比ずれ 0% は均等なパワー分岐 (50% : 50%) に対応している。なお、分岐比変動は入力フィールドにおける基底モード成分と 1 次モード成分の位相差に依存するので、グラフには測定波長 1250~1650nm における分岐比変動の最大値をプロットしている。 $\kappa=0$ とした場合と比較して、 $\kappa=0.25$ とした設計では 1 次モード入力に起因する分岐比ずれが小さくなっており、1 次モード伝搬が抑制されていることを実験的にも確認した。実験結果においてはオフセット量 0 の場合でも分岐比が 50% から僅かにずれているが、これは、オフセット以外の部分で励起された高次モードの混入が原因であると考えている。図 4-29 は $\kappa=0, 0.25$ それぞれの導波路パターンにおける過剰損失の測定結果を示している。波長 1550nm における過剰損失は、 $\kappa=0$ の場合は 0.2dB、 $\kappa=0.25$ の場合は 0.35dB であった。PDL は両者とも 0.1dB 以下である。

Y 分岐 1 段あたりの分岐比ずれは、Y 分岐導波路を多段接続した構成のスプリッタにおいて、その影響が顕著に現れる。本検討の分岐比ずれ抑制効果を実用上の観点から検証するため、Y 分岐を 4 段直接接続した構成の 1×16 スプリッタを作製して光学特性を評価した。

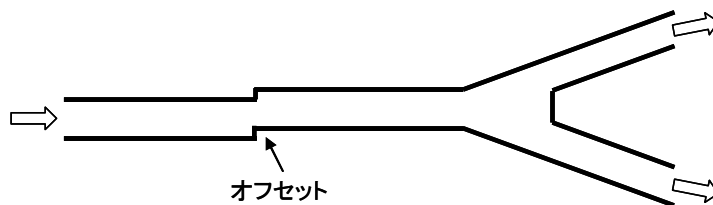


図 4-27 作製したサンプルの回路構成

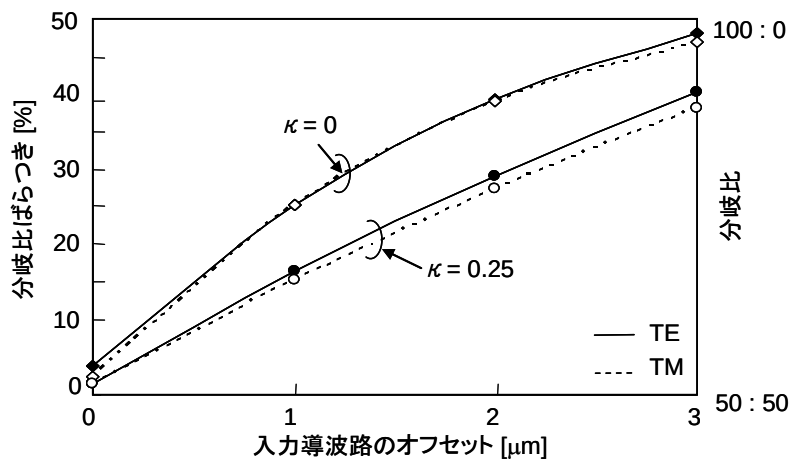


図 4-28 入力導波路オフセットと分岐比ばらつきの関係

図 4-30 は作製した 1×16 スプリッタの挿入損失測定結果を示している. グラフでは 16 出力

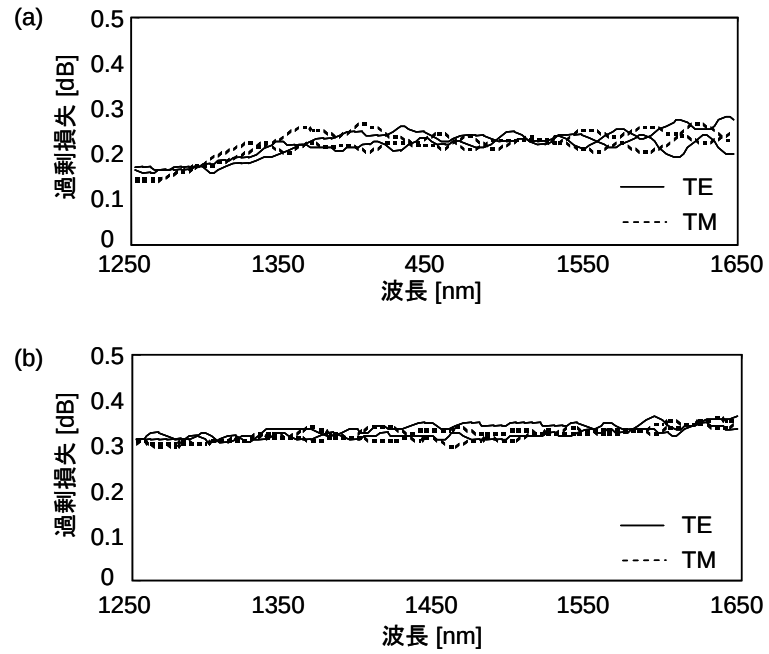


図 4-29 $0.75\% \Delta Y$ 分岐導波路の過剰損失の波長依存性

(a) $\kappa = 0$, (b) $\kappa = 0.25$

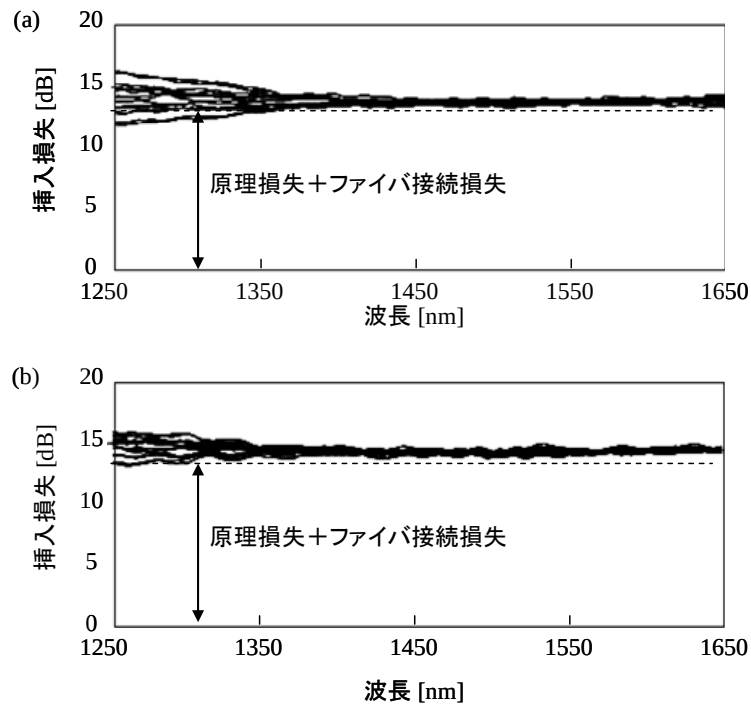


図 4-30 1×16 スプリッタの過剰損失測定結果

(a) $\kappa = 0$, (b) $\kappa = 0.25$

の測定結果を重ね書きして表している．PLC と入出力ファイバの接続損失 0.7dB および 16 分岐の原理損失 12dB を除いた過剰損失は、波長 1550nm において、 $\kappa=0$ の場合は 0.8dB、 $\kappa=0.25$ dB の場合は 1.3dB である．波長 1400nm より短波長側において、 $\kappa=0$ として設計した Y 分岐導波路で構成される 1×16 スプリッタの出力間の損失ばらつきが顕著である．それに対して、 $\kappa=0.25$ として設計した場合は出力間の損失ばらつきが抑制されている．この結果からも、1 次モードの伝搬を抑制する設計手法の有効性を確認することができた．

4.6 計算条件と設計結果の関係

本節では、BPM 計算における離散化単位と波面整合法設計を利用した最適化計算の収束結果との関係について、検証結果を論じる．設計対象としては 4.2 節で述べた $1.5\% \Delta Y$ 分岐導波路を採用する．入出力導波路の幅は $4.5\mu\text{m}$ 、隣接する出力導波路間のギャップの最小値は $2\mu\text{m}$ である．設計領域の幅を $200\mu\text{m}$ 、長さを $200\mu\text{m}$ として設定した．最適化計算結果が十分に収束するまで、40 回反復計算を行った．これらの条件は、4.2 節で述べた $1.5\% \Delta Y$ 分岐導波路の最適構造設計に用いた計算条件と同一である．計算波長は 1550nm とした．なお、計算条件の妥当性を確認することが本検証の主旨であるため、(4.1)式で表わされる導波路幅変化量については、制約条件を除外した．

はじめに、 x 方向の離散化単位 Δx と計算結果の関係について論じる． Δz は一定の値 $0.5\mu\text{m}$ とした．図 4-31 は波面整合法設計の初期値として用いたテーパ導波路における過剰損失の計算結果、および最適化計算の収束結果である．図 4-31(a)に示すテーパ導波路の過剰損失について、 $\Delta x \leq 0.2\mu\text{m}$ の範囲では過剰損失が一定の値 (0.55dB) であり、図 4-8 に示す実験結果 (波長 1550nm における過剰損失 0.6dB) と一致している．それに対して、 $\Delta x \geq 0.5\mu\text{m}$ の範囲では計算結果と実験結果に明確な誤差があり、計算精度として不十分である．この結果から、 Δx を $0.2\mu\text{m}$ 以下とすることで十分な計算精度が確保されることを確認した．図 4-31(b)に示す波面整合法設計の収束結果については、 $\Delta x \leq 0.2\mu\text{m}$ の範囲で過剰損失が一致していることが分かる．図 4-32 に収束結果の導波路形状を示す．形状の違いを明瞭にするために、 x 方向と z 方向で尺度が異なることに留意されたい．導波路幅変化量の制約を除外しているため“スパイク”状のコアパターンが多数出現しているが、“スパイク”部分の細部を除いてその包絡線を導波路パターンとして捉えたと、 Δx への依存性は小さく、同一の形状となっていることが分かる．図 4-33 は、4.2 節で述べた設計手順と同様に、導波路幅変化量の許容最大値を $\Delta W_m / \Delta z = 1$ とした場合の収束結果の導波路形状である．最適化した導波路形状が Δx に依存せず、同一の形状に収束することを確認した．以上で述べたように、 $\Delta x \leq 0.2\mu\text{m}$ と設定することで十分な計算精度が確保されること、波面整合法により最適化した導波路形状が離散化単位 Δx に依存しないことを確認した．

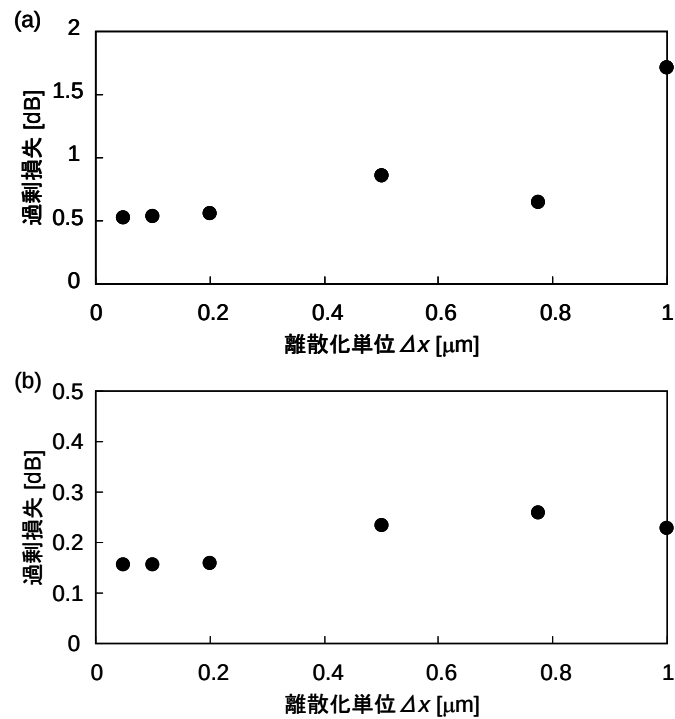


図 4-31 1.5% ΔY 分岐導波路の過剰損失（計算結果）
(a) 初期値（テーパ導波路），(b) 最適化計算の収束結果

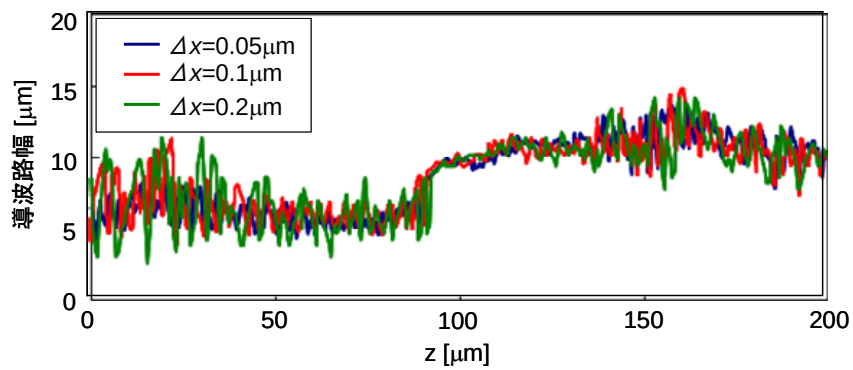


図 4-32 導波路形状（導波路幅変化量の制限なし）

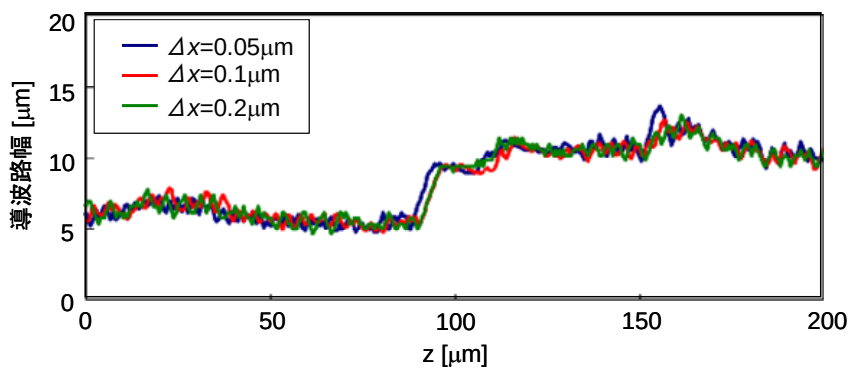


図 4-33 導波路形状（導波路幅変化量の制限あり）

次に、 z 方向の離散化単位 Δz と計算結果の関係について論じる。 Δx は一定の値 $0.2\mu\text{m}$ とした。図 4-34 は波面整合法設計の初期値として用いたテーパ導波路における過剰損失の計算結果、および最適化計算の収束結果である。図 4-34(a)に示すテーパ導波路の過剰損失について、 $\Delta z \leq 1\mu\text{m}$ の範囲では過剰損失が一定の値 (0.55dB) であり、図 4-8 に示す実験結果 (波長 1550nm における過剰損失 0.6dB) と一致している。つまり、 Δz が $1\mu\text{m}$ 以下の範囲において、十分な計算精度が確保されることが分かる。図 4-34(b)に示す波面整合法設計の収束結果については、 $\Delta z \leq 0.5\mu\text{m}$ の範囲で過剰損失が一致している一方で、 $\Delta z > 0.5\mu\text{m}$ では収束結果の損失値が増加している。これは、導波路の分割数が少ないこと、すなわち、設定パラメータ数 (設計自由度) の不足を反映している。十分な設計自由度を確保するという観点から、 $\Delta z \leq 0.5\mu\text{m}$ と設定することが望ましい。図 4-35 に収束結果の導波路形状を示す。導波路幅変化量の制約を除外しているため“スパイク”状のコアパターンが多数出現しているが、“スパイク”部分の細部を除いてその包絡線を導波路パターンとして捉えると、 Δz への依存性は小さく、同一の形状となっていることが分かる。図 4-36 は、導波路幅変化量の許容最大値を $\Delta W_m / \Delta z = 1$ とした場合の収束結果の導波路形状である。最適化した導波路形状が Δz に依存せず、同一の形状に収束することを確認した。以上で述べたように、 $\Delta z \leq 0.5\mu\text{m}$ と設定することで十分な設計自由度が確保されることが、波面整合法により最適化した導波路形状が離散化単位 Δz に依存しないことを確認した。

BPM 計算における離散化単位を小さくするほど導波路の分割数は増加し、設計自由度が大きくなる。また、計算精度の点からも離散化単位は小さくすることが望ましい。ただし、離散化単位を小さくすることは計算コストの増大につながるため、設計に着手するにあたり、妥当な離散化単位を設定することが重要となる。本節で述べた検証結果から、本章で論じた Y 分岐導波路の最適化における計算条件 ($\Delta x = 0.2\mu\text{m}$, $\Delta z = 0.5\mu\text{m}$) が、十分な計算精度と効果的な設計自由度を確保している点を確認した。

4.7 まとめ

本章では、波面整合法に基づく「塗りつぶし型」設計を利用した Y 分岐導波路の高性能化について検討した結果を論じた。はじめに、Y 分岐導波路における損失の原因と、導波路の比屈折率差 Δ と損失の関係について説明し、Y 分岐導波路の低損失化に向けた設計手法を示した。0.45~2.5% Δ 石英系 PLC の Y 分岐導波路に「塗りつぶし型」設計を適用した実験結果を比較し、本手法が集積化に適した高 Δ 導波路において、より顕著な損失低減効果を示すことを明らかにした。実用上重要な PLC デバイスへの適用例として、アクセス網に利用される 1×32 スプリッタ、および DQPSK 変調器を構成する 1×4 スプリッタへの適用検討結果を示し、波面整合法に基づく Y 分岐導波路が、これらのデバイスにおいても有効に機能することを明らかにした。また、分岐比安定化を目的として、Y 分岐導波路に 1 次モー

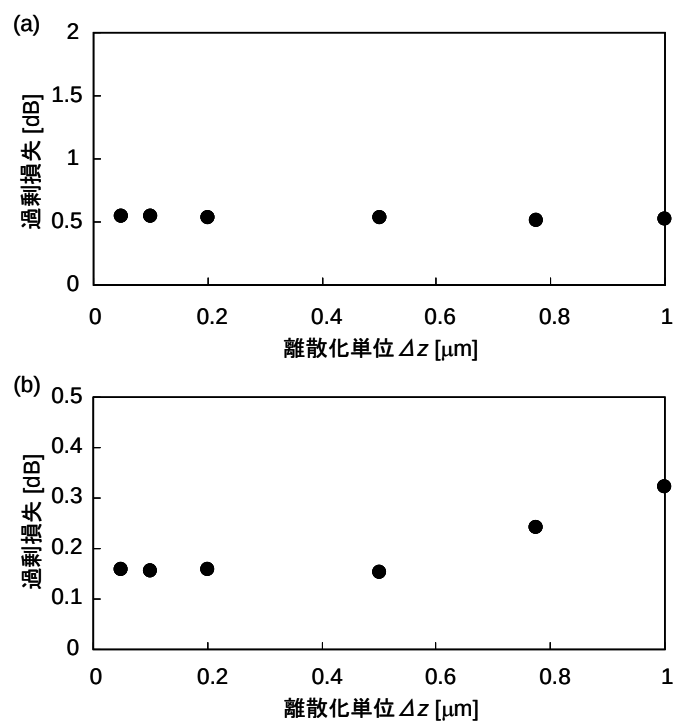


図 4-34 1.5% ΔY 分岐導波路の過剰損失（計算結果）
 (a) 初期値（テーパ導波路），(b) 最適化計算の収束結果

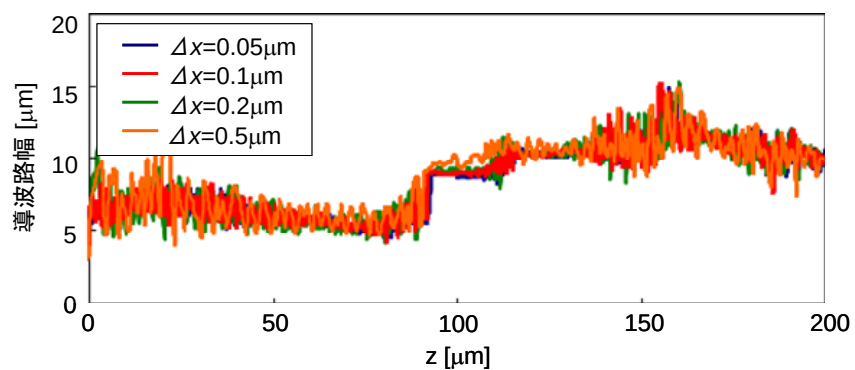


図 4-35 導波路形状（導波路幅変化量の制限なし）

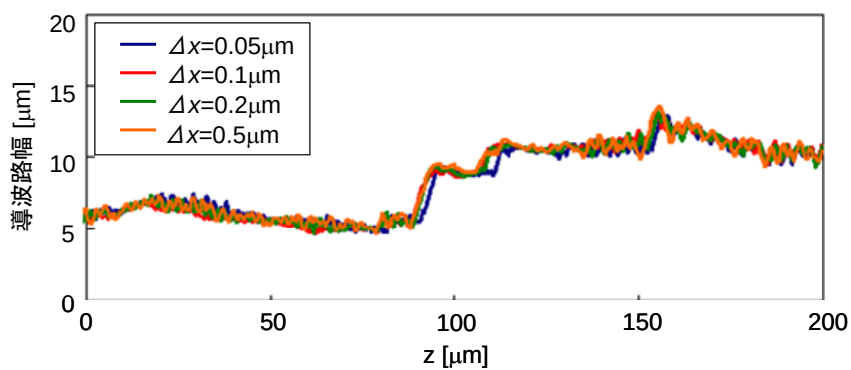


図 4-36 導波路形状（導波路幅変化量の制限あり）

ドに対するフィルタ機能を付加するための設計方法について説明し、その効果を実験的に検証し、有効性を明らかにした。

参考文献

- [1] Y. Inoue, M. Ishii, Y. Hida, M. Yanagisawa and Y. Enomoto, “PLC components used in FTTH access networks,” NTT Technical Review, vol. 3, pp. 22-26, 2005.
- [2] S. Kobayashi, T. Kitoh, Y. Hida, S. Suzuki and M. Yamaguchi, “Y branching silica waveguide 1×8 splitter module,” Electron. Lett., vol. 26, pp. 707-708, 1990.
- [3] Y. Hibino, F. Hanawa, H. Nakagome, M. Ishii and N. Takato, “High reliability optical splitters composed of silica-based planar lightwave circuits,” J. Lightwave Technol., vol. 13, pp. 1728-1735, 1995.
- [4] W. Y. Hung, H. P. Chan and P. S. Chung, “Novel design of wide-angle single-mode symmetric Y-junction,” Electron. Lett., vol. 24, pp. 1184-1185, 1988.
- [5] M. Rangaraj, M. Minakata and S. Kawakami, “Low loss integrated optical Y-branch,” J. Lightwave Technol., vol. 7, pp. 753-758, 1989.
- [6] H. Hatami-Hanza, P. L. Chu and M. J. Lederer, “A new low-loss wide-angle Y-branch configuration for optical dielectric slab waveguides,” IEEE Photon. Technol. Lett., vol. 6, pp. 528-530, 1994.
- [7] H. P. Chan, S. Y. Cheng and P. S. Chung, “Low loss wide-angle symmetric Y-branch waveguide,” Electron. Lett., vol. 32, pp. 652-654, 1996.
- [8] M. H. Hu, J. Z. Huang, R. Scarmozzino, M. Levy and R. M. Osgood, Jr., “A low-loss and compact waveguide Y-branch using refractive-index tapering,” IEEE Photon. Technol. Lett., vol. 9, pp. 203-205, 1997.
- [9] M. Saito, H. Ono and H. Takahashi, “Design of a low-loss Y-branch optical waveguide,” Jpn. J. Appl. Phys. vol. 38, pp. 115-116, 1999.
- [10] W. C. Chang and H. B. Lin, “A novel low-loss wide-angle Y-branch with a diamond-like microprism,” IEEE Photon. Technol. Lett., vol. 11, pp. 683-685, 1999.
- [11] T. Yabu, M. Geshiro and S. Sawa, “New design method for low-loss Y-branch waveguides,” J. Lightwave Technol., vol. 19, pp. 1376-1384, 2001.
- [12] Q. Wang, S. He and L. Wang, “A low-loss Y-branch with a multimode waveguide transition section,” IEEE Photon. Technol. Lett., vol. 14, pp. 1124-1126, 2002.
- [13] Q. Wang, J. Lu and S. He, “Optimal design method of a low-loss broadband Y-branch with a multimode waveguide section,” Applied Optics, vol. 41, pp. 7644-7649, 2002.

- [14] J. Gamet and G. Pandraud, "Ultralow-loss 1×8 splitter based on field matching Y junction," IEEE Photon. Technol. Lett., vol. 16, pp. 2060-2062, 2004.
- [15] Y. Hida, T. Fukumitsu, F. Hanawa, Y. Enomoto, S. Sumida and N. Takato, "Highly compact silica-based PLC-type 1×32 splitters using $127\mu\text{m}$ -spacing output and 0.4% - Δ waveguides," Electron. Lett., vol. 34, pp. 75-76, 1998.
- [16] T. Mizuno, T. Kitoh, M. Itoh, T. Saida, T. Shibata and Y. Hibino, "Optical spotsize converter using narrow laterally tapered waveguide for planar lightwave circuits," J. Lightwave Technol., vol. 22, pp. 833-839, 2004.
- [17] T. Yamada, Y. Sakamaki, T. Saida, A. Kaneko, A. Sano and Y. Miyamoto, "86-Gbit/s differential quadrature phase-shift-keying modulator using hybrid assembly technique with planar lightwave circuit and LiNbO_3 devices," LEOS2006, ThDD4, 2006.
- [18] T. Yamada, Y. Sakamaki, T. Shibata, A. Kaneko, A. Sano and Y. Miyamoto, "Compact 111-Gbit/s integrated RZ-DQPSK modulator using hybrid assembly technique with silica-based PLCs and LiNbO_3 devices," OFC2008, OThC3, 2008.
- [19] T. Yamada, M. Ishii, Y. Sakamaki, S. Mino, A. Kaneko, A. Sano and Y. Miyamoto, "High-speed optical functional modulators using hybrid assembly technique with silica-based planar lightwave circuits and LiNbO_3 devices," IPNRA2007, ITuC2, 2007.
- [20] H. Yamazaki, T. Yamada, Y. Sakamaki, A. Kaneko, A. Sano, H. Masuda and Y. Miyamoto, "Advanced optical modulators with hybrid configuration of silica-based PLC and LiNbO_3 phase-shifter array for ultra-high-speed transport networks," First ITU-T Kaleidoscope Academic Conference, pp. 237-244, 2008.
- [21] L. J. V. Vicencio, A. V. Khomenko, J. L. A. Valenzuela, R. Cardoso, D. Salazar, H. Marquez and H. Porte, "Asymmetry of the output power of a symmetric Y-shaped integrated-optics splitter," J. Opt. Technol. Vol. 69, pp. 54-57, 2002.
- [22] A. Klekamp, P. Kersten and W. Rehm, "An improved single-mode Y-branch design for cascaded $1:2$ splitters," J. Lightwave Technol., vol. 14, pp. 2684-2686, 1996.

第 5 章 導波路交差設計と平面光波回路 デバイスへの展開

導波路型の複合機能集積デバイスを実現する場合、平面回路内における導波路交差の導入が避けられない。交差 1 箇所当りの損失自体は問題とならない場合であっても、信号光が数十箇所の交差を通過するような回路構成においては、その損失は無視できない問題となる。特に、集積回路の大規模化、集積密度向上を実現するためには多チャンネル化、導波路の高 Δ 化が必須となるため、導波路交差損失が回路全体の特性に及ぼす影響はより顕著となる。このような背景から、導波路交差における交差損失およびクロストーク低減は重要な解決課題と認識されている。

そこで、本章では、波面整合法設計を用いて導波路交差損失を低減することを目的とした。集積型 PLC デバイスへの適用を意識し、現在の開発ターゲットである $0.75\sim 1.5\%$ Δ 導波路に加え、将来的な実用化が期待される 2.5% Δ 導波路についても検討を行った。実用上重要な集積型 PLC デバイスへの適用例として、ROADM (Reconfigurable Optical Add/Drop Multiplexer) や OXC (Optical cross-Connect) システムを構築する上で必要不可欠な光デバイスである、マトリクス光スイッチおよび VOA (Variable Optical Attenuator) と AWG (Arrayed-Waveguide Grating) を集積した V-AWG (Variable optical attenuator multiplexer) への適用検討結果について述べる。

5.1 導波路交差損失の低減

本節では、はじめに、導波路交差における交差損失およびクロストーク低減が重要な検討課題となっている技術的背景を説明する。その後、波面整合法による導波路交差の設計手法について詳細を説明する。 $0.75\sim 2.5\%$ Δ 石英系 PLC の導波路交差部分に本手法を適用した実験結果を比較し、本手法が集積化に適した高 Δ 導波路において、より顕著な低損失化効果を示すことを述べる。

5.1.1 平面光波回路における導波路交差設計の重要性

平面光波回路において複数の機能回路を集積化する場合、導波路交差の導入が不可避となる。また、多チャンネル化に伴う高集積化の進展により、回路内に含まれる導波路交差数も増加の傾向にある。従って、集積型 PLC デバイスの開発においては、導波路交差 1 箇所当りの損失低減やクロストーク特性改善が重要な課題となる。具体的な解決課題として、

本研究では次に挙げる 2 点に着目した。1 点目は狭角度の導波路交差における特性改善である。PLC デバイスの小型化を実現するためには導波路交差の狭角度化が有効であるが、従来の交差では狭角度化に伴い交差損失およびクロストークが増大する問題がある。結果として、交差損失およびクロストークをある一定レベル以下に抑えるためには従来の回路設計ではある一定以上の交差角度を確保するように配慮する必要がある、回路サイズ低減の障害となっていた。（例えば、 $0.75\% \Delta$ 導波路の交差において過剰損失 0.1dB 以下、クロストーク -30dB 以下の条件を満たすためには、交差角度を 30 度以上にする必要がある。）従って、狭角度導波路交差の低損失化、クロストーク低減が重要な課題となっている。2 点目は広角度交差における交差損失の極限的な低減である。導波路交差 1 箇所あたりの損失は回路内の交差数に比例して蓄積されるため、多チャンネル化の進展という背景から、従来設計でも十分に交差損失が小さい 90 度交差のような広角度交差においても、そのさらなる低損失化が重要となっている。

石英ガラスや LiNbO_3 , InP , Si 細線など様々な導波路材料について、導波路交差の低損失化、クロストーク低減を目的とした設計方法が提案されている[1-9]。例えば、導波路交差部分に MMI(Multimode Interference)カプラを導入する手法[4, 6]や、テーパ導波路の導入[1, 2, 8]による損失、クロストーク低減効果が報告されている。しかし、マルチモード導波路やテーパ導波路の導入は余分な導波路長を必要とし、交差間隔を制限する要因になるなど、回路設計の自由度の低下につながる場合もある。従って、回路設計に制約を課さないような導波路交差直近の限られた領域における設計改善のみで、交差損失、クロストーク低減を実現することは重要な課題として依然残っている。そこで、本研究では波面整合法に基づく「塗りつぶし型」設計を導波路交差設計に適用することにより、交差損失およびクロストークを低減することを目的とした。本節では、狭角度交差の低損失化検討結果について述べる。 90 度交差の低損失化に関しては、5.3 節の V-AWG への適用検討で論じる。

5.1.2 導波路交差の設計

波面整合法を利用した導波路交差の設計方法について詳細を説明する。図 5-1 は波面整合法を利用した導波路交差設計手順の説明図である。図 5-1(a)は計算に用いた初期値の導波路形状を示している。初期値は単純な 2 本の直線導波路の交差とした。なお、本検討ではこの初期値形状の導波路交差を従来設計とし、最適化した導波路形状との比較対象とした。設定した初期値の導波路パターンに対して、入出力導波路#1 の基底モードを入力フィールド、所望の出力フィールドとしてそれぞれ設定する。その後、波面整合法の計算過程に従い、計算位置 $m \Delta z$ を回路全体にわたってスキャンしながら導波路幅を変更することで形状を最適化する（図 5-1(b), (c)）。ここで、2 本の直線が交差する導波路交差設計に特有の計算過程が必要となる。導波路#1 のみの入力フィールド、所望の出力フィールドに基づいて最適化計算した場合、入力フィールド#1 の伝搬損失を最小とするために、導波路#2 が消失

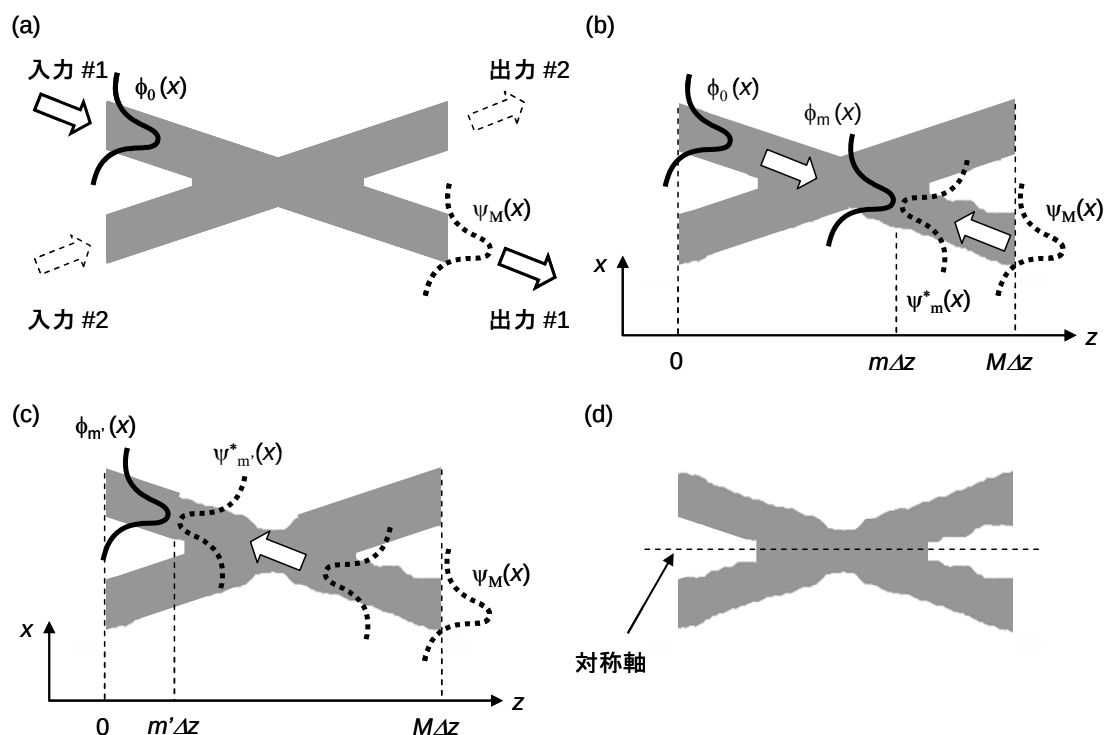


図 5-1 波面整合法による導波路交差設計モデル

し直線導波路#1 のみが存在する設計結果となる．このような結果を回避するために，波面整合法の計算アルゴリズムにおいて，図 5-1(d)に示すように導波路交差パターンが中心軸に対して線対称となるよう，最適化した導波路#1 のパターンを中心軸に対して折り返して重ね書きする操作を付加した．

計算条件の詳細は次の通りである．交差角度は 10～30 度， x 方向の計算量域を 200 μm ，BPM 計算の離散化単位を $\Delta x = 0.2 \mu\text{m}$ ， $\Delta z = 0.5 \mu\text{m}$ と設定した．0.75%，1.5%，2.5% Δ 導波路について，それぞれ導波路交差を設計した．各比屈折率差 Δ における入出力導波路の幅およびコア層の厚さを表 5-1 に示す．第 4 章で説明した Y 分岐導波路の設計と同様に，BPM 計算には GD (Generalized Douglas) 法と Padé (1,1) 近似を適用した FD-BPM を利用し，波長 1550nm で計算を行った．最適化計算結果が十分に収束するまで，40 回反復計算を行った．また，導波路作製プロセスの再現性，トレランス緩和を考慮して，次の 2 点を制約条件として設定した．1 点目は， z 方向に隣接するセル列間の導波路幅の変化量 ΔW_m の設定

表 5-1 導波路 Δ とコアサイズの関係

	比屈折率差 Δ		
	0.75%	1.5%	2.5%
導波路幅 [μm]	7	4.5	3.5
コア層厚 [μm]	6	4.5	3.5

である． ΔW_m の定義は式(4.1)と同じであり，具体的な説明は第4章2節の内容と重複するのでここでは割愛する．この制約条件の導入により，“スパイク”を含まず，光の伝搬方向に沿って滑らかに導波路幅が変化する導波路形状の設計が期待できる．ここでは， ΔW_m の最大値を $\Delta W_m/\Delta z = 1$ として設定した．2点目は最小ギャップ幅の設定である．導波路交差部分の2本の導波路間隔は，交差中心に近づくにつれて狭くなる．ある一定間隔より狭い部分のギャップは，エッチングプロセスにおいて設計通りに加工されず，丸まってしまうことが懸念される．設計パターンと実際に作製した導波路パターンが高い再現性のもとで一致するように，2本の導波路ギャップの最小幅を $2\mu\text{m}$ と設定した．以降では $2.5\%\Delta$ の場合の設計結果について結果を述べる．他に検討した $0.75\%\Delta$ および $1.5\%\Delta$ の導波路交差検討結果については，後の「導波路の比屈折率差 Δ と損失低減効果の関係」項目でまとめて論じる．

図5-2は $2.5\%\Delta$ 導波路において，交差角度10，20，30度とした場合の設計結果である導波路パターンをそれぞれ示している．図5-3は交差角度10度の場合について，初期値およ

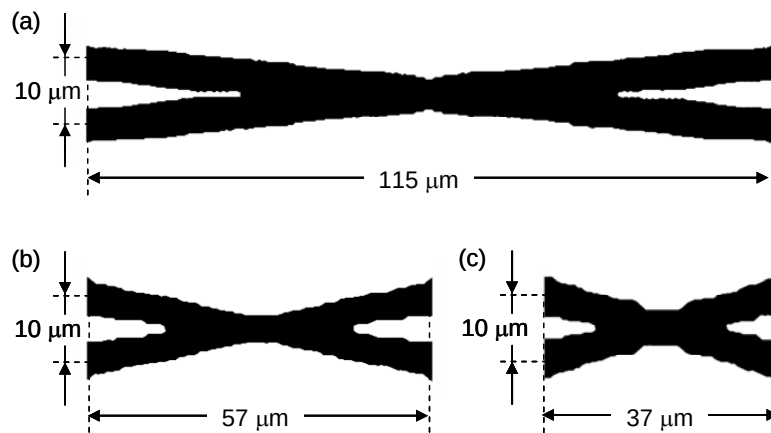


図 5-2 波面整合法により設計した導波路交差 ($2.5\%\Delta$)

(a) 交差角度：10 度，(b) 交差角度：20 度，(c) 交差角度：30 度

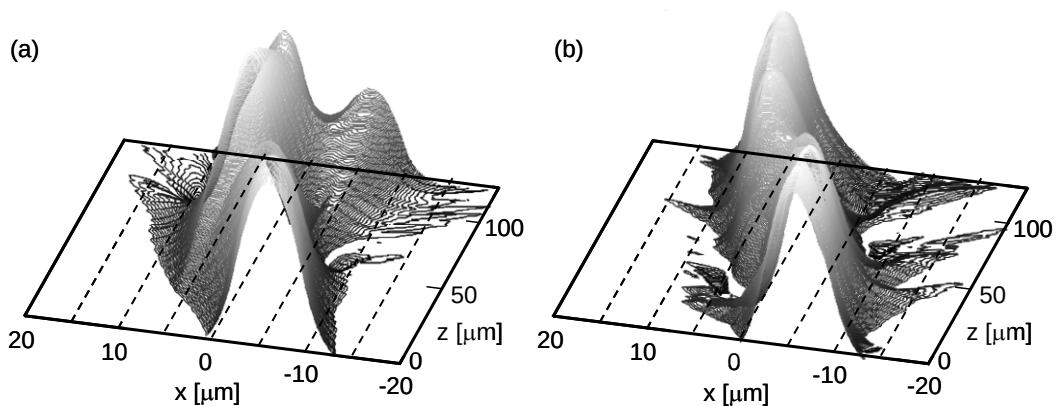


図 5-3 BPM による伝搬フィールド計算結果 ($2.5\%\Delta$ ，交差角度：10 度)

(a) 直線導波路交差，(b) 「塗りつぶし型」設計

び波面整合法設計による導波路パターンにおけるフィールド伝搬過程の計算結果である．計算波長は 1550nm である．交差損失の計算値は，初期値が 2.6dB であるのに対し，最適化パターンでは 0.6dB まで低減されている．図 5-3(a)に示すように，初期値においては入力光の一部が交差した導波路に結合してクロストーク光として出力している．一方で，図 5-3(b)に示す波面整合法を利用した設計パターンにおいては，クロストークとして出力される交差導波路への結合が抑制されている．このクロストーク光への結合抑制が，交差損失低減の主要因となっている．

5.1.3 実験的検証結果

2.5% Δ 石英系導波路で作製したサンプルの光学特性測定結果について述べる．なお，導波路交差における交差損失を正確に測定するため，作製したサンプルにおいては同一の導波路交差パターンを 10 個直列に接続した構成とした（図 5-4）．以降で論じる交差損失は，過剰損失の測定結果を 10 分の 1 として交差 1 箇所あたりの損失に換算した値である．また，10 個接続されている導波路交差の初段に対して交差する導波路の出力経路は，直接出力ファイバと接続する構成としている．つまり，その出力光強度は導波路交差 1 箇所あたりのクロストーク出力に対応している．

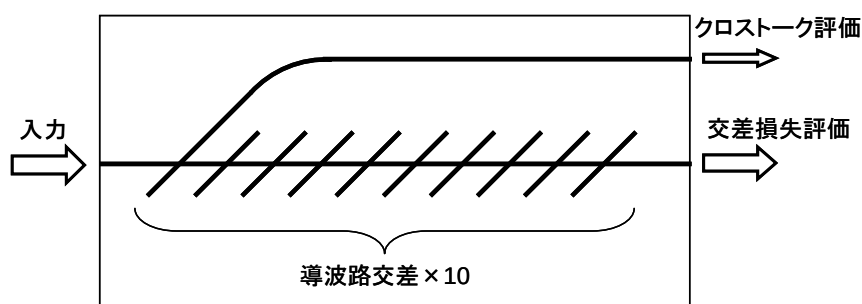


図 5-4 作製したサンプルのレイアウト

図 5-5 は波長 1550nm における 2.5% Δ 導波路交差 1 箇所当りの過剰損失およびクロストーク測定結果を交差角度の関数としてプロットしたグラフである．この結果から，波面整合法設計の適用により交差損失，クロストークともに低減されることが実験的にも確認できた．例えば，交差角度 10 度の場合は，波面整合法設計の適用により過剰損失が 2.8dB から 0.45dB に，クロストークが -15dB から -24dB にまでそれぞれ低減されている．図 5-6 に，交差角度 10 度のサンプルの交差損失およびクロストーク測定結果の波長依存性を示す．

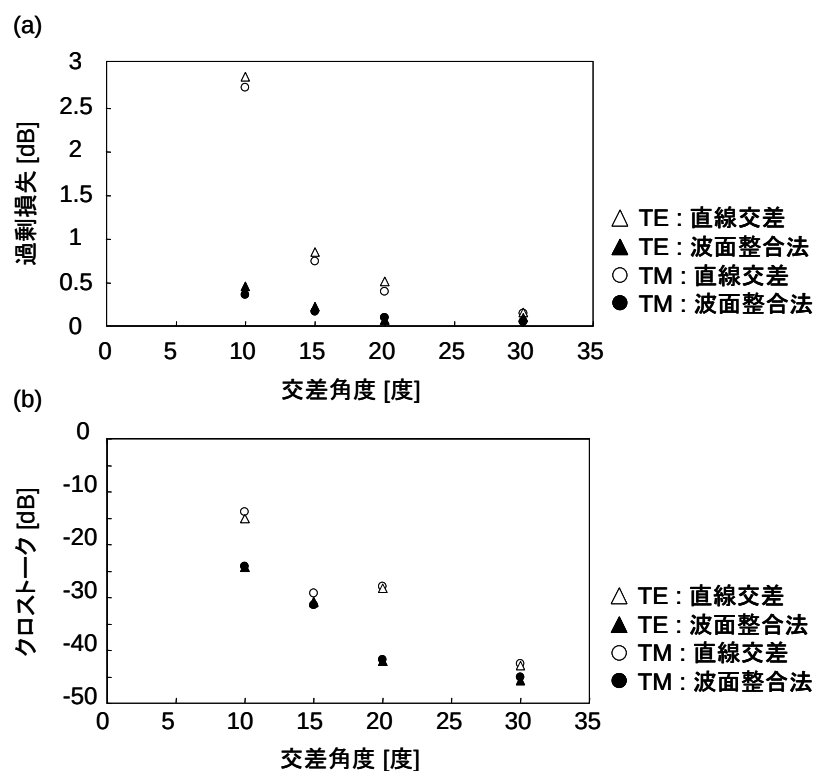


図 5-5 交差角度と過剰損失，クロストークの関係（2.5% Δ）

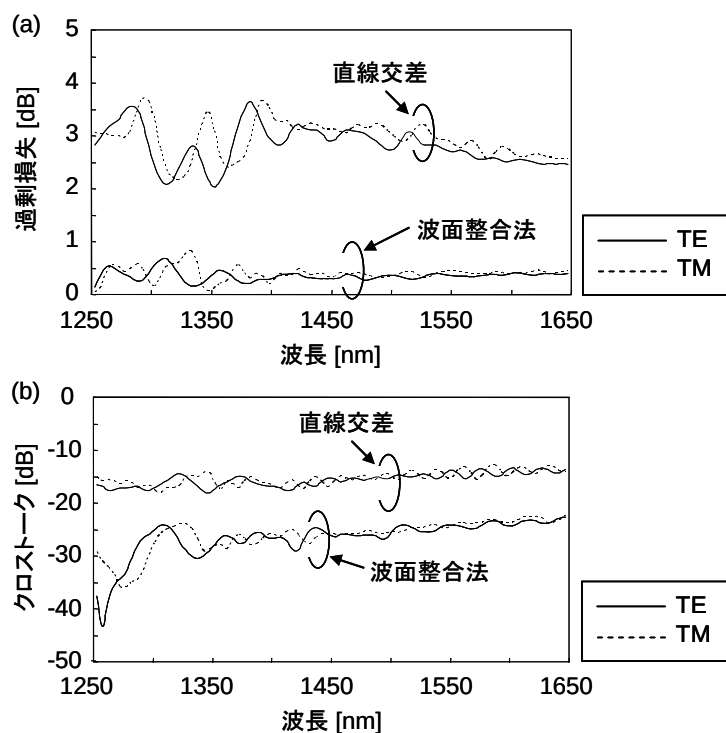


図 5-6 過剰損失，クロストークのスペクトル測定結果（2.5% Δ，交差角度：10 度）

5.1.4 導波路の比屈折率差 Δ と損失低減効果の関係

2.5% Δ 導波路交差と同様の検討を、0.75%および 1.5% Δ 導波路交差についても行った。図 5-7 および図 5-8 は 0.75% Δ 、1.5% Δ 導波路交差 1 箇所当りの過剰損失およびクロストーク測定結果をそれぞれ交差角度の関数としてプロットしたグラフである。図 5-9 および図 5-10 は交差角度 10 度、20 度における TE モードの交差損失およびクロストークを導波路の比屈折率差 Δ の関数としてプロットしたグラフである。すべての交差角度において、直線導波路交差の交差損失は高 Δ 化に伴い増加している。それに対し、波面整合法設計を適用した導波路交差は、導波路の比屈折率差 Δ に関らず、交差角度 10 度では 0.4dB 以下、20 度以上の交差角度では 0.1dB 以下の交差損失を実現している。これらの結果から、波面整合法設計の利用により交差角度 30 度以下の狭角度導波路交差の低損失化が可能となること、特に、集積型 PLC デバイスの作製に必要とされる高 Δ 導波路においてその損失低減効果がより顕著であることを実験的に確認した。以降の節では、波面整合法設計による導波路交差を適用した PLC デバイスの低損失化、小型化の例として、 8×8 マトリクス光スイッチ (0.75% Δ) および V-AWG (1.5% Δ 、2.5% Δ) への適用検討結果を述べる。

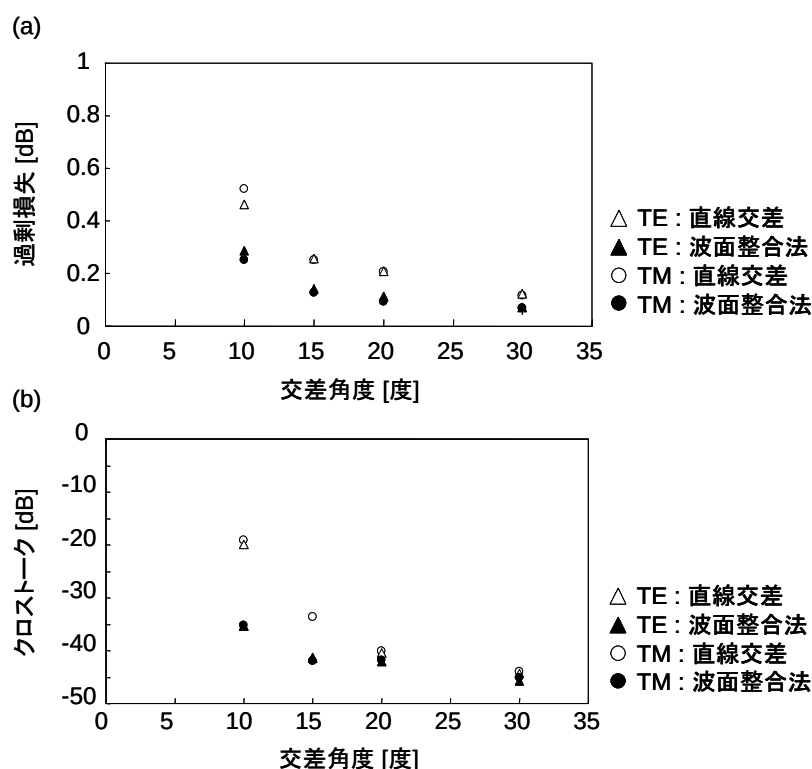


図 5-7 交差角度と過剰損失、クロストークの関係 (0.75% Δ)

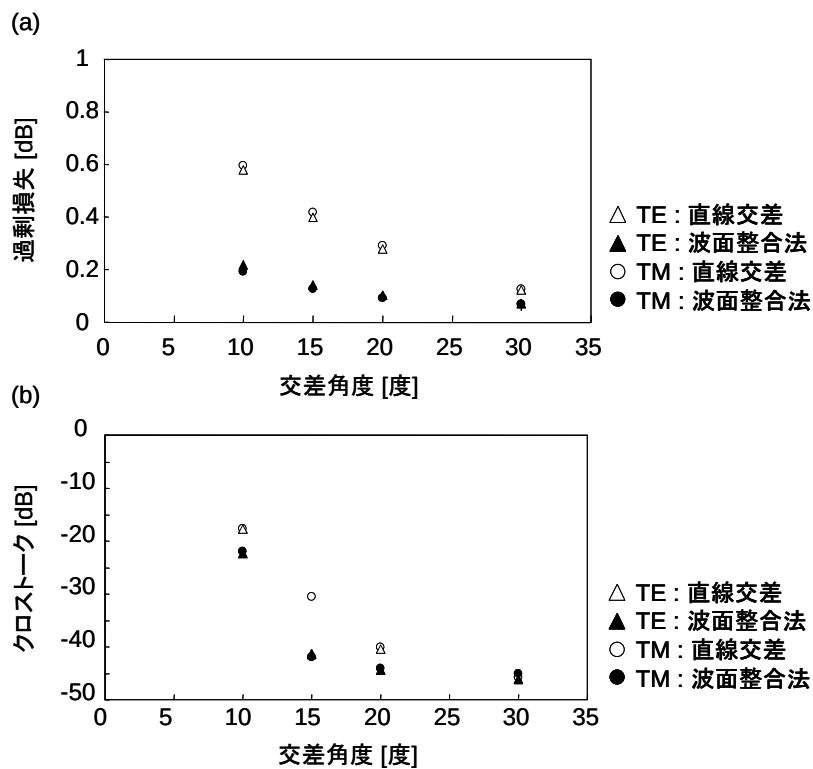


図 5-8 交差角度と過剰損失，クロストークの関係（1.5% Δ ）

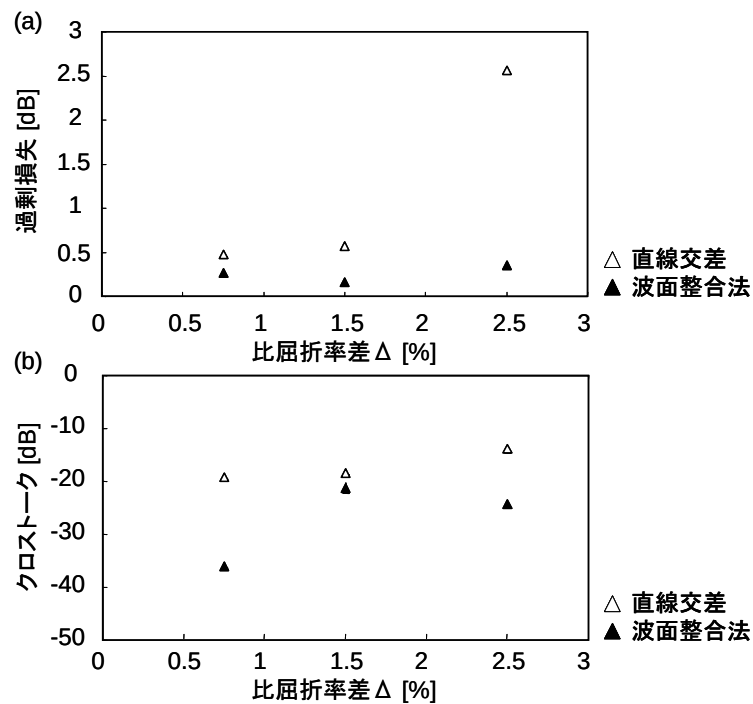


図 5-9 導波路 Δ と過剰損失，クロストークの関係（交差角度：10 度）

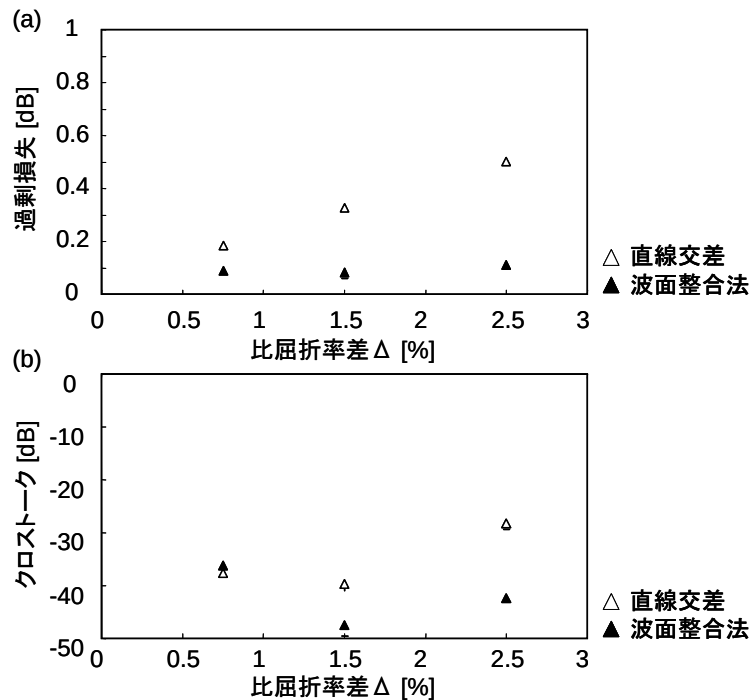


図 5-10 導波路 Δ と過剰損失，クロストークの関係（交差角度：20 度）

5.2 マトリクス光スイッチへの適用

大容量で柔軟な運用が可能な光通信ネットワークを構築する上で重要な光アドドロップ多重(Optical Add/Drop Multiplexing : OADM)や光クロスコネクタ(Optical cross Connect : OXC)システムにおいて, 光スイッチは必要不可欠な光デバイスの 1 つであり, 様々な材料, 動作機構のスイッチが開発されている[10-13]. 石英系 PLC 技術を用いた光スイッチは, マッハツェンダ干渉計(Mach-Zehnder Interferometer : MZI)に熱光学効果による位相シフタとして薄膜ヒータを装荷した干渉計型のスイッチである. スイッチ動作に可動部を必要としない構成なので外部からの振動や衝撃による出力特性の変動がなく安定性に優れている. また, ヒータへの供給電力と光出力の関係が安定しているためフィードバック制御が不要で簡単な電流駆動回路で安定動作が得られる等のメリットから, 実用化が最も進んだ光スイッチの 1 つである. 石英系 PLC としては, マトリクス構成の 8×8 および 16×16 スイッチが開発されている[14-16]. これらの PLC 型マトリクススイッチは, 高消光比を実現するために, 2 つの MZI から成る二重ゲート構成のスイッチ素子により構成されている. 例えば, 8 個のスイッチ素子 (16 個の MZI) から構成される $0.75\% \Delta$ 導波路の 8×8 スイッチは挿入損失 3.5dB, 消光比 53dB という低損失, 高消光比を実現している. また, MZI の配置方法の工夫により, チップサイズを従来の半分まで小型化した 8×8 マトリクス光スイッチも報

告されている[17]. チップサイズの半減, すなわち, 導波路長の短縮により挿入損失は 3.5dB から 2.5dB 程度にまで低減された. 残りの挿入損失の原因は, 導波路伝搬損失, 入出力ファイバと PLC の接続損失, MZI を構成する方向性結合器の過剰損失, そして, 導波路交差損失が挙げられる. そこで, 導波路交差部分の設計に波面整合法を適用することで交差損失を低減し, マトリクススイッチの挿入損失低減を目的とした検討を行った.

8×8 マトリクス光スイッチのレイアウトおよびスイッチ素子の構成を図 5-11 に示す. スイッチ素子はクロストーク低減のために 2 つの非対称 MZI から構成され, MZI 間は導波路交差を介して接続されている. 各 MZI のアーム導波路上には薄膜ヒータが装荷され, 熱光学効果による位相シフト機能によりスイッチングを実現している. 図 5-11(a)に示すように, スイッチ素子同士も導波路交差を介して接続されている. 入力ポートから出力ポートにいたるすべての経路について, 伝搬光は 14 箇所の導波路交差を通過する構成である. 従って, スイッチ全体としては, 導波路交差 1 箇所あたりの低損失化が 14 倍の損失低減につながる

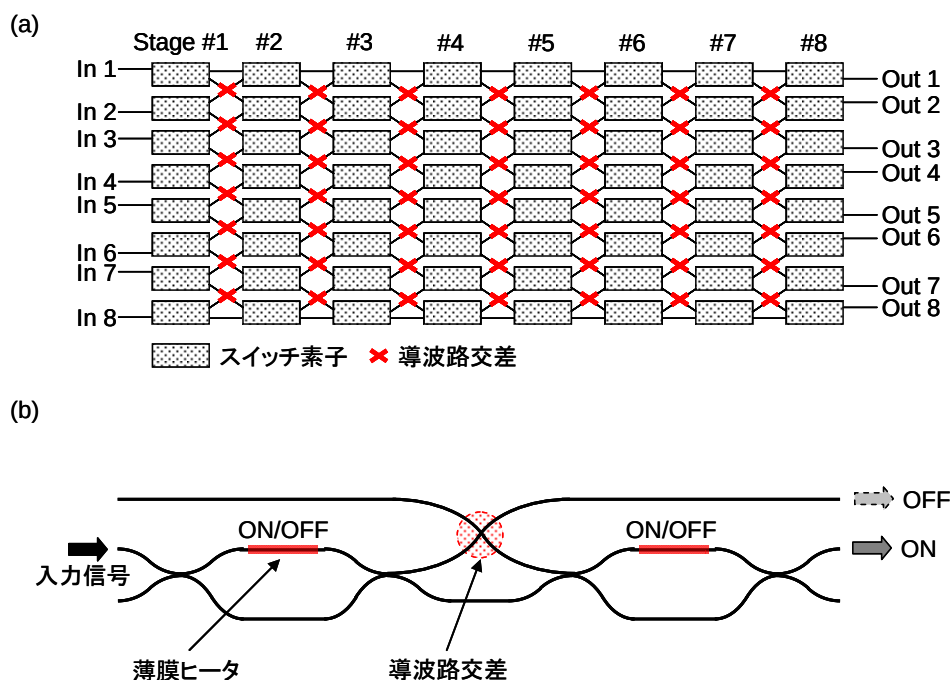


図 5-11 8×8 マトリクス光スイッチのレイアウトおよびスイッチ素子の構成
(a) 8×8 マトリクス光スイッチのレイアウト, (b) スイッチ素子の構成

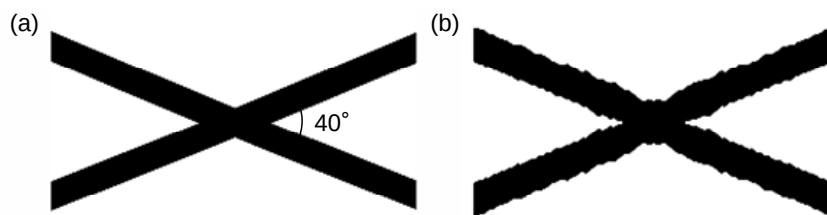


図 5-12 マトリクス光スイッチにおける導波路交差
(a) 直線導波路交差, (b) 「塗りつぶし型」設計

ため、1 箇所あたりは僅かであるとしても、その損失低減は重要である。本研究におけるマトリクススイッチの入出力は 8×8 規模であるが、導波路交差数は入出力数に比例するため、より大規模な光スイッチにおいては導波路交差 1 箇所あたりの低損失化がより重要な意味を持つことになる。

図 5-12(a)はマトリクス光スイッチにおける従来の導波路交差パターンを示している。 $0.75\% \Delta$ 導波路で導波路幅は $7 \mu\text{m}$ 、交差角度は 40 度である。図 5-12(b)は(a)に示したパターンを初期値として波面整合法を用いて最適化した導波路パターンの設計結果である。BPM により計算した波長 1550nm における交差損失は、従来パターン（図 5-12(a)）が交差 1 箇所当たり 0.05dB であるのに対し、波面整合法設計によるパターン（図 5-12(b)）は 0.025dB であった。交差 1 箇所あたりの損失低減効果は 0.025dB に過ぎないが、伝搬光が 14 箇所の導波路交差を通過する 8×8 マトリクススイッチ全体では 0.35dB の損失低減効果が期待される。これは、導波路交差に起因する挿入損失の半減につながる結果である。

図 5-12(b)に示す波面整合法設計の導波路交差を適用した $0.75\% \Delta$ 導波路で構成される石英系 PLC 型 8×8 マトリクス光スイッチを作製した。コア層の厚さは $6 \mu\text{m}$ 、導波路の最小曲げ半径は 5mm である。位相シフタを形成するための薄膜ヒータ、およびヒータへの給電のための配線部分は上部クラッド堆積後にその表面に形成した。また、消費電力低減を目的として、位相シフタ部分の導波路コアに沿ったクラッド層をエッチングで取り除き、溝を形成した。溝の形成によりヒータに電力を供給した際のコア部分の加熱効率が上昇する。このような断熱溝の導入は、熱光学効果を利用した石英系 PLC スwitchの作製には一般的に利用されている技術である。チップサイズは $106 \times 15\text{mm}$ であり、6 インチウエハに 6 チップ収容することが可能である。その内の 1 チップには、比較対象として、従来の直線導波路交差から構成されるマトリクススイッチを配置した。次に作製したサンプルの光学特性測定結果を述べる。

図 5-13(a)は無偏光入力時のスイッチ“ON”状態における入力ポートから出力ポートに至る、PLC チップと入出力ファイバ（Dispersion-Shift-Fiber : DSF）の接続損失 0.3dB も含めたスイッチの挿入損失を示している。 8 入力 8 出力のマトリクス構成なので、全部で 64 経路の挿入損失測定結果がプロットされている。なお、プロットした損失は波長 1550nm における測定結果である。波面性合法設計による交差を適用したサンプルは、全経路の平均挿入損失が 1.7dB 、挿入損失の最大、最小値がそれぞれ 1.5 、 1.9dB である。従来の直線導波路交差で構成されるスイッチの挿入損失測定結果と比較すると、平均で 0.3dB の挿入損失低減効果が確認できた。この損失低減効果は BPM 計算から予想される値 0.35dB とほぼ一致している。C 帯における挿入損失の波長依存性は、従来構成、波面整合法設計の導波路交差を適用した構成ともに 0.2dB 以下であり、波面整合法の適用による波長依存性の変化は確認されていない。図 5-13(b)はスイッチ“OFF”状態の挿入損失測定結果を示している。挿入損失の平均値は 59.5dB 、最小値と最大値はそれぞれ 50.3 、 70.2dB である。“ON”状態と“OFF”状態の挿入損失の差、すなわち、スイッチの消光比は全経路について 48dB 以上を示してい

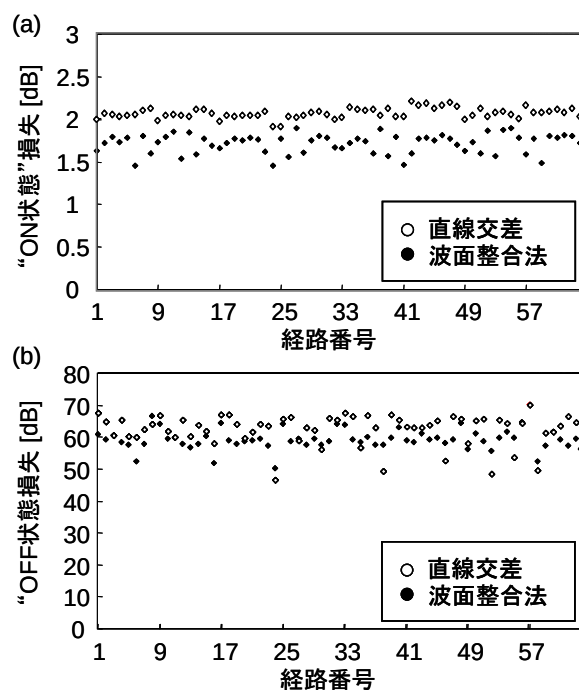


図 5-13 挿入損失測定結果

る. MZI 一箇所あたりの消費電力の平均値は 0.21W であり, 8×8 スイッチ全体では 3.4W であった. これらの消光比および消費電力の測定結果は, 導波路交差の構成に係らず一定であることを確認した.

本検討の結果から, 波面整合法設計の適用による導波路交差損失低減が, 実用上重要なマトリクス光スイッチの挿入損失低減に有効であることを確認した. なお, 8×8 マトリクス光スイッチにおける全経路の平均挿入損失 1.7dB という値は, これまでに報告されている光スイッチのなかでも最小の挿入損失である. 波面整合法設計による導波路交差損失低減効果は, より大規模なマトリクススイッチでより顕著となる. 従って, 将来的な大規模マトリクス光スイッチにおける挿入損失低減に, 波面整合法設計の適用がより大きな効果を発揮すると期待される.

5.3 V-AWG への適用

ROADM (Reconfigurable Optical Add/Drop Multiplexing) システム構築に必要となる波長選択スイッチは, AWG 波長合分波フィルタ, 光スイッチ, VOA, タップ用カプラ, 光パワーモニタから構成されており (図 5-14), 各回路要素の特性向上に加え, 小型化, 集積化が重要な技術課題となっている. これらの回路要素を集積化した複合機能集積 PLC デバイスの開発は, 2000 年代に入り活発化している[18-21]. 本検討では, 波面整合法設計による低損失導波路交差の適用検討対象として, 集積型 PLC の中でも特に実用化検討が進んでいる多

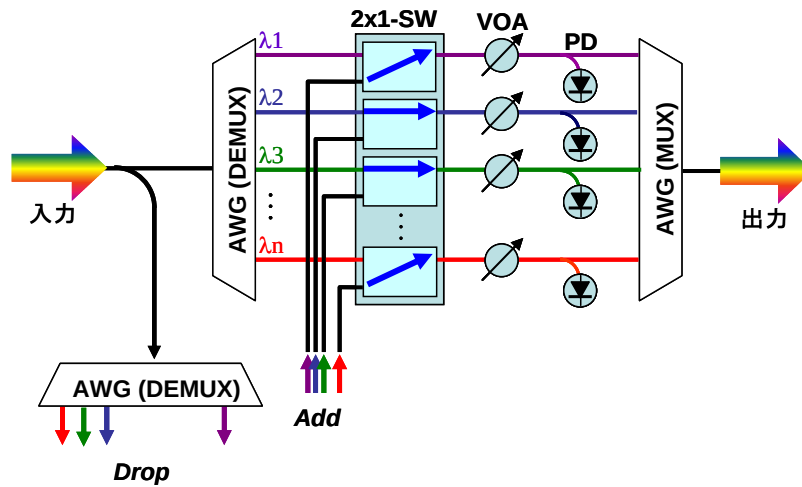


図 5-14 光多重アドドロップノードの構成

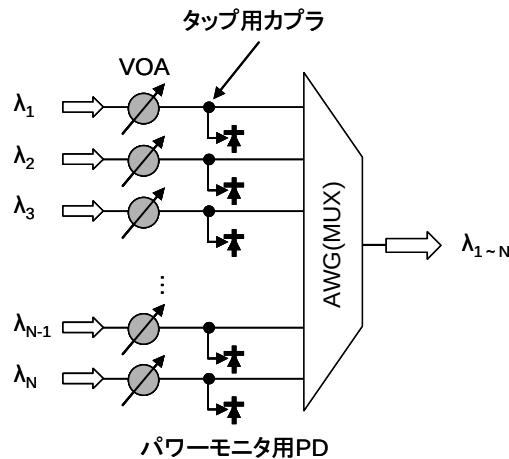


図 5-15 VMUX の機能ブロック図

チャンネル光レベル等化・合波機能回路（Variable Optical Attenuator Multiplexer : VMUX）をターゲットとした。VMUX の機能ブロック図を図 5-15 に示す。VMUX は AWG、VOA、タップ用カプラ、光パワーモニタから構成されている。各ポートに入力した WDM 信号は光パワーモニタを用いたフィードバック制御に基づく VOA により強度レベル等化され、その後 AWG により合波されて出力される。主機能は AWG と VOA が担っているため、PLC 型 VMUX 回路の略称として「V-AWG」が一般的に用いられている。本論文においても、図 5-15 に示す PLC 型 VMUX 回路の略称として、V-AWG を用いる。

V-AWG の開発アプローチとしては、主に 3 つの手法が採用されている。従来は、個々の回路要素を個別に作製し、それらを光ファイバを介して接続する構成が一般的であった。しかし、この形態は光ファイバの接続作業や余長処理が必要となるため、小型化や経済化が困難であった。それに対して、各回路要素を光ファイバを介さずに直接接続する構成のマルチチップ集積型が提案され、研究開発が進展した[22]。PLC チップの作製プロセスをそ

それぞれの回路要素ごとに最適化することが可能で、全体として高い歩留りを実現することが可能となるため、小型化と経済化のバランスに優れた集積技術として注目されている。最近では、小型化、集積化の理想解として、全ての回路要素を同一チップ上に集積するモノリシック集積型の研究開発が活発化している[23-26]。作製歩留りなどの経済化の観点では克服すべき課題は残されているが、将来的な実用化に向けた開発が着実に進展している。

32 チャンネル V-AWG の回路レイアウトを図 5-16(a)に示す。32 個の VOA とタップ用カプラ、1 個の 32 チャンネル AWG から構成されている。タップ用カプラとしては分岐比の波長依存性が小さい MZI 型波長無依存カプラ[27]を使用して VOA 透過光の強度の約 10%を分岐し、光パワーモニタに入力している。タップで分岐されたモニタ光の経路は 90 度方向転換されて PLC チップ端面に到達し、端面実装された CSP-PD (Chip-Scale-Package Photo Detector) アレイに結合する構成である。図 5-16(b)は VOA、モニタ用タップアレイと AWG の接続部分を表す模式図である。図に示すように AWG に入力する主信号が通過する導波路とモニタ光が通過する導波路の間では交差が避けられない構成である。従って、各回路要素を光ファイバで接続していた従来構成では問題とならなかった導波路交差損失が、集積型 V-AWG では重要な問題となる。32 チャンネルのモニタ光を 2 個の 16 アレイ CSP-PD

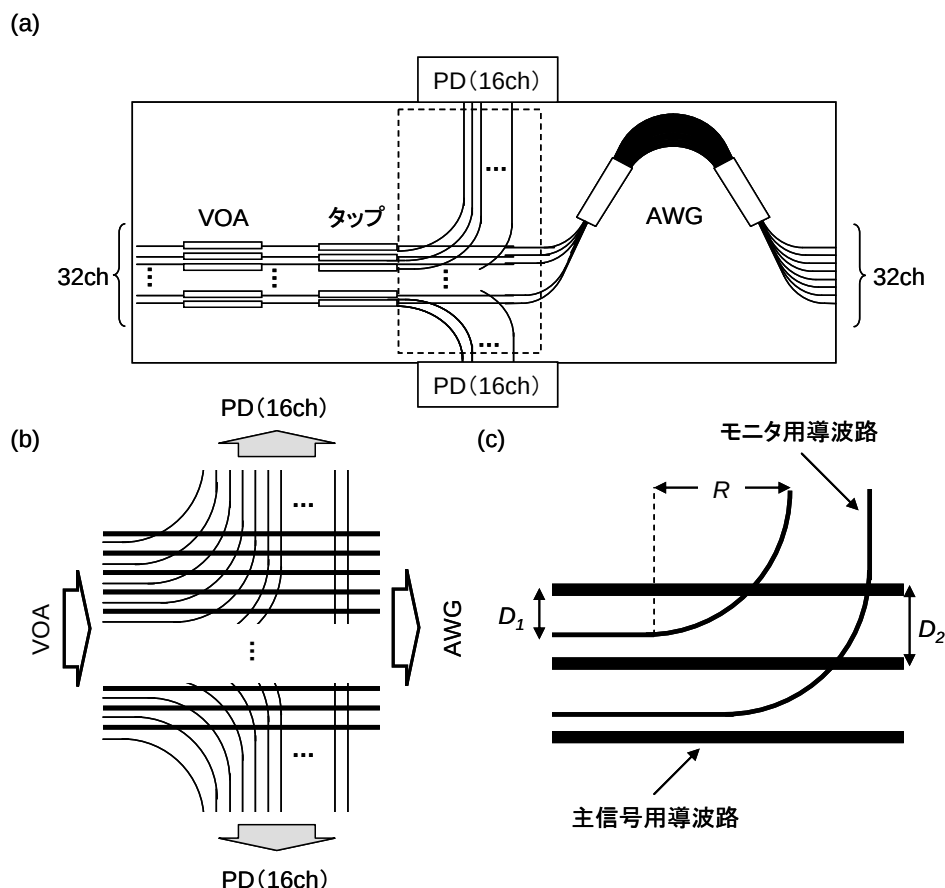


図 5-16 V-AWG の回路レイアウト

で分割して受光する構成であるため、モニタ光の経路は主信号経路と 16 箇所、それぞれ異なる交差角度で交差する。

ここで、V-AWG における導波路交差のレイアウトについて、詳細を説明する。図 5-16(c) に導波路交差部分の拡大図を示す。以降ではレイアウト上重要な 2 点、主信号用導波路の幅とモニタ用導波路の幅に関する非対称性および交差角度の決定要因について説明する。はじめに、主信号用導波路幅とモニタ用導波路幅の非対称性について説明する。主信号経路の交差損失は V-AWG の損失に直結するため、導波路交差を伴う V-AWG を設計する際の最優先事項は主信号経路損失の最小化である。そこで、主信号用導波路の幅をモニタ用導波路の幅より太く設計することで、主信号経路の交差損失を抑制する手法が採用されている。例えば、1.5% Δ V-AWG においては、モニタ用導波路の幅 4.5 μm に対して、主信号導波路の幅を 12.5 μm と広げることにより、主信号経路の交差損失を交差 1 箇所当り 0.02dB にまで抑制している。ここで問題となるのが、モニタ経路の損失である。PD の受光感度に対して十分な強度のモニタ光を入力するためには、モニタ経路の損失を下げるか、もしくはタップ用カプラにおける分岐率を増加させることが必要となる。タップ率の増加は主信号の損失となるため、許容されない。従って、モニタ経路の低損失化が必要となる。ただし、主信号経路の低損失化を優先するために導入された導波路交差の非対称性により、モニタ経路の交差損失は通常と同幅直線導波路の交差よりも増加してしまう。本検討の目的は、この相反する要求を両立させる導波路交差の設計である。つまり、非対称設計に基づき主信号経路の損失を最小化する一方、モニタ経路の交差損失低減も実現する。

次に、交差角度の決定要因について説明する。主信号用導波路とモニタ用導波路の交差角度は、図 5-16(c)に示すように、主信号用導波路とモニタ用導波路の間隔 D_1 、隣接する主信号用導波路の間隔 D_2 、曲線導波路の曲げ半径 R で決定される。小型化のためには D_1 、 D_2 を小さくすることが望ましいが、その場合は交差角度が小さくなるため損失が増加するという問題を抱えている。以降では、具体例として 1.5% Δ 、2.5% Δ V-AWG それぞれの詳細を説明する。

5.3.1 1.5% Δ V-AWG

1.5% Δ V-AWG における導波路交差への波面整合法設計適用検討結果について説明する。1.5% Δ における導波路交差の設計パラメータは次の通りである。主信号用導波路の幅を 12.5 μm 、モニタ用導波路の幅を 4.5 μm とし、 $D_1 = 125 \mu\text{m}$ 、 $D_2 = 150 \mu\text{m}$ 、 $R = 2\text{mm}$ と設定した。図 5-17 は 16 交差の交差角度を示している。1 番目の交差とは、タップ用カプラで分岐されたモニタ光が主信号経路と 1 回目に交差する箇所の導波路交差を意味している。図 5-18 に交差角度 20 度の交差について波面整合法により設計した導波路パターンを示す。主信号経路の交差損失低減を最優先とする指針を維持するため、主信号用導波路は幅 12.5 μm の直線導波路となっている。それに対して、モニタ用導波路の幅が非周期的に変動するパターン

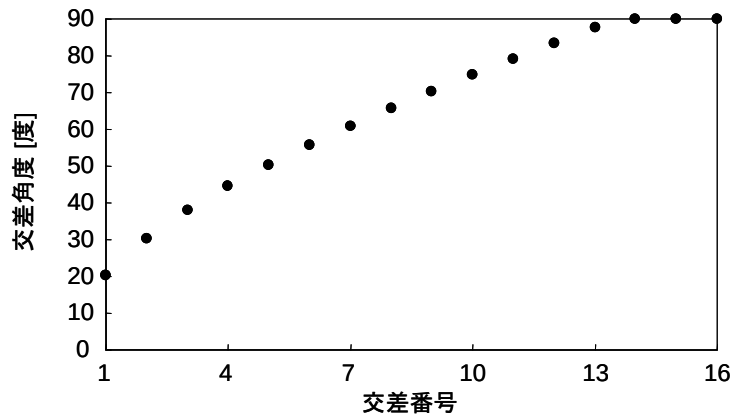


図 5-17 導波路交差の交差角度 (1.5% Δ V-AWG)

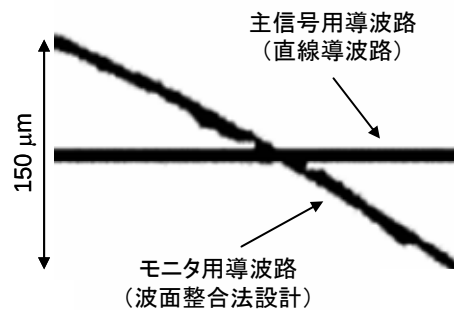


図 5-18 導波路交差 (交差角度 : 20 度)

となっている．図 5-19 に，設計した交差形状について BPM により計算した各交差角度におけるモニタ経路の交差損失を示す．計算波長は 1550nm である．波面整合法設計により 16 チャンネル分の交差すべてに対して交差損失が低減されている．16 箇所の導波路交差を通過するモニタ経路の過剰損失 (20～90 度交差の合計) は，従来交差が 3.5dB であるのに対し，波面整合法設計では 0.9dB と見積もられる．

交差損失を正確に測定するため，V-AWG の VOA と AWG を分離した，交差部分のみから構成されるテスト回路（図 5-16(a)の点線枠内）を作製した．モニタ出力の光強度は全チ

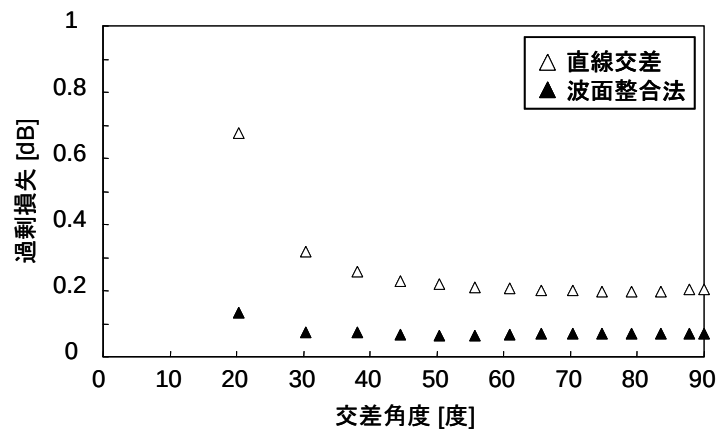


図 5-19 交差角度と交差損失の関係

チャンネルで均一に設定する必要があるため、本検討ではモニタ経路における主信号経路との交差回数が全チャンネルに対して等しくなるようにダミーの導波路交差を配置した。図 5-20 に波長 1550nm における 16 チャンネル（パワーモニタ 1 箇所分）のモニタ経路の導波路交差損失測定結果を示す。従来交差の交差損失の平均値が 3.6dB であるのに対し、波面整合法設計交差の損失は 1.0dB であった。実験結果は設計から期待された交差損失と良く一致しており、波面整合法設計を用いた導波路交差の有用性を実験的にも確認した。16 チャンネル間の損失ばらつきは 0.1dB 以下であり、ダミー導波路交差の導入が設計意図通りに機能している。16 チャンネル間の損失ばらつきが小さいことから、波面整合法設計による導波路交差が十分な作製再現性を備えていることも確認できる。図 5-21 は波長 1550nm における 32 チャンネルの主信号経路の過剰損失測定結果を示している。従来交差、波面整合法設計交差ともに過剰損失は 0.2dB 以下であり、モニタ用導波路における導波路幅の変調が主信号の交差損失に影響を与えていないことが分かる。モニタ経路とは異なり、主信号経路はポートによりモニタ経路との交差回数が異なるため、交差損失はチャンネル番号に依存している。ただし、0.2dB 程度の損失ばらつきは実用上問題にならないレベルであり、損失ばらつきのこれ以上の低減の必要性は小さい。以上の検討結果から、波面整合法設計交差の導入により、従来の光ファイバで部品間を接続していた構成と比較しても遜色無い光学特性を示す集積型 V-AWG の実現性を確認した。

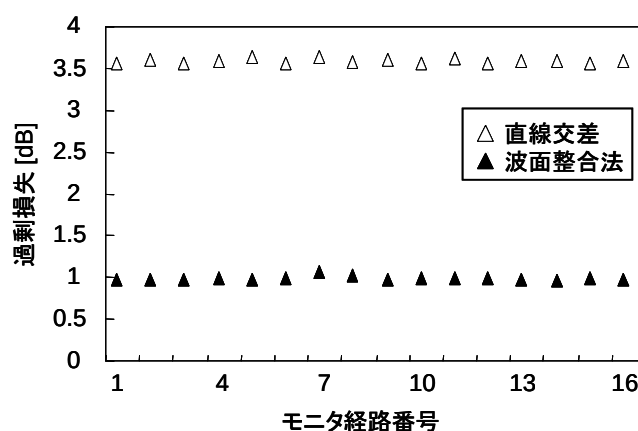


図 5-20 モニタ経路の過剰損失測定結果

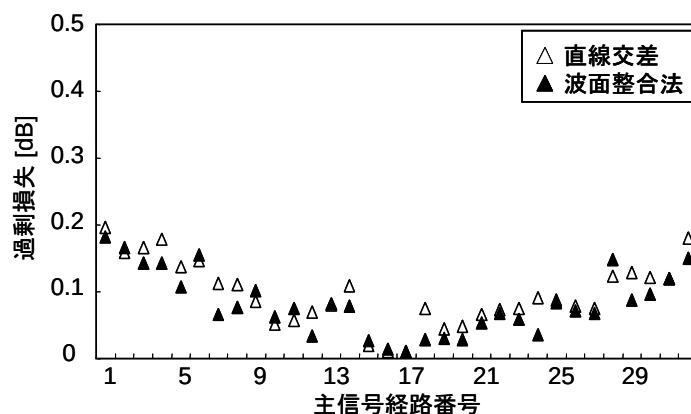


図 5-21 主信号経路の過剰損失測定結果

5.3.3 2.5% Δ V-AWG

次に、さらなる集積密度向上に適した 2.5% Δ 導波路で構成される V-AWG への適用結果について論じる．図 5-22 は、2.5% Δ V-AWG における主信号経路とモニタ経路の交差角度を示している． $D_1 = 225 \mu\text{m}$ ， $D_2 = 250 \mu\text{m}$ ， $R = 1\text{mm}$ と設定した．2.5% Δ 導波路では曲げ導波路半径を 1mm まで小さくすることが可能であるため，1.5% Δ V-AWG と比較するとスペースに余裕があり， D_1 ， D_2 も 1.5% Δ の場合より若干大きめに設定することが可能になる． R を小さくし D_1 ， D_2 を大きくとることにより交差角度を広げることが可能となり，交差損失の低減につながる．図 5-17 に示した 1.5% Δ V-AWG における最小交差角度が 20 度で，90 度交差が 3 箇所であるのに対し，2.5% Δ V-AWG では最小角度 40 度，90 度交差は 11 箇所となっている．さらにチャネル数を増加した場合，増加する分の導波路交差の交差角度はすべて 90 度となる．この導波路交差の広角度化のみに着目すると，高 Δ 化による交差損失の増加は広角度化により大きな問題とはならないと認識されるかもしれない．しかし，主信号用導波路とモニタ用導波路の幅を非対称に設計する V-AWG の交差においては，90 度交差 1 箇所あたりのモニタ経路交差損失が 1.5% Δ 交差の場合よりも顕著に大きくなるため，90 度交差のような広角度交差における交差損失の低減が非常に重要となる．例えば，主信号用導波路の幅を $10.5 \mu\text{m}$ ，モニタ用導波路の幅を $3.5 \mu\text{m}$ とする設計では，主信号経路の交差損失はほぼ無視できる値であるが，モニタ経路は 90 度交差 1 箇所当り 0.6dB 程度の交差

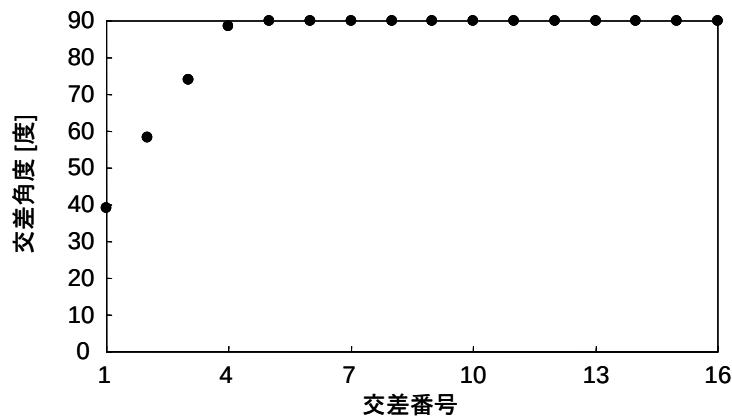


図 5-22 導波路交差の交差角度 (2.5% Δ V-AWG)

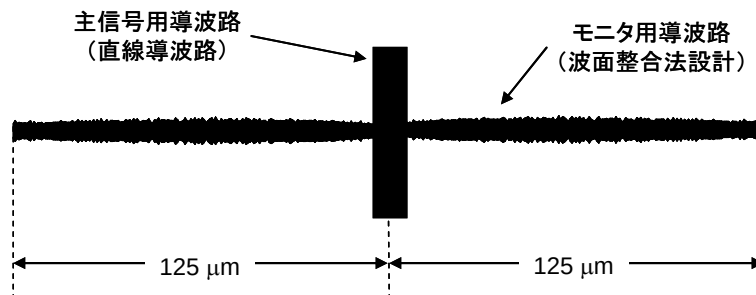


図 5-23 導波路交差 (交差角度 : 90 度)

損失が発生する。2.5% Δ V-AWG の検討においては、90 度交差の交差損失低減に焦点を置き波面整合法設計を適用した。

図 5-23 は波面整合法設計交差の導波路パターンを示している。BPM により計算した波長 1550nm における交差損失は、従来交差が 0.5dB、波面整合法設計の交差が 0.15dB である。設計した導波路交差を含む V-AWG のテスト回路を 2.5% Δ 石英系導波路で作製した。波面整合法設計による 90 度交差の損失低減効果を検証するために、90 度交差のみから構成される回路も併せて作製した。図 5-24 に波長 1550nm における 16 チャンネル（パワーモニタ 1 箇所分）のモニタ経路の導波路交差損失測定結果を示す。従来交差の交差損失の平均値が 7.7dB であるのに対し、波面整合法設計交差の損失は 1.9dB であった。波面整合法設計による 90 度交差 1 箇所あたりの損失低減効果は 0.45dB である。波面整合法設計の適用により、90 度交差のような広角度交差の損失低減効果が、集積型 V-AWG の高性能化に有効であることを確認した。

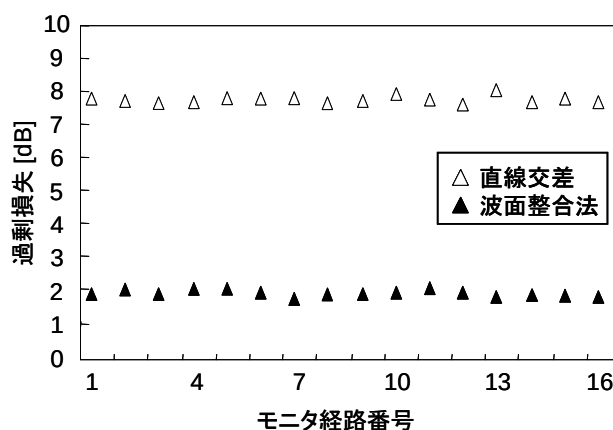


図 5-24 モニタ経路の過剰損失測定結果

5.4 まとめ

本章では、波面整合法設計を利用した導波路交差の交差損失低減効果について論じた。はじめに、波面整合法に基づく「塗りつぶし型」設計を用いた導波路交差の設計手法を説明し、0.75~2.5% Δ 石英系 PLC の導波路交差部分に本手法を適用した実験結果を比較し、本手法が集積化に適した高 Δ 導波路において、より顕著な低損失化効果を示すことを述べた。実用上重要な PLC デバイスへの適用例として、8×8 マトリクス光スイッチおよび VOA と AWG を集積した V-AWG への適用検討結果を示し、波面整合法設計交差の実用性を実証した。今後の PLC デバイスの集積化の進展、チャンネル数の増加により、本手法の適用による損失低減効果がより顕著となり、集積型 PLC デバイスの高性能化に重要な役割を果たすと期待される。

参考文献

- [1] K. Aretz and H. Bulow, "Reduction of crosstalk and losses of intersecting waveguide," *Electron. Lett.*, vol. 25, pp.730-731, 1989.
- [2] M. G. Daly, P. E. Jessop and D. Yevick, "Crosstalk reduction in intersecting rib waveguides," *J. Lightwave Technol.*, vol. 14, pp. 1695-1698, 1996.
- [3] H. G. Buukkens, C. G. P. Herben, M. K. Smit, F. H. Groen and I. Moerman, "Minimization of the loss of intersecting waveguides in InP-based photonic integrated circuits," *IEEE Photon. Technol. Lett.*, vol. 11, pp. 1420-1422, 1999.
- [4] G. Przyrembel and B. Kuhlow, "Waveguide crossings with low crosstalk at small angles," *Electron. Lett.*, vol. 38, pp. 1533-1535, 2002.
- [5] T. Fukazawa, T. Hirano, F. Ohno and T. Baba, "Low loss intersection of Si photonic wire waveguides," *Japanese Journal of Applied Physics*, vol. 43, pp. 646-647, 2004.
- [6] H. Liu, H. Tam, P. K. A. Wai and E. Pun, "Low-loss waveguide crossing using a multimode interference structure," *Optics Communications*, vol. 241, pp. 99-104, 2004.
- [7] H. Chen and A. W. Poon, "Low-loss multimode-interference-based crossings for silicon wire waveguides," *IEEE Photon. Technol. Lett.*, vol. 18, pp. 2260-2262, 2006.
- [8] W. Bogaerts, P. Dumon, D. V. Thourhout and R. Baets, "Low-loss, low-cross-talk crossings for silicon-on-insulator nanophotonic waveguides," *Optics Lett.*, vol. 32, pp. 2801-2803, 2007.
- [9] P. Sanchis, J. V. Galan, A. Griol, J. Marti, M. A. Piqueras and J. M. Perdignes, "Low-crosstalk in silicon-on-insulator waveguide crossings with optimized-angle," *IEEE Photon. Technol. Lett.*, vol. 19, pp. 1583-1585, 2007.
- [10] D. T. Neilson, R. Frahm, P. Kolodner, C. A. Bolle, R. Ryf, J. Kim, A. R. Papazian, C. J. Nuzman, A. Gasparian, N. R. Basavanahally, V. A. Aksyuk, and J. V. Gates, "256 $\times$ 256 port optical cross-connect subsystem," *J. Lightwave Technol.* vol. 22, pp. 1499-1509, 2004.
- [11] S. Venkatesh, J. W. Son, J. E. Fouquet, R. E. Richard, D. Schroeder, H. W. Guo, Y. Wan, P. Russell, A. Chow, and P. F. Hoffman, "Recent advances in bubble-actuated photonic cross-connect switches," *Proc. SPIE*. vol. 4654, pp. 27-35, 2002.
- [12] F. L. W. Rabbering, J. F. P. van Nunen, and L. Eldada, "Polymeric 16 $\times$ 16 digital optical switch matrix," *ECOC2001*, PD.B.1.6, 2001.
- [13] M. P. Earnshaw, J. B. D. Soole, M. Cappuzzo, L. Gomez, E. Laskowski and A. Paunescu, "8 $\times$ 8 optical switch matrix using generalized Mach-Zehnder interferometers," *IEEE Photon. Technol. Lett.*, vol. 15, pp. 810-812, 2003.
- [14] T. Goh, A. Himeno, M. Okuno, H. Takahashi and K. Hattori, "High-extinction ratio and low-loss silica-based 8 $\times$ 8 strictly nonblocking thermo-optic matrix switch," *J. Lightwave*

- Technol., vol. 17, pp. 1192-1199, 1999.
- [15] T. Goh, M. Yasu, K. Hattori, A. Himeno, M. Okuno and Y. Ohmori, "Low loss and high extinction ratio strictly nonblocking 16×16 thermo-optic matrix switch on 6-in wafer using silica-based planar lightwave circuit technology," J. Lightwave Technol., vol. 19, pp. 371-379, 2001.
 - [16] S. Sohma, T. Watanabe, T. Shibata and H. Takahashi, "Compact and low power consumption 16×16 optical matrix switch with silica-based PLC technology," OFC2005, OThV4, 2005.
 - [17] T. Watanabe, S. Sohma, T. Goh, T. Shibata and H. Takahashi, "Compact 8×8 silica-based PLC switch with compressed arrangement," ECOC2005, Th.3.6.3, 2005.
 - [18] M. P. Earnshaw and J. B. D. Soole, "Integrated reconfigurable optical wavelength add-drop multiplexer," Electron. Lett., vol. 22, pp. 1351-1352, 2002.
 - [19] M. P. Earnshaw, M. Cappuzzo, E. Chen, L. Gomez, A. Griffin, E. Laskowski, A. Wong-Foy and J. Soole, "Planar lightwave circuit based reconfigurable optical add-drop multiplexer architectures and reusable subsystem module," IEEE J. Sel. Top. Quantum Electron., vol. 11, pp. 313-322, 2005.
 - [20] K. T. Shiu, S. S. Agashe and S. R. Forrest, "An InP-based monolithically integrated reconfigurable optical add-drop multiplexer," IEEE Photon. Technol. Lett., vol. 19, pp. 1445-1447, 2007.
 - [21] M. P. Earnshaw, L. Buhl, M. A. Cappuzzo, E. Chen, L. Gomez and A. Wong-Foy, "A colorless wavelength add or drop module with ultralow power consumption," J. Lightwave Technol., vol. 25, pp. 3082-3088, 2007.
 - [22] I. Ogawa, Y. Doi, Y. Hashizume, S. Kamei, Y. Tamura, M. Ishii, T. Kominato, H. Yamazaki and A. Kaneko, "Packing Technology for ultra-small variable optical attenuator multiplexer (V-AWG) with multichip PLC integration structure using chip-scale-package PD array," IEEE, J. Sel. Top. Quantum Electron., vol. 12, pp. 1045-1053, 2006.
 - [23] M. P. Earnshaw, M. Cappuzzo, E. Chen, L. Gomez, A. Griffin, E. Laskowski and A. Wong-Foy, "High performance variable optical attenuator multiplexer filter," Electron. Lett., 40, pp. 1076-1078, 2004.
 - [24] Y. Hashizume, K. Watanabe, Y. Nasu, M. Kohtoku, S. Kamei, T. Kitoh and Y. Inoue, "Silica PLC-VOA using suspended narrow ridge structures and its application to V-AWG," OFC2007, OWO4, 2007.
 - [25] M. Itoh, K. Watanabe, Y. Nasu, H. Yamazaki, S. Kamei, I. Ogawa, A. Kaneko and Y. Inoue, "1-square-inch 100GHz 40ch VMUX/DEMUX based on single-chip PLC integration with 2.5%- Δ silica-based waveguides," ECOC2007, 2.5.1, 2007.
 - [26] M. P. Earnshaw, C. Bolle, M. A. Cappuzzo, E. Chen, L. Gomez and A. Wong-Foy, "64 channel, 100GHz VMUX with low-power, fast attenuators in high index contrast PLC," Electron. Lett.,

43, pp. 1278-1279, 2007.

- [27] K. Jinguji, N. Takato, A. Sugita and M. Kawachi, "Mach-Zehnder interferometer type optical waveguide coupler with wavelength-flattened coupling ratio," *Electron. Lett.*, vol. 26, pp. 1326-1327, 1990.

第 6 章 アレイ導波路回折格子の低損失化

アレイ導波路回折格子 (Arrayed-Waveguide Grating : AWG) 型の波長合分波フィルタは、大容量 WDM システムを構築するために必要不可欠な基幹部品であり、既に商用の WDM システムに導入され高い実績を示している。また、光通信システムのメトロ系領域への適用拡大に伴い、OADM (Optical Add/Drop Multiplexing) ノードにおける波長合分波フィルタの高性能化、経済化に対する要求が高まっている。OADM ノードにおいて、信号光は分波部分および合波部分で合計 2 箇所の AWG を通過する。つまり、信号光は通過するノード数の 2 倍の数の AWG を通過することになるため、AWG1 箇所当りの信号品質劣化要因は通過ノード数に比例して蓄積することになる。従って、AWG1 箇所の特性改善効果は僅かであったとしても、その効果の蓄積により、システム全体としての性能向上に貢献する。例えば、本章で論ずる AWG の低損失化は、システムの構築に必要な信号光強度増幅器数の削減につながり、システム運用コストの削減、経済化に貢献することが期待できる。本章では、はじめに、6.1 節で AWG の構成と動作原理について概要を述べる。そして、6.2 節において AWG における損失の主要因について説明し、低損失化に向けた指針を述べる。具体的には、AWG のアレイ導波路出力端に波面整合法設計を適用したモードフィールド変換器を配置し、中心出力ポートの損失低減および出力ポート間の損失ばらつき低減を目標として、それぞれの検討を行った。6.3 および 6.4 節において、それぞれについて具体的な設計手法を述べ、実験的に検証した結果から、本研究の有効性を示す。

6.1 アレイ導波路回折格子の構成と動作原理

AWG は数百本のアレイ導波路から構成される一種の透過型回折格子であり、多数の波長を同時に合分波できる機能が特徴である[1, 2]。AWG は図 6-1 に示すように、入出力導波路とスラブ導波路、アレイ導波路から構成される。入力導波路から入力された光はスラブ導波路で広がりアレイ導波路に同位相で入射する。隣接するアレイ導波路の長さは一定値 ΔL ずつ長さが異なっており、アレイ導波路間で一定の遅延時間差が生じる構成となっている。図 6-2 は出力側のスラブ導波路における波面の伝搬過程の説明図である。図に示すように、アレイ導波路出力端における光軸は、スラブ導波路伝搬後にスラブ導波路と出力導波路の接続面で集光するように出力導波路群の中心に向いている。導波路間の遅延が波長の整数倍となる場合 (図 6-2(a)) は、アレイ導波路の出力端における出射光はすべて同位相であり、干渉光は中央の出力導波路部分に集光する。それに対して、導波路間の遅延が波長の整数倍と異なる場合は (図 6-2(b))、アレイ導波路の出力端における位相がずれて波面が傾くため、回折光は中央とは異なる出力導波路に集光する。従って、合分波する波長チャネル数

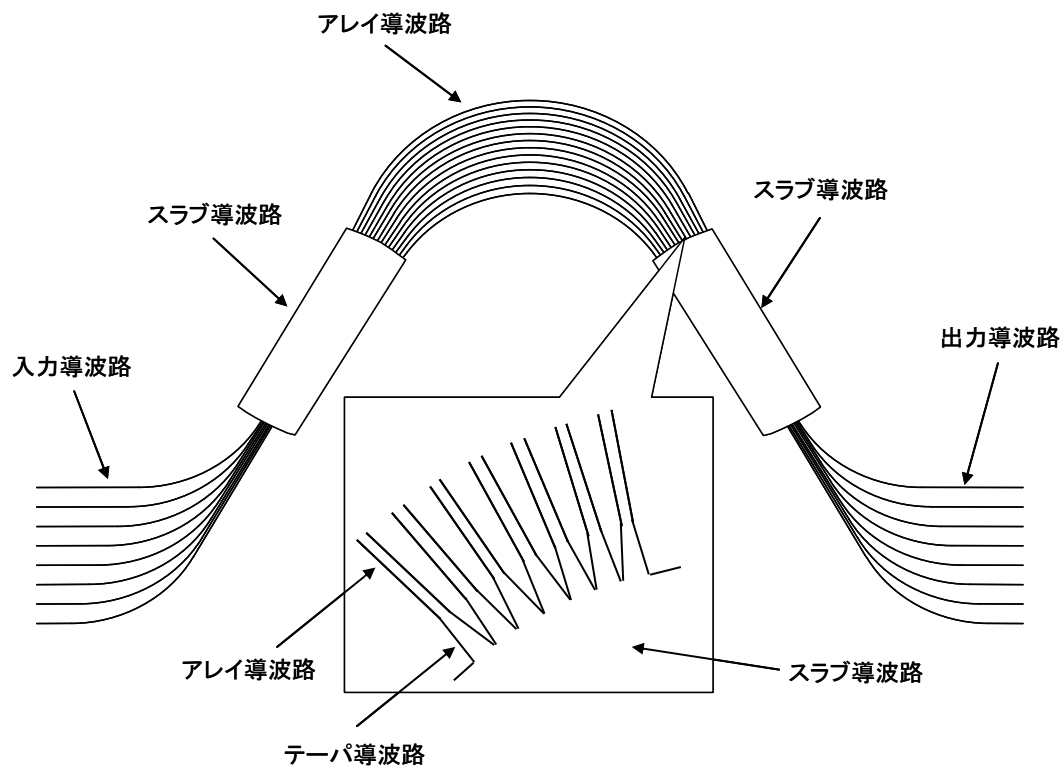


図 6-1 AWG の構成

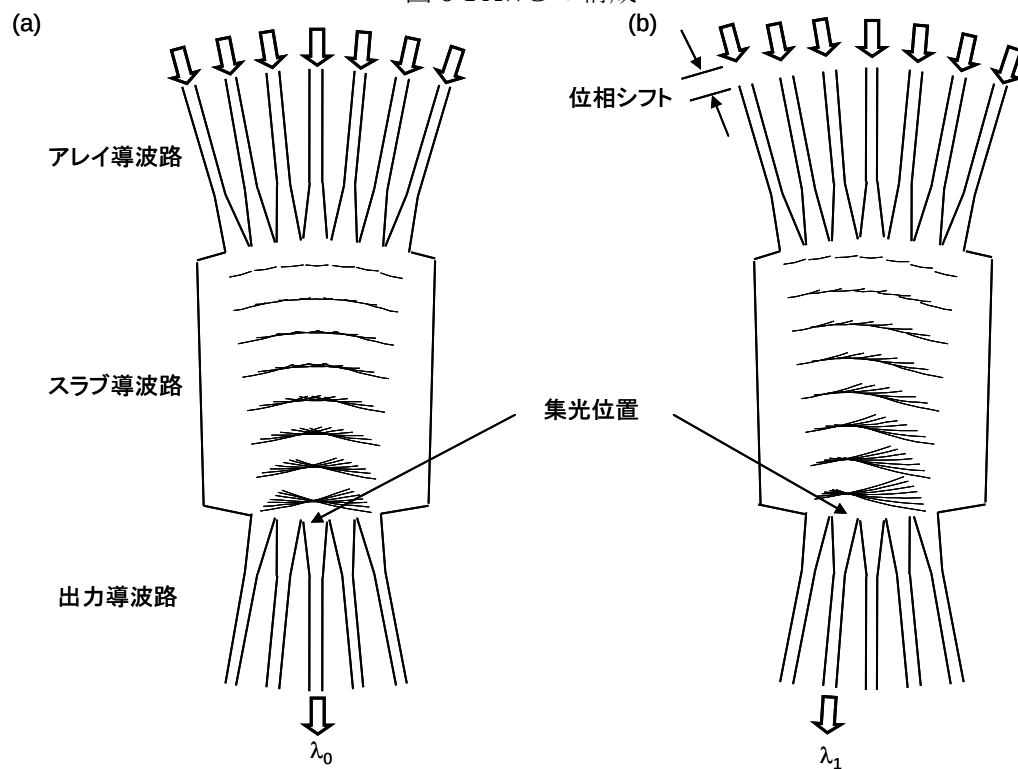


図 6-2 出力側スラブ導波路における波面の伝搬過程

(a) 入射波長: λ_0 (設計中心波長), (b) 入射波長: $\lambda_1 (> \lambda_0)$

だけ出力導波路を配置し、 ΔL およびスラブ導波路の長さ（焦点距離）を適切に設計する

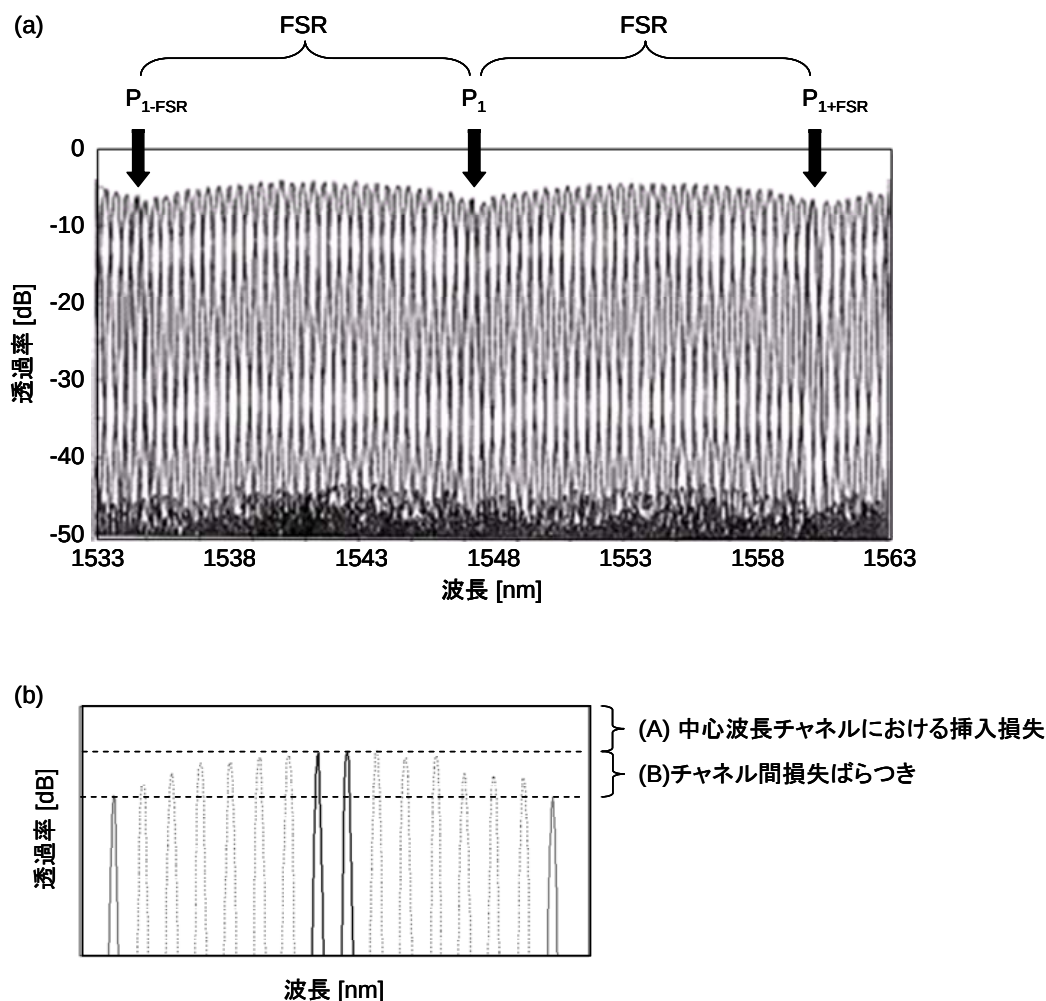


図 6-3 AWG の透過スペクトル

ことにより、多数の波長を同時に合分波することが可能となる．図 6-3(a)に AWG の透過スペクトルの例を示す．AWG のスペクトルは周期的に繰り返す性質があるため、第 1 ポートには波長 λ_1 におけるピーク (P_1) のみではなく、FSR (Free Spectral Range) だけ離れた波長にもピーク (P_{1+FSR}) がある．従って、実際に波長チャンネルとして使用できる範囲は FSR の中に限られる．AWG 型波長合分波器の適用領域が従来の基幹系からメトロ系へと拡大するのに伴い、AWG の高性能化、さらなる低コスト化に対する要求が強くなっている．それらの要求に応じて、波長チャンネル数の拡大、透過帯域スペクトルの平坦化、偏波無依存化、低損失化に向けた検討などが活発に行われている．AWG の高性能化検討に関してはこれまでに膨大な数の報告がなされており、すべての内容を網羅的に紹介することは難しいが、文献[3, 4]に要点が分かりやすくまとめられている．本論文では、波面整合法設計を利用した AWG の低損失化を目的とした検討結果を述べる．

6.2 アレイ導波路回折格子における損失の原因

AWG の損失の要因としては，図 6-3(b)に示す「(A)中心波長チャネルにおける挿入損失」と，中心波長チャネルの損失と比較した場合の「(B)チャネル間損失ばらつき」の 2 項目に分類される．はじめに，各損失の発生原因と，損失低減に向けて提案されている従来技術について，それぞれ概要を説明する．

6.2.1 中心波長チャネルにおける損失

中心波長チャネルにおける挿入損失の原因は，導波路伝搬損失，PLC チップと入出力ファイバの接続損失，アレイ導波路とスラブ導波路の接続部分におけるモードフィールド変換損失からなる．このうち，AWG の回路構成に固有の損失で，かつ最も影響が大きい項目がモードフィールド変換損失である．図 6-4 にアレイ導波路とスラブ導波路の接続部分の模式図を示す．図に示すようにアレイ導波路とスラブ導波路の接続部分ではテーパ導波路構造が採用されているが，パターン化の解像度に限界があるため，隣接するテーパ導波路の間にはギャップが形成される．このギャップは，入力側の接続部分ではスラブ導波路を伝搬してアレイ導波路へ結合する際の散乱損失として，出力側の接続部ではアレイ導波路か

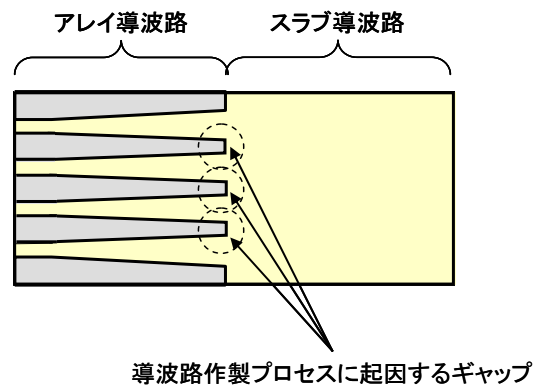


図 6-4 アレイ導波路とスラブ導波路の接続部

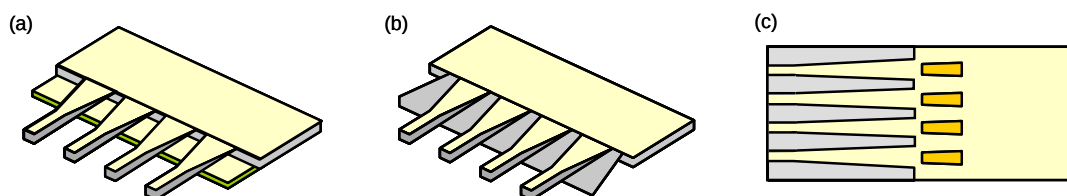


図 6-5 報告されているモードフィールド変換損失低減手法

(a) 二段階エッチング加工[5]，(b) 三次元テーパ加工[6]，(c) 紫外線照射[7]

ら出射される光の回折損失の原因となる。

ギャップに起因するモードフィールド変換損失を低減する方法として、いくつかの手法が提案されている[5-7]。図 6-5 はこれらの手法の説明図である。[5, 6]はコア層エッチング工程の工夫により、ギャップ部分のコア層を完全に除去せずに一部を残す 3 次元構造を実現している。[7]はオーバークラッド層堆積後に、紫外線照射によりコアよりも高い屈折率領域を形成している。入力側のスラブ導波路とアレイ導波路接続部について考えると、スラブ導波路を伝搬した後、従来構造ではギャップ部分から放射されて損失となっていたフィールド成分が、これらの構造では断熱的にアレイ導波路に結合するため、モードフィールド変換損失が低減される。AWG は相反性を保つ回路なので、出力側のスラブ導波路とアレイ導波路の接続部分でも同様の損失低減効果が発現する。これらの手法はモードフィールド変換損失低減には効果的であるが、特殊なエッチング工程や、従来の PLC 作製プロセスに追加工程が必要になるなど、作製プロセスに対する負担が増加するという短所も有する。本研究では、従来の作製プロセスを利用することを前提とし、波面整合法設計を用いたモードフィールド変換損失低減を目的としたモードフィールド変換器を検討した。設計方法の詳細、実験結果について 6.3 節で論じる。

6.2.2 チャネル間損失ばらつき

次に、チャネル間損失ばらつきの原因と、提案されている対策方法について説明する。損失ばらつきの原因を説明するために、図 6-6 に示す座標系を導入する。入力側のスラブ導波路と入力導波路の接続面におけるフィールドを $e(x_1)$ とする。ここで、 x_1 はスラブ導波路接続面に沿った入力導波路の位置を表す座標である。また、入力側スラブ導波路とアレイ導波路の接続面におけるフィールドを $f(\xi_1)$ と表記する。ここで、 ξ_1 はスラブ導波路接続面に沿ったアレイ導波路の位置を表す座標である。 σ_1 と ρ_1 は i 番目の入力導波路の中心位置と l 番目のアレイ導波路の中心位置間の角度である。 $L_{i,l}$ は i 番目の入力導波路と l 番目のアレイ導波路間の距離である。ここで、 $h(\sigma_1)$ は $e(x_1)$ の FFP (Far Field Pattern) を表し、 $g(\rho_1)$ は $f(\xi_1)$ の FFP を表すものとする。 i 番目の入力導波路から l 番目のアレイ導波路に放射されるフィールドの強度は $h(\sigma_1)$ で表され、角度 ρ_1 でアレイ導波路に入射するフィールドの結合率は $g(\rho_1)$ で表される。従って、 i 番目の入力導波路から出射されて l 番目のアレイ導波路に結合するフィールド強度 $b(l)$ は次式で表される。

$$b(l) = h(\sigma_1)g(\rho_1)\exp(-j\beta_s L_{i,l}) \quad (6.1)$$

ここで、 β_s はスラブ導波路における伝搬定数である。出力側スラブ導波路とアレイ導波路の接続面におけるフィールドを $f(\xi_2)$ 、出力側のスラブ導波路と出力導波路の接続面におけるフィールドを $e(x_2)$ とする。 ξ_2 はスラブ導波路接続面に沿ったアレイ導波路の位置、 x_2 はスラブ導波路接続面に沿った入力導波路の位置を表す座標である。 ρ_k と σ_1 は k 番目の出力導波路の中心位置と l 番目のアレイ導波路の中心位置間の角度である。 $L_{l,k}$ は k 番目の出力

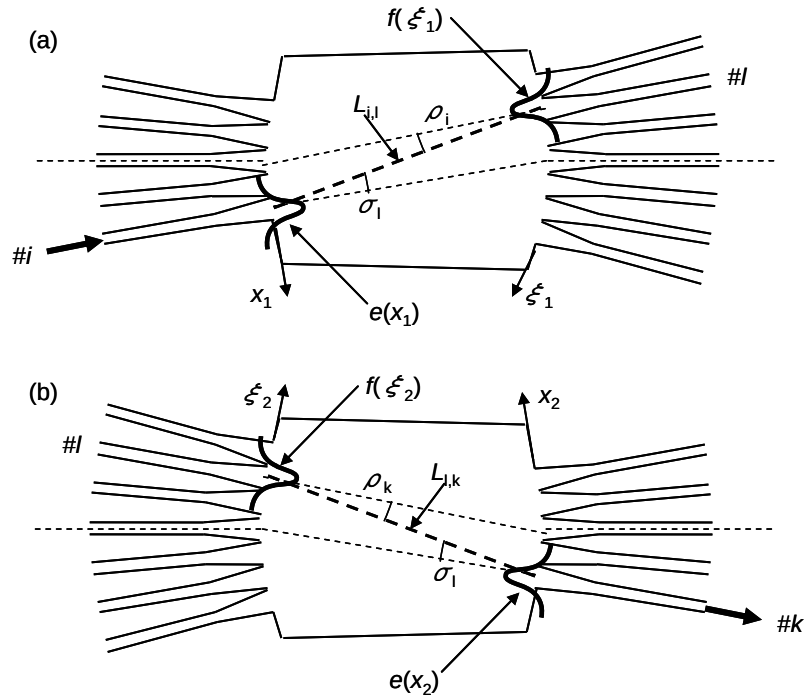


図 6-6 スラブ導波路における座標系

(a) 入力側スラブ導波路, (b) 出力側スラブ導波路

導波路と l 番目のアレイ導波路間の距離である. l 番目のアレイ導波路におけるフィールド強度 $s(l)$ は次式で表される.

$$s(l) = b(l) \exp[-j(N-l)\beta_c \Delta L] \\ = h(\sigma_l) g(\rho_l) \exp\{-j[\beta_s L_{i,l} + (N-l)\beta_c \Delta L]\} \quad (6.2)$$

ここで, β_c はアレイ導波路における伝搬定数, ΔL は隣接するアレイ導波路間の導波路長差, N はアレイ導波路本数を表す. 説明を簡潔にするため, 式(6.2)においては N 番目のアレイ導波路長を 0 として扱っている. l 番目のアレイ導波路から出射されて k 番目の出力導波路に結合するフィールド強度は $f(\xi_2)$ の FFP である $g(\rho_k)$ を用いて, 次のように表記される.

$$s(l) g(\rho_k) \cos(\sigma_l) \exp(-j\beta_s L_{l,k}) \quad (6.3)$$

ここで, $\cos(\sigma_l)$ は k 番目の出力導波路における伝搬方向軸の成分を表わすための係数である. 式(6.1)~(6.3)を用いると, 出力側のスラブ導波路と出力導波路との接続面に集光するフィールドは次式で表わされる.

$$E(x) = \sum_{l=1}^N c(l) \exp[-j\Omega(l)] \quad (6.4)$$

$$c(l) = h(\sigma_l) g(\rho_l) g(\rho_k) \cos(\sigma_l) \quad (6.5)$$

$$\Omega(l) = \beta_s (L_{i,l} + L_{l,k}) + (N-l)\beta_c \Delta L \quad (6.6)$$

式(6.5)から, AWG のチャネル間損失ばらつきを説明する上で, 次を示す重要な知見が導か

れる。「スラブ導波路と出力導波路の接続面において各出力導波路位置に集光するフィールドの強度の包絡線は、アレイ導波路出力端におけるフィールドの FFP で決定される」。

アレイ導波路とスラブ導波路の接続部分が単純な直線テーパ導波路で構成されている従来の AWG においては、アレイ導波路出力端におけるフィールドがガウス関数型であるため、その FFP である強度包絡線もガウス関数型となる。従って、AWG から出力される損失分布も、中心波長チャンネルを頂点としたガウス関数型分布となり、必然的にチャンネル間損失ばらつきが生じる。特に、使用する波長チャンネル数の増加に伴いチャンネル間損失ばらつきの増加も顕著になる。従来の AWG 設計では、損失のガウス関数型分布に起因するチャンネル間損失ばらつきの影響を低減するために、使用可能なチャンネル数（FSR/チャンネル間隔）の 1/2 から 2/3 程度のチャンネル数のみを実際の使用チャンネルとして割り当てている。しかし、この手法では実際に必要なチャンネル数の 1.5~2 倍程度のチャンネル数を有する AWG が必要となり、FSR を必要以上に大きく設定する、すなわち、スラブ導波路長を長く設計する必要がある。これは、回路の小型化という観点から好ましくない。また、FSR 内の一部の帯域を使用することができず、帯域の利用効率低下を招く。従って、チャンネル間の損失ばらつき低減は重要な課題となっている。

チャンネル間損失ばらつきの低減、すなわち、中心波長チャンネルと FSR 内の両端の波長チャンネルとの損失差の低減を目標として、いくつかの手法が提案されている。 N 本の入出力導波路とスラブ導波路から構成される $N \times N$ スターコプラにおける出力損失ばらつき低減について、Dragone や岡本らにより先駆的な提案が報告され[8, 9]、[9]の手法に基づく設計手法の詳細な検討結果も報告されている[10]。最近では、アレイ導波路の出力端に Y 分岐導波路を配置する手法[11]や、AWG の出力部分で隣接する回折次数の出力光を干渉させることで損失ばらつきを低減する手法[12]が提案されている。また、[9]の手法を応用してアレイ導波路の構造を工夫し、Si 細線導波路で構成される AWG の損失ばらつきを低減した結果も報告されている[13]。本研究では、チャンネル間損失ばらつき低減を目的としたモードフィールド変換器の設計を検討した。波面整合法を用いた設計方法の詳細、実験結果について 6.4 節で述べる。

6.3 モードフィールド変換損失の低減

本節では、スラブ導波路とアレイ導波路接続部分におけるモードフィールド変換損失の低減を目的としたモードフィールド変換器設計と、その実験的検証結果について論じる。はじめに、設計指針と波面整合法を利用した具体的な設計手順の詳細について説明する。次に、設計したモードフィールド変換器の実験的検証として、 $1.5\% \Delta$ および $2.5\% \Delta$ 導波路で作製した 100GHz 間隔 16 チャンネル AWG の光学特性測定結果を述べる。

6.3.1 モードフィールド変換器の設計

図 6-7 にモードフィールド変換器の設計モデルを示す．1 本のアレイ導波路に着目し，スラブ導波路を伝搬したフィールドを平面波として近似する．この場合，モードフィールド変換損失はスラブ導波路を伝搬してきた平面波とアレイ導波路の基底モード間のフィールド不整合に起因する問題となる．つまり，平面波をアレイ導波路の基底モードに変換するモードフィールド変換器の設計が波面整合法設計の目的である．そこで，波面整合法の計算過程において，平面波を入力フィールド $\phi(x, 0)$ ，アレイ導波路の基底モードを所望の出力フィールド $\psi(x, L)$ として設定した． L はモード変換器の長さを表している．アレイ導波路同士は数 μm のギャップを挟んで密集して配置されているので，1 本のアレイ導波路を計算対象とただけでは，隣接するアレイ導波路との間の伝搬フィールドの結合を考慮に入れることができず，計算精度が著しく劣化する．一方，アレイ導波路は数百本の規模で配置されるので，すべてを含めるように計算領域を設定する場合は膨大なメモリ，計算量が必要となる．そこで，本検討では BPM として，FFT(Fast Fourier Transform)-BPM を利用した．これは，FFT-BPM の周期性により，1 本のアレイ導波路のみを計算領域として設定した場合であっても，その領域の両隣に同一形状のアレイ導波路が配置された場合と同等のフィールド伝搬が計算可能となるためである．一般的な FFT-BPM を用いた計算ではこの周期性の影響を避けるため，計算領域の幅を十分広く設定し，かつ計算アルゴリズムにおいて適切な境界処理を適用するが，本検討ではその周期性を積極的に利用した．

FFT-BPM を利用する場合は，アレイ導波路が放射状に配置されていることを考慮して，計算領域の幅を伝搬軸に沿って変化させる，すなわち，図 6-7 に示すように計算領域の境界を伝搬軸に対して傾けて設定する必要がある．具体的な設定方法については文献[14, 15]で提案されている．モードフィールド変換器の入力端（スラブ導波路とアレイ導波路の接続部分）における計算領域の幅はアレイ導波路のピッチと同幅に設定する．モードフィール

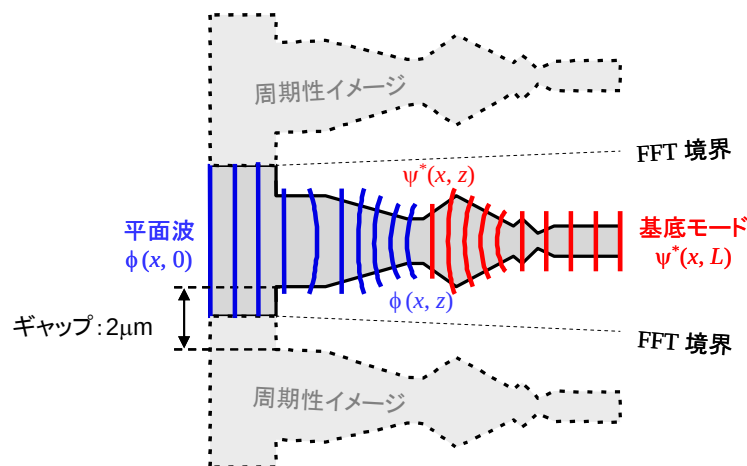


図 6-7 モードフィールド変換器の設計モデル (6.3 節)

表 6-1 AWG 設計パラメータ (6.3 節)

	1.5% Δ	2.5% Δ
Center frequency	193.1 [THz]	193.1 [THz]
Number of arrayed waveguides	118	115
Diffraction order	59	58
Input/output waveguide pitch	15 [μ m]	12 [μ m]
Arrayed waveguide pitch	12 [μ m]	8 [μ m]
Focal length of slab waveguide	4.64 [mm]	3.49 [mm]
Free spectral range	3.2 [THz]	3.3 [THz]
Channel spacing	100 [GHz]	100 [GHz]
Effective index of channel waveguide	1.454	1.468
Effective index of slab waveguide	1.457	1.473

ド変換器の適用対象とした 100GHz 間隔 16 チャンネル AWG の設計パラメータを表 6-1 に示す. 1.5% Δ , 2.5% Δ AWG のアレイ導波路ピッチは, それぞれ 12 μ m, 8 μ m である. 作製プロセスにおける十分なトレランス, 再現性を考慮して, アレイ導波路間の最小ギャップを 2 μ m に設定した. 従って, 計算の初期値としたテーパ導波路の開口幅は 1.5% Δ AWG では 10 μ m, 2.5% Δ AWG では 6 μ m である. 第 4 章, 第 5 章で論じた Y 分岐導波路, 導波路交差設計と同様に, z 方向に隣接するセル列間の導波路幅の変化量 ΔW_m の最大値を $\Delta W_m / \Delta z = 1$ として設定した. この制約条件の導入により, 設計結果は“スパイク”を含まず, 光の伝搬方向に沿って滑らかに導波路幅が変化する導波路形状となる. BPM 計算の離散化単位については $\Delta x \leq 0.2 \mu$ m, $\Delta z = 0.5 \mu$ m と設定した. Δx に関しては, FFT-BPM を利用するため, 分割数を 2^N (N : 自然数) に設定することが好ましい. そこで本検討では, $\Delta x \leq 0.2 \mu$ m となる最小の N を決定し, その結果に合わせて Δx を設定した. 計算波長は 1550nm として, 最適化計算結果が十分に収束するまで 40 回反復計算を行った.

図 6-8 は 1.5% Δ AWG について, 初期値とした従来のテーパ導波路構造と波面整合法設計によるモードフィールド変換器の導波路形状, およびそれぞれの導波路を伝搬するフィールドの BPM による計算結果を示している. 計算波長は 1550nm である. 平面波からアレイ導波路の基底モードへの変換損失は, テーパ導波路では 0.75dB であるのに対し, 設計したモードフィールド変換器では 0.1dB であった. この結果は, 波面整合法設計により, 従来のテーパ導波路構造よりも短い導波路長であっても, 十分なモードフィールド変換損失の低減が可能であることを示している. 図 6-9 は 2.5% Δ AWG におけるテーパ導波路, および波面整合法設計によるモードフィールド変換器の導波路形状, および伝搬フィールドの計算結果を示している. 長さ 250 μ m のテーパ導波路におけるモードフィールド変換損失が 1.1dB

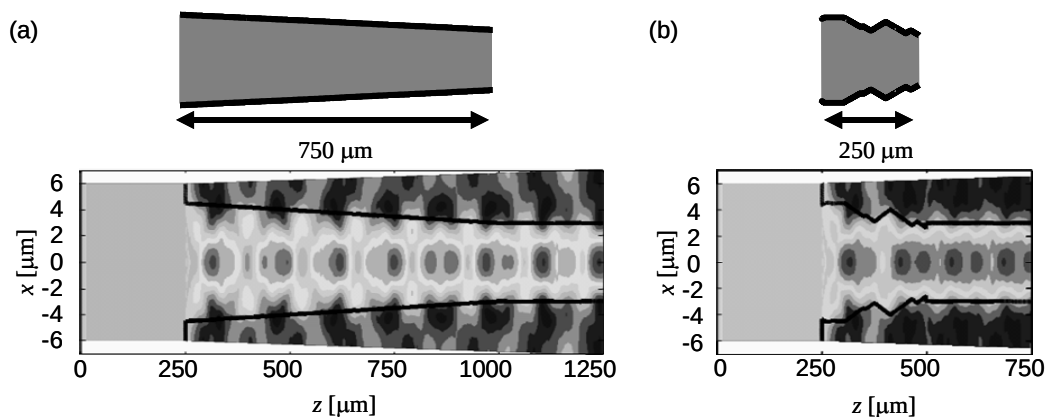


図 6-8 モードフィールド変換器の導波路形状と伝搬フィールド計算結果（1.5% Δ ）

(a) テーパー導波路, (b) 波面整合法設計

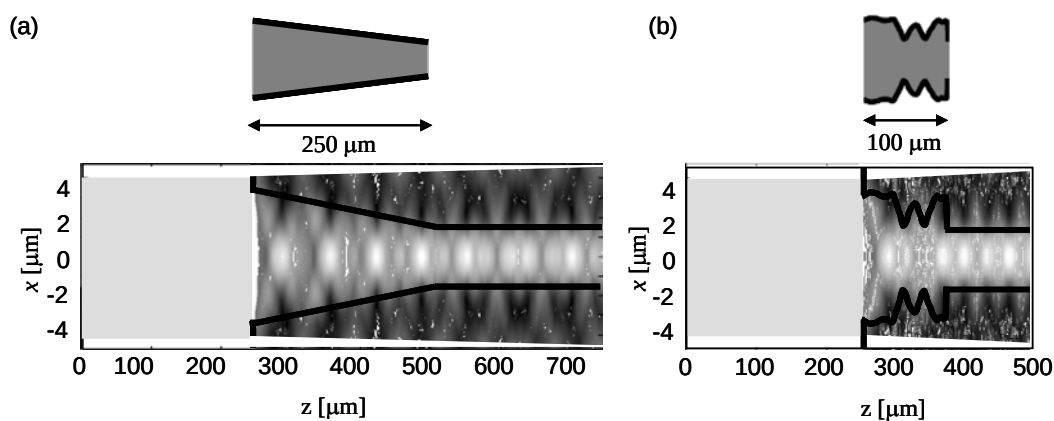


図 6-9 モードフィールド変換器の導波路形状と伝搬フィールド計算結果（2.5% Δ ）

(a) テーパー導波路, (b) 波面整合法設計

であるのに対し、設計した長さ 100 μm のモードフィールド変換器におけるモード変換損失は 0.2dB であった. AWG のスラブ導波路とアレイ導波路の接続部分は 2 箇所存在するので、AWG 全体としてはこの 2 倍の損失低減効果が期待できる.

6.3.2 実験的検証結果

1.5% Δ , 2.5% Δ AWG について、設計したモードフィールド変換器を備えたサンプルを石英系導波路により作製した. 作製した AWG は, 100GHz 間隔 16 チャンネル AWG であり, AWG の設計パラメータは表 6-1 に示す通りである. コア層の厚さは 1.5% Δ において 4.5 μm , 2.5% Δ において 3.5 μm である.

図 6-10 はモードフィールド変換器を備えた 1.5% Δ AWG の透過スペクトル測定結果である. 図には TE モードの結果のみを示しているが, TM モードも、波長が 0.16nm 長波長側にシフトしている点を除いて、TE モードと同一のスペクトルを示している. 偏波による波

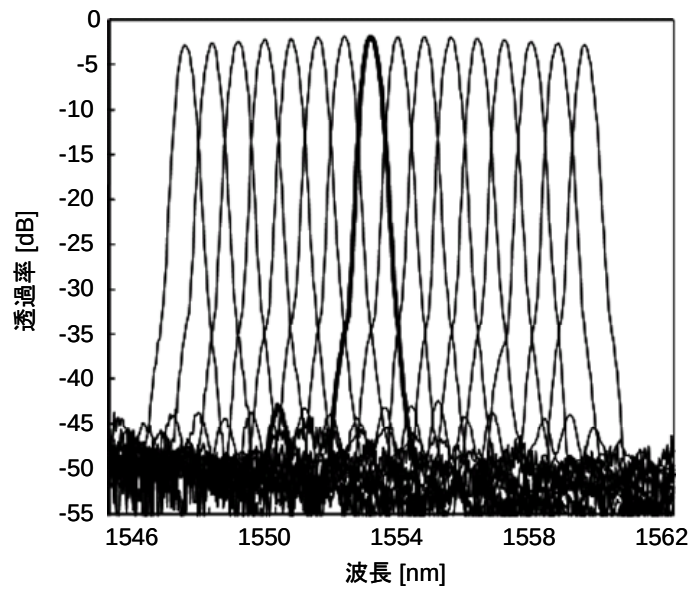


図 6-10 透過スペクトル測定結果 (1.5% Δ AWG)

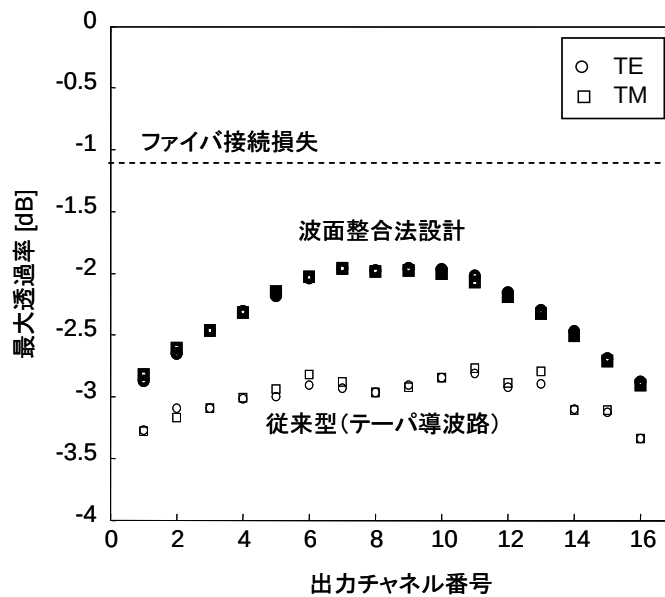


図 6-11 全波長チャネルにおける最大透過率 (1.5% Δ AWG)

長シフト PD λ (Polarization Dependent λ)は導波路の複屈折に起因しており,いくつかの解消方法が提案されている[16, 17]. 本検討では複屈折補償を考慮には入れていないが,これらの文献で報告されている方法はモードフィールド変換器の導入とは関係なく,本研究の効果とは互いに独立な事象であるので,波面整合法設計によるモードフィールド変換器を付した AWG においても公知の複屈折補償手段を利用することで PD λ を解消することが可能である. グラフ中の太線は中心波長チャネルの透過スペクトルに対応している. 隣接および背景クロストークは 40dB 以上で従来の AWG と同等の値であり,モードフィールド変換器の適用によるクロストーク劣化が発生していないことが確認できる.

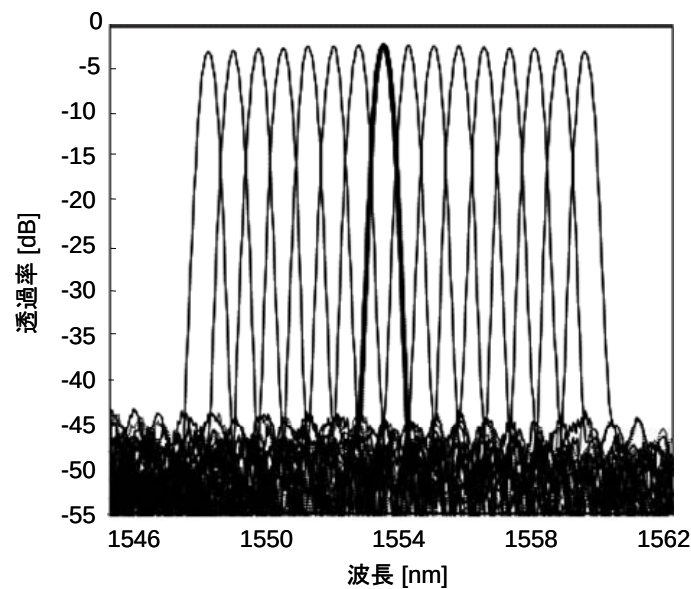


図 6-12 透過スペクトル測定結果 (2.5% Δ AWG)

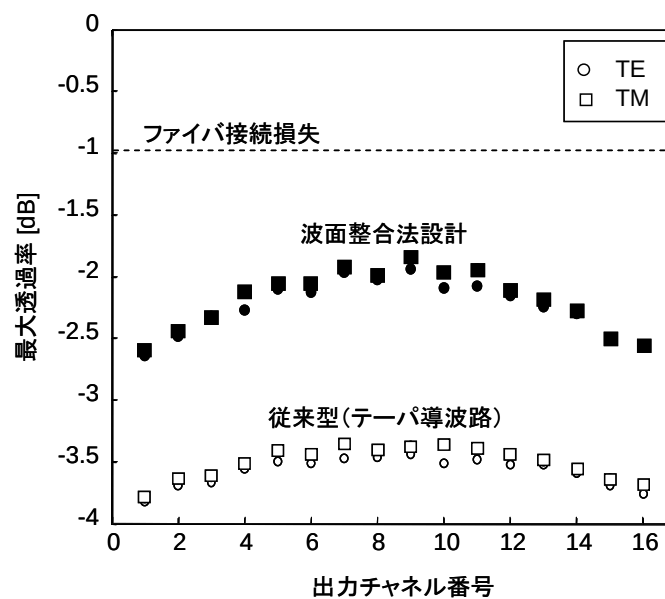


図 6-13 全波長チャネルにおける最大透過率 (2.5% Δ AWG)

図 6-11 は各波長チャネルの最大透過率をプロットしたグラフである．グラフには，比較対象としたスラブ導波路とアレイ導波路の接続部分がテーパ導波路で構成される従来の AWG の測定結果も記入している．図に示すように，最大透過率の値には偏波依存性がない．モードフィールド変換器を付した AWG の中心波長チャネルにおける挿入損失は，1.9dB であり，従来の AWG と比較して 1dB 損失が低減されている．なお，挿入損失の内，1.1dB は PLC チップと入出力ファイバの接続損失であり，実験結果は，従来のモードフィールド変換損失 1.8dB がモードフィールド変換器の適用により 0.8dB まで低減されたことを意味している．

次に、2.5% Δ AWG の測定結果を述べる。図 6-12 はモードフィールド変換器を備えた 2.5% Δ AWG の透過スペクトル測定結果である。図には TE モードの結果のみを示しており、太線は中心波長チャネルの測定結果に対応している。PD λ は 0.02 nm であり、従来構成の AWG と同一の値であることを確認した。また、隣接チャネル間および背景クロストークの劣化が生じないことも確認した。図 6-13 は各波長チャネルの最大透過率をプロットしたグラフである。中心波長チャネルにおける挿入損失は 1.5dB 低減されている。

以上で述べた実験結果から、波面整合法設計によるモードフィールド変換器の設計が導波路 Δ に依らず有効であり、特に、アレイ導波路間のギャップに起因するモードフィールド変換損失の影響が大きい高 Δ AWG において、モードフィールド変換損失低減効果がより顕著であることを確認した。

6.4 出力ポートに対する損失分布の均一化

本節では、AWG の低損失化に向けた 2 つ目のアプローチとして、出力ポート間の損失ばらつき低減を実現するモードフィールド変換器についての検討結果を述べる。モードフィールド変換器は、各アレイ導波路から出射するフィールドのスラブ導波路と出力導波路の接続面における FFP が、ガウス型関数と比較してより平坦な形状となるように設計した。設計したモードフィールド変換器を導入した 100GHz 間隔の AWG を石英系 PLC により作製し、出力ポート間の損失ばらつき低減効果を実験的に確認した。波面整合法を利用したモードフィールド変換器の設計指針と具体的手順、実験的検証結果について詳細を論じる。なお、本節のアプローチは、6.3 節で述べた中心波長チャネルにおける低損失化を目的としたモード変換器設計とは独立した検討である。

6.4.1 モードフィールド変換器の設計

はじめに、チャネル間損失ばらつき低減に向けたモードフィールド変換器の設計指針について説明する。6.2 節で説明したように、スラブ導波路と出力導波路の接続面において各出力導波路位置に集光するフィールドの強度の包絡線は、アレイ導波路出力端におけるフィールドの FFP で決定される。従って、強度包絡線がガウス関数型ではなく平坦な形状となるように、つまり、FFP が平坦な形状となるフィールドをアレイ導波路出力端で合成することにより、チャネル間損失ばらつきの解消が可能となる。

参考文献[9, 13]で報告されている検討においては、隣接するアレイ導波路間における伝搬フィールドの結合を利用してアレイ導波路出力端で合成されるフィールドの FFP の平坦性を向上させている。例えば、[9]においては、図 6-14(a)に模式的に示すように、隣接するアレイ導波路間のギャップが徐々に狭くなるテーパ導波路部分における隣接導波路間のフィ

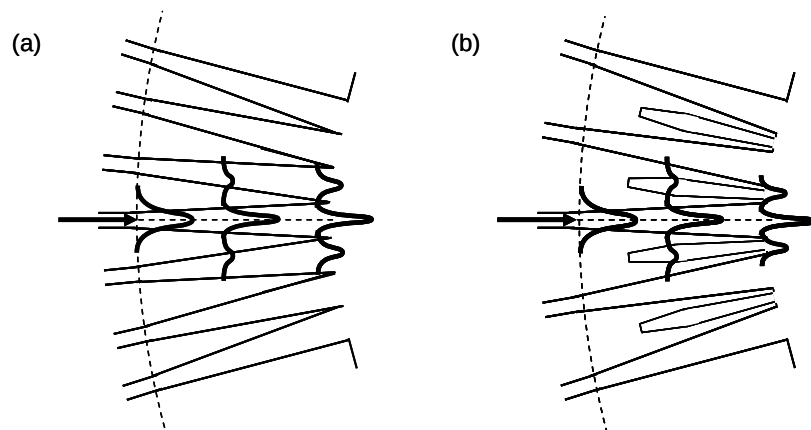


図 6-14 報告されているフィールド結合制御方法

(a) 隣接アレイ導波路との結合[9], (b) ダミー導波路との結合[13]

ールド結合が利用されている．また，[13]においては，図 6-14(b)に示すように，隣接するアレイ導波路間の隙間にダミー導波路を導入することでフィールド結合を調整することで，アレイ導波路出力端におけるフィールドを制御している．いずれの手法も，損失ばらつきを低減するという観点では効果が確認されているが，それぞれの手法に特有の欠点がある．文献[9]の方法では隣接するアレイ導波路間の断熱的なフィールド結合を利用する機構であるため，数 μm のギャップから構成されるフィールド結合部分が長さ数百 μm のオーダーで必要となる．導波路の高 Δ 化に伴い伝搬光のコア部分への閉じ込めが相対的に強くなるため，高 Δ 導波路で形成される AWG において限られた導波路長で十分なフィールド結合を実現するためには，より狭い導波路間のギャップを数百 μm にわたり均一に形成することが求められる．PLC デバイスの集積化を目的とした導波路の高 Δ 化が今後も進展するという技術的背景を考慮すると，従来より微細なギャップの形成を必要とする手法は，導波路作製プロセスにおける加工精度のトレランス，安定性への要求がより厳しくなるため，実用上の観点からは好ましい方法とは言えない．一方，文献[13]の方法では隣接するアレイ導波路間にダミー導波路を配置する必要があるため，従来の AWG と比較してダミー導波路の終端幅と導波路間のギャップ幅の分だけアレイ導波路ピッチを広く設計する必要がある．波長チャネル数を維持しながらアレイ導波路ピッチを広げるためには，スラブ導波路長をより長く設定する必要があるが，設計自由度が低下する．以上で説明したように，これまでに報告されている従来手法[9, 13]では，導波路作製プロセスのトレランスや回路レイアウトの設計自由度をある程度犠牲として，損失ばらつき低減を実現していた．

本研究における損失ばらつき低減に向けた基本的な考え方は，隣接するアレイ導波路間の伝搬フィールドの結合を利用するという点で[9, 13]と同じである．従来手法との相違点は，アレイ導波路出力端において目的とするフィールドの合成方法にある．本検討の手法では，従来のスラブ導波路とアレイ導波路接続部分におけるテーパ導波路を波面整合法を用いて設計したモードフィールド変換器に置換することのみにより，アレイ導波路出力端におけ

る目的フィールドの実現を目的としている．以降では，そのモードフィールド変換器設計の詳細について説明する．

波面整合法設計を適用する目的は，アレイ導波路における基底モードをスラブ導波路と出力導波路の接続面において平坦な FFP を有するフィールド分布に変換するモード変換器の実現である．波面整合法設計を適用する場合，設計領域に入射する入力フィールドと，目的とする出力フィールド，設計領域の長さを事前に設定する必要がある．本検討では，アレイ導波路における基底モードをモードフィールド変換器の入力フィールドとして設定した．また，モードフィールド変換器の長さは，従来の AWG におけるテーパ導波路と同程度の長さという理由から，全長を $500\text{ }\mu\text{m}$ として設定した．

ここで，目的とする出力フィールドをどのように設定するかが重要な問題となる．全波長チャンネルの出力導波路における透過率を完全に均一化するためには，スラブ導波路と出力導波路の接続面において矩形の FFP を実現することが理想となる．つまり，モードフィールド変換器の出力端における目的の出力フィールドとしては，sinc 関数で表現される形状のフィールド分布が理想のフィールドである．しかし，sinc 関数形状のフィールドを目的フィールドとして設定した場合に波面整合法の計算結果が適切に収束するという保証はないため，FFP の平坦性に対する要求を緩和して，最適化計算を収束させるための余地を残す設計パラメータを導入することが望ましい．ただし，波面整合法設計を適用する前の段階において，隣接するモードフィールド変換器間のフィールド結合まで考慮に入れて最も収束性が良くなる目的フィールドを設定することは困難であるため，本検討では目的とする出力フィールド自体を可変のパラメータとして設定した．具体的には，矩形の FFP に代えて，次式で表わされる高次のガウス型関数を目的フィールドの FFP として設定した．

$$\Psi(\xi) = \exp(-a|\xi|^m) \cdot \exp(-jk\xi^2) \quad (6.7)$$

ここで， a は定数， ξ はスラブ導波路と出力導波路の接続面に沿った出力導波路位置を表わす座標， m は高次ガウス関数の次数である．出力ポート間の損失ばらつきは FFP の位相分布に依存しないため，目的フィールドの FFP においては任意の位相分布を設定することが可能である．本検討では，目標フィールドの FFP の位相分布を簡潔に 2 次関数として設定した．式(6.7)における k は位相分布を表わす 2 次関数の係数である．次数 m が無限大の場合は $\Psi(\xi)$ が矩形のパターンとなる．次数 m が 2 の場合は，出力ポート間の損失分布がガウス型関数となり，従来の AWG の損失分布に相当する．従って，波面整合法設計を利用したモードフィールド変換器の導入により $m > 2$ を満足する FFP を実現することで，損失ばらつきを低減することが可能となる．複数のパラメータ組合せ(m, k)に対して波面整合法に基づく最適化計算を実行し，それらの収束結果を比較して，最適な FFP パラメータの組合せを決定した．

次に，最適化計算の過程について詳細を説明する．本検討では，一般的に広く用いられている 100GHz 間隔で 40 チャンネルを備えた AWG をモードフィールド変換器の適用対象とした．AWG の設計パラメータを表 6-2 に示す．図 6-15 は波面整合法を利用したモードフィ

表 6-2 AWG 設計パラメータ (6.4 節)

Center frequency	188.5 [THz]
Number of arrayed waveguides	149
Diffraction order	32
Input/output waveguide pitch	18 [μm]
Arrayed waveguide pitch	10 [μm]
Focal length of slab waveguide	9.55 [mm]
Free spectral range	5.7 [THz]
Channel spacing	100 [GHz]
Effective index of channel waveguide	1.454
Effective index of slab waveguide	1.457

ールド変換器の設計モデルの説明図である．はじめに， (m, k) で規定された目的フィールドの FFP である $\Psi(\xi)$ の逆フーリエ変換を利用して，モードフィールド変換器の出力端における目的フィールド $\psi(x, z_{\text{out}})$ を決定する (図 6-15(a))．その後，アレイ導波路の基底モードを入力フィールド $\phi(x, 0)$ として，前工程で決定した $\psi(x, z_{\text{out}})$ を目的とする出力フィールドとして設定し，波面整合法による最適化計算を開始する (図 6-15(b))．

モードフィールド変換器の設計において重要なパラメータは次の通りである．モードフィールド変換器の長さは 500 μm ，モードフィールド変換器の出力端における隣接するモードフィールド変換器とのピッチは 10 μm ，最適化計算の初期値としたテーパ導波路の出力端導波路幅を 8 μm として設定した．導波路作製プロセスの再現性，トレランスを十分に確保するため，隣接する導波路間の最小ギャップが 2 μm となるように最適化計算過程において制約を課した．BPM 計算では，ある 1 本のアレイ導波路に入力された光がモードフィールド変換器を伝搬する過程における隣接導波路へのフィールド結合を計算し，出力端におけるフィールド分布を計算する必要がある．前節で述べた FFT-BPM を採用して 1 本のアレイ導波路のみを計算対象とする手法では，隣接導波路にまで及ぶ出力端フィールドの形状を計算することができない．そこで，本検討では FD-BPM を採用し，計算過程において光を入射する導波路を中心として隣接する 4 本の導波路を対称に配置した． x 方向の計算領域幅は 60 μm である．この計算領域幅については，中央から 3 番目の導波路 (計算領域の境界線) における結合フィールドの振幅が無視できるほど小さく最適化計算結果に影響を与えない，すなわち計算領域境界より外側の導波路の存在は無視できる，十分な幅であることを確認している． x 方向および z 方向における離散化単位はそれぞれ 0.1 μm , 0.2 μm とした．最適化計算の初期値として，従来型 AWG と同様のテーパ導波路を設定した．また，計算結果が十分に収束するまで，波面整合法に基づく最適化工程を 40 回反復した．本検討においては，すべてのアレイ導波路出力端におけるフィールド分布が同一の形状となる必要があ

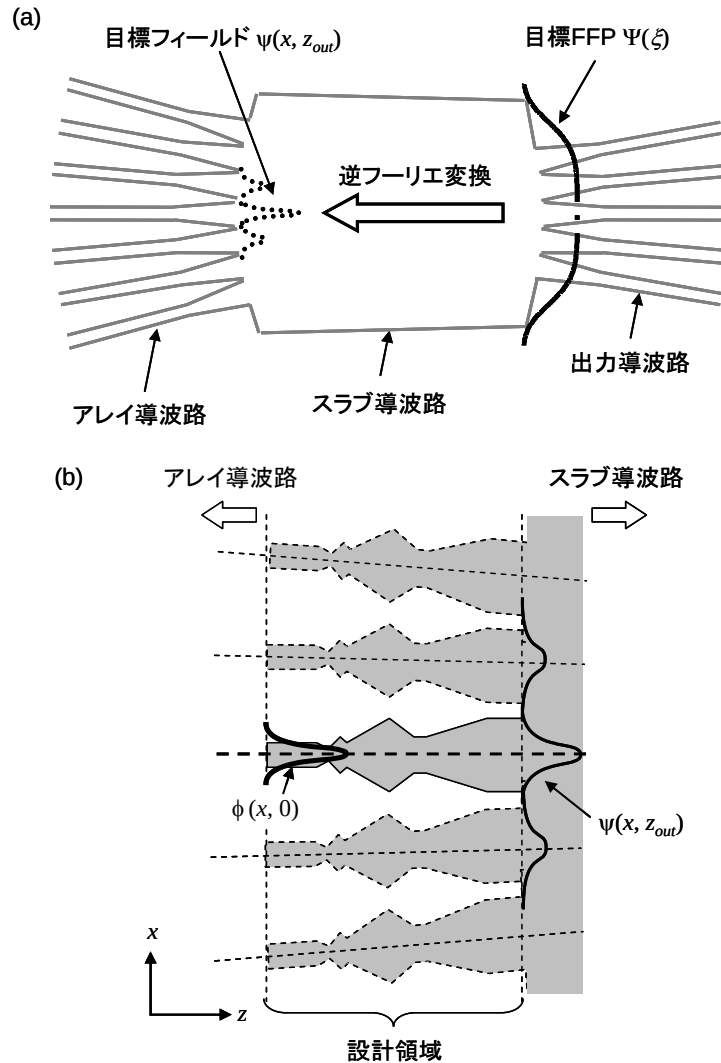


図 6-15 モードフィールド変換器の設計モデル (6.4 節)

る．そこで，計算過程においては，計算領域内の 5 本の導波路形状がすべて一致するように，アレイ導波路の基底モードが入射される中心導波路以外の 4 本の導波路形状が中心導波路と同一になるように逐次屈折率分布を更新した．

図 6-16 は目的とした出力フィールド $\psi(x, z_{out})$ と最適化の収束結果であるモードフィールド変換器形状によって合成される出力フィールド $\phi(x, z_{out})$ との結合効率をパラメータ (m, k) に対してプロットした等高線図である．この結果から $(m, k) = (3.6, 3 \times 10^{-6})$ の場合に結合効率の最大値 0.97 を示すことが分かる．本検討では $(m, k) = (3.6, 3 \times 10^{-6})$ におけるモードフィールド設計結果を最適な収束解として採用した．図 6-17 は $(m, k) = (3.6, 3 \times 10^{-6})$ とした場合に設計されたモードフィールド変換器の形状を示している．図には中心のモードフィールド変換器と隣接する導波路も含めて 3 本のモード変換器を描写し，導波路幅が変調されている様子を明確に示すために縦方向のスケールを横方向と比較して 2 倍に拡大して

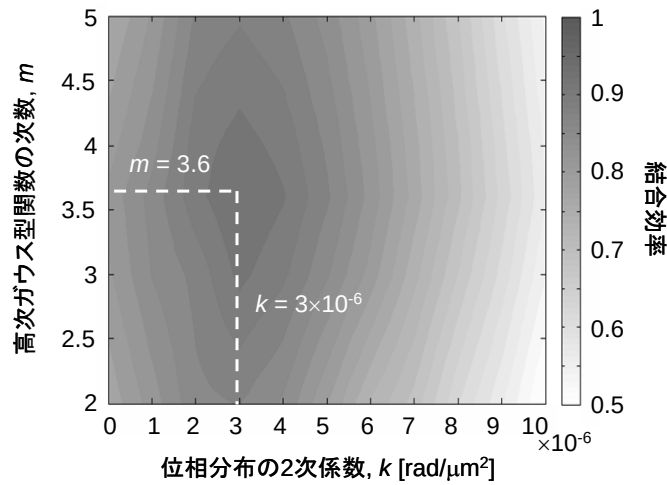


図 6-16 波面整合法に基づく最適化計算の収束結果



図 6-17 設計したモードフィールド変換器の形状

表示している。

従来型 AWG のアレイ導波路出力端におけるテーパ導波路および設計したモードフィールド変換器を伝搬するフィールドの BPM による計算結果を図 6-18 に示す。テーパ導波路の場合と比較して、モードフィールド変換器においては隣接導波路間でより顕著なフィールド結合が発生している様子が分かる。

モードフィールド変換器出力端で合成されるフィールドのスラブ導波路と出力導波路の接続面における FFP の強度分布を図 6-19 に示す。図においては、従来型 AWG のテーパ導波路出力端におけるフィールドの FFP 強度が出力導波路位置の中央($x = 0 \mu\text{m}$)で 1 となるように規格化した。この計算結果はモードフィールド変換器の適用により、中心ポート (29 番目の出力ポート, $x = 0 \mu\text{m}$) と両端の出力ポート (1 および 57 番目の出力ポート, $x = \pm 504 \mu\text{m}$) との間の損失差が 2.4dB から 0.6dB まで低減できることを表わしている。すなわち、モードフィールド変換器の導入による AWG の損失ばらつき低減効果が期待できる結果である。中心付近の出力ポートに関してはモードフィールド変換器の導入により従来型 AWG と比較して損失が若干増加しているが、損失ばらつきの低減により全出力ポートにおける最大損失は低減されており、モードフィールド変換器の導入は損失低減という主目的に沿う効果が期待される。次節において、損失ばらつき低減効果の実験的検証結果について述べる。

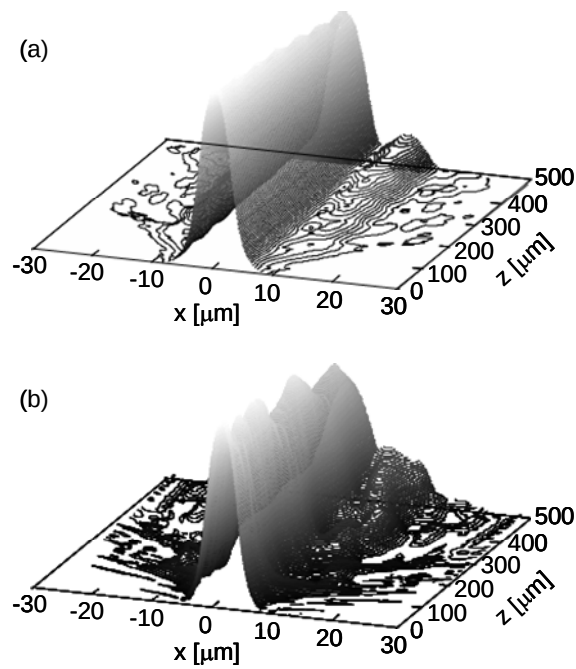


図 6-18 BPM による伝搬フィールド計算結果
(a) 従来型（テーパ導波路）、(b) 波面整合法設計

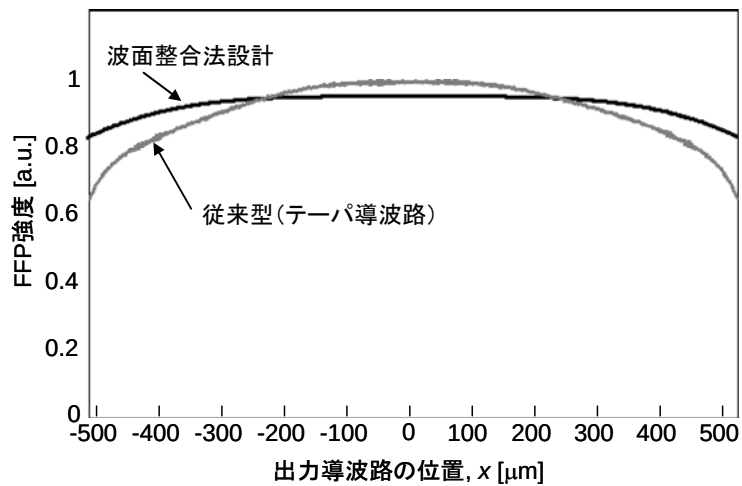


図 6-19 FFP 強度分布の計算結果

6.4.2 実験的検証結果

波面整合法設計を利用したモードフィールド変換器の導入による AWG の損失ばらつき低減効果を検証した実験結果を述べる．比較対象とするために，アレイ導波路と出力側スラブ導波路の接続部分がテーパ導波路から構成される従来型 AWG も作製した．作製した AWG の設計パラメータは表 6-2 に示すとおりである．導波路の比屈折率差 Δ は 1.5%，コア

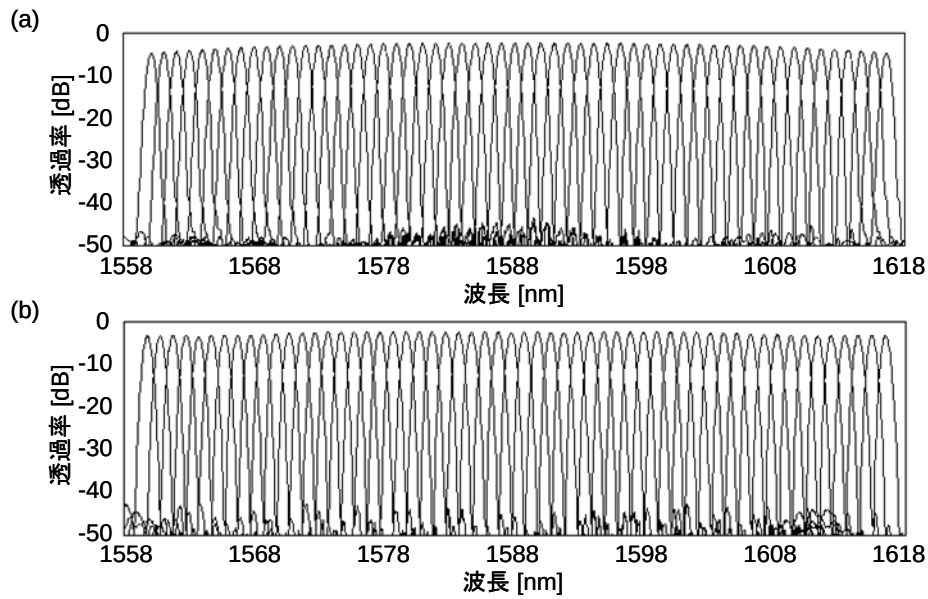


図 6-20 全出力ポートにおける透過スペクトル測定結果

(a) 従来型（テーパ導波路），(b) 波面整合法設計

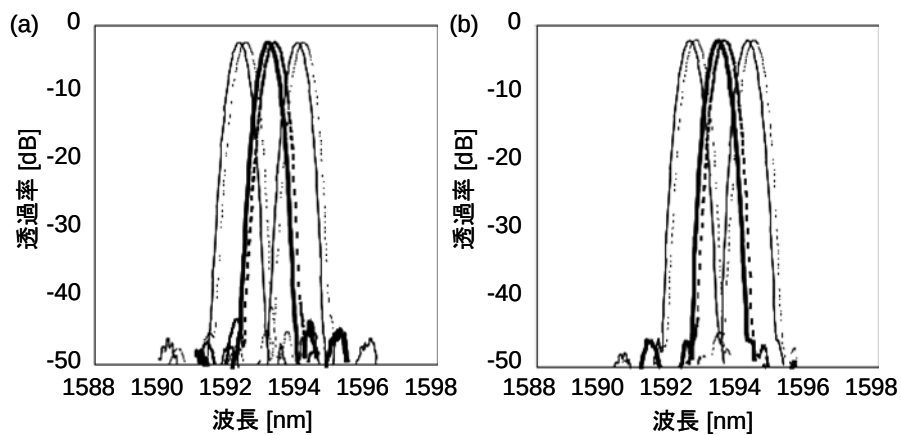


図 6-21 中心出力ポート近傍における透過スペクトル測定結果

(a) 従来型（テーパ導波路），(b) 波面整合法設計

層の厚さは $4.5\ \mu\text{m}$ である．作製した AWG は一般的には 40 チャンネル分の波長合分波フィルタとしての使用を想定しているが，導入したモードフィールド変換器により合成されたフィールドの FFP を検証するために，57 本の出力導波路を配置した．AWG の回路レイアウトにおける最小曲げ半径は 1.5mm ，チップサイズは $20.6 \times 21.5\text{mm}^2$ である．検証実験用の AWG は，従来型の AWG におけるアレイ導波路終端のテーパ導波路を設計したモードフィールド変換器に置換しただけの構成であり，他のレイアウトは従来型 AWG と同一の構成になっている．

AWG の特性評価においては，29 番目の入力導波路，つまり，中央の入力導波路から光を入力した．図 6-20 に全出力ポートにおける透過スペクトルの測定結果を示す．グラフには，入力光が TE モードの場合の結果のみを示している．図 6-21 には，中心出力ポートとその

両隣の出力ポート（28～30 番目）の透過スペクトル測定結果を拡大して示している．グラフ中の太線が中心ポートの結果に相当し，実線が TE モード入力，点線が TM モード入力の結果にそれぞれ対応している．6.3 節における実験結果と同様に， 0.18nm 程度の PD λ が生じている．前述のとおり，この PD λ は導波路複屈折が原因であり，モードフィールド変換器の導入とは相関のない現象である．図 6-20 および図 6-21 に示した結果から，両方の AWG について，40dB 以上のクロストークが確保されていることを確認した．また，透過スペクトルの形状も両者の間に明確な差分が無いことから，波面整合法設計によるモードフィールド変換器の導入が AWG の合分波特性の劣化を招かないことを確認した．

図 6-22 は全出力ポートにおける過剰損失をプロットしたグラフである．グラフ中の過剰損失とは，測定した各出力ポートの挿入損失から，PLC チップと入出力ファイバとの接続損失 1.1dB を差し引いた値である．グラフには TE モード入力の場合の結果のみを示したが，過剰損失に関しては TM モード入力の結果も同一である．図 6-22 に示す実験結果は，モードフィールド変換器の導入により出力ポート間の損失ばらつきが低減できることを示している．40 チャンネル AWG としての利用を想定した場合（10～49 番目の出力ポートのみを使用）において，損失ばらつきは 0.8dB から 0.3dB まで低減されている．この実験結果は図 6-19 で示した計算結果と良く一致している．従って，モードフィールド変換器により目的として設定した出力フィールドが設計通りに合成され，目的とする FFP が実現されたことが実験的にも実証された．

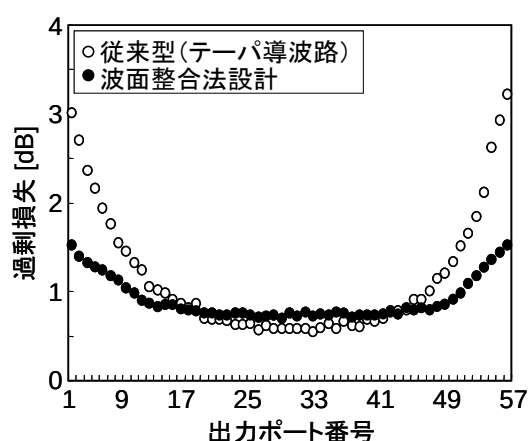


図 6-22 全出力ポートにおける過剰損失測定結果

6.5 まとめ

本章では，波面整合法設計を利用したモードフィールド変換器の導入による AWG の低損失化について，設計指針と計算手順，実験結果について論じた．低損失化に向けた 1 つ目

のアプローチとして、6.3 節において、スラブ導波路とアレイ導波路接続部分におけるモードフィールド変換損失の低減を目的としたモードフィールド変換器設計と、その実験的検証結果について述べた。提案手法の適用が、アレイ導波路間のギャップに起因するモードフィールド変換損失の影響が大きい高 Δ AWG において特に有効であることを明らかにした。AWG の低損失化に向けた 2 つ目のアプローチとして、6.4 節において、出力ポート間の損失ばらつき低減を実現するモードフィールド変換器について検討した。モードフィールド変換器は、各アレイ導波路から出射するフィールドのスラブ導波路と出力導波路の接続面における FFP が、ガウス型関数と比較してより平坦な形状となるように設計することが損失均一化の本質的な解決方法である。その考えに基づいて波面整合法で設計したモードフィールド変換器を導入した 100GHz 間隔の AWG を石英系 PLC により作製し、損失ばらつき低減を実験的に実証した。いずれの手法も、従来型 AWG のアレイ導波路終端におけるテーパー導波路を設計したモードフィールド変換器に置換することのみで、AWG の低損失化を可能にしている。また、モードフィールド変換器の挿入により、クロストークの増加や出力スペクトル形状の歪みなどに代表される AWG の合分波特性に悪影響が生じないことも実験的に確認した。本研究におけるモードフィールド変換器の設計は、作製再現性やトレランスが十分に確保された導波路作製条件を想定している点、AWG レイアウトの設計パラメータに制約を与える必要がない点を特徴としており、実用化に向けた導入への障壁が低いという観点からも産業上有効な手法である。

最後に、本章で論じた 2 種類のモードフィールド変換器の効果について考察を加える。6.3 節において述べたスラブ導波路とアレイ導波路接続部分におけるモードフィールド変換損失の低減を目的としたモードフィールド変換器設計では、スラブ導波路を伝搬した平面波を入力フィールド、アレイ導波路の基底モードを目的の出力フィールドとして波面整合法設計を適用した。伝搬フィールドの相反性を考慮すると伝搬方向を逆転させて考えることが可能であり、設計したモードフィールド変換器はアレイ導波路の基底モードを平面波に変換するモードフィールド変換器と等価と言える。一方、6.4 節において論じたモードフィールド変換器は、出力ポート間の損失ばらつき低減を目的として、アレイ導波路から出射するフィールドのスラブ導波路と出力導波路の接続面における FFP が平面となるように設計した。つまり、アレイ導波路の基底モードを平面波の逆フーリエ変換である sinc 関数形状の波面に変換することを目的としたモードフィールド変換器である。本章で述べた 2 種類のモードフィールド変換器において、入力フィールドは両者ともアレイ導波路の基底モードであるが、目的とする出力フィールドは互いにフーリエ変換対の関係にある。従って、本章で論じた中心波長チャンネルにおける損失低減と出力間の損失ばらつき低減を同時に実現するモードフィールド変換器の実現は原理的に難しい。

参考文献

- [1] M. K. Smit, "New focusing and dispersive planar component based on an optical phased array," *Electron. Lett.*, vol. 24, pp. 385-386, 1988.
- [2] H. Takahashi, S. Suzuki and I. Nishi, "Wavelength multiplexer based on $\text{SiO}_2\text{-Ta}_2\text{O}_5$ arrayed-waveguide grating," *J. Lightwave Technol.*, vol. 12, pp. 989-995, 1994.
- [3] K. Okamoto, *Fundamentals of optical waveguides*, 2nd edition, Chap. 9, Academic Press, 2006.
- [4] C. R. Doerr and K. Okamoto, "Advances in silica planar lightwave circuits," *J. Lightwave Technol.*, vol. 24, pp. 4763-4789, 2006.
- [5] C. van Dam, A. A. M. Staring, E. J. Jansen, J. J. M. Binsma, T. Van Dongen, M. K. Smit and B. H. Verbeek, "Loss reduction for phased array demultiplexers using a double etch technique," *IPR1996*, pp. 52-55, 1996.
- [6] A. Sugita, A. Kaneko, K. Okamoto, M. Itoh, A. Himeno and Y. Ohmori, "Very low insertion loss arrayed-waveguide grating with vertically tapered waveguides," *IEEE Photon. Technol. Lett.*, vol. 12 pp. 1180-1182, 2000.
- [7] K. Maru, T. Chiba, M. Okawa, H. Ishikawa, K. Ohira, S. Sato and H. Uetsuka, "Low-loss arrayed-waveguide grating with high index regions at slab-to-array interface," *Electron. Lett.*, vol. 37, pp. 1287-1289, 2001.
- [8] C. Dragone, C. H. Henry, I. P. Kaminow and R. C. Kistler, "Efficient multichannel integrated optics star coupler on silicon," *IEEE Photon. Technol. Lett.*, vol. 1, pp. 479-489, 1989.
- [9] K. Okamoto, H. Takahashi, S. Suzuki, A. Sugita and Y. Ohmori, "Design and fabrication of integrated 8×8 star coupler," *Electron. Lett.*, vol. 27, pp. 774-775, 1991.
- [10] G. H. Song and M. Y. Park, "Bessel-function analysis of the optimized star coupler for uniform power splitting," *J. Opt. Soc. Am. A*, vol. 21, pp. 1529-1544, 2004.
- [11] C. Dragone, C. R. Doerr, P. Bernasconi, M. Cappuzzo, E. Chen, A. Wong-Foy and L. Gomez, "Low-loss $N\times N$ wavelength router," *Electron. Lett.*, vol. 44, pp. 763-764, 2005.
- [12] K. Takiguchi, K. Okamoto and A. Sugita, "Arrayed-waveguide grating with uniform loss properties over the entire range of wavelength channels," *Opt. Lett.*, vol. 31, pp. 459-461, 2006.
- [13] Z. Sheng, D. Dai and S. He, "Improving channel uniformity of an Si-nanowire AWG demultiplexer by using dual-tapered auxiliary waveguides," *J. Lightwave Technol.*, vol. 25, pp. 3001-3007, 2007.
- [14] P. Sewell, T. M. Benson, P. C. Kendall and T. Anada, "Tapered beam propagation," *Electron. Lett.*, vol. 32, pp. 1025-1026.
- [15] S. Sujecki, P. Sewel, T. M. Benson and P. C. Kendall, "Novel beam propagation algorithms for tapered optical structures," *J. Lightwave Technol.*, vol. 17, pp. 2379-2388, 1999.

- [16] H. Takahashi, Y. Hibino, Y. Ohmori and M. Kawachi, "Polarization-insensitive arrayed-waveguide wavelength multiplexer with birefringence compensating film," IEEE Photon. Technol. Lett., vol. 5, pp. 707-709, 1993.
- [17] K. Maru, M. Okawa, Y. Abe, T. Hakuta, S. Himi and H. Uetsuka, "Silica-based 2.5%- Δ arrayed waveguide grating using simple polarization compensation method with core width adjustment," Electron. Lett., vol. 43, pp. 26-27, 2007.

第 7 章 結論

光回路における大規模な複合機能集積化と小型化，低コスト化を両立させるためには，より高い比屈折率差 Δ の導波路を採用する必要がある．この場合，導波路作製プロセス精度，微細加工の限界が光導波路の特性に与える影響が相対的に大きくなる．従来の導波路設計方法では，加工精度に対する要求緩和が困難であり，導波路の高 Δ 化に伴い回路要素の過剰損失が増加する傾向が顕著であった．回路要素一箇所当りの損失増加とチャネル数の拡大に伴う回路要素数の増加という背景から，回路要素一箇所当りの極限的な低損失化が重要な課題となっている．特に，光増幅機能による損失補償が不可能な石英系 PLC デバイスにおいては，この課題解決の重要性は極めて高い．このような背景から，本研究では，波面整合法に基づく光導波路設計を利用した光回路構成要素の特性向上，およびその結果を適用した石英系 PLC デバイスの高性能化を目的とした．特に，石英系 PLC 技術による大規模な複合機能デバイスを実現するために必要不可欠となる，回路要素の低損失化に焦点を置いた．本論文の内容を要約し，得られた結論を述べる．

第 2 章では，波面整合法の原理と，波面整合法を用いた光回路設計手順について説明した．波面整合法とは，光回路の入力フィールドを入力側から順伝搬させたフィールドと，所望の出力フィールドの位相を反転させたフィールドを出力側から逆伝搬させた波面を整合させるように屈折率分布を決定することで，光導波路及び光回路を設計する手法である．波面整合法に基づいて設計された光回路の例として，2 波長フィルタに関する実験結果について述べ，実用化の視点から波面整合法の問題点を明らかにした．結論として，波面整合法を用いて光回路要素の低損失化を実現するためには，「モザイク型」コア分布に起因する散乱損失を抑制する必要があることを述べた．

第 3 章では，波面整合法の原理に基づいて光回路要素の低損失化を実現する手法として，「塗りつぶし型」設計を提案した．「塗りつぶし型」の設計思想でもあり，最大の特徴は，入力フィールドを順方向に伝搬させた波面と，所望の出力フィールドを逆方向に伝搬させた波面とを導波路幅の変調により整合させる点である．これにより，「モザイク型」コアパターンで不可避であったコアとクラッドの界面における散乱損失を抑制することが可能となり，伝搬損失が小さい光導波路の設計が可能となる．従来の「モザイク型」コアパターンでは伝搬光を多重散乱させて，その干渉を利用するという機構であるため，波長依存性が必要な光回路の設計に適している．一方，「塗りつぶし型」設計で合成されたパターンには明確な導波構造が存在しており，伝搬光のフィールド径変換および高次モードの励起，結合により出力端における所望のフィールドを実現している．そのため，顕著な波長依存性の発現には不適であるが，波長依存性の抑制が必要な光導波路設計に適している．実験的な原理確認を目的として光導波路レンズを設計し，本研究で提案した波面整合法に基づく「塗りつぶし型」設計の適用により伝搬損失の小さい光回路要素を効率的に設計するこ

とが可能であることを示した。

第4章では、波面整合法に基づく「塗りつぶし型」設計を利用したY分岐導波路の高性能化について検討した結果を述べた。はじめに、Y分岐導波路における損失の原因と、導波路の比屈折率差 Δ と損失の関係について説明し、Y分岐導波路の低損失化に向けた設計手法を示した。0.45～2.5% Δ 石英系PLCのY分岐導波路に「塗りつぶし型」設計を適用した実験結果を比較し、本手法が集積化に適した高 Δ 導波路において、より顕著な損失低減効果を示すことを述べた。実用上重要なPLCデバイスへの適用例として、アクセス網に利用される1×32スプリッタ、およびDQPSK変調器を構成する1×4スプリッタへの適用検討結果を示し、提案手法の有用性を確認した。また、分岐比安定化を目的として、Y分岐導波路に1次モードに対するフィルタ機能を付加するための設計方法について説明し、その効果を実験的に検証した。その結果、高次モードの伝搬を効果的に抑制して分岐比を安定化できることを明らかにした。

第5章では、波面整合法に基づく「塗りつぶし型」設計を利用した導波路交差の交差損失低減効果について述べた。はじめに、「塗りつぶし型」設計を用いた導波路交差の設計手法を説明し、0.75～2.5% Δ 石英系PLCの導波路交差部分に本手法を適用した実験結果を比較し、本手法が集積化に適した高 Δ 導波路において、より顕著な低損失化効果を示すことを述べた。実用上重要なPLCデバイスへの適用例として、8×8マトリクス光スイッチおよびVOAとAWGを集積したV-AWGへの適用検討結果について述べ、波面整合法設計交差の実用性を実証した。

第6章では、波面整合法に基づく「塗りつぶし型」設計を利用したモードフィールド変換器の導入によるAWGの低損失化について、設計指針と計算手順、実験結果について述べた。低損失化に向けた1つ目のアプローチとして、スラブ導波路とアレイ導波路接続部分におけるモードフィールド変換損失の低減を目的としたモードフィールド変換器の設計を行い、その実験的検証結果について述べた。提案手法の適用が、アレイ導波路間のギャップに起因するモードフィールド変換損失の影響が大きい高 Δ AWGにおいて特に有効であることを確認した。AWGの低損失化に向けた2つ目のアプローチとして、出力ポート間の損失ばらつき低減を実現するモードフィールド変換器について検討した。モードフィールド変換器は、各アレイ導波路から出射するフィールドのスラブ導波路と出力導波路の接続面におけるFFPが、ガウス型関数と比較してより平坦な形状となるように設計した。いずれの手法も、従来型AWGのアレイ導波路終端におけるテーパ導波路を設計したモードフィールド変換器に置換することのみで、AWGの低損失化を可能にしている。また、モードフィールド変換器の挿入により、クロストークの増加や出力スペクトル形状の歪みなどに代表されるAWGの合分波特性に悪影響が生じないことも実験的に確認し、本設計法に基づくモードフィールド変換器の適用が有効であることを明らかにした。

本研究で得られた結果は、集積型光導波路デバイスの低損失化を実現する上で新たな知見を与えるものであり、Y分岐導波路や導波路交差などで構成されるスプリッタや光スイッ

チ、アレイ導波路回折格子などを主要構成要素とする光集積回路の高性能化に向けて有用な設計指針となる。本研究では回路要素の低損失化の重要性が顕著である石英系導波路を研究対象としたが、本研究で提案した波面整合法に基づく「塗りつぶし型」設計の適用先は石英系導波路に限定されるものではない。光半導体導波路では光増幅機能を発現させることが可能であるため、石英系導波路などで構成される受動光部品と比較した場合、回路要素の低損失化に対する要求はそれほど大きくないという現状がある。ただし、光半導体型導波路デバイスについても大規模集積化が進展するのは明らかであり、導波路型光増幅器の消費電力や発熱量の制限により、将来的には回路要素一箇所当りの極限的な低損失化が重要な課題となると予想される。本研究で提案した設計手法が、石英系導波路への適用にとどまらず、InP系半導体材料などの他材料系導波路の設計へと波及して集積型導波路デバイスの高性能化に貢献し、高速・大容量光通信ネットワークの構築に向けた実用化に寄与するものと考えらる。

謝辞

本論文をまとめるにあたり，懇切な御指導を賜りました東京工業大学大学院理工学研究科電気電子工学専攻水本哲弥教授に謹んで感謝の意を表します．

また貴重な御教示，御助言を頂いた同大学院同研究科同専攻荒井滋久教授，西山伸彦准教授，同大学院精密工学研究所小山二三夫教授，植之原裕行准教授，慶応義塾大学理工学部電子工学科津田裕之教授に厚く感謝の意を表します．

本研究は，筆者が日本電信電話株式会社フォトニクス研究所における研究開発業務の一環として担当したものであり，多くの方々に御指導と御協力を頂きました．

本研究の機会を与えていただいた，同研究所日比野義典所長，複合光デバイス研究部鈴木扇太郎長，NTT エレクトロニクス株式会社光波回路事業部杉田彰夫事業部長に感謝申し上げます．

日頃より御指導と有益な御助言を頂きました複合光デバイス研究部高橋浩グループリーダー，井藤幹隆グループリーダー，美野真司グループリーダー，金子明正主幹研究員，フォトニクスデバイス研究部井上靖之グループリーダーに心より感謝申し上げます．

本研究に取り組むきっかけを与えて頂き，さらに直接御指導頂いた，複合光デバイス研究部橋本俊和主任研究員，才田隆志主任研究員に心より深く感謝申し上げます．

光波回路設計に関して御指導いただきました，複合光デバイス研究部鬼頭勤主幹研究員，肥田安弘主任研究員，亀井新研究主任，相馬俊一研究主任に感謝申し上げます．

光波回路の作製に関して御協力いただきました複合光デバイス研究部光波回路作製研究グループ各位，NTT エレクトロニクス株式会社柴田知尋主事ほか技術開発センタおよび光波回路事業部関係各位に感謝申し上げます．

本研究を進めるにあたり，様々な御協力を頂きました NTT フォトニクス研究所複合光デバイス研究部および関係の皆様，東京工業大学大学院理工学研究科電気電子工学専攻の皆様に深く感謝申し上げます．

研究業績リスト

学位論文の内容に関する発表

【論文】

- [1] **Y. Sakamaki**, T. Saida, T. Hashimoto and H. Takahashi, “New optical waveguide design based on wavefront matching method,” Journal of Lightwave Technology, vol. 25, pp. 3511-3518, 2007. (第3章)
- [2] **Y. Sakamaki**, T. Saida, T. Hashimoto and H. Takahashi, “Low-loss Y-branch waveguides designed by wavefront matching method,” Journal of Lightwave Technology, vol. 27, pp. 1128-1134, 2009. (第4章)
- [3] **Y. Sakamaki**, T. Saida, T. Hashimoto, S. Kamei and H. Takahashi, “Loss reduction of waveguide crossings by wavefront matching method and their application to integrated optical circuits,” Journal of Lightwave Technology, vol. 27, pp. 2257-2263, 2009. (第5章)
- [4] **Y. Sakamaki**, S. Kamei, T. Hashimoto, T. Kitoh, H. Takahashi, “Loss uniformity improvement of arrayed-waveguide grating with mode-field converters designed by wavefront matching method,” Journal of Lightwave Technology, vol. 27, pp. 5710-5715, 2009. (第6章)

【レター】

- [5] **Y. Sakamaki**, T. Saida, T. Shibata, Y. Hida, T. Hashimoto, M. Tamura and H. Takahashi, “Y-branch waveguides with stabilized splitting ratio designed by wavefront matching method,” IEEE Photonics Technology Letters, vol. 18, pp. 817-819, 2006. (第4章)
- [6] **Y. Sakamaki**, T. Saida, M. Tamura, T. Hashimoto and H. Takahashi, “Low loss and low crosstalk waveguide crossings designed by wavefront matching method,” IEEE Photonics Technology Letters, vol. 18, pp. 2005-2007, 2006. (第5章)
- [7] **Y. Sakamaki**, T. Saida, M. Tamura, M. Itoh, T. Hashimoto and H. Takahashi, “Loss reduction of arrayed waveguide grating with mode converters designed by wavefront matching method,” IET Electronics Letters, vol. 42, pp. 1300-1301, 2006. (第6章)
- [8] **Y. Sakamaki**, T. Saida, M. Tamura, T. Hashimoto and H. Takahashi, “Low-loss Y-branch waveguides designed by wavefront matching method and their application to a compact 1×32 splitter,” IET Electronics Letters, vol. 43, pp. 217-219, 2007. (第4章)
- [9] **Y. Sakamaki**, S. Sohma, T. Saida, T. Hashimoto, H. Takahashi and T. Shibata, “Loss reduction of silica-based 8×8 optical matrix switch by optimizing waveguide crossings using WFM method,” IEICE Electronics Express, vol. 4, pp. 712-716, 2007. (第5章)

【国際会議】(*は招待講演を表わす)

- [10] T. Saida, **Y. Sakamaki**, T. Hashimoto, T. Shibata, H. Takahashi and S. Suzuki, “Optical waveguide lens with modulated width designed by wavefront matching method,” Conference on Lasers and Electro-Optics (CLEO), 2005, CWF1.
- [11] **Y. Sakamaki**, T. Saida, T. Shibata, Y. Hida, T. Hashimoto, M. Tamura and H. Takahashi, “Optical Y-branches with stabilized splitting ratio designed by wavefront matching method,” Opto-Electronics Communication Conference (OECC), 2005, 8E2-5.
- [12] T. Saida, **Y. Sakamaki**, M. Tamura, T. Hashimoto and H. Takahashi, “Low loss and low crosstalk waveguide crossing with small angles designed by wavefront matching method,” European Conference on Optical Communication (ECOC), 2005, Tu.1.6.1.
- [13] **Y. Sakamaki**, T. Saida, Y. Hida, T. Hashimoto, M. Tamura and H. Takahashi, “Optimization of Y-branches by wavefront matching method and their application to 1×16 splitters,” Microoptics Conference (MOC), 2005, H11.
- [14]* H. Takahashi, T. Saida, **Y. Sakamaki** and T. Hashimoto, “Wavefront matching method: a new approach for need-oriented waveguide design,” IEEE Lasers and Electro-Optics Society Annual Meeting (LEOS), 2005, WZ1.
- [15] T. Saida, **Y. Sakamaki**, M. Tamura, M. Itoh, T. Hashimoto and H. Takahashi, “Low loss arrayed waveguide grating with mode converters designed by wavefront matching method,” Optical Fiber Communications Conference (OFC), 2006, OWO2.
- [16]* H. Takahashi, T. Saida, **Y. Sakamaki** and T. Hashimoto, “Need-oriented waveguide design based on wavefront matching method,” Optical Fiber Communications Conference (OFC), 2006, OWO5.
- [17] **Y. Sakamaki**, T. Saida, T. Hashimoto, M. Tamura and H. Takahashi, “Refractive-index difference dependence of loss reduction in Y-branch waveguides designed by wavefront matching method,” Opto-Electronics Communication Conference (OECC), 2007, 11E1-4.
- [18] **Y. Sakamaki**, S. Kamei, T. Hashimoto, T. Kitoh and H. Takahashi, “Port-dependent loss variation reduction of AWG wavelength multiplexer by using wavefront matching method,” Microoptics Conference (MOC), 2009, G4.

【国内学会および研究会】(*は招待講演を表わす)

- [19] 坂巻陽平, 橋本俊和, 才田隆志, 小川育生, 神徳正樹, 柴田知尋, 高橋浩, 鈴木扇太, “波面整合法により設計した 1.3/1.55 μm 波長スプリッタ,” 電子情報通信学会総合大会, 2005, C-3-50.
- [20] 才田隆志, 坂巻陽平, 橋本俊和, 田村宗久, 柴田知尋, 高橋浩, “波面整合法による光回路合成: 塗りつぶし設計の提案,” 電子情報通信学会ソサイエティ大会, 2005, C-3-21.
- [21] 坂巻陽平, 才田隆志, 柴田知尋, 肥田安弘, 橋本俊和, 田村宗久, 高橋浩, “波面整合

- 法による Y 分岐型導波路の分岐比安定化,” 電子情報通信学会ソサイエティ大会, 2005, C-3-22.
- [22] 坂巻陽平, 才田隆志, 田村宗久, 橋本俊和, 高橋浩, “波面整合法による導波路交差の狭角度化,” 電子情報通信学会総合大会, 2006, C-3-45.
- [23] 坂巻陽平, 才田隆志, 田村宗久, 伊東雅之, 橋本俊和, 高橋浩, “波面整合法による AWG のモード変換損失低減,” 電子情報通信学会ソサイエティ大会, 2006, C-3-4.
- [24]* 才田隆志, 坂巻陽平, 高橋浩, 橋本俊和, “波面整合法による石英系プレーナ光波回路の設計,” 電子情報通信学会ソサイエティ大会, 2006, C-3-9.
- [25]* 橋本俊和, 坂巻陽平, 才田隆志, 高橋浩, “波面整合法による光導波路形状とデバイスの新しい設計法,” レーザ学会年次大会, 2007.
- [26] 坂巻陽平, 才田隆志, 橋本俊和, 高橋浩, “波面整合法による光導波路設計,” 電子情報通信学会 光エレクトロニクス研究会, 2007, OPE2006-149.
- [27] 坂巻陽平, 亀井新, 橋本俊和, 柴田知尋, 金子明正, 高橋浩, “波面整合法による集積型 PLC デバイスの導波路交差損失低減,” 電子情報通信学会総合大会, 2008, C-3-47.
- [28] 橋本俊和, 坂巻陽平, 鬼頭勤, 高橋浩, “波面整合法と量子力学による光回路設計,” 日本物理学会年次大会, 2009, 30pTK-3.

その他

【論文】

- [29] Y. Nasu, Y. Hashizume, **Y. Sakamaki**, T. Hashimoto, K. Hattori and Y. Inoue, “Reduction of polarization dependence of PLC Mach-Zehnder interferometer over wide wavelength range,” Journal of Lightwave Technology, vol. 27, pp. 4814-4820, 2009.

【レター】

- [30] K. Watanabe, Y. Hashizume, Y. Nasu, **Y. Sakamaki**, M. Kohtoku, M. Itoh and Y. Inoue, “Low-loss three-dimensional waveguide crossings using adiabatic interlayer coupling,” IET Electronics Letters, vol. 44, pp.1356-1357, 2008.
- [31] **Y. Sakamaki**, Y. Nasu, T. Hashimoto, K. Hattori, Y. Inoue and H. Takahashi, “Silica waveguide DQPSK demodulator with wide operation range enhanced by using stress release grooves,” IEEE Photonics Technology Letters, vol. 21, pp. 938-940, 2009.
- [32] **Y. Sakamaki**, K. Hattori, Y. Nasu, S. Kamei, T. Goh, T. Hashimoto, H. Takahashi and Y. Inoue, “Low power consumption DQPSK demodulator using silica-based planar lightwave circuit,” IEEE Photonics Technology Letters, vol. 21, pp. 978-980, 2009.
- [33] **Y. Sakamaki**, H. Yamazaki, T. Mizuno, T. Goh, Y. Nasu, T. Hashimoto, S. Kamei, K. Hattori, H. Takahashi, T. Kobayashi and M. Ishikawa, “Dual polarization optical hybrid using silica-based planar lightwave circuit technology for digital coherent receiver,” IET Electronics Letters, vol.

46, pp. 58-60, 2010.

- [34] H. Yamazaki, T. Yamada, T. Goh, **Y. Sakamaki** and A. Kaneko, "64QAM modulator with a hybrid configuration of silica PLCs and LiNbO₃ phase modulators," IEEE Photonics Technology Letters, *to be published*
- [35] **Y. Sakamaki**, Y. Nasu, T. Hashimoto, K. Hattori, T. Saida and H. Takahashi, "Reduction of phase-difference deviation in 90° optical hybrid over wide wavelength range," IEICE Electronics Express, *to be published*

【国際会議】(*は招待講演を表わす)

- [36] T. Yamada, **Y. Sakamaki**, T. Saida, A. Kaneko, A. Sano and Y. Miyamoto, "86-Gbit/s differential quadrature phase-shift-keying modulator using hybrid assembly technique with planar lightwave circuit and LiNbO₃ devices," IEEE Lasers and Electro-Optics Society Annual Meeting (LEOS), 2006, ThDD4.
- [37]* T. Yamada, M. Ishii, **Y. Sakamaki**, S. Mino, A. Kaneko, A. Sano and Y. Miyamoto, "High-speed optical functional modulators using hybrid assembly technique with silica-based planar lightwave circuit and LiNbO₃ devices," Integrated Photonics and Nanophotonics Research and Applications (IPNRA), 2007, 1TuC2.
- [38] A. Sano, H. Masuda, E. Yoshida, T. Kobayashi, E. Yamada, Y. Miyamoto, F. Inuzuka, Y. Hibino, Y. Takatori, K. Hagimoto, T. Yamada and **Y. Sakamaki**, "30×100-Gb/s all-optical OFDM transmission over 1300 km SMF with 10 ROADM nodes," European Conference on Optical Communication (ECOC), 2007, PD1.7.
- [39]* T. Yamada, **Y. Sakamaki**, T. Shibata, A. Kaneko, A. Sano and Y. Miyamoto, "Compact 111-Gbit/s integrated RZ-DQPSK modulator using hybrid assembly technique with silica-based PLCs and LiNbO₃ devices," Optical Fiber Communications Conference (OFC), 2008, OThC3.
- [40] H. Yamazaki, T. Yamada, **Y. Sakamaki**, A. Kaneko, A. Sano, H. Masuda and Y. Miyamoto, "Advanced optical modulators with hybrid configuration of silica-based PLCs and LiNbO₃ phase-shifter array for ultra-high-speed transport networks," ITU-T Kaleidoscope Academic Conference, 2008, pp. 237-244.
- [41] T. Hashimoto, Y. Nasu, **Y. Sakamaki**, K. Hattori, Y. Inoue, H. Takahashi, H. Kawakami and E. Yoshida, "Compact DQPSK demodulator with interwoven double Mach-Zehnder interferometer using planar lightwave circuit," European Conference on Optical Communication (ECOC), 2008, Mo.3.C.2.
- [42] **Y. Sakamaki**, Y. Nasu, T. Hashimoto, K. Hattori, Y. Inoue and H. Takahashi, "Operation range enhancement of silica waveguide 43Gbit/s DQPSK demodulator by using stress release grooves," IEEE Lasers and Electro-Optics Society Annual Meeting (LEOS), 2008, WE2.
- [43]* K. Hattori, **Y. Sakamaki**, Y. Nasu, S. Kamei, T. Hashimoto, H. Takahashi and Y. Inoue, "Low

power consumption PLC-type 43Gb/s DQPSK demodulator,” Optical Fiber Communications Conference (OFC), 2009, OWO4.

- [44] **Y. Sakamaki**, H. Yamazaki, T. Mizuno, T. Goh, Y. Nasu, T. Hashimoto, S. Kamei, K. Hattori and H. Takahashi, “One-chip integrated dual polarization optical hybrid using silica-based planar lightwave circuit technology,” European Conference on Optical Communication (ECOC), 2009, 2.2.4.
- [45]* H. Yamazaki, T. Yamada, T. Goh, **Y. Sakamaki** and A. Kaneko, “64QAM modulator with a hybrid configuration of silica PLCs and LiNbO₃ phase modulators for 100-Gb/s applications,” European Conference on Optical Communication (ECOC), 2009, 2.2.1.
- [46] F. Ito, K. Okamoto, M. Tsubokawa, **Y. Sakamaki**, T. Hashimoto, “Channel-allocation-adaptive WDM signal observation based on sequential ultrafast field sampling,” European Conference on Optical Communication (ECOC), 2009, PD2.3.

【国内学会および研究会】（*は招待講演を表わす）

- [47]* 山田貴, 坂巻陽平, 才田隆志, 佐野明秀, 宮本裕, 金子明正, “PLC-LN ハイブリッド集積技術を用いた DQPSK 変調モジュール,” 電子情報通信学会総合大会, 2007, C-3-66.
- [48]* 山田貴, 石井元速, 坂巻陽平, 美野真司, 金子明正, 佐野明秀, 宮本裕, “PLC-LN ハイブリッド集積技術を用いた高速光変調モジュール,” 電子情報通信学会 光通信システム研究会, 2007, OSC2007-21.
- [49] 佐野明秀, 増田浩次, 吉田英二, 小林孝行, 山田英一, 宮本裕, 犬塚史一, 鷹取泰司, 山田貴, 坂巻陽平, “全光 OFDM による ROADM10 ノードを含む 100Gb/s×30 波, 1300km 伝送実験,” 電子情報通信学会総合大会, 2008, B-10-109.
- [50] 山田貴, 坂巻陽平, 柴田知尋, 金子明正, 佐野明秀, 宮本裕, “PLC-LN ハイブリッド集積技術を用いた RZ-DQPSK 変調モジュール,” 電子情報通信学会総合大会, 2008, C-3-61.
- [51] 山田貴, 坂巻陽平, 鈴木賢哉, 柴田知尋, 石井元速, 佐野明秀, 金子明正, 宮本裕, “石英系 PLC-LiNbO₃ ハイブリッド集積技術を用いたマッハ・ツェンダ干渉計型高速光変調器及び光スイッチの開発,” 応用物理学会秋季学術講演会, 2008, 3P-ZN-3.
- [52] 橋本俊和, 那須悠介, 坂巻陽平, 服部邦典, 井上靖之, 高橋浩, “小型 DQPSK 復調器用 PLC 編込二重マッハツェンダ回路,” 電子情報通信学会ソサイエティ大会, 2008, C-3-29.
- [53] 山田貴, 坂巻陽平, 金子明正, 佐野明秀, 米永一茂, 宮本裕, “石英系 PLC-LN ハイブリッド集積技術を用いた 2 サブキャリア OFDM 変調器,” 電子情報通信学会ソサイエティ大会, 2008, C-3-61.
- [54] 坂巻陽平, 那須悠介, 橋本俊和, 服部邦典, 井上靖之, 高橋浩, “導波路複屈折による DQPSK 復調遅延干渉回路の広帯域化,” 電子情報通信学会総合大会, 2009, C-3-46.

- [55] 那須悠介, **坂巻陽平**, 亀井新, 服部邦典, 橋本俊和, 高橋浩, 井上靖之, “PLC 型 43Gb/s DQPSK 復調器の低消費電力化,” 電子情報通信学会総合大会, 2009, C-3-47.
- [56] 山田貴, 土居芳行, **坂巻陽平**, 柴田知尋, 金子明正, 井上靖之, 照井博, “石英系 PLC-LN ハイブリッド集積技術を用いた小型 RZ-DQPSK 変調器,” 電子情報通信学会総合大会, 2009, C-3-63.
- [57] 服部邦典, **坂巻陽平**, 那須悠介, 亀井新, 橋本俊和, 高橋浩, 井上靖之, “PLC 型低消費電力 43Gb/s DQPSK 復調器,” 電子情報通信学会ソサイエティ大会, 2009, C-3-37.
- [58] 橋本俊和, **坂巻陽平**, 山崎裕史, 水野隆之, 郷隆司, 那須悠介, 服部邦典, 高橋浩, “平面光波回路を用いた偏波多重光ハイブリッドモジュール,” 電子情報通信学会ソサイエティ大会, 2009, C-3-39.
- [59] 那須悠介, **坂巻陽平**, 服部邦典, 橋本俊和, 井上靖之, “導波路偏波結合を用いた PLC 型 MZI の偏波依存性低減,” 電子情報通信学会ソサイエティ大会, 2009, C-3-40.
- [60] 山崎裕史, 山田貴, 郷隆司, **坂巻陽平**, 金子明正, “石英系 PLC-LiNbO₃ ハイブリッド集積 64QAM 変調器,” 電子情報通信学会ソサイエティ大会, 2009, C-3-78.

表彰

電子情報通信学会 平成 18 年度学術奨励賞