

論文 / 著書情報
Article / Book Information

題目(和文)	異種機能デバイスの三次元集積化の研究
Title(English)	A study on three-dimensional integration of heterogeneous functional devices
著者(和文)	川野連也
Author(English)	unknown unknown
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第7424号, 授与年月日:2008年9月25日, 学位の種別:課程博士, 審査員:益 一哉
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第7424号, Conferred date:2008/9/25, Degree Type:Course doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

博士学位論文
DOCTOR THESIS

異種機能デバイスの三次元集積化の研究
**A Study on Three-Dimensional Integration of Heterogeneous
Functional Devices**

東京工業大学大学院 総合理工学研究科 物理電子システム創造専攻
Tokyo Institute of Technology, Interdisciplinary Graduate School of Science and
Engineering, Department of Electronics and Applied Physics

指導教員 益 一哉 教授
SUPER VISOR Professor Kazuya Masu

川野 連也
Masaya Kawano

2008 年 9 月
September 2008

概要

近年のシリコンデバイス開発において、微細化による高速化、低消費電力化、低コスト化等のメリットの享受が困難になりつつある。その一方、異種機能デバイスを三次元集積化することにより、デバイスの多様化という技術軸での発展を進めることができる。特に、化合物・混晶半導体は、光物性、電気物性において Si を凌駕する特長を有しており、これをセンサデバイスとして Si 読み出し回路と組み合わせることで三次元集積化することにより、顕著な新機能デバイスが実現可能となる。また、大容量メモリと Si-CMOS ロジックとの三次元集積化により、大容量化とメモリバンド幅拡大を実現することで、携帯向けプロセッサ等で有望なアプリケーションが創出し得ると考えられる。本論文では、このような異種機能デバイスと Si-CMOS ロジックとを三次元集積化させることにより、半導体デバイスの性能向上に取り組んだ成果について述べる。

第 1 の具体例として、ハイブリッド型 HgCdTe 赤外線センサを取り上げた。HgCdTe はその組成を変えることにより、広範囲の波長帯の受光素子として用いることができる。Si-CMOS 読み出し回路との親和性、および高画素化の観点から、HgCdTe は Si 上に形成されることが重要である。本論文では、分子線エピタキシー法を用いて、高品位な HgCdTe 単結晶を得るための成長条件制御法を確立した。また、HgCdTe の成長面方位を双晶発生から解明し、 $(\bar{1}\bar{1}\bar{2})B$ が最適であることを見出した。さらに、過剰 Zn 照射プロセスを提案し、Si(112) 5° off 上への高品位な HgCdTe $(\bar{1}\bar{1}\bar{3})B$ の成長に成功した。光起電力型デバイスの性能を左右する転位欠陥について、様々なエッチング液の相関評価を行い、 $(\bar{1}\bar{1}\bar{2})B$ 面でのエッチピット密度評価手法を確立した。最終的に 256x256 HgCdTe/Si 赤外線センサの動作検証を行い、本技術が高画素赤外線センサにおいて有用な技術であることを示した。

HgCdTe は、その組成を制御することにより、バンドギャップをゼロにすることができる。このとき、電子移動度は極大となり、非常に高感度な磁気センサとして用いることができる。そこで、ゼロバンドギャップの HgCdTe/Si 結晶を用いてコルビノ素子を試作し、磁気センサとしての動作検証に成功した。結晶の不均一性から生まれる自己バイアス効果が、ゼロ磁場付近での磁気感度向上をもたらすことを見出し、自己バイアス量を定式化すると共に、磁気感度を見

積もった。その結果、今回試作した円形コルビノタイプにおいて、 $1\mu\text{T}$ の感度が得られることを明らかにした上で、超高感度な二次元磁場イメージセンサとしての応用が期待できることを示した。

次に、発展型 Chip-on-Chip (CoC) 接続技術の研究を行った。システム LSI の高速化において、DRAM とロジック回路間の信号伝送高速化、すなわちメモリバンド幅の拡大は重要な要素である。しかし、高密度チップ間接続が可能な従来型の CoC は、組み合わせるチップサイズに制約があった。ここでは、極薄のインターポーザーを用いたチップサイズ制約の無い発展型 CoC パッケージについて、その試作実証を行った。加えて、試作したプロトタイプパッケージの温度サイクル試験、曲げ試験、落下試験を行い、いずれの試験においても十分な信頼性が得られることを示し、三次元集積化デバイスにおける重要な接続技術であることを示した。

最後に、このような接続技術をさらに発展させ、チップ積層型大容量メモリの研究を行った。貫通電極を用いた三次元積層 DRAM を前述のパッケージの中に組み込み、さらなる高集積化を図っている。本研究では、DRAM プロセスと親和性のある Poly-Si を埋め込み材料として採用すると共に、レイアウト上の工夫を行うことにより、貫通孔への Poly-Si 高速埋め込みを実現した。また、DRAM チップを 8 積層する組立技術を開発した。さらに、実デバイスを用いて積層メモリを試作し、貫通電極を用いた多積層 DRAM で 3Gb/s の高速信号伝送動作実証を行った上で、本技術が次世代高速 DRAM や次世代 SiP (System-in-Package) において有用な技術であることを示した。

以上、本研究により異種機能デバイスの組み合わせによる新たな高機能デバイス、並びにその三次元集積化手法を見出した。これらの技術は合わせて高速化、低消費電力化、低コスト化などにも寄与し、世界最先端の性能を実現している。本論文ではこれらの研究成果についてまとめた。微細化に頼らない多様化による半導体技術の進歩は、ますます注目されつつあり、今後も異種機能デバイスの三次元集積化に向けた研究が重要であると考えられる。

Abstract

In the recent development of silicon devices, it is becoming more difficult to achieve higher speed operation, lower power dissipation, lower cost etc. only by scaling. On the other hand, three-dimensional integration for vertically-connected heterogeneous devices is considered as another technology axis in semiconductor device area. In particular, compound and alloy semiconductors have excellent optical and electrical properties compared to Si. Novel functional devices will appear, if such materials are used for sensors and three-dimensionally integrated with Si-CMOS logic. Three-dimensional integration of large-capacity memory and Si-CMOS logic can also create promising applications in mobile processor area etc. in which large memory capacity and wide-band memory bus are required.

First, HgCdTe infrared image sensor was chosen for an example in this thesis. HgCdTe can be used for photodetectors sensitive to wide wavelength by changing its composition. It is important to fabricate HgCdTe photodetectors on a Si substrate from the viewpoints of compatibility with Si-CMOS read-out circuit and a greater number of pixels. Precise control method of growth conditions was developed for high quality HgCdTe growth by molecular-beam-epitaxy. The $(\bar{1} \bar{1} \bar{2})$ B growth orientation was found to be optimal from twin formation point of view. The Zn-excess irradiation process was proposed to control HgCdTe polarity on Si. Using this process, high quality HgCdTe $(\bar{1} \bar{1} \bar{3})$ B epilayers were grown on Si $(1 1 2)5^\circ$ off substrate. Threading dislocations in the crystal dominate photovoltaic device performance. Etch pit density evaluation method for $(\bar{1} \bar{1} \bar{2})$ B surface was developed by investigating correlation of various etchants. Infrared image sensors with 256×256 diode array were fabricated and demonstrated using HgCdTe/Si and Si-CMOS stacked devices. These technologies are very promising for high-resolution infrared sensors.

HgCdTe becomes a zero-band-gap material by choosing proper composition. It exhibits very high electron mobility. New high sensitive magnetic sensor using zero-band-gap HgCdTe/Si was proposed in this thesis. Corbino type magnetic sensors were fabricated using HgCdTe/Si, and their magnetoresistance properties were evaluated. Self biasing effect which comes from inhomogeneity of crystal was found. It leads high magnetic sensitivity especially at near-zero magnetic field. The amount of self bias was formulated, and magnetic sensitivity was calculated for this type of

device. Results showed magnetic sensitivity of 1 μT for the circular-type Corbino magnetic sensor. These results indicate that HgCdTe sensor combined with Si-CMOS read-out circuit can be used for 2-D magnetic image sensor with ultra high sensitivity.

In addition, advanced chip-on-chip (CoC) bonding technology with flexible die size was studied. High-speed signal transmission between DRAM and logic devices, i.e. wide bandwidth for memory access is important for higher system LSI performance. The conventional CoC technology which enables high density inter-chip connections, however, has die size restriction. In this thesis, new CoC bonding technology in which an ultra thin interposer is inserted between chips were adopted. Prototype packages using this technology were fabricated, and their feasibility was demonstrated. Thermal cycle, bend, and drop tests showed enough reliability of the packages. This is key technology for three-dimensional integration with flexible die size.

Finally, chip-stacked large-capacity memory was studied by extending such bonding technology mentioned above. High density integration was realized by packaging three-dimensional stacked DRAM using through-silicon vias (TSVs) in this study. Poly-Si was chosen as TSV filling material because of DRAM process compatibility. High throughput poly-Si filling was achieved by TSV layout optimization. In addition, an assembly technology for eight-stacked DRAM chips was developed. Prototypes of stacked DRAM were fabricated using this technology, and their benefits were demonstrated through basic device operation and signal transmission evaluation at 3 Gb/s. These results indicate that these technologies are efficient for next-generation high-speed DRAM and advanced SiP (System-in-Package).

This thesis describes new highly functional devices in combination of heterogeneous functional devices and their three-dimensional integration methods. These technologies contribute to higher speed operation, lower power dissipation, lower cost etc., and realize state-of-the-art performance. This thesis summarizes these research activities. The significance of the semiconductor device progress by diversification, not by scaling, is increasingly recognized. The study on three-dimensional integration of heterogeneous functional devices is becoming more important in the semiconductor device development.

目次

概要	1
第1章 序論	9
1.1 はじめに	9
1.2 微細化限界と More-than-Moore	10
1.3 異種機能デバイスの三次元集積化の必要性	13
1.3.1 配線長による遅延限界と三次元積層	14
1.3.2 三次元積層のモチベーションとしてのメモリ大容量化	17
1.3.3 三次元積層のモチベーションとしての低コスト化	18
1.3.4 システム側からの三次元積層の要求	19
1.4 本研究の目的と論文の構成	20
参考文献 (第1章)	22
第2章 ハイブリッド型 HgCdTe 赤外線センサ	23
2.1 はじめに	23
2.2 HgCdTe 結晶成長技術	25
2.2.1 分子線制御法	25
2.2.2 基板温度制御法	29
2.3 欠陥発生機構とその基板面方位依存性	33
2.3.1 方位の決定法	34
2.3.2 HgCdTe エピ層の結晶特性	38
2.3.3 エピ層表面における欠陥	39
2.3.4 双晶発生の面方位依存性	41
2.4 基板・エピ層の転位評価	46
2.4.1 エッチングによる転位評価	46
2.4.2 X線回折による転位評価	49
2.4.3 各種評価法による転位密度	49
2.5 Si 基板上への HgCdTe ヘテロエピ技術	52
2.6 HgCdTe/CdTe/Si を用いた 256×256 赤外イメージセンサ	56
2.7 むすび	59
2.8 参考文献 (第2章)	60

第3章	コルビノ型 HgCdTe 磁気センサ	63
3.1	はじめに	63
3.2	HgCdTe コルビノ素子の MR 特性	64
3.3	素子構造のモデル	67
3.4	レスポンスビティ	68
3.5	素子の発熱によるバイアス電流の制限	68
3.6	ノイズ	69
3.7	感度計算の結果と考察	70
3.8	結論	72
	参考文献 (第3章)	73
第4章	発展型 Chip-on-Chip 接続技術	75
4.1	はじめに	75
4.2	SMAFTI のコンセプトと製造プロセス	78
4.3	構造評価サンプル試作	80
4.4	二次実装信頼性評価	82
4.5	SMAFTI 技術の今後の展望	85
4.6	まとめ	86
	参考文献 (第4章)	87
第5章	チップ積層型大容量メモリ	89
5.1	はじめに	89
5.2	貫通電極形成技術	91
5.3	三次元積層技術	98
5.4	評価 TEG、プロト DRAM 仕様とパッケージ構造	101
5.5	Poly-Si 貫通電極プロセス	102
5.6	Poly-Si 貫通電極の電気抵抗	107
5.7	組立プロセス	107
5.8	FTI 配線と伝送特性シミュレーション	110
5.9	デバイス動作検証	113
5.10	3D-LSI の技術展望とアプリケーション	115
5.11	むすび	120
	参考文献 (第5章)	121
第6章	総括	125

6.1	はじめに	125
6.2	全体のまとめ	126
6.3	結論	127
6.4	今後の研究の方向性	127
6.5	参考文献（第6章）	135
	謝辞	136
	原著論文リスト	138
	発表論文リスト	139

第1章 序論

1.1 はじめに

半導体デバイスの開発は特にシリコンデバイスにおいて、微細化を軸とし、高集積化、高速化、低消費電力化、低コスト化が図られてきた。1947年に、Shockley、Bardeen、Brattainらにより Ge トランジスタが発明[1]されて以来、1958年 Kilbyらによる集積回路の発明[2]、1971年 Intel/嶋 正利による CPU の誕生、さらには、最先端の 45nm CMOS-LSI が量産される現在に至るまで、シリコンデバイスの歴史は微細化の歴史であったと言っても過言ではない。Fig.1 は、半導体黎明期から近年に渡ってのトランジスタ集積度の変遷をマイクロプロセッサと赤外線読み出しチップについて示したものである[3]。過去のトレンドとして、トランジスタの集積度は、2年で約2倍に向上しており、これが有名な Moore の法則[4]と言われるものである。一般的にスケールリング則は、 k を縮小化係数 (scaling factor) としたとき、電界一定条件で、ゲート面積 S は $1/k^2$ 、ゲート酸化膜厚 t_{ox} は $1/k$ 、電源電圧 V は $1/k$ 、ゲート遅延 VC/I は $1/k$ 、消費電力 P は $1/k^2$ となる[5]。つまり、微細化により、高速化と低消費電力を両立すると共に、チップ面積縮小により低コスト化まで実現されてしまうという、半導体産業にとっては誠にありがたい法則であった。

このようなスケールリング則が有効である間は、それに則った開発を進めておけば、広範囲な Si デバイスのアプリケーション全般に渡って、その成果が享受できることになる。しかし一方で、物理限界によりこのようなスケールリングが永久に続くことが無いということは、共通に認識される場所である。本研究は、微細化とは異なる方向での半導体デバイス開発に焦点を当てることから始められた。その上で、デバイスの三次元集積化が、半導体デバイス発展の重要な方向性の一つと考え、革新的な三次元集積デバイスのあり方を議論し、それを実現するための施策に基づいて、具体的なデバイスの試作・動作検証を進めて行く。

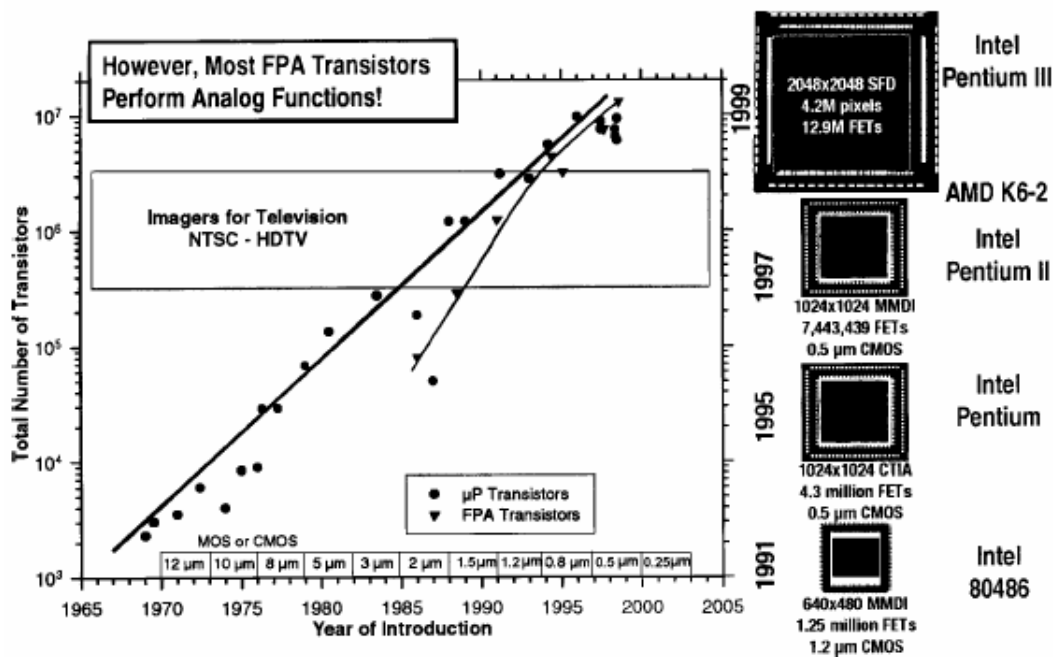


Fig. 1-1 Timeline for number of transistors in microprocessor and infrared multiplexor chips [3].

1.2 微細化限界と More-than-Moore

国際半導体技術ロードマップ委員会(ITRS)では、主に Si デバイスを中心とした開発方向として、More-Moore と More-than-Moore の二つの方向性を示している(Fig. 1-2) [6]。More-Moore は前述のスケーリング則に従った微細化の方向性で、一方 More-than-Moore は異種機能デバイスとの融合を進める多様化の方向性である。

この内、微細化の方向性については、近年様々な課題が顕著になってきた。一つはリソグラフィの壁である。2008年時点で液浸 ArF 露光機が最先端である。さらに、22nm ノード以降は EUV 露光機が必須と言われているが、装置価格が数十億円とあまりにも高額になってきている。また、1製品作るためのマスクセットは、90nm 以降1億円を越えるようになった。EUV の時代には従来の透過型石英マスクが使えなくなり、反射型マスクが必要となる。そのため、マスクセットの価格はさらに上昇する。これらのことより、先端品でコスト回収ができる製品は、大量に消費される汎用半導体デバイスに限定されつつある。

すなわち、これまでは微細化すればチップ面積が縮小され、コストが下がっていたが、これからは多くの製品でコストが逆に上がってしまうというジレンマに陥っているのである。

また、仮に微細化が低コストでできたとしても、現在のゲート酸化膜厚は物理限界と言われる 1nm に到達してしまった。今後は、high-k 材料の導入などで、膜厚を小さくすることなく実効的に減らしていく、いわゆる等価的スケーリングを進めるしかない。しかし、世代ごとに材料を high-k 化していくことは、開発の困難度を高める。また、ゲート酸化膜厚の限界は、電源電圧を下げられないということも意味する。ひいては、微細化が低消費電力化につながらなくなる。トランジスタあたりの消費電力が下がらなければ、集積度を上げたときに放熱のためのコストが高くつくことになる。また、ゲートリーク電流による待機電力も無視できなくなり、MPU などでは動作時電力と待機時電力が同等とまで言われるようになった。さらには、後述のように、配線遅延の問題により、トランジスタの微細化が高速化につながらなくなっている。

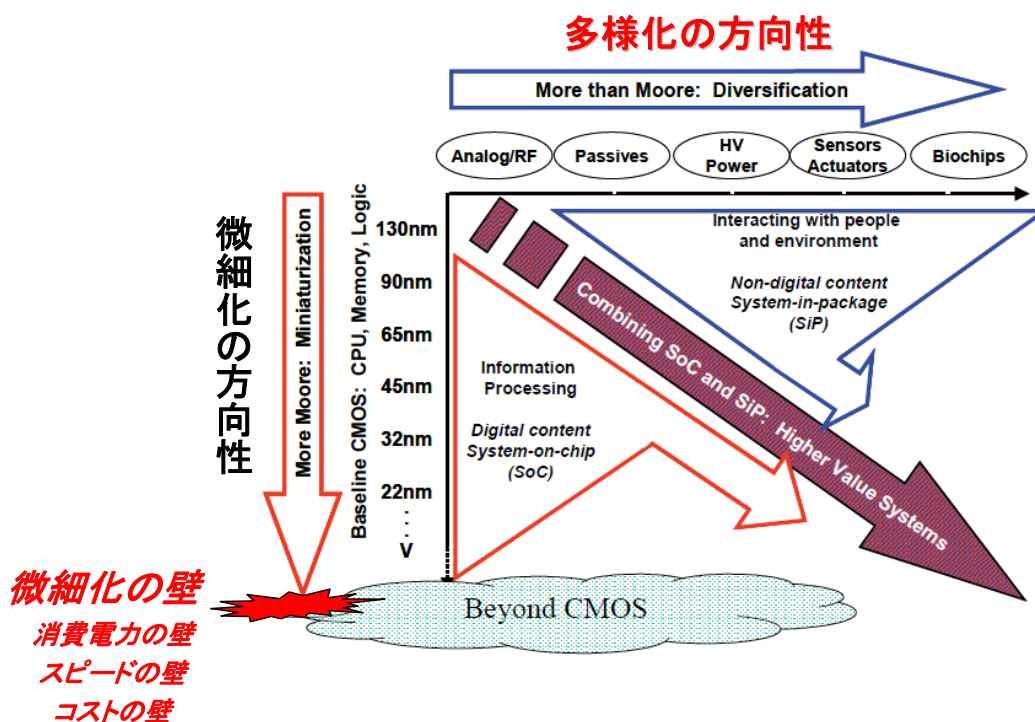


Fig. 1-2 More-Moore and More-than-Moore from ITRS 2007 [6].

さて、このような課題を前に、輝かしい半導体開発の歴史がいずれ終焉を迎えるのであろうか？ それに対し、ITRS 委員会では、もう一つの軸“多様化”を打ち出した。微細化だけに頼らなくとも、半導体の高機能化は実現できるということを、国際ロードマップ委員会として大々的に宣言した意義は大きい。しかし、このような多様化の軸は、何も最近出てきたわけではない。Fig. 1-3 は、化合物半導体を使った Si 読み出し回路とのハイブリッド型デバイスの開発の歴史を示したものである。実は、化合物半導体デバイスの世界では、その出現と時を同じくして **More-than-Moore** つまり多様化の方向性での開発が進められてきたのである。これはもちろん、化合物半導体で集積回路を製造することは、Si より困難であるという現実を反映したものであることは言うまでも無い。

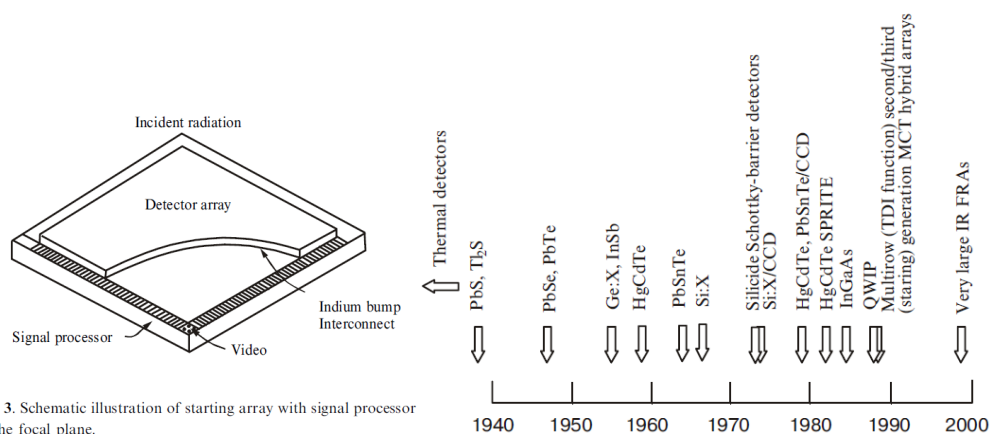


Fig. 3. Schematic illustration of starting array with signal processor in the focal plane.

Fig. 1-3 Image sensor development history. More-than-Moore example in compound semiconductor world [3].

化合物半導体や混晶半導体に目を向けるならば、実に多様なデバイスの可能性があることが容易にわかる。Fig. 1-4 は、様々な半導体材料における受光素子の波長感度曲線を示したものである。Si から他の材料に選択肢を広げることで、非常に広範囲な波長の光に対して感度を持たせることが可能となる。このようなことを一例として、Si-CMOS をベースとし、それに異種機能デバイスを組み合わせることにより、高機能かつ多様なデバイスを実現することが可能である。

Sensitive range for Si-CMOS

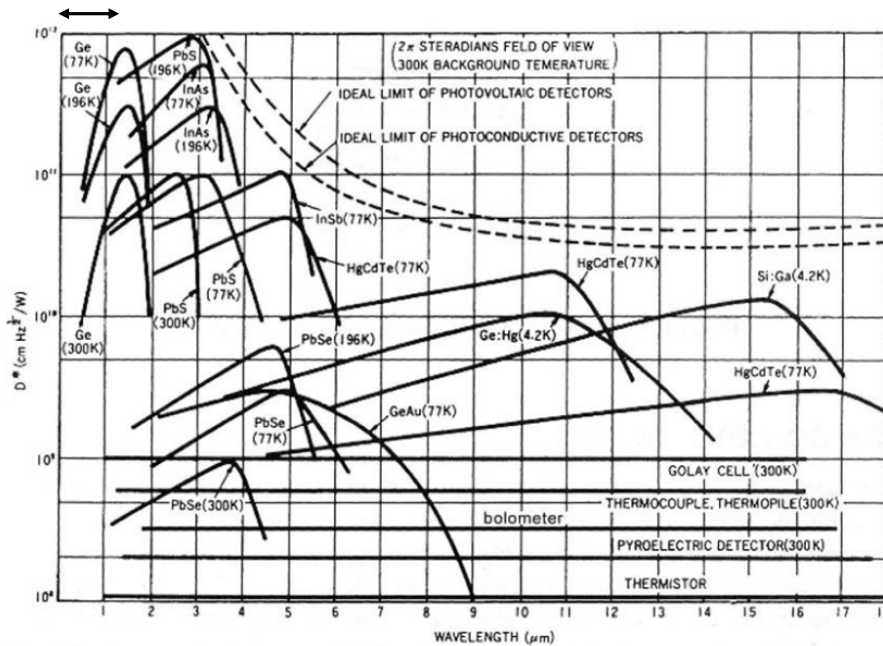


Fig. 1-4 Operating ranges for some infrared detectors [7].

1.3 異種機能デバイスの三次元集積化の必要性

異種機能デバイスを組み合わせるに当たって、どのような構造が最適であろうか？もっとも単純には、マザーボードあるいはインターポザー基板上で、平置きでマウントされた複数のデバイスの電気接続を行う方法がある。デバイス実装に特別な方法が必要なく、標準的な表面実装技術が使えるため、技術的には難易度が低い。しかし、配線長の長さ起因する電気特性の劣化は避けられない。一方、異種機能デバイスを三次元方向に積み重ね、デバイス間を高密度に接続して集積化できれば、これまでにはなかった高機能デバイスを実現できると考えられる。ここでは、将来の革新的デバイスを実現するのに必須と考えられる三次元積層について、その必要性を議論する。

1.3.1 配線長による遅延限界と三次元積層

Fig. 1-5 は、TSMC の S.C. Sun により IEDM 1997 に発表された各プロセス世代ごとの遅延を示したものである。この講演の後、Motorola、IBM の Cu 配線インテグレーションの発表が続き、全世界の半導体メーカーが従来の Al 配線から一気に Cu 配線へと移行して行った、エポックメイキングな学会であったことは、記憶に新しいところであろう。さて、Fig. 1-5 の示すところは、0.25 μm 世代あたりを境に、従来はゲート遅延により遅延時間が決定されていたが、それ以降の世代においては、配線遅延により律速されるというものである。ゲート遅延は微細化により小さくなってきて、それは今後も続く。それは、遅延を決める主な因子である容量、すなわちゲート面積で決まるゲート容量、拡散層での接合容量、ゲート側壁と拡散層との間に生じるフリンジ容量などが全て形状に依存し、微細化に伴って本質的に小さくなるものであるからである。一方、配線に関しては、微細化に伴って容量だけでなく抵抗値の問題が見えてくるようになってきた。プロセス上、配線幅の縮小は配線高さの縮小も伴わざるを得ないため、微細化と共に単位長さあたりの抵抗値は上昇する。

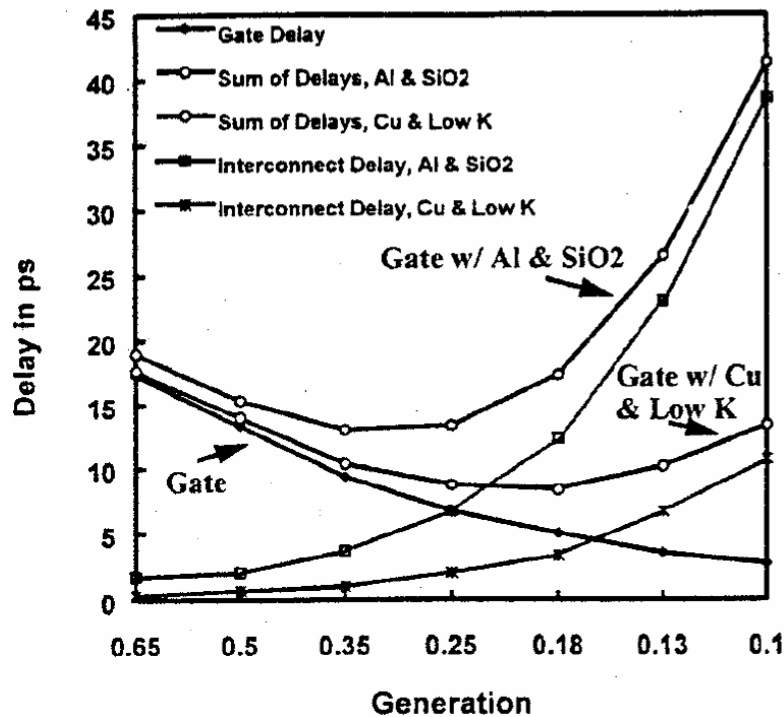


Fig. 1-5 Delay as a function of feature size [8].

一方、トランジスタの集積度は世代とともに上がっていくため、チップサイズは必ずしも縮小化係数と共に小さくなるわけではない。従って配線抵抗値の問題は、特にグローバル配線で顕著となる。グローバル配線ではその特性上、配線スペック自体がプロセス世代に依らずほぼ一定となるため、配線容量の低減も期待できない。Fig. 1-5 は、このような課題の対策として、配線材料を Al から Cu へ変えることによる低抵抗化、および配線層間材料に Low-k 材料を導入することによる低容量化について示している。これが 2008 年現在においても主要開発アイテムであるのだが、図から読み取れることは、たとえ Cu/Low-k の導入を行っても、配線遅延による律速という状況自体は変わらないということである。材料的にも、Cu を超える低抵抗材料は実用的には存在しないし、Low-k 化が進んだとして、原理的に誘電率 1 以下にはならない(Fig. 1-6)。これらの本質的な解決のためには、別のアプローチが必要となる。

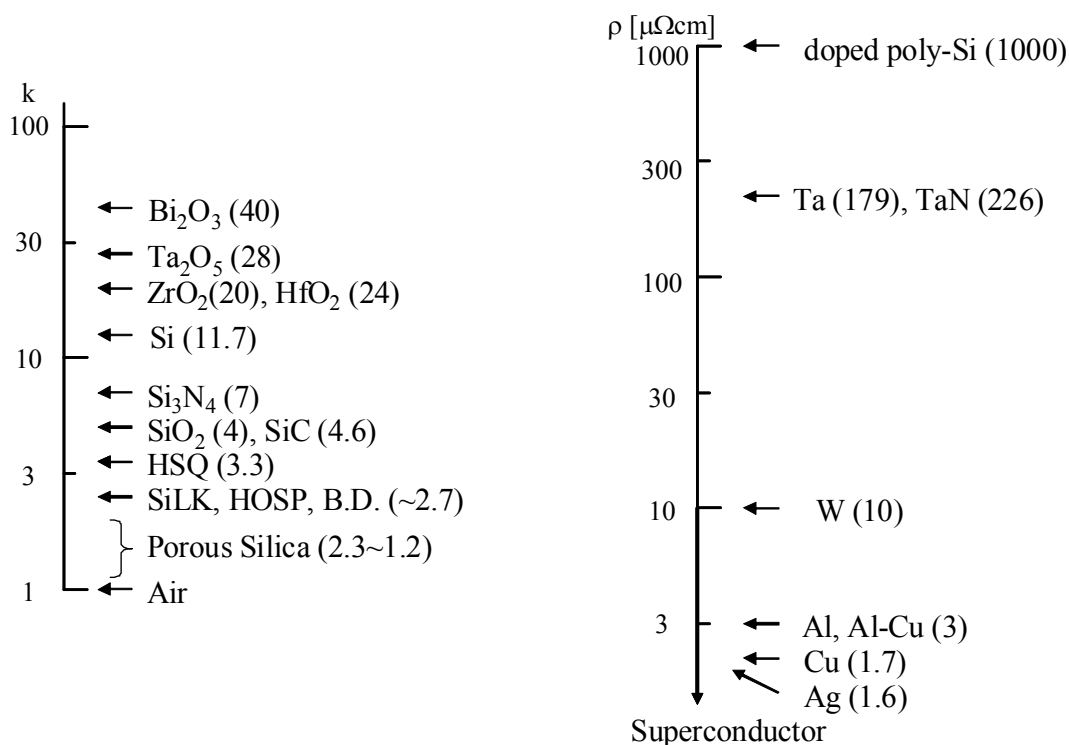


Fig. 1-6 Dielectric constants k and resistivities ρ for several materials.

Fig. 1-7 に、三次元化による配線長縮小の例を示した。10 GHz 動作を行うためのチップサイズは 7.5 mm が限界である。これは電磁波の伝播速度に起因する物理限界である。一方、High-performance CPU においては、常にトランジスタの要求数が実現可能なレベルを超えているため、チップサイズはプロセスや露光機制約上の限界である最大 20mm \square 付近にはりついてきた。しかし、動作周波数が GHz を超えるようになると、先の理由でチップサイズを縮小せざるを得ない。その上で、必要トランジスタ数を確保するためには、デバイスの三次元化というのが重要な方向性となる。第 5 章で述べるように、三次元化したときの層間距離は、100 μm 以下と平面方向の距離と比較して十分小さいため、配線長の短縮に大きく寄与できるからである。単純に言ってしまえば、15mm \square のチップサイズを、4 積層で 7.5mm \square 、8 積層で 5.3mm \square に縮小できる。しかし積層は単位面積当たりの消費電力も増加させてしまう。従って、高効率の放熱方式も同時に検討しなければならない。マイクロチャネルなどの冷却方式[10]-[12]も提案されているが、コスト上の課題は残る。

配線長をもうこれ以上長くしないことが本質的に重要。
 (本来はチップ長もスケールしなければならない。)
 チップの大きさを固定して3次元化を図る方法が必要かもしれない。

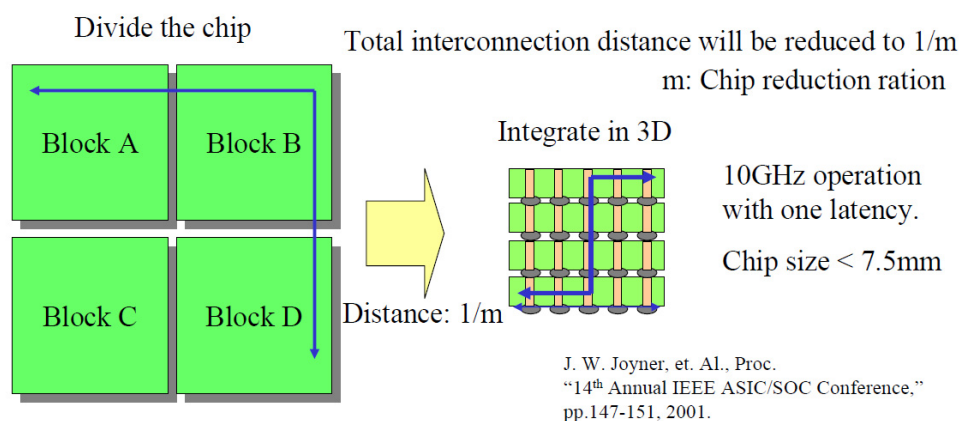


Fig. 1-7 Motivation for 3D-staced devices, "high speed operation"[9].

1.3.2 三次元積層のモチベーションとしてのメモリ大容量化

三次元積層のメリットは当然のことだが高速化だけではない。近年、Personal Computer (PC) に搭載されるメモリ容量は2GBクラスに達している。1980年代の8bitパソコン全盛時代のメインメモリ容量が64kBであったことを考えると、約20年で3万倍という恐ろしい大容量化が起こったことになる。しかも、2GBという値は、32bit Windows OSの制限から来ている。これ以上のメモリを搭載しても、一つのアプリケーションのメモリ空間として与えられるわけではない。Windows Vistaに代表される64bit版OSが主流になれば、このような制限は実質撤廃されるので、さらなる大容量化が求められるであろう。

Fig. 1-8は、ITRS2007によるDRAMのセル面積と容量をグラフ化したものである。例えば8積層のDRAMモジュールを考えた場合、ロードマップに対して3~5年の前倒しが可能となることがわかる。同様のことは、Flashメモリに対しても言えることであるが、Flashメモリの場合はアクセス速度が遅い（特に書き込み時）ため、チップ積層+ワイヤーボンディングによる接続が一般的で、近い将来この形態が大きく変化することはないと考えられる。しかし、DRAMの場合はDDR2あたりからワイヤ接続での限界が見え始めており、DDR4では次項で述べるSi貫通電極(TSV: Through Silicon Via)での接続が必須になると考えられている。

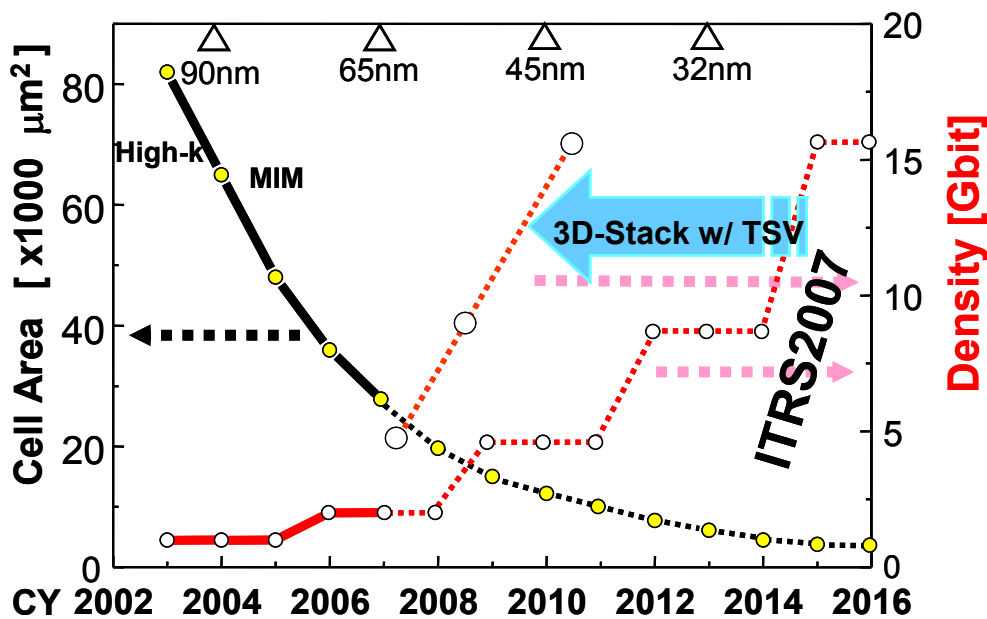


Fig. 1-8 Motivation for 3D-staced devices, "high capacity memory"[6].

1.3.3 三次元積層のモチベーションとしての低コスト化

三次元積層を行うにあたって、デバイス形成レベルでの三次元化（モノリシック型デバイス）と、実装レベルでの三次元化（ハイブリッド型デバイス）が考えられる。実装レベルでの三次元化は、別個に製造された異種機能デバイスを積層できるため、多様化という観点で秀でており、本研究でも実装レベルの三次元化を取り扱っている。一方、異種機能デバイスを同一チップ内に混載する SoC(System-on-a-Chip)や、異種機能デバイスチップをパッケージ上で平置きする Side-by-Side 型の SiP(System-in-Package)というものもある。

このような三つの形態の比較をまとめたのが Fig. 1-9 である。SoC は微細化メリットが享受できる時代には、コスト面や実装面積、消費電力の観点から有効なアプローチであった。しかし、微細化限界が見え始めた今、設計にかかる費用やプロセスコストが大きく、少品種で大量に出る製品にしか適用できなくなっている。一方、SiP は異種機能デバイス混載という点では有利であり、設計についても必要なチップ（例えば ASIC 部）だけを特定顧客向けに専用設計し、他は既存の動作検証済みのチップを組み合わせるということが可能となる。そのため、組み立てコストでは不利であるが、トータルでのコスト低減を計ることが可能である。

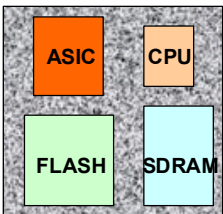
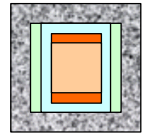
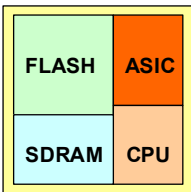
SiP	三次元SiP	SoC
 <p>1Package化</p>	 <p>3D-stack & 1Package化</p>	 <p>1chip化</p>
組立コスト: 100 異種デバイス混載: ◎ 実装面積: 中 スピード: 低速 消費電力: 大 開発期間: 短 設計資産再利用: ○	73 (Wire)~ 163 (TSV) ◎ 最小 低速(Wire)~高速(TSV) 中 短 ○(Wire) ~ △(TSV)	45 (+設計 数億円) ○(コスト増)~× 小 高速 小 長 △~×

Fig. 1-9 Comparison of SoC, SiP, 3D-SiP.

加えて、開発期間を短くできるメリットも大きい。一方で、従来型の SiP では実装面積は SoC と比較して大きくなるし、チップ間の配線距離が長く、バス幅も小さいなどで高速化の点では不利である。チップを三次元積層し、各チップはワイヤーで接続する三次元 SiP は、携帯機器向けのパッケージとして非常に一般的となっているが、実装面積の点では有利となるものの、速度の点では不利なままである。

ここで、チップの両面に電極を引き出すことができる TSV が、三次元 SiP のメリットを最大化すると筆者は考えている。1.3.1 項に示したように、配線長を短縮することができるため、SoC 並、あるいは SoC を超える高速性を実現できる可能性を持っていると考えられる。また、チップ間を面と面で接続するため、多ビット接続が極めて容易である。このことは、特に高画素アレイセンサと ROIC との接続や、DRAM/Logic のワイドバス接続を行いたい場合に、非常に都合が良い。ただし、課題は TSV 形成コストで、これをワイヤボンディングコストに近づけられれば、三次元 SiP の大きな Break Through が起きるものと確信している。

1.3.4 システム側からの三次元積層の要求

以上のアプローチは、デバイス高機能化という観点で議論してきたが、システム側の要求とも整合している。特に携帯電話に代表される携帯機器においては、小型化と高速化が同時に要求され、かつバッテリー寿命により消費電力は制限される。カメラとして搭載される CMOS イメージセンサの高画素化に伴う高速画像処理と小型化の要求には、DSP (Digital-Signal Processor) との TSV を用いた三次元積層が一つの解になる。また、携帯電話には Internet 機能やゲーム機能など、PC と同等の機能が要求されてきており、アプリケーションプロセッサと大容量 DRAM の積層デバイスがその解の一つであり、プロセッサ/メモリ間は多ビットで接続される必要がある。また、自動車には様々なセンサーが搭載されるようになっているが、衝突回避システムは重要な開発案件の一つとなっている。ここでは、高フレームレートでの画像取得とその高速処理が要求される。夜間でも明瞭な映像を取得できる赤外イメージセンサと、物体認識・衝突予測のためのプロセッサを三次元積層することにより、自動衝突回避システムの道が開かれる可能性がある。

1.4 本研究の目的と論文の構成

本研究は、微細化に頼らない高機能・新機能デバイスの実現を目的とし、通常の Si-CMOS では実現できない特長のあるデバイスの研究と、三次元高密度接続技術の研究を行った。具体的には第 2 章において、HgCdTe 混晶半導体と Si-CMOS のハイブリッドによる赤外イメージセンサの研究を行った。チップ間の高密度接続を実現するためには、配線長が最短でアレイ接続が可能な Chip-on-Chip (CoC) 構造が最適と考え、それを採用している。また、赤外イメージセンサ実現のための、Si 基板上への高品質 HgCdTe 結晶成長方法、結晶欠陥評価方法、赤外画像評価について述べる。また、第 3 章では、同じく HgCdTe/Si を用いた磁気センサについて述べる。HgCdTe 材料をゼロバンドギャップにしたときの磁気抵抗センサーとして有用性を説明し、結晶不均一性がもたらす磁気抵抗曲線におけるセルフバイアス効果について議論する。また、得られた特性から、磁気感度の計算を行う。

従来 CoC では、チップサイズの制限があることから、第 4 章ではその制限を無くした新しい発展型 CoC 接続技術 (SMAFTI) について述べる。システム LSI の高速化における、DRAM と Logic の信号伝送高速化、すなわちメモリバンド幅の拡大の重要性を議論し、大容量 DRAM と Logic を Face-to-Face で三次元積層し、外部に端子を引き出せる新しいパッケージ技術を提案する。この構造では、組み合わせるチップのサイズに依存しないエリアアレイ接続構造を実現すること、および新しい接続構造の実現性や、パッケージとしての信頼性について議論する。

第 5 章においては、第 4 章での三次元実装技術をさらに発展させ、貫通電極を用いた三次元積層 DRAM を組み込む適用例を示す。DRAM へ貫通電極を形成する技術、DRAM チップを 8 積層する組立技術について議論するとともに、実デバイスを用いて大容量メモリを試作、その動作実証について述べる。

第 1 章の最後として、本研究の各アイテムを Fig. 1-10 にまとめる。また、論文構成について、Fig. 1-11 に示す。

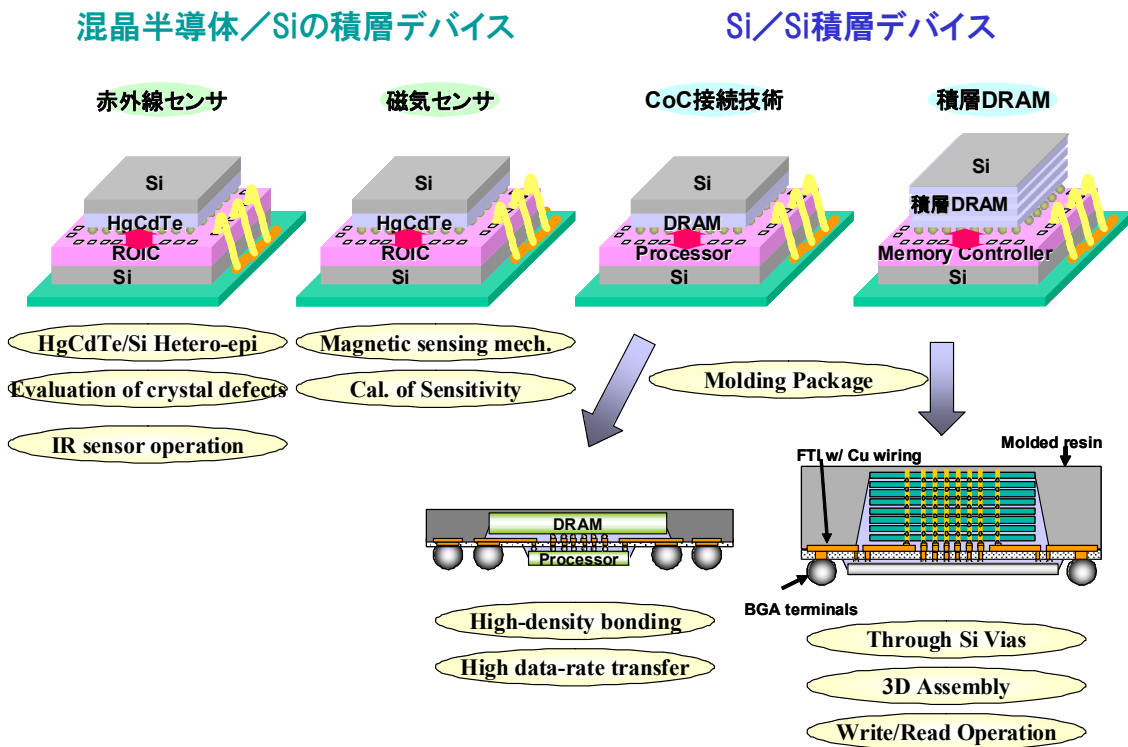


Fig. 1-10 Summary of research items in this study.

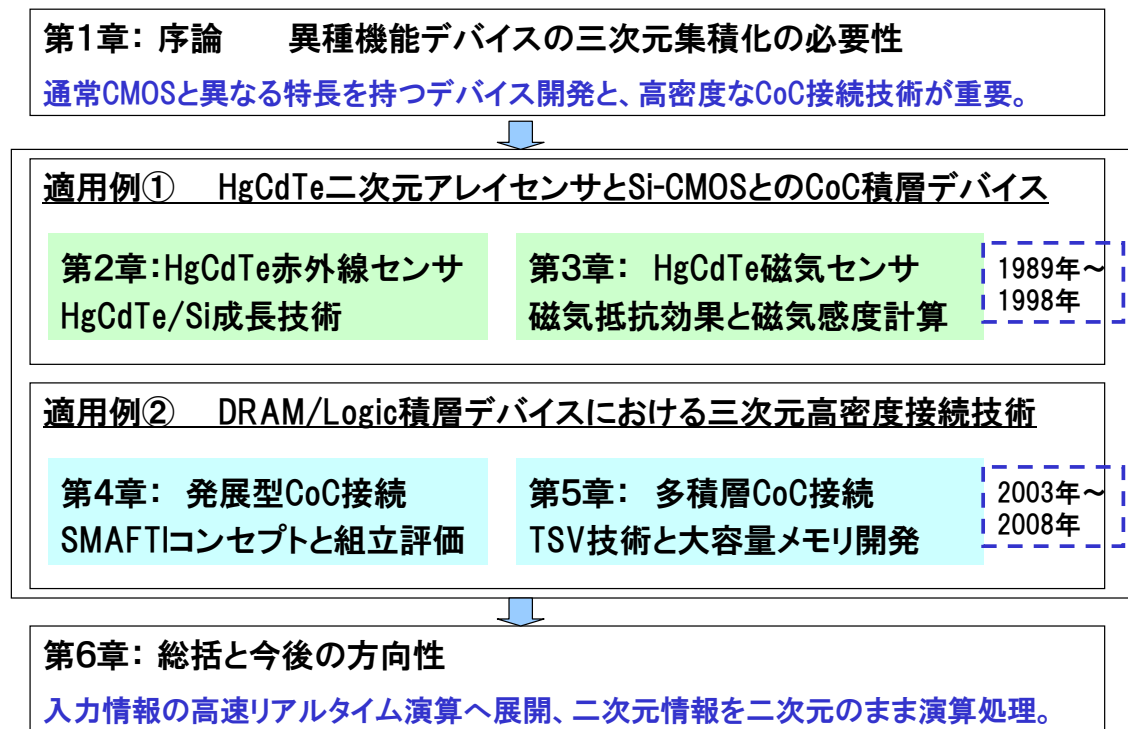


Fig. 1-11 Outline of this thesis.

参考文献 (第 1 章)

- [1] J. Bardeen and W.H. Brattain with W.B. Shockley acting as their supervisor made a demonstration to several of their colleagues and managers at Bell Labs on 23 December 1947, often given as the birth date of the transistor. In 1956 Bardeen, Brattain, and Shockley were honored with the Nobel Prize in Physics "for their researches on semiconductors and their discovery of the transistor effect."
- [2] J. Kilby, "Miniaturized Electronic Circuits," US Patent 3,138,743, Filed 6 February 1959. Kilby completed his first Integrated Circuit on 12 September 1958.
- [3] F.F. Sizov, "Infrared detectors: outlook and means," *Semiconductor Physics, Quantum Electronics & Optoelectronics*, vol. 3, pp. 52-58, 2000.
- [4] Gordon E. Moore, "Cramming more components onto integrated circuits," *Electronics Magazine*, vol. 38, pp. 114-117, April 1965.
- [5] R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, E. Bassous, and A.R. LeBlanc, "Design of ion-implanted MOSFET's with small physical dimensions," *IEEE Journal of Solid-State Circuits*, vol. SC-9, pp. 256-268, May 1974.
- [6] The International Technology Roadmap for Semiconductor 2007 Edition (ITRS 2007), Executive Summary p.20.
- [7] J. Fraden, "Handbook of Modern Sensors, physics, Designs, and Applications," 3rd ed., Springer-Verlag New York Inc., 2004, Fig. 14-16 in p. 424.
- [8] S.C. Sun, "Process Technologies for Advanced Metallization and Interconnect Systems," in *IEDM Tech. Dig.*, Dec. 1997, p. 765.
- [9] 松澤 昭, "超 LSI 配線技術," 第 9 回応力研究会予稿集, pp.24-27, Jul. 2003.
- [10] S. P. Gurrum, S. K. Suman, Y. K. Joshi, and A.G. Fedorov, "Thermal issues in next-generation integrated circuits," *IEEE Transactions on Device and Materials Reliability*, vol. 4, pp. 709-14, 2004.
- [11] J. Koo, S. Im, and L. Jiang, "Integrated microchannel cooling for three-dimensional electronic circuit architectures," *Journal of Heat Transfer*, Volume 127, January 2005.
- [12] C.R. King, Jr., D. Sekar, M.S. Bakir, B. Dang, J. Pikarsky, and J.D. Meindl, "3D Stacking of Chips with Electrical and Microfluidic I/O Interconnects," *Proceedings of 58th Electronic Components and Technology Conference (ECTC)*, pp. 1-7, May 2008.

第2章 ハイブリッド型 HgCdTe 赤外線センサ

2.1 はじめに

赤外線のうち波長 10 μm 帯は、常温物体の黒体輻射のピーク波長に相当し、この波長帯で見る景色は昼夜同じように見ることができる。このため、この波長帯の赤外線センサは暗視装置として非常に注目されている。また、オゾンや NO_x 、 SO_x の吸収ピークがこの波長帯付近にあるため、大気汚染測定への応用も検討されている[1]。

この波長帯の赤外線受光素子材料は、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ をはじめ、 $\text{Pb}_{1-x}\text{Sn}_x\text{Te}$ 、 GaAs/AlGaAs 多重量子井戸[2]、 SiGe/Si ヘテロ接合[3]等がある。これらのうち HgCdTe は、後者二つに対しては感度の点で優れており、 PbSnTe に対しては表面保護膜の安定性の点で優れている[4][5]。このため HgCdTe は赤外線受光素子材料として世界各地の研究機関において盛んに研究が進められている。また、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ は組成 x を変化させることにより、バンドギャップを幅広く変化させることができるという特徴を持つ[6]。例えば 77 Kにおいて、 HgTe のバンドギャップは-0.2 eV (半金属)、 CdTe のバンドギャップは 1.6 eV であり、この範囲内において組成を変えることにより任意のバンドギャップが得られる。したがって、 HgCdTe は各種波長帯の赤外センサー材料としても幅広く利用されている。

このような HgCdTe 結晶の代表的な成長方法としては、LPE 法 (liquid phase epitaxy) や MOVPE 法 (metal-organic vapor phase epitaxy)、MBE 法 (molecular beam epitaxy) などが挙げられる。ところで、 Hg は蒸気圧が高く、拡散係数が大きいいため、超格子や p/n 接合等の形成を行うためには低温成長が不可欠である。前述の成長方法のうち、MBE 法は低温成長を行うことが可能であり ($\sim 200^\circ\text{C}$)、将来の新機能デバイスのための HgCdTe 結晶成長方法として極めて有望である。このような観点から、我々は MBE による HgCdTe 成長にフォーカスし、赤外イメージセンサへの適用を目指して開発を進めてきた。Fig. 2-1 に今回使用した Riber 製 MBE 装置を示す。

しかし、MBE 法により HgCdTe 結晶成長を行う場合、単結晶の成長条件範囲が狭いため、良質の単結晶を再現性良く得ることが難しいという問題がある。これは、成長ごとの微妙な条件変化が結晶性にそのまま影響してしまうことに

起因する。そのため、厳密な成長条件の制御が必要となる。また、その成長条件の最適化を行うためには、得られた結晶の欠陥評価は極めて重要である。結晶欠陥のうち、双晶は MBE 法による HgCdTe 成長においてよく発生する欠陥である。その他、転位はデバイス特性を大きく左右する欠陥であるが、有効な転位評価法はまだ確立されていない。

そこで本章では最初に、成長条件を決定する分子線照射量と基板温度の制御法の確立を行った。また、双晶発生については、基板面方位依存性を調べ、転位についてはその評価方法の検討を行った。さらに、最適面方位における HgCdTe 成長を Si 上に行うための、Si 面方位最適化、プロセスシーケンス最適化を行った。最後に、HgCdTe/Si を用いた赤外イメージセンサの試作を行い、感度評価、動作確認を行った。

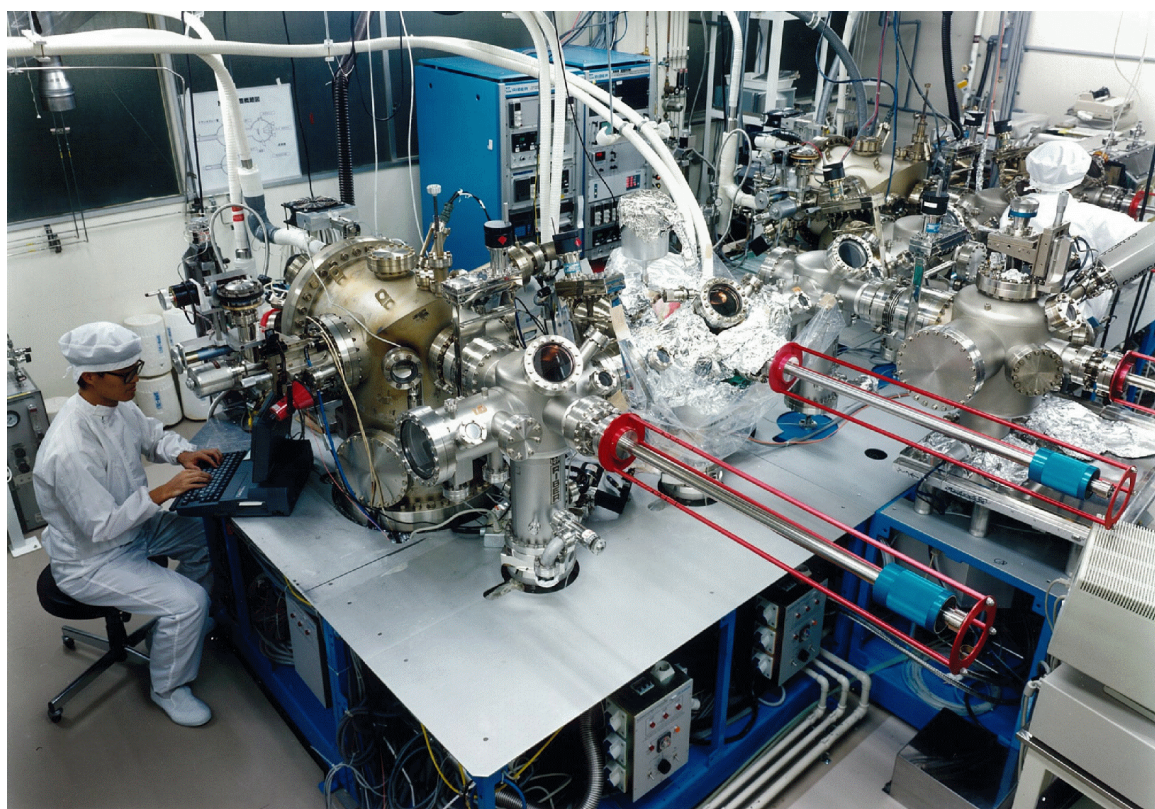


Fig. 2-1 Ribier 32P MBE equipment for 3 inch wafer.

2.2 HgCdTe 結晶成長技術

2.2.1 分子線制御法

MBE 法による $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ 成長において成長条件を決めるパラメータとして Hg、Cd、 Te_2 の flux と基板温度の四つを挙げることができる。これらのパラメータを調節することにより、成長率 v 、組成 x 、および伝導型 (p/n) の制御が可能である[7]。まずここでは、目的の成長率と組成を得るための分子線照射量の制御法について述べる。

成長率と組成は、Cd と Te_2 の flux によりほぼ決定される。Cd と Te_2 の付着係数がほぼ 1 であるのに対して[8]、Hg の付着係数は 10^{-3} 程度 ($\text{CdTe}(\bar{1}\bar{1}\bar{1})\text{B}$ 、基板温度 $T_s = 190^\circ\text{C}$) と極めて低い[9]。また、Hg は Te の付着量から Cd の付着量を引いた量だけ付着し、Hg 単独で照射しても付着しない。そこで成長率については、その CdTe 成分である v_{CdTe} と HgTe 成分である v_{HgTe} とに分けて考え、その単位を [$\text{\AA}\cdot\text{s}^{-1}$] とすると、次のように表すことができる。

$$v_{\text{CdTe}} = \frac{a^3}{4 \times 10^{16}} s_{\text{Cd}} J_{\text{Cd}} \quad (1)$$

$$\begin{aligned} v_{\text{HgTe}} &= \frac{a^3}{4 \times 10^{16}} s_{\text{Hg}} J_{\text{Hg}} \\ &= \frac{a^3}{4 \times 10^{16}} (2s_{\text{Te}_2} J_{\text{Te}_2} - s_{\text{Cd}} J_{\text{Cd}}) \end{aligned} \quad (2)$$

$$\begin{aligned} \therefore v &= v_{\text{CdTe}} + v_{\text{HgTe}} \\ &= \frac{a^3}{4 \times 10^{16}} 2s_{\text{Te}_2} J_{\text{Te}_2} \end{aligned} \quad (3)$$

ただし、

- v_{CdTe} : 成長率の CdTe 成分で xv に等しい、
- v_{HgTe} : 成長率の HgTe 成分で $(1-x)v$ に等しい、
- s_i : 化学種 i の付着係数、
- J_i : 化学種 i の flux [$\text{molecules}\cdot\text{cm}^{-2}\cdot\text{s}^{-1}$],
- a : $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の格子定数 [\AA]。

また、 $4 \times 10^{16}/a^3$ は 1 cm^2 あたり 1 \AA の膜厚を得るのに必要な原子数を意味する。係数 4 は単位格子あたり Hg もしくは Cd 原子が 4 個必要なことを示す。例えば $x = 0.222$ の場合、格子定数は 6.4640 \AA であるから[10]、この値は $1.481 \times 10^{14} [\text{atoms} \cdot \text{cm}^{-2} \cdot \text{s}^{-1}]$ となる。

成長率における CdTe 成分の割合から、組成 x は式(4)のように表すことができる。

$$\begin{aligned} x &= \frac{v_{\text{CdTe}}}{v} \\ &= \frac{s_{\text{Cd}} J_{\text{Cd}}}{2s_{\text{Te}_2} J_{\text{Te}_2}} \end{aligned} \quad (4)$$

さて、Cd 原子の供給源は CdTe セルだけであること、及び CdTe セルから蒸発する Cd 原子と Te_2 分子の flux の比が 2:1 であること[11]を考慮すると

$$J_{\text{Cd}} = \frac{2}{3} J_{\text{CdTe cell}} \quad (5)$$

となる。ただし、CdTe セルからの flux を $J_{\text{CdTe cell}}$ とする。同様に Te セルからの flux を $J_{\text{Te cell}}$ とすると、今回の成長実験の場合、CdTe セルと Te セルから Te 分子が供給されることから、

$$J_{\text{Te}} = J_{\text{Te cell}} + \frac{1}{3} J_{\text{CdTe cell}} \quad (6)$$

となる。したがって成長率 v と組成 x は各セルからの flux を用いて式(7)と(8)のように表される。

$$v = \frac{a^3}{4 \times 10^{16}} 2s_{\text{Te}_2} \left(J_{\text{Te cell}} + \frac{1}{3} J_{\text{CdTe cell}} \right) \quad (7)$$

$$x = \frac{s_{\text{Cd}}}{s_{\text{Te}_2}} \cdot \frac{1}{1 + 3J_{\text{Te cell}} / J_{\text{CdTe cell}}} \quad (8)$$

Cd と Te_2 の付着係数の比 $s_{\text{Cd}}/s_{\text{Te}_2}$ は、前述のように $s_{\text{Cd}}=1$ 、 $s_{\text{Te}_2}=1$ ならば 1 である。しかしこの値は主に Hg flux、成長温度、組成、及び基板面方位等によって異なる。例えば CdTe(1 1 2)基板上に CdTe と Hg を照射したときには組成 x が 0.8 になるという報告[12]もあり、この場合 $x=0.8$ での $s_{\text{Cd}}/s_{\text{Te}_2}$ は 0.8 となる。筆者らは $x=0.22$ の近傍での実験結果をもとにこの値を 0.666 と定めた。Fig. 2-2 にこの式をもとにした x と $J_{\text{Te cell}}/J_{\text{CdTe cell}}$ との関係を示す。Fig. 2-2 を用いて任意の組成 x を得るための flux 比を求めることができる。

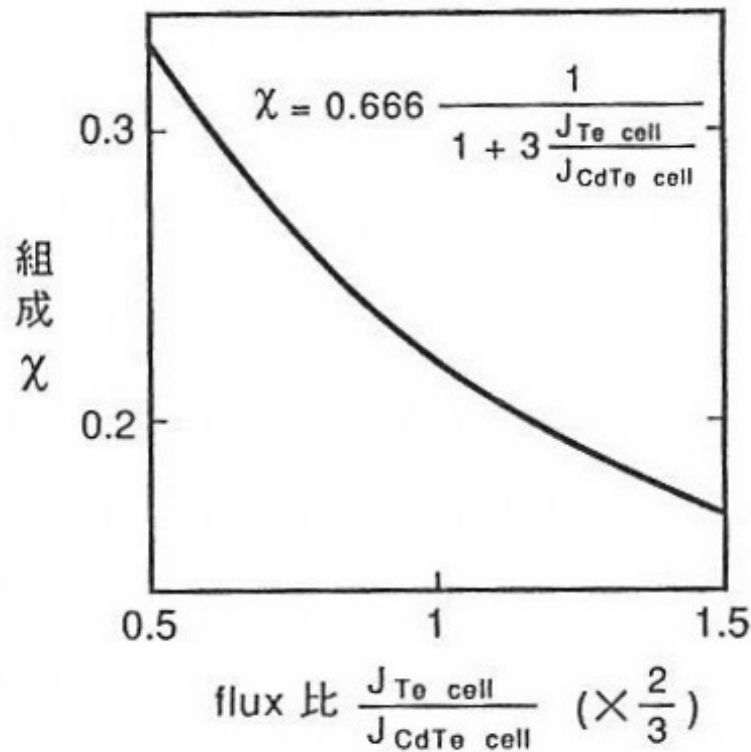


Fig. 2-2 Relationship between composition x and flux ratio.

flux の測定方法としては、水晶発振式膜厚計を用いる方法、B-A 真空計を用いる方法[13][14]、四重極質量分析法[15]、原子吸光法[16]等がある。このうち B-A 真空計を成長位置に配置して測定する方法が比較的簡便で正確である。B-A 真空計により測定された真空度 p_{BA} と flux J との関係は次のように表される。

$$\begin{aligned}
 p_{\text{BA}} &= J M v_{\text{th}} I(z) \\
 &= J \sqrt{3RTM} I(z)
 \end{aligned}
 \tag{9}$$

ただし、M : 分子量もしくは原子量、
 v_{th} : thermal velocity、 $(3RT/M)^{1/2}$ に等しい[17]、
 $I(z)$: 感度係数、 $I(z) = 0.4z / 14 + 0.6$ [14]、
 z : 原子番号。

式(9)を J について整理すると、式(10)のようになる。

$$J = \frac{P_{BA}}{\sqrt{3RTM} I(z)} \quad (10)$$

ただし、 R は気体定数、 T は温度で、この場合の温度はセル温度として近似できる。

しかし、実際には真空計の感度変化等により正確な flux を測定することは困難である。そこである成長を行った後で、相対的にセル温度を変化させて目的の成長条件を達成する方が現実的である。その制御方法はある成長で得られた成長率 v' と組成 x' をもとに、CdTe のみの成長率成分 v_{CdTe} と HgTe のみの成長率成分 v_{HgTe} を所定の値となるように flux を調整する方法である。例えば成長率を 5 \AA/s 、 x を 0.222 としたい場合は CdTe セルと Te セルからの flux を次のように変更すればよい。

$$J_{CdTe \text{ cell}} = \frac{0.222 \times 5}{v'_{CdTe}} J'_{CdTe \text{ cell}} \quad (11)$$

$$J_{Te \text{ cell}} = \frac{0.778 \times 5}{v'_{HgTe}} J'_{Te \text{ cell}} \quad (12)$$

flux はセル材料の蒸気圧を p としたとき、 $p/T^{1/2}$ に比例する。そこで式(11)、(12)を満たすようにセル温度を変化させてやれば、目的の成長率において所望の組成を持つ結晶が得られる。Table 2-I に各セル材料の蒸気圧を掲げる。flux はセル材料の入れ換えや経時変化等により随時変化するので、その都度修正する必要がある。

Table 2-I Vapor pressures for cell materials .

	a	b	Enthalpy of vaporization [eV]
Hg	-3.16	7.90	0.629
CdTe	-9.92	9.47	1.97
Te	-8.33	10.67	1.65

*) $\square \log p$ [torr] = 1000 a / T [K] + b. Parameters were extracted from vapor pressure curves in [18] p.173.

2.2.2 基板温度制御法

これまでに説明した分子線照射量は、セル温度さえ一定に保つもことができれば成長中に変化することはまれである。しかし、成長条件を決めるもう一つのパラメータである基板温度は、成長中に変化する。通常、GaAs 等の MBE 成長を行う場合、基板回転を行えるようにするために、熱電対と基板ホルダは非接触となっている[18]。ところが、HgCdTe の MBE 成長においてこのような方式を採用すると、成長後まもなく双晶になり単結晶を成長させることができない。HgCdTe 成長においては、基板温度が低下すると双晶になり、基板温度が上昇すると多結晶になるため、成長中の双晶発生は基板温度の低下を示す。そのため、通常 HgCdTe の MBE 成長においては、熱電対は基板ホルダ裏面に接触させ基板回転をせずに成長を行う。この方法により単結晶を成長させることが可能となるが、それでも基板温度低下は起こっており、双晶発生の問題や成長初期と後期での結晶性や電気特性の変化などの問題から避けられない。また温度制御にパイロメータを用いた場合、ヘテロ成長であるためにエピ層内部で赤外光が干渉し、成長と共に温度表示が振動して正確な温度を測定できないという問題点がある。そこで、ここでは基板温度低下の対策およびその原因を考察する。

成長中の基板温度低下の度合いを調べるためには、基板表面温度を直接熱電対等で測定するのが理想的であるが、基板と熱電対との熱接触の問題や振動の問題等でまだ正確に測定できるところまで至っていない。ところで、基板温度が変化すると結晶性が変化することを前述した。結晶性が変わると RHEED パターンも変わる。このことを利用すると、成長中の基板温度変化を知ることがで

きる。単結晶と多結晶の境界における基板温度では、RHEED パターンはほとんど見えなくなり、その温度から下がるにつれて、ストリークが伸びて明るくなる。この領域を観察すると、基板温度の変化を知ることができる。RHEED を用いているので、特に成長表面温度の変化をモニターしていることになる。

そこで、RHEED パターンが変化しないように熱電対表示温度を補償すれば、基板温度を一定に保つことができる。成長中の RHEED 観察を繰り返すことにより求めた、成長中の温度プロファイルを図 2-3 に示す。これは、成長開始から

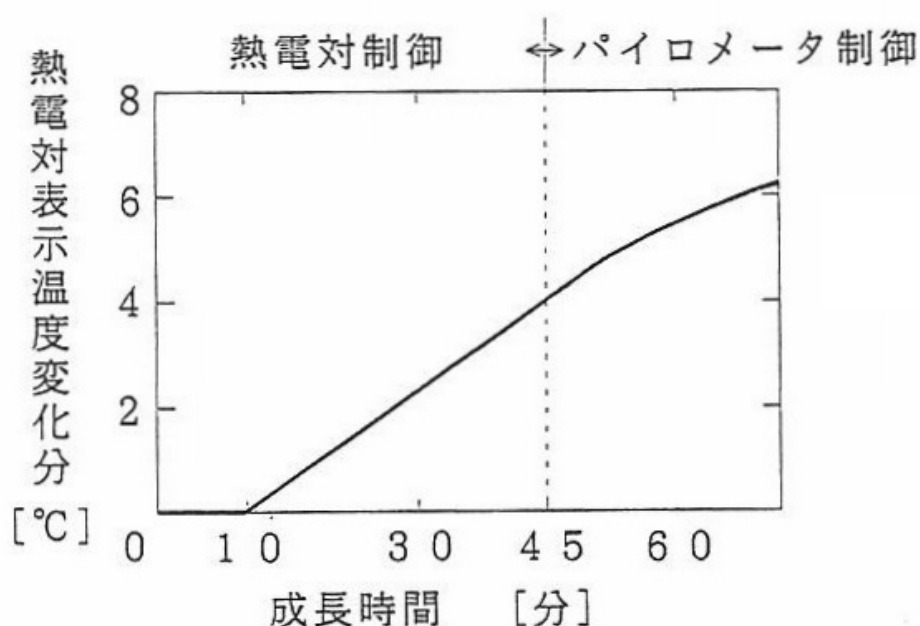


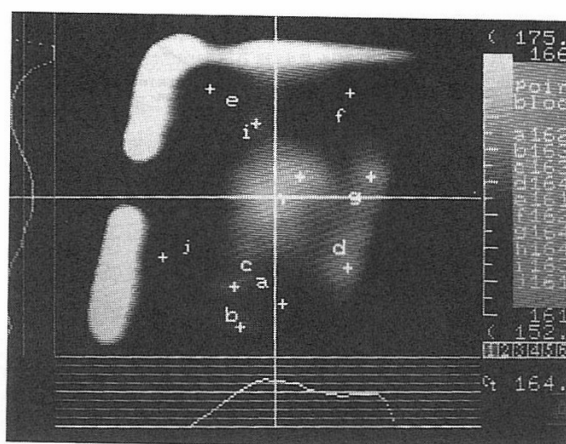
Fig. 2-3 Temperature profile during growth.

10 分間は一定に保持し、その後 $6.8\text{ }^{\circ}\text{C}/\text{min}$ で昇温し、45 分後からはパイロメータで制御するものである。ただし、HgCdTe の成長率は $4.5\text{ }\text{\AA}/\text{s}$ で最適化を行った。成長後半はエピ層膜厚の増加により、基板との界面で反射した赤外光はエピ層内で吸収され、前述した干渉が起こらなくなる。このためパイロメータによる温度制御が可能となる。また、パイロメータによる制御に切り替えてからは、基板回転を行うことができる。

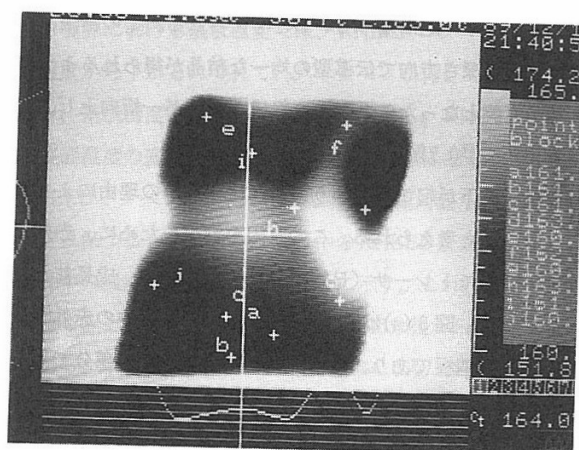
このような温度制御法を用いると、RHEED パターンはほとんど変化しないため、成長表面温度はほぼ一定になっていると考えられる。この結果、単結晶化率を向上させ、エピ層の深さ方向で伝導型の均一な結晶が得られるようになった

た。また、基板回転が可能となったことにより組成均一性が一桁向上し、直径44 mmの円内で組成差 Dx/x が0.7%以内となった。

成長中に基板温度低下が起こるといことは、何らかの理由により熱の損失が成長中に増大していると考えられる。この原因を調べるために、赤外画像を捕らえることのできるサーモトレーサ（日電三栄製）を用いて、成長前と成長中の熱幅射の変化を測定した。Fig. 2-4 (a) は成長前、Fig. 2-4 (b) は成長中の赤外画像である。中央部の平行四辺形が基板であり、その周りが基板ホルダの部分である。基板部分は、成長前と成長中での熱幅射の変化は少ないが、基板ホルダの部分は、成長中に明るくなっている。このことは、基板ホルダ上に成長膜がつくことにより放射率が上昇していることを示す。放射率の上昇は放射冷却の増加を促し、基板温度の低下に寄与する。



(a) 成長前



(b) 成長中

Fig. 2-4 Infrared images for substrate and its holder.

このような基板ホルダ表面の放射率の上昇を抑えるため、Fig. 2-5 に示したように、基板ホルダ表面の大部分を Si ウェハによって覆ったホルダを作成した。基板は Si ウェハ上に Ga を介して貼り付けられる。次に、比抵抗の異なる Si ウェハを用いて基板温度がどのように変化するかを調べた。Fig. 2-6 にその結果を示す。比抵抗が $10\sim 20\ \Omega\cdot\text{cm}$ の時には、1 時間の成長で 20°C 程度の温度低下が見られた。比抵抗を小さくすると温度低下は小さく成り、高濃度 As ドープ Si 基板 ($<0.02\ \Omega\cdot\text{cm}$) を用いた時に、温度低下がほぼゼロとなった。比抵抗が小さくなると Si ウェハの放射率が増大するため、HgCdTe 成長を行っても、放射率の変化を小さくできるものと考えられる。以上のことから、低比抵抗 Si ウェハを支持体として、その上に基板を貼り付ける方式を標準として、今後の実験を行った。後半で記述する Si 上への HgCdTe 成長においても、低比抵抗 Si ウェハを貼り付けて行っている。これは、高濃度 As ドープ Si 基板が特注品であり、入手が困難であるためである。このようにすることにより、標準的な比抵抗の Si 基板を HgCdTe 成長用に用いることができる。

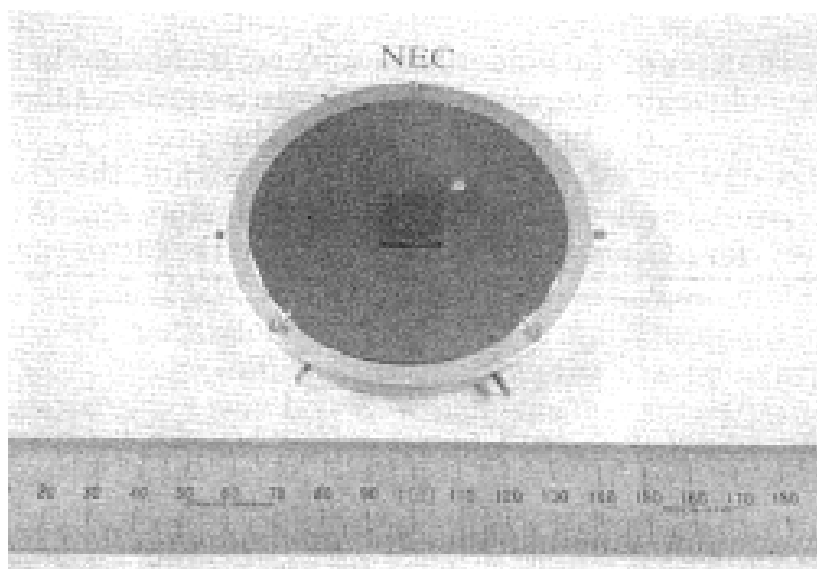


Fig. 2-5 Substrate holder and CdZnTe substrate described in this paper. Almost area of the holder was covered with a Si wafer to reduce the emissivity change of the holder surface during growth. A tip of tin is placed on the Si wafer to calibrate the temperature.

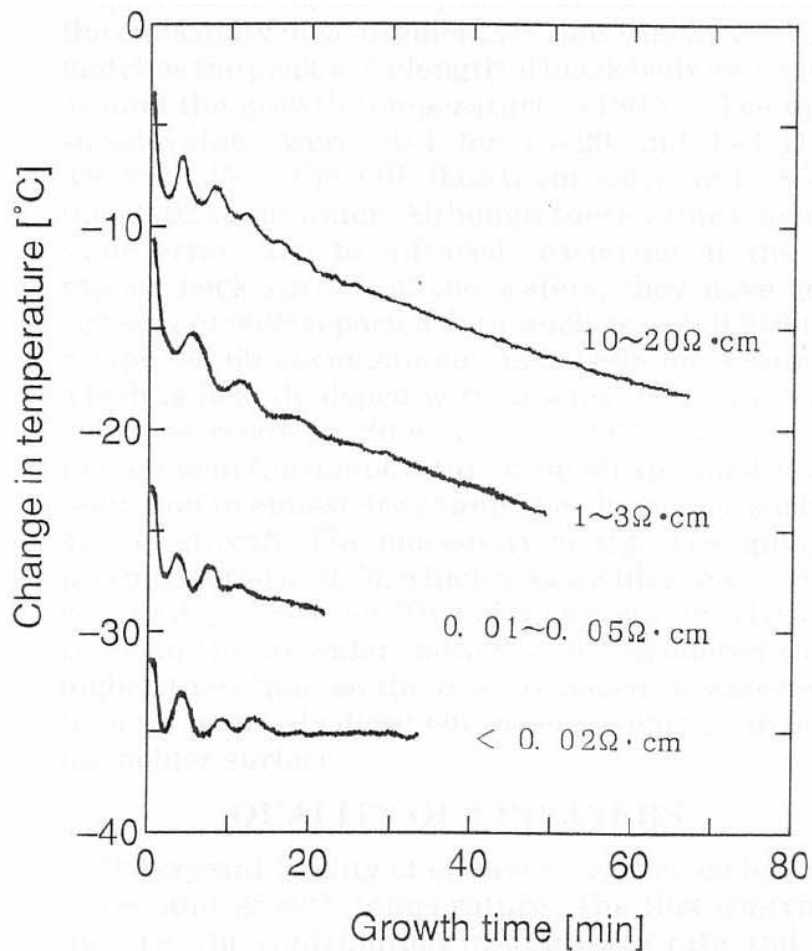


Fig. 2-6 Pyrometer temperature profiles after growth initiation as a function of time. Each profile is shifted for clarity. The values indicate the resistivities of Si wafers. The temperature readings in the beginning of the growth do not indicate real temperature change.

2.3 欠陥発生機構とその基板面方位依存性

MBE 法により HgCdTe 成長を行う場合、基板面方位により単結晶成長条件の範囲が大きく異なる[19]。また、エピ層の表面形態や欠陥発生の仕方も面方位により異なる。そこで基板面方位によるエピ層の違いを調べるために、CdZnTe 基板(111)B、(110)、(112)B 面上に HgCdTe を同一条件で成長させた。成長条件は基板温度 190 °C、成長時間 90 分である。ただし成長中の基板温度は、基板ホルダ裏面の熱電対表示温度を一定となるように制御した。エピ層の膜厚は 4.4~

4.9 μm 、Cd 組成 x は 0.324~0.342 の範囲内である。この章ではまず結晶方位の決定法について述べ、続いて基板面方位による HgCdTe エピ層の特性や双晶発生の違いについて考察する。

2.3.1 方位の決定法

CdTe、HgCdTe 結晶において、その極性に関し論文等で過去に混同があった。過去の論文等における極性の混同については文献[20]に詳しく述べられている。しかし、極性の他にも面方位の表記法などにおいて各論文において不統一がみられ混同しやすいので、ここではっきり定義しておくことは有用であろう。また、基板の結晶学的方位は基板の仕様書により確認できるが、メーカ側の手違い等で極性等が反対になっていることがあった。そこで、簡便な方位の決定法についてもいくつか考察する。

HgCdTe 結晶において、A 面とは特に $\{1\ 1\ 1\}$ 面において Hg もしくは Cd の II 族原子が最表面に現れる面のことである。B 面とは VI 族の原子である Te が最表面に現れる面のことである。A 面、B 面の定義については III-V 族化合物半導体において文献[21]に詳しく述べられているので参考にされたい。HgCdTe 結晶においては極性判別法に一部混同があり、A 面と B 面が逆に定義されることが一時期あった。しかし、現在では X 線回折により極性の絶対測定を行った、Fewster らの定義に統一されている[22]。したがって、1983 年以前の文献についてはその極性に注意する必要がある。

さて、 $\{1\ 1\ 1\}$ 面において、慣習として $(1\ 1\ 1)$ 面を A 面と定義する。当然その裏側の面である $(\bar{1}\ \bar{1}\ \bar{1})$ 面は B 面である。 $\{1\ 1\ 1\}$ 面のうち、A 面は $(1\ 1\ 1)$ 、 $(1\ \bar{1}\ \bar{1})$ 、 $(\bar{1}\ 1\ \bar{1})$ 、 $(\bar{1}\ \bar{1}\ 1)$ の四つの面である。B 面は $(\bar{1}\ \bar{1}\ \bar{1})$ 、 $(\bar{1}\ 1\ 1)$ 、 $(1\ \bar{1}\ 1)$ 、 $(1\ 1\ \bar{1})$ の四つの面である。指数の上につく $\bar{}$ (バーと読む) の数が、偶数のものは A 面、奇数のものは B 面と覚えておくと簡単である。 $\{1\ 1\ 1\}$ 面以外の面にも極性があり、やはり指数の上につく $\bar{}$ の数が偶数のものは A 面、奇数のものは B 面である。無極性面は $\{1\ 0\ 0\}$ 面や $\{1\ 1\ 0\}$ 面等の、指数のうち一つ以上が 0 である面に限られる。ここで $\{\}$ で示した面方位は型面 (planes of a form) と呼ばれるもので、例えば $\{1\ 0\ 0\}$ は、 $(1\ 0\ 0)$ 、 $(0\ 1\ 0)$ 、 $(0\ 0\ 1)$ 、 $(\bar{1}\ 0\ 0)$ 、 $(0\ \bar{1}\ 0)$ 、 $(0\ 0\ \bar{1})$ の六つの面を代表する[23]。ちなみに方向にも型方向 (directions of a form) というものがあって $\langle \rangle$ で表され、例えば $\langle 1\ 0\ 0 \rangle$ は $[1\ 0\ 0]$ 、 $[0\ 1\ 0]$ 、 $[0\ 0\ 1]$ 、 $[\bar{1}\ 0\ 0]$ 、 $[0\ \bar{1}\ 0]$ 、 $[0\ 0\ \bar{1}]$ の六つの方向を代表する[24]。ところで、ダイヤモンド型構造において $\{1\ 1\ 1\}$ 面は

すべて結晶学的に等価な面を表すが、zinc-blende 型構造においては極性が存在するために等価ではなくなる。したがって本論文では、完全に等価である $\{111\}$ の四つの A 面を $\{111\}$ A 面、同様に等価な四つの B 面を $\{111\}$ B 面と表記することにする。この表記法は $\{111\}$ 面以外の極性を持つ面に対しても同じように定義されるものとする。

エピ成長のように、基板のある面方位の方向に成長させる場合、その成長方位の指数付けの仕方を統一しておくで後で結晶学的方位について議論する場合に便利である。例えば、基板面方位が $\{100\}$ の場合、前述したように六つの等価な面が存在する。ここで面指数 (hkl) を xyz 直交座標にあてはめると、成長方位を z 軸にとり、面内を xy 座標で表すと考えやすい。そこで本論文では、基板面方位 $\{100\}$ の面指数を (001) と定めることにした。本論文で扱う基板面方位としては $\{100\}$ の他に、 $\{111\}$ 、 $\{110\}$ 、 $\{211\}$ 等があるが、 $\{111\}$ については A 面を (111) 、B 面を $(\bar{1}\bar{1}\bar{1})$ 、 $\{110\}$ については (110) 、 $\{211\}$ については A 面を (112) 、B 面を $(\bar{1}\bar{1}2)$ と定めた。ここで定めた面の法線は、すべて $[1\bar{1}0]$ に垂直である。このように定義することにより、結晶学的方位について解析するような場合に座標変換等が行いやすくなる。

2.3.1.1 RHEED による方法

RHEED パターンは結晶の面方位と電子線の入射方向に依存することから、結晶の方位の決定に用いることができる。ここでは、RHEED パターンの計算とそれを用いた方位決定法について述べる。

RHEED パターンの計算は逆格子と入射電子線のエバルトの反射球との交わりから求めることができる。電子線は高エネルギー (10 keV) でかつ低角度 (2~3°) で入射することから、低角散乱の回折の場合、反射球を電子線入射方向および基板面に垂直な平面とみなしても問題はない。また、二次元面の逆格子は逆格子ロッドと呼ばれる基板面に垂直な線になる。この逆格子ロッドが RHEED パターンのストリークに対応する。

このように計算した $(\bar{1}\bar{1}\bar{1})$ 面と $(\bar{1}\bar{1}2)$ 面の RHEED パターンおよび実際の RHEED パターンを Fig. 2-7、Fig. 2-8 にそれぞれ示す。黒丸は三次元結晶の逆格子点を表し、縦のラインは逆格子ロッドに対応する。また $\{211\}$ 面は $\{111\}$ 面と $\{100\}$ 面からなるステップ面であることから、ストリークは三次元結晶の逆格子点の近くにしか現れない[25]。

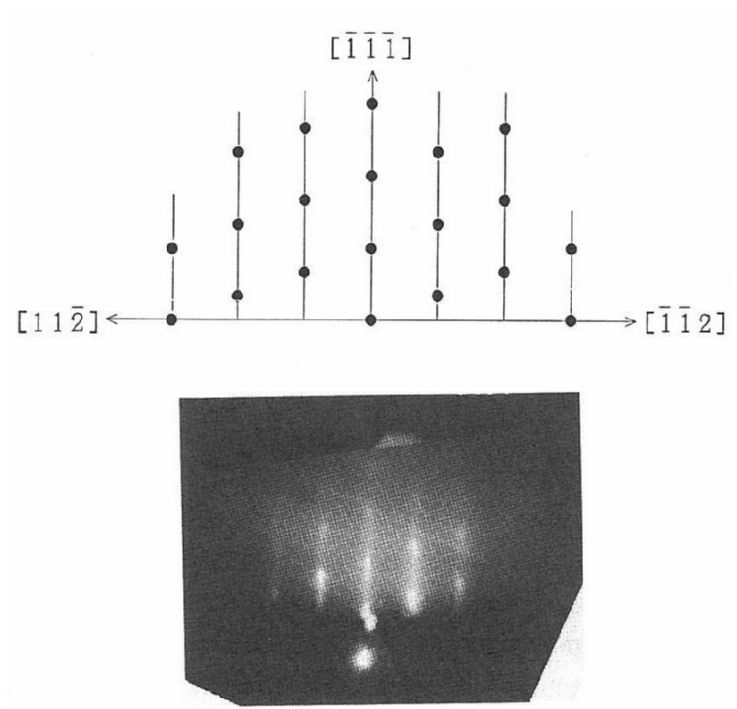


Fig. 2-7 Actual and calculated RHEED patterns for $(\bar{1}\bar{1}\bar{1})$ surface with $[1\bar{1}0]$ incidence.

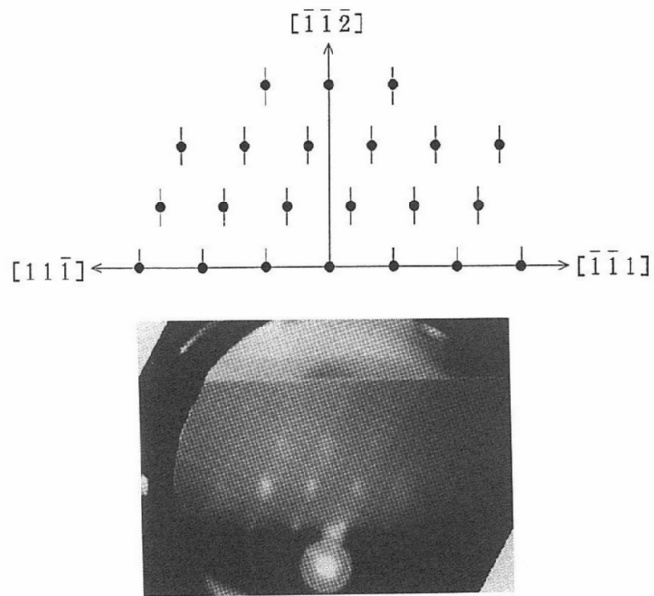


Fig. 2-8 Actual and calculated RHEED patterns for $(\bar{1}\bar{1}\bar{2})$ surface with $[1\bar{1}0]$ incidence.

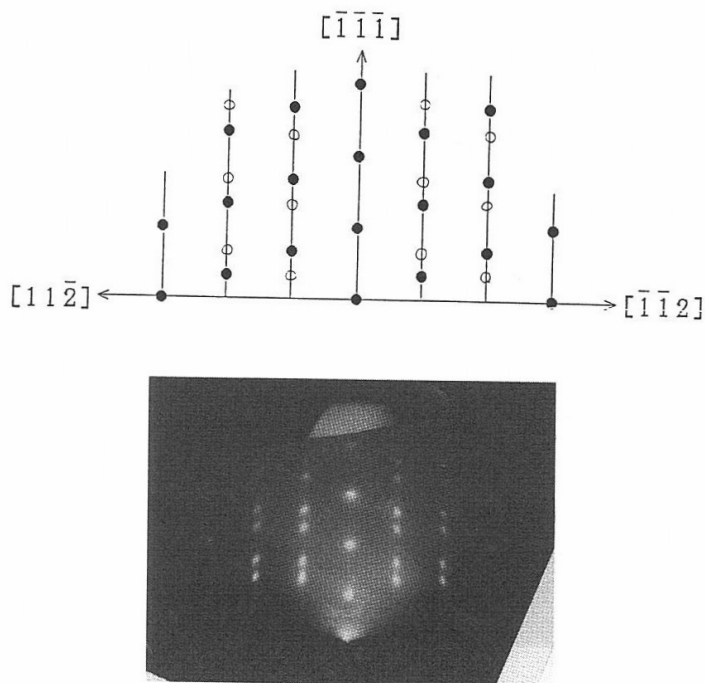


Fig. 2-9 Actual and calculated RHEED patterns for $(\bar{1}\bar{1}\bar{1})$ surface of twins with $[1\bar{1}0]$ incidence.

これらの計算例と実際の RHEED パターンを比較することにより基板の方位を決定することが可能である。ただし、極性判別はできないのであらかじめ極性は既知である必要がある。また、(1 1 0)面や(0 0 1)面は $[1 \bar{1} 0]$ 入射と $[\bar{1} 1 0]$ 入射のパターンが等しくなるので方位の決定はできない。方位の決定以外に、RHEED パターンより双晶面を知ることができる。Fig. 2-9 に $(\bar{1} \bar{1} \bar{1})$ 面における双晶の RHEED パターンを示す。白丸のドットは逆格子を $(\bar{1} \bar{1} \bar{1})$ 面上で 180° 回転させたものである。このパターンは実際のパターンと一致しており、 $(\bar{1} \bar{1} \bar{1})$ 面が双晶面であることがわかる。

2.3.1.2 エッチングによる方法

RHEED の方法では極性判別はできない。極性判別にはエッチングによる方法が最も簡便であると思われるので、ここではその方法について述べる。

Brown らは CdTe 用の過去に報告されている極性判別可能なエッチング液を、X 線回折[22]や TEM [20][26][27]などの絶対測定を基準にしてまとめた[20]。彼らによると種々のエッチング液のうち Durose によるエッチング液[28]（以下 Durose Etch と呼ぶ）が最も極性判別に適している。Durose Etch はフッ酸と硝酸と酢酸とを 1:1:1 で混合したエッチング液である[20]。Durose Etch で CdTe のエッチングを行うと $\{1 1 1\}$ A 面は黒褐色に、 $\{1 1 1\}$ B 面は鏡面になる[20]。

この DuroseEtch を極性判別に用いるため、 $\{1 1 0\}$ 、 $\{1 1 1\}$ 、 $\{2 1 1\}$ 面に適用してみた。エッチング条件は室温で 20~30 秒程度である。その結果、 $\{1 1 1\}$ A 面と $\{2 1 1\}$ A 面は共に黒褐色になり、 $\{1 1 1\}$ B 面と $\{2 1 1\}$ B 面は結晶本来の色を呈した鏡面になった。 $\{1 1 0\}$ 面はそれらの中間的な茶色になった。このことから、このエッチングは A 面と B 面を目視だけにより簡単に判別できる有用な方法であることがわかった。したがって、本論文の中で議論する結晶方位の決定は、まず RHEED によって行い、極性判別は Durose Etch により行った。

2.3.2 HgCdTe エピ層の結晶特性

CdZnTe 基板 $(\bar{1} \bar{1} \bar{1})$ B、(1 1 0)、 $(\bar{1} \bar{1} \bar{2})$ B 面上に成長させた HgCdTe エピ層の結晶性と電気特性を調べた。その結果を Table 2-II にまとめる。結晶性は二結晶 X 線回折のロッキングカーブ半値幅より調べた。第一結晶は測定試料と同じ面方位の CdTe もしくは CdZnTe 結晶を用いた。X 線源は CuK α を用い、加速電圧 40 kV、管電流 20 mA、ビーム径 2 mm で測定を行った。(1 1 0) と $(\bar{1} \bar{1} \bar{2})$ B 上のエピ層

Table 2-II X-ray FWHM and electrical properties for HgCdTe epilayers at 77K.

	$(\bar{1}\bar{1}\bar{1})B$	$(1\ 1\ 0)$	$(\bar{1}\bar{1}\bar{2})B$
FWHM [arcsec]	no peak (twins)	26.9	20.7
carrier concentration	3.1×10^{16}	6.0×10^{15}	4.2×10^{15}
Nd-Na [cm^{-3}]			
Electron mobility [$\text{cm}^2/\text{V}\cdot\text{s}$]	44	4.1×10^3	1.1×10^4

の結晶性は非常に良く、CdZnTe 基板の結晶性でほぼ決まっていると考えられる。ところが、 $(\bar{1}\bar{1}\bar{1})B$ 面上のものにはピークそのものが現れない。後述するように双晶がエピ層中に多数入っているためと考えられる。

電気特性は van der Pauw 法による Hall 効果測定により調べた。77K における電子移動度は、 $(\bar{1}\bar{1}\bar{2})B$ エピ層のものが最も大きく、 $(1\ 1\ 0)$ 、 $(\bar{1}\bar{1}\bar{1})$ の順に小さくなる。この違いも、TEM 観察のところで説明するとおり双晶発生の度合いを表していると考えられる。

2.3.3 エピ層表面における欠陥

エピ層の表面を微分干渉顕微鏡で観察すると基板面方位により表面形態が大きく異なることがわかる。Fig. 2-10(a)は $(\bar{1}\bar{1}\bar{1})B$ エピ層の表面で、2~3 μm スケールのセル構造を呈している。

それに対して $(1\ 1\ 0)$ や $(\bar{1}\bar{1}\bar{2})B$ エピ層の表面形態はスムーズである (Fig. 2-10(b),(d))。しかし、 $(1\ 1\ 0)$ エピ層の表面には三角形のヒロックがところどころに現れているのがわかる (Fig. 2-10(b))。このヒロックは密度の大小はあるが $(1\ 1\ 0)$ エピ層にはほとんどの場合に現れる。 $(\bar{1}\bar{1}\bar{2})B$ エピ層の表面にはそのようなヒロックが現れることは全くなく、エピ面全体にわたってスムーズな表面形態が得られることが多い。ただし、場合によっては Fig. 2-11 に示したようなピットが現れることもある。このピットの生成原因はまだ明かではないが、セル材料を入れ換えるとピットの発生する割合が変化することから、セルからの何らかの飛来物が核となってピットの原因となっている可能性がある。ここで用いたセル材料の形状はチャンクもしくはパウダーであったが、その後のセル材料は、その形状をすべてロッドに変更してピットの発生低減を図っている。

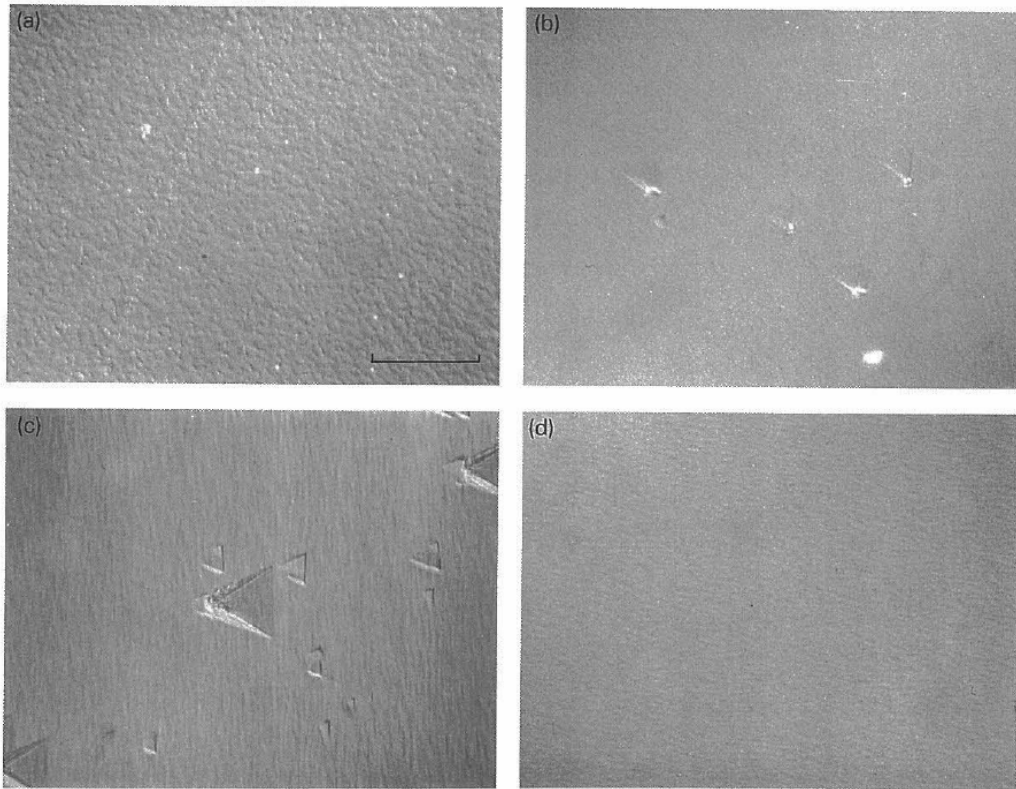


Fig. 2-10 -10 Nomarski micrographs of epilayer surfaces: (a) 3.7 μm thick $\text{HgCdTe}(\bar{1}\bar{1}\bar{1})\text{B}$; (b) 3.5 μm thick $\text{HgCdTe}(1\ 1\ 0)$; (c) 4.2 μm thick $\text{HgCdTe}(1\ 1\ 2)\text{A}$; (d) 6.0 μm thick $\text{HgCdTe}(\bar{1}\bar{1}\bar{2})\text{B}$. Marker represents 20 μm .

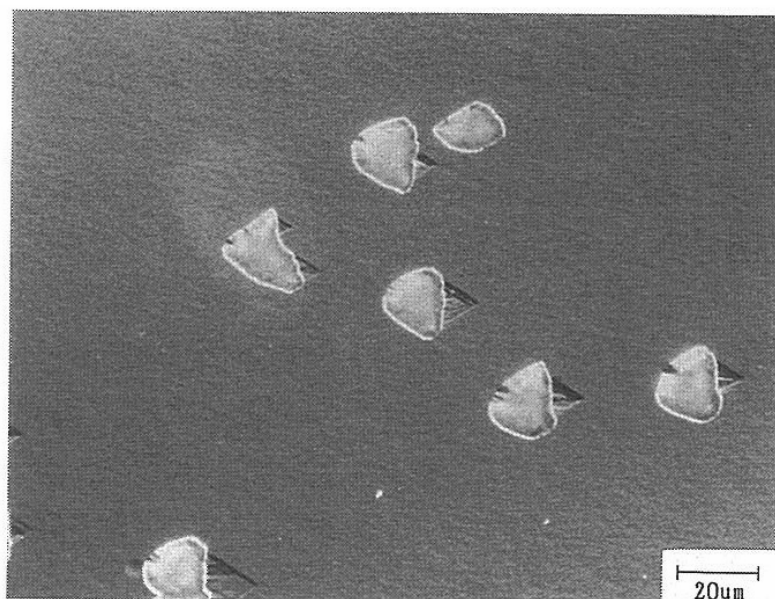


Fig. 2-11 Nomarski micrograph of $\text{HgCdTe}(\bar{1}\bar{1}\bar{2})\text{B}$.

2.3.4 双晶発生面の方位依存性

以上のことより、HgCdTe エピ層の結晶性や電気特性、表面形態などで基板面方位による違いが現れることがわかった。ここではその違いを微視的に調べるために、HgCdTe エピ層の透過電子顕微鏡 (TEM) による観察を行った。

断面 TEM 試料の作成方法は次のように行った。まず、エピ面同志をはりあわせた試料を短冊状に切断したあと、ラッピングにより 100~200 μm 程度まで薄片化した。その後、dimpler により 20 μm 程度まで薄くし、さらにヨウ素もしくはアルゴンによるイオンミリング (Gatan 社、model 600、加速電圧 30 kV) で薄くした。平面 TEM 試料は、ラッピングおよび chemi-mechanical polishing (CMP) により 100 μm 程度まで薄くした後、臭素メタノールにより試料の一部がなくなるまでエッチングした。できあがった試料は EM-002B (明石ビームテクノロジー社製)、加速電圧 200 kV で観察した。観察はすべて $\langle 110 \rangle$ 方向から行った。

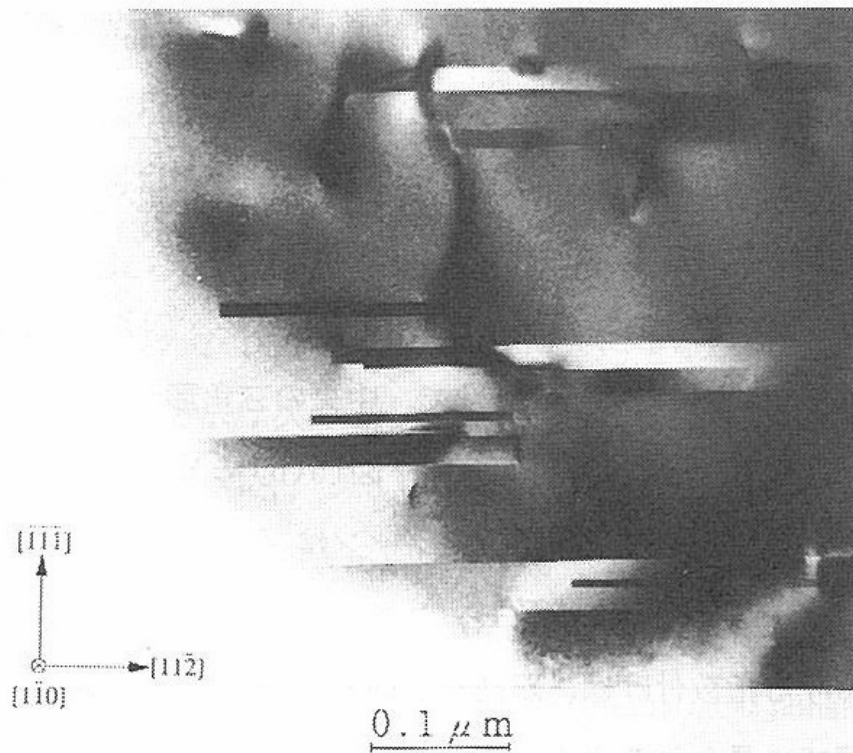


Fig. 2-12 Bright-field XTEM micrograph of HgCdTe($\bar{1}\bar{1}\bar{1}$) epilayer with $\langle 110 \rangle$ incidence.

2.3.4.1 $(\bar{1}\bar{1}\bar{1})B$ における双晶

Fig. 2-13にCdZnTe $(\bar{1}\bar{1}\bar{1})B$ 面上に成長したHgCdTeエピ層の断面TEM像を示す。Fig. 2-13において、層状に見えている領域は双晶である。これよりエピ層全体にわたって双晶が発生していることがわかる。これらの双晶は、 $(\bar{1}\bar{1}\bar{1})B$ 面上で回転した回転双晶であることが高分解能TEM像よりわかった。また、Fig. 2-13において皺状に見えているのは転位による歪である。このエピ層中には非常にたくさんの転位が存在することがわかる。

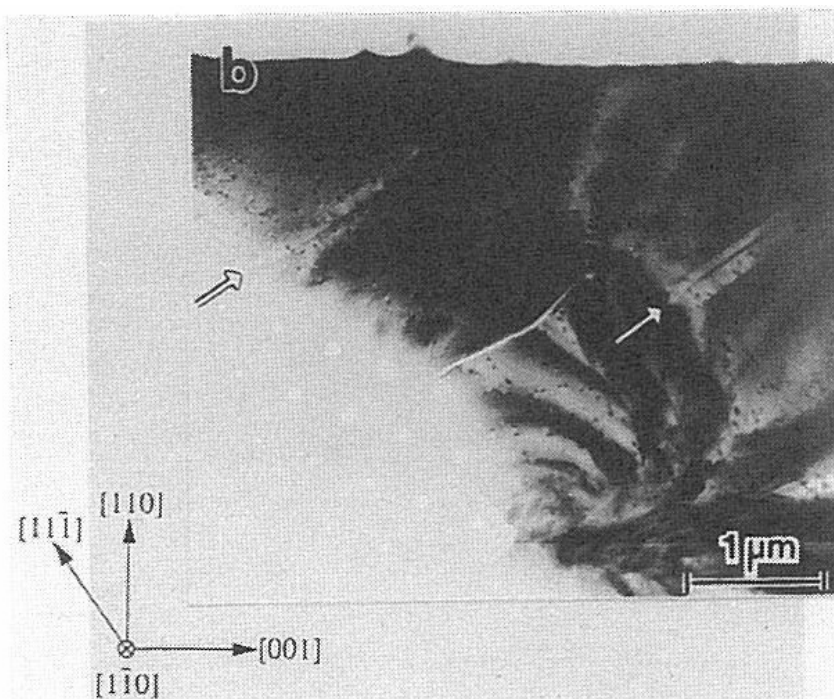


Fig. 2-13 XTEM micrograph of HgCdTe(1 1 0) epilayer with $[1\bar{1}0]$ incidence.

2.3.4.2 $(1\bar{1}0)$ および $(1\bar{1}2)A$ における双晶

CdZnTe $(1\bar{1}0)$ 面上に成長したHgCdTeエピ層には、双晶は $(\bar{1}\bar{1}\bar{1})B$ 面上のものと比較して非常に少ない。 $(\bar{1}\bar{1}\bar{2})B$ 面上に成長したHgCdTeエピ層については今回のTEM観察において双晶は全く観察されなかった。

ただし $(1\bar{1}0)$ のエピ層中については、断面TEMにおいて双晶が観察されることがある (Fig. 2-13)。Fig. 2-13において $(1\bar{1}\bar{1})B$ 面に沿った層状の双晶がみられる。ところで、一般にzinc-blende構造の結晶において双晶面は $\{111\}$ 面である。 $(1\bar{1}0)$ エピ層中における $\{111\}$ 面は、成長面に対称な $(1\bar{1}1)A$ 面と $(1\bar{1}\bar{1})B$ 面の二

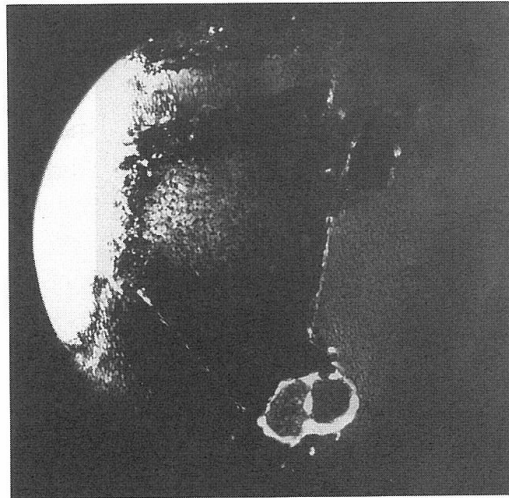
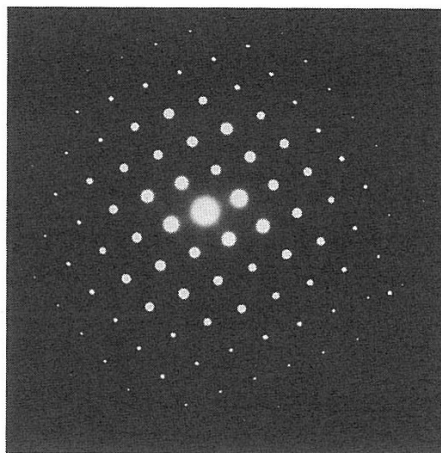
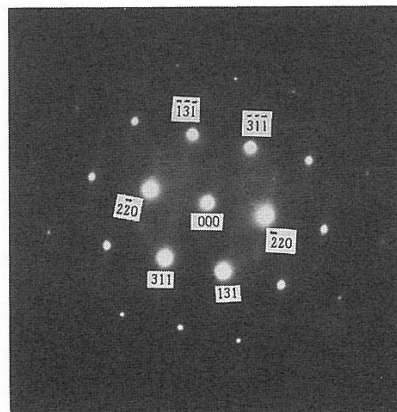


Fig. 2-14 PTEM micrograph of hillock for HgCdTe(1 1 0) epilayer.



(a) 母層



(b) ヒロック

Fig. 2-15 Electron beam diffraction patterns for HgCdTe(1 1 0) epilayer with [1 1 0] incidence.

面であるが、今回の TEM 観察では双晶面となり得る面は $(1\ 1\ \bar{1})$ B 面のみであることがわかった。

$(1\ 1\ 0)$ エピ層における双晶は、エピ層表面においてはヒロックとして観察される。Fig. 2-14 はヒロックの平面 TEM 像で、中央の三角形がヒロックの部分である。Fig. 2-15(a)に母層の電子線回折パターン、Fig. 2-15(b)にヒロックの電子線回折パターンを示す。ヒロックの電子線回折パターンは $(1\ 1\ \bar{1})$ B 面で回転した双晶の電子線回折パターンと完全に一致し、ヒロックが双晶であることがわかった。なお、Fig. 2-15 における指数付けは、双晶を双晶面において 180° 回転した結晶と定義して行った。Fig. 2-13 に見られるような層状の双晶はヒロックが重なり合っているところに対応すると考えられる。断面 TEM においても、層状の双晶の近くに大きな双晶（これがヒロックに対応すると思われる）が観察される場合がある。

Fig. 2-16 に $(1\ 1\ 0)$ および $(1\ 1\ 2)$ A エピ層における双晶の模式図を示す。 $(1\ 1\ 0)$ エピ層内部において、 $(1\ 1\ \bar{1})$ 、 $(\bar{1}\ 1\ 1)$ 、 $(1\ \bar{1}\ 1)$ の三つの $\{1\ 1\ 1\}$ B 面が双晶境界である。全てのヒロックは同じ形の三角形で同じ方位を向いていることから、 $\{1\ 1\ 1\}$ A 面が双晶境界となった双晶はないと思われる。

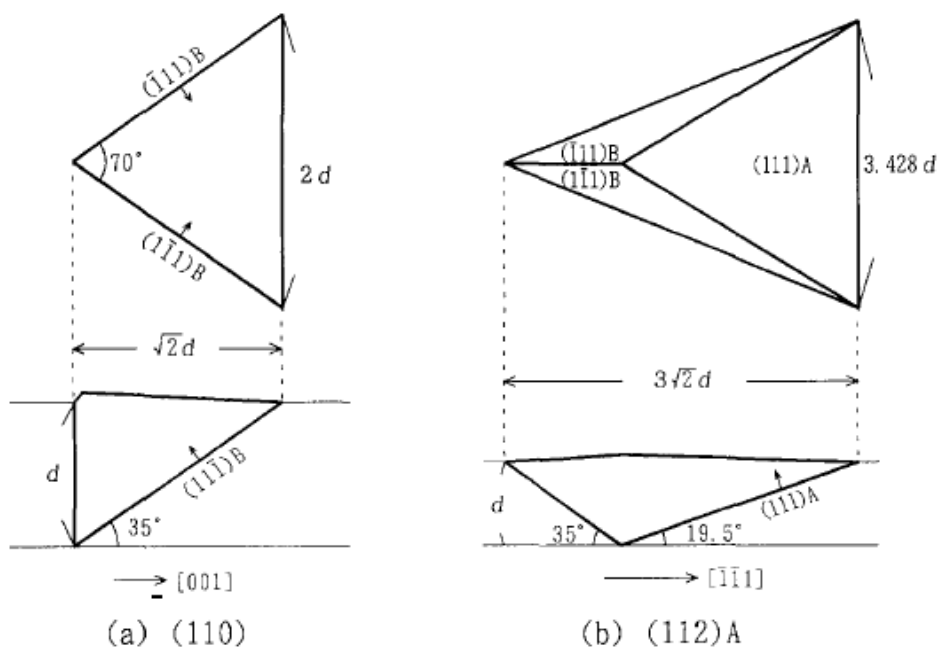


Fig. 2-16 Cross-sectional twin-related defect is shown schematically; (1) for $(1\ 1\ 0)$ growth direction; (b) for $(1\ 1\ 2)A$ growth direction.

Table 2-III にエピ層の膜厚と、ヒロックの大きさから計算した双晶の深さ d の値をまとめる。この二つの値には非常に良い一致がみられ、Fig. 2-16 の模式図がほぼ正しいことと、双晶は基板との界面近くで発生していることを示す。なおヒロックの大きさはほぼ均一であるが、まれに小さいヒロックも観察される。この場合は双晶発生が成長途中で起こったものと思われる。

また、Table 2-IV に成長方位と双晶面、および双晶の成長方位をまとめた。HgCdTe において、B 面は Hg 抜けが少なく、結晶性が良く成長率も高い。双晶が発生しやすい条件は、成長方位の成長率 $<$ 双晶の成長率 のときであると考えられ、ヒロック状の双晶が発生する。 $(\bar{1}\bar{1}\bar{2})B$ では、成長率 $>$ 双晶の成長率となるため、双晶が発生しにくい。

以上の結果をまとめると、双晶発生の起こりやすさは $(\bar{1}\bar{1}\bar{1})B \gg (112)A, (110) > (\bar{1}\bar{1}\bar{2})B$ となり、 $(\bar{1}\bar{1}\bar{2})B$ 面が最も双晶発生の起こりにくい面であることがわかった。

Table 2-III Twin depth d and layer thickness t for HgCdTe(1 1 0) epilayers in μm .

Sample No.	d	t
CZT2-3	4	3.96
CZT2-5	4	3.51
CZT2-8	3	3.80
CZT2-9	4	3.50
CZT2-10	3	3.28

Table 2-IV Twin planes and growth orientations of twins for several growth directions.

Growth direction	Twin plane	Growth orientation of the twin
$(\bar{1}\bar{1}\bar{1})B$	$(\bar{1}\bar{1}\bar{1})B$	$(\bar{1}\bar{1}\bar{1})B$
$(\bar{1}\bar{1}\bar{2})B$	$(\bar{1}\bar{1}\bar{1})B$	$(\bar{5}\bar{5}\bar{2})B$
$(112)A$	$(111)A$	$(552)A$
(110)	$(11\bar{1})B$	$(11\bar{4})B$
(001) [2]	$(111)A$	$(22\bar{1})B$
	$(\bar{1}\bar{1}1)A$	$(\bar{2}\bar{2}\bar{1})B$

2.4 基板・エピ層の転位評価

HgCdTe を光起電力型 (PV 型) 赤外線受光素子として用いる場合、その特性を表す重要な量として R_0A (ダイオードの零バイアス抵抗と pn 接合面積の積) がある。この R_0A が大きいほど赤外検出能 D^* が大きく、感度の高い赤外受光素子が得られる。この R_0A は、少数キャリア寿命を τ 、p 型層の厚さを d としたときに、 τ/d に比例することが知られており[29]、少数キャリア寿命 τ がデバイス特性に大きく影響する。少数キャリア寿命を小さくする要因のうち最も重要なのが結晶欠陥 (双晶・転位・Te のアンチサイト等) である。

双晶については適切な成長面方位と成長条件を選ぶことにより、その発生を防ぎ得ることをこれまでに述べた。Te のアンチサイトとは Hg もしくは Cd のサイトに Te が入った欠陥で、この欠陥が大量に存在すると少数キャリア寿命を短くするだけでなく、p/n 制御も困難になり n 型の結晶しか得られなくなる。しかし成長時に VI/II 比を適切に制御することにより、Te のアンチサイトを抑えることは可能と思われる。

転位については HgCdTe 結晶成長における大きな課題で、成長後の水銀アニールにより転位低減化を行った報告もある[30]。著者らが成長を行った HgCdTe ($\bar{1}\bar{1}\bar{1}$)B エピ層をイリノイ大学に依頼して EPD (etch pit density) を測定してもらったところ 10^7 cm^{-2} のオーダーであり、赤外線受光素子用の結晶としては極めて大きすぎる値であることがわかった[31]。なお ($\bar{1}\bar{1}\bar{2}$)B のエピ層については、信頼され得る EPD の値はこれまでに得られていない。しかし、X 線半値幅やキャリア濃度・移動度が同じ程度の ($\bar{1}\bar{1}\bar{2}$)B の試料をデバイス化して、 R_0A を測定すると大きくばらつくことから、転位密度の違いが反映していると考えられる。したがって、転位密度の評価とその低減化はデバイスの特性向上のためには必要不可欠であると言える。

そこで、この章では CdZnTe 基板や HgCdTe エピ層の転位評価方法を確立すべく、エッチングおよび X 線回折による転位評価法について検討を行った。

2.4.1 エッチングによる転位評価

HgTe、CdTe、HgCdTe 結晶の欠陥評価用エッチング液の報告例は {1 1 1}A 面に対するものを除いて極めて少ない。筆者らが HgCdTe の成長によく用いる {2 1 1}B 面に対してエッチピットを出すことができると報告された欠陥評価用エッ

エッチング液はまだないのが現状である。他の面方位に対する欠陥評価用エッチング液には次のようなものがある。ただし面方位の表記法は極力原論文に従い、原論文における明らかに誤った表記は訂正した。

ロックウェル社の J.S. Chen によるエッチング液[32] (以降、ロックウェルエッチャントと呼ぶ) は $\{110\}$ 、 $\{100\}$ 、 $\{111\}_A$ 、 $\{111\}_B$ 、 $\{311\}$ 面に対して用いることができる (ここでの $\{311\}$ 面は A 面と思われる)。このエッチング液は HgCdTe $\{211\}_B$ 面に対しても転位に起因するエッチピットを形成することが筆者らの実験の結果わかっている。次に、I. Haehnert と M. Schenk のエッチング液[33]は $\{110\}$ 、 $\{111\}_A$ 、 $\{111\}_B$ 、 $\{115\}$ 面に対して有効である ($\{115\}$ 面の極性については不明)。ただし CdTe もしくは CdZnTe に対しては $\{111\}_A$ 面のみで使用できる。HgTe または HgCdTe $\{111\}_A$ 面に対するエッチング液は、文献[34]によると、Parker etch [35], Straghan etch, Polisar 1 [36], Polisar 2 [36], Quelch etch 等のエッチング液が紹介されている。CdTe (111)A 面に対するエッチング液は、中川エッチャント[37]、CdTe (111)B 面に対しては T.H. Myers らのエッチング液[38]が公表されている。

これらのエッチング液のうち転位評価用として最も信頼性があり標準的とされる二種類のエッチング液中川エッチャントと Polisar 2、そして高面指数の B 面に対してもエッチピットを出すことのできるロックウェルエッチャントについてエッチング条件やエッチングパターンについて詳しい検討を行った。

$\{111\}_A$ 面用のエッチング液により、これまでに結晶成長に用いた CdZnTe $(\bar{1}\bar{1}2)_B$ 基板やその上に成長した HgCdTe エピ層の転位評価をするためには、まず $(\bar{1}\bar{1}2)_B$ 面に垂直な $(\bar{1}\bar{1}1)_A$ 面を出し、その面をエッチングする必要がある。そのため次に説明するような工程により $(\bar{1}\bar{1}1)_A$ 断面のエッチングを行った。正確に $(\bar{1}\bar{1}1)_A$ 面を研磨するために、面だれが生じないように複数枚の試料をエピ面同志が向かい合わせになるようにエポキシ系接着剤を用いてはり合わせた。はり合わせの方向は、Fig. 2-17 に示した方位に切断した試料の $(\bar{1}\bar{1}1)_A$ 面が同じ方向になるようにした。次に、真空中 80°C にて接着剤の乾燥を 3 時間行った。その後 $(\bar{1}\bar{1}1)_A$ 面とその裏側を荒削りして平面出しを行い、 $(\bar{1}\bar{1}1)_A$ 面を研磨した。研磨は 3000 番のアルミナ粉末でラッピングした後で chemi-mechanical polishing を行った。次に、研磨面を上向きにしてガラス基板に固形ワックスを用いて接着し、試料の取扱いを良くすると同時に、エッチング時のエッチング面の角度を正確に設定できるようにした。あとはガラス基板ごと所定のエッチング液につける

ことにより転位評価を行うことができる。なお、一部(1 1 0)の試料についても行ったが、 $(\bar{1} \bar{1} \bar{1})$ A断面を研磨したこと以外は、 $(\bar{1} \bar{1} \bar{2})$ B面の場合と同じ工程で行った。

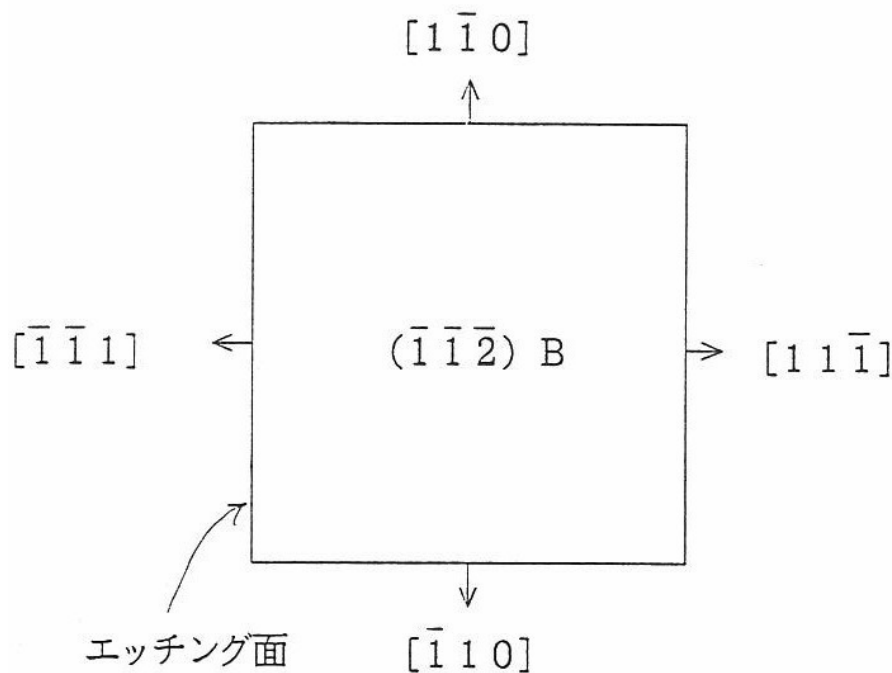


Fig. 2-17 Cutting directions of samples and etching surface.

転位をエッチングで評価する場合、エッチピットの計数における計数誤差に注意する必要がある。エッチピットの計測誤差は次のように求められる。計測誤差を $S\%$ にするために必要な観察視野数 P は次式で表される[39]。

$$P = 1000 / (S \times N) \quad (14)$$

ただし、 N は 1 視野あたりのピット数である。計測する全ピット数を N_{total} とすると計測誤差 S は、式(15)のように表される。

$$S = 1000 / N_{total} \quad (15)$$

よって、計測誤差 S は、計数したピット総数の逆数を 1000 倍した値である。

2.4.2 X線回折による転位評価

X線回折を用いた転位評価法としてはX線トポグラフによる評価がよく行われており、これについてはエピ層の転位評価の節で述べる。このほかにも、ロッキングカーブの半値幅から転位密度を評価することもできる。半値幅 F [rad] と転位密度 DD [cm^{-2}] との間には、式(16)のような関係があることが、GaAs/Si 等の高転位密度 ($\sim 10^8 \text{ cm}^{-2}$) を有する系において経験的に明らかにされている [40]。

$$DD = F^2 / 9b^2 \quad (16)$$

ここで、 b は転位のバーガスベクトル長さ[cm]であり、HgCdTe の 60° 転位では、 $b = a / \sqrt{2}$ (a は HgCdTe の格子定数： $x = 0.222$ で 6.4640 \AA [10]) である。式(16)を HgCdTe に適用し、半値幅 F の単位を秒に変換して書き直すと次のようになる。

$$DD = 1.25 \times 10^3 F^2 \quad (17)$$

式(17)は必ずしも正確な転位密度を与える式ではないが、転位密度について大ざっぱな見積りはできると考えられる。

2.4.3 各種評価法による転位密度

今回用いたエッチング液とエッチング条件は Table 2-V にまとめた。また、CdZnTe 基板・CdTe バッファ層・HgCdTe エピ層の転位密度を Table 2-VI にまとめる。

CdTe 用の標準エッチング液とされる中川エッチャントは、フッ化水素酸と、過酸化水素水と、水とを、体積比 3:2:2 で混合したエッチング液である。このエッチング液は Zn 組成の小さい CdZnTe に対しても用いることができる。CdZnTe 基板の転位密度の最小値は $4.8 \times 10^4 \text{ cm}^{-2}$ 、最大値は $2.6 \times 10^5 \text{ cm}^{-2}$ であった (Table 2-V)。基板購入時のスペックは、転位密度 $1.0 \times 10^5 \text{ cm}^{-2}$ 以下というものであるが、2 例を除いてスペックを満足している。転位密度 $1.0 \times 10^5 \text{ cm}^{-2}$ 以上の二つの試料についても極端に大きい値ではない。後述するように HgCdTe エピ層での転位密度の大きさを考慮すると、基板の転位密度がエピ層の転位密度に大きく影

響することは無いと思われる。また、中川エッチャントによるエッチング面においてエッチピット以外の領域は一様であり、成長縞等の模様は見られなかった。

HgTeもしくはCd組成の小さいHgCdTe用の標準エッチング液とされる Polisar 2 は、濃硝酸と、濃塩酸と、水と、臭素と、酢酸とを、体積比 60:25:90:0.1:5 で混合したエッチング液である。Table 2-V より、エピ断面の EPD は $10^6 \sim 10^8 \text{ cm}^{-2}$ であることがわかる。また、(1 1 0)面の試料についても一例だけ評価を行ったが、転位密度 10^6 cm^{-2} 台であり $(\bar{1} \bar{1} \bar{2})$ B面の値と大きな違いはない。

ロックウェルエッチャントによる EPD は Polisar 2 によるもの比較して、CZT4-23を除き、一桁近く値が小さい (Table 2-V)。この原因としては次の二点が考えられる。一つはエピ層表面とエピ層断面の転位測定領域の差であり、二つめはロックウェルエッチャントの問題点である。エピ層断面の測定では、膜厚が薄いので測定領域が極めて小さくなり、転位密度の誤差が大きくなる。また、ロックウェルエッチャントの場合は、エッチピット径が小さく下地が少しでも荒れると確認されにくいため、数え落としがかなりあると思われる。また、同じようなエッチング条件でもピットがはっきり現れる場合とそうでない場合があり測定誤差が大きくなる。このエッチング液を用いて転位評価を行う場合は、エッチング面の表面処理やエッチング条件について、再吟味する必要がある。

Table 2-V Etchant compositions and etching conditions for HgCdTe and CdTe defect evaluation.

	中川エッチャント	Polisar 2	ロックウェルエッチャント
結晶と エッチング面	CdTe{111}A	HgTe{111}A HgCdTe{111}A	HgCdTe, CdTe {110}, {100} {111}A, {111}B, {311}
組成	HF:H ₂ O ₂ :H ₂ O 3 : 2 : 2	HNO ₃ :HCl:CH ₃ COOH:H ₂ O:Br 60 : 25 : 5 : 90 : 0.1	HNO ₃ :HCl:H ₂ O:K ₂ Cr ₂ O ₇ 20cc:10cc:80cc:8g
エッチング条件	2倍希釈液において 25°C, 20秒	25°C, 10秒	25°C, 40秒~2分 (時間はエピ膜厚による)
評価結晶	CdZnTe{111}A	HgCdTe{111}A	HgCdTe{211}B

Table 2-VI Etch pit densities (EPDs) for CdZnTe substrates and HgCdTe epilayers in cm^{-2} . Errors are shown in parenthesis

試料No.	基板 Lot No.	膜厚 [μm]	基板断面($\bar{1}\bar{1}1$)A 中川 エッチャント	エピ断面($\bar{1}\bar{1}1$)A Polisar 2	エピ表面($\bar{1}\bar{1}\bar{2}$)B Rockwell	X線回折に よる DD
4-23	CT-2014C	3.6	6.0×10^4 (10%)	6.9×10^6 (90%) 2×10^7 (200%) 2×10^7 (250%)	(5.4×10^5) (5%)	4.8×10^6
4-30	CT-2014D	1.6	4.8×10^4 (12%)	—	—	4.5×10^5
4-68D	CT-8074A	8.5	9.4×10^4 (6%)	4.4×10^6 (25%) 3.3×10^6 (50%) 4×10^6 (200%)	(3.0×10^5) (12%)	2.6×10^6
4-88R	CT-8074C	17.3	9.8×10^4 (6%)	2.9×10^7 (5%) 1.4×10^7 (70%)	(1.9×10^6) (8%) (3.6×10^5) (40%)	
4-102	SCT-8074F	6.7	8.8×10^4 (7%)	2.2×10^7 (30%) 1×10^7 (200%)	4.1×10^6 (4%)	2.0×10^6
4-142	SCT-8076A	3.7	2.6×10^5 (2%) ハッター層 ($\sim 10^9$)	3.0×10^8 (10%) 4.4×10^8 (23%) 3.2×10^8 (24%)	5.3×10^7 (5%)	2.3×10^7
2-8 (110)	CT-2014F	3.8	1.1×10^5 (5%)	9.3×10^6 (23%) 4×10^6 (110%) 9×10^6 (330%) 1×10^7 (500%) 1×10^6 (500%)	—	—

2.5 Si 基板上への HgCdTe ヘテロエピ技術

Si 上に HgCdTe を成長させる場合は、19%という大きな格子不整合を緩和させることと、極性制御が極めて重要となる。Si 表面は無極性面であるため、その上に Zinc-blende の CdTe バッファ層を成長させると、A 面と B 面の両方が成長する可能性がある。HgCdTe 成長に適した B 面を成長させるには、CdTe/Si 成長初期のプロセス条件が極めて重要である。

以上のことから、Si 上への CdTe 成長初期に Cd と Te₂ を原子比 1 : 1 で照射する方法 (Normal)、過剰の Cd を照射する方法 (Cd excess)、CdTe 成長前に Te₂ を照射しておく方法 (Te predeposition)、過剰の Zn を照射する方法 (Zn excess) の 4 種類を評価した。Si の面方位として Si(1 1 2)5°off を用いた。

Table 2-VII Orientations and FWHMs of CdTe films for several growth processes.

Growth process	Normal	Cd excess	Te predeposition	Zn excess
Orientation	~(111)A	~(111)A	~($\bar{1}\bar{1}\bar{3}$)B	($\bar{1}\bar{1}\bar{3}$)B
FWHM (arc s)	-	-	5000	543
(Thickness)			(0.75 μm)	(1.88 μm)

結果を Table 2-VII に示す。X 線半値幅(FWHM) の評価で、最も結晶性が良かったのが過剰 Zn を照射する方法であった。得られた CdTe の面方位は($\bar{1}\bar{1}\bar{3}$)B で、HgCdTe の最適面方位に($\bar{1}\bar{1}\bar{2}$)B に極めて近い方位であった。他の方法は、A 面が成長するか、B 面が成長するとしても極めて結晶性の悪いものであった。

この理由は、II 族と VI 族原子の Si に対する結合の違いから説明できる (。VI/II 比が 1 に近い条件で成長する場合は、A 面もしくは多結晶が成長する。また、Zn や Cd だけを照射した場合は、Si 上には付着しない。従って、成長初期には Te が最初に結合する。このとき、Te は Si 表面のステップで結合すると考えられる。Zn-rich で成長する場合は、ステップの Te 原子を核として、Zn 原子、次に、また Te 原子という順番で、Si 表面のテラス上にもうまく Zinc-blende 構造が形成されていく。この場合の極性は B 面となる。また、得られる結晶は殆ど ZnTe に近い CdZnTe であるので、CdTe よりも Si に対する格子不整合が小

さく、格子緩和の効果も得られる。

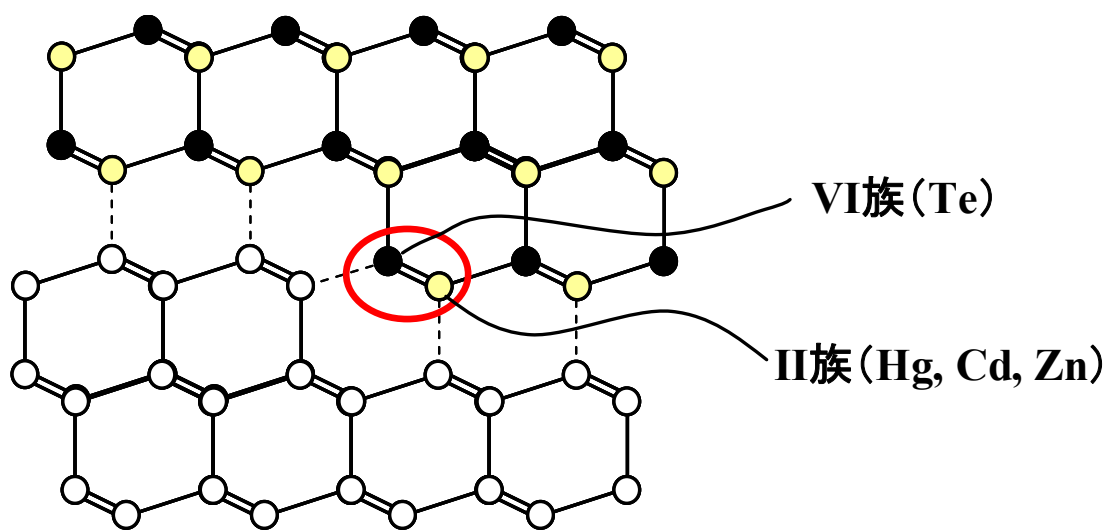


Fig. 2-18 Zinc-blende type structure of II-VI compounds on diamond-type structure of Si.

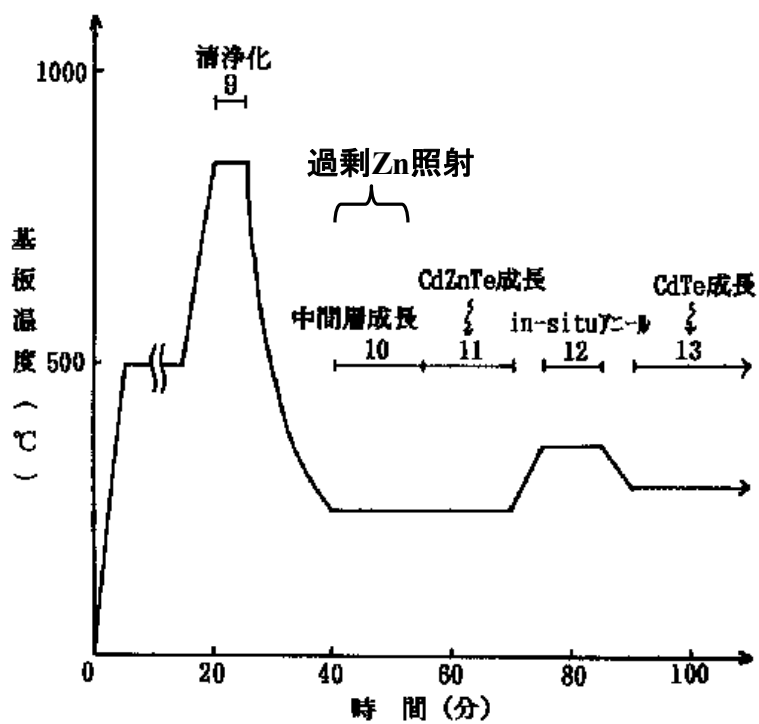


Fig. 2-19 Process sequence for CdTe/CdZnTe/Si growth.

次に過剰 Zn 照射法のプロセスについて説明する (Fig. 2-19)。まず、850°C以上温度で Si 表面の酸化膜を飛ばして清浄化した後、基板温度 300°C以下で膜厚 50~200 Å の Zn-rich な CdZnTe 中間層を成長する。さらに 300°C以下の基板温度で膜厚 400~1000 オングストロームの CdTe もしくは Cd-rich な CdZnTe 層を成長する。次に 320~420°Cの温度で in-situ アニールを行い、基板温度 200~350°Cで CdTe もしくは CdZnTe バッファ層を成長する。このようにして成長した HgCdTe/CdTe/Si の表面モフォロジーを Fig. 2-20 および Fig. 2-21 に示す。3インチウェハ全面に渡って鏡面の単結晶が得られた。得られた結晶の各種特性を Table 2-VIII にまとめた。最も良好な試料では、FWHM として 64 秒、アニール処理後のエッチピット密度として、 $2.6 \times 10^5 \text{cm}^{-2}$ が得られており、赤外線センサとして十分な品質を持っていることが確認できた。

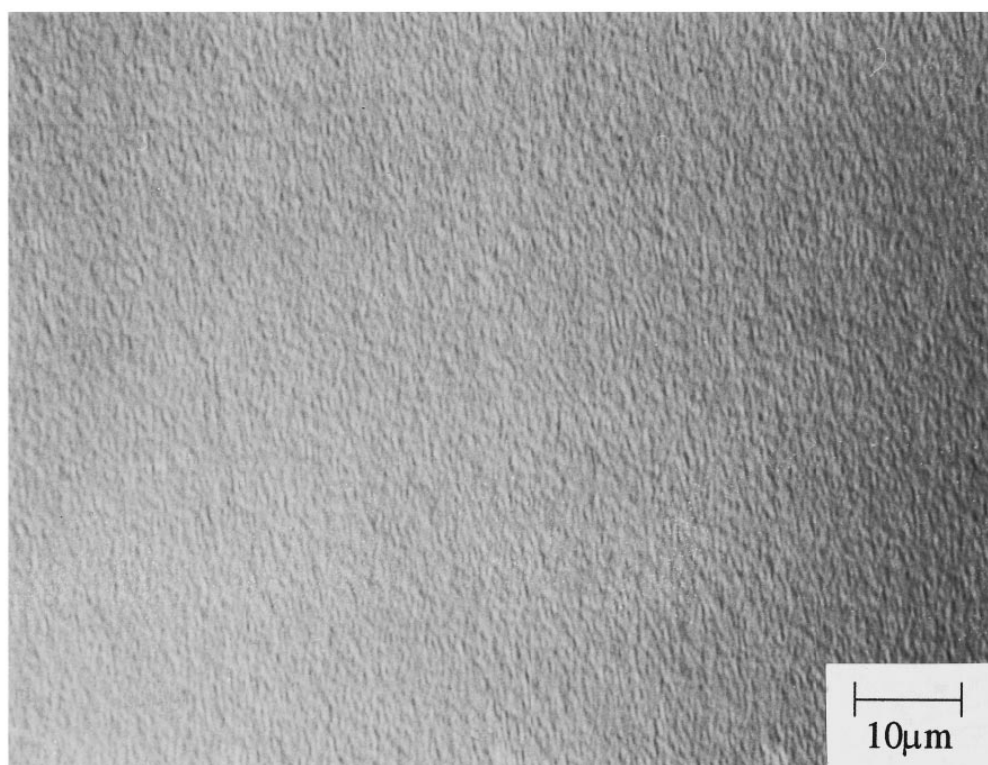


Fig. 2-20 Nomarski micrograph of HgCdTe($\bar{1} \bar{1} \bar{3}$)B epilayer surface on CdTe/Si(112) 5° off.

Table 2-VIII Characteristics of HgCdTe films grown on CdTe/Si(1 1 2)5°off.

Sample	Thickness (μm)	x	FWHM (arc s)	EPD ^a (cm^{-2})	EPD ^b (cm^{-2})	$n_H(77\text{ K})^b$ (cm^{-3})	$\mu_H(77\text{ K})^b$ ($\text{cm}^2/\text{V s}$)
4510	12.8	0.242	71	6.6×10^6	1.0×10^6	2.0×10^{16}	210
4304	15.2	0.229	72	5.9×10^6	1.1×10^6	1.3×10^{16}	450
4507	14.4	0.216	64	4.4×10^6	2.6×10^5	1.3×10^{16}	560

^aAs-grown.

^bAfter thermal-cycle and p-type annealing.



Fig. 2-21 External view of MBE grown HgCdTe surface on 3 inch Si wafer. Mirror-like surface morphology was obtained.

2.6 HgCdTe/CdTe/Si を用いた 256×256 赤外イメージセンサ

前述した HgCdTe MBE 薄膜を用いて、Fig. 2-22 に示した 256×256 赤外線イメージセンサを試作した。デバイス構造を Fig. 2-4 に示す。B イオン注入により形成したダイオードアレイ上には、35 μm ピッチの In バンプが蒸着+リフトオフにより形成される。ダイオードアレイの仕様を Table 2-IX にまとめた。

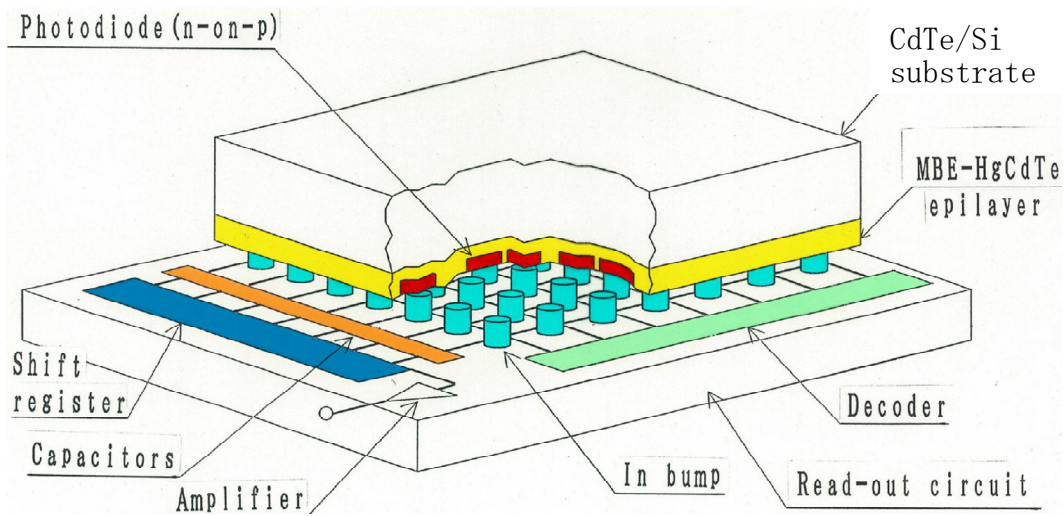


Fig. 2-22 Schematic representation of 256×256 focal-plane array HgCdTe/Si infrared image sensor.

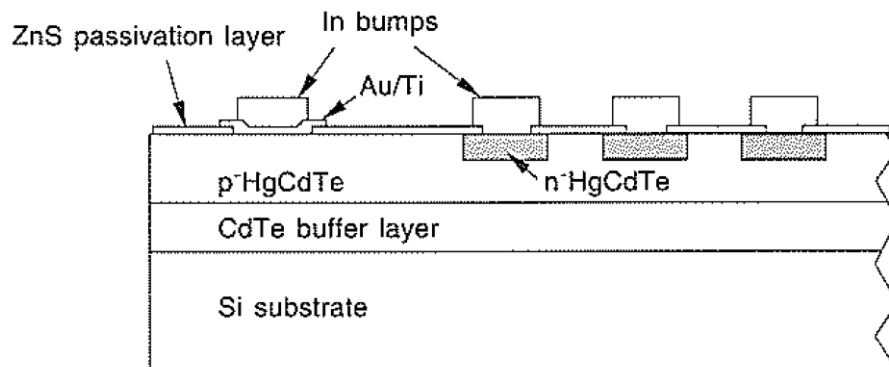


Fig. 2-23 FIG. 1 Cross-sectional view of diode structure.

Table 2-IX 256x256 diode array specifications.

MCT epilayer thickness	about 12 μm
CdTe buffer layer thickness	about 7 μm
Cd composition	0.213 ~ 0.245
Carrier concentration	$1 \sim 2 \times 10^{16} \text{ cm}^{-3}$
Etch pit density	$1 \sim 2 \times 10^6 \text{ cm}^{-2}$
Diode diameter in array	20 μm
Diode diameter in TEG	10 ~ 100 μm
Diode array pitch	35 μm

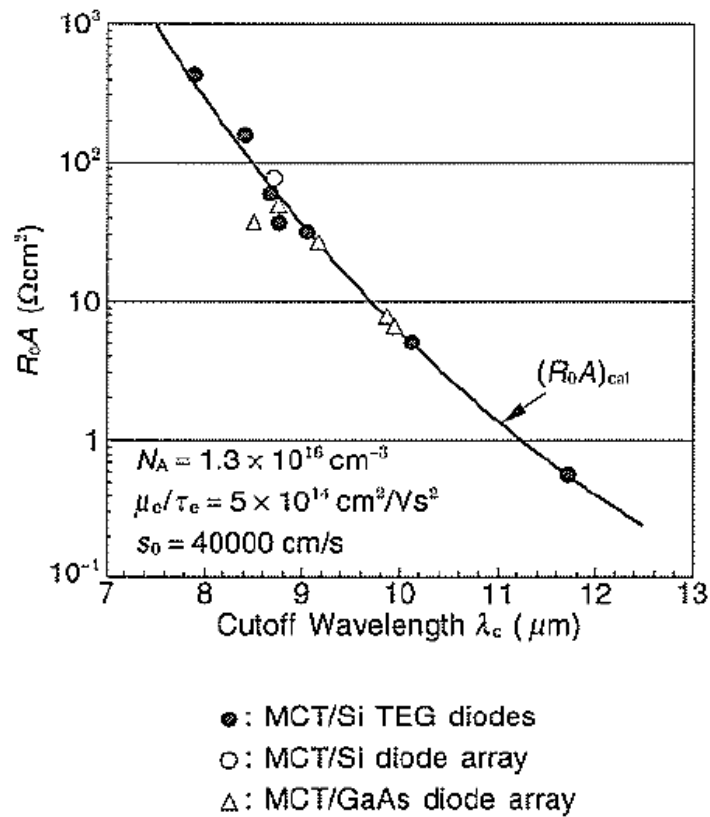


Fig. 2-24 RoA product measured at zero photon background as a function of cutoff wavelength for HgCdTe/Si TEG diodes (●), for HgCdTe/Si diode array (○), and for HgCdTe/GaAs diode array (△), (RoA)cal values are obtained by calculating diffusion current and GR current.

ゼロバイアスにおける抵抗 R_0 とダイオード面積 A との積である R_0A 積を Fig. 2-24 に示す。ダイオード特性は拡散電流と生成・再結合電流から求めた計算値とよく一致している。また、HgCdTe/GaAs の R_0A 積とも同等であることがわかった。本デバイスを用いて得られた赤外画像を行った結果、Si 上の HgCdTe 薄膜を用いた 256x256 画素での赤外画像を得ることに成功した (Fig. 2-25)。最後に、動作温度である 77K と 300K での温度サイクル試験を行った結果、100cyc 後も断線不良や感度の悪化などは発生しなかった。HgCdTe/Si と Si-CMOS との熱膨張係数差の無いハイブリッド構造の温度サイクル耐性が確認された。



Fig. 2-25 256×256 thermal image taken directly from a CRT display.

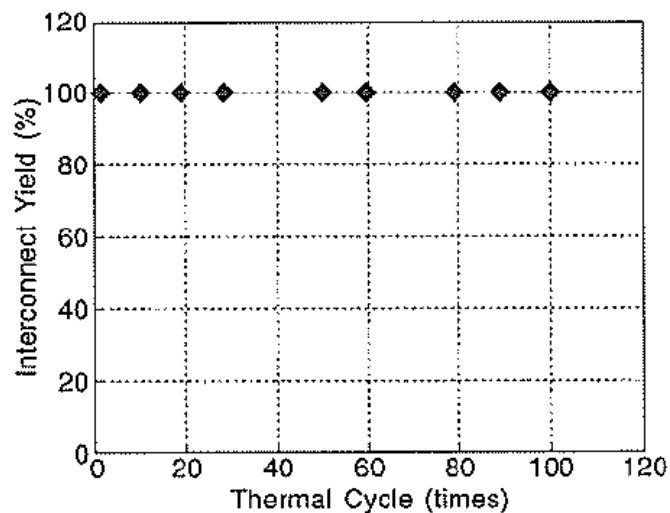


Fig. 2-26 Interconnect yield versus thermal cycles. Interconnect yield of 100% after 100 thermal cycles RT-77 K was obtained.

2.7 むすび

MBE 法により良質の HgCdTe 結晶を得ることを目的に、成長条件の制御法について検討し、結晶欠陥の評価・解析を行った。その結果を以下にまとめる。

- 1) 所望の成長率と組成を得るため、CdTe と Te の照射量を制御する式を求めた。
- 2) 基板ホルダ裏面の熱電対表示温度を一定に制御したとき、基板ホルダ上に HgCdTe が付着することにより放射率が上昇し、放射冷却による熱の損失が増加するため、基板温度が成長中に低下することがわかった。RHEED パターンより基板表面温度の変化をモニタし、温度低下を補償する温度プロファイルを定め、基板温度をほぼ一定に保つ方法を開発した。
- 3) HgCdTe エピ層の結晶性は基板面方位に大きく依存し、特に双晶発生に関して大きな違いがあることがわかった。特に、 $(\bar{1}\bar{1}\bar{2})$ B 面は双晶発生を非常に低く抑えることができる。
- 4) CdZnTe 基板・HgCdTe エピ層の転位評価法について検討し、基板の転位密度や、HgCdTe エピ層の深さ方向での転位分布等を得た。
- 5) Si(1 1 2)5°off 基板上に、高品質な HgCdTe($\bar{1}\bar{1}\bar{3}$)B エピ層を得ることに成功した。
- 6) HgCdTe/CdTe/Si 結晶を用いて、256×256 赤外イメージセンサの動作検証に成功した。

2.8 参考文献 (第2章)

- [1] 竹内延夫：“最近の赤外線技術応用”，“大気汚染測定”第2回赤外線技術講習会テキスト, pp. 37-42 (1978).
- [2] B. F. Levine, C.G. Bethea, G. Hasnain, J. Walker, and R.J. Malik, "High-detectivity $D^*=1.0 \times 10^{10}$ cm $\sqrt{\text{Hz/W}}$ GaAs/AlGaAs multiquantum well $\lambda=8.3$ μm infrared detector," Appl. Phys. Lett., Vol. 53, p.296 (1988).
- [3] T.L. Lin, and J. Maserjian: "Novel $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ heterojunction internal photoemission long-wavelength infrared detectors", Appl. Phys. Lett., Vol.57, No.14, pp.1422-1424 (1990).
- [4] R.K. Willardson, and A.C. Beer, ed.: "Semiconductors and Semimetals", Vol. 18: Mercury Cadmium Telluride, Academic (1981).
- [5] M.A. Herman, and M. Pessa, " $\text{Hg}_{1-x}\text{Cd}_x\text{Te}-\text{Hg}_{1-y}\text{Cd}_y\text{Te}$ ($0 \leq x, y \leq 1$) heterostructures: Properties, epitaxy, and applications," J. Appl. Phys. , Vol.57, p.2671 (1985).
- [6] T.F. Harman: "II-VI Compounds", edited by M. Aven and J.S. Prener, p.767, North-Holland (1967).
- [7] 小田 直樹, 佐々木 得人: "MBE 法による HgCdTe 結晶成長(I)", LABORATORY REPORT, LR-5562 (1989), unpublished.
- [8] J.P. Faurie, and A. Million: "Molecular beam epitaxy of II-VI compounds: CdTe", J. Crystal Growth, Vol.54, pp.577-581 (1981).
- [9] J.P. Faurie, A. Million, R. Boch, and J.L. Tissot: "Latest developments in the growth of $\text{Cd}_x\text{Hg}_{1-x}\text{Te}$ and CdTe-HgTe superlattices by molecular beam epitaxy", J. Vac. Sci. Technol., Vol.A1, No.3, pp.1593-1597 (1983).
- [10] W.M. Higgins, G.N. Pultz, R.G. Roy, and R.A. Lancaster: "Standard relationships in the properties of $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ", J. Vac. Sci. Technol., Vol.A7, No.2, pp.271-275 (1989).
- [11] R.F.C. Farrow, G.R. Jones, G.M. Williams, and I.M. Young: "Molecular beam epitaxial growth of high structural perfection, heteroepitaxial CdTe films on Insb (0 0 1)", Appl. Phys. Lett., Vol.39, No.12, pp.954-956 (1981).
- [12] M.W. Goodwin, M.A. Kinch, R.J. Koestner, M.C. Chen, D.G. Seiler, and R.J. Justice: "Electrical measurements of molecular-beam epitaxy HgTe-CdTe superlattices and absorption coefficient analysis of molecular-beam epitaxy HgTe",

- J. Vac. Sci. Technol., Vol.A5, No.5, p.3110-3114 (1987).
- [13] C.T. Foxon, and B.A. Joyce, "Interaction kinetics of As₂ and Ga on {100} GaAs surfaces," Surf. Sci., Vol.64, p.293 (1977).
- [14] C.E.C. Wood, et al., "Magnesium- and calcium-doping behavior in molecular-beam epitaxial III-V compounds," J. Appl. Phys., Vol.53, No.6, p.4230 (1982).
- [15] L. Esaki: Proc. 6th Intern. Vac. Congr. (Kyoto 1974), "Computer-Controlled Molecular Beam Epitaxy," Jpn. J. Appl. Phys. Suppl., Vol.2, p.821 (1974).
- [16] T.Y. Kometani, and W. Wiegmann, "Measurement of Ga and Al in a molecular-beam epitaxy chamber by atomic absorption spectrometry (AAS)," J. Vac. Sci. Technol., Vol.12, p.933 (1975).
- [17] G.M. Barrow: "バーロー物理化学", 第4版(上巻), p.32, 東京化学同人 (1981).
- [18] 高橋清: "分子線エピタキシー技術", p.72, 工業調査会 (1984).
- [19] R.J. Koestner, and H. F. Schaake: "Kinetics of molecular-beam epitaxial HgCdTe growth", J. Vac. Sci. Technol., Vol.A6, No.4, pp.2834-2839 (1988).
- [20] P.D. Brown, K. Durose, G.J. Russell, and J. Woods: "The absolute determination of CdTe crystal polarity", J. Crystal Growth, Vol.101, pp.211-215 (1990).
- [21] H.C. Gatos, and M.C. Lavine: "Characteristics of the {1 1 1} Surfaces of the III-V Intermetallic Compounds", J. Electrochem. Soc., Vol.107, No.5, pp.427-433 (1960).
- [22] P.F. Fewster, and P.A.C. Whiffin: "Crystallographic polarity and etching of cadmium telluride", J. Appl. Phys., Vol.54, No.8, pp.4668-4670 (1983).
- [23] B.D. Cullity: "X線回折要論", p.42, アグネ (1961).
- [24] Ibid., p.38.
- [25] M. Henzler: "Electron Diffraction and Surface Defect Structure", Topics in Current Physics, Vol.4: "Electron Spectroscopy for Surface Analysis", edited by H. Ibach, pp.117-149 (1977).
- [26] E.A. Hewat, L. DiCioccio, A. Million, M. Dupuy, and J.P. Gailliard: "Polarity determination of CdTe crystals by electron diffraction", J. Appl. Phys., Vol.63, No.10, pp.4929-4932 (1988).
- [27] J. Taftø, and J.C.H. Spence: "A Simple Method for the Determination of Structure-Factor Phase Relationships and Crystal Polarity Using Electron Diffraction", J. Appl. Cryst., Vol.15, pp.60-64 (1982).
- [28] K. Durose: "Structural Defects in CdTe", PhD Theses, Dunelm (1986).
- [29] M.B. Reine, A.K. Sood, and T.J. Tredwell: "Semiconductors and Semimetals",

- Vol.18: Mercury Cadmium Telluride, p.213, Academic (1981).
- [30]D. Chandra, J.H. Tregilgas, and M.W. Goodwin: "The 1990 U.S. Workshop on the Physics and Chemistry of Mercury Cadmium Telluride and Novel IR Detector Materials", Extended Abstract, p.149 (1990).
- [31]川野 連也: "MBE による HgCdTe 層の組成および欠陥の評価", 技術メモ, ID89-77 (1989), unpublished.
- [32]J.S. Chen: United States Patent, No. 4,897,152 (Jan. 30, 1990).
- [33]I. Haehnert, and M. Schenk: "New defect etchants for CdTe and Hg_{1-x}Cd_xTe", J. Crystal Growth, Vol.101, pp.251-255 (1990).
- [34]M. Brown, and A.F.W. Willoughby: "Determination of slip planes in Cd_xHg(1-x)Te by etching of dislocations introduced by microhardness indentations", J. Phys. Colloque., C6 40, pp.151-155 (1979).
- [35]S.G. Parker, and J.E. Pinnell: J. Electrochem. Soc., Vol.118, p.1868 (1971).
- [36]E.L. Polisar, N.M. Boinikh, G.V. Indenbaum, A.V. Vanyukov, and V.P. Schastlivii: Izv. VUZ Fiz., Vol.11, No.6, p.81 (1968), [English translation: J. Sov. Phys., Vol.11, p.48 (1968)].
- [37]K. Nakagawa, K. Maeda, and S. Takeuchi: "Observation of dislocations in cadmium telluride by cathodoluminescence microscopy", Appl. Phys. Lett., Vol.34, No.9, pp.574-575 (1979).
- [38]T.H. Myers, and J.F. Schetzina: "Growth of low dislocation density CdTe films on hydroplaned CdTe substrates by molecular beam epitaxy", J. Vac. Sci. Technol., Vol.A1, No.3, pp.1598-1603 (1983).
- [39]高須 新一郎: "マクロな観察とミクロな観察", 応用物理学会結晶工学分科会第 17 回講習会テキスト: 顕微鏡観察法の基礎と実際への応用, AP902322, pp.111-128 (1990.10.29, 30).
- [40]P.B. Hirsch, "Progress in Metal Physics", edited by B. Chalmers, and R. King, Chap.6, Pergamon (1956).
- [41]藤野 芳男, 小田 直樹: "米国出張報告一 HgCdTe 赤外センサー", 海外出張報告書, LOR-00732 (1990), unpublished.
- [42]"International Tables for X-ray Crystallography", p.157, The KYNOCH Press (1959).
- [43]K. Harris, T. Meyers, R. Yanka, L. Mohnkern, R. Green, and N. Otsuka, J. Vac. Sci. Technol. A8, p. 1013, 1990.

第3章 コルビノ型 HgCdTe 磁気センサ

3.1 はじめに

テルル化水銀カドミウム ($\text{Hg}_{1-x}\text{Cd}_x\text{Te}$) は、組成 x を変えることによりそのバンドギャップを -0.3 eV (HgTe) から 1.6 eV (CdTe) まで連続的に変化させることができるユニークな材料であり、30 年以上にわたって精力的に研究されてきた [1][2]。このような特性を生かし、赤外線検出のための受光素子材料として、 HgCdTe は応用されている。例えば、 $x \approx 0.2$ 付近の HgCdTe は約 0.1 eV のバンドギャップを有するため、波長 $10 \mu\text{m}$ 帯の赤外線を検知するのに適しており、この HgCdTe を用いた赤外線センサは実際に市販されている。

一方、 HgCdTe はその組成次第でバンドギャップをゼロにすることも可能である。ゼロバンドギャップ付近では、バンド構造における E - k 曲線が直線に近くなり、電子の有効質量は極めて小さくなる。結果として、ゼロバンドギャップ付近では非常に大きな電子移動度が得られる [3]。

このような特性に着目した数少ない報告例として、1970 年代に L.N. Korol'ら が HgCdTe の磁気抵抗特性について発表している [4][5]。バルク HgCdTe 結晶を用いたコルビノ素子 [6] の測定をした結果、例えば室温、 50 mT の磁場において 2 倍以上の抵抗変化が報告されている [5]。これは他の半導体では見られない大きな磁気抵抗効果が得られていることになる。

1990 年代以降、筆者らは分子線エピタキシー (MBE) 法により Si 上に成膜を行った HgCdTe 薄膜の磁気抵抗特性が報告してきた [9]-[13]。バルク結晶のデータには及ばないものの、室温、 50 mT の磁場において最大 28 % の磁気抵抗比 (MR 比) が得られている。また、磁気感度向上に寄与するセルフバイアス効果も発見された。

本章では、前記 MBE 薄膜で得られた特性を基に、コルビノ型 HgCdTe 磁気センサの感度計算を行った。なお、本章で用いる代表的な変数を Table 3-I にまとめる。

Table 3-I Summary of symbols.

Symbol	Term	Symbol	Term
H	Magnetic field	h	Detection layer thickness
ρ	resistivity at $H=0$	S	Detection area
$R(H)$	Device resistance	MR	Magneto-resistance ratio ($R(H)-R(0)$)/ $R(0)$
$V(H)$	Signal-output voltage	α	MR/H^2 (equivalent to μ^2)
R_{mag}	Responsivity	Q	Power dissipation
I_B	Bias Current	ΔT	Temperature increase
H_{SB}	Self-bias field	$k(i)$	Thermal conductivity of species i
τ	carrier life time	m_e^*	electron effective mass
c	light velocity	μ	mobility

3.2 HgCdTe コルビノ素子の MR 特性

まず、感度計算を行うための基礎データを得るため、HgCdTe コルビノ素子を試作した。HgCdTe 薄膜は CdTe バッファ層を介して 3 インチ Si 基板上に MBE 法で成長した。Si 基板の両方位は (112)5°off である。CdTe バッファ層は、成長初期の Zn を過剰に照射する、Zn 過剰成長法[14]を用いて、Si 清浄面上に成長した。CdTe の膜厚は 5 μm である。次に HgCdTe を基板温度 180°C で 4 μm 成長した。Hg_{1-x}Cd_xTe の組成 x は、室温付近でゼロバンドギャップを実現するために、 $x = 0.1$ とした。

このようにして得られた HgCdTe 薄膜を用いて、In 蒸着により中心電極とリング電極を形成し、コルビノ素子を作成した。素子の構造を Fig. 3-1 に示す。中心電極の直径とリング電極の内径は、それぞれ 1 mm と 7 mm である。

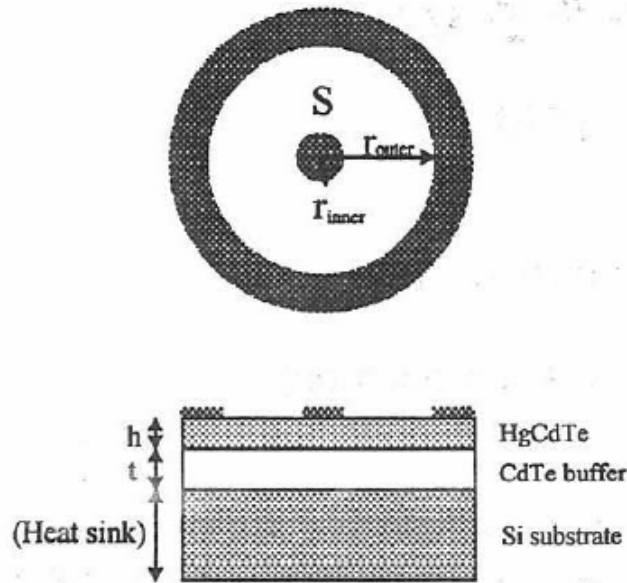


Fig. 3-1 Schematic representation of HgCdTe Corbino structure.

この素子を用いて得られた磁場—抵抗特性の一例を Fig. 3-2 に示す[9]。非常に特徴的な点として、抵抗特性がゼロ磁場で対称にならず、ある量だけシフトしていることが挙げられる。これは、あたかも外部バイアス磁場を印加したような特性が素子自体の特性として得られているため、自己バイアスと呼ばれている。この自己バイアスは、外部バイアスを用いない場合の微小磁場における磁気感度に大きく影響する。自己バイアス磁場を H_{SB} とすると、Eq. (3-1) のように表される[7]-[9]。

$$|H_{SB}| = \frac{1}{2} \frac{C_{Hall}^I}{C_{Cor}} \left(\frac{a\rho_{MS}^2}{1 - a\rho_{MS}^2} \right) \frac{1}{\mu} \quad (3-1)$$

ここで、 C_{Cor} はコルビノ素子の形状係数 (geometric factor) であり、 $[1/(2\pi h)] \ln(r_{outer}/r_{inner})$ で表される。 C_{Cor} を用いてゼロ磁場での素子抵抗は、 $R(0) = C_{Cor} \rho$ にて表される。 ρ_{MS}^2 は比抵抗ゆらぎ $\Delta \rho = \rho - \langle \rho \rangle$ の2乗平均を平均比抵抗 $\langle \rho \rangle$ の2乗で割ったもので、Eq. (3-2) で表される。

$$\rho_{MS}^2 = \frac{\langle (\Delta \rho)^2 \rangle}{\langle \rho^2 \rangle} \quad (3-2)$$

a は非等方因子で、等方的なゆらぎの場合は $2/3$ となる。

さて、 C_{Hall}^l は実効ホール形状係数で、素子内の MR 材料の不均一部の分布や形状に依存する。参考として、ホール効果素子の形状係数 C_{Hall} は l/A (l はホール素子の長さ、 A はホール素子の断面積) で表される。均質な材料では、 C_{Hall}^l はゼロとなる。実際、作成した試料の中でも一部多結晶が含まれる低品質の HgCdTe/Si 薄膜において、自己バイアスは最大となった (35 mT)。比較的良好な単結晶が得られた膜に関しては、自己バイアスは 10 mT と小さかった。このようなことから、不均一な材料内では、ミクロなホールバーがたくさん集まった状態になっていると考えられる。そしてこれらのホールバーは必ずしも中心対称ではないため、そこで発生するホール起電力により自己バイアスが発生しているものと考えられる。

以降では、実際に得られた値として、MR 比 28 % at 50 mT、自己バイアス量 35 mT を用いて感度計算を行う。

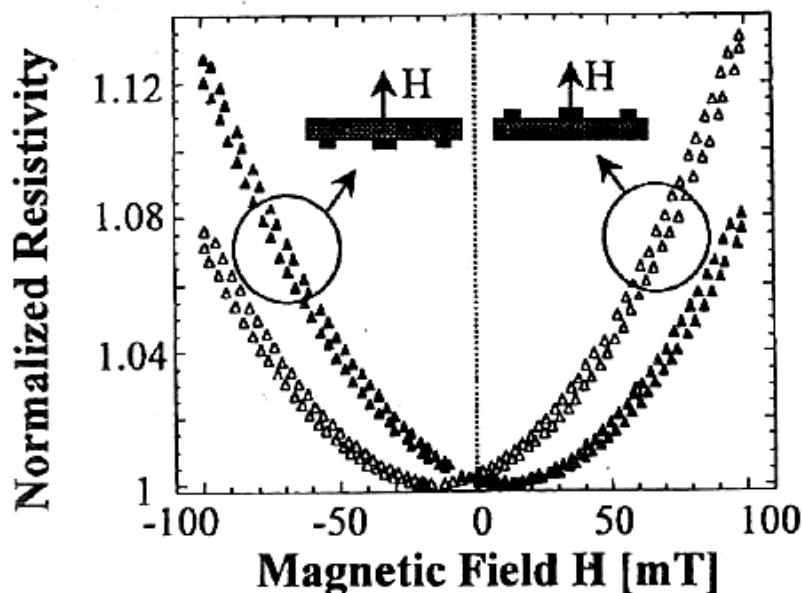


Fig. 3-2 Room temperature giant magnetoresistance of Corbino disk, with normal (Δ) and inverted (\blacktriangle) configurations [9].

3.3 素子構造のモデル

感度計算を行った素子構造のモデルは、円形のコルビノ構造 (Fig. 3-1) と矩形のコルビノ構造 (Fig. 3-3) の二種類である。

円形のコルビノ構造は、二次元磁場アレイセンサ (Fig. 3-4) [15]を想定したときの単素子モデルであり、EMC (Electro-Magnetic compatibility) での用途が見込まれるものである。計算では、外側リング電極の半径 $45\ \mu\text{m}$ としており、その内側を通る磁束を検出することができる。

一方、矩形のコルビノ構造は磁気ヘッドへの応用[18]を考慮したもので、リング電極内側のサイズを $1000 \times 70\ \text{nm}$ としている。

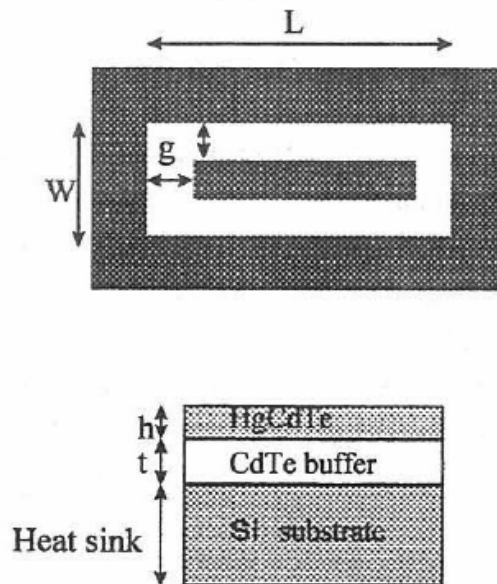


Fig. 3-3 Rectangular Corbino structure.

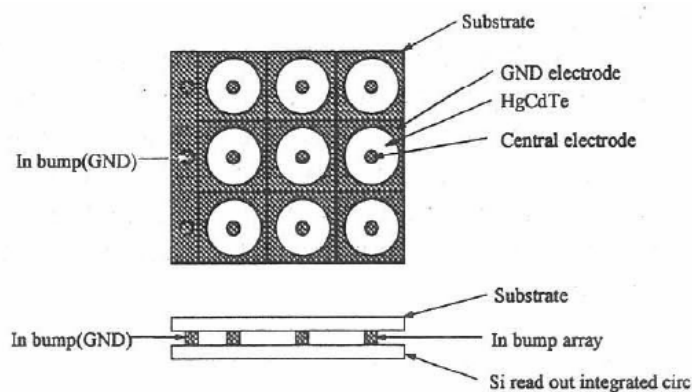


Fig. 3-4 Two-dimensional array magnetic sensor [15].

3.4 レスポンシビティ

まず、コルビノ構造の素子抵抗 $R(H)$ は次のように表される。

$$R(H) = R(0)(1 + \alpha H^2), \quad \because MR = \alpha H^2, \quad \alpha = \left(\frac{e\tau}{m_e^* c} \right)^2 = \mu^2 \quad (3-3)$$

$R(0)$ は円形コルビノ構造において、

$$R(0) = \frac{\rho}{2\pi h} \ln \left(\frac{r_{outer}}{r_{inner}} \right) \quad (3-4)$$

矩形コルビノ構造においては下記のように表される。

$$R(0) = \frac{\rho}{4h} \left[\left(\ln \left(\frac{L}{L-2g} \right) \right)^{-1} + \left(\ln \left(\frac{W}{W-2g} \right) \right)^{-1} \right]^{-1} \quad (3-5)$$

ところで、信号出力電圧は $V(H) = I_B \Delta R(H) = \alpha I_B R(0) H^2$ と書けるので、磁場に対するコルビノ素子のレスポンシビティ R_{mag} は、Eq. (3-6) で表される。

$$R_{mag} = \left[\frac{dV(H)}{dH} \right]_{H_{SB}} = 2\alpha I_B R(0) H_{SB} \quad (3-6)$$

3.5 素子の発熱によるバイアス電流の制限

Eq. (3-6) において、バイアス電流を上げることによりレスポンシビティを向上させることができる。しかし、実際には、発熱によるバイアス電流の制限がある。単位面積当たりの発熱量を Q とすると、 $Q = I_B^2 R(H) / S$ となる。 S は磁気検知部の面積で、下記のように表される。

$$\begin{aligned} \text{Circular Corbino:} \quad & S = \pi(r_{outer}^2 - r_{inner}^2) \\ \text{Rectangular Corbino:} \quad & S = 2g(L + W - 2g) \end{aligned}$$

ここで、磁気検知層と基板との間に $5 \mu\text{m}$ のバッファ層を設けた構造について考える。温度上昇を計算する仮定として、Si 基板をヒートシンクとし、Hg の蒸

発を防ぐための許容温度上昇 ΔT_{\max} が5 K という制限を置いた。

バッファ層の膜厚を t とすると、温度上昇 ΔT は Qt/k と表されるから、許容最大電流 I_B^{\max} はEq. (3-7)で表される。

$$I_B^{\max} = \sqrt{\frac{Sk(\text{buffer})\Delta T_{\max}}{R(H)t}} \quad (3-7)$$

なお、発熱量と温度上昇の関係は、素子の構造に大きく依存する。したがって、素子構造が異なる場合や、基板がヒートシンクとならない場合は、今回の計算が成り立たないことに注意する必要がある。

3.6 ノイズ

ノイズの要因としては、ジョンソンノイズ V_J 、生成-再結合 (g-r) ノイズ V_{g-r} 、1/fノイズ $V_{1/f}$ およびアンプノイズ V_a が考えられる。

まず、ジョンソンノイズ V_J は、周波数帯域 Δf として、

$$V_J = \sqrt{4kTR\Delta f} \quad (3-8)$$

と表される[16]。

g-r ノイズはコルビノ素子のバイアス電圧を V_B としたとき、次式で表される[16]。

$$V_{g-r} = \frac{2V_B}{n_0\nu} \sqrt{\langle \Delta N^2 \rangle \frac{\tau}{1+(\omega\tau)^2} \Delta f} \quad (3-9)$$

ただし、 ν は検知層の体積で Sh に等しい。 $\langle \Delta N^2 \rangle$ は生成-再結合による多数キャリアの偏差で、熱励起と光励起による項の和である。

$$\begin{aligned} \langle \Delta N^2 \rangle &= \langle \Delta N^2 \rangle_{\text{thermal}} + \langle \Delta N^2 \rangle_{\text{optical}} = \frac{n_0 p_0}{n_0 + p_0} \nu + \frac{\eta Q_B \tau}{h} \nu \\ \therefore n_0 p_0 &= n_i^2, \quad Q_B : \text{photon background} [ph/m^2s] \end{aligned} \quad (3-10)$$

ここで、今回の計算では300 Kでのphoton backgroundとして $Q_B = 4.1 \times 10^{22}$

ph/m²s、量子効率として $\eta = 0.7$ と定めた。

1/f ノイズは、帯域の低周波数側カットオンを f_1 、高周波数側カットオフを f_2 として、次式で表される。

$$V_{1/f} = \sqrt{\int_{f_1}^{f_2} K \frac{V_B^2}{f} df} = V_B \sqrt{K \ln\left(\frac{f_2}{f_1}\right)} \quad (3-11)$$

ここで、 K は HgCdTe 中のキャリア総数 $n_i \text{Sh}$ に反比例する係数である。光伝導型 HgCdTe 赤外線センサの値[17]を元に、 $K = 3.5 \times 10^{-6} / (n_i \text{Sh})$ とした。なお、計算にあたっては、 f_1 を 25 Hz、 f_2 を 10 MHz としている。

最後に、アンプノイズは Eq. (3-12) で表される。なお、 V_0 はアンプ固有の値で、エヌエフ回路設計ブロック社のカタログから代表的な値を採用した ($V_0 = 1.4 \text{ nV Hz}^{-1/2}$)。

$$V_a = V_0 \sqrt{\Delta f} \quad (3-12)$$

3.7 感度計算の結果と考察

円形コルビノ型磁気センサの計算結果を Fig. 3-5 に示す。ノイズ量と等価な信号出力を得られる磁場強度 (NEMF: Noise equivalent magnetic field) から、最小検知磁場を見積もることができるが、1 μT 程度の磁場感度があることがわかる。

次に矩形コルビノ型磁気センサの計算結果を Fig. 3-6 に示す。矩形センサの感度は円形のものと比較して感度が約 1/1000 の 1 mT 程度である。これは、磁気ヘッドを想定したために素子サイズが円形センサよりはるかに小さいことと (1000 \times 70 nm)、矩形センサの構造上、中心電極が相対的に大きいため、素子抵抗が小さくなっていることが原因である。Eq.(3-6),(3-7)より発熱量で最大電流を制限したときのレスポンスビティは、検知部面積 S と抵抗 R の積の平方根に比例する。矩形センサは円形センサと比較して、 S が 10^{-5} 、 R が 1/16 であるため、レスポンスビティは約 1/1000 となる。

ところが、磁気媒体上の磁場は媒体からの距離に依存するが、現状のハードディスクドライブで数 mT、将来的には数十 mT までになる可能性がある。したがって、1 mT という値は磁気ヘッドの応用が可能な感度と言え、磁場が多少大きくなっても飽和しない特性を持つ HgCdTe は将来的には有利になる可能性が

ある。さらに外部バイアスを必要とせず、自己バイアスのみで実現できることにも注目する必要がある。

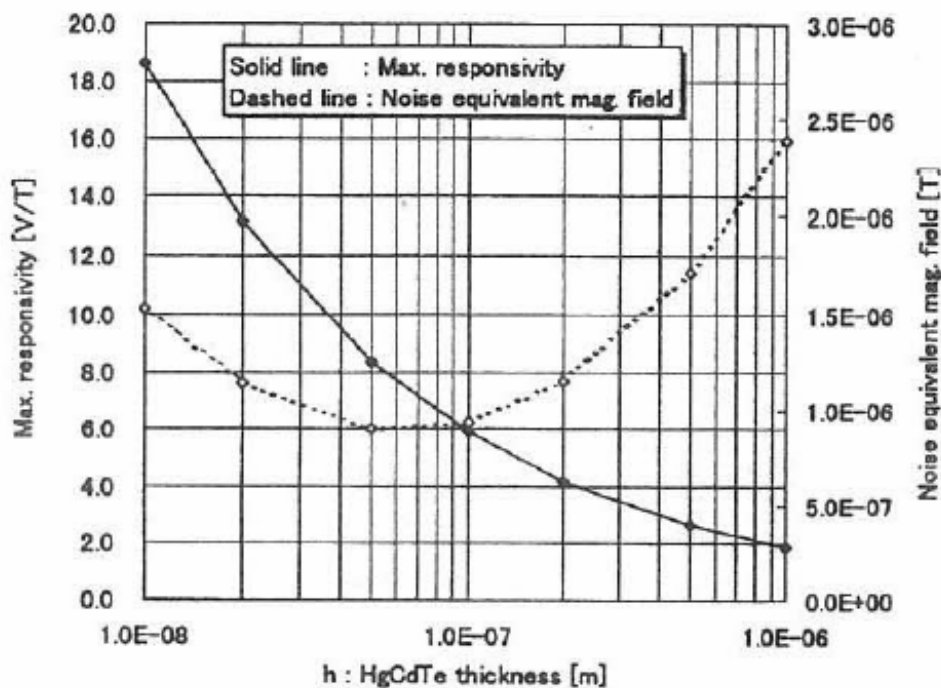


Fig. 3-5 Sensitivity of circular Corbino type magnetic sensor.

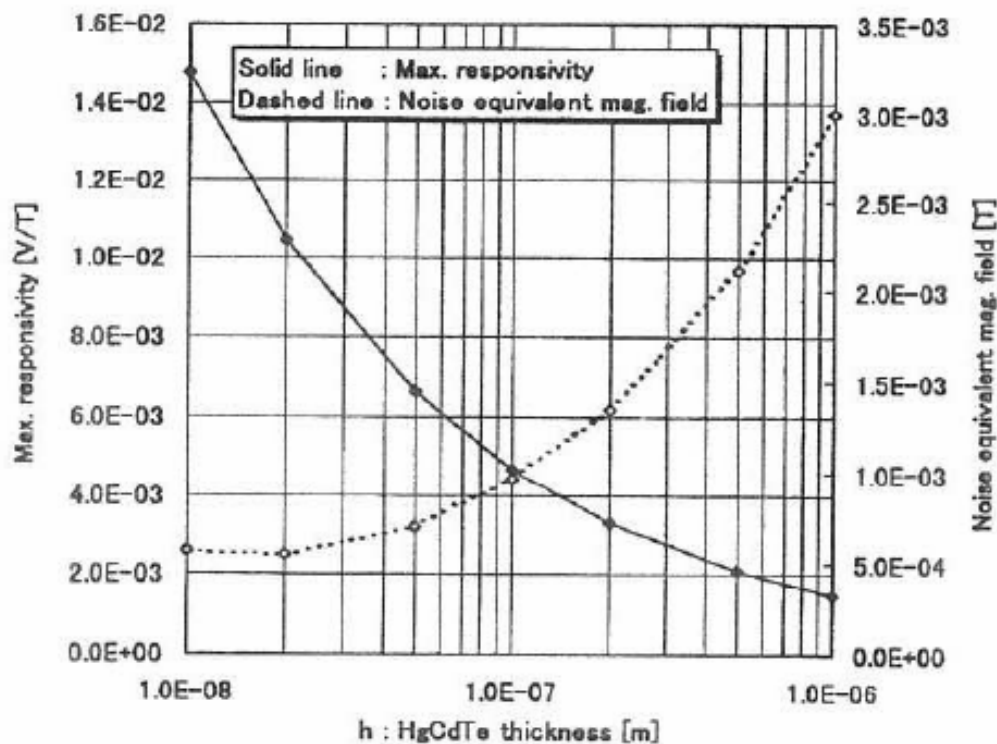


Fig. 3-6 Sensitivity of rectangular Corbino type magnetic sensor.

3.8 結論

HgCdTe を用いた 2 種類の磁気センサについて、感度計算を行った。円形コルビノ型磁気センサでは、約 $1 \mu\text{T}$ という感度が得られることがわかった。これは、二次元磁場イメージセンサとしての応用が期待できる。

矩形コルビノ型磁気センサの感度は、円形コルビノ型磁気センサと比較して約 $1/1000$ の感度であった。これは、磁気ヘッドを想定して計算モデルにおける素子サイズを小さくしたことと、素子抵抗が構造的に小さくなることが原因である。

参考文献 (第 3 章)

- [1] M.A. Herman, and M. Pessa, "Hg_{1-x}Cd_xTe-Hg_{1-y}Cd_yTe ($0 \leq x, y \leq 1$) heterostructures: Properties, epitaxy, and applications," J. Appl. Phys., vol. 57, p. 2671, 1985.
- [2] W.E. Tennant, C.A. Cockrum, J.B. Gilpin, M.A. Kinch, M.B. Reine, and R.P. Ruth, "Key issues in HgCdTe-based focal plane arrays: An industry perspective," J. Vac. Sci. Technol., vol. B10, p. 1359, 1992.
- [3] J.J. Dubowski, T. Dietl, W. Szymanska, and R.R. Galazka, "Electron scattering in Cd_xHg_{1-x}Te," J. Phys. Chem. Solids, vol. 42, p. 351, 1981.
- [4] L.N. Korol', L.A. Bonvina, and V.I. Stafeev, Sov. Phys. Semicond., vol. 11, p. 288, 1977.
- [5] L.N. Korol', V.S. Vershinin, L.A. Bovina, and V.I. Stafeev, Sov. Phys. Semicond., vol.12, p. 275, 1978.
- [6] O.M. Corbino, Phys. Z., vol. 29, p. 561, 1911.
- [7] C. Herring, "Effect of Random Inhomogeneities on Electrical and Galvanomagnetic Measurements," J. Appl. Phys., vol. 31, pp.1939-1953, Nov. 1960.
- [8] R.S. Allgaier, "Magneto-transport at high Hall angles: a comparison of the high-magnetic-field and high-mobility (quantum Hall effect) limits in the Hall bar and Corbino disc configurations," Semicond. Sci. Technol., vol. 3, pp.306-314, Apr. 1988.
- [9] S. A. Solin, T. Thio, J. W. Bennett, D. R. Hines, M. Kawano, N. Oda, and M. Sano, "Self-biasing nonmagnetic giant magnetoresistance sensor," Appl. Phys. Lett. 69, pp.4105-4107, Dec. 1996.
- [10] T. Thio, S.A. Solin, J.W. Bennett, D.R. Hines, M. Kawano, N. Oda, and M. Sano, "Giant magnetoresistance in zero-bandgap Hg_{1-x}Cd_xTe," Phys. Rev. B 57, pp.12239-12244, May 1998.
- [11] S.A. Solin, T. Thio, J.W. Bennett, D.R. Hines, M. Kawano, N. Oda, M. Sano, "A New Application for Mercury Cadmium Telluride: Read-Head Sensors for High Density Magnetic Recording," Proc. 8th Intl. Conf. Narrow Gap Semiconductors, 1998.
- [12] S. A. Solin, T. Thio, D. R. Hines, M. Kawano, N. Oda, and M. Sano, "Large enhancement of the giant magnetoresistance in inhomogeneous semiconductors:

- Dependence on magnetic field direction," J. Appl. Phys. 85, pp.5789-5791, Apr. 1999.
- [13]川野 連也, 小田 直樹, "コルビノ型 HgCdTe 磁気抵抗センサ," 電気学会 センサ材料・プロセス技術研究会資料 SMP-97-8, pp.13-16, Sep. 1997.
- [14]M. Kawano, A. Ajisawa, N. Oda, M. Nagashima and H. Wada, "HgCdTe and CdTe($\bar{1}\bar{1}\bar{3}$)B growth on Si(1 1 2) 5° off by molecular beam epitaxy," Appl. Phys. Lett. 69, pp.2876-2878, Nov. 1996.
- [15]小田直樹, "磁気センサ装置," 特許第 2923871 号, 1996 年 11 月 18 日出願.
- [16]R.M. Broudy and V.J. Mazurczyk, Semiconductors and Semimetals (Academic Press, New York, 1981), vol. 18, Chap. 5.
- [17]N. Oda and T. Yamagata, Int'l. J. Infrared and Millimeter Waves, vol. 8, p. 133, 1987.
- [18]M. Kawano, S.A. Solin, and T. Thio, "Self-biasing non-magnetic giant magnetoresistance," US Patent 5,696,655, Dec. 1997.

第4章 発展型 Chip-on-Chip 接続技術

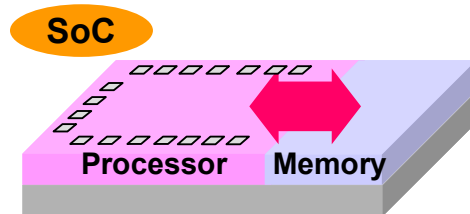
4.1 はじめに

最先端のデジタル情報処理システムにおいて、プロセッサメモリ間のデータ転送能力により性能が制約される傾向が顕著になりつつある。近年の携帯情報機器や画像処理機器などにおいては、高速動作と低消費電力の両立が要求されており、そのためにはメモリバス能力向上、すなわちバンド幅拡大やレイテンシ向上が必要不可欠になってくると考えられる。

このような目的に対する一つの解が、ロジック回路とメモリ回路を同一チップ上に形成するシステム・オン・チップ (SoC) である (Fig. 4-1)。SoC は、微細な LSI 配線によってプロセッサメモリ間を結ぶため、低消費電力で十分なバンド幅の確保が可能である反面、プロセッサとメモリを同一チップに混載することによるプロセスコスト増大という課題がある。同時に、大容量メモリの搭載はコストとのトレードオフにより実現困難である。

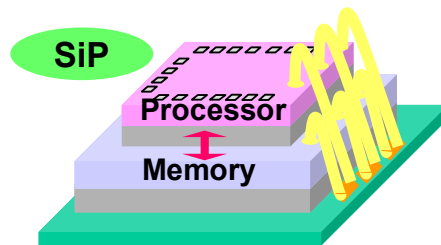
一方で、プロセッサとメモリを別チップとして製造し、ワイヤボンダ技術を用いてチップ間を接続する構造のシステム・イン・パッケージ (SiP) が、モバイル機器向けなどで既に実用化されている。このような SiP では、プロセッサとメモリそれぞれを、最適デバイス構造、最適プロセスにより製造することが可能であるが、チップ間の電氣的接続がワイヤボンダやパッケージ基板を介したものであるため、バス幅や伝送路の電気特性、I/O 消費電力において SoC に大きく劣らざるを得ない。

このような課題を解決するための構造として、プロセッサとメモリの回路面同士を対向させエリア・アレイ・バンプにより接続した、Chip-on-Chip (CoC) 構造が開発されている[1][2]。CoC 構造では、チップ間接続数を大幅に増やすことができるので、バス幅拡大は容易である。また、接続距離も短いため、インダクタンス低減を始めとした電気特性改善や、両チップ I/O 回路の負荷低減による低消費電力化などが可能となる。



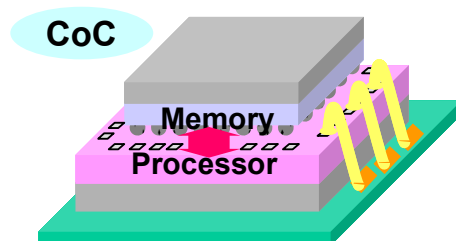
Pros: Wide-band memory bus by on-chip interconnection.

Cons: Low capacity memory. Higher cost for embedding process.



Pros: High capacity memory.

Cons: Narrow-band memory bus limited by wire and substrate transmission capability.



Pros: Wide-band memory bus with area and 3D connections.

Cons: Relatively low capacity memory by die size limitation.

Fig. 4-1 Memory bus and memory capacity in conventional technology.

しかし CoC では、プロセッサ上にメモリチップを搭載してから、プロセッサチップの周辺パッドとパッケージ基板を接続するため、メモリチップサイズの制限があり、かつプロセッサ外部端子の接続方法はワイヤボンディング法に限定されるという問題があった。

以上のことから、プロセッサとメモリは別チップでワンパッケージ化された SiP であって、メモリチップサイズに制限がなく、かつ多ピン化・電気特性に優れたフリップチップ接続に対応する新しいパッケージが望まれる。本稿では、これらの要求を満たし、大容量のメモリを数百 bit 以上のワイドバスでプロセッサに接続可能な次世代高密度パッケージ "SMAFTI" (SMARt chip connection with FeedThrough Interposer) [3]-[8]について述べる。

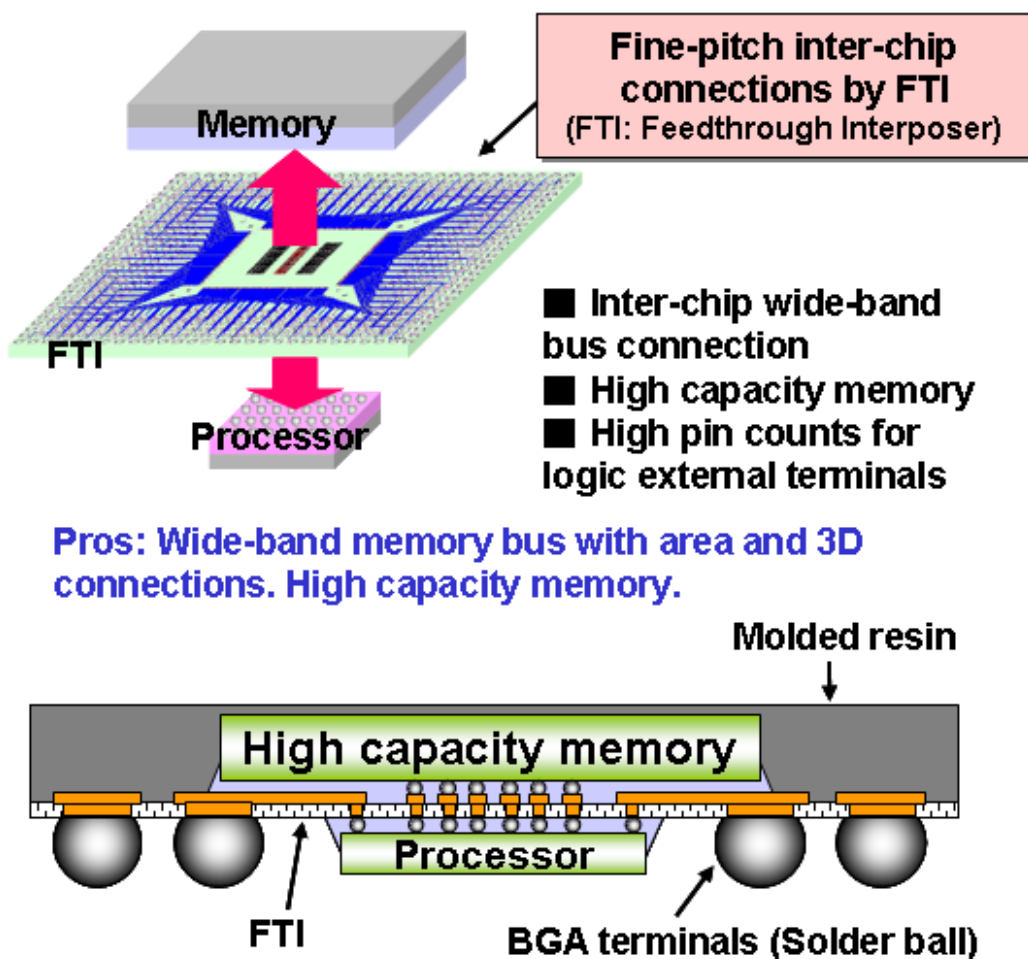


Fig. 4-2 Concept and package structure of SMAFTI.

4.2 SMAFTI のコンセプトと製造プロセス

Fig. 4-2 に SMAFTI のパッケージ構造を示す。本パッケージは、プロセッサとメモリの間に FTI (Feedthrough Interposer) と呼ぶ厚さ $15\ \mu\text{m}$ の極薄配線体を挿入したことが特徴である。FTI は、ポリイミド(PI)上の Cu 配線 ($L/S = 15/10\ \mu\text{m}$) と、PI を貫通する導体ビアが形成されたコアレス・インターポーザである。またプロセッサ側には外部電極端子である BGA (Ball Grid Array) が形成されている。プロセッサ-メモリ間の接続部では、メモリチップの電極バンプが FTI 上面の導体パッドに接続され、パッド直下に設けられた導体ビアを介してプロセッサチップの電極バンプに接続された構造になっている。チップ間接続部は $50\ \mu\text{m}$ 以下のピッチでエリア・アレイ状に配置することが可能で、CoC と同等の 1000 ピンを超えるチップ間接続が実現できると共に、メモリチップサイズの自由度が確保されている。また、貫通電極を備えた積層メモリをパッケージングすることも可能で、さらなる大容量化にも対応できる[9],[10]。

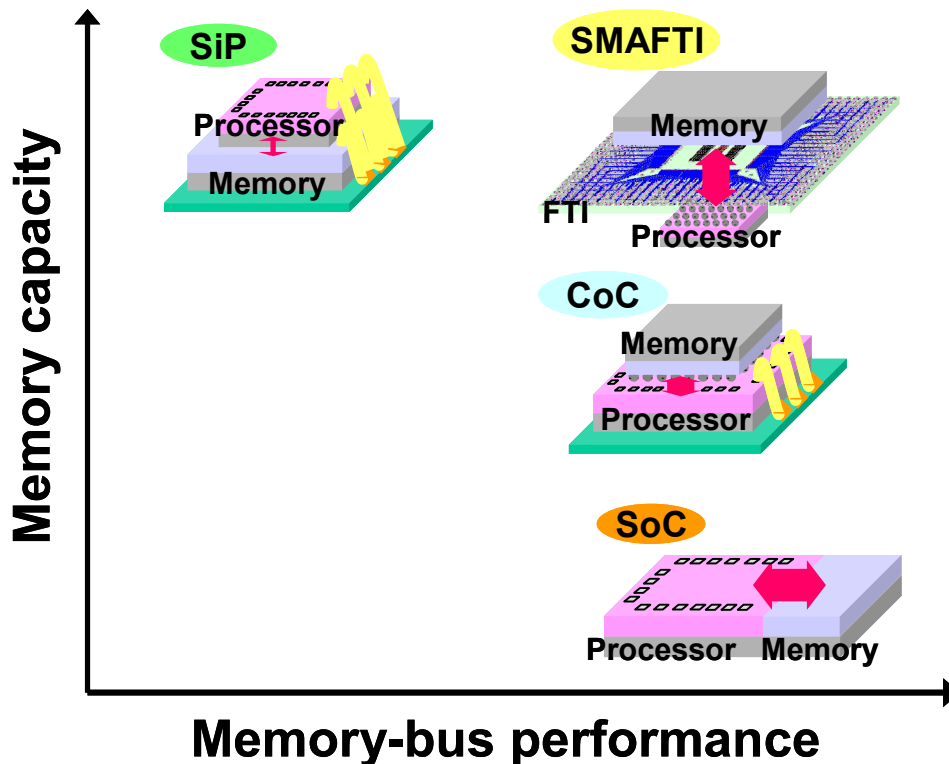


Fig. 4-3 Memory capacity vs. Memory-bus performance for various technologies.

Fig. 4-3 に、各種技術のメモリ容量、メモリバス性能の関係をまとめた。もっともバス性能の高いものは SoC となるが、CoC 接続であっても 1 万ピン以上の接続がチップ間で可能であることから、実質的に CoC や SMAFTI はバス性能として SoC に匹敵する性能を有していると言える。一方、SoC のメモリ容量については、プロセス世代にもよるが 128Mb~256Mb 程度がコストやチップサイズから来る上限となる。CoC の場合は、もう少し容量を増やすことができるが、プロセッサのチップサイズで上限が決まるという致命的な弱点がある。一般的な民生品を想定したとして、プロセッサのチップサイズが 6~8 mm²、メモリチップサイズが 5mm²以下ということを考えると、メモリ容量に関して SoC に対し大きなアドバンテージが出るわけではない。Wire 接続の SiP や SMAFTI については、そのようなチップサイズ制限が無くなるため、例えば 1 枚のメモリであれば、2008 年時点で 1Gb の容量を搭載することができる。これらの技術は多積層が可能であり、容量をさらに増やすこともできるため、SoC に対するアドバンテージは非常に大きい。以上のことより、SMAFTI は性能的には SoC に匹敵しつつ、従来の Wire 接続 SiP 並みの大容量メモリを搭載できる技術と言える。

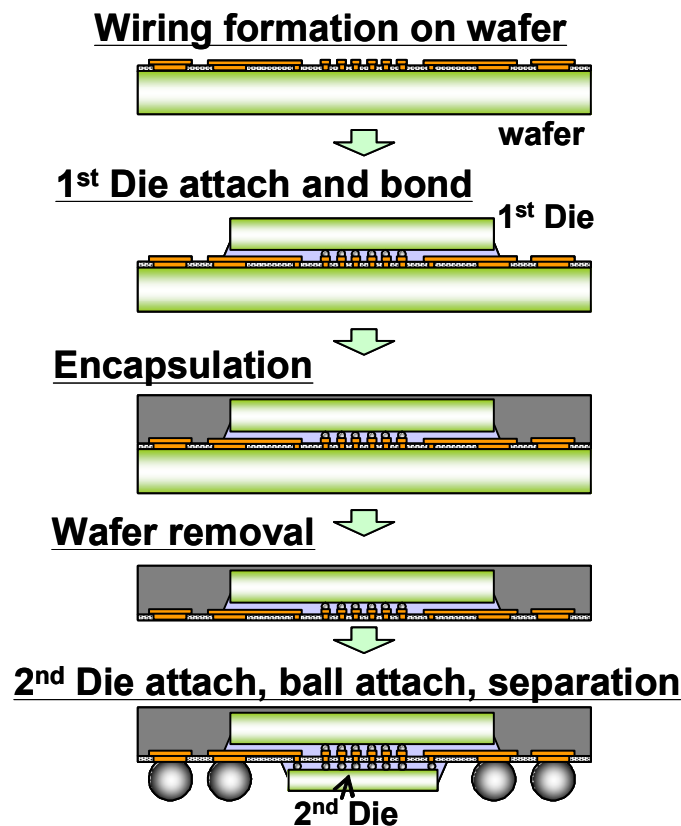


Fig. 4-4 Process flow of SMAFTI package.

Fig. 4-4 に製造プロセスを示す。SMAFTI は全工程ウェハレベルで組み立てられるのが特徴である。まず、支持体である Si ウェハ上に Cu 配線/PI 絶縁膜により FTI を形成する。この FTI 上に、SnAg はんだめっきバンプを形成したメモリチップをフリップチップボンダにて接合(Fig. 4-5)、接合部をアンダーフィル樹脂により封止する。接合プロセスとしては、窒素雰囲気中のフラックス・レスでのローカルリフロー工法を用いる。配線体は Si ウェハ上に形成されているため、一般的な有機樹脂基板へのフリップチップ接続プロセスにおける、線膨張係数の違いに起因した接続精度の劣化や、残留応力による接続部の破壊が殆ど問題にならない。このため、今回のサンプルのように 50 μm 以下の狭ピッチ接続にも対応できる。次に、チップを接合したウェハ表面を圧縮モールド工法にて封止した後、支持体である Si ウェハを除去することにより、メモリが埋め込まれた樹脂ウェハを形成する。この時点で、樹脂ウェハの Si 除去面側には、FTI パターンが露出している。この FTI 面上に、はんだめっきバンプを形成したプロセッサチップをローカルリフロー工法により接合、接合部をアンダーフィル樹脂により封止する。この場合も、接合形態は非常に薄い FTI を介しての Si 同士の接続になるため、高い接合精度と品質が確保可能である。最後に、FTI に形成されたパッド上に SnAgCu はんだボールを接合、樹脂ウェハをダイシングにより個片化する。

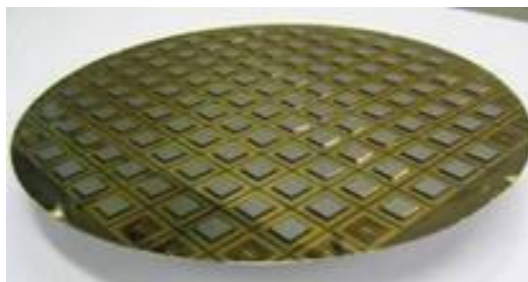


Fig. 4-5 FTI wafer after chip-to-wafer bonding.

4.3 構造評価サンプル試作

次に SMAFTI パッケージの試作サンプルについて説明する。Tabel 4-I に示すような、TEG チップを用いたパッケージ試作を行い、組立実現性および信頼性の評価を行った。TEG チップの仕様としては、パッケージングされた状態でチップ間接続部がデイジーチェーン接続となり、ロジック TEG チップーFTI 配線

–BGA 端子を介して、チップ間接続部のオープン/ショートが電氣的に確認できるものとなっている。

完成したパッケージの外観写真を Fig. 4-6 に示す。また、パッケージ全体の断面 SEM 写真を Fig. 4-7 に示す。FTI の導体ビアを介したチップ間の接続、ロジック TEG チップから BGA 端子までの FTI を介した接続を含め、想定通りの構造が実現できていることを確認した。

Tabel 4-I Specifications of prototype SMAFTI package.

Logic-TEG die size	5.31 mm sq.
Memory-TEG die size	7.35 × 12.7 mm
Inter-chip connection	50 μm (area array)
	400 pins
External electrode on logic-TEG	35 μm staggered (peripheral)
	500 pins
Package type	Fine pitch BGA
Package size	15 mm sq.
Outer solder balls	0.5 mm pitch
	500 pins

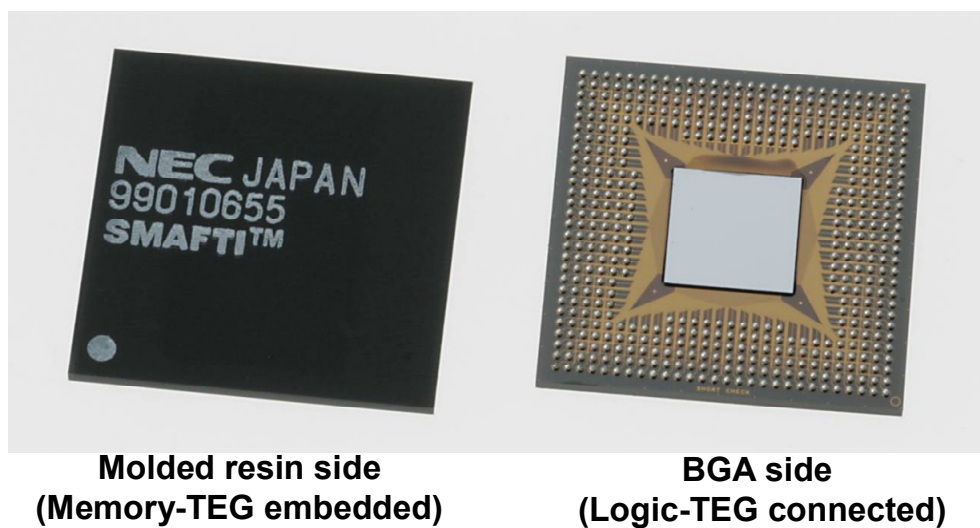


Fig. 4-6 External views of SMAFTI package.



Fig. 4-7 SMAFTI package cross-section.

4.4 二次実装信頼性評価

SMAFTI パッケージにおいて、前記試作サンプルを用いて二次信頼性が確保されていることを確認するための評価を行った。

SMAFTI の 2 次実装信頼性については、温度サイクル試験(T/C)、曲げ試験、落下試験を行っており、それについて説明する。各試験における不良判定は、電気抵抗値変化 20%以上とした。T/C 試験については、233～398K/各 10min(Condition C)で常時モニタリングしながら全数故障が発生するまで試験を行った。曲げ試験については、スパン：90mm、曲げ量：2mm、試験速度：1s/cycで行い、20,000cyc まで測定を行った。落下試験については、アルミ製治具に実装済み基板を固定し、X、Y、Z 方向各 1 回ずつを 1cyc とし、10cyc まで落下を実施した。

試験結果を Tabel 4-II にまとめる。T/C 試験については、メモリおよびロジック TEG チップのアンダーフィル材(1st Underfill)として type b、2 次実装側のアンダーフィル材(2nd Underfill)として type B の共に低線膨張率 (low α) の材料を選択したときに最良の結果が得られ、 $F(0.1\%) = 989\text{cyc}$ となった (Fig. 4-8)。この故障解析を行ったところ、メモリ TEG チップ端近傍の SMAFTI パッケージ側 BGA ボール接合部の根元付近で破断が起こっていることがわかった (Fig. 4-9)。故障原因は、Si チップ部と樹脂部の熱膨張のギャップによるものと推測される。

曲げ試験については全水準 20,000cyc をパス、落下試験についても全水準 10cyc パスと良好な結果が得られたことから、樹脂材料の適正化を行い T/C 寿命を十分に確保することで、SMAFTI は長期信頼性を確保することができると判断する。

Table 4-II Results of board-level reliability tests.

Underfill resin		T/C [cycle]		Bend [cycle]	Drop [cycle]
1st	2nd	First Failure	F(0.1%)		
high α	high α	1006	296	>20000	>10
high α	low α	955	51	>20000	>10
low α	high α	931	306	>20000	>10
low α	low α	1406	989	>20000	>10

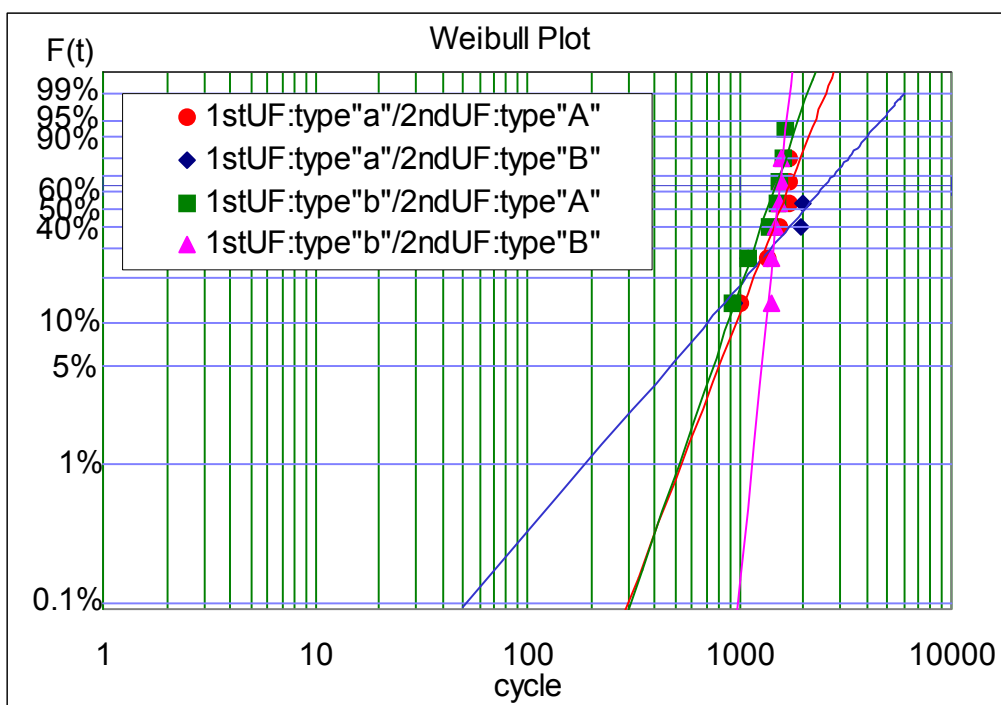


Fig. 4-8 Thermal cycle life of SMAFTI package.

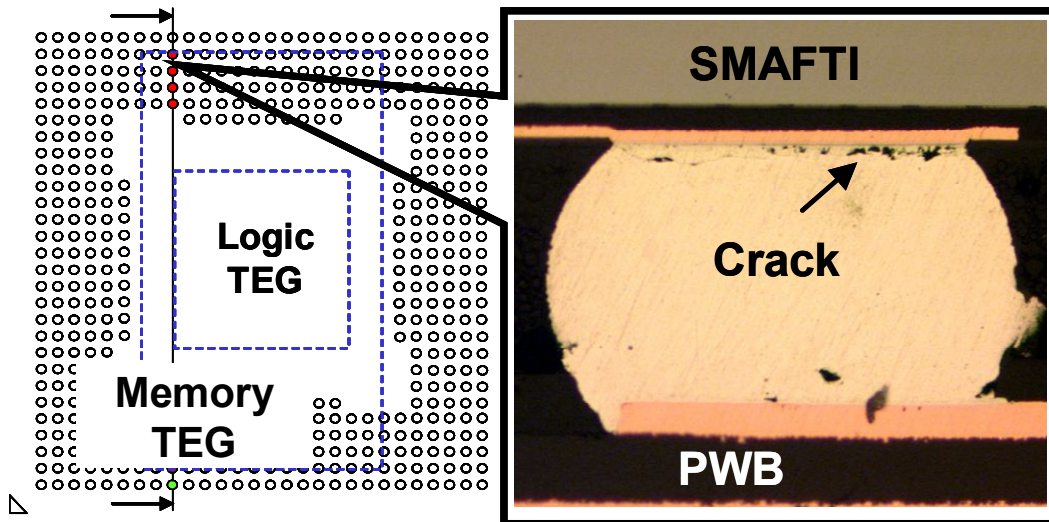


Fig. 4-9 Cross section of cracked solder joint under thermal cycle test.

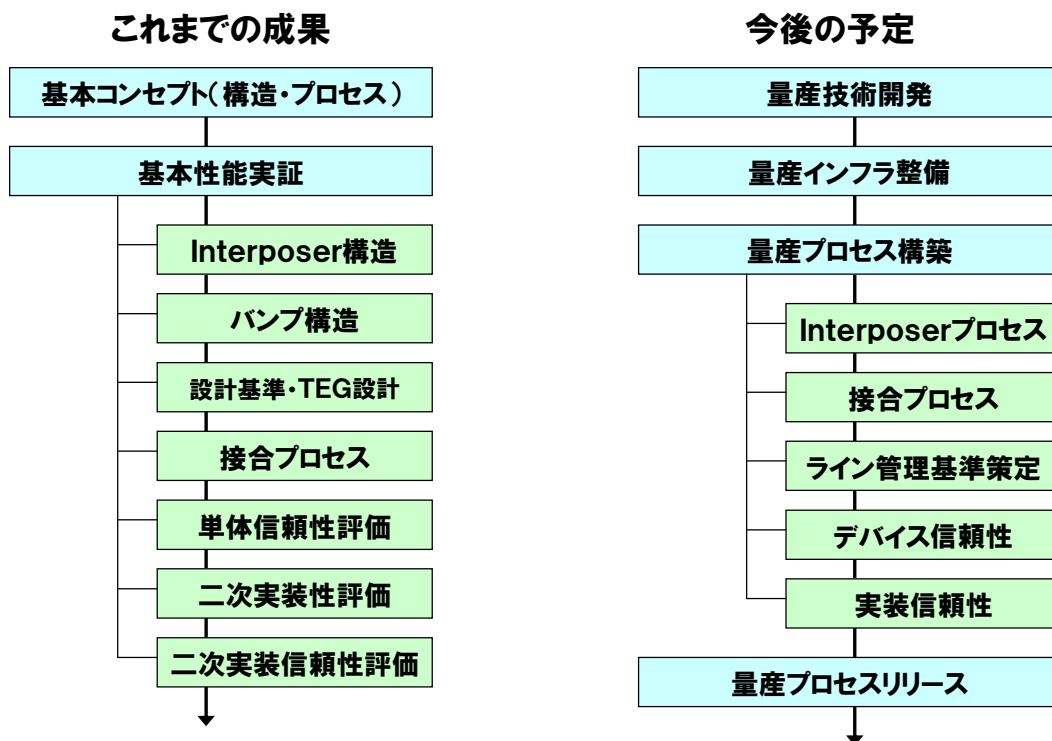


Fig. 4-10 Summary of SMAFTI package development and future plan.

4.5 SMAFTI 技術の今後の展望

以上の内容により、SMAFTI の技術的実現性の基本的な確認が完了したと考える。本論文で説明していない技術開発も含め、Fig. 4-10 に開発項目のまとめを行った。パッケージプロトタイプを試作する上での基本技術として、インターポージャー構造、 bumps 構造などを含めたパッケージ構造設計や、それぞれのレイアウト基準が策定済みである。また、インターポージャー形成や接合の基本プロセスも確立し、出来上がったパッケージの信頼性確認も完了している。

今後の予定としては、これらの技術を量産適用するための技術開発となる。そのために、もっとも重要となるのが量産インフラ整備である。これには、それなりの設備投資が必要となるため、いわゆる新技術の"死の谷"となり、多くの技術開発がここでストップしてしまう。これに対する考え方を Fig. 4-11 にまとめた。これは、前工程プロセス技術をベースに、新たなパッケージング技術に展開という考え方で、SMAFTI にかかわらず幅広いパッケージング技術に適用できるインフラ投資を行うというものである。これらのパッケージング技術を総称して、我々は WIT (Wafer-level Interconnect Technology) と呼んでいる。

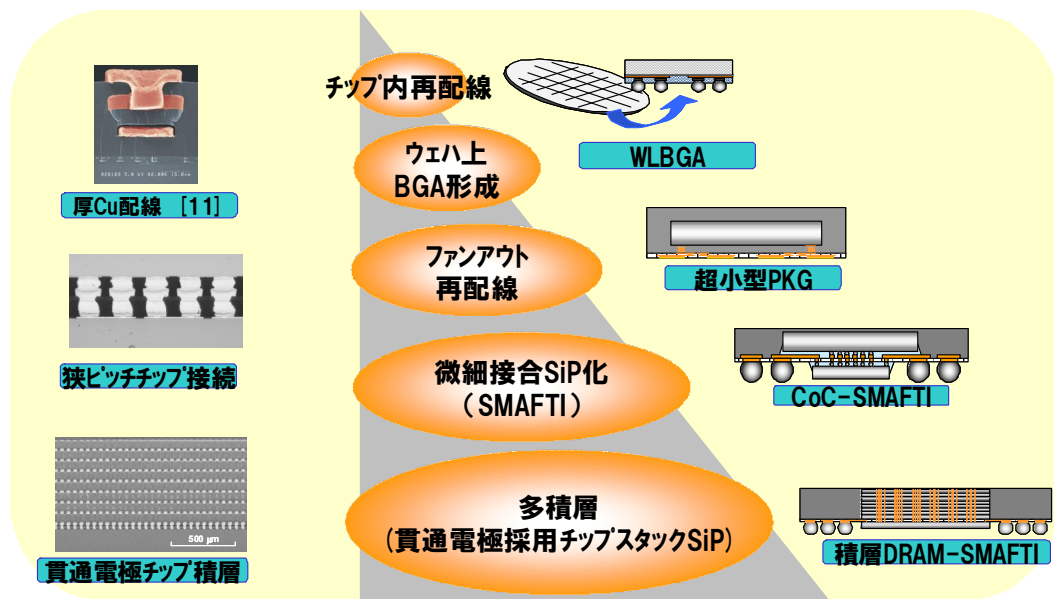


Fig. 4-11 Technology roadmap of WIT.

これにより、共通の製造インフラによって、ウエハーレベルでの加工プロセス、微細接続技術を駆使した新パッケージへの展開が可能となり、製造ラインの投資効率を飛躍的に高めることができる。この製造ラインで実現できるものを時系列で並べていくと、ウエハ上めっきバンプをスタートとして、チップ内再配線 (RDL: Redistribution Layer)、WLBGA (Wafer-level Ball Grid Array) パッケージ、超小型ファンアウトパッケージ、SMAFTI、積層 DRAM-SMAFTI となる。必ずしも同じ製造装置ですべての技術が実現できるわけではないが、順次追加設備を導入していくことで、最終的に積層 DRAM-SMAFTI の製造ラインとすることが可能となる。このことは設備投資判断をする上で、極めて重要な意味を持つ。ある新技術のライン投資を行うにあたって、すでに別の製品で原価償却が進んでいるラインに追加投資するのと、新規に全額投資するのでは、設備投資の回収期間が全く異なってしまうからである。特に組立技術は、すべての製品で適用が可能なユニバーサルな技術が存在しないため、多様なパッケージ技術を共通のインフラで実現していくことは、非常に重要であると考えられる。

4.6 まとめ

プロセッサ／メモリなどのチップ間を数百 bit 以上のワイドバスで接続可能で、かつ、設計・製造プロセスにおいて高い汎用性を持つ新構造パッケージ“SMAFTI”について述べた。TEG チップを用いた試作により、構造・製造プロセスの実現性を実証すると共に、二次実装の長期信頼性が実用レベルで確保されていることを確認した。さらに、本技術の実用化にあたっての将来展望について示した。本パッケージは、大容量メモリと広いバンド幅、低消費電力が同時に要求される次世代高密度 SiP として有望である。

参考文献 (第4章)

- [1] 栗田洋一郎, 前田雅人, 猪俣輝司, 野川 潤, 塩崎章雄, 磯崎誠也, 木村雄大, 藤原和彦, 森下佳昭, "COC (Chip-On-Chip) 接続技術開発," 第12回マイクロエレクトロニクスシンポジウム論文集 (MES 2002), pp. 51-54, Oct. 2002.
- [2] 宮崎崇誌, 栗田洋一郎, 木村雄大, 吉野利枝佳, 大谷内賢治, "超音波接合法を用いたLSIチップ間バンパ接続・封止技術," 電子情報通信学会論文誌 (C), Vol. J87-C, No. 11, pp. 820-827, Nov. 2004.
- [3] 栗田洋一郎, 副島康志, 菊池 克, 高橋尚武, 田子雅基, 小池昌弘, 森下佳昭, 山道新太郎, 川野連也, "高密度チップ間接続構造パッケージの開発," 第15回マイクロエレクトロニクスシンポジウム論文集 (MES 2005), pp. 189-192, Oct. 2005.
- [4] 高橋尚武, 田子雅基, 栗田洋一郎, 副島康志, 川野連也, 菊池 克, 山道新太郎, 村上朝夫, "高密度貫通ビアを有する配線体を介したチップ間接続構造," 第12回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム論文集 (Mate 2006), pp. 423-426, Feb. 2006.
- [5] Y. Kurita, K. Soejima, K. Kikuchi, M. Takahashi, M. Tago, M. Koike, K. Shibuya, S. Yamamichi, and M. Kawano, "A Novel SMAFTI Package for Inter-Chip Wide-Band Data Transfer," Proceedings of 56th Electronic Components and Technology Conference (ECTC 2006), pp. 289-297, May 2006.
- [6] 難波兼二, 田子雅基, 栗田洋一郎, 副島康志, 川野連也, 菊池 克, 山道新太郎, 村上朝夫, "高密度 SiP 技術「SMAFTI」における CoW (チップ・オン・ウエハ) 実装プロセス開発," 第16回マイクロエレクトロニクスシンポジウム論文集 (MES 2006), pp. 35-38, Oct. 2006.
- [7] 川城史義, 阿部克幸, 渋谷幸二郎, 小池昌弘, 氏家正人, 川島知浩, 栗田洋一郎, 副島康志, 川野連也, "高密度 SiP 技術「SMAFTI」における BGA 形成技術と接続信頼性," 第13回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム論文集 (Mate 2007), pp. 49-54, Feb. 2007.
- [8] F. Kawashiro, M. Ujiie, K. Shibuya, Y. Kurita, K. Soejima, and M. Kawano, "Reliability Studies of Sn-Ag-Cu BGA Solder Joints on Ni/Cu/Au Surface Finish for SMAFTI Packaging Technology," Proceedings of 58th Electronic Components and Technology Conference (ECTC), pp. 283-289, May 2008.

- [9] M. Kawano, S. Uchiyama, Y. Egawa, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro, S. Matsui, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, Y. Saeki, O. Kato, H. Kikuchi, and T. Mitsuhashi, "A 3D Packaging Technology for 4 Gbit Stacked DRAM with 3 Gbps Data Transfer," International Electron Devices Meeting Technical Digest (IEDM 2006), pp. 581-584, Dec. 2006.
- [10] Y. Kurita, S. Matsui, N. Takahashi, K. Soejima, M. Komuro, M. Itou, C. Kakegawa, M. Kawano, Y. Egawa, Y. Saeki, H. Kikuchi, O. Kato, A. Yanagisawa, T. Mitsuhashi, M. Ishino, K. Shibata, S. Uchiyama, J. Yamada, and H. Ikeda, "A 3D Stacked Memory Integrated on a Logic Device using SMAFTI Technology," Proceedings of 57th Electronic Components and Technology Conference (ECTC 2007), pp., May 2007.
- [11] K. Kikuchi, M. Takamiya, Y. Kudoh, K. Soejima, H. Honda, M. Mizuno, and S. Yamamichi, "A Package-process-oriented Multilevel 5- μ m-thick Cu Wiring Technology with Pulse Periodic Reverse Electroplating and Photosensitive Resin," Proceedings of the International Interconnect Technology Conference (IITC), pp.189-191, Jun. 2003.

第5章 チップ積層型大容量メモリ

5.1 はじめに

第4章では、CoC接続の特長を活かしつつ、チップサイズの制限がなく、大容量メモリの搭載が可能となる接続技術について説明した。しかし、第1章でも説明したように、メモリ大容量化の要求は大きく、さらなる大容量化のためには複数のメモリが積層されつつ、高密度で接続できることが望まれる。Fig. 5-1に、実装における配線技術開発ロードマップの例を示す[1]。高集積化と高機能化のために、パッケージレベルでの三次元化が一般的に用いられるようになってきている。このときのチップ間接続距離はmmオーダーであり、接続ピン数も1000程度と少ない。しかし、今後はさらなる高密度接続が要求され、接続距離として10~100 μm 、接続ピン数として $10^4\sim 10^5$ 程度になってくるものと思われる。第4章のSMAFTIは、まさにこの領域を狙ったものであるが、3チップ以上の三次元積層も当然要求されており、そのためにはSi貫通ビア(TSV: Through Silicon Via)を用いてチップ両面に電極を形成しつつ、三次元方向に高密度に接続する技術が必要となってくる。

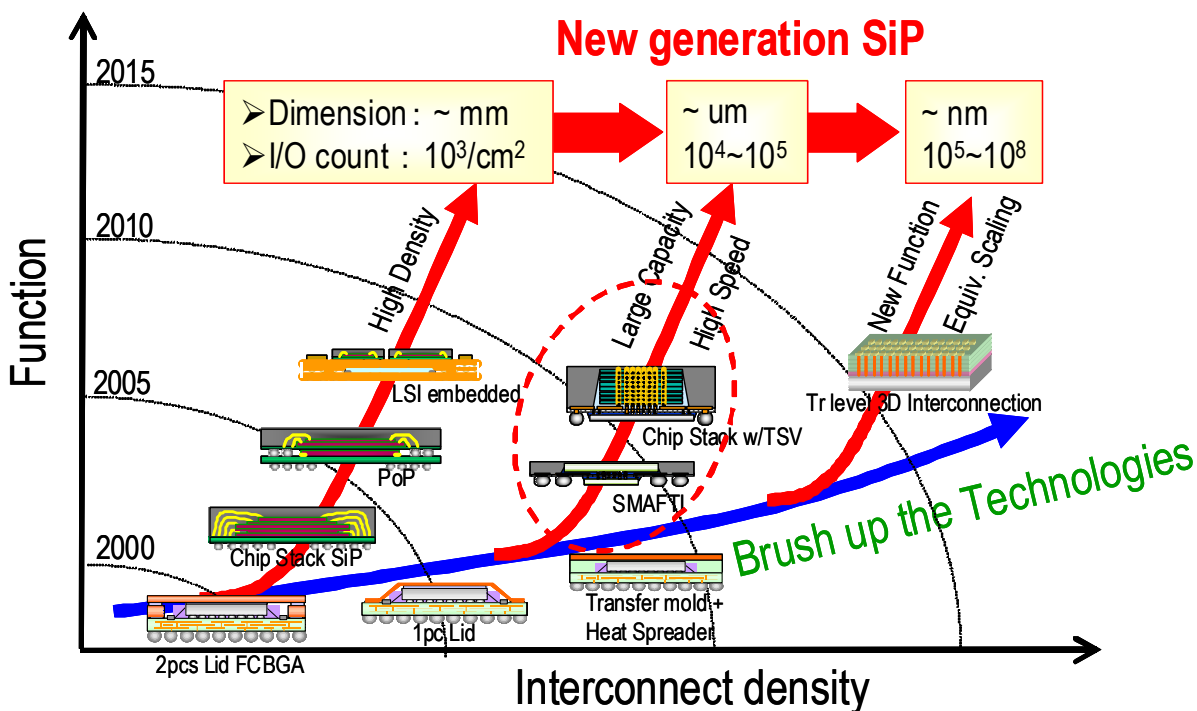


Fig. 5-1 Development roadmap of interconnect technology.

貫通ビアを用いたチップ積層型パッケージ技術は、高機能、高速動作、小型化の要求に伴い、特に最近において注目を浴びるようになってきている[1]~[16]。このような三次元実装技術は、非常に大容量のメモリを用いることができると同時に、チップ間を超高速度のデータ転送速度で結ぶことが可能となる。このような背景を踏まえ、エルピーダメモリ、OKI、NEC エレクトロニクスの三社は、4 Gbit 積層メモリの共同開発を 2004 年より開始した[22]-[30]。Fig. 5-2 に我々の開発目標を示す。従来のメモリコアとインターフェース (I/F) 部を別チップに分離した上で、8 枚の 512 Mb DRAM コア、I/F チップ、そして両者を接続し外部端子を引き出す超狭ピッチのインターポーザーから構成される。本章においては、様々な研究機関での開発事例についてレビューをすると共に、積層 DRAM を実現するために不可欠な技術である、DRAM と整合した貫通電極プロセス、SMAFTI 技術 [31],[32]を用いた狭ピッチでの積層接続技術、およびプロトタイプ積層 DRAM の動作検証評価について記述する。

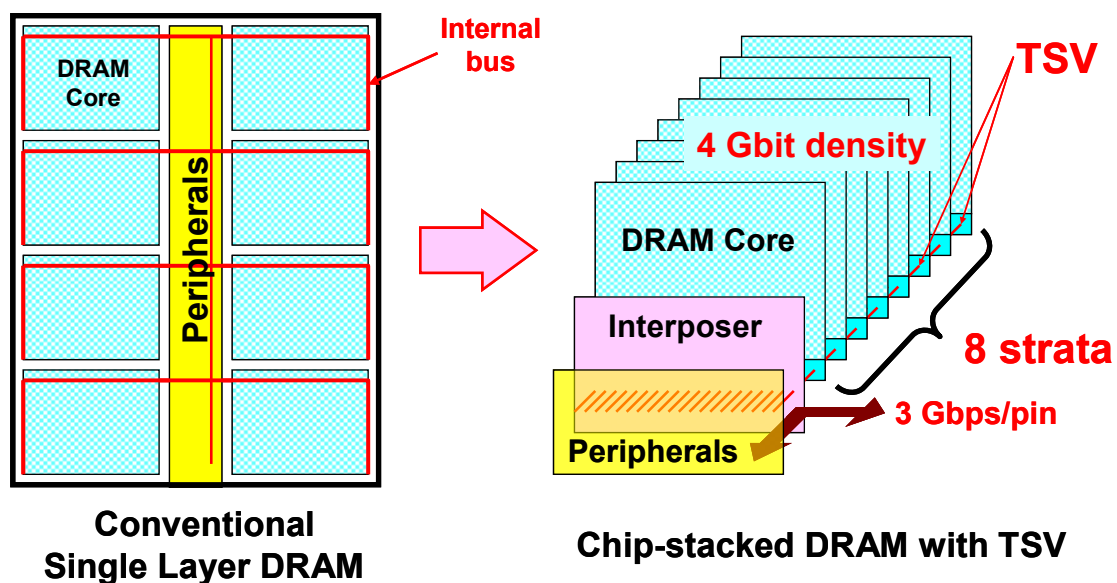


Fig. 5-2 Concept of chip-stacked DRAM with TSV and development target[22].

5.2 貫通電極形成技術

チップ積層において、積層するチップにはあらかじめ貫通ビアを形成しておく必要がある。その形成方法は、LSI 工程前あるいは工程途中で貫通ビアを形成する Via-First 工法と、LSI 形成後に貫通ビアを形成する Via-Last 工法に、大きく分類される[16]。この二つの工法のどちらを選択すべきかは、様々な議論がなされてきた。ところで本論文では、Via-First 工法は LSI 工程前に貫通孔形成とそこへの電極材埋め込みを完了させる工法と再定義し、新たに Via-Middle 工法を LSI 工程途中でそれらを完了させる工法と定義したい。なぜならこれにより、電極材の選択や、前工程の生産ラインで半導体メーカーがインフラを揃える必要があるかどうかが大きく異なる二つのプロセスを区別できるからである。そして、本論文での Via-Last は従来の定義通り、LSI 形成後に貫通孔形成とそこへの電極材埋め込みを完了させるが、Via-Middle と Via-Last の境界は、BEOL プロセス後のパッシベーション膜形成前か、後かで定義することとする。

Tabel 5-I に各種貫通電極形成方法の比較を行った。Via-First において特徴的なのは、埋め込み材として Doped poly-Si しか実質的に選択肢が無いことである。これは、埋め込み後に拡散工程において 1000°C以上の熱履歴がかかるためである。Poly-Si を用いることの課題はその比抵抗の高さである。このことは、アプリケーションを制限すると同時に、抵抗値を小さくするための工夫が望まれることとなる。一方、Via-First のプロセス上のメリットは大きく、Si 基板に TSV 埋め込み工程を事前に済ませておけば、どのような LSI プロセス、どのような LSI 製造ラインであれ、そこで LSI を形成することが可能である。このことは、TSV プロセス

Tabel 5-I Comparison of various TSV processes.

	Via First (This work)	Via Middle	Via Last - Front	Via Last - Back
TSV formation	Before LSI process from Front side	During LSI process from Front side	After LSI process from Front side	After LSI process from Back side
Etched materials	Si	Dielectrics and Si	Dielectrics and Si	Dielectrics and Si
Filling materials	Doped poly-Si	Metal (W, Cu)	Metal (Cu, Al, Au) Conductive paste	Metal (Cu, Al, Au) Conductive paste
Filling method	CVD	CVD, ECP	ECP, SPT, PRT	ECP, SPT, PRT
Contamination	None	Highly sensitive	Sensitive	Sensitive
Temperature restriction	None (> 1000 °C)	Must be low (< 500 °C)	Must be low (< 350 °C)	Must be low (< 230 °C)

CVD: Chemical Vapor Deposition, ECP: Electroplating, SPT: Sputtering, PRT: Printing

と、LSI 製造とは分業できることを意味し、TSV 加工会社というものが成立する可能性を持つ。特にビジネス立ち上がり時期の、数量が出ない時点では、従来の LSI 製造インフラを有効利用しつつ、TSV 付製品を製造できるメリットは大きい。また、TSV の側壁絶縁膜を形成する際にも、高温酸化膜を用いることができるため、信頼性の高い絶縁を行うことができることも、このプロセスのメリットである。

一方、Via-Middle の場合は、W や Cu などの金属材料が使えるようになる。Via-Middle の定義では、トランジスタ工程中での TSV 形成も含まれるが、実質的には W コンタクト形成から BEOL 工程の中で行われる。この理由は、低抵抗化の観点から金属材料を用いたいということと、その場合には金属汚染・プロセス温度の制限から LSI 配線工程の中で行わざるを得ないからである。また、W もしくは Cu となる理由は、LSI 配線で一般的に使われる材料であり、製造装置も既存のものがそのまま使えるということと、10 μm 以下の狭ピッチビアや高アスペクトビアの埋め込みにの対応が可能という点が挙げられる。一方、貫通孔形成時の Si エッチには配線層間膜と同時にエッチングする必要があり、かつ BEOL プロセスに耐えられるだけの平坦度を確保しないといけないという課題がある。

Via-Last プロセスでは、パッシベーション形成が完了しているため、金属汚染問題は比較的起こりにくいため、埋め込み材の選択肢は多岐に渡る。Cu、Al、Au などの金属材料の他に、導電性ペーストなども選ぶことが可能である。これ以外にも、今後様々な埋め込み材が開発されると思われる。半田材料などもその可能性の一つだろう。埋め込み方法も、電気めっき法、スパッタリング法、印刷法など、多様な手段が用いられる。これも、LSI 製造ラインに持ち込む必要が無いいため、前工程基準の汚染管理・パーティクル管理のされた高価な設備を導入する必要は無い。

Via-Last プロセスには、さらに二種類あり、表側からの TSV 形成 (Via-Last Front) と、裏面側からの TSV 形成 (Via-Last Back) に分類される。Via-Last Front は、Si エッチ時に、LSI 配線層間を同時にエッチングする必要がある。LSI 配線層間には、 SiO_2 以外にも、Low-k 膜や SiC 膜、SiN 膜などの多層膜となっており、特にドライエッチングでこれらの膜を抜くのは非常に難しい。このような問題を避けるため、レーザーでの孔形成が用いられることもあるが、ビア形状の制御や狭ピッチ化で課題がある。一方、Via-Last Back は裏面研削後に孔形成を行うため、裏面パッシベーション膜と Si をエッチングすれば良く、プロセス難易度は低い。最近に

において、貫通電極付 CMOS イメージセンサで、ほぼ de facto standard となりつつある注目の技術である。課題としては、支持体貼り付けされたウェハを加工する必要があるため、装置の搬送系などで問題が出ることもあり、装置改造や専用設備の導入などが必要となる。しかし、全ての TSV 形成プロセスにおいて、裏面バンプ形成は必要であり、Via-Last Back 特有の問題というわけではない。

Fig. 5-3 に、各研究機関における TSV の開発状況を示した。一見してわかることは、Via-First と Via-Last Front が少数派であり、Via-Middle と Via-Last Back に開発が集中していることである。やはり Via-First は Poly-Si の抵抗の問題、Via-Last Front は、孔形成時の層間膜剥きの問題が懸念されているものと考えられる。さらに、チップ積層ではないが、Via-Middle は RFID[33]にて、Via-Last Back は CMOS イメージセンサーにて一部実用化が始まっている。前述したが、CMOS イメージセンサーは、Via-Last Back でほぼ固まったと言って過言ではない。チップ積層に関して実用化されているものは 2008 年時点でまだ存在しないが、Via-Middle を本命として、TSV 抵抗値や接続ピッチなどである程度アプリケーション限定しつつ Via-First や Via-Last Back が使われていく可能性があると考えている。

現時点で少数派であるが、積層後に TSV 形成を行う方法もある。特に、低温での SiO₂/SiO₂ 接合、もしくは高耐熱での樹脂/メタル同時接合などが実用化されれば、本質的に狭ピッチを狙える技術として脚光を浴びてくる可能性がある。今後の開発動向に注目したい。

	Via First	Via Middle	Via-Last Front	Via-Last Back
mater.	Poly-Si	W, Cu		various metals
before bonding	Tohoku Univ. Elpida/OKI/NEC-EL LETI	Tohoku Univ. (W) Fraunhofer IZM (W,Cu) Tezzaron (W, Cu) IMEC (Cu) HONDA R. I. (W) Hitachi/Renesas (W) (RFID, Non-stacked)	ASET (Cu) EPSON (Cu) Samsung (Cu)	NEC (Al/W) Hitachi/Renesas (Au) Intel (Cu) SANYO (Cu) ZyCube Toshiba (Cu) Tessera (Image sensors, Non-stacked)
after bd'g	No practical process	IBM (Cu)	RTI (Cu)	MIT-LL (W) RPI (Cu) Ziptronix (face-down bonding)
		(face-up bonding)		

Fig. 5-3 TSV process development for various developpers.

ここからは、各 TSV プロセスの具体例について説明する。Fig. 5-4 に、Via-First プロセスの例を示した。東北大学[4]の例は、 $2\ \mu\text{m}$ □と小径ビアかつファインピッチを狙ったものであるが、ファイピッチよりも TSV レイアウトの工夫により低抵抗化を狙った発表が出てきている。NEC-EL/Elpida/OKI の成果[23]については、第 5.4 章以降で詳しく説明する。LETI の例[19]も類似しており、円筒形のさらに大きなビアを用いることにより低抵抗化 ($0.227\ \Omega$) を実現した。もちろん、低抵抗化と TSV ピッチはトレードオフの関係にあるので、適用アプリケーションの要求電気特性に合わせて設計する必要がある。

Fig. 5-5 は Via-Middle プロセスの例である。Via-Middle では、W-CVD+CMP や Cu 電気めっき+CMP によるダマシンプロセスを用いることにより、BEOL 配線レベルの微細ビアを形成することができるのが特長である。そのため、先の Poly-Si を用いた Via-First と比較し、低抵抗が狙えるだけでなく、TSV によるトランジスタ形成禁止エリアを小さくすることができる。このことは、特に接続ピン数が増えたときに、TSV によるチップ面積増分、言い換えればコストに大きく影響する。

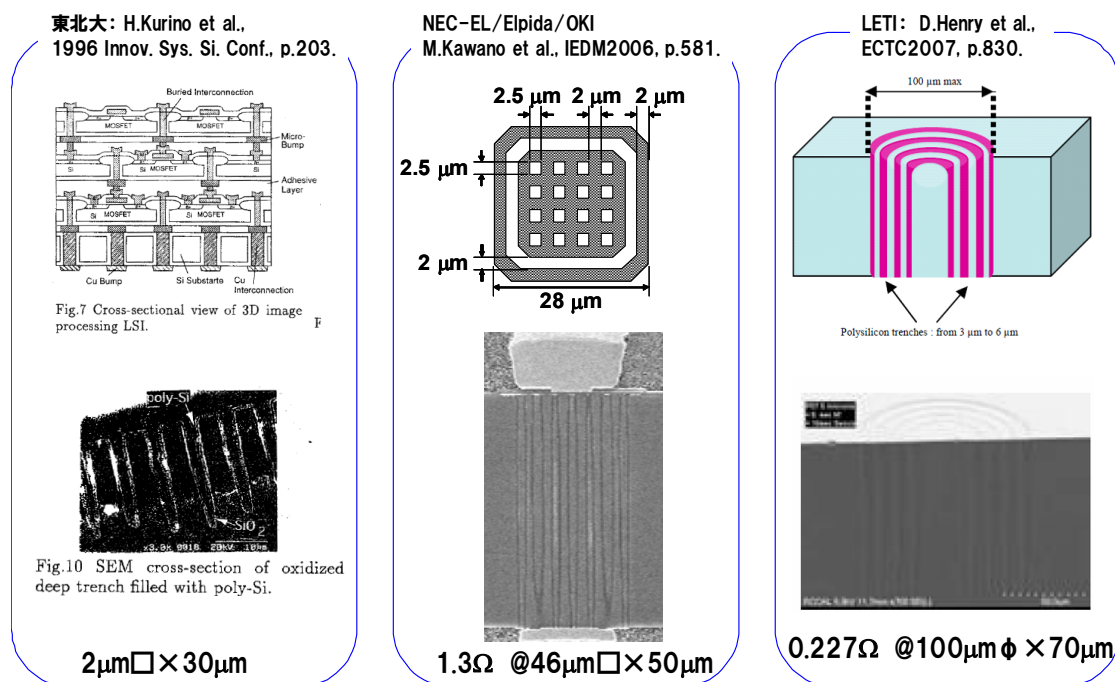


Fig. 5-4 Examples of Via-First process from [4], [23] and [19].

W-CVDにて埋め込みを行う場合は、先の Poly-Si の場合と同様、埋め込みスルーポットを向上させ、かつ低抵抗化を狙うためにスリットビアにすることが多い [16][21]。W は Cu よりも抵抗が高いが、MO-CVD 装置は LSI 製造ラインの中で一般的に用いられていること、CVD は電気めっきよりも高アスペクトビアの埋め込み性が良いこと、Cu に対して金属汚染の問題が少ないこと、などのメリットが考えられる。

一方、Cu の場合であっても、MO-CVD を用いることは可能であるが、通常の LSI 製造ラインで用いられていないため、設備投資の点で不利である。BEOL における Cu ダマシン配線では、スパッタ+Cu 電気めっき+CMP によるプロセスがデファクト標準であることから、製造インフラ活用のためには TSV プロセスもそれに従う必要がある。その場合、アスペクト比は 5 程度が限界となるため、貫通孔径は大きくならざるを得ない。ローカル配線プロセスの中で大径の TSV を作りこむ場合は、微細リソグラフィが可能な平坦度を維持することが課題となる。また、Cu を用いる場合は金属汚染の問題に最大限の注意が必要であり、特に Si エッチから側壁絶縁までと裏面バンプ形成時の汚染回避策が課題となる。

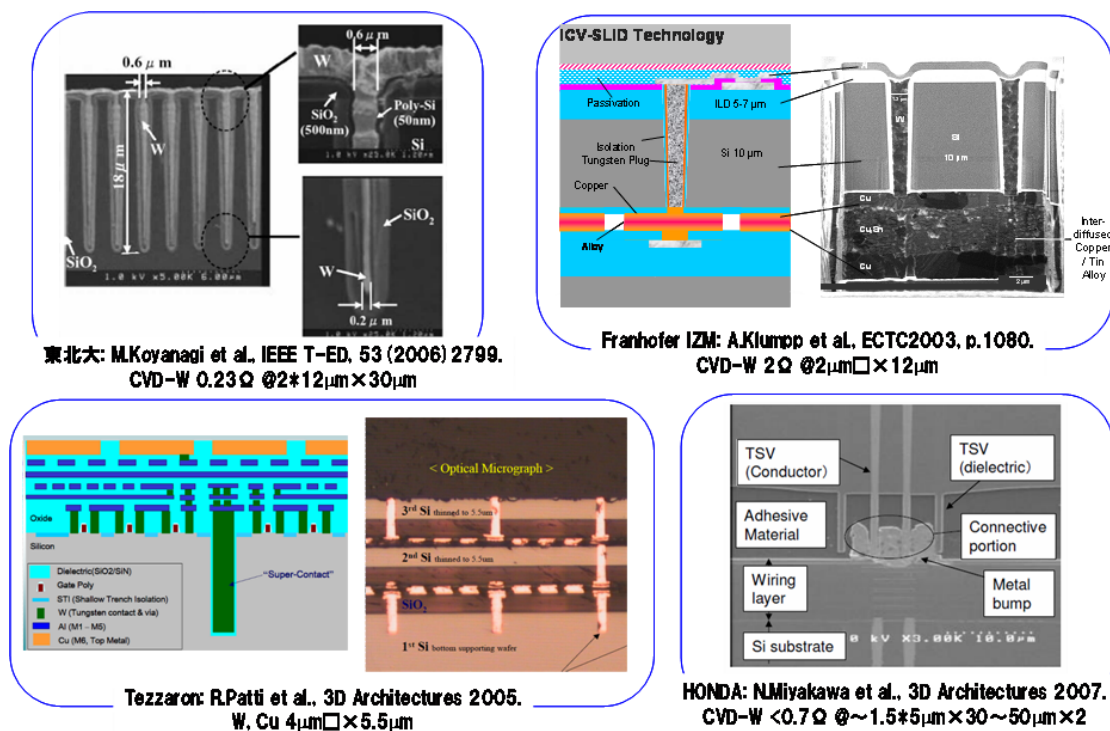


Fig. 5-5 Examples of Via-Middle process from [16], [5], [11] and [21].

次に Via-Last Front の事例を紹介する。Fig. 5-6 に、ASET、EPSON、Samsung、RTI の開発事例を示した。ASET は日本の国家プロジェクトとして TSV 積層を研究開発し、この分野における日本の地位を一気に高めた。Fig. 5-6 の例では、 $10\ \mu\text{m}$ ϕ 、 $20\ \mu\text{m}$ ピッチの Cu-TSV を形成し、三段積層を行っている。Via-Last は LSI 工程の終わったものに対して加工ができることが利点で、金属汚染等をあまり機にする必要がなく、加工装置の選択自由度が高い。また、埋め込み材料も導電性ペーストや半田などを含めた多種の材料が選べる。一方、Via-Last Front に関しては、先にも述べたように Si 以外に多層配線の層間膜をエッチングする必要があり、技術的難易度が高い。さらに、微細 Via の形成も困難である。このような課題に対して、Samsung の例[12]のようなレーザーによる Via 形成方法は、層間膜エッチングの問題とコストの問題を同時に解決できるが、Via 形状が制御しにくいことや Via を狭ピッチ化しにくい点は同様である。それに対し、RTI は $4\ \mu\text{m}$ ϕ という非常に微細な Via を形成しており[17]、エッチングプロセスに工夫があるものと思われる。しかし、埋め込みには生産性と装置インフラの点で不利な Cu-CVD を用いていることが難点ではある。

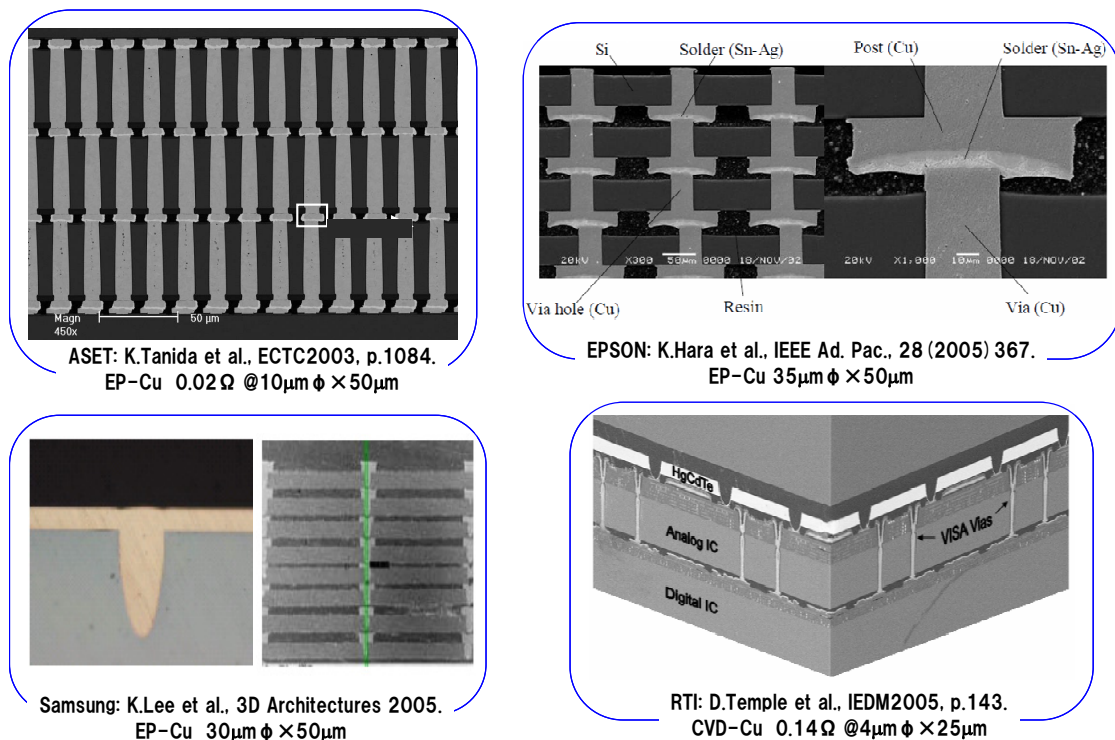


Fig. 5-6 Examples of Via-Last Front process from [6], [13], [12] and [17].

Fig. 5-7 は、Via-Last Back の例である。Via-Last Front との違いは、Si ウェハを薄化した後、裏面から Via エッチングを行うことである。そのため、表面側の厚い多層配線層間膜をエッチングする必要が無い。課題としては、エッチングストッパーを下層配線で行う必要があるため、エッチングストップ性能と配線膜厚のトレードオフが存在することが挙げられる。また側壁絶縁膜は、低温 (<200°C) で成膜させる必要があり、金属バリアとしての機能、絶縁信頼性の高い膜の形成が困難である。さらに、側壁絶縁後に Via 底を開口する必要があるが、このプロセスも要開発課題となる。これらの課題にもかかわらず、Fig. 5-3 でも示したが、数社がこの工法で CMOS イメージセンサを開発中である。しかも、量産化フェーズに非常に近いレベルまで進んでいる。この理由として、イメージセンサは表面側に保護ガラスを貼り付ける必要があり、保護ガラスを薄 Si ウェハの支持体として兼用できれば、イメージセンサの低コスト実装につながる事が考えられる。本工法も狭ピッチ化では不利であるが、イメージセンサは出力ピン数は多くないので、その点でも本工法が適している。Via-Last Back は、イメージセンサ用途でもっとも実用化に近い技術と言える。

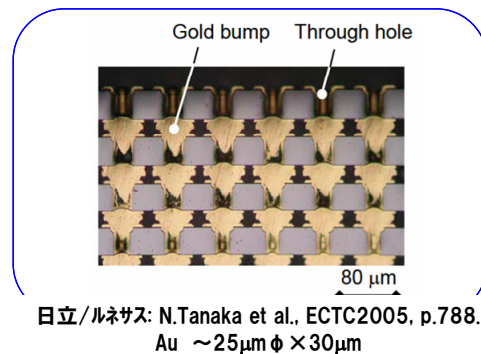
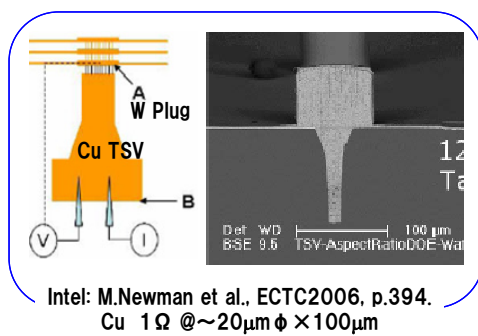
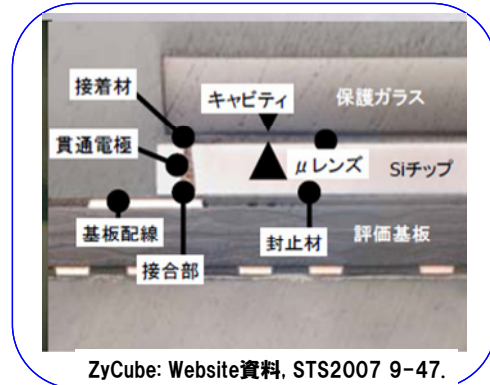


Fig. 5-7 Examples of Via-Last Back process from [7], [20], [15] and [10].

5.3 三次元積層技術

積層技術についても、TSVプロセス技術と同様に様々な方式が試みられている。積層方式には大きく分けて三種類があり、それらはチップを逐次積層していく Chip-to-Chip (CtC)、ウェハ上にチップを積層していく Chip-to-Wafer (CtW)、ウェハ同士を順次積層する Wafer-to-Wafer (WtW)である (Fig. 5-8)。CtC がプロセス難易度がもっとも低く、初期の開発では良く行われる方式である。しかし、個片組み立てであるので、組立コストは高くなり、量産にはあまり向かない。一方、WtW は複数の LSI チップをバッチ処理的に積層できるので、本質的に組立コストは小さくできる。ただし、ウェハ全面で微細バンプ接続を取らなければいけないため、ウェハ反りやバンプ高さばらつきなどの影響を受けやすい。また、ギャップを樹脂で充填する際にも、ウェハ大の面積を一度に充填して、なおかつボイドを無くす必要があることから、組立プロセスの難易度は最も高い。さらに、ウェハ内に不良チップが存在した場合、それを含めた積層モジュールは不良品となってしまう。チップ積層と異なって、あらかじめ良品チップ(KGD: Known-Good Die)だけ


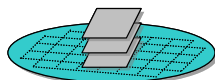
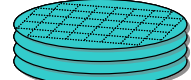
積層方式	Chip to Chip (CtC)	Chip to Wafer (CtW)	Wafer to Wafer (WtW)
			
プロセス	<ul style="list-style-type: none"> 素子、ビア形成 支持体貼付 ウェハ薄化 支持体剥離 個片化 チップ積層 	<ul style="list-style-type: none"> 素子、ビア形成 支持体貼付 ウェハ薄化 支持体剥離 個片化 CtW積層 	<ul style="list-style-type: none"> 素子、ビア形成 支持体貼付 ウェハ薄化 ウェハ積層 支持体剥離 個片化
チップ厚	100~30 μm	100~10 μm	50~1 μm
電極ピッチ	20 μm以上	10 μm以上	0.4 μm以上
製造コスト	△ 個片組立	○ 個片搭載+ウェハ一括処理	◎~△ ウェハ一括処理、歩留損
歩留まり	◎ KGD対応化	◎ KGD対応化	△ 良品チップの選別不可
開発機関 (接続材)	ASET (Sn/Cu) 日立/ルネサス (Au/Au) セイコーエプソン (SnAg/Cu)	Frounhofer IZM (Sn/Cu) 東北大 (In/In) Elpida/OKI/NEC-EL (SnAg/Ni)	NEC, HONDA R.I. (In/W) 東北大 (In/In) RPI, IBM, Intel, Tezzaron (Cu/Cu)
コメント	組立難度小。	コストと設計自由度の両立可。 最も実用化に近い技術。	歩留課題とチップサイズ制約有り。 狭ピッチ接続のポテンシャル高い。

Fig. 5-8 Comparison of LSI stacking processes .

を選択して積層することができない。そのため、歩留まりが悪い場合は、トータルコストは非常に高いものとなる。よって、WtW 方式は歩留まりの良い場合にしか適用できない。また、積層するチップは全て同サイズでなければならないという制約もある。

以上のような積層方式に対し、CtW は中間的な特徴を持つ。まず、KGD を選択して積層できることから、チップ歩留まりによるコストの上昇を抑えられる。また、積層するチップサイズは、CtC と同様必ずしも同サイズである必要はない。組立コストは個片積層であることから WtW よりは本質的に高いが、積層後のハンドリングや樹脂封止をする場合は、ウェハ単位での処理ができるため、CtC よりは有利となる。近年では CtW が注目されており、従来 WtW に重点を置いて開発してきた欧米の研究機関も CtW の開発を進めている。以上のようなことから、本研究では、CtW 積層を採用し、プロセス開発を進めることとした。

次に、各研究機関での具体的開発例を示す。Fig. 5-9 は、CtC の開発事例として ASET の例を挙げた[8][9]。また、CtW、WtW の例も Fig. 5-10 と Fig. 5-11 にそれぞれ挙げた。

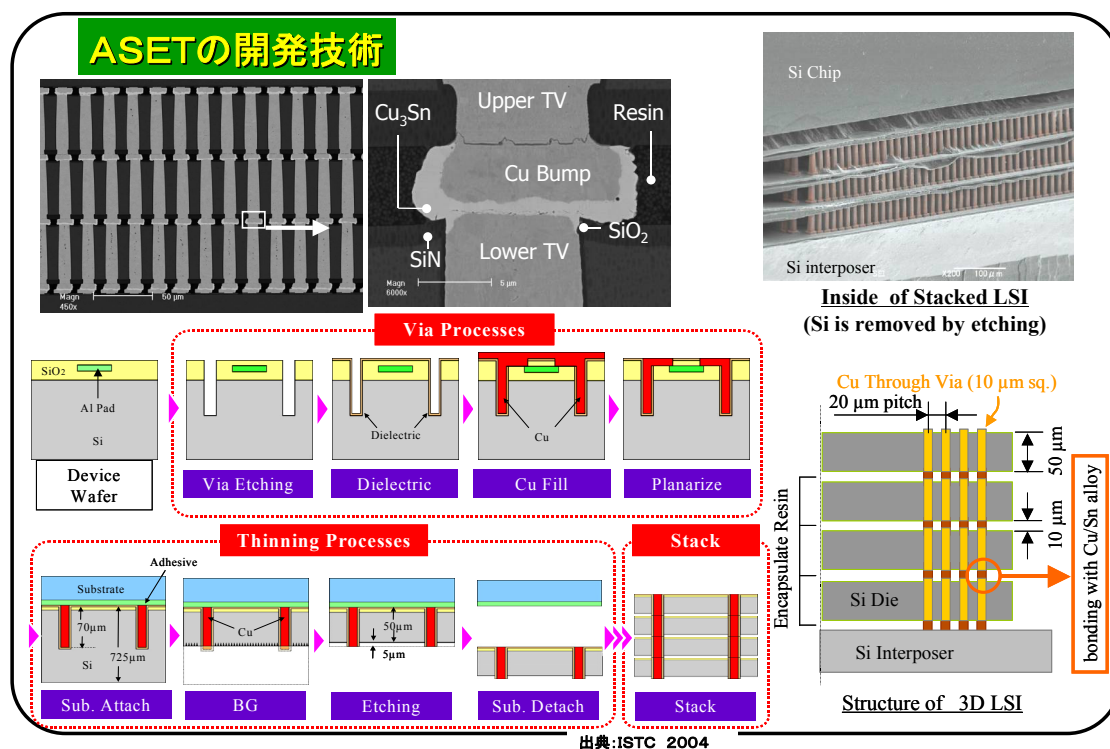


Fig. 5-9 Example of Chip-to-Chip stacking process .

Fraunhofer IZMの開発技術

FIGURE 2: F2F-ICV MODULAR WITH CHIP TO WAFER HANDLING; CHIPS SOLDERED ON TOP OF BOTTOM WAFER AT NORMAL THICKNESS (LEFT) AND AFTER THINNING DOWN TO 10 μm (RIGHT)

FIGURE 3: THROUGH SILICON VIAS; VIEW FROM TOP AFTER THINNING

- ・金属接合ハーメチック(樹脂なし)
- ・ビア: Cu, W(1~3μm, 10~50μm高さ)
- ・接合材: Sn-Cu(固液相互拡散)

A. Klumpp, VLSI-TSA2007, p.70.

東北大学の開発技術

FIGURE 4: 3D chip stack structure showing underfill layer, 3rd chip (6x6 mm²), 2nd chip (7x7 mm²), 1st chip (5x5 mm²), and support wafer. Dimensions: 90 μm, 30 μm, 40 μm. Scale bar: 100 μm.

FIGURE 5: Self-assembly process diagram showing hydrophobic area, hydrophilic area, liquid, handling substrate, LSI chip, LSI chip putting, and precise alignment.

- ・Self-Assembly process
- ・ビア: Poly-Si, W(1~3μm, 30~50μm高さ)
- ・接合材: In-Au(固液相互拡散)

T. Fukushima, ECTC2007, p.836.

Fig. 5-10 Examples of Chip-to-Wafer stacking process .

IBMの開発技術

GLASS

SoI BOX

Circuit Layer 1

Circuit Layer 2

3D IC

- Attach circuit to glass handle wafer
- Remove original substrate
- Align & bond top circuit to bottom circuit
- Remove handle wafer & adhesives
- Form vertical interconnects

343 mm X35.0K

343 mm X35.0K

343 mm X35.0K

- ・WtWで層間はSi酸化膜の低温(300°C)融着
- ・層間ビアは0.2μmφ、1.6μm深さ、0.4μmピッチのCu

(3D Architecture 2005.6)

Intelの開発技術

3D Stacking Research
Wafer Stacking

Metal lines on backside of thin wafer

Top Thin Wafer

Through-Silicon Via

Bonding Interface

DRAM

CPU

Bottom Wafer

Bonding Structures

Source: Intel

Intel Developer FORUM

- ・300mmのWafer to Wafer積層をCu-Cu接合で実現、マイクロプロセッサとメモリーの配線長を短縮して性能15%向上、消費電力15%低減を実現。

(Intel Developer Forum 2005)

Fig. 5-11 Examples of Wafer-to-Wafer stacking process .

5.4 評価 TEG、プロト DRAM 仕様とパッケージ構造

Fig. 5-13 は本試作で用いたパッケージ構造である。FTI とよばれる超微細かつ極薄のフィードスルー・インターポージャーがメモリーチップと I/F チップの間に挿入される。単層の Cu 配線で構成される FTI は、50 μm ピッチでのフリップチップ接続と、1 mm ボールピッチでの外部接続の役割を担う。本パッケージ構造の組立性検証を行うための配線 TEG を設計した (Tabel 5-II)。これらの TEG チップには、最大 3 層の Al 配線と 50 μm ピッチの Sn-Ag/Cu バンプが形成されている。メモリー TEG は、厚さ 50 μm 、チップ間接続のための 50 μm ピッチの貫通電極と裏面 Au/Ni バンプを持つ。

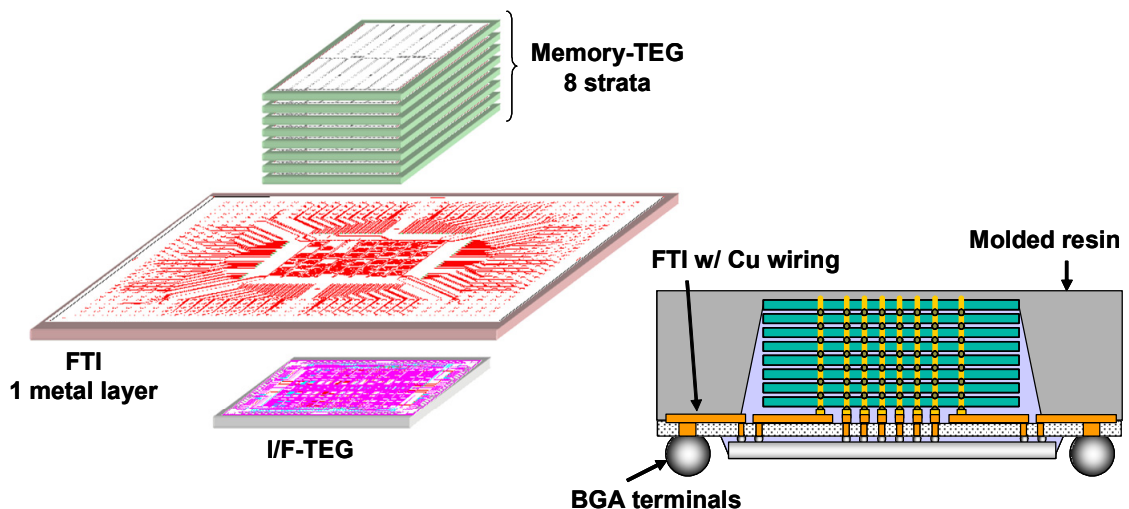


Fig. 5-12 TEG layouts and package structure using SMAFTI technology. I/F-TEG bump configuration is also compatible for CoC bonding with memory-TEG.

Table 5-II TEG chip and package specifications.

Memory-TEG chip size	10 × 10 mm
I/F-TEG chip size	14 × 14 mm
Minimum bump pitch	50 μm
TSV count per chip	4,376
Package type	BGA with SMAFTI technology
Package size	33 × 33 mm
Outer solder balls	1.0 mm pitch 520 pins

Table 5-III Actual device specifications.

DRAM chip size	10.7 × 13.3 mm
DRAM capacity	512 Mb/chip
TSV count per chip	1,560
I/F chip size	17.5 × 17.5 mm
Bump counts on I/F chip	3,497

積層 DRAM 動作検証のために、貫通ビア付き 512 Mb DRAM と I/F チップのプロトタイプを試作した。このチップ仕様を Tabel 5-III に示す。なお、パッケージ仕様は前記 TEG と共通である。I/F チップは、0.15 μm CMOS プロセスで作られ、PCI-Express に準拠したバスインターフェースを搭載している。

5.5 Poly-Si 貫通電極プロセス

本研究では、DRAM プロセスに最も親和性のある Via-First 工法を採用している。Via-First では、Poly-Si 電極材の採用[2]-[16]により金属汚染や後工程のプロセス温度の制限が無いと同時に、貫通孔形状は Si エッチのみに依存することから形状制御性がよく、比較的複雑な貫通電極構造も採用することが可能となる。一方、Via-Middle や Via-Last では Si 以外に絶縁膜のエッチング形状にも注意する必要がある。

あり、この形状制御が不十分であれば電極材の埋め込み時にボイドが発生する危険性がある。なお、Via-Firstの課題はPoly-Siが金属と比較して高抵抗である点と、埋め込みのスループットが出ない点であり、本研究ではこの二点の解決を試みた。

Via形状制御に関しては、8社のSi Deep Dry Etcherを評価した (Fig. 5-13)。また、エッチングガス種とエッチング時の基板温度 (ステージ温度) を Tabel 5-IVに示す。評価項目の第一はVia形状で、ボーイング、逆テーパー、側壁荒れ、ハードマスク下のサイドエッチ (<math> < 0.5 \mu\text{m}</math>) 等が現れないか、少ないものが望ましい。また、マスクとの選択比が高いこと (> 30)、エッチングレートが高いこと (> 5 μm) も重要である。

Siのエッチングガスとしては、 SF_6 を用いることが一般的で、今回のエッチャーすべてが SF_6 を用いている。一方、できるだけ垂直なVia形状を得るためには、Via底はエッチングが進む一方、側壁がエッチングされないように保護する必要がある。このために用いられるのがデポガスである。デポガスが側壁に付着することにより、異方性エッチングの度合いを高めることができる。デポガスとして、エッチャーAは SiF_4 、エッチャーB、Fは HBr 、BOSCHプロセスのG、Hは C_4F_8 を用いている。エッチャーC、D、Eはデポガスを用いてない。

Etcher	A	B	C	D	E	F	G	H
Process	Non-BOSCH	Non-BOSCH	Non-BOSCH	Non-BOSCH	Non-BOSCH	Non-BOSCH	BOSCH	BOSCH
Via shape								
Via opening								
Undercut [μm]	0.07	0.25	1.7	2.3	1.5	0.8	-	-
Selectivity	51	30	100	37	32	57	50	68
Etching mask	SiO_2	SiO_2	SiO_2	SiO_2	SiO_2	SiO_2	Photo resist	Photo resist
Etch rate [$\mu\text{m}/\text{min}$]	4.1	5.0	2.0	6.4	6.5	6.0	5.0	N/A

Fig. 5-13 Etching properties for various Si etchers.

Tabel 5-IV Gas source and substrate temperature for each Si etcher.

Si Etcher	Gas Source	Sub. Temp.[°C]
A	SF6+O2+SiF4	-45
B	SF6+O2+HBr	10
C	SF6+O2	-100
D	SF6+O2	-30
E	SF6+O2	-50
F	SF6+O2+HBr	-10
G	SF6+O2+C4F8	-30
H	SF6+O2+C4F8	-

デポガスを用いないエッチャーについては、どうしても横方向のエッチングが進み、垂直に近い側壁が得られない。これを回避する方法として、基板温度低温化でエッチング生成物を側壁に付着させる方法があるが、-100°C（エッチャーC）であってもサイドエッチが 1.7 μm と比較的大きい。また、BOSCH プロセスは、MEMS 系で良く使われており、垂直形状の Via となること、レジストをマスクとして使用可能なことが利点であるが、エッチングガスとデポガスを交互に切り替えてエッチングを進める BOSCSH 法の原理により、側壁荒れ (scallop) が避けられない。全ての項目で満足できるエッチャーはなかったが、今回の評価では、デポガスを用いた Non-BOSCH プロセスであり、かつ Fig. 5-13 における形状の最も優れた A 社のエッチャーを選定した。ただし、エッチレートについては、4.1 μm/min と若干小さい。

Fig. 5-14 に Poly-Si 貫通電極のプロセスフローを示す。貫通孔エッチングは、SiO₂ ハードマスクを用いて行っている。側壁絶縁膜の形成後、CVD (Chemical Vapor Deposition)法により Poly-Si 成膜を行い、CMP (Chemi-mechanical Polishing) 法により貫通孔以外の Poly-Si を除去し平坦化する。FEOL (Front End of Line)、BEOL (Back End of Line)プロセスを経た後、ガラス支持体に接着し、裏面工程を行う。ウェハは 50 μm 厚まで研削・研磨され、裏面バンプを形成、支持体を分離する。最後に、ダイシングを行い貫通電極付きチップを得る。

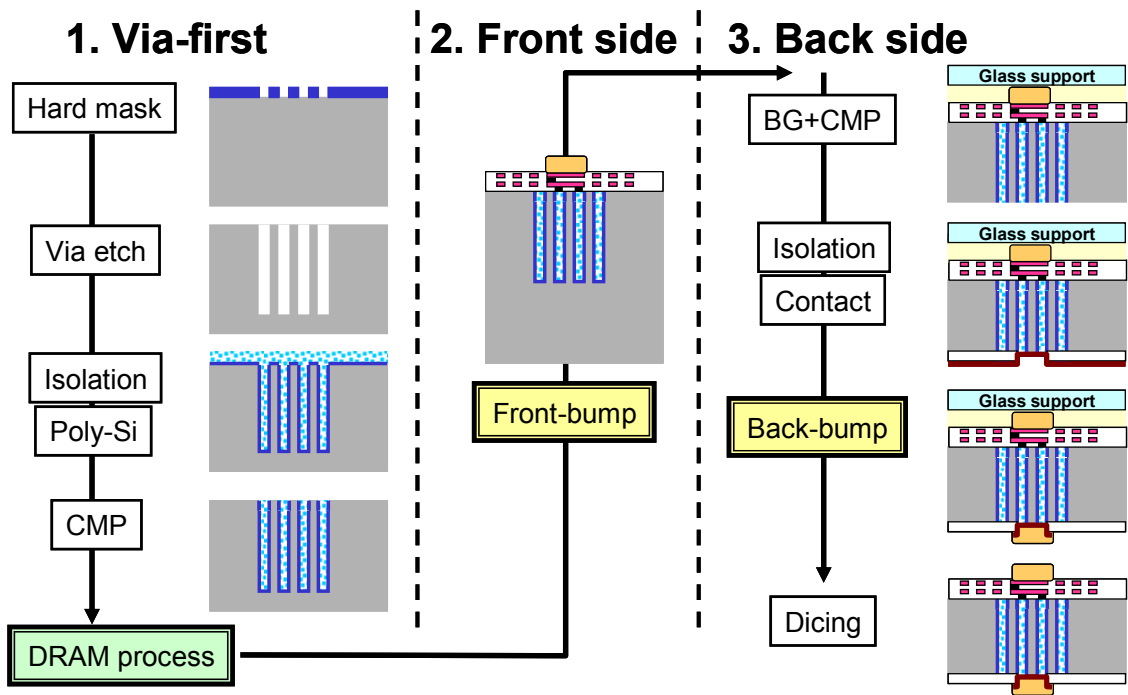


Fig. 5-14 Process flow for poly-Si TSV.

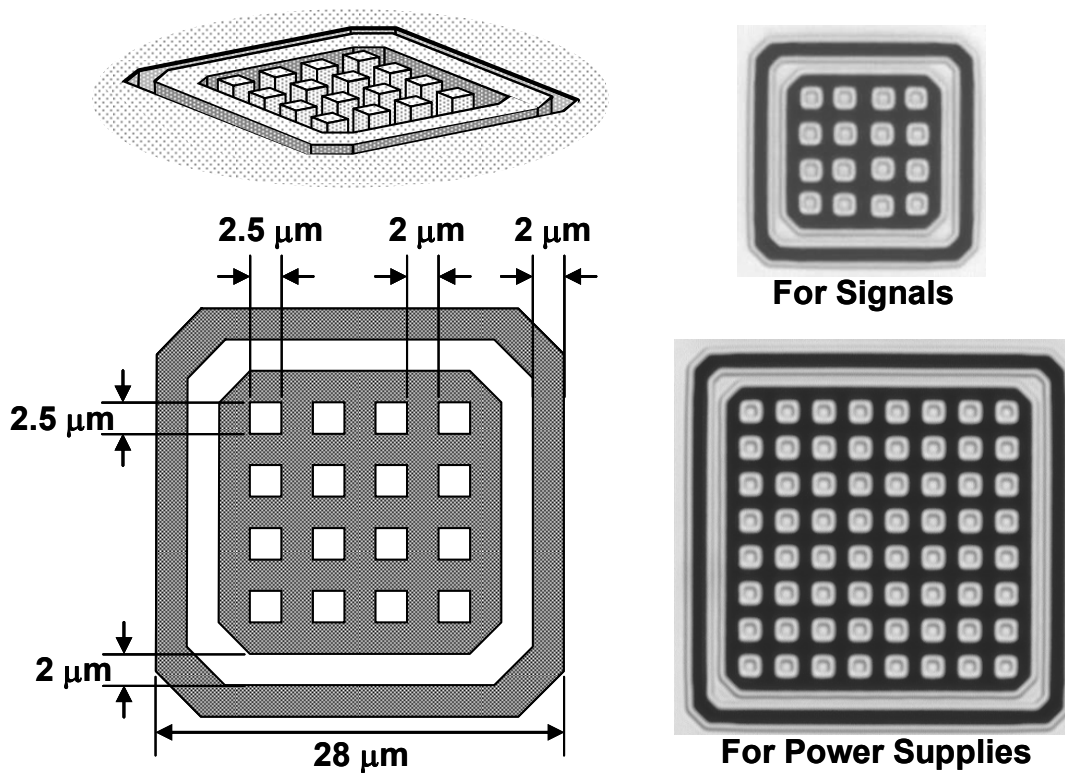


Fig. 5-15 Design rules for poly-Si TSV and plan views before poly-Si CVD.

Poly-Si 埋め込みの高速化のため、Si エッチ後の貫通孔内には、Si ポストが形成されている (Fig. 5-15)。Poly-Si は、貫通孔の側壁から成長するため、埋め込みギャップ幅を小さくすることで、埋め込み時間を劇的に小さくすることが可能である。本構造を採用することで、貫通電極のサイズにかかわらず、少なくとも $1\mu\text{m}$ の Poly-Si 成膜により埋め込みを完了することができる。例えば、 $20\mu\text{m}$ 径の貫通孔埋め込みを考えると、10 倍のスループットが期待できる。同時に、埋め込みプロセスを変更することなく、要求電気特性に合わせて貫通電極のサイズを変更することも容易である。また、Fig. 5-15 の外周リングは寄生容量低減のために配置されている。外周リングは、貫通電極に対してフローティングであり、これにより側壁絶縁膜の厚みを実質的に 3 倍にすることができる。

Si 深堀エッチの実験結果より、ハードマスク膜厚は $1.5\mu\text{m}$ あれば、 $50\mu\text{m}$ 深さ以上の貫通孔を形成できることがわかった (Fig. 5-16)。貫通孔の側壁形状は埋め込みにおいて極めて重要で、ボイドを回避するためにはわずかなボーイング形状も避ける必要がある。エッチャーメーカー 8 社の中から最適の Si エッチャーを選定、さらに最適条件を詰めることにより、Poly-Si の完全埋め込みに成功した (Fig. 5-16(c))。

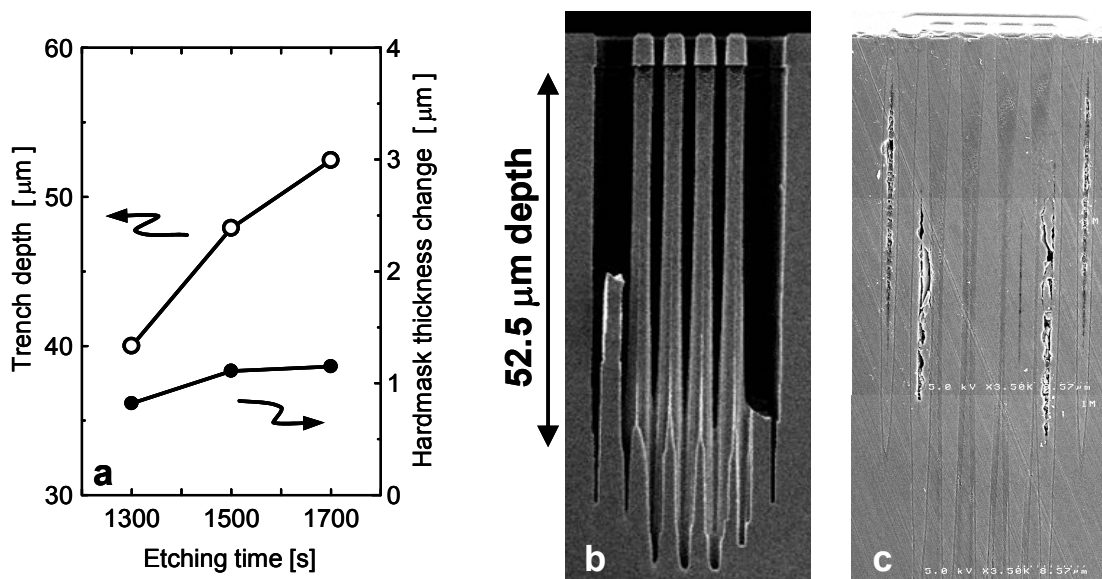


Fig. 5-16 Trench depth vs. etching time (a), cross section after 1700 s etching (b) and after poly-Si CMP (c).

5.6 Poly-Si 貫通電極の電気抵抗

このようにして得られた貫通電極付き TEG チップを積層し、電気抵抗を測定した (Fig. 5-17)。I/F-TEG チップ上に Memory-TEG チップを、2、4、8 層の三種類積層し、貫通電極を経由してデイジーチェーンを組んでいる。最上層には折り返し接続のための TEG チップが搭載されているため、積層数は I/F-TEG も含めて最大 10 チップである。その結果、積層数に比例した抵抗値が得られており、 4×4 の Si ポストの貫通電極 1 個あたりの抵抗値は、 $4.1 \text{ } \Omega/\text{Via}$ という値が得られた。この値は、8 層積層 DRAM モジュールの信号ピンの抵抗値としては問題のない値である。

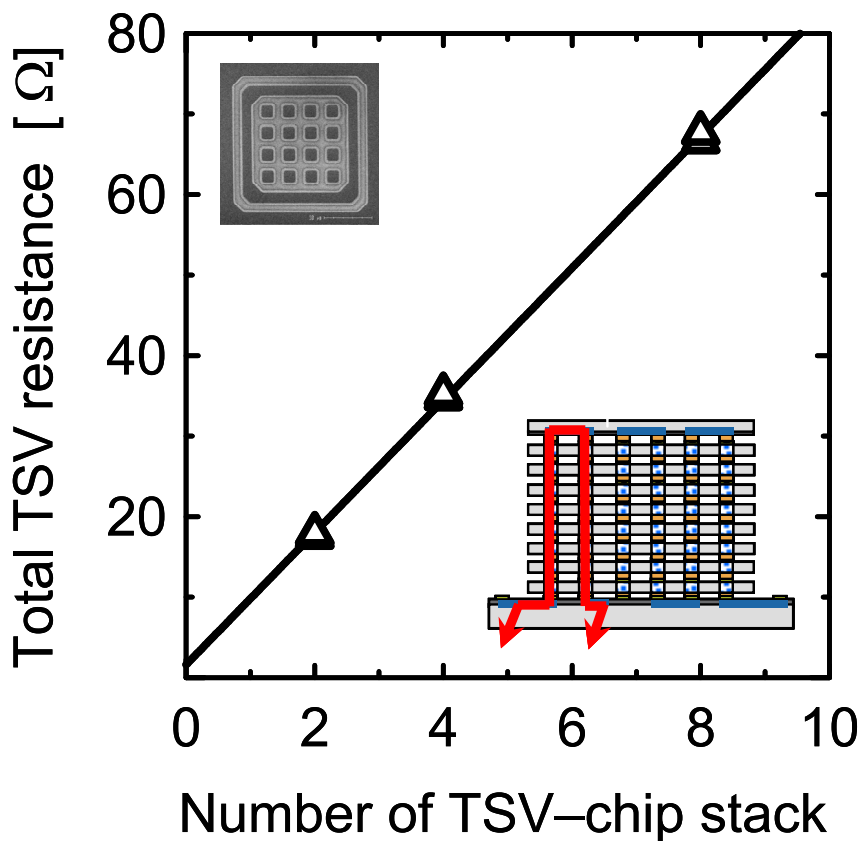


Fig. 5-17 TSV resistance for 2, 4, and 8 chip stack.

5.7 組立プロセス

Fig. 5-18 に組立フローを示す。まず、支持体としての Si ウェハ上にポリイミド層が形成される。この上に、ビア、配線、Au/Ni パッドが順に形成され、FTI (Feedthrough Interposer) が出来上がる。次に、FTI ウェハ上にメモリーチップをフリップチップボンディングにより順に積層していく。窒素雰囲気中において、フラックスレスでのローカルリフロー工法にて接合を行う。アンダーフィル充填は積層後に一括して行い、ウェハ表面を圧縮モールド工法により封止する。その後、支持体である Si ウェハを除去することにより、メモリーチップが埋め込まれた樹脂ウェハが出来上がる。同時に、樹脂ウェハ表面上の FTI 配線パターンが露出する。このパターンに対し、I/F チップをメモリーチップと同様にフリップチップ接

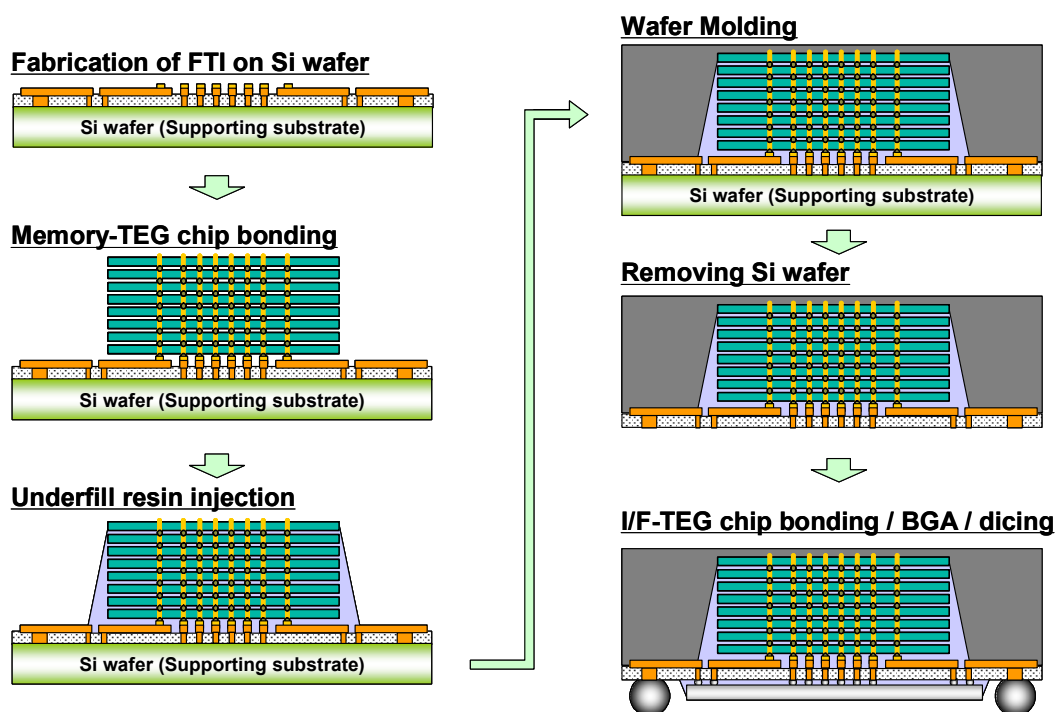


Fig. 5-18 Assembly process for stacked memory with SMAFTI technology.

続し、アンダーフィル充填を行う。最後に樹脂ウェハ上の FTI に形成されたパッド上に SnAgCu はんだボールを接合、ダイシングして最終パッケージを得る。

Fig. 5-19 は Si 上の FTI ウェハにメモリー TEG チップを 8 積層した状態である。チップ最上面には裏面バンプが見えている。また、8 枚のメモリー TEG チップと 1 枚の I/F-TEG チップを組み込んで完成した、SMAFTI パッケージ外観を Fig. 5-20 に示す。メモリー TEG チップおよび I/F-TEG チップの接合部の評価を断面 SEM 観察により行った (Fig. 5-21)。これにより、8 積層までのメモリー TEG 積層にお

いて、良好な接続がなされていることが確認できた。これは SMAFTI を用いた本組立プロセスにおいては、基本的に Si と Si の接続であり、熱膨張係数マッチングが確保されていることによると考えられ、超狭ピッチの三次元積層に SMAFTI 組立は適していることが示されている。また、チップ間はアンダーフィル樹脂によりポイドなく封止されていることが確認できた。I/F-TEG チップについても、Sn-Ag/Cu バンプによって FTI に良好に接続されていることが確認できた。Fig. 5-21(b)は、FTI 付近の接続を拡大したものである。バンプ周り、貫通電極周り、FTI 周りには、特にクラック、層間剥離などの不良は見られず、想定通りの構造を実現することができた。

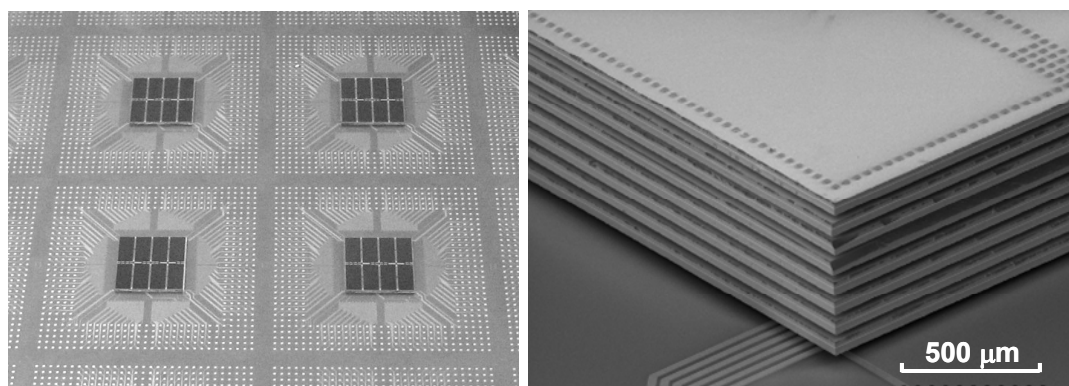


Fig. 5-19 Memory-TEG chips bonded on FTI wafer. Eight chips were stacked for each block.

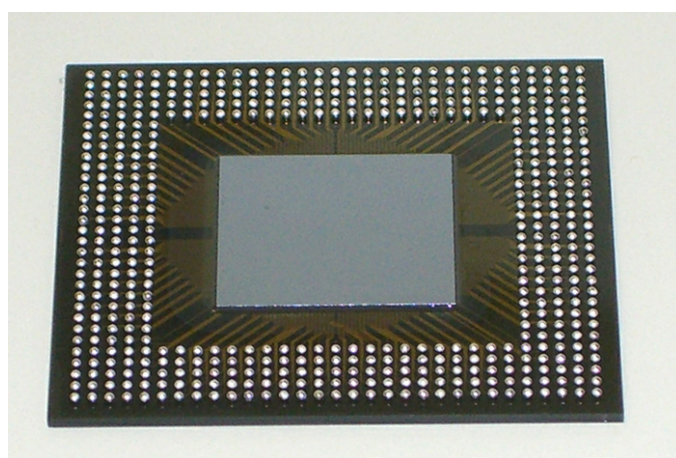


Fig. 5-20 External view of SMAFTI Package. Center consists of I/F-TEG chip. Memory-TEG chips are molded in package.

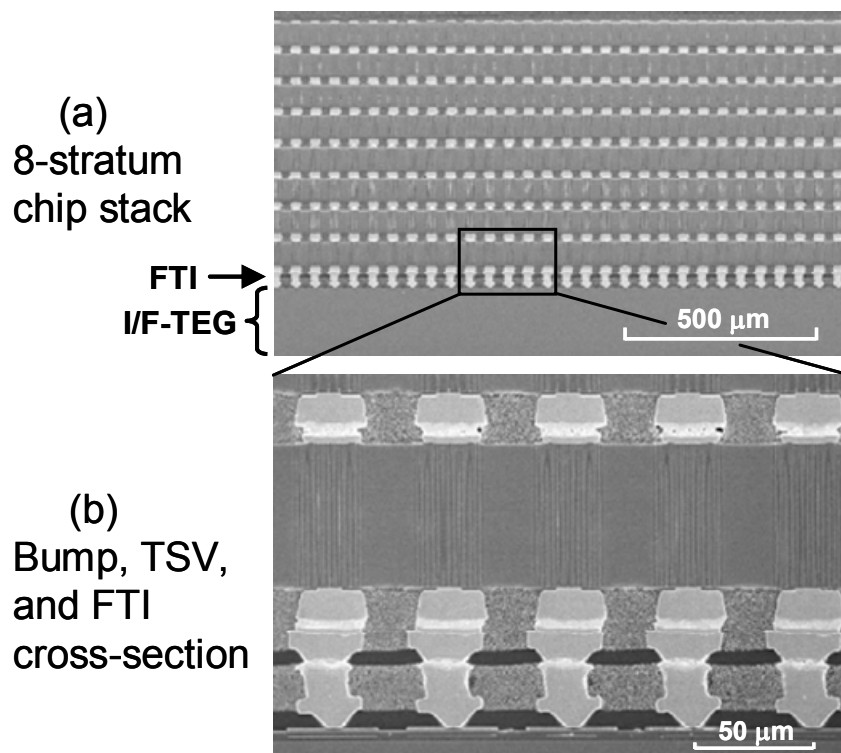


Fig. 5-21 Cross sectional SEM images of SMAFTI package with poly-Si TSVs and Sn-Ag microbumps.

5.8 FTI 配線と伝送特性シミュレーション

配線層 1 層で構成される厚さ $15\ \mu\text{m}$ の FTI (Fig. 5-22) は、次のような機能を具備している。1) $L/S = 15/10\ \mu\text{m}$ 、厚さ $7\ \mu\text{m}$ の Cu 配線による再配線、2) $50\ \mu\text{m}$ ピッチでの両面フリップチップ接続、3) BGA 外部端子。このような FTI は、高密度・高速のパッケージを極めて低コストで実現できるという特長を持つ。また、インターポーザー配線は、アンダーフィル樹脂により、チップから少なくとも $20\sim 30\ \mu\text{m}$ 離れており、インピーダンス整合の点からも、LSI 上の配線と比較して有利な高速伝送特性を持つことが期待できる。

本研究の開発目標の一つである $3\ \text{Gbps/pin}$ 伝送が可能かどうかについて伝送シミュレーションを行った。最初に、HFSS 三次元電磁界シミュレータを用いて FTI 配線の S パラメータを抽出した。周波数帯域として、 $200\ \text{MHz}$ から $10\ \text{GHz}$ で計算した。Fig. 5-23 にパッケージモデルと FTI 配線レイアウトを示す。FTI 配線の内、最も長い $7\ \text{mm}$ 長の配線に対してシミュレーションを行った。信号線はコプレーナ型の差動ペア線路で、 L/S は $30/20\ \mu\text{m}$ 、線路の両側には GND ライン

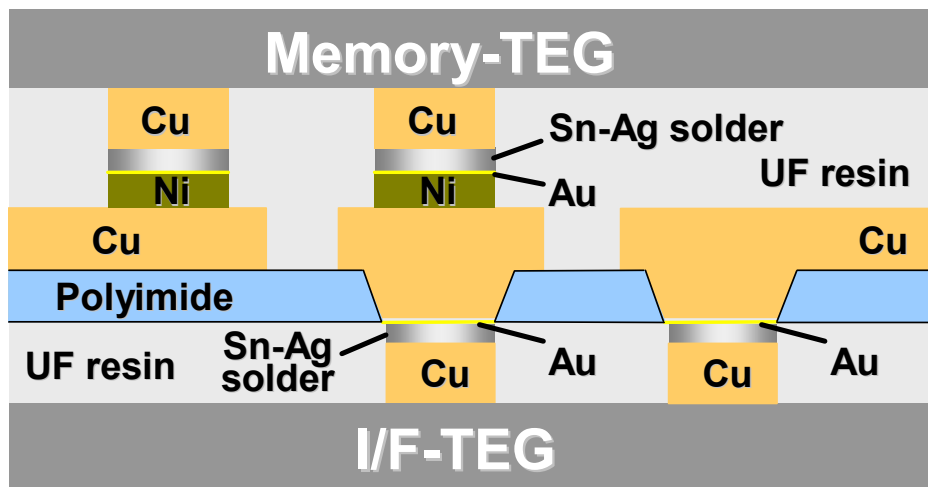


Fig. 5-22 Schematic representation of FTI detailed structure.

を配置している。SMAFTI パッケージのアイダイアグラムは、HSPICE を用いて計算した。計算には、前記で抽出した S パラメータと、PCI-Express SerDes コア SPICE Model を用いている。3 Gbps でのアイパターンを Fig. 5-24 に示す。Fast 条件は、Vdd=1.575 V、温度 0°C、Slow 条件は Vdd=1.425 V、温度 85°C である。なお、プリエンファシスの設定はしていない。PCI-Express (2.5 Gbps) の送信規格を 3Gbps まで外挿すると、アイ幅 250 ps (0.75 UI at 3 Gbps)、振幅 505 mV であることから、送信規格に対してパッケージ内での波形劣化は十分小さいことが確認できた。

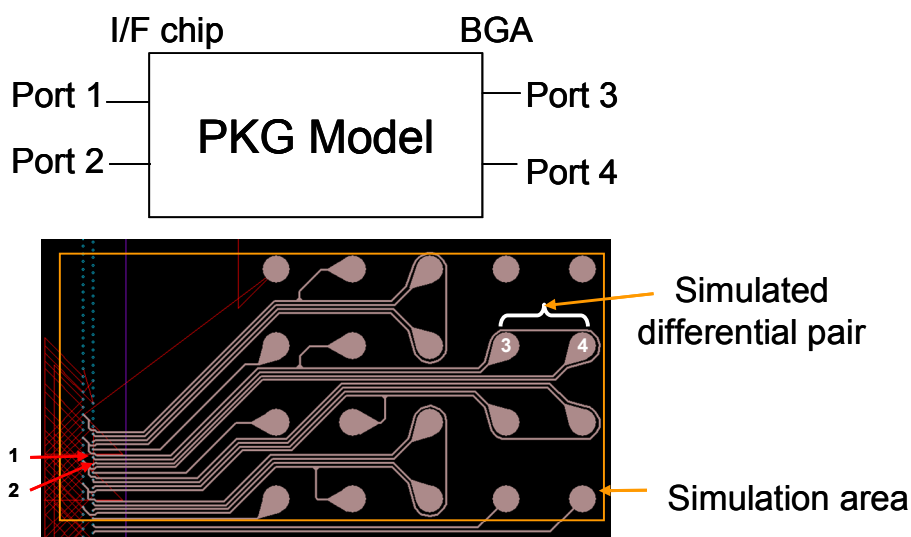


Fig. 5-23 Package model and FTI layout for transmission line simulation.

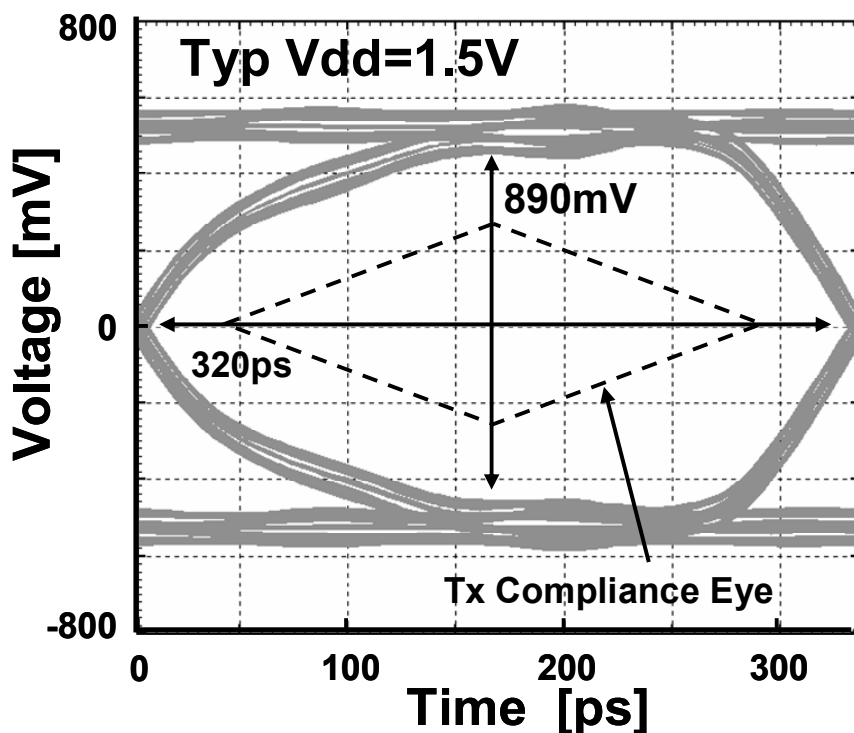


Fig. 5-24 Simulated eye diagram at point A of a differential pair in SMAFTI package.

次にこのパッケージモデルを用い、テストボードを経由した受信側のシミュレーションを行った。Fig. 5-25 にシミュレーションで用いたトポロジー、Fig. 5-26 に得られたアイダイアグラムを示す。送信側のジッターを考慮した PCI-Express 相当の受信規格は、アイ幅 217 ps (0.65UI)、振幅 175 mV であり、受信側についても規格を満足することが確認できた。

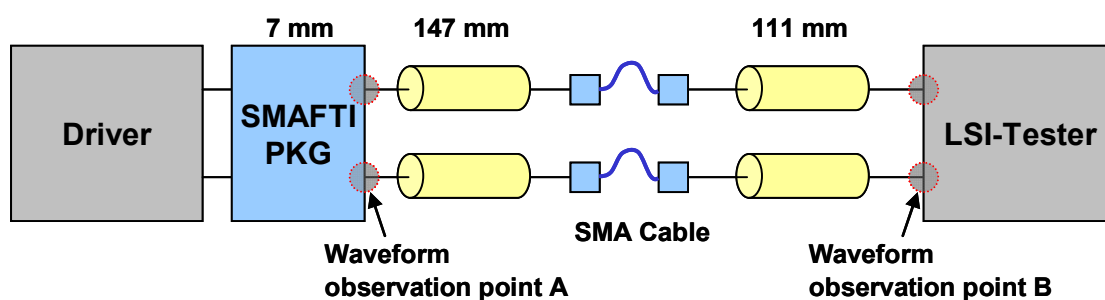


Fig. 5-25 Topology used for transmission simulation at receiver.

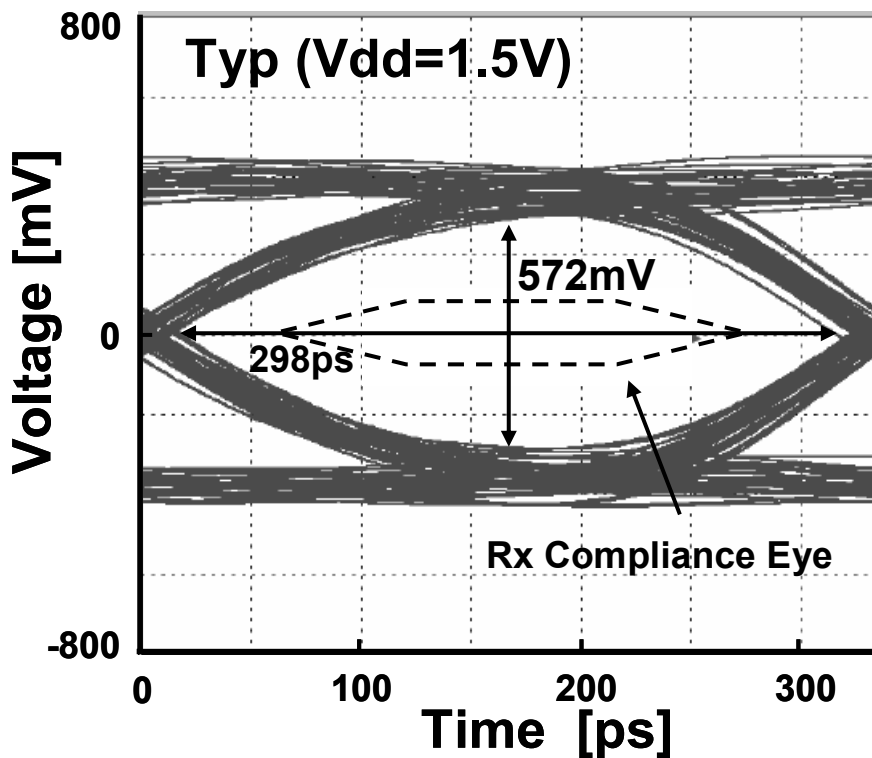


Fig. 5-26 Simulated eye diagrams at point B.

5.9 デバイス動作検証

貫通ビアの付いた DRAM の動作検証を行うために、Si インターポザー上に貫通ビア付き 512 Mb DRAM 2 枚を積層し、DRAM 読み書き動作を行った。1 層目、2 層目双方の全ビットに対して、データ入力に対して正しい値が読み出されており、貫通電極プロセスが DRAM 動作に影響を与えないことを確認した。

次に、512 Mb DRAM を 2 枚と I/F チップを SMAFTI パッケージに組み込み、DRAM と I/F チップの連携動作を確認した。入力データに対応した出力データを 3Gbps で送受信でき、正常動作を確認した (Fig. 5-27)。また、テストボード上の端子からオシロスコープで実測した、3 Gbps 動作時のアイパターンを Fig. 5-28 に示す。アイ幅 266 ps、振幅 480 mV が得られ、シミュレーション結果 (Fig. 5-26) と良い一致を見た。同時に、PCI-Express 相当の受信規格、それぞれ 133 ps (0.4UI)、175mV も満足していることを確認できた。

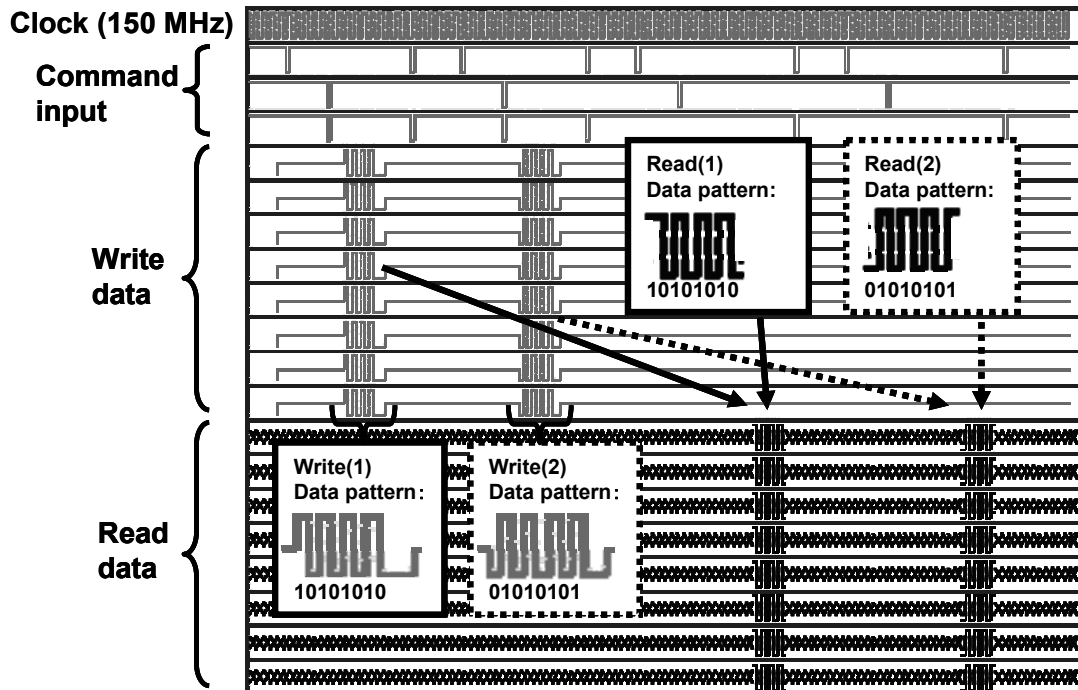


Fig. 5-27 DRAM operation with I/F chip at 3 Gbps.

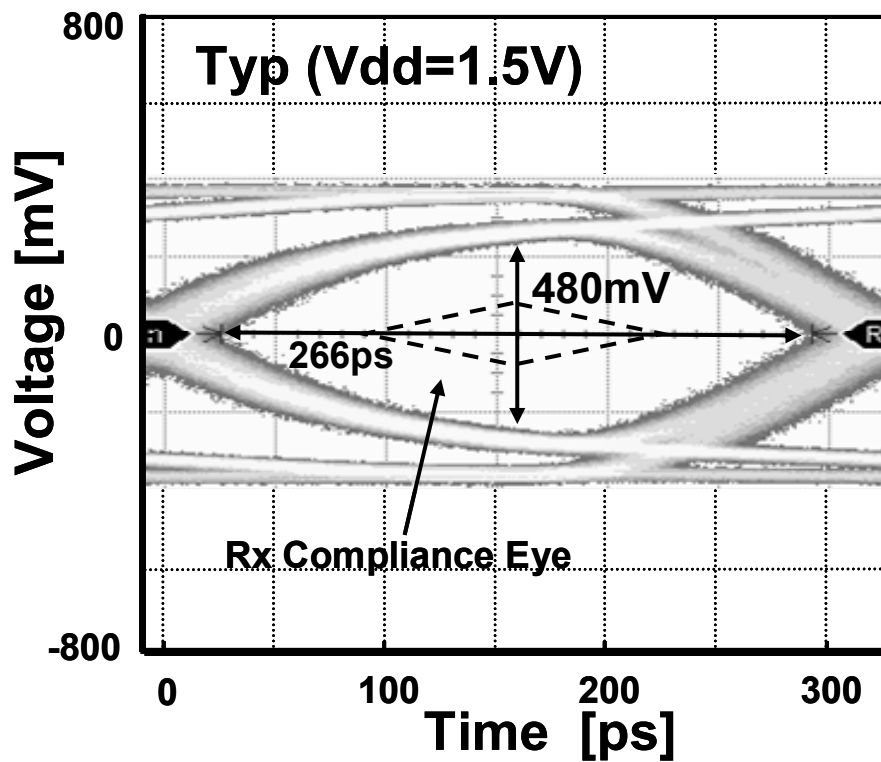


Fig. 5-28 Measured eye diagram at 3 Gbps operation.

5.10 3D-LSI の技術展望とアプリケーション

本節では、以上のような技術成果が今後どのように応用されていくかについて議論する。

積層 DRAM を用いた重要なアプリケーションの一つが、携帯端末向けの LSI である。それは、低消費電力と小型化が要求されると同時に、最近の携帯端末ではゲームや動画処理など PC 並みの性能が要求されるからである。まず消費電力について考えてみると、CoC や 3D-LSI のメリットとしてメモリ I/O の消費電力低減が挙げられる。DRAM（動作電圧 1.8V、333Mb/s）との I/O での消費電力は、ワイヤー接続の SiP では約 100mW 程度となる。一方、CoC 接続ではチップ間を数十 μm 程度の短距離で結ぶことができるため、I/O バッファの容量を小さくすることができる。ただし、ダイシング、フリップチップ接続の工程に耐えるだけの最小限の ESD 保護素子は必要である。このような観点から、CoC 接続では、I/O 消費電力を 10mW 程度まで低減できると考えている。これは、積層 DRAM を組み込んだ 3DLSI-SiP においても同等と考えることができる。携帯電話などでは、全体の消費電力を 500mW 程度かそれ以下に抑える必要があり、メモリ I/O での消費電力低減の効果は大きいと言える。一方、DRAM を内蔵した SoC においては、ESD 保護素子も不要であるので、I/O 消費電力は最小となる。静電破壊のおきにくい組立プロセスと、それに見合った ESD 保護素子の最適化が重要である。

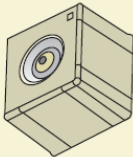
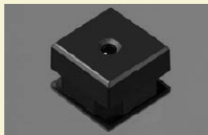
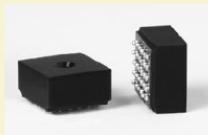
社名	伊仏STMicroelectronics社 	東芝 	米Micron Technology, Inc. 
製品名	VW6754	TCM9200MD	MT9V113M02
解像度	UXGA	UXGA	VGA
量産時期	2008年第1～第2四半期	2008年8月	2008年秋以降
寸法	5mm×5mm×3.8mm	6.3mm×6.4mm×4.6mm	4.15mm×4.15mm×2.5mm
レンズ	レンズ・メーカーから調達	レンズ・メーカーから調達	非公表
組み立て	自社	自社	自社
概要	<ul style="list-style-type: none"> ▶貫通電極を採用。ウエーハ・レベルで組み立て ▶レンズは個別に組み立て、実装。 	左と同じ	<ul style="list-style-type: none"> ▶貫通電極を採用。ウエーハ・レベルで組み ▶ウエーハ・レベルでレンズ・ユニット み立て。個片化したレンズ・ユニット 別にイメージ・センサーに組み立て。

Fig. 5-29 Examples of camera module products using TSVs [34].

3D-LSI の応用先として、携帯端末以外にも、High-end サーバーなどが考えられるが、2008 年時点で実用化されているものは無い。特に TSV を用いた製品を考えた場合、現時点で実用化されているのは、著者の知る限り非積層の製品であるカメラモジュール (Fig. 5-29、[34]) と RFID ([33]) の二つである。TSV 採用の理由は二つの製品で共通であり、それは組立の低コスト化である。また、TSV に対する競合技術は、素性が全く異なるものであることも興味深い。カメラモジュールでは、TSV を用いて保護ガラス接合を含めたウェハレベルでの一括パッケージングで低コストを実現している。その競合技術は、例えば裏面照射型イメージセンサである。裏面照射型もウェハレベルパッケージングを実現できるが、Si デバイス面が保護ガラスと反対側を向くので、TSV を用いなくとも外部端子形成ができる。一方、RFID の場合は、両面電極により組立時のアライメント簡略化している。外部端子がアンテナに接続するための 2 端子しかないため、両面電極にすれば回転、表裏を気にせずに組立できる。競合技術は、従来技術のワイヤーボンディングであり、技術採用の判断はコストのみである。

以上の例を見ると、カメラモジュールと RFID における TSV 製品は、たまたま TSV の採用が低コスト化につながっただけであることがわかる。これは、More-than-Moore の世界の特徴とも言え、アプリの要求仕様を満たせさえすれば、全く異なる技術で置き換えられてしまう危険性があることを示している。そのため、TSV 技術が汎用技術として様々な製品に展開していくという方向性が、これらの製品からうかがい知れるわけではない。

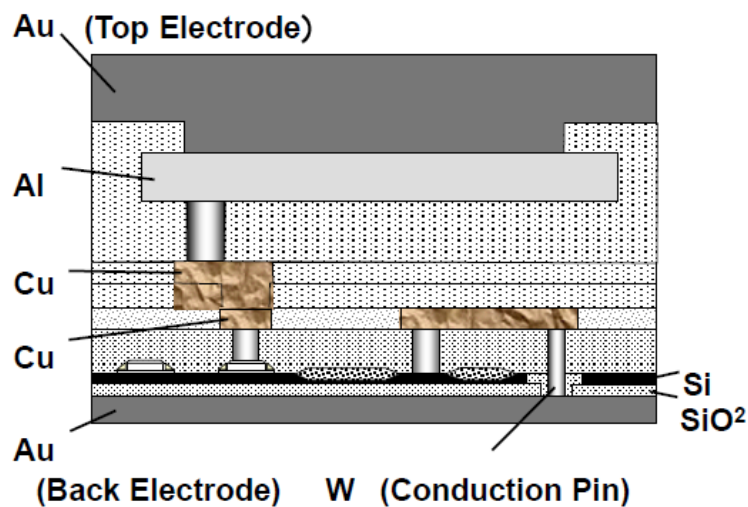


Fig. 5-30 Conductive pin to back electrode of SOI RFID chip to realize double surface electrode structure [33].

それでは、一体3D-LSIが汎用技術として発展していくためには、どのような条件が必要なのであろうか？著者は、まずTSVを用いた積層に技術的な必然性があるか？といことと、競合技術に対して低コストか？の二つを考慮すべきであらうと考える。このような視点に立って、メモリ積層の実用化について考えてみる。

Fig. 5-31は、Yole Development社による3D-LSIの需要予測を示したものである[35]。これによると、2010年頃から積層メモリの需要が急速に立ち上がり、2015年に向けて3D-LSIの需要の大半を占めるという予測になっている。果たしてこのようなことが起こるのだろうか？

まず、TSVの技術的必然性について考えてみる。メモリ積層数においては、ワイヤー接続でも16~20積層がSamsung、Elpidaにより開発されている。したがって、積層数を増やすという意味での技術的必然性は無い。一方、高速動作に関しては、DDR3以降、1Gb/sを越えるため、ワイヤー接続により分岐がある状態での高速動作は不可もしくは極めて困難な状況となっている。すなわち、TSVによる短距離・多ビット接続は高速動作に極めて有利であり、この点でTSVの技術的必然性は存在する。

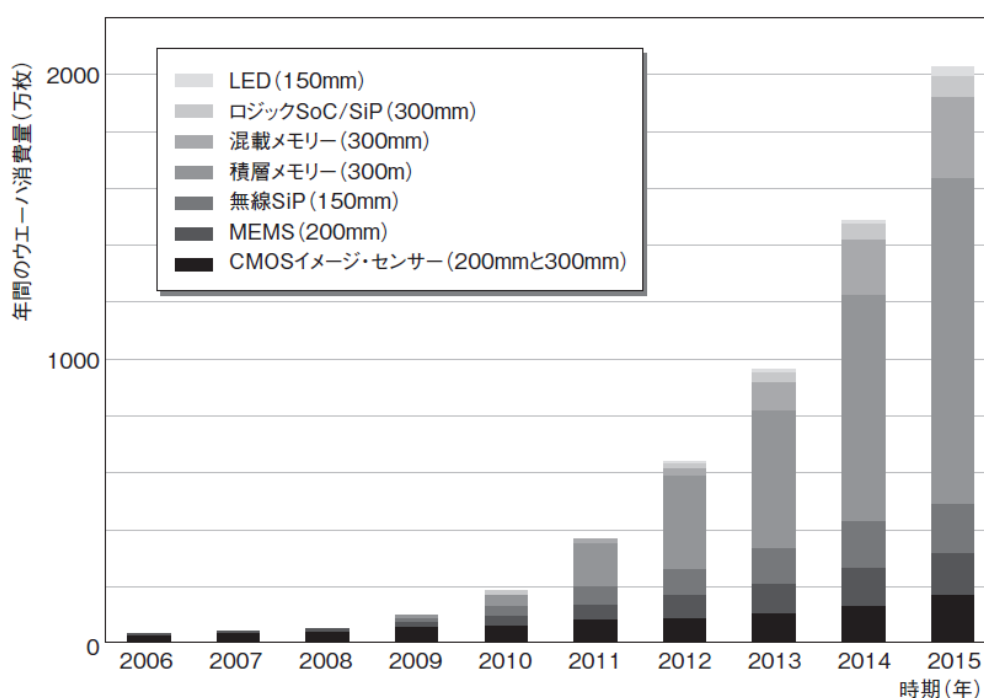


Fig. 5-31 Demand speculation by Yole Development for 3D-LSI [35].

次にコストについて考える。著者の試算では、1積層あたりの組立コストは、TSV 接続はワイヤ接続の5倍である。さらに、TSV を形成することにより、ダイ面積が大きくなってしまうという問題もある。1024bit バスを仮定すると、データピンとして2倍の 2048pin、電源ピンを含めて最大 3000pin 程度の TSV が必要となる。50 μ m ピッチの TSV が占める面積は 7.5mm²、積層メモリとすることによるメモリコントローラ一部の削減を含め、10mm \square の DRAM チップでトータル5%程度の面積増が見込まれる。この増分はそのままコスト増につながる。

このようなことから、TSV 形成およびチップ接続コストが従来のワイヤ接続並みに下がらなければ、積層メモリは High-end 限定のニッチ市場でしか受け入れられないと予測される。

その一方で、Tanaka らは、Bit-cost scalable (BiCS) technology というものを提唱している (Fig. 5-32、[36])。これは、Flash メモリの Floating gate を一括積層することにより、三次元の積層数を増やすにしたがって、全体コストが下がるというものである。これが実現できれば、BiCS Flash は汎用的なものとして広く市場に受け入れられるものと思われる。ただし、多積層ゲートの一括形成は、プロセス技術的には非常に難しいものである点には留意する必要がある。

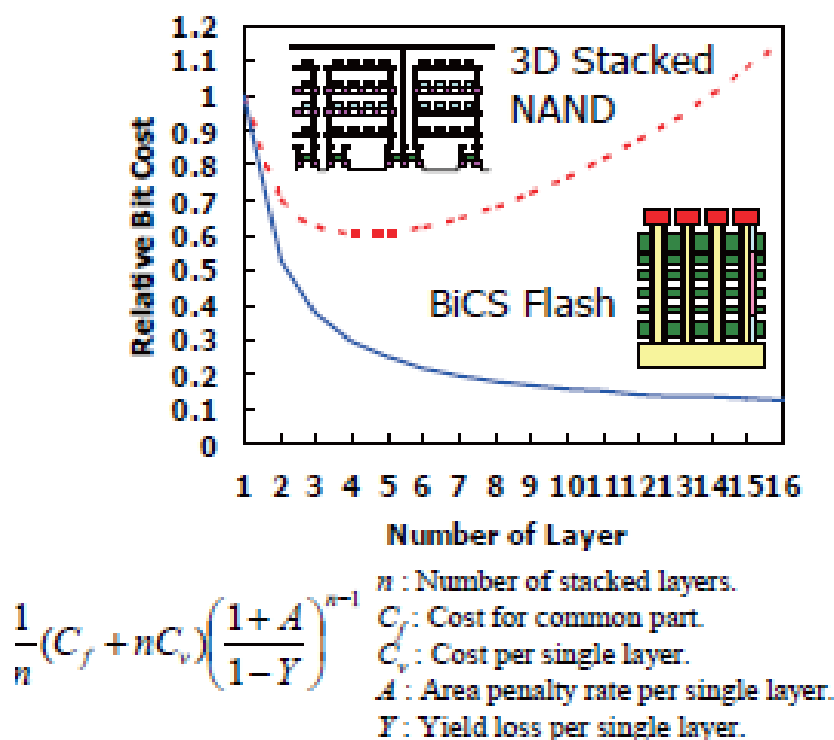


Fig. 5-32 Bit cost scalability for three-dimensional flash memory [36].

以上を踏まえ、3D-LSI が汎用技術として広まるためには、次の三つの条件を満たす必要があると考える。

第一の条件は、3D-LSI の技術的必然性があることである。例えば、積層 DRAM においては、従来技術（ワイヤ接続）では、高速化の限界に来ている。また、1 チップ SoC では不可能な大容量のキャッシュメモリが必要なアプリケーションでは、チップを複数に分けてチップ間を多ビット接続する技術的意味がある。

第二の条件は、従来技術に対して同等もしくはそれ以下のコストとなることである。一つの可能性としては、TSV 形成コストが安くすることである。Si エッチ、埋め込みのスループット改善、小径ビア化などでのコスト低減が考えられる。5.2 節で議論した TSV 形成方法に関しても、LSI 積層には将来的に最も狭ピッチが狙える Via-Middle が本命と考えられる。ただしこのようなコスト低減努力は、コスト半減ができたとしても、1 / 5 とか一桁の低減というのは難しい。次の可能性として小チップ積層で、TSV 形成コストを相対的に低減する方法が考えられる。10mm²チップを 3mm²にすれば、単純には TSV 形成コストが 1/10 となる。システム全体のコスト構成の中で、TSV 形成コストが無視できるほど小さくなれば、TSV 導入の障壁は無くなる。また同様に、大チップを分割積層で、歩留まり向上させ、全体コストを低減していくという方向性も考えられる。特に SoC との比較において、チップ分割+積層のコストメリットが得られる可能性がある。さらには、三次元積層により、必然的に低コストとなる新技術を導入するという方法が考えられる。その一例が前述した BiCS technology である。デバイスレベルでの三次元集積化については、第 6 章においても述べる。

第三の条件は、微細化によるコストダウンが成立しなくなることである。これは、まさに本論文の研究動機となっているものであるが、微細化によるコストダウンが進むうちは、技術開発の大部分が微細化に費やされるため、三次元集積の技術発展は加速しない。また、三次元化で何かしらのコストダウンと機能向上が実現できたとしても、微細化が進む状況では、次世代プロセスを用いた従来構造の製品で、かなりの製品領域をカバーされてしまうものと思われる。しかし、第 1 章で詳述したように、32nm 以降のプロセスでは、液浸 ArF 露光機を用いたダブルパターンニングが標準となりつつあり、その先の世代では EUV 露光機導入に伴う投資額増大、反射型マスクによるコスト増大がほぼ避けられない状況であり、微細化に頼らないコストダウン、機能向上策が待ち望まれているのである。

5.11 むすび

新しい三次元実装技術を提案し、構造・製造プロセスの実現可能性を検証した。貫通孔中に Si ポストを配することにより、Poly-Si の埋め込み時間を大幅に短縮すると共に、要求電気特性に応じた自在な貫通ビア形状が可能となる。SMAFTI 技術を貫通ビアを用いた三次元積層に応用し、8 積層までの実現性を実証した。本技術を用いて積層メモリモジュールを試作し、貫通ビアを経由した DRAM の正常動作、I/F チップとの連携動作の確認を行った。また、SMAFTI 配線の信号伝送に関し、3 Gbps/pin で伝送ができることを、シミュレーションと実測の双方で確認した。

このような三次元高密度パッケージは、システムの大幅な小型化、高速化に貢献できる技術として期待できるが、今後の実用化のための条件として、第一に 3D-LSI の技術的必然性があること、第二に従来技術に対して同等もしくはそれ以下のコストとなること、第三に微細化によるコストダウンが成立しなくなること、の三つがあると考えられる。とりわけコストが最大の課題であり、三次元集積化のコストが従来技術のコスト並みかそれ以下となるような技術開発が今後重要となる。

参考文献 (第5章)

- [1] 川野 連也, "貫通電極技術を採用した LSI 積層技術およびインターポーザ技術," 日経マイクロデバイス SoC/SiP デイベロッパーズ・コンファレンス 2008, B-4 pp.1-27, Apr. 24, 2008.
- [2] T. Nishimura, Y. Inoue, K. Sugahara, S. Kusunoki, T. Kumamoto, S. Nakagawa, M. Nakaya, Y. Horiba, and Y. Akasaka, "Three Dimensional IC for High Performane Image Signal Processor," International Electron Devices Meeting Technical Digest (IEDM), pp. 111-114, Dec. 1987.
- [3] Y. Hayashi; K. Oyama; S. Takahashi; S. Wada, K. Kajiyana; R. Koh; T. Kunio, "A new three dimensional IC fabrication technology, stacking thin film DUAL-CMOS layers," International Electron Devices Meeting Technical Digest (IEDM), pp. 657-660, Dec. 1991.
- [4] H. Kurino, T. Matsumoto, K.H. Yu, N. Miyakawa, H. Itani, H. Tsukamoto, and M. Koyanagi, "Three-Dimensional Integration Technology for Real Time Micro-Vision System," Proceedings of Innovative Systems in Silicon Conference, pp. 203-212, 1997.
- [5] A. Klumpp, R. Merkel, R. Wieland, and P. Ramm, "Chip-to-Wafer Stacking Technology for 3D System Integration," Proceedings of 53rd Electronic Components and Technology Conference (ECTC), pp. 1080-1083, 2003.
- [6] K. Tanida, M. Umemoto, Y. Tomita, M. Tago, Y. Nemoto, T. Ando, and K. Takahashi, "Ultra-high-density 3D Chip Stacking Technology," Proceedings of 53rd Electronic Components and Technology Conference (ECTC), pp. 1084-1089, 2003.
- [7] ASET プレスリリース資料、http://www.aset.or.jp/press_release/si_20040218/si_20040218.html, Feb. 18, 2004.
- [8] K. Takahashi, Y. Taguchi, M. Tomisaka, H. Yonemura, M. Hoshino, M. Ueno, Y. Egawa, Y. Nemoto, Y. Yamaji, H. Terao, M. Umemoto, K. Kameyama, A. Suzuki, Y. Okayama, T. Yonezawa, and K. Kondo, "Process Integration of 3D Chip Stack with Vertical Interconnection," Proceedings of 54th Electronic Components and Technology Conference (ECTC), pp. 601-609, 2004.
- [9] 高橋健司、田口裕一、星野雅孝、谷田一真、梅本光雄、米澤稔浩、近藤和夫、
"貫通電極型三次元実装の低コスト化技術開発," 電子情報通信学会論文誌 (C), Vol. J87-C, No. 11, pp. 810-819, Nov. 2004.

- [10] N. Tanaka, Y. Yoshimura, T. Naito, C. Miyazaki, Y. Nemoto, M. Nakanishi, and T. Akazawa, "Ultra-Thin 3D-Stacked SIP Formed Using Room-Temperature Bonding between Stacked Chips," in Proc. 55th Electronic Components and Technology Conf. (ECTC), Jun. 2005, pp. 788-794.
- [11] R. Patti, "3D: Design to Volume - A Look at Various 3D Applications, Their Designs, and Ultimate Silicon Results," in Proc. 3D Architectures for Semiconductor Integration and Packaging, Jun. 2005.
- [12] K.W. Lee, "Wafer-Stacked Package Technology for High-Performance System." in Proc. 3D Architectures for Semiconductor Integration and Packaging, Jun. 2005.
- [13] K. Hara, Y. Kurashima, N. Hashimoto, K. Matsui, Y. Matsuo, I. Miyazawa, T. Kobayashi, Y. Yokoyama, and M. Fukazawa, "Optimization for Chip Stack in 3-D Packaging," IEEE Trans. Adv. Packag., vol. 28, pp. 367-376, Aug. 2005.
- [14] T. Fukushima, Y. Yamada, H. Kikuchi, and M. Koyanagi, "New Three-Dimensional Integration Technology Using Self-Assembly Technique," International Electron Devices Meeting Technical Digest (IEDM), pp. 348-351, Dec. 2005.
- [15] M.W. Newman, S. Muthukumar, M. Schuelein, T. Dambrauskas, P.A. Dunaway, J.M. Jordan, S. Kulkarni, C.D. Linde, T.A. Opheim, R.A. Stingel, W. Worwag, L.A. Topic, and J.M. Swan, "Fabrication and Electrical Characterization of 3D Vertical Interconnects," in Proc. 56th Electronic Components and Technology Conf. (ECTC), Jun. 2006, pp. 394-398.
- [16] M. Koyanagi, T. Nakamura, Y. Yamada, H. Kikuchi, T. Fukushima, T. Tanaka, and H. Kurino, "Three-Dimensional Integration Technology Based on Wafer Bonding With Vertical Buried Interconnections," IEEE Trans. Electron Devices, vol. 53, pp. 2799-2808, Nov. 2006.
- [17] D. Temple, C.A. Bower, D. Malta, J.E. Robinson, P.R. Coffman, M.R. Skokan, and T.B. Welch, "High Density 3-D Integration Technology for Massively Parallel Signal Processing in Advanced Infrared Focal Plane Array Sensors," International Electron Devices Meeting Technical Digest (IEDM), pp. 143-146, Dec. 2006.
- [18] P. Morrow, B. Black, M. Kobrinsky, S. Muthukumar, D. Nelson, C. Park, and C. Webb, "Design and Fabrication of 3D Microprocessors," Mater. Res. Soc. Symp. Proc., Vol. 970, 0970-Y03-02, 2007.
- [19] D. Henry, X. Baillin, V. Lapras, M.H. Vaudaine, J.M. Quemper, N. Sillon, B. Dunne, C. Hernandez, and E. Vigier-Blanc, "Via First Technology Development Based on

- High Aspect Ratio Trenches Filled with Doped Polysilicon," Proceedings of 57th Electronic Components and Technology Conference (ECTC), pp. 830-835, May 2007.
- [20] M. Motoyoshi, H. Nakamura, K. Kamibayashi, and M. Bonkohara, "Wafer-Level CSP Technology using Through-Silicon Via (TSV) for Sensor Application and Beyond," SEMI Technology Symposium (STS) 2007 Proceedings, Session 9 pp. 47-56, Dec. 2007.
- [21] N. Miyakawa, T. Maebashi, N. Nakamura, S. Nakayama, E. Hashimoto, and S. Toyoda, "New Multi-Layer Stacking Technology and Trial Manufacture," in Proc. 3D Architectures for Semiconductor Integration and Packaging, Oct. 2007.
- [22] H. Ikeda, M. Kawano, and T. Mitsuhashi, "Stacked Memory Chip Technology Development," SEMI Technology Symposium (STS) 2005 Proceedings, Session 9 pp. 37-42, Dec. 2005.
- [23] M. Kawano, S. Uchiyama, Y. Egawa, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro, S. Matsui, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, Y. Saeki, O. Kato, H. Kikuchi, and T. Mitsuhashi, "A 3D Packaging Technology for 4 Gbit Stacked DRAM with 3 Gbps Data Transfer," International Electron Devices Meeting Technical Digest (IEDM), pp. 581-584, Dec. 2006.
- [24] T. Mitsuhashi, Y. Egawa, O. Kato, Y. Saeki, H. Kikuchi, S. Uchiyama, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, N. Takahashi, Y. Kurita, M. Komuro, S. Matsui, and M. Kawano, "Development of 3D-Packaging Process Technology for Stacked Memory Chips," Mater. Res. Soc. Symp. Proc., Vol. 970, 0970-Y03-06, 2007.
- [25] M. Kawano, "A 3D Packaging Technology for High-Density Stacked DRAM," in Int. Symp. on VLSI Technology, Systems & Applications (VLSI-TSA), Apr. 2007, pp. 62-63.
- [26] Y. Kurita, S. Matsui, N. Takahashi, K. Soejima, M. Komuro, M. Itou, C. Kakegawa, M. Kawano, Y. Egawa, Y. Saeki, H. Kikuchi, O. Kato, A. Yanagisawa, T. Mitsuhashi, M. Ishino, K. Shibata, S. Uchiyama, J. Yamada, H. Ikeda, "A 3D Stacked Memory Integrated on a Logic Device using SMAFTI Technology," Proceedings of 57th Electronic Components and Technology Conference (ECTC), pp. 821-829, May 2007.
- [27] M. Kawano, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro, S. Matsui, S. Uchiyama, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, Y. Egawa, Y. Saeki, O. Kato,

- H. Kikuchi, A. Yanagisawa, and T. Mitsuhashi,, “Development of High-Density Package for Stacked DRAM using Through-Silicon Vias,” J. Inst. Elec. Comm. Eng., vol. J90-C, pp.724-733, Nov. 2007.
- [28]S. Matsui, Y. Kurita, M. Itou, M. Kawano, T. Mitsuhashi, H. Ikeda, “Thermal Management in 8-Strata 4Gb DRAM SiP,” in Proc. IMAPS 40th Int. Symp. on Microelectronics, Nov. 2007, pp. 310-316.
- [29]M. Kawano, "CoC Packaging using SMAFTI Technology," in SEMI Technology Symp. (STS) 2007 Proc., Session 9, Dec. 2007, pp. 28-33.
- [30]M. Kawano, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro, and S. Matsui, "A 3-D Packaging Technology for Stacked DRAM with 3 Gb/s Data Transfer," IEEE Trans. Electron Devices, Vol. 55, No. 7, pp.1614-1620, Jul. 2008.
- [31]Y. Kurita, K. Soejima, K. Kikuchi, M. Takahashi, M. Tago, M. Koike, K. Shibuya, S. Yamamichi, and M. Kawano, "A Novel SMAFTI Package for Inter-Chip Wide-Band Data Transfer," Proceedings of 56th Electronic Components and Technology Conference (ECTC), pp. 289-297, May 2006.
- [32]F. Kawashiro, M. Ujiie, K. Shibuya, Y. Kurita, K. Soejima, and M. Kawano, "Reliability Studies of Sn-Ag-Cu BGA Solder Joints on Ni/Cu/Au Surface Finish for SMAFTI Packaging Technology," Proceedings of 58th Electronic Components and Technology Conference (ECTC), pp. 283-289, May 2008.
- [33]M. Usami, H. Tanabe, A. Sato, I. Sakama, Y. Maki, T. Iwamatsu, T. Ipposhi, Y. Inoue, "A 0.05x0.05mm² RFID Chip with Easily Scaled-Down ID-Memory," ISSCC Dig. Tech. Papers, pp. 482-483, Feb. 2007.
- [34]加藤伸一、三宅常之、日経マイクロデバイス 2008 年 7 月号、p.39, Jul. 2008.
- [35]J.C. Eloy, 日経マイクロデバイス 2008 年 8 月号、p.153, Jul. 2008.
- [36]H.Tanaka, M.Kido, K.Yahashi, M.Oomura, R.Katsumata, M.Kito, Y.Fukuzumi, M.Sato, Y.Nagata, Y.Matsuoka, Y.Iwata, H.Aochi and A.Nitayama, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," 2007 Symposium on VLSI Technology Digest of Technical Papers, pp. 14-15, Jun. 2007.

第6章 総括

6.1 はじめに

半導体デバイスの小型化・高機能化において、三次元積層デバイスの重要性はますます大きくなっている。その大きな要因の一つは、微細化のメリットが享受されにくくなってきたことである。

2008年時点において、45nmノードのプロセス製品が出荷され、32nmノードのプロセスが開発段階であるが、その微細パターンを形成するための最先端の液浸ArF露光機は、1台30億円を超えるような値段となっている。また、マスクセットも微細化に伴ってますます高騰し、一製品で1億円を超えてしまっている。すなわち、微細化でコストダウンできる製品は、非常に大量生産できるところの一部の品種、すなわちPentiumシリーズに代表される汎用MPUや、DRAM、FLASH Memoryなどに限られるようになったのである。

一方、電源電圧についても、ゲート酸化膜厚が物理限界に来てしまったため、低電圧化ができなくなった。すなわち、スケーリング則に従った消費電力低減がなされないため、High Performanceデバイスにおいては放熱の限界が近づいている。High-k材料導入などで、いわゆる等価的スケーリングが進められているが、微細化の世代ごとに材料を高誘電率のものに変更していく必要があり、自ずと限界がある。

さらには、配線遅延による制限で、高クロック化にも限界が来ている。そのため、チップ内信号伝送をプロトコル通信で行う検討もなされているが、設計に対するオーバーヘッドは大きい。

このような課題に対し、半導体デバイスを三次元積層していくことが、解決のための重要な切り口となることが、現在において広く認識されるようになり、様々な研究機関で開発が進められている。本章では、これまでに述べてきたHgCdTe混晶半導体を用いたハイブリッド型三次元積層デバイスや、Siデバイスでの三次元積層技術について総括するとともに、三次元積層半導体デバイスにおける今後の方向性およびその課題について述べる。

6.2 全体のまとめ

第1章では、半導体開発の歴史を概観しつつ、微細化のメリットとともにその限界について議論した。Si デバイスではその60年間の歴史の中で、ムーアの法則に代表されるような極めて早い微細化の進展のために、More-than-Moor に示される多様化の方向性を追求することは積極的には行われてこなかった。一方、化合物半導体・混晶半導体においては、元々微細化やウェハ大口径化ではSiと比較して不利であったがために、ハイブリッド型デバイスが一般的に用いられてきた。その中でも、化合物半導体を用いたイメージセンサは、様々な波長に対応できることから、受光部を化合物半導体、読み出し部をSiとした三次元積層デバイスは、有望なアプリケーションであることを示した。

さらに、Si デバイスであっても、配線長短縮による配線遅延の低減、メモリとの高速アクセスや大容量化、小型化、低コスト化などの観点から、三次元積層構造にすることのメリットが大きいことを説明した。

第2章においては、三次元積層デバイスの赤外線イメージセンサへの適用例として、HgCdTe/Si MBE 成長技術、HgCdTe 結晶欠陥評価技術について、取り組みとその結果を示した。また、本技術を用いて赤外イメージセンサを作成し、赤外画像評価による動作実証を行った。

第3章においては、第2章で扱った HgCdTe/Si ハイブリッド型積層デバイスを磁気センサとして応用する例を示した。HgCdTe 混晶半導体は、その組成を制御することにより、バンドギャップをゼロにできるという特異な性質を持っている。そして、ゼロバンドギャップにおいては、電子の有効質量が非常に小さくなり、電子移動度が極大となる。本材料を用いてコルビノ型磁気センサを作成すると、高感度なセンサが得られる。ここでは、実際にコルビノ素子を試作すると共に、得られた磁気抵抗特性から磁気感度を求めた。このコルビノ素子を二次元アレイとし、三次元ハイブリッド型デバイスとすることにより、高感度な磁気イメージセンサを実現することが可能となる。

第4章においては、主にSiデバイスの積層を想定した Chip-on-Chip 型三次元実装技術について述べた。システム LSI の高速化において、DRAM と Logic の信号伝送高速化、すなわちメモリバンド幅の拡大は重要な要素である。その際、DRAM と Logic を Face-to-Face で三次元積層し、アレイ状に bumps 接続することにより、メモリ/ロジック間の接続ピン数を飛躍的に拡大することができ、ひ

いてはバンド幅の拡大ができる。このマイクロバンプによるエリアアレイ接続構造は、第2章や第3章に述べたイメージセンサと同一である。第4章では、その接続構造をさらに発展させ、組み合わせるチップのサイズに依存しないエリアアレイ接続構造を実現した。この新しい接続構造の実現性や、パッケージとしての信頼性について評価した。

第5章においては、第4章での三次元実装技術をさらに発展させ、貫通電極を用いた三次元積層 DRAM を組み込む適用例を示した。DRAM へ貫通電極を形成する技術、DRAM チップを8積層する組立技術を開発した。また、実デバイスを用いて大容量メモリを試作し、その動作実証を行った。

6.3 結論

Si 半導体デバイスの微細化限界が見え始めた現在、微細化とは異なる方向での高機能化としての三次元積層デバイスの重要性は、ますます大きくなっている。その中でも、イメージセンサや DRAM/Logic による SiP、大容量 DRAM は、三次元積層のメリットを享受できる有望なアプリケーションである。このような技術がより広まっていくためには、三次元積層に必要なプロセス、すなわちマイクロバンプ形成や貫通電極形成、チップ接続などの低コスト化が重要となる。

6.4 今後の研究の方向性

本節では、これまでに得られた成果をさらに発展させていくための、今後の研究の方向性についてまとめる。

第2章で示したように、HgCdTe 結晶を Si 上に製造できるようになったことから、第4章や第5章で示した接続技術を使って、他の Si デバイスと同様に三次元積層され、チップサイズの制限が無くなると同時に、チップ間を高密度接続する可能性が開けた。

このような研究成果が今後どのように発展していくかについて、三つの方向性があると考えられる (Fig. 6-1)。一つはデバイスレベルの三次元集積化である。これまで述べてきた内容は、全てチップレベルの三次元集積化であったが、デバイス形成の段階で三次元集積を行うことにより、さらなる高集積化が期待でき

る。後述する二波長に感度を持つ赤外線センサや、東芝で開発中のゲート積層の Flash メモリ[3]もこの方向性の一つである。

二番目は、チップレベルの三次元集積において、含まれるデバイスの多種化である。アレイセンサと融合された 3D-LSI により、高速リアルタイム画像処理の実現が可能となる。

三番目は、デバイス構造そのものをマクロに三次元化する方向性である。センサが測定する対象は、必ずしも微細なものとは限らない。そのため、デバイス構造も被測定対象に合わせたサイズでマクロに三次元化することにより、三次元情報を一括してセンシングできる可能性がある。

本研究で得られた成果

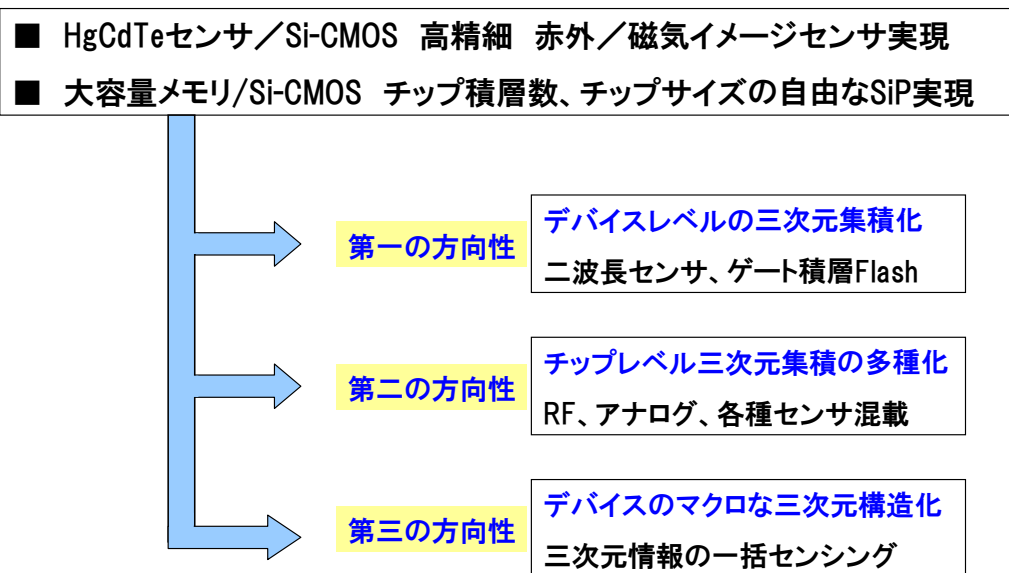


Fig. 6-1 Possible future approach for this study.

Fig. 6-2 に、第一の方向性の例として、二波長赤外線センサの受光素子部の構造を示した。HgCdTe は、その組成を変えることによって、ピーク感度波長 λ_p を変えられるという特長を持っている。しかも、組成変動により格子定数がほとんど変動しないので、MBE 法を用いて急峻な組成勾配をもつ HgCdTe 層を、結晶性を劣化させずに作ることができる。これを活かして、二種類の組成の HgCdTe 層を形成し、それぞれに p/n 接合を形成すれば、二波長に感度を持たせるセンサが実現可能となる。

このようなデバイスの用途の一例として、赤外天文学が挙げられる。Fig. 6-3

は、白色矮星の周囲にある Dust Cloud の発光スペクトルを示したものである。この Dust Cloud は、赤外域の $4\ \mu\text{m}$ 帯と $10\ \mu\text{m}$ 帯にスペクトルの極大値を持つ。このような Dust Cloud は誕生したばかりの若い恒星で見られるが、白色矮星のような死んだ星では、Dust Cloud が存在するとは以前には考えられていなかった。

このような Dust Cloud が何故存在するのかを解き明かす発見がスピッツァー宇宙望遠鏡に 2007 年になされた。Fig. 6-4 は、みずがめ座 NGC7293 の可視画像と赤外画像を示したものである。可視画像で見えているのは、OIII や HII 等、酸素、水素などのガスの輝線スペクトルであり、Dust ではない。Fig. 6-3 で示した Dust の元素の主成分は Si (ケイ酸塩) であり、彗星がその源と考えられている。中心性の重力によって彗星が破壊された結果、比較的新しい Dust Cloud 形成に至ったものと考えられている。

さて、Fig. 6-2 のような二波長赤外線センサがあれば、このような観測を一回の撮像で済ますことが可能である。天文学の進歩は、ある意味観測機器の使用時間をどれだけ確保できるかに依存しているところがあり、このような二波長赤外線センサはこのような分野で有益であると考えられる。

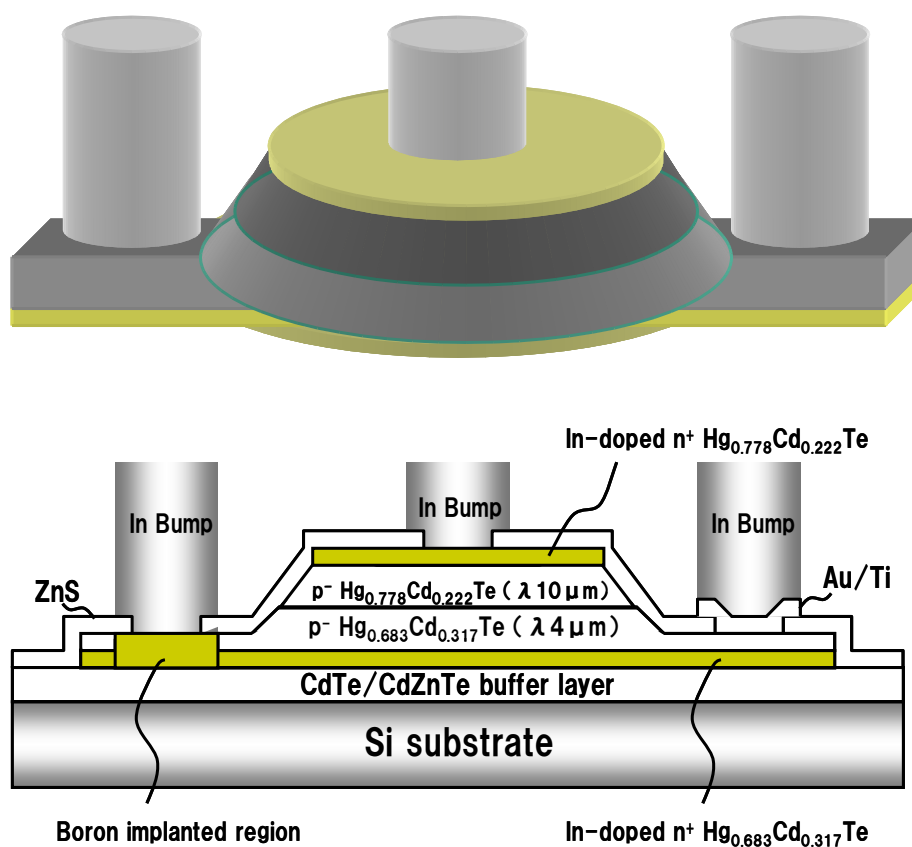


Fig. 6-2 Device structure for dual-band infrared image sensor.

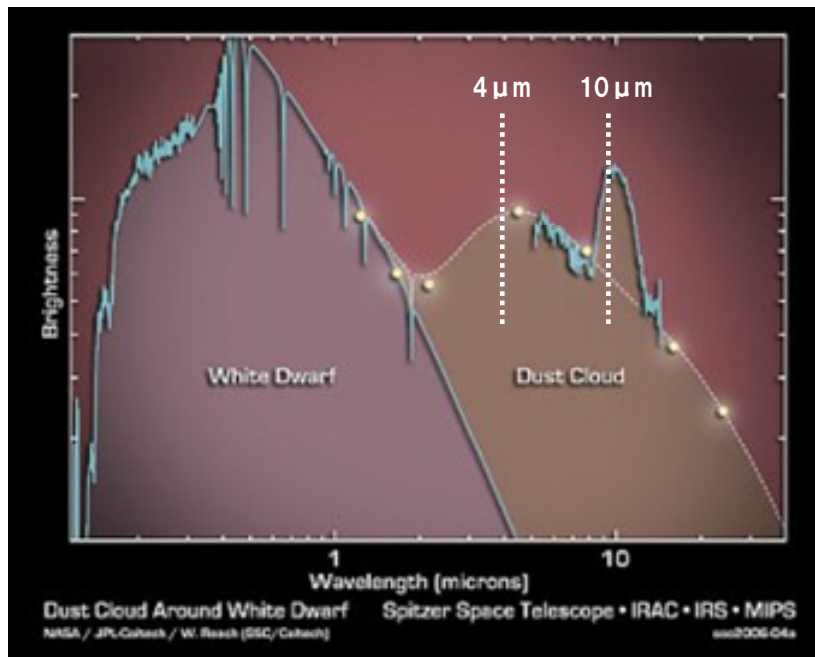
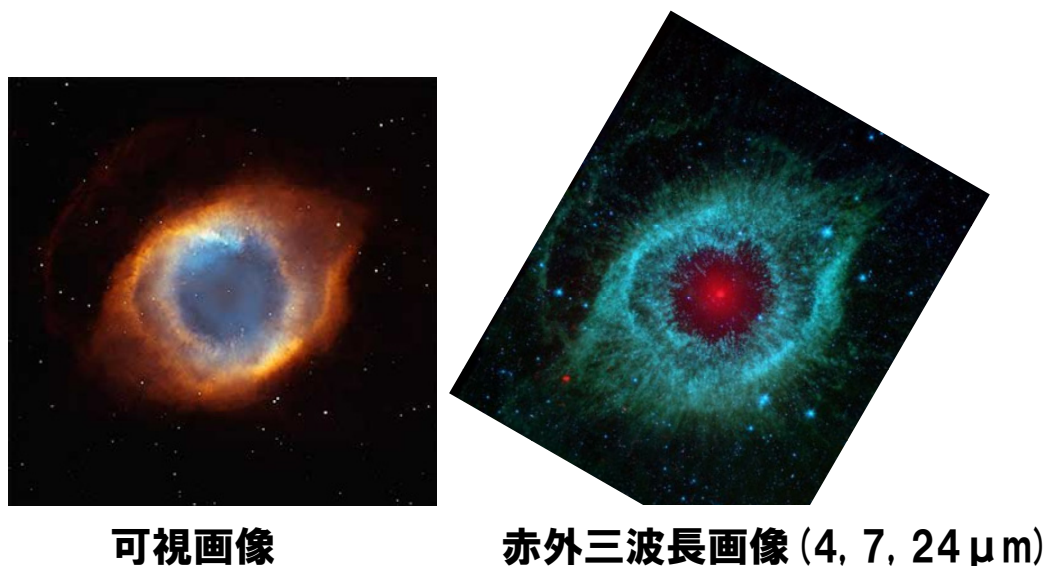


Fig. 6-3 Spectrum of dust cloud around white dwarf [4].



みずがめ座 らせん星雲 NGC7293

彗星起源の Dust Cloudの発見, Spitzer Space Telescope, Feb. 2007.

Fig. 6-4 Visible and multi-wavelength infrared images for planetary nebula NGC7293 so-called "The Helix Nebula" at Aquarius [4].

次に第2の方向性の具体例を示す。Fig. 6-5は、Kodamaらにより提唱されている三次元イメージプロセッサである。センサより入力された二次元情報は、そのまま直下のLSIへ送信され、一次元情報に変換されることなく、例えば輪郭抽出を行ったり、MPEG-2エンコードを行ったりできるようになる。従来は、二次元情報を一旦シリアル化（一次元化）する必要があったが、このようなデバイスではそのオーバーヘッドがなくなり、非常に高速で処理が行われることが期待できる。例えば、自動車衝突回避などに用いる場合や、自律型ロボットの視覚システムに応用する場合、リアルタイムでの高速画像処理が必要であり、このようなデバイスは将来必須となると考えられる。また、第3章に示したような磁気アレイセンサを用いた場合でも、高速で動作するICチップ内のEMI評価を行う高速EMI評価システムへの応用が期待できる。

これらのことは、イメージセンサとの組み合わせだけでなく、デジタル信号処理ICの三次元積層へも適用可能で、大容量DRAMにとどまらず、積層DRAM+ProcessorのHigh-endCPUや、携帯電話向けアプリプロセッサへの応用が期待できる。

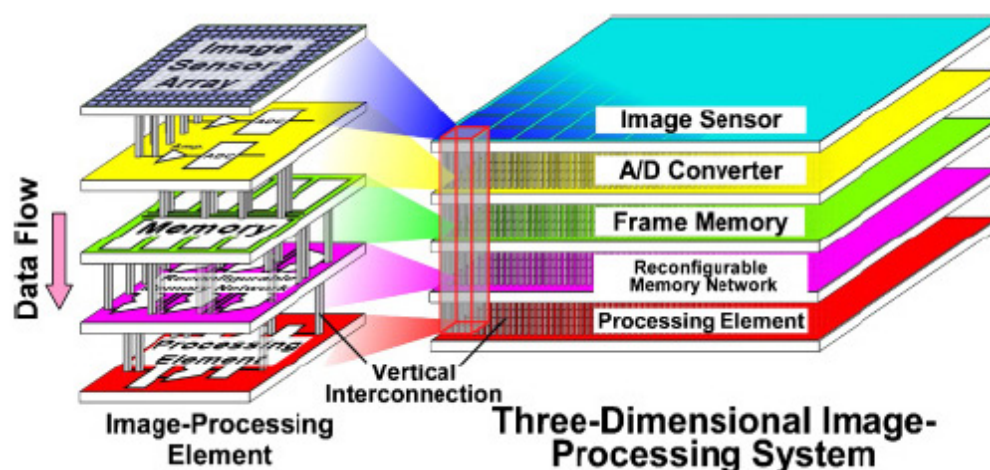


Fig. 6-5 Configuration of parallel image processing LSI with three-dimensional structure [1].

Fig. 6-8 は、Sedukhin らにより提唱されている二次元、三次元アレイプロセッサである。マルチプロセッサ+メモリのユニットを、二次元マップ化あるいは、三次元化することにより、処理前のデータ構造（2次元もしくは3次元）を変えることなく、演算処理することを目的としている。二次元のマルチコアプロセッサは、現在では商品化フェーズとなっているが、今後は三次元マルチコア化して集積度を増すことが考えられる。三次元化によりコア間のデータ伝送も効率的になる。

課題としては、High-end コンピューティングの場合は、処理量が大きいため、高度な放熱技術と合わせてシステム構築を考えていく必要がある。また、多種デバイスを積層する場合、チップ積層であったとしても、ある程度はチップサイズがそろっている必要がある。また、上下の接続バンプもお互いに位置を合わせる必要がある。このことは、各チップが三次元集積化のための専用設計がなされている必要があることを意味する。個別のアプリケーションごとに設計を行うことは、SiP のメリットを失う。よって、バンプ配列の規格化や、チップ間通信方式の標準化が重要となると考えられる。

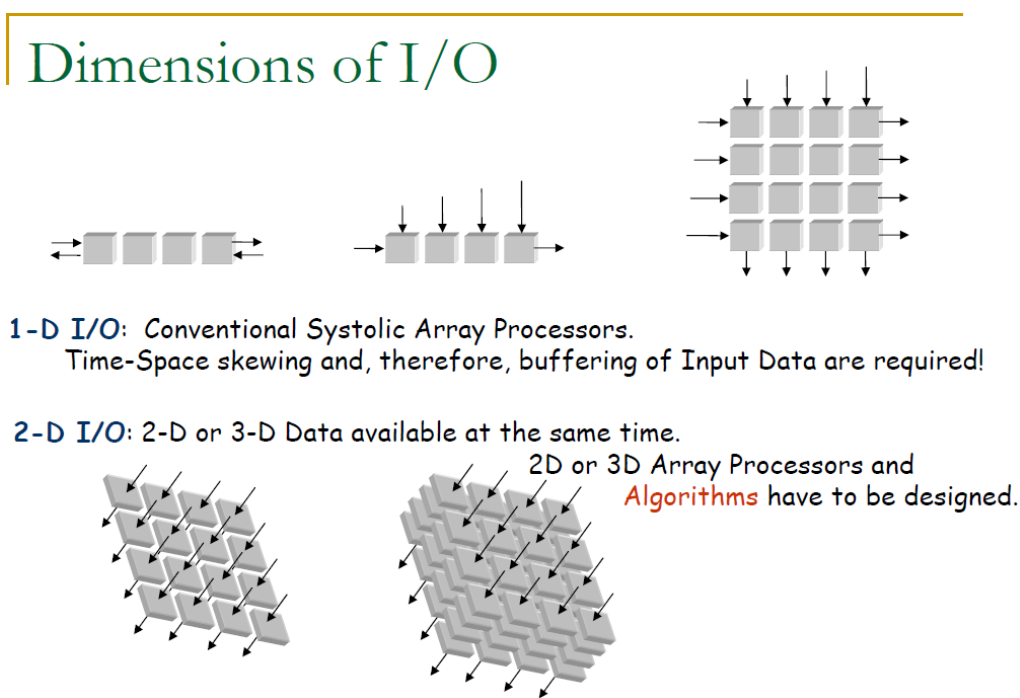


Fig. 6-6 2D or 3D array processors for 2D and 3D Data processing [2]

最後に、第三の方向性の具体例を示す。Fig. 6-7は、3枚の2次元磁気センサーアレイを立方体に組み立てたものである。センサーをこのような形状にすることにより、x、y、z三方向の磁束成分を一括して捉えることができる。このことは、磁場の三次元分布を一度に取得することができることを意味する。磁気センサー部に信号処理・演算回路を組み込むことにより、得られた磁場情報をリアルタイムで3D Contour Mapに変換して可視化することも可能である。これにより、例えば電子機器内のEMI (electro-magnetic interference)を高速に測定し、磁場発生原因の解明や、シールドの最適化などのEMI対策を効率よく行えるようになると思われる。

Fig. 6-8に示したように、二次元情報、三次元情報は我々の周りにいくらでも存在する。このような多次元情報を高速にセンシング・演算処理することは、今後の情報社会の発展に寄与できるものとなろう。

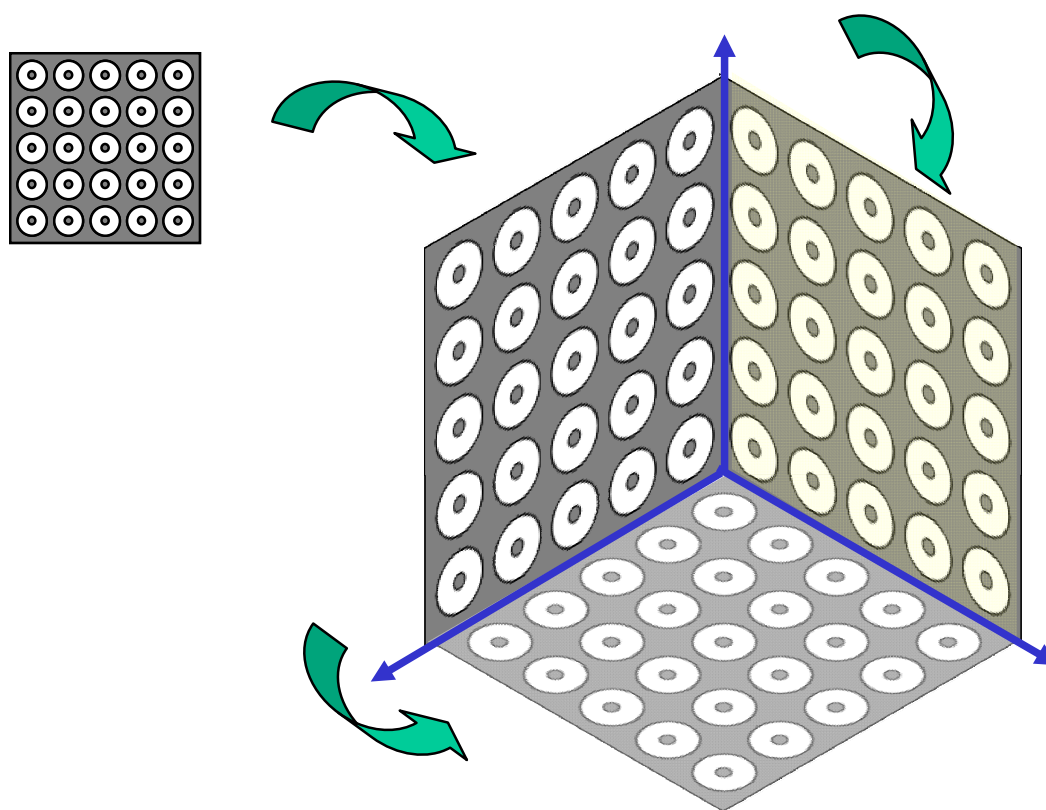
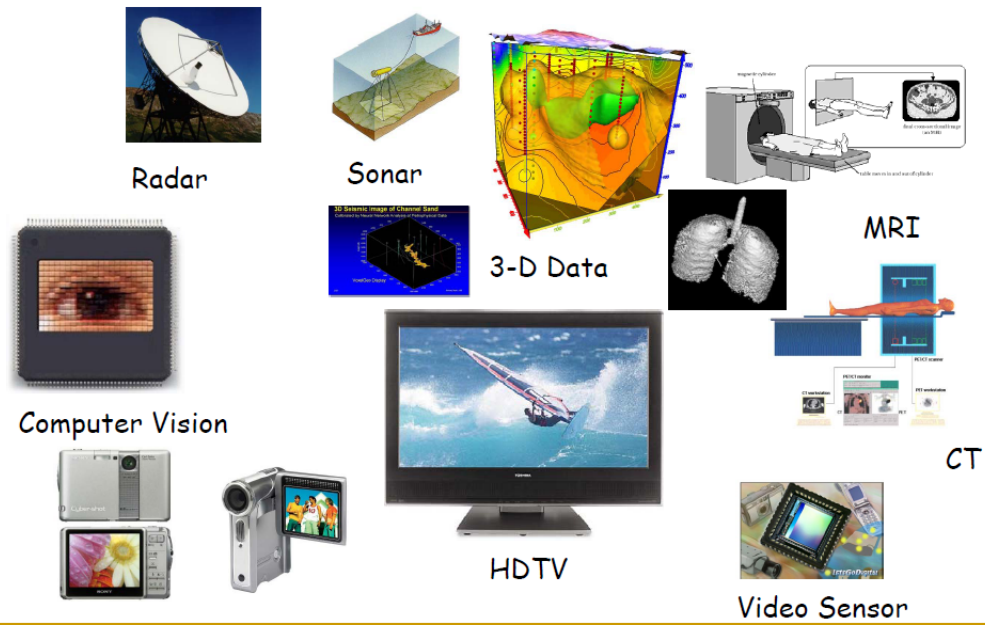


Fig. 6-7 Three-dimensional magnetic field monitor by HgCdTe Corbino array devices.

2-D and 3-D Data are Everywhere



Data Integrity=Space-Time Locality. Conventional storing/processing destroys an integrity.

Fig. 6-8 2D and 3D Data are everywhere [2]

6.5 参考文献 (第 6 章)

- [1] S. Kodama D. Amano, T. Sugiura, T. Fukushima, T. Tanaka, and M. Koyanagi, "New Reconfigurable Memory Architecture for Parallel Image-Processing LSI with three-dimensional Structure," Japanese J. Appl. Phys. Vol. 47, Apr. 2008, pp. 2774-2778.
- [2] S.G. Sedukhin, T. Miyazaki, and K. Kuroda, "3-D Toroidal Array Processor for Multidimensional DSP Transforms," Technical Digest of the International 3D System Integration Conference (3D-SIC), pp.401-409, May 2008.
- [3] H.Tanaka, M.Kido, K.Yahashi, M.Oomura, R.Katsumata, M.Kito, Y.Fukuzumi, M.Sato, Y.Nagata, Y.Matsuoka, Y.Iwata, H.Aochi and A.Nitayama, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," 2007 Symposium on VLSI Technology Digest of Technical Papers, pp. 14-15, Jun. 2007.
- [4] Spitzer Space Telescope Homepage, "Comets Clash at Heart of Helix Nebula," <http://www.spitzer.caltech.edu/Media/releases/ssc2007-03/index.shtml>.
- [5] Three-dimensional image example, <http://www.goldensoftware.com/products/voxler/voxler.shtml>.

謝辞

本論文をまとめるにあたり、審査員主査としてご指導ご鞭撻を賜りました、東京工業大学 統合研究院 益 一哉 教授に謹んで感謝いたします。また審査員副査としてご指導頂いた、東京工業大学 大学院総合理工学研究科 石原 宏 教授、中山範明 連携教授、筒井一生 准教授、大見俊一郎 准教授に深謝いたします。また、構想・中間発表会やゼミ等で有益な議論をして頂きました東京工業大学 統合研究院 佐藤高史 教授、天川修平 助教、伊藤浩之 助教、並びに益 研究室の皆様に感謝いたします。

HgCdTe 赤外イメージセンサーに関し、有益なご指導を頂くと共に、共同研究者として苦楽を共に味わった、日本電気株式会社 小田直樹氏、佐々木得人氏、味澤 昭氏、佐野雅彦氏、曾祢修次氏、野村充子氏（旧姓 友野、現・退職）、三好 勝氏に心より感謝いたします。また、TEM 解析や HgCdTe 成長の方位依存性について有益なご指導・ご議論を賜りました、日本電気株式会社 市橋鋭也氏、飯島澄男氏（名城大学大学院教授、産業総合研究所・ナノチューブ応用研究センター長兼務）に感謝いたします。

HgCdTe の磁気抵抗素子としての応用に関し、共同研究者であり、かつ様々なアイデアの提案、ご助言をして頂いた NEC Research Institute の Stuart A. Solin 氏（現・ワシントン大学教授）および Tineke Thio 氏（現・科学技術コンサルタント）に感謝します。

発展型 Chip-on-Chip 接続技術（SMAFTI）において、基本コンセプトの発案者である NEC エレクトロニクス株式会社 栗田洋一郎氏を始め、試作・評価を共に行った副島康志氏、川城史義氏、渋谷幸二郎氏、小池昌弘氏に深く感謝します。さらに共同研究者として参画頂いた、日本電気株式会社 菊池 克氏、高橋尚武氏、田子雅基氏、難波兼二氏、山道新太郎氏、村上朝夫氏に謹んで感謝いたします。

チップ積層型大容量メモリについては、NEDO 技術開発機構の助成金を受けて、「積層メモリチップ技術開発プロジェクト」として、エルピーダメモリ株

式会社、沖電気工業株式会社、NECエレクトロニクス株式会社の3社が共同開発を行ったものです。本プロジェクトに参加された、エルピーダメモリ株式会社の内山士郎氏、柴田佳世子氏、山田淳二氏、石野正和氏、三宅秀治氏、池田博明氏、沖電気工業株式会社の江川良実氏、佐伯吉浩氏、加藤理氏、菊地秀和氏、柳澤あづさ氏、三橋敏郎氏、NECエレクトロニクス株式会社の高橋信明氏、栗田洋一郎氏、副島康志氏、小室雅弘氏、松井聡氏、水嶋和之氏の全ての方々に、心より感謝申し上げます。また、本プロジェクト遂行にあたり、暖かいご支援ご指導を頂いた、NECエレクトロニクス株式会社 梶原護氏、方慶一郎氏、宇野隆行氏に深謝いたします。

最後に、本研究の機会を与えてくださいました、日本電気株式会社 米澤正智 材料開発センター長（現・NECラミリオンエナジー株式会社）、NECエレクトロニクス株式会社 桑田孝明 先端デバイス開発事業部長（現・基盤技術開発本部長）、永田憲雅 実装技術部長に感謝いたします。

原著論文リスト

- 1) **M. Kawano**, N. Oda, T. Sasaki, T. Ichihashi, S. Iijima, T. Kanno, and M. Saga, "Twin-formation mechanisms for HgCdTe epilayers," *J. Crystal Growth* 117, pp.171-176, Feb. 1992. (第2章)
- 2) **M. Kawano**, T. Sasaki, and N. Oda, "Precise control of HgCdTe growth conditions for molecular beam epitaxy," *J. Electron. Mater.* 24, pp.431-436, 1995. (第2章)
- 3) **M. Kawano**, A. Ajisawa, N. Oda, M. Nagashima and H. Wada, "HgCdTe and CdTe($\bar{1} \bar{1} 3$)B growth on Si(1 1 2) 5° off by molecular beam epitaxy," *Appl. Phys. Lett.* 69, pp.2876-2878, Nov. 1996. (第2章)
- 4) **川野 連也**, 高橋 信明, 栗田 洋一郎, 副島 康志, 小室 雅宏, 松井 聡, 内山 士郎, 柴田 佳世子, 山田 淳二, 石野 正和, 池田 博明, 江川 良実, 佐伯 吉浩, 加藤 理, 菊地 秀和, 柳澤 あづさ, 三橋 敏郎, "貫通ビアを用いた積層DRAM向け高密度パッケージ開発," *電子情報通信学会論文誌 (C)* J90-C, pp.724-733, Nov. 2007. (第5章)
- 5) **Masaya Kawano**, Nobuaki Takahashi, Yoichiro Kurita, Koji Soejima, Masahiro Komuro, and Satoshi Matsui, "A 3-D Packaging Technology for Stacked DRAM with 3 Gb/s Data Transfer," *IEEE Trans. Electron Devices*, Vol. 55, No. 7, pp.1614-1620, Jul. 2008. (第5章)

発表論文リスト

1. 筆頭著者

【国際会議】

- 1) **M. Kawano**, N. Oda, T. Sasaki, T. Ichihashi, S. Iijima, T. Kanno, and M. Saga, "Twin-formation mechanisms for HgCdTe epilayers," *Int. Conf. on II-VI Compounds*, Sep. 1991.
- 2) **M. Kawano**, T. Sasaki, and N. Oda, "Precise control of HgCdTe growth conditions for molecular beam epitaxy," *US Workshop on the Physics & Chemistry of Mercury Cadmium Telluride*, Oct. 1993.
- 3) **M. Kawano**, T. Fukase, Y. Yamamoto, T. Ito, S. Yokogawa, H. Tsuda, Y. Kunimune, T. Saitoh, K. Ueno, and M. Sekine, "Stress Relaxation in Dual-damascene Cu Interconnects to Suppress Stress-induced Voiding," Proceedings of the *International Interconnect Technology Conference (IITC)*, pp.210-212, Jun. 2003.
- 4) **M. Kawano**, T. Fukase, Y. Yamamoto, T. Ito, S. Yokogawa, H. Tsuda, Y. Kunimune, T. Saitoh, K. Ueno, and M. Sekine, "Stress Relaxation in Cu Interconnects to Suppress Stress-induced Voiding," *SEMI Technology Symposium (STS) 2003 Proceedings*, Session 6 pp. 61-67, Dec. 2003, *Invited*.
- 5) **M. Kawano**, S. Uchiyama, Y. Egawa, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro, S. Matsui, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, Y. Saeki, O. Kato, H. Kikuchi, and T. Mitsuhashi, "A 3D Packaging Technology for 4 Gbit Stacked DRAM with 3 Gbps Data Transfer," *International Electron Devices Meeting (IEDM) Technical Digest*, pp. 581-584, Dec. 2006.
- 6) **M. Kawano**, "A 3D Packaging Technology for High-Density Stacked DRAM," *Int. Symp. on VLSI Technology, Systems & Applications (VLSI-TSA)*, pp. 62-63, Apr. 2007, *Invited*.
- 7) **M. Kawano**, "CoC Packaging using SMAFTI Technology," *SEMI Technology Symposium (STS) 2007 Proceedings*, Session 9 pp. 28-33, Dec. 2007, *Invited*.

【論文】

- 1) **川野 連也**, "次世代高密度パッケージ "SMAFTI" ," *エレクトロニクス実装学会誌* Vol.10 No.5, pp. 395-398, Aug. 2007.

2) 川野 連也, "大容量高速伝送を実現する三次元パッケージ," 「図解 最先端半導体パッケージ技術のすべて」工業調査会, pp. 126-129, Sep. 2007.

【学術講演】

- 1) 川野 連也, 小田 直樹, "コルビノ型 HgCdTe 磁気抵抗センサ," *電気学会 センサ材料・プロセス技術研究会資料 SMP-97-8*, pp.13-16, Sep. 1997.
- 2) 川野 連也, 深瀬 匡, 山本 悦章, 伊藤 孝政, 横川 慎二, 津田 浩嗣, 国宗 依信, 齋藤 武博, 上野 和良, 関根 誠, "銅配線の応力緩和による応力誘起ボイドの抑制," *応用物理学学会 LSI 配線における原子輸送・応力問題 第9回研究会* 予稿集, pp.4-7, Sep. 2003.
- 3) 川野 連也, "高密度チップ間接続を実現する次世代 SiP 開発," *エレクトロニクス実装学会 2006 ワークショップ*, p.56, Sep. 2006.
- 4) 川野 連也, "SiP 技術の開発動向と次世代 SiP 「SMAFTI」," *Semiconductor International 日本版 第7回テクニカルセミナー 講演集*, pp.1-26, Sep. 2006.
- 5) 川野 連也, "貫通電極技術を採用した LSI 積層技術およびインターポーザ技術," *日経マイクロデバイス SoC/SiP デイベロッパーズ・コンファレンス 2008*, B-4 pp.1-27, Apr. 24, 2008.

2. 共著論文

【論文】

- 1) T. Sasaki, N. Oda, M. Kawano, S. Sone, T. Kanno, and M. Sano, "Mercury annealing effect on the electrical properties of HgCdTe grown by molecular beam epitaxy," *J. Crystal Growth* 117, pp.222-226, Feb. 1992.
- 2) S. Sone, N. Oda, T. Sasaki, and M. Kawano, "Electron. mobility in HgCdTe near the zero-band-gap grown by. molecular beam epitaxy," *J. Crystal Growth* 117, pp.218-221, Feb. 1992.
- 3) 小田 直樹, 佐々木 得人, 川野 連也, 曾祢 修次, "MBE法による HgCdTe エピ成長とエピ層の特性," *日本結晶成長学会誌* Vol. 19, No. 3, pp.224-231, Dec. 1992.
- 4) S. A. Solin, T. Thio, J. W. Bennett, D. R. Hines, M. Kawano, N. Oda, and M. Sano, "Self-biasing nonmagnetic giant magnetoresistance sensor," *Appl. Phys. Lett.* 69, pp.4105-4107, Dec. 1996.
- 5) T. Thio, S.A. Solin, J.W. Bennett, D.R. Hines, M. Kawano, N. Oda, and M. Sano, "Giant magnetoresistance in Hg_{1-x}Cd_xTe and applications for high density magnetic

recording," *J. Crystal Growth* 184/185, pp.1293-1296, 1998.

6) T. Thio, S.A. Solin, J.W. Bennett, D.R. Hines, **M. Kawano**, N. Oda, and M. Sano, "Giant magnetoresistance in zero-bandgap $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$," *Phys. Rev. B* 57, pp.12239-12244, May 1998.

7) A. Ajisawa, **M. Kawano**, M. Nomura, M. Miyoshi, and N. Oda, "256 × 256 LWIR FPAs using MBE-grown HgCdTe on Si substrates," *NEC Research and Development* 39, pp.1-7, 1998.

8) S. A. Solin, T. Thio, D. R. Hines, **M. Kawano**, N. Oda, and M. Sano, "Large enhancement of the giant magnetoresistance in inhomogeneous semiconductors: Dependence on magnetic field direction," *J. Appl. Phys.* 85, pp.5789-5791, Apr. 1999.

9) J. Yoshino, J. Morimoto, H.Wada, A. Ajisawa, **M. Kawano**, and N. Oda, "Studies of relationship between deep levels and RoA product in mesa type HgCdTe devices," *Opto-Electronics Review*, vol. 7, pp. 361-367, 1999.

10) 齋藤 武博, **川野 連也**, 上野 和良, "ULSI 微細 Cu ダマシン配線の応力誘起ポイドに関する 3-D 弾塑性有限要素解析," *日本機械学会論文集* (A 編) 69 巻 682 号, pp.4-11, 2003.

11) Y. Kurita, K. Soejima, **M. Kawano**, "SMAFTI Package Technology Features Wide-Band and Large-Capacity Memory," *NEC Technical Journal* Vol.1 No.5, pp.52-56, Dec. 2006.

12) Y. Kurita, S. Matsui, N. Takahashi, K. Soejima, M. Komuro, M. Itou, and **M. Kawano**, "Vertical Integration of Stacked DRAM and High-Speed Logic Device Using SMAFTI Technology," *IEEE Trans. Adv. Packag.*, submitted.

【発表論文】

1) S.A. Solin, T. Thio, J.W. Bennett, D.R. Hines, **M. Kawano**, N. Oda, M. Sano, "A New Application for Mercury Cadmium Telluride: Read-Head Sensors for High Density Magnetic Recording," Proc. 8th *Intl. Conf. Narrow Gap Semiconductors*, 1998.

2) Junya Yoshino, Jun Morimoto, Hideo Wada, Akira Ajisawa, **Masaya Kawano**, Naoki Oda, "Characterization of deep levels in a mesa-type HgCdTe IR detector," Proc. *SPIE* Vol. 3436, Infrared Technology and Applications XXIV, pp. 120-128, Oct. 1998.

3) A. Ajisawa, **M. Kawano**, M. Tomono, M. Miyoshi, N. Oda, "256 x 256 LWIR FPAs using MBE-grown HgCdTe on Si substrates," Proc. of *SPIE* Vol. 3061, Infrared Technology and Applications XXIII, pp. 248-255, Aug. 1997.

- 4) K. Ueno, T. Ishigami, Y. Saito, and **M. Kawano**, "Reliability of Damascene Copper Interconnects," Proc. of 207th *Electrochemical Society (ECS) Meeting*, pp.408-418, May 2005.
- 5) 松井 聡, 小室 雅宏, 高橋 信明, 土屋 泰章, 宇佐美 達矢, 富田 隆治, 黒川 哲也, 是常 敬久, 森下 佳昭, **川野 連也**, "高密度貫通電極スパーサーを用いたワイドバス COC," *電子情報通信学会 ソサイエティ大会講演論文集 C-12-4*, p.84, Sep. 2005.
- 6) H. Ikeda, **M. Kawano**, and T. Mitsuhashi, "Stacked Memory Chip Technology Development," *SEMI Technology Symposium (STS) 2005 Proceedings*, Session 9 pp. 37-42, Dec. 2005.
- 7) 栗田 洋一郎, 副島 康志, 菊池 克, 高橋 尚武, 田子 雅基, 小池 昌弘, 森下 佳昭, 山道 新太郎, **川野 連也**, "高密度チップ間接続構造パッケージの開発," Proc. of 15th *Micro Electronics Symposium (MES)*, pp. 189-192, Oct. 2005.
- 8) 高橋 尚武, 田子 雅基, 栗田 洋一郎, 副島 康志, **川野 連也**, 菊池 克, 山道 新太郎, 村上 朝夫, "高密度貫通ビアを有する配線体を介したチップ間接続構造," Proc. of 12th *Symposium on "Microjoining and Assembly Technology in Electronics"* (Mate), pp. 423-426, Feb. 2006.
- 9) Y. Kurita, K. Soejima, K. Kikuchi, M. Takahashi, M. Tago, M. Koike, K. Shibuya, S. Yamamichi, and **M. Kawano**, "A Novel SMAFTI Package for Inter-Chip Wide-Band Data Transfer," Proceedings of 56th *Electronic Components and Technology Conference (ECTC)*, pp. 289-297, May 2006.
- 10) 難波 兼二, 田子 雅基, 栗田 洋一郎, 副島 康志, **川野 連也**, 菊池 克, 山道 新太郎, 村上 朝夫, "高密度 SiP 技術「SMAFTI」における CoW (チップ・オン・ウェハ) 実装プロセス開発," Proc. of 16th *Micro Electronics Symposium (MES)*, pp. 35-38, Oct. 2006.
- 11) T. Mitsuhashi, Y. Egawa, O. Kato, Y. Saeki, H. Kikuchi, S. Uchiyama, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, N. Takahashi, Y. Kurita, M. Komuro, S. Matsui, and **M. Kawano**, "Development of 3D-Packaging Process Technology for Stacked Memory Chips," *Mater. Res. Soc. Symp. Proc.*, Vol. 970, 0970-Y03-06, 2007.
- 12) 川城 史義, 阿部 克幸, 渋谷 幸二郎, 小池 昌弘, 氏家 正人, 川島 知浩, 栗田 洋一郎, 副島 康志, **川野 連也**, "高密度 SiP 技術「SMAFTI」における BGA 形成技術と接続信頼性," Proc. of 13th *Symposium on "Microjoining and Assembly Technology in Electronics"* (Mate), pp.49-54, Feb. 2007.

- 13) Y. Kurita, S. Matsui, N. Takahashi, K. Soejima, M. Komuro, M. Itou, C. Kakegawa, **M. Kawano**, Y. Egawa, Y. Saeki, H. Kikuchi, O. Kato, A. Yanagisawa, T. Mitsuhashi, M. Ishino, K. Shibata, S. Uchiyama, J. Yamada, H. Ikeda, "A 3D Stacked Memory Integrated on a Logic Device using SMAFTI Technology," Proceedings of 57th *Electronic Components and Technology Conference* (ECTC), pp. 821-829, May 2007.
- 14) Satoshi Matsui, Yoichiro Kurita, Makoto Itou, **Masaya Kawano**, Toshiro Mitsuhashi, and Hiroaki Ikeda, "Thermal Management in 8-Strata 4Gb DRAM SiP," Proceedings of *IMAPS 40th International Symposium on Microelectronics* , pp. 310-316, Nov. 2007.
- 15) F. Kawashiro, M. Ujiie, K. Shibuya, Y. Kurita, K. Soejima, and **M. Kawano**, "Reliability Studies of Sn-Ag-Cu BGA Solder Joints on Ni/Cu/Au Surface Finish for SMAFTI Packaging Technology," Proceedings of 58th *Electronic Components and Technology Conference* (ECTC), pp. 283-289, May 2008.